



ATtiny804/806/807/1604/1606/1607

tinyAVR® 0系統

序説

ATtiny804/806/807/1604/1606/1607マイクロコントローラはハードウェア乗算器を持つAVR®プロセッサを使い、14、20、24ピン外囲器で8/16Kバイトのフラッシュメモリ、512/1024バイトのSRAM、128/256バイトのEEPROMを持ち、最大20MHzで動くtinyAVR® 0系統のマイクロコントローラの一員です。tinyAVR® 0系統は事象システム、正確なアナログ機能、コアから独立した周辺機能を含む柔軟で低電力な基本構造を持つ最新技術を使います。



注意: このデータシートは工業に限定されたデバイスに対して有効です。

- (訳注) ・本書はATtiny804/806/807/1604/1606/1607シリコン障害とデータシート説明(DS80000951A)の内容を含みます。
- ・原書に対して断りなく最新情報に更新している場合があります。

本書は一般の方々の便宜のため有志により作成されたもので、Microchip社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

特徴

- CPU
 - AVR® CPU
 - 最大20MHzで走行
 - 単一周期I/Oアクセス
 - 2段階の割り込み制御器
 - 2周期ハードウェア乗算器
- メモリ
 - 実装自己書き換え可能な8/16Kバイト(4/8K語)のフラッシュメモリ
 - 128/256バイトのEEPROM
 - 512/1024バイトのSRAM
 - 書き込み/消去寿命
 - フラッシュメモリ: 10,000回
 - EEPROM: 100,000回
 - データ保持力
 - 55°Cで40年
- システム
 - 電源ONリセット(POR)
 - 低電圧検出器(BOD)
 - クロック任意選択
 - 16/20MHz低電力内部RC発振器
 - 32.768kHz超低電力(ULP)内部RC発振器
 - 外部クロック入力
 - 単一ピンの統一プログラム/デバッグインターフェース
 - 3つの休止動作形態
 - 直ちに起き上がるために全ての周辺機能が動いているアイドル
 - スタンバイ
 - 選んだ周辺機能の構成設定可能な動作
 - 完全なデータ保持を持つパワーダウン
- 周辺機能
 - 専用の定期レジスタと3つの比較チャネルを持つ1つの16ビットタイマ/カウンタA型 (TCA)
 - 捕獲入力を持つ1つの16ビットタイマ/カウンタB型 (TCB)
 - 外部クロックまたは内部RC発振器から走行する1つの16ビット実時間計数器 (RTC)
 - 独立したチップ上の発振器を持ち、窓動作を持つウォッチドッグタイマ (WDT)
 - 分数ボーレート生成器、自動ボーレート、フレーム開始検出を持つ1つのUSART
 - 主装置/従装置直列周辺インターフェース (SPI)
 - 2重アドレス一致を持つ1つの2線インターフェース (TWI)
 - Philips I²C互換
 - 標準動作 (Sm, 100kHz)
 - 高速動作 (Fm, 400kHz)
 - 高速動作プラス (Fm+, 1MHz)
 - 低伝搬遅延を持つ1つのアナログ比較器 (AC)
 - 10ビット、115kspsの1つのA/D変換器 (ADC)
 - 多数の参照基準電圧 (VREF)
 - 0.55V • 1.1V • 1.5V • 2.5V • 4.3V
 - CPUから独立して予測可能な周辺機能相互合図のための事象システム (EVSYS)
 - 2つの設定可能な参照表(LUT)を持つ構成設定可能な注文論理回路 (CCL)
 - 自動化されたCRCメモリ走査
 - 全ての汎用ピンでの外部割り込み
- I/Oと外圍器
 - 22本までの設定可能なI/O線
 - 14リードSOIC150、20リードSOIC300、20ピンVQFN 3×3mm、24ピンVQFN 4×4mm
- 温度範囲
 - -40～105°C
 - -40～125°C
- 速度評定
 - 0～5MHz/1.8～5.5V
 - 0～10MHz/2.7～5.5V
 - 0～20MHz/4.5～5.5V

目次

序説	1	12.1. 特徴	53
特徴	2	12.2. 概要	53
1. シリコン障害とデータシート説明文書	6	12.3. 機能的な説明	53
2. tinyAVR® 0系列概要	6	12.4. レジスタ要約	56
2.1. 製品形態要約	6	12.5. レジスタ説明	57
3. 構成図	7	13. CPUINT – CPU割り込み制御器	58
4. ピン配置	8	13.1. 特徴	58
4.1. 14ピンSOIC	8	13.2. 概要	58
4.2. 20ピンSOIC	8	13.3. 機能的な説明	58
4.3. 20ピンVQFN	8	13.4. レジスタ要約	62
4.4. 24ピンVQFN	8	13.5. レジスタ説明	63
5. 入出力多重化と考察	9	14. EVSYS – 事象システム	65
5.1. 多重化された信号	9	14.1. 特徴	65
6. メモリ	10	14.2. 概要	65
6.1. 概要	10	14.3. 機能的な説明	66
6.2. メモリ配置	10	14.4. レジスタ要約	68
6.3. 実装書き換え可能なフラッシュプログラムメモリ	10	14.5. レジスタ説明	69
6.4. SRAMデータメモリ	11	15. PORTMUX – ポート多重化器	72
6.5. EEPROMデータメモリ	11	15.1. 概要	72
6.6. 使用者列	11	15.2. レジスタ要約	73
6.7. 識別列	11	15.3. レジスタ説明	74
6.8. I/Oメモリ	11	16. PORT – I/Oピン構成設定	76
6.9. 施錠されたデバイスでの CPUとUPDIからのメモリ領域アクセス	12	16.1. 特徴	76
6.10. 構成設定と使用者ヒューズ (FUSE)	13	16.2. 概要	76
7. 周辺機能と基本構造	20	16.3. 機能的な説明	77
7.1. 周辺機能単位部アドレス配置	20	16.4. レジスタ要約 – PORTx	80
7.2. 割り込みベクタ配置	20	16.5. レジスタ説明 – PORTx	81
7.3. システム構成設定 (SYSCFG)	22	16.6. レジスタ要約 – VPORTx	85
8. AVR CPU	23	16.7. レジスタ説明 – VPORTx	86
8.1. 特徴	23	17. BOD – 低電圧検出器	88
8.2. 概要	23	17.1. 特徴	88
8.3. 基本構成	23	17.2. 概要	88
8.4. 算術論理演算部 (ALU)	23	17.3. 機能的な説明	88
8.5. 機能的な説明	24	17.4. レジスタ要約	90
8.6. レジスタ要約	27	17.5. レジスタ説明	91
8.7. レジスタ説明	28	18. VREF – 基準電圧	94
9. NVMCTRL – 不揮発性メモリ制御器	30	18.1. 特徴	94
9.1. 特徴	30	18.2. 概要	94
9.2. 概要	30	18.3. 機能的な説明	94
9.3. 機能的な説明	31	18.4. レジスタ要約	95
9.4. レジスタ要約	35	18.5. レジスタ説明	96
9.5. レジスタ説明	36	19. WDT – ウォッチドッグ タイマ	97
10. CLKCTRL – クロック制御器	39	19.1. 特徴	97
10.1. 特徴	39	19.2. 概要	97
10.2. 概要	39	19.3. 機能的な説明	97
10.3. 機能的な説明	40	19.4. レジスタ要約	100
10.4. レジスタ要約	43	19.5. レジスタ説明	101
10.5. レジスタ説明	44	20. TCA – 16ビット タイマ/カウンタA型	102
11. SLPCTRL – 休止制御器	48	20.1. 特徴	102
11.1. 特徴	48	20.2. 概要	102
11.2. 概要	48	20.3. 機能的な説明	104
11.3. 機能的な説明	49	20.4. レジスタ要約 – 標準動作	111
11.4. レジスタ要約	51	20.5. レジスタ説明 – 標準動作	112
11.5. レジスタ説明	52	20.6. レジスタ要約 – 分割動作	121
12. RSTCTRL – リセット制御器	53	20.7. レジスタ説明 – 分割動作	122
		21. TCB – 16ビット タイマ/カウンタB型	128
		21.1. 特徴	128

21.2.	概要	128	30.	UPDI – 統一プログラム/デバッグ インターフェース	239
21.3.	機能的な説明	129	30.1.	特徴	239
21.4.	レジスタ要約	133	30.2.	概要	239
21.5.	レジスタ説明	134	30.3.	機能的な説明	240
22.	RTC – 実時間計数器	139	30.4.	レジスタ要約	255
22.1.	特徴	139	30.5.	レジスタ説明	256
22.2.	概要	139	31.	電気的特性	260
22.3.	クロック	139	31.1.	お断り	260
22.4.	RTCの機能的な説明	140	31.2.	絶対最大定格	260
22.5.	PITの機能的な説明	140	31.3.	全般動作定格	260
22.6.	事象	141	31.4.	消費電力	261
22.7.	割り込み	141	31.5.	起き上がり時間	262
22.8.	休止形態動作	142	31.6.	周辺機能消費電力	263
22.9.	同期	142	31.7.	BODとPORの特性	263
22.10.	デバッグ操作	142	31.8.	外部リセット特性	264
22.11.	レジスタ要約	143	31.9.	発振器とクロック	264
22.12.	レジスタ説明	144	31.10.	入出力ピン特性	266
23.	USART – 万能同期非同期送受信器	150	31.11.	USART	267
23.1.	特徴	150	31.12.	SPI	268
23.2.	概要	150	31.13.	TWI	269
23.3.	機能的な説明	151	31.14.	VREF	270
23.4.	レジスタ要約	160	31.15.	ADC	271
23.5.	レジスタ説明	161	31.16.	TEMPSENSE	272
24.	SPI – 直列周辺インターフェース	170	31.17.	AC	273
24.1.	特徴	170	31.18.	UPDIタイミング	273
24.2.	概要	170	31.19.	プログラミング時間	274
24.3.	機能的な説明	171	32.	代表特性	275
24.4.	レジスタ要約	177	32.1.	消費電力	275
24.5.	レジスタ説明	178	32.2.	GPIO	280
25.	TWI – 2線インターフェース	182	32.3.	VREF特性	285
25.1.	特徴	182	32.4.	BOD特性	286
25.2.	概要	182	32.5.	ADC特性	288
25.3.	機能的な説明	183	32.6.	TEMPSENSE特性	291
25.4.	レジスタ要約	191	32.7.	AC特性	292
25.5.	レジスタ説明	192	32.8.	OSC20M特性	294
26.	CRCSCAN – 巡回冗長検査メモリ走査	201	32.9.	OSCULP32K特性	295
26.1.	特徴	201	32.10.	TWI SDA保持タイミング	296
26.2.	概要	201	33.	命令一式要約	297
26.3.	機能的な説明	201	34.	規定	298
26.4.	レジスタ要約	204	34.1.	数字表記法	298
26.5.	レジスタ説明	205	34.2.	メモリの大きさと形式	298
27.	CCL – 構成設定可能な注文論理回路	207	34.3.	周波数と時間	298
27.1.	特徴	207	34.4.	レジスタとビット	299
27.2.	概要	207	34.5.	ADCパラメータ定義	300
27.3.	機能的な説明	208	35.	注文情報	301
27.4.	レジスタ要約	213	35.1.	製品情報	301
27.5.	レジスタ説明	214	35.2.	製品識別システム	302
28.	AC – アナログ比較器	218	36.	外圍器図	303
28.1.	特徴	218	36.1.	オンライン外圍器図	303
28.2.	概要	218	36.2.	14リードSOIC	303
28.3.	機能的な説明	219	36.3.	20リードSOIC	304
28.4.	レジスタ要約	221	36.4.	20パッドVQFN	305
28.5.	レジスタ説明	222	36.5.	24パッドVQFN	306
29.	ADC – A/D変換器	224	36.6.	熱的考察	307
29.1.	特徴	224	37.	障害情報	308
29.2.	概要	224	37.1.	障害 – ATtiny804/806/807/1604/1606/1607	308
29.3.	機能的な説明	225	38.	データシート改訂履歴	313
29.4.	レジスタ要約	230	38.1.	改訂A – 2021年4月	313
29.5.	レジスタ説明	231	38.2.	追補 – 廃止された改訂履歴	317

Microchipウェブ サイト	320
製品変更通知サービス	320
お客様支援	320
製品識別システム	320
Microchipデバイスコード保護機能	320
法的通知	321
商標	321
品質管理システム	321
世界的な販売とサービス	322

1. シリコン障害とデータシート説明文書 (訳注:本書は下記の障害情報も含みます。)

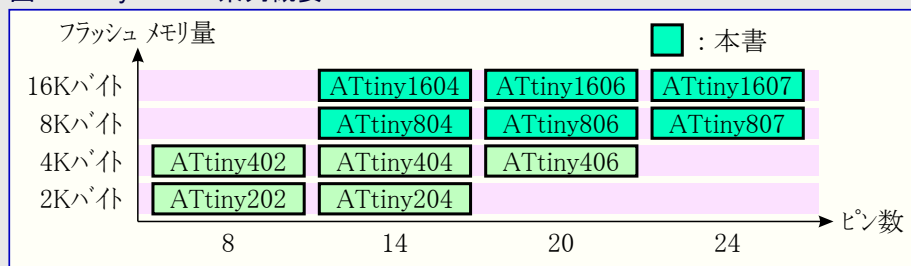
MicrochipはMicrochip製品の成功裏の使用を確実にするために可能な最善の資料をお客様を提供することを心がけています。データシート更新の間、シリコン障害とデータシート説明文書がデータシートに対する最新情報を含みます。「ATtiny804/806/807/1604/1606/1607シリコン障害とデータシート説明(www.microchip.com/DS80000951)」はwww.microchip.comのデバイス製品頁で入手可能です。

2. tinyAVR® 0系列概要

下図はピン配置変種とメモリ量でtinyAVR 0系列デバイスを示します。

- これらのデバイスがピン互換で同じまたはより多くの機能を提供するため、上方向垂直移植はコード変更なしに可能です。下方向移植はより少ない利用可能ないくつかの周辺機能の実体のためにコード変更が必要かもしれません。
- 左への水平方向移植はピン数、従って利用可能な機能を減らします。

図2-1. tinyAVR® 0系列概要



異なるフラッシュメモリ量を持つデバイスは一般的に異なるSRAMとEEPROMの量を持ちます。

2.1. 製品形態要約

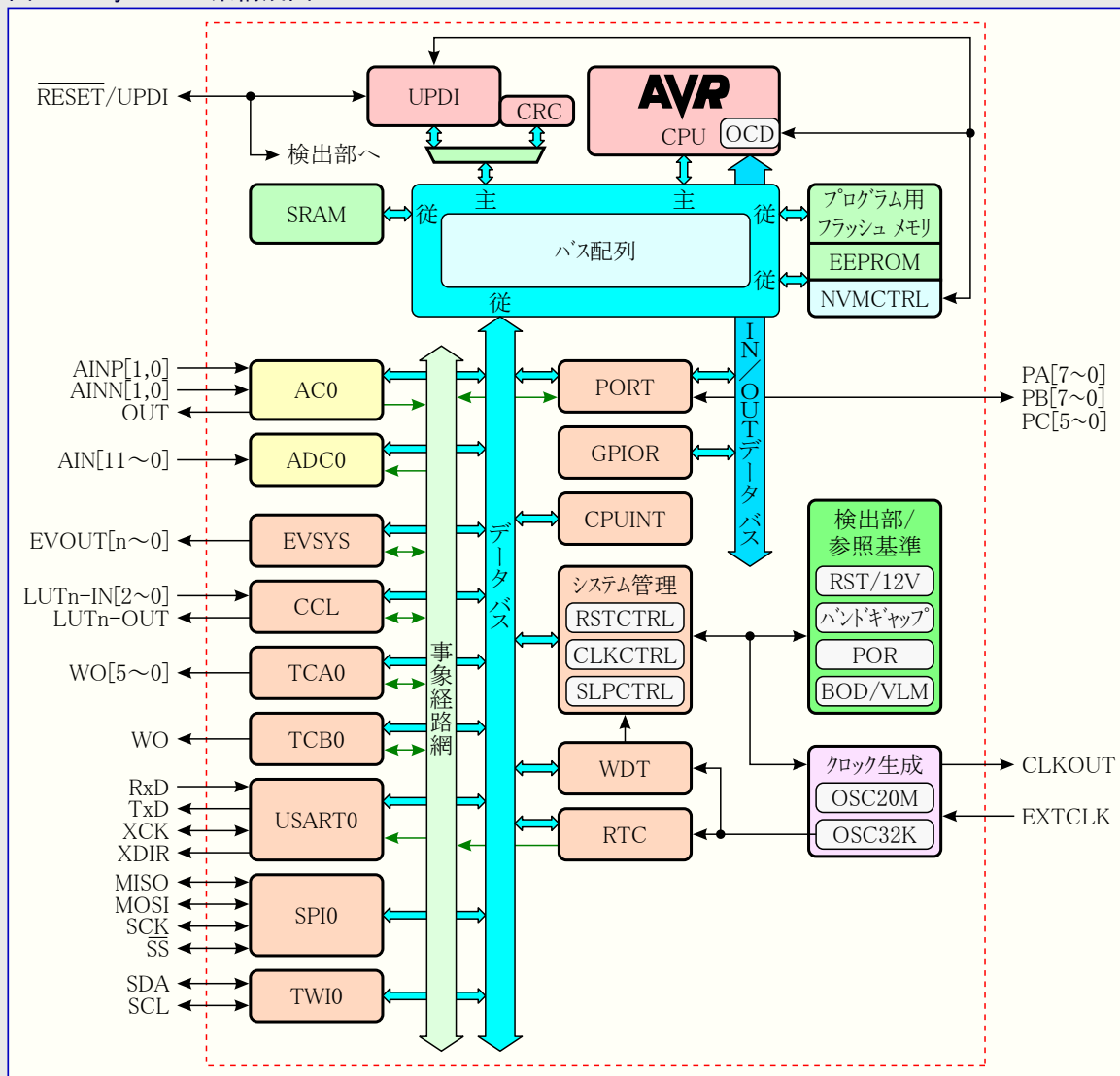
2.1.1. 周辺機能要約

表2-1. 周辺機能要約

機能項目	ATtiny804	ATtiny806	ATtiny807	ATtiny1604	ATtiny1606	ATtiny1607
ピン数	14	20	24	14	20	24
フラッシュメモリ	8Kバイト			16Kバイト		
SRAM	512バイト			1Kバイト		
EEPROM	128バイト			256バイト		
最大動作周波数 (MHz)	20					
16ビット タイマ/カウンタA型 (TCA)	1					
16ビット タイマ/カウンタB型 (TCB)	1					
12ビット タイマ/カウンタD型 (TCD)	なし					
実時間計数器 (RTC)	1					
万能同期非同期送受信器 (USART)	1					
直列周辺インターフェース (SPI)	1					
2線インターフェース (TWI/I ² C)	1					
A/D変換器 (ADC)	1					
ADCチャンネル数	10	12		10	12	
D/A変換器 (DAC)	なし					
アナログ比較器 (AC)	1					
AC入力数	1p/1n	2p/2n		1p/1n	2p/2n	
周辺機能接触制御器 (PTC)	なし					
構成設定可能な注文論理回路 (CCL)	1					
ウォッチドッグ タイマ (WDT)	1					
事象システム (EVSYS) チャンネル数	3					
汎用入出力 (GPIO)	12	18	22	12	18	22
外部割り込み	12	18	22	12	18	22
巡回冗長検査メモリ走査 (CRCSCAN)	1					
統一プログラム/デバッグ インターフェース (UPDI)	1					

3. 構成図

図3-1. tinyAVR® 0系構成図



注: この構成図はピン数とフラッシュメモリ量の両方に関してtinyAVR® 0系の最大デバイスを表します。このデータシートの特定デバイスの特徴の概要については「2.1. 製品形態要約」項と「5. 入出力多重化と考察」章をご覧ください。

4. ピン配置

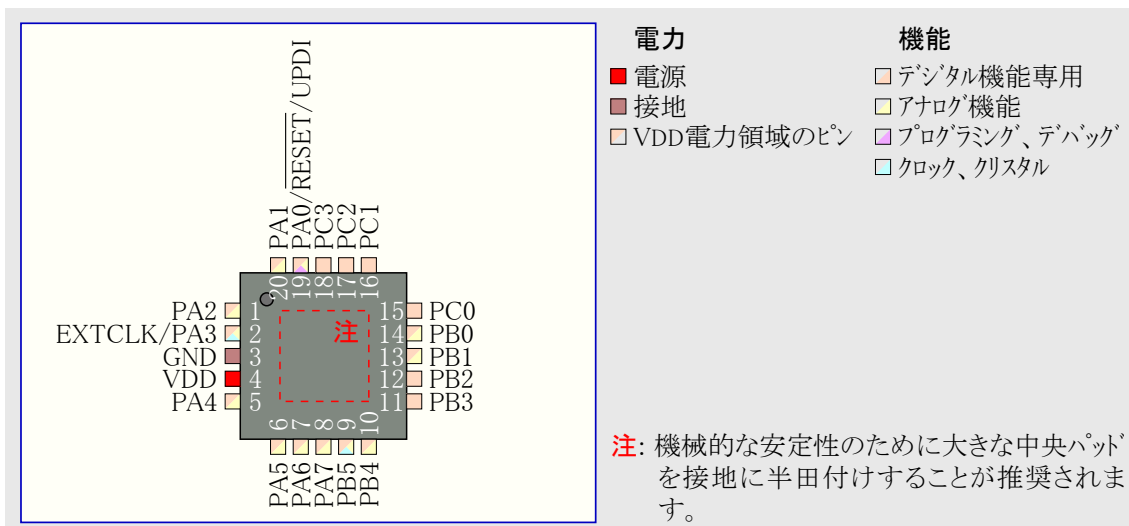
4.1. 14ピンSOIC



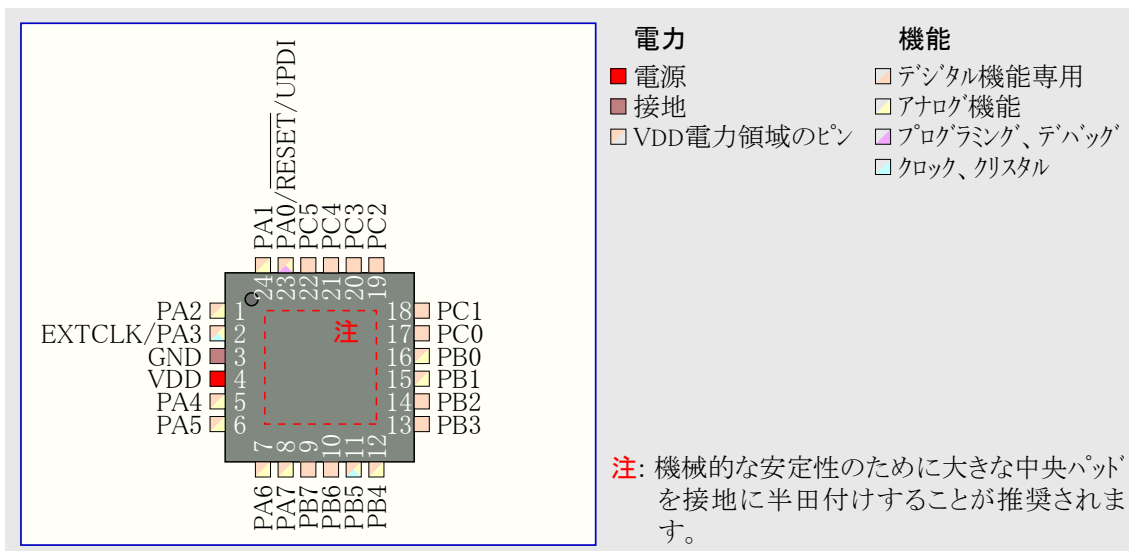
4.2. 20ピンSOIC



4.3. 20ピンVQFN



4.4. 24ピンVQFN



5. 入出力多重化と考察

5.1. 多重化された信号

表5-1. ポート機能多重化

VQFN24	VQFN20	SOIC20	SOIC14	ピン名(注1,2)	その他/特殊	ADC0	AC0	USART0	SPI0	TWI0	TCA0	TCB0	CCL
23	19	16	10	PA0	RESET/UPDI	AIN0							LUT0-IN0
24	20	17	11	PA1		AIN1		TxD (3)	MOSI				LUT0-IN1
1	1	18	12	PA2	EVOUT0	AIN2		RxD (3)	MISO				LUT0-IN2
2	2	19	13	PA3	EXTCLK	AIN3		XCK (3)	SCK		WO3		
3	3	20	14	GND									
4	4	1	1	VDD									
5	5	2	2	PA4		AIN4		XDIR (3)	SS		WO4		LUT0-OUT
6	6	3	3	PA5		AIN5	OUT				WO5	WO	
7	7	4	4	PA6		AIN6	AINN0						
8	8	5	5	PA7		AIN7	AINP0						LUT1-OUT
9	-	-	-	PB7									
10	-	-	-	PB6									
11	9	6	-	PB5	CLKOUT	AIN8	AINP1				WO2 (3)		
12	10	7	-	PB4		AIN9	AINN1				WO1 (3)		LUT0-OUT (3)
13	11	8	6	PB3				RxD			WO0 (3)		
14	12	9	7	PB2	EVOUT1			TxD			WO2		
15	13	10	8	PB1		AIN10		XCK		SDA	WO1		
16	14	11	9	PB0		AIN11		XDIR		SCL	WO0		
17	15	12	-	PC0					SCK (3)			WO (3)	
18	16	13	-	PC1					MISO (3)				LUT1-OUT (3)
19	17	14	-	PC2	EVOUT2				MOSI (3)				
20	18	15	-	PC3					SS (3)		WO3 (3)		LUT1-IN0
21	-	-	-	PC4							WO4 (3)		LUT1-IN1
22	-	-	-	PC5							WO5 (3)		LUT1-IN2

注1: ピン名はポートの実体(A,B,C)となるxとピン番号のnを持つPxn形式です。信号の表記法はPORTx_PINnです。全てのピンを事象システムとして使うことができます。

注2: 全てのピンは外部割り込みとして使うことができ、各ポートのPx2とPx6のピンは完全な非同期検出を持ちます。

注3: 赤字は代替ピン位置。代替位置選択については「15. PORTMUX - ポート多重器」章を参照してください。

6. メモリ

6.1. 概要

主なメモリはSRAMデータメモリ、EEPROMデータメモリ、フラッシュプログラムメモリです。加えて、周辺機能レジスタがI/Oメモリ空間に置かれます。

表6-1. フラッシュメモリの物理的な特性

特性	ATtiny804 ATtiny806 ATtiny807	ATtiny1604 ATtiny1606 ATtiny1607
量	8Kバイト	16Kバイト
ページ容量	64バイト	
ページ数	128	256
開始アドレス	\$8000	

表6-2. SRAMの物理的な特性

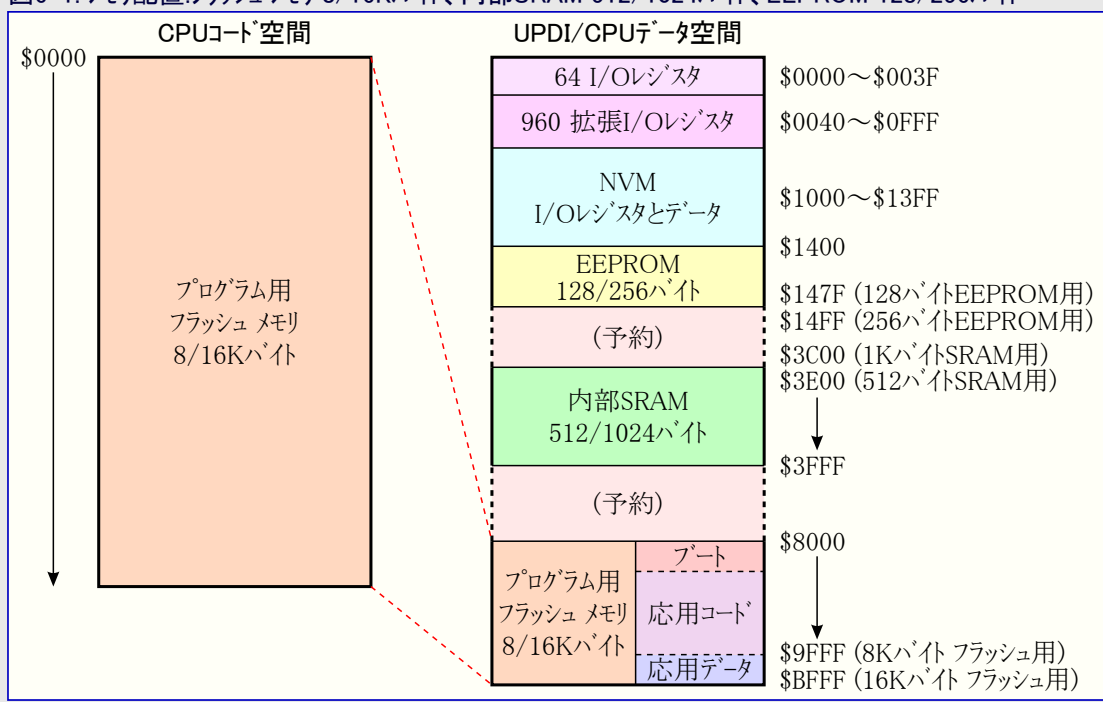
特性	ATtiny804 ATtiny806 ATtiny807	ATtiny1604 ATtiny1606 ATtiny1607
量	512バイト	1Kバイト
開始アドレス	\$3E00	\$3C00

表6-3. EEPROMの物理的な特性

特性	ATtiny804 ATtiny806 ATtiny807	ATtiny1604 ATtiny1606 ATtiny1607
量	128バイト	256バイト
ページ容量	32バイト	
ページ数	4	8
開始アドレス	\$1400	

6.2. メモリ配置

図6-1. メモリ配置:フラッシュメモリ 8/16Kバイト、内部SRAM 512/1024バイト、EEPROM 128/256バイト



6.3. 実装書き換え可能なフラッシュプログラムメモリ

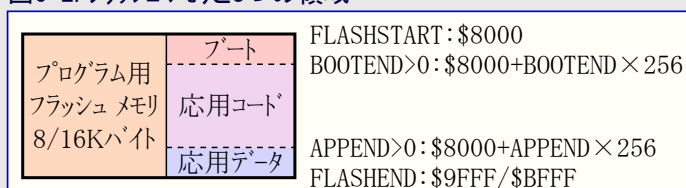
ATtiny804/806/807/1604/1606/1607はプログラム記憶用に実装書き換え可能なチップ上の8/16Kバイトのフラッシュメモリを含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは16ビットデータ幅として構成されます。書き込み保護のため、フラッシュプログラムメモリ空間はそれらの間に制限されたアクセス権を持つ、ブートローダ領域、応用コード領域、応用データ領域の3つの領域に分けることができます(下図をご覧ください)。

プログラムカウンタ(PC)はプログラムメモリ全体をアドレス指定するために12/13ビット幅です。フラッシュメモリを書くための手順は不揮発性メモリ制御器(NVMCTRL)周辺機能の文章内で詳細に記述されます。

フラッシュメモリ全体がメモリ空間に配置され、LPM命令だけでなく通常のLD/ST命令でもアクセス可能です。LD/ST命令に対して、フラッシュメモリはアドレス\$8000から配置されます。LPM命令に対して、フラッシュメモリ開始アドレスは\$0000です。

ATtiny804/806/807/1604/1606/1607はバスの主権者であるCRC単位部も持ちます。

図6-2. フラッシュメモリと3つの領域



6.4. SRAMデータメモリ

512/1024バイトのSRAMはデータ記憶とスタックに使われます。

6.5. EEPROMデータメモリ

ATtiny804/806/807/1604/1606/1607は128/256バイトのEEPROMデータメモリを持ちます。「6.2. メモリ配置」項をご覧ください。EEPROMメモリは単一バイトの読み書きを支援します。EEPROMは不揮発性メモリ制御器(NVMCTRL)によって制御されます。

6.6. 使用者列

EEPROMに加えて、ATtiny804/806/807/1604/1606/1607はファームウェア設定に使うことができるEEPROMメモリの1つの付加ページである使用者列(USERROW)を持ちます。このメモリは標準EEPROMとして単一バイトの読み書きを支援します。CPUはこのメモリを標準EEPROMとして読み書きすることができ、UPDIはこの部分が解錠されていれば標準EEPROMメモリとして読み書きすることができます。使用者列はこの部分が施錠されている時にUPDIによって書くこともできます。USERROWはチップ消去によって影響を及ぼされません。

6.7. 識別票列

全てのtinyAVR®マイクロコントローラはデバイスを識別する3バイトの識別票符号を持ちます。この3バイトは独立したアドレス空間に存在します。このデバイス用の識別票バイトは右表で与えられます。

注: デバイスが施錠されている時は**システム情報部**(SIB: System Information Block)だけをアクセスすることができます。

表6-4. デバイスID

デバイス名	識別票バイト アドレス		
	\$0000	\$0001	\$0002
ATtiny804	\$1E	\$93	\$25
ATtiny806	\$1E	\$93	\$24
ATtiny807	\$1E	\$93	\$23
ATtiny1604	\$1E	\$94	\$25
ATtiny1606	\$1E	\$94	\$24
ATtiny1607	\$1E	\$94	\$23

6.8. I/Oメモリ

ATtiny804/806/807/1604/1606/1607の全てのI/Oと周辺機能はI/Oメモリ空間に配置されます。\$00～\$3FのI/Oアドレス範囲は**IN**と**OUT**の命令を使って単一周期でアクセスすることができます。\$0040～\$0FFFの拡張I/Oメモリ空間は32個の汎用作業レジスタとI/Oメモリ空間の間でデータを転送する**LD/LDS/LDD**と**ST/STS/STD**の命令によってアクセスすることができます。

アドレス範囲\$00～\$1F内のI/Oレジスタは**SBI**と**CBI**の命令を用いて直接ビットアクセス可能です。これらのレジスタでは、**SBIS**と**SBIC**の命令を用いることによって単一ビットの値を調べることができます。より多くの詳細については「命令一式要約」章を参照してください。

将来のデバイスとの互換性のため、予約ビットはアクセスされる場合に**0**を書かれなければなりません。予約されたI/Oメモリアドレスは決して書かれてはなりません。

割り込み要求フラグのいくつかはそれらに**1**を書くことによって解除(**0**)されます。ATtiny804/806/807/1604/1606/1607デバイスでは**CBI**と**SBI**の命令が特定ビットでだけ動作し、このような割り込み要求フラグを含むレジスタで使うことができます。**CBI**と**SBI**の命令は\$00～\$1Fのレジスタでだけ動きます。

汎用I/Oレジスタ

ATtiny804/806/807/1604/1606/1607デバイスは4つの汎用I/Oレジスタを提供します。これらのレジスタはどんな情報を格納するのにも使うことができ、それらは全域変数や割り込みフラグを格納するのに特に有用です。アドレス範囲\$1C～\$1Fに属す汎用I/Oレジスタは**SBI**,**CBI**,**SBIS**,**SBIC**の命令を用いて直接ビットアクセス可能です。

6.8.1. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	GPOR0	7～0					GPOR7～0			
+\$01	GPOR1	7～0					GPOR7～0			
+\$02	GPOR2	7～0					GPOR7～0			
+\$03	GPOR3	7～0					GPOR7～0			

6.8.2. レジスタ説明

6.8.2.1. GPORn – 汎用I/Oレジスタn (General Purpose I/O Register n)

名称 : GPOR0 : GPOR1 : GPOR2 : GPOR3

変位 : +\$00 : +\$01 : +\$02 : +\$03

リセット : \$00

特質 : –

これらはビット アクセス可能なI/Oメモリ空間で全域変数やフラグのようなデータを格納するのに使うことができる汎用レジスタです。

ビット	7	6	5	4	3	2	1	0
	GPOR7～0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7～0 – GPOR7～0 : 汎用I/Oレジスタn バイト (GPIO Register byte)

6.9. 施錠されたデバイスでのCPUとUPDIからのメモリ領域アクセス

デバイスはメモリがUPDIを用いて読むことができないように施錠することができます。この施錠はフラッシュメモリ(ブート、応用コード、応用データの領域の全て)、SRAMとヒューズ(FUSE)データを含むEEPROMの両方を保護します。これはデバッグ インターフェースを用いた応用のデータやコードの読み込み成功を防ぎます。応用内からの通常のメモリ アクセスは未だ許されます。

デバイスは施錠ビット ヒューズ(FUSE.LOCKBIT)の施錠ビット(LOCKBIT)ビット領域にどれかの非有効鍵を書くことによって施錠されます。

表6-5. 解錠動作/施錠動作でのメモリアクセス (～/～は解錠時/施錠時、注1)

メモリ領域	CPUアクセス		UPDIアクセス	
	読み	書き	読み	書き
SRAM	○/○	○/○	○/×	○/×
レジスタ	○/○	○/○	○/×	○/×
フラッシュメモリ	○/○	○/○	○/×	○/×
EEPROM	○/○	○/○	○/×	○/×
使用者列(USERROW)	○/○	○/○	○/×	○/○ (注2)
識別列(SIGROW)	○/○	×/×	○/×	×/×
他のヒューズ	○/○	×/×	○/×	○/×

注1: 表で×と記された読み込み操作が成功に見えるかもしれませんが、データは有効ではありません。故に、UPDIを通すどのコード確認の試みもこれらのメモリ領域で失敗します。

注2: 施錠動作でUSERROWはヒューズ書き込み指令を用いて書くことはできますが、現在のUSERROW値を読み出すことができません。

(訳注) 視認性から原書の表6-5.と表6-6.は表6-5.として纏めました。



重要: デバイスを解錠する唯一の方法はチップ消去(CHIPERASE)を通すことです。応用データは保持されません。

6.10. 構成設定と使用者ヒューズ (FUSE)

ヒューズは不揮発性メモリの一部でデバイス構成設定を保持します。ヒューズはデバイス電源投入から利用可能です。ヒューズはCPUまたはUPDIによって読むことができますが、UPDIによってのみ設定または解除を行うことができます。ヒューズに格納された構成設定値は始動手順の最後でそれら各々の目的対象レジスタに書かれ(転送され)ます。

周辺機能構成設定用ヒューズ(FUSE)は予め設定されますが、使用者によって変えることができます。構成設定ヒューズで変えられた値はリセット後だけに有効です。

注: ヒューズを書く時に全ての予約ビットは'1'を書かれなければなりません。

6.10.1. 識別列要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	DEVICEID0	7~0				DEVICEID7~0				
+\$01	DEVICEID1	7~0				DEVICEID7~0				
+\$02	DEVICEID2	7~0				DEVICEID7~0				
+\$03	SERNUM0	7~0				SERNUM7~0				
+\$04	SERNUM1	7~0				SERNUM7~0				
+\$05	SERNUM2	7~0				SERNUM7~0				
+\$06	SERNUM3	7~0				SERNUM7~0				
+\$07	SERNUM4	7~0				SERNUM7~0				
+\$08	SERNUM5	7~0				SERNUM7~0				
+\$09	SERNUM6	7~0				SERNUM7~0				
+\$0A	SERNUM7	7~0				SERNUM7~0				
+\$0B	SERNUM8	7~0				SERNUM7~0				
+\$0C	SERNUM9	7~0				SERNUM7~0				
+\$0D ~ +\$1F	予約									
+\$20	TEMPSENSE0	7~0				TEMPSENSE7~0				
+\$21	TEMPSENSE1	7~0				TEMPSENSE7~0				
+\$22	OSC16ERR3V	7~0				OSC16ERR3V7~0				
+\$23	OSC16ERR5V	7~0				OSC16ERR5V7~0				
+\$24	OSC20ERR3V	7~0				OSC20ERR3V7~0				
+\$25	OSC20ERR5V	7~0				OSC20ERR5V7~0				

6.10.2. 識票列説明

6.10.2.1. DEVICEIDn – デバイスIDn (Device ID n)

名称 : DEVICEID0 : DEVICEID1 : DEVICEID2
 変位 : +\$00 : +\$01 : +\$02
 既定 : [デバイスID]
 特質 : -

各デバイスはこのデバイスとメモリ量、ピン数、ダイ改訂のようなその特性を識別するデバイスIDを持ちます。このIDはデバイスを識別するのに使うことができ、故にソフトウェアによって利用可能な機能です。デバイスIDはSIGROW.DEVICEID2~0の3バイトから成ります。

ビット	7	6	5	4	3	2	1	0
	DEVICEID7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

● ビット7~0 – DEVICEID7~0 : デバイスIDのバイトn (Byte n of the Device ID)

6.10.2.2. SERNUMn – 通番バイトn (Serial Number Byte n)

名称 : SERNUM0 : SERNUM1 : SERNUM2 : SERNUM3 : SERNUM4 : SERNUM5 : SERNUM6 : SERNUM7 : SERNUM8 : SERNUM9
 変位 : +\$03 : +\$04 : +\$05 : +\$06 : +\$07 : +\$08 : +\$09 : +\$0A : +\$0B : +\$0C
 既定 : [デバイス通番]
 特質 : -

各デバイスは固有のIDを表す個別の通番を持ちます。このIDは在野で特定デバイスを識別するのに使うことができます。通番はSIGROW.SERNUM9~0の10バイトから成ります。

ビット	7	6	5	4	3	2	1	0
	SERNUM7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

● ビット7~0 – SERNUM7~0 : 通番のバイトn (Serial Number n [n=0~9])

6.10.2.3. TEMPSENSEn – 温度感知器校正n (Temperature Sensor Calibration n)

名称 : TEMPSENSE0 : TEMPSENSE1
 変位 : +\$20 : +\$21
 既定 : [温度感知器校正値]
 特質 : -

温度感知器校正レジスタはチップ上感知器での温度測定に対する修正係数を含みます。SIGROW.TEMPSENSE0は利得/傾斜に対する(符号なし)修正係数で、SIGROW.TEMPSENSE1は変位(オフセット)に対する(符号付き)修正係数です。

ビット	7	6	5	4	3	2	1	0
	TEMPSENSE7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

● ビット7~0 – TEMPSENSE7~0 : 温度感知器校正バイトn (Temperature Sensor Calibration Byte)

このレジスタの使用方法については「ADC」章の「[温度測定](#)」を参照してください。

6.10.2.4. OSC16ERR3V – 3VでのOSC16誤差 (OSC16 error at 3V)

名称 : OSC16ERR3V
 変位 : +\$22
 既定 : [発振器周波数誤差値]
 特質 : -

ビット	7	6	5	4	3	2	1	0
	OSC16ERR3V7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

● ビット7~0 – OSC16ERR3V7~0 : 3VでのOSC16誤差 (OSC16 error at 3V) (訳注:次頁脚注の訳補参照)

このレジスタは製造中に測定した3V/内部16MHz走行時の標準発振器周波数に相対する符号付き発振器周波数誤差値を含みます。

6.10.2.5. OSC16ERR5V – 5VでのOSC16誤差 (OSC16 error at 5V)

名称 : OSC16ERR5V
変位 : +\$23
既定 : [発振器周波数誤差値]
特質 : -

ビット	7	6	5	4	3	2	1	0
	OSC16ERR5V7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

●ビット7~0 – OSC16ERR5V7~0 : 5VでのOSC16誤差 (OSC16 error at 5V) (訳注:脚注の訳補参照)

このレジスタは製造中に測定した5V/内部16MHz走行時の標準発振器周波数に相対する符号付き発振器周波数誤差値を含みます。

6.10.2.6. OSC20ERR3V – 3VでのOSC20誤差 (OSC20 error at 3V)

名称 : OSC20ERR3V
変位 : +\$24
既定 : [発振器周波数誤差値]
特質 : -

ビット	7	6	5	4	3	2	1	0
	OSC20ERR3V7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

●ビット7~0 – OSC20ERR3V7~0 : 3VでのOSC20誤差 (OSC20 error at 3V) (訳注:脚注の訳補参照)

このレジスタは製造中に測定した3V/内部20MHz走行時の標準発振器周波数に相対する符号付き発振器周波数誤差値を含みます。

6.10.2.7. OSC20ERR5V – 5VでのOSC20誤差 (OSC20 error at 5V)

名称 : OSC20ERR5V
変位 : +\$25
既定 : [発振器周波数誤差値]
特質 : -

ビット	7	6	5	4	3	2	1	0
	OSC20ERR5V7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	x	x	x	x	x	x	x	x

●ビット7~0 – OSC20ERR5V7~0 : 5VでのOSC20誤差 (OSC20 error at 5V) (訳注:脚注の訳補参照)

このレジスタは製造中に測定した5V/内部20MHz走行時の標準発振器周波数に相対する符号付き発振器周波数誤差値を含みます。

6.10.3. ヒューズ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	WDTCFG	7～0	WINDOW3～0				PERIOD3～0			
+\$01	BODCFG	7～0	LVL2～0			SAMPFREQ	ACTIVE1,0		SLEEP1,0	
+\$02	OSCCFG	7～0	OSCLOCK						FREQSEL1,0	
+\$03 ～ +\$04	予約									
+\$05	SYSCFG0	7～0	CRCSRC1,0				RSTPINCFG1,0			EESAVE
+\$06	SYSCFG1	7～0						SUT2～0		
+\$07	APPEND	7～0	APPEND7～0							
+\$08	BOOTEND	7～0	BOOTEND7～0							
+\$09	予約									
+\$0A	LOCKBIT	7～0	LOCKBIT7～0							

(訳補) OSCxxERRxVレジスタは「CLKCTRL」章のコード例に基づく $[(\text{公称周波数}-\text{実測周波数})/\text{公称周波数} \times 1024]$ の符号付き8ビット値で概ね+12.7~-12.8%の誤差を表します。

6.10.4. ヒュース説明

6.10.4.1. WDTCFG – ウォッチドッグ構成設定 (Watchdog Configuration)

名称 : WDTCFG
変位 : +\$00
既定 : \$00
特質 : -

このヒュース記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	WINDOW3~0				PERIOD3~0			
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● ビット7~4 – WINDOW3~0 : ウォッチドッグ窓制限時間周期 (Watchdog Window Timeout Period)

この値はリセット中にウォッチドッグ制御A(WDT.CTRLA)レジスタの窓期間(WINDOW)ビット領域に設定されます。

● ビット3~0 – PERIOD3~0 : ウォッチドッグ制限時間周期 (Watchdog Timeout Period)

この値はリセット中にウォッチドッグ制御A(WDT.CTRLA)レジスタの制限期間(PERIOD)ビット領域に設定されます。

6.10.4.2. BODCFG – BOD構成設定 (BOD Configuration)

名称 : BODCFG
変位 : +\$01
既定 : \$00
特質 : -

このヒュース記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

このヒュース レジスタのビット値は始動で対応するBOD構成設定レジスタに書かれます。

ビット	7	6	5	4	3	2	1	0
	LVL2~0			SAMPFREQ	ACTIVE1,0		SLEEP1,0	
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

● ビット7~5 – LVL2~0 : BOD基準 (BOD Level)

この値はリセット中にBOD制御B(BOD.CTRLB)レジスタのBOD基準(LVL)ビット領域に設定されます。

値	0 0 0	0 1 0	1 1 1
名称	BODLEVEL0	BODLEVEL2	BODLEVEL7
説明	1.8V	2.6V	4.2V

注 : 説明内の値は代表値です。
・最小値と最大値については電気的特性でBODとPORの特性を参照してください。

● ビット4 – SAMPFREQ : BOD採取周波数 (BOD Sample Frequency)

この値はリセット中にBOD制御A(BOD.CTRLA)レジスタの採取周波数(SAMPFREQ)ビットに設定されます。

値	0	1
説明	採取周波数は1kHzです。	採取周波数は125Hzです。

● ビット3,2 – ACTIVE1,0 : 活動とアイドルでのBOD動作形態 (BOD Operation Mode in Active and Idle)

この値はリセット中にBOD制御A(BOD.CTRLA)レジスタの活動/アイドル時動作(ACTIVE)ビット領域に設定されます。

値	0 0	0 1	1 0	1 1
説明	禁止	許可	採取動作	BODの準備が整うまで停止され、起き上がりで許可

● ビット1,0 – SLEEP1,0 : 休止でのBOD動作形態 (BOD Operation Mode in Sleep)

この値はリセット中にBOD制御A(BOD.CTRLA)レジスタのスタンバイ/パワーダウン時動作(SLEEP)ビット領域に設定されます。

値	0 0	0 1	1 0	1 1
説明	禁止	許可	採取動作	(予約)

6.10.4.3. OSCCFG – 発振器構成設定 (Oscillator Configuration)

名称 : OSCCFG
変位 : +\$02
既定 : \$7E
特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	OSCLOCK						FREQSEL1,0	
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	-	-	-	-	-	1	0

●ビット7 – OSCLOCK : 発振器施錠 (Oscillator Lock)

このヒューズビットはリセット中にCLKCTRL.OSC20MCALIBBレジスタの施錠(LOCK)ビットに設定されます。

値	0	1
説明	OSC20M発振器の校正レジスタはアクセス可能です。	OSC20M発振器の校正レジスタは施錠されます。

●ビット1,0 – FREQSEL1,0 : 周波数選択 (Frequency Select)

このビット領域は16/20MHz内部発振器の動作周波数を選び、16/20MHz発振器校正A(CLKCTRL.OSC20MCALIBA)レジスタの校正(CAL20M)と16/20MHz発振器校正B(CLKCTRL.OSC20MCALIBB)レジスタの温度校正(TEMPCAL20M)に書かれるべき各々の工場校正値を決めます。

値	0 0	0 1	1 0	1 1
説明	(予約)	対応する工場校正での16MHzで走行	対応する工場校正での20MHzで走行	(予約)

6.10.4.4. SYSCFG0 – システム構成設定0 (System Configuration 0)

名称 : SYSCFG0
変位 : +\$05
既定 : \$F6
特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	CRCSRC1,0				RSTPINCFG1,0			EESAVE
アクセス種別	R	R	R	R	R	R	R	R
既定値	1	1	0	0	0	1	0	0

●ビット7,6 – CRCSRC1,0 : CRC供給元 (CRC Source)

このビット領域はリセット初期化中にCRCSCAN周辺機能によってフラッシュメモリのどの領域が検査されるかを制御します。

値	0 0	0 1	1 0	1 1
名称	FLASH	BOOT	BOOTAPP	NOCRC
説明	全フラッシュメモリ (ブート、応用コード、応用データ)のCRC	ブート領域のCRC	応用コードと ブートの領域のCRC	CRCなし

●ビット3,2 – RSTPINCFG1,0 : リセットピン構成設定 (Reset Pin Configuration)

このビット領域はリセット/UPDIピンの構成設定を選びます。

値	0 0	0 1	1 0	1 1
説明	汎用入出力(GPIO)	UPDI	RESET	(予約)

注: RESETピンをGPIOとして構成設定すると、活動的なGPIO出力駆動と高電圧UPDI許可手順初期化間で潜在的な衝突があります。これを避けるため、GPIO出力駆動部はシステムリセット後に768 OSC32K周期間禁止されます。このピンに対するどの割り込みもこの期間後にだけ許可してください。

●ビット0 – EESAVE : チップ消去中EEPROM保存 (EEPROM Save during chip erase)

デバイスが施錠されている場合、EEPROMはこのビットに関わらずチップ消去によって常に消去されます。

値	0	1
説明	チップ消去中にEEPROMが消去されます。	チップ消去中にEEPROMは消去されません。

6.10.4.5. SYSCFG1 – システム構成設定1 (System Configuration 1)

名称 : SYSCFG1

変位 : +\$06

既定 : \$FF

特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	SUT2~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	-	-	-	-	-	1	1	1

●ビット2~0 – SUT2~0 : 始動時間設定 (Start Up Time Setting)

これらのビットは電源ONとコード実行間の始動時間を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
説明	0ms	1ms	2ms	4ms	8ms	16ms	32ms	64ms

6.10.4.6. APPEND – 応用コード領域の最後 (Application Code Section End)

名称 : APPEND

変位 : +\$07

既定 : \$00

特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	APPEND7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

●ビット7~0 – APPEND7~0 : 応用コード領域の最後 (Application Code Section End) (訳注:脚注の訳補参照)

このビット領域は応用コード領域の最後を256バイト単位で設定します。応用コード領域の最後は(ブート領域(BOOT)量)+(応用コード量)として設定されます。残りのフラッシュメモリは応用データです。\$00の値は応用コード領域としてブートの最後(BOOTEND)×256からフラッシュメモリの最後までを定義します。FUSE.BOOTENDが\$00の時はフラッシュメモリ全体がブート(BOOT)領域です。

6.10.4.7. BOOTEND – ブートの最後 (Boot End)

名称 : BOOTEND

変位 : +\$08

既定 : \$00

特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	BOOTEND7~0							
アクセス種別	R	R	R	R	R	R	R	R
既定値	0	0	0	0	0	0	0	0

●ビット7~0 – BOOTEND7~0 : ブート領域の最後 (Boot Section End) (訳注:脚注の訳補参照)

このビット領域はブート領域の最後を256バイト単位で設定します。\$00の値はブート領域としてフラッシュメモリ全体を定義します。FUSE.BOOTENDが\$00の時はフラッシュメモリ全体がブート(BOOT)領域です。

(訳補) APPENDとBOOTENDでの指定値は256バイト単位でのその領域容量を指定します。アドレス的に、上記の記述で「の最後」の記述は不正確で実際には「の最後+1」を指定することになります。

6.10.4.8. LOCKBIT – 施錠ビット (Lock Bits)

名称 : LOCKBIT
変位 : +\$0A
既定 : \$C5
特質 : -

このヒューズ記述で与えられる既定値は工場書き込み値で、リセット値と間違えてはいけません。

ビット	7	6	5	4	3	2	1	0
	LOCKBIT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
既定値	1	1	0	0	0	1	0	1

● ビット7~0 – LOCKBIT7~0 : 施錠ビット (Lock Bits)

デバイス施錠時、UPDIはシステム バスをアクセスできず、故にシステム情報部(SIB)以外何も読み出すことができません。

値	\$C5		その他
説明	メモリ アクセスは解錠されます。		メモリ アクセスは施錠されます。

7. 周辺機能と基本構造

7.1. 周辺機能アドレス配置

アドレス配置は各周辺機能に対する基準アドレスを示します。各周辺機能に対する完全なレジスタ記述と要約については各々の周辺機能章を参照してください。

表7-1. 周辺機能単位部アドレス配置

基準アドレス	名称	説明	基準アドレス	名称	説明
\$0000	VPORTA	仮想ポートA	\$0200	PORTMUX	ポート多重器
\$0004	VPORTB	仮想ポートB	\$0400	PORTA	ポートA構成設定
\$0008	VPORTC	仮想ポートC (注)	\$0420	PORTB	ポートB構成設定
\$001C	GPIO	汎用I/Oレジスタ	\$0440	PORTC	ポートC構成設定 (注)
\$0030	CPU	CPU	\$0600	ADC0	A/D変換器0
\$0040	RSTCTRL	リセット制御器	\$0680	AC0	アナログ比較器0
\$0050	SLPCTRL	休止制御器	\$0800	USART0	万能同期非同期送受信器0
\$0060	CLKCTRL	クロック制御器	\$0810	TWI0	2線インターフェース0
\$0080	BOD	低電圧検出	\$0820	SPI0	直列周辺インターフェース0
\$00A0	VREF	基準電圧	\$0A00	TCA0	タイマ/カウンタA型0
\$0100	WDT	ウォッチドッグ タイマ	\$0A40	TCB0	タイマ/カウンタB型0
\$0110	CPUINT	割り込み制御器	\$0F00	SYSCFG	システム構成設定
\$0120	CRCSCAN	巡回冗長検査メモリ走査	\$1000	NVMCTRL	不揮発性メモリ制御器
\$0140	RTC	実時間計数器	\$1100	SIGROW	識票列
\$0180	EVSYS	事象システム	\$1280	FUSES	デバイス特定ヒューズ
\$01C0	CCL	構成設定可能な注文論理回路	\$1300	USERROW	使用者列

注: このレジスタの有効性はデバイスのピン数に依存します。PORTC/VPORTCは20ピン以上のデバイスで利用可能です。

7.2. 割り込みベクタ配置

割り込みベクタの各々は次表で示されるように1つの周辺機能実体に接続されます。周辺機能は1つまたはもっと多くの割り込み元を持ち得ます。利用可能な割り込み元のより多くの詳細については各々の周辺機能の「機能的な説明」の「割り込み」項をご覧ください。

割り込み条件が起これと、周辺機能の割り込み要求フラグ(周辺機能名.INTFLAGS)レジスタで割り込み要求フラグ(名称IF)が設定(1)されます。

割り込みは周辺機能の割り込み制御(周辺機能名.INTFCTRL)レジスタで対応する割り込み許可(名称IE)ビットを書くことによって許可または禁止にされます。

レジスタの命名はいくつかの周辺機能で僅かに変わるかもしれません。

割り込み要求は対応する割り込みが許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求はその割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除(0)する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

割り込みが生成されるには割り込み要求に対して全体的に許可されなければなりません。

表7-2. 割り込みベクタ配置

ベクタ 番号	プログラム アドレス (語)		周辺機能 (名称)	説明
	ATtiny1604 ATtiny1606 ATtiny1607 (注1)	ATtiny804 ATtiny806 ATtiny807 (注2)		
0	\$0000	\$0000	RESET	リセット
1	\$0002	\$0001	CRCSCAN_NMI	CRCSCANに対して利用可能な遮蔽不可割り込み
2	\$0004	\$0002	BOD_VLM	電圧水準監視器割り込み
3	\$0006	\$0003	PORTA_PORT	ポートA割り込み
4	\$0008	\$0004	PORTB_PORT	ポートB割り込み
5	\$000A	\$0005	PORTC_PORT	ポートC割り込み (注3)
6	\$000C	\$0006	RTC_CNT	実時間計数器割り込み
7	\$000E	\$0007	RTC_PIT	(RTC周辺機能内の)周期割り込み計時器割り込み
8	\$0010	\$0008	TCA0_OVF TCA0_LUNF	標準: タイマ/カウンタA型溢れ割り込み 分割: タイマ/カウンタA型下位下溢れ割り込み
9	\$0012	\$0009	TCA0_HUNF	標準: (不使用) 分割: タイマ/カウンタA型上位下溢れ割り込み
10	\$0014	\$000A	TCA0_CMP0 TCA0_LCMP0	標準: タイマ/カウンタA型比較0割り込み 分割: タイマ/カウンタA型下位比較0割り込み
11	\$0016	\$000B	TCA0_CMP1 TCA0_LCMP1	標準: タイマ/カウンタA型比較1割り込み 分割: タイマ/カウンタA型下位比較1割り込み
12	\$0018	\$000C	TCA0_CMP2 TCA0_LCMP2	標準: タイマ/カウンタA型比較2割り込み 分割: タイマ/カウンタA型下位比較2割り込み
13	\$001A	\$000D	TCB0_INT	タイマ/カウンタB型捕獲割り込み
17	\$0022	\$0010	AC0_AC	アナログ比較器割り込み
20	\$0028	\$0011	ADC0_RESRDY	A/D変換器結果準備可割り込み
21	\$002A	\$0012	ADC0_WCOMP	A/D変換器窓比較割り込み
24	\$0030	\$0013	TWI0_TWIS	2線インターフェース/I ² C従装置割り込み
25	\$0032	\$0014	TWI0_TWIM	2線インターフェース/I ² C主装置割り込み
26	\$0034	\$0015	SPI0_INT	直列周辺インターフェース割り込み
27	\$0036	\$0016	USART0_RXC	万能同期非同期送受信器受信完了割り込み
28	\$0038	\$0017	USART0_DRE	万能同期非同期送受信器データレジスタ空割り込み
29	\$003A	\$0018	USART0_TXC	万能同期非同期送受信器送信完了割り込み
30	\$003C	\$0019	NVMCTRL_EE	不揮発性メモリEEPROM準備可割り込み

注1: 8Kバイトを超えるフラッシュメモリを持つデバイス

注2: 8Kバイト以下のフラッシュメモリを持つデバイス

注3: ポートピンの有効性はデバイスのピン数に依存します。PORTCは20ピン以上のデバイスで利用可能です。

(訳補/訳注) ベクタ番号の14～16、18、19、22、23が欠番であることに注意してください。原書での記述が正しいとすれば、8Kバイト以下のフラッシュメモリを持つデバイスの場合、ベクタ番号17以降ではベクタ番号とアドレス位置が整列対応していないことに注意してください。

7.3. システム構成設定 (SYSCFG)

システム構成設定は部品の改訂IDを含みます。この改訂IDはCPUから読め、部品の改訂間での応用変更の実装に対してそれを有用にします。

7.3.1. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	予約									
+\$01	REVID	7~0	REVID7~0							

7.3.2. レジスタ説明

7.3.2.1. REVID – デバイス改訂IDレジスタ (Device Revision ID Register)

名称 : REVID

変位 : +\$01

リセット : [改訂ID]

特質 : -

このレジスタは読み込み専用でデバイス改訂IDを与えます。

ビット	7	6	5	4	3	2	1	0
	REVID7~0							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	x	x	x	x	x	x	x	x

● ビット7~0 – REVID7~0 : 改訂ID (Revision ID)

このビット領域はデバイス改訂を含みます。\$00=A、\$01=B、以下同様です。

8. AVR® CPU

8.1. 特徴

- 8ビット、高性能AVR RISC CPU
 - 135個の命令
 - ハードウェア乗算器
- ALUに直接接続される32個の8ビットレジスタ
- RAM内のスタック
- I/Oメモリ空間でアクセス可能なスタック ポインタ
- 64Kバイトまでの統一されたメモリの直接アドレス指定
- 8,16,32ビット演算に対する効率的な支援
- システムの危険に対する構成設定変更保護機能
- 生来のチップ上デバッグ(OCD:On Chip Debugger)支援
 - 2つのハードウェア中断点(ブレークポイント)
 - 流れ変更、割り込みとソフトウェア中断点
 - スタック ポインタ(SP)レジスタ、プログラム カウンタ(PC)、ステータス レジスタ(SREG)の走行時読み出し
 - 停止動作でレジスタ ファイル読み書き可能

8.2. 概要

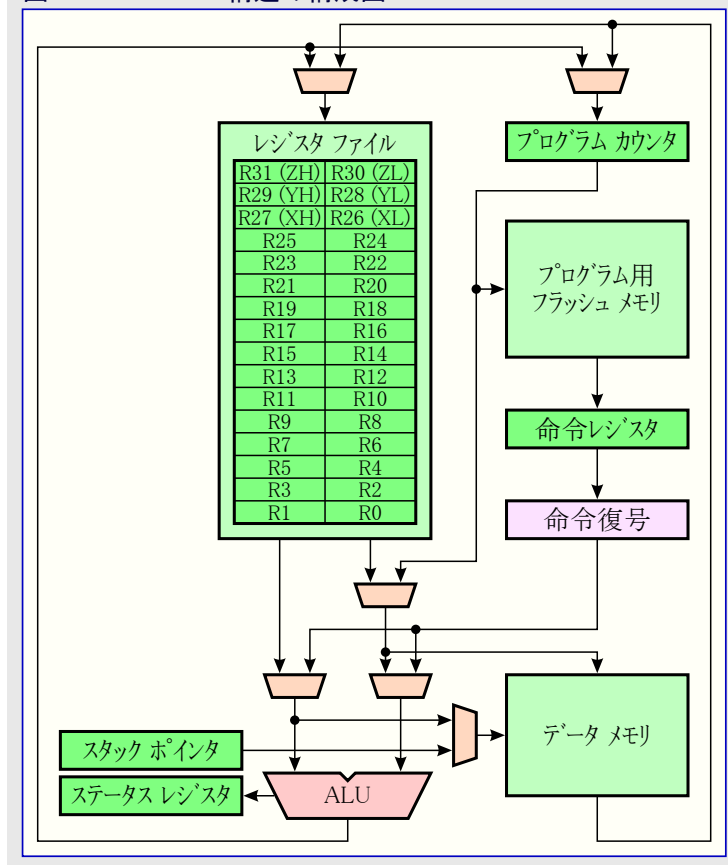
全てのAVRデバイスはAVR 8ビットCPUを使います。CPUはメモリをアクセスし、計算を実行し、周辺機能を制御し、そしてプログラム メモリ上の命令を実行することができます。割り込み処理は独立した章で記述されます。

8.3. 基本構成

性能と並列処理を最大化するため、AVR CPUはプログラムとデータに対して独立したバスを持つハーバード基本設計を使います。プログラム メモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあるのと同時に、次の命令がプログラム メモリから予め取得されます。これはクロック周期毎に実行されることを命令に許します。

全てのAVR命令の要約については「[命令一式要約](#)」章を参照してください。

図8-1. AVR® CPU構造の構成図



8.4. 算術論理演算部 (ALU)

算術論理演算部(ALU)は作業レジスタ間または定数と作業レジスタ間の演算と論理の操作を支援します。また、単一レジスタ操作を実行することができます。

ALUはレジスタ ファイル内の32個全ての汎用作業レジスタと直結で動きます。作業レジスタ間または、作業レジスタと即値被演算子間の算術操作が単一クロック周期で実行され、結果がレジスタ ファイルに格納されます。算術または論理の操作後、ステータス レジスタ(CPU.SREG)は操作の結果についての情報を反映するように更新されます。

ALU操作は算術、論理、ビット操作の3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、命令一式は効率的な32ビット算術演算の実装を許します。ハードウェア乗算器は符号付きと符号なしの乗算そして固定小数点形式を支援します。

8.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付きと符号なしの整数と固定小数点数の種々の変種を支援します。

- ・ 符号付き/符号なし整数の乗算
- ・ 符号付き/符号なし固定小数点数の乗算
- ・ 符号付きと符号なしの整数乗算
- ・ 符号付きと符号なしの固定小数点数乗算

乗算は2 CPUクロック周期かかります。

8.5. 機能的な説明

8.5.1. プログラムの流れ

リセット後、CPUはフラッシュ プログラム メモリ内の最下位アドレスの\$0000から命令を実行します。プログラム カウンタ(PC)は取得されるべき次の命令をアドレス指定します。

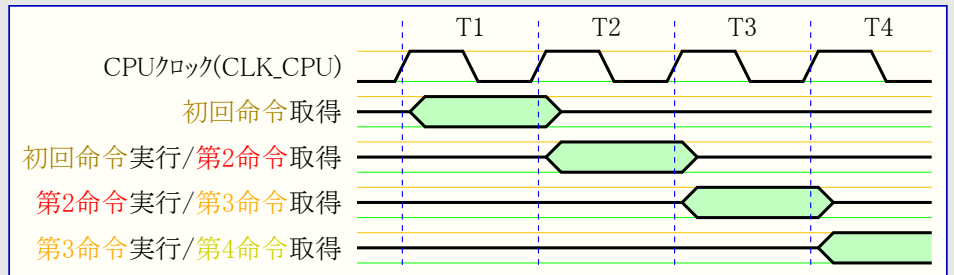
CPUは条件付きと条件なしでプログラムの流れを変更することができ、アドレス空間全体を直接位置指定できる命令を支援します。殆どのAVR命令は16ビット語形式を使い、限定数(の命令)は32ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC (値)が語ポインタとしてスタックに格納されます。スタックは一般的なデータSRAMに置かれ、必然的にスタック量は総SRAM量とSRAMの使い方によってのみ制限されます。[スタック ポインタ\(SP\)](#)がリセットされた後は内部SRAMの最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセス可能で、多数のスタックまたはスタック領域の容易な実装を許します。データSRAMはAVR CPUで支援される5つの異なるアドレス指定形式を通して容易にアクセスすることができます。

8.5.2. 命令実行タイミング

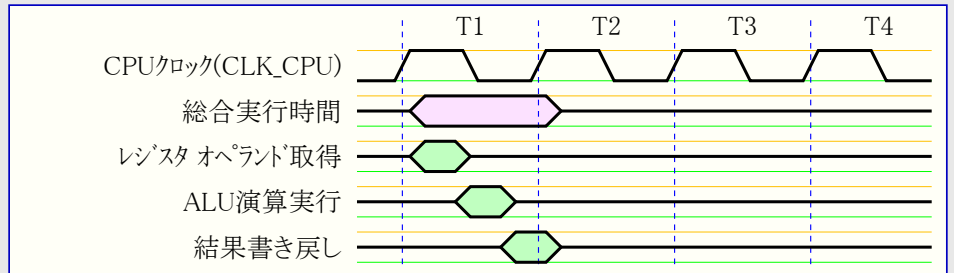
AVR CPUはCPUクロック(CLK_CPU)によってクロック駆動されます。内部クロック分周は全く適用されません。右図はハードウェア基本構造と高速アクセスレジスタ ファイルの概念によって許される、並列での命令の取得と実行を示します。これは高い効率を持つ最大1 MIPS/MHzの性能を許す基本的なパイプラインの概念です。

図8-2. 並列の命令取得と命令実行



右図はレジスタ ファイルに対する内部タイミングの概念を示します。単一クロック周期で、2つのレジスタ オペランドを使うALU操作が実行され、その結果が転送先レジスタに格納されます。

図8-3. 単一周期ALU操作



8.5.3. ステータス レジスタ

[ステータス レジスタ\(CPU.SREG\)](#)は最も直前に実行した算術または論理の命令の結果についての情報を含みます。この情報は条件付き操作を実行するためプログラムの流れを変えるのに使うことができます。

CPU.SREGは「[命令一式要約](#)」章で詳述されるように、全てのALU操作後に更新され、多くの場合で専用比較命令を使う必要を取り去り、高速でもっと簡潔なコードに帰着します。CPU.SREGは割り込み処理ルーチン(ISR)への移行や復帰の時に自動的に保存や回復が行われません。従って、CPU(流れ)状態切り替え間でのステータスレジスタ維持は使用者定義ソフトウェアによって処理されなければなりません。CPU.SREGはI/Oメモリ空間でアクセス可能です。

8.5.4. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データを格納するのにも使うことができます。スタック ポインタ(SP)は常にスタックの先頭(注:次に使われるべき位置)を指し示します。SPによって指定されるアドレスはスタック ポインタ(CPU.SP)レジスタに格納されます。CPU.SPはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。

データは表8-1.で与えられる命令を使って、または割り込みを実行することによってスタックに対して押し込みと取り出しが行われます。スタックは上位から下位のメモリ位置へ伸びます。これはスタックへのデータ押し込み時にSPが減り、スタックからのデータ取り出し時にSPが増すことを意味します。SPはリセット後に内部SRAMの最上位アドレスへ自動的に設定されます。スタックが変更される場合、SRAM開始アドレス以上を指し示すように設定されなければならない、何れかのサブルーチン呼び出しが実行される前と割り込みが許可される前に定義されなければならない(SRAM開始アドレスについてはメモリ章のSRAMデータメモリ部分をご覧ください)。SPの詳細については下表をご覧ください。

表8-1. スタック ポインタ命令

命令	スタック ポインタ	内容
PUSH	-1	データがスタック上に押し込まれます。
CALL,ICALL,RCALL	-2	サブルーチン呼び出しまたは割り込みでの戻りアドレスがスタック上に押し込まれます。
POP	+1	データがスタックから引き出されます。
RET,RETI	+2	サブルーチンまたは割り込みからの復帰での戻りアドレスがスタックから引き出されます。

割り込みまたはサブルーチン呼び出しの間、復帰アドレスが語として自動的にスタックへ格納され、SPは2減少されます。復帰アドレスは2バイトから成り、下位バイト(LSB)がスタック(の上位側番地)で最初に押し込まれます。例として、\$0006のバイト ポインタ復帰アドレスはスタック上に(1ビット右移動した)\$0003として保存され、プログラムメモリ内の4番目の16ビット命令を指し示します。復帰アドレスは(割り込みからの復帰時に)RETIと(サブルーチン呼び出しからの復帰時に)RETの命令でスタックから取り出され、SPは2増やされます。

データがPUSH命令でスタックに押し込まれる時にSPは1減らされ、POP命令を使ってスタックからデータが取り出される時に1増やされます。ソフトウェアからSPを更新する時の破損を防ぐため、SPL書き込みは最大4命令間または次のI/Oメモリ書き込みまでのどちらか速い方で自動的に割り込みを禁止します。

8.5.5. レジスタ ファイル

レジスタ ファイルはCPUによって使われる32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルはデータメモリから独立したアドレス空間に置かれます。

作業レジスタで動く全てのCPU命令はレジスタ ファイルに対して直接且つ単一のアクセスを持ちます。定数の算術と論理の演算命令(SBCI, SUBI, CPI, ANDI, ORI, LDI)のような命令によってアクセスすることができる作業レジスタにいくつかの制限が適用されます。これらの命令はレジスタ ファイルの後半の作業レジスタ(R16~R31)に適用します。更なる詳細についてはAVR命令一式手引書をご覧ください。

図8-4. AVR® CPU 汎用作業レジスタ

7		0 アドレス	
汎用 作業 レジスタ ファイル	R0	\$00	
	R1	\$01	
	R2	\$02	
	}		
	R13	\$0D	
	R14	\$0E	
	R15	\$0F	
	R16	\$10	
	R17	\$11	
	}		
	R26	\$1A	Xレジスタ
	R27	\$1B	
	R28	\$1C	Yレジスタ
	R29	\$1D	
	R30	\$1E	Zレジスタ
	R31	\$1F	

8.5.5.1. X,Y,Z レジスタ

R26~R31の作業レジスタはそれらの汎用の使い方に属する付加機能を持ちます。

これらのレジスタはデータメモリの間接アドレス指定用の16ビットアドレスポインタ形式にすることができます。これら3つのアドレスレジスタはXレジスタ、Yレジスタ、Zレジスタと呼ばれます。Zレジスタはプログラムメモリ用アドレスポインタとして使うこともできます。

下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。各種LD/ST系命令で、これらのアドレスレジスタは固定変位、自動増加、自動減少として機能することができます。詳細については「命令一式要約」章をご覧ください。

図8-5. X,Y,Zレジスタ

ビット(個別)	7	R27	0	7	R26	0
X レジスタ		XH (上位)		XL (下位)		
ビット(Xレジスタ)	15		8	7		0
ビット(個別)	7	R29	0	7	R28	0
Y レジスタ		YH (上位)		YL (下位)		
ビット(Xレジスタ)	15		8	7		0
ビット(個別)	7	R31	0	7	R30	0
Z レジスタ		ZH (上位)		ZL (下位)		
ビット(Xレジスタ)	15		8	7		0

8.5.6. 16ビットレジスタのアクセス

ATtiny804/806/807/1604/1606/1607デバイス用のレジスタの殆どは8ビットレジスタですが、このデバイスは少数の16ビットレジスタも特徴です。AVRデータバスが8ビットの幅を持つため、16ビットのアクセスは2つの読みまたは書きの操作を必要とします。ATtiny804/806/807/1604/1606/1607デバイスの全ての16ビットレジスタは一時(TEMP)レジスタを通して8ビットバスに接続されます。

16ビット書き込み操作については、16ビットレジスタの下位バイトレジスタ(例えば、DAT AL)が上位バイトレジスタ(例えば、DATAH)に先立って書かれなければなりません。下位バイトレジスタ書き込みは図8-6の左側で示されるように、下位バイトレジスタの代わりに一時(TEMP)レジスタへの書き込みに帰着します。16ビットレジスタの上位バイトレジスタが書かれると、図8-6の右側で示されるように、同じクロック周期でTEMPが16ビットレジスタの下位バイトに複写されます。

16ビット読み込み操作については、16ビットレジスタの下位バイトレジスタ(例えば、DAT AL)が上位バイトレジスタ(例えば、DATAH)に先立って読まれなければなりません。下位バイトレジスタが読まれると、図8-7の左側で示されるように、同じクロック周期で16ビットレジスタの上位バイトレジスタがTEMPに複写されます。上位バイトレジスタ読み込みは図8-7の右側で示されるように、上位バイトレジスタの代わりに一時(TEMP)レジスタからの読み込みに帰着します。

記述された機構はレジスタが読みまたは書きされた時に16ビットレジスタの上位と下位のバイトが常に同時にアクセスされることを保証します。

16ビット読み書き操作の間に割り込みが起動され、割り込み処理ルーチンで同じ周辺機能内の16ビットレジスタがアクセスされる場合、割り込みは時限手順を不正にし得ます。これを防ぐため、16ビットレジスタを読みまたは書きする時に割り込みが禁止されるべきです。代わりに、割り込み処理ルーチンで一時レジスタを先に読んで、16ビットアクセス後に復元することができます。

図8-6. 16ビットレジスタ書き込み動作

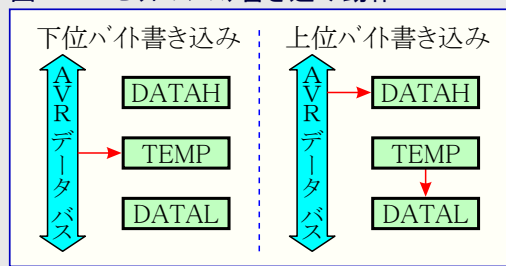
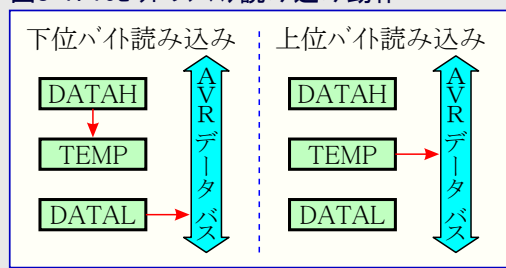


図8-7. 16ビットレジスタ読み込み動作



8.5.7. 構成設定変更保護 (CCP) (Configuration Change Protection)

システムの重要なI/Oレジスタ設定は予期せぬ変更から保護されます。(NVM制御器への格納経由の)フラッシュ自己プログラミングが予期せぬ実行から保護されます。これは構成設定変更保護(CCP)レジスタによって全体的に処理されます。

保護されたI/Oレジスタまたはビットへの変更や、保護された命令の実行は、CPUがCCPレジスタへ識別票を書いた後でだけ可能です。各種識別票はCCP(CPU.CCP)レジスタの説明で一覧にされます。

I/Oレジスタ保護に関する1つと自己プログラミング保護に関する1つで2つの動作形態があります。

8.5.7.1. 構成設定保護されたI/Oレジスタへの書き込み操作手順

CCPによって保護されたI/Oレジスタへ書くには以下の手順が必要とされます。

1. ソフトウェアはCPU.CCPレジスタのCCPビット領域に保護されたI/Oレジスタの変更を許可する識別票を書きます。
2. 4命令内で、ソフトウェアは保護されたレジスタに適切なデータを書かなければなりません。

注: 殆どの保護されたレジスタは書き込み許可/変更許可/施錠のビットも含みます。このビットはデータが書かれるのと同じ操作内で1を書かれなければなりません。

保護された変更はCPUがI/Oレジスタまたはデータメモリに書き込み操作を実行する場合、フラッシュメモリ、NVM制御器(NVMCTRL)、EEPROMに対する取得または格納のアクセスが行われる場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

8.5.7.2. 自己プログラミングの実行手順

自己プログラミングを実行する(NVM制御器の指令レジスタへの書き込みの実行)には以下の手順が必要とされます。

1. ソフトウェアはCCP(CPU.CCP)レジスタにSPM識別票を書くことによって自己プログラミングを一時的に許可します。
2. 4命令内で、ソフトウェアは適切な命令を実行しなければなりません。保護された変更はCPUがフラッシュメモリ、NVMCTRL、EEPROMへのアクセスを実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識別票が書かれると、割り込みは構成設定変更許可期間の間無視されます。CCP期間の間の(遮蔽不可割り込みを含む)どの割り込み要求も通常様に対応する割り込み要求フラグを設定(1)し、その要求は保留に保たれます。CCP期間完了後、どの保留割り込みもそれらのレベルと優先権に従って実行されます。

8.5.8. チップ上デバッグ能力

AVR CPUは生来のチップ上デバッグ(OCD)支援を含みます。これはCPU状態についての特性分析と詳細な情報を許すためのいくつかの強力なデバッグ能力を含みます。CPU状態を変えてコード実行を再開することが可能です。また、ハードウェアプログラムカウンタ中断点、命令の流れ変更での中断点、割り込みでの中断点、ソフトウェア中断点(BREAK命令)のような通常のデバッグ能力が存在します。OCDについての詳細に関しては「統一プログラム/デバッグインターフェース」章を参照してください。

8.6. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00 ～ +\$03	予約									
+\$04	CCP	7～0	CCP7～0							
+\$05 ～ +\$0C	予約									
+\$0D	SP	7～0	SP7～0							
+\$0E		15～8	SP15～8							
+\$0F	SREG	7～0	I	T	H	S	V	N	Z	C

8.7. レジスタ説明

8.7.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection register)

名称 : CCP
変位 : +\$04
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	CCP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – CCP7~0 : 構成設定変更保護 (Configuration Change Protection)

このビット領域への正しい識票書き込みは次の4 CPU命令実行内での保護されたI/Oレジスタの変更または保護された命令の実行を許します。

これらの周期の間は全ての割り込みが無視されます。これらの周期完了後、割り込みはCPUによって自動的に処理され、どの保留割り込みもそれらのレベルと優先権に従って実行されます。

保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り'1'を読みます。

保護された自己プログラミング識票が書かれると、CCP1は保護機能が許可されている限り'1'を読みます。

CCP7~2は常に'0'を読みます。

値	名称	説明
\$9D	SPM	自己プログラミング許可
\$D8	IOREG	保護されたI/Oレジスタ解錠

8.7.2. SP – スタック ポインタ (Stack Pointer)

名称 : SP (SPH,SPL)
変位 : +\$0D
リセット : \$3FFF
特質 : -

CPU.SPLレジスタはスタックの先頭を指示するスタック ポインタを保持します。リセット後、SPは内部SRAM最高アドレスを指示します。

各デバイスに対して外部メモリを含み(64Kバイトまで)利用可能なデータメモリをアドレス指定するのに必要とされるビット数だけが実装されます。未使用ビットは常に'0'を読みます。

CPU.SPHとCPU.SPLのレジスタ対は16ビット値のCPU.SPを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ソフトウェアからSPを更新する時の破損を防ぐため、CPU.SPLへの書き込みは次の4命令間、または次のI/Oメモリ書き込みまでのどちらか速い方で割り込みを自動的に禁止します。

ビット	15	14	13	12	11	10	9	8
	SP13~8							
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	1	1	1	1	1	1

ビット	7	6	5	4	3	2	1	0
	SP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● ビット14~8 – SP14~8 : スタック ポインタ上位バイト (Stack Pointer high byte)

これらのビットは16ビットレジスタの上位バイトを保持します。

● ビット7~0 – SP7~0 : スタック ポインタ下位バイト (Stack Pointer low byte)

これらのビットは16ビットレジスタの下位バイトを保持します。

8.7.3. SREG – ステータス レジスタ (Status Register)

名称 : SREG
変位 : \$0F
リセット : \$00
特質 : –

ステータスレジスタは最も直前に実行した算術または論理の命令の結果についての情報を含みます。このレジスタ内のビットとそれらが各種命令によってどう影響されるかについての詳細に関しては「[命令一式要約](#)」章をご覧ください。

ビット	7	6	5	4	3	2	1	0
	I	T	H	S	V	N	Z	C
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – I : 全体割り込み許可 (Global Interrupt Enable Bit)

このビットへの'1'書き込みはデバイスでの割り込みを許可します。

このビットへの'0'書き込みは周辺機能の個別割り込み許可設定に関わらず、デバイスでの割り込みを禁止します。

このビットは割り込み処理ルーチン(ISR)移行中にハードウェアによって解除(0)されず、**RETI**命令が実行される時に設定(1)されません。

このビットは**SEI**と**CLI**の命令でソフトウェアによって設定(1)と解除(0)を行うことができます。

I/Oレジスタを通したビットの変更はそのアクセスでの1周期の待ち状態に帰着します。

● ビット6 – T : 転送ビット (Transfer Bit)

ビット複写命令のビット取得(**BLD**)とビット格納(**BST**)は操作するための転送元または転送先としてTビットを使います。

● ビット5 – H : ハーフキャリー フラグ (Half Carry Flag)

このフラグはこれを支援する算術操作でハーフキャリーがある時に設定(1)されます。ハーフキャリーはBCD演算に有用です。

● ビット4 – S : 符号フラグ (Sign Flag)

このフラグは常に負(N)フラグと2の補数溢れ(V)フラグ間の排他的論理和(XOR)です。

● ビット3 – V : 2の補数溢れフラグ (2's Complement Overflow Flag)

このフラグはこれを支援する算術操作で溢れがある時に設定(1)され、さもなければ解除(0)されます。

● ビット2 – N : 負フラグ (Negative Flag)

このフラグは算術及び論理の操作で負の結果の時に設定(1)され、さもなければ解除(0)されます。

● ビット1 – Z : ゼロフラグ (Zero Flag)

このフラグは算術及び論理の操作でゼロ(0)の結果の時に設定(1)され、さもなければ解除(0)されます。

● ビット0 – C : キャリー フラグ (Carry Flag)

このフラグは算術及び論理の操作でキャリー(またはボロー)がある時に設定(1)され、さもなければ解除(0)されます。

9. NVMCTRL – 不揮発性メモリ制御器

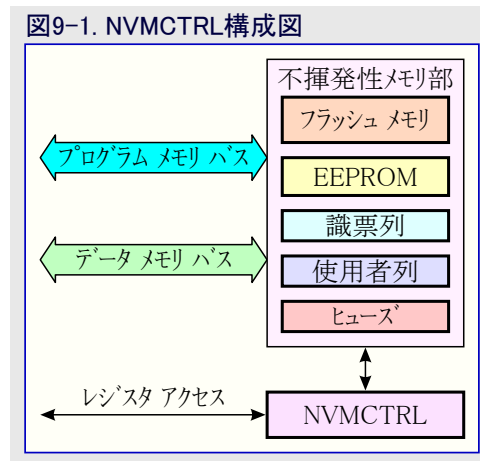
9.1. 特徴

- ・ 統一されたメモリ
- ・ 実装プログラミング可能
- ・ 自己プログラミングとブートローダ支援
- ・ 書き込み保護に対して構成設定可能な領域
 - ブートローダコードまたは応用コード用のブート領域
 - 応用コード用の応用コード領域
 - 応用コードまたはデータ記憶用の応用データ領域
- ・ 工場書き込みされたデータ用の識票列
 - 各デバイス型式用のID
 - 各デバイス用の通番
 - 工場校正された周辺機能用の校正バイト
- ・ 応用データ用の使用者列
 - ソフトウェアから読み書き可能
 - 施錠されたデバイスでUPDIから書き込み可能
 - チップ消去後も保持される内容

9.2. 概要

NVM制御器(NVMCTRL)はCPUと不揮発性メモリ(フラッシュメモリ、EEPROM、識票列、使用者列、ヒューズ)間のインターフェースです。これらは給電されない時にそれらの値を保持する再書き込み可能なメモリ部です。フラッシュメモリは主にプログラム記憶に使われますが、データ記録に使うこともできます。EEPROM、識票列、使用者列、ヒューズはもっぱらデータ記憶に使われます。

9.2.1. 構成図



9.3. 機能的な説明

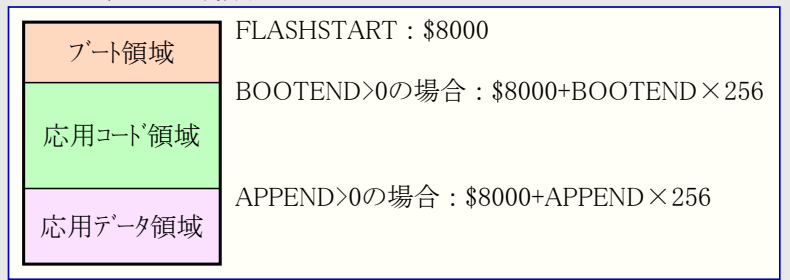
9.3.1. メモリ構成

9.3.1.1. フラッシュメモリ

フラッシュメモリはページの組に分けられます。ページはフラッシュメモリをプログラミングする時にアドレス指定される基本単位です。それは一度にページ全体を書くまたは消去することだけが可能です。1ページは多数の語から成ります。

フラッシュメモリは異なる安全保障のために256バイトの塊単位で3つの領域に分けることができます。この3つの異なる領域は、ブート(BOOT)、応用コード(APPCODE)、応用データ(APPDATA)です。

図9-2. フラッシュメモリ領域



領域容量

これらの領域の大きさは**ブート領域の最後(FUSE.BOOTEND)ヒューズ**と**応用コード領域の最後(FUSE.APPEND)ヒューズ**によって設定されます。

このヒューズは256バイトの塊単位で領域容量を選びます。BOOT領域はフラッシュメモリの始めからBOOTEND直前までに及びます。APPCODE領域はBOOTENDからAPPEND直前までになります。残りの領域がAPPDATA領域です。

表9-1. フラッシュ領域の構成設定

BOOTEND	APPEND	BOOT領域	APPCODE領域	APPDATA領域
0	–	0～FLASHEND	–	–
>0	0	0～256×BOOTEND	256×BOOTEND～FLASHEND	–
>0	≤BOOTEND	0～256×BOOTEND	–	256×BOOTEND～FLASHEND
>0	>BOOTEND	0～256×BOOTEND	256×BOOTEND～256×APPEND	256×APPEND～FLASHEND

BOOTENDが'0'を書かれた場合、フラッシュメモリ全体がBOOT領域と見做されます。APPENDが'0'を書かれ、BOOTEND>0の場合、APPEND領域はBOOTENDからフラッシュメモリの最後までになります(APPDATA領域なし)。APPEND≤BOOTENDの時にAPPCODE領域は取り除かれ、APPDATAがBOOTENDからフラッシュメモリの最後までになります。APPEND>BOOTENDの時はAPPCODE領域がBOOTENDからAPPENDまで広がります。残りの領域はAPPDATA領域です。

ブートローダソフトウェアがない場合、応用コード用にBOOT領域を使うことが推奨されます。

注: 1. リセット後、既定ベクタ表位置はAPPCODE領域の始めです。BOOT領域の始めに割り込みベクタ表を再配置することによってBOOT領域で走っているコードで周辺機能割り込みを使うことができます。それは**制御A(CPUINT.CTRLA)レジスタの割り込みベクタ選択(IVSEL)ビット**を設定(1)することによって行われます。詳細については「**CPUINT**」章を参照してください。

2. BOOTEND/APPENDのヒューズ設定からの結果としてデバイスのFLASHENDを超える場合、対応するヒューズ設定は無視され、既定値が使われます。既定値については「メモリ」章の「**FUSE**」を参照してください。

例9-1. フラッシュメモリ領域の大きさの例

FUSE.BOOTENDが\$04を書かれ、FUSE.APPENDが\$08を書かれた場合、最初の4×512バイトがBOOTで、次の4×512バイトがAPPCODE、そして残りのフラッシュメモリがAPPDATAです。

領域間の書き込み保護

3つの領域間では、以下の方向性の書き込み保護が実装されます。

- BOOT領域のコードはAPPCODEとAPPDATAに書くことができます。
- APPCODE領域のコードはAPPDATAに書くことができます。
- APPDATA領域のコードはフラッシュメモリやEEPROMに書くことができません。

ブート領域施錠と応用コード領域書き込み保護

相互領域書き込み保護に加えて、NVMCTRLはフラッシュメモリ領域への望まれないアクセスを避けるための安全機構を提供します。例えばCPUが決してBOOT領域に書くことができないとは言え、BOOT領域からの読み込みとコードの実行を防ぐために**制御B(NVMCTRL.CTRLB)レジスタのブート領域施錠(BOOTLOCK)ビット**が提供されます。このビットはBOOT領域で実行されるコードからだけ設定することができ、BOOT領域を去る時にだけ効力を持ちます。

制御Bレジスタ(NVMCTRL.CTRLB)の**応用コード領域書き込み保護(APCWP)ビット**はAPPCODE領域の更なる更新を防ぐために設定することができます。

9.3.1.2. EEPROM

EEPROMは1つのページが多数のバイトから成るページの組に分けられます。EEPROMは消去/書き込みでバイトの粒度を持ちます。1ページ内で、更新されるべく記されたバイトだけが消去されて書かれます。バイトはそのアドレス位置に対してページ緩衝部へ新しい値を書くことによって記されます。

9.3.1.3. 使用者列

使用者列はEEPROMの1つの付加ページです。このページは校正/構成設定のデータや通番のような様々なデータを格納するのに使うことができます。このページはチップ消去によって消去されません。使用者列は標準EEPROMとして書かれるだけでなく施錠されたデバイスに於いてUPDIを通して書くこともできます。

9.3.2. メモリ アクセス

9.3.2.1. 読み込み

フラッシュメモリとEEPROMの読み込みはメモリ配置に従ったアドレスを持つ取得(LD系)命令を用いて行われます。書き込みまたは消去が進行中と同時に配列の何れかを読むことはバス待ちに帰着し、その命令は進行中の操作が完了するまで中断されます。

9.3.2.2. ページ緩衝部設定

ページ緩衝部はメモリ配置で定義されるようにメモリへ直接書くことによって設定されます。フラッシュメモリ、EEPROM、使用者列は同じページ緩衝部を共用し、故に一度に1つの領域だけをプログラミングする(書く)ことができます。アドレスの下位(LSB)側ビットはデータが書かれるページ緩衝部内の場所を選ぶのに使われます。結果のデータはページ緩衝部の新旧内容間のビット単位論理積(AND)操作です。ページ緩衝部は以下の後で自動的に消去(全ビットが設定(1))されます。

- ・ デバイスリセット
- ・ どれかのページ書き込みまたは消去の操作
- ・ ページ緩衝部消去指令
- ・ どれかの休止動作形態からのデバイス起き上がり

9.3.2.3. プログラミング(書き込み)

ページ書き込み(プログラミング)に関して、ページ緩衝部を満たしてページ緩衝部をフラッシュメモリ、使用者列、EEPROM内へ書くのは2つの独立した操作です。

ページ緩衝部内のデータでフラッシュページをプログラミングする(書く)前に、フラッシュページが消去されなければなりません。ページ緩衝部はデバイスが休止動作形態へ移行する時にも消去されます。未消去のフラッシュページプログラミングはその内容を不正にします。

フラッシュメモリは消去と書き込みを独立して、または以下の両方を処理する1つの指令でのどちらかで書くことができます。

代替手段1:

1. ページ緩衝部を満たしてください。
2. **ページ消去/書き込み(ERWP)**指令でページ緩衝部をフラッシュメモリに書いてください。

代替手段2:

1. アドレスを提供するためにページ内の位置へ書いてください。
2. **ページ消去(ER)**指令を実行してください。
3. ページ緩衝部を満たしてください。
4. **ページ書き込み(WP)**指令を実行してください。

NVM指令一式は単一の消去と書き込みの操作(**ERWP**)、分離した消去(**ER**)とページ書き込み(**WP**)の指令の両方を支援します。この分離命令は各指令に対してより短いプログラミング時間を許し、プログラミング実行の時間が重要でない間に消去操作を行うことができます。

EEPROMプログラミングも同様ですが、ページ緩衝部内で更新されるバイトがEEPROMで書かれるまたは消去されるだけです。

9.3.2.4. 指令

フラッシュメモリ/EEPROM読み込みとページ緩衝部書き込みは通常の取得(**LD**系)/格納(**ST**系)命令で処理されます。メモリ配列の書き込みや消去のような他の操作はNVMでの指令によって処理されます。

NVMで指令を実行するには、

1. 状態(**NVMCTRL.STATUS**)レジスタの多忙フラグ(**EEBUSY**と**FBUSY**)を読むことによってどの直前の操作も完了されていることを確認してください。
2. CPUの構成設定変更保護(**CPU.CCP**)レジスタに適切な鍵を書いてください。
3. 次の4命令以内に**制御A(NVMCTRL.CTRLA)レジスタの指令(CMD)ビット**に望む指令値を書いてください。

9.3.2.4.1. ページ書き込み指令

フラッシュ制御器の**ページ書き込み(WP)**指令はページ緩衝部の内容をフラッシュメモリまたはEEPROMに書きます。

その書き込みがフラッシュメモリに対する場合、CPUはその書き込み操作でフラッシュメモリが多忙である限りコードの実行を停止します。書き込みがEEPROMに対する場合、CPUはその操作が進行中の間にコードの実行を続けることができます。

ページ緩衝部は操作が終了された後で自動的に解消されます。

9.3.2.4.2. ページ消去指令

ページ消去(ER)指令は現在のページを消去します。効力を発するには**ページ消去(ER)**指令に対してページ緩衝部に1バイトが書かれなければなりません。

フラッシュメモリ消去に対して、最初に望むページ内の或るアドレスに書き、その後に指令を実行してください。フラッシュメモリ内のそのページ全体がその後に消去されます。CPUは消去が進行中の間停止されます。

EEPROMに対して、この指令が実行される時にページ緩衝部内に書かれたバイトだけが消去されます。特定バイトを消去するには、この指令を実行する前にそれに対応するアドレスに(何かを)書いてください。ページ全体を消去するには、この指令が実行される前にページ緩衝部内の全バイトが更新されなければなりません。CPUはこの操作が進行中の間にコードの実行を続けることができます。

ページ緩衝部は操作が終了された後で自動的に解消されます。

9.3.2.4.3. ページ消去-書き込み操作

ページ消去/書き込み(ERWP)指令はページ消去(ER)とページ書き込み(WP)の指令の組み合わせですが、ページ消去指令後のページ緩衝部解消を除きます。ページ消去/書き込み操作は最初に選択されたページを消去し、その後にページ緩衝部の内容を同じページに書き込みます。

フラッシュメモリで実行されると、CPUはその操作が進行中の間停止されます。EEPROMで実行されると、CPUはコード実行を続けることができます。

ページ緩衝部は操作が終了された後で自動的に解消されます。

9.3.2.4.4. ページ緩衝部解消指令

ページ緩衝部解消(PBC)指令はページ緩衝部を解消します。ページ緩衝部の内容はこの操作後に全て'1'です。この操作実行時にCPUは(7 CPU周期)停止されます。

9.3.2.4.5. チップ消去指令

チップ消去(CHER)指令はフラッシュメモリとEEPROMを消去します。EEPROMはシステム構成設定0(FUSE.SYSCFG0)のチップ消去中EEPROM保存(EESAVE)ヒューズが設定(1)される場合に不変です。フラッシュメモリは制御B(NVMCTRL.CTRLB)レジスタのブート領域施錠(BOOTLOCK)ビットや応用コード領域書き込み保護(APCWP)ビットによって保護されません。メモリはこの操作後に全て'1'です。

9.3.2.4.6. EEPROM消去指令

EEPROM消去(EER)指令はEEPROMを消去します。EEPROMはこの操作後に全て'1'です。CPUはEEPROMが消去されつつある間停止されます。

9.3.2.4.7. ヒューズ書き込み指令

ヒューズ書き込み(WFU)指令はヒューズを書き込みます。これはUPDIによってのみ使うことができ、CPUはこの指令を開始することができません。

ヒューズ書き込み指令を使うには以下のこの手順に従ってください。

1. アドレス(NVMCTRL.ADDR)レジスタにヒューズのアドレスを書いてください。
2. データ(NVMCTRL.DATA)レジスタにヒューズに書かれるべきデータを書いてください。
3. ヒューズ書き込み指令を実行してください。
4. ヒューズ書き込み後、効力を発するには更新された値のためにリセットが必要とされます。

ヒューズ読み込みに対してはメモリ位置で通常の読み込みを使ってください。

9.3.2.5. リセット後の書き込みアクセス (訳注:本デバイスでは下記のTOUTDISヒューズがなく、従って適用できません。)

電源ONリセット(POR)後、NVMCTRLは一定時間の間、NVMへのどの書き込みの試みも拒否します。この期間の間、状態(NVMCTRL.STATUS)レジスタのフラッシュメモリ多忙(FBUSY)とEEPROM多忙(EEBUSY)のビットは'1'を読みます。ページ緩衝部が満たされ得る、またはNVM指令が発行され得るのに先立って、EEBUSYとFBUSYは'0'を読まなくてはなりません。

この制限時間期間はシステム構成設定0(FUSE.SYSCFG0)ヒューズの制限時間禁止(TOUTDIS)ビットを書くこと、またはFUSE.SYSCFG0のリセットピン構成設定(RSTPINCFG)ビットをUPDIに構成設定することのどちらかによって禁止されます。

9.3.3. フラッシュメモリ/EEPROM化け防止

低いVDDの期間中、CPUとフラッシュメモリ/EEPROMに対して正しく動作するための供給電圧が低すぎる場合に、フラッシュプログラムメモリとEEPROMデータが化け得ます。これらの問題はフラッシュメモリ/EEPROMを使う基板上の段階と同じで、おそらく同じ設計上の解決策を適用することができます。

フラッシュメモリ/EEPROM化けは電圧が低すぎる時の以下の2つの状態によって起こされ得ます。

1. フラッシュメモリ/EEPROMへの通常の書き込み手順は正しく動作するための最低電圧を必要とします。
2. 供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

最大周波数対VDDについては「電気的特性」章をご覧ください。



注意: フラッシュメモリ/EEPROM化けは以下のこれらの対策を取ることで避けることができます。

1. 不十分な供給電源電圧の期間中、デバイスをリセットに保ってください。内部低電圧検出器(BOD)を許可することによって行うことができます。
2. BOD基準近くでEEPROMへの書き込み開始を防ぐのにBODでの電圧水準監視部を使うことができます。
3. 内部BODの検出基準が必要とする検出基準と一致しない場合、外部の低VDDリセット保護回路を使うことができます。書き込み操作が進行中の間にリセットが起こる場合、その書き込み操作は中止されます。

9.3.4. 割り込み

表9-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
EEREADY	NVM	新規の書き込み/消去の操作に対してEEPROMが準備可

割り込み条件が起これと、周辺機能の割り込み要求フラグ(NVMCTRL.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み許可(NVMCTRL.INTCTRL)レジスタで対応するビットに書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細についてはNVMCTRL.INTFLAGSレジスタをご覧ください。

9.3.5. 休止形態動作

進行中の書き込み操作が全くなければ、NVMCTRLはシステムが休止動作形態へ移行する時に休止動作形態へ移行します。

システムが休止動作形態へ移行する時に書き込み操作が進行中の場合、NVM部、NVM制御器、システムクロックはその書き込みが終了されるまでONに留まります。これはパワーダウン休止動作を含む全ての休止動作形態に対して有効です。

EEPROM準備可割り込みはアイドル休止動作からだけデバイスを起き上がらせませす。

ページ緩衝部は休止から起き上がる時に解消されます。

9.3.6. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらのレジスタへ書くには、最初に構成設定変更保護(CPU.CCP)レジスタへ或る鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへの書き込みを試みることは保護されたレジスタを無変化のままにします。

右のレジスタがCCP下です。

表9-3. NVMCTRL – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
NVMCTRL.CTRLA	SPM
NVMCTRL.CTRLB	IOREG

9.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0						CMD2～0		
+\$01	CTRLB	7～0							BOOTLOCK	APCWP
+\$02	STATUS	7～0						WRERROR	EEBUSY	FBUSY
+\$03	INTCTRL	7～0								EEREADY
+\$04	INTFLAGS	7～0								EEREADY
+\$05	予約									
+\$06	DATA	7～0	DATA7～0							
+\$07		15～8	DATA15～8							
+\$08	ADDR	7～0	ADDR7～0							
+\$09		15～8	ADDR15～8							

9.5. レジスタ説明

9.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
						CMD2~0		
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット2~0 – CMD2~0 : 指令 (Command)

指令を発行するにはこのビット領域に書いてください。この書き込み前の4命令以内に自己プログラミング用の構成設定変更保護鍵 (SPM) が書かれなければなりません。

値	名称	説明
000	–	指令なし
001	WP	ページ緩衝部をメモリに書き込み (NVMCTRL.ADDRがどのメモリかを選択)
010	ER	ページ消去 (NVMCTRL.ADDRがどのメモリかを選択)
011	ERWP	ページの消去と書き込み (NVMCTRL.ADDRがどのメモリかを選択)
100	PBC	ページ緩衝部解消
101	CHER	チップ消去 : フラッシュメモリと(FUSE.SYSCFG0のEESAVEが'1'でない限り)EEPROMを消去
110	EEER	EEPROM消去
111	WFU	ヒューズ書き込み (UPDIを通してのみアクセス可能)

9.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
							BOOTLOCK	APCWP
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – BOOTLOCK : ブート領域施錠 (Boot Section Lock)

このビットへの'1'書き込みは読み込みと命令取得からブート領域を施錠します。

このビットが'1'の場合、ブート領域からの読み込みは'0'を返します。ブート領域からの取得も命令として0を返します。

このビットはブート領域からだけ書くことができます。リセットによってだけ解除(0)することができます。

このビットはこのビットが書かれた後で初めてブート領域から去られる時にだけ効力を発します。

● ビット0 – APCWP : 応用コード領域書き込み保護 (Application Code Section Write Protection)

このビットへの'1'書き込みは応用コード領域への更なる書き込みを防ぎます。

このビットは'1'に書くことができ、リセットによってのみ解除(0)されます。

9.5.3. STATUS – 状態 (Status)

名称 : STATUS
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
						WRERROR	EEBUSY	FBUSY
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット2 – WRERROR : 書き込み異常 (Write Error)

このビットは書き込み異常が起きた時に'1'を読みます。書き込み異常はページ書き込みを行う前に異なる領域へ書く、または保護された領域へ書くことで有り得ます。このビットは最後の操作に対して有効です。

● ビット1 – EEBUSY : EEPROM多忙 (EEPROM Busy)

このビットは指令でEEPROMが多忙の時に'1'を読みます。

● ビット0 – FBUSY : フラッシュ メモリ多忙 (Flash Busy)

このビットは指令でフラッシュ メモリが多忙の時に'1'を読みます。

9.5.4. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								EEREADY
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – EEREADY : EEPROM準備可割り込み許可 (EEPROM Ready Interrupt)

このビットへの'1'書き込みはEEPROMが新しい書き込み/消去操作の準備が整ったことを示す割り込みを許可します。

これは割り込み要求フラグ(INTFLAGS)レジスタのEEPROM準備可割り込み要求(EEREADY)フラグが'0'に設定されている時にだけ起動されるレベル割り込みです。故に、NVM指令発行前にEEREADYフラグが設定(1)されないように、この割り込みはNVM指令起動前に起動されてはなりません。この割り込みはおそらく割り込み処理部で禁止されます。

9.5.5. INTFLAGS – 割り込み要求フラグ (Interrupt Flags)

名称 : INTFLAGS
変位 : +\$04
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								EEREADY
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – EEREADY : EEPROM準備可割り込み要求フラグ (EEREADY Interrupt Flag)

このフラグはEEPROMが多忙でない限り継続的に設定(1)されます。このフラグはこれに'1'を書くことによって解除(0)されます。

9.5.6. DATA – データ (Data)

名称 : DATA (DATAH,DATAL)
 変位 : +\$06
 リセット : \$0000
 特質 : –

NVNCTRL.DATAHとNVMCTRL.DATALのレジスタ対は16ビット値のNVMCTRL.DATAを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	DATA15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15～0 – DATA15～0 : データ値 (Data Register)**

このレジスタはヒューズ書き込み操作のためにUPDIによって使われます。

9.5.7. ADDR – アドレス (Address)

名称 : ADDR (ADDRH,ADDRL)
 変位 : +\$08
 リセット : \$0000
 特質 : –

NVNCTRL.ADDRHとNVMCTRL.ADDRLのレジスタ対は16ビット値のNVMCTRL.ADDRを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	ADDR15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	ADDR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット15～0 – ADDR15～0 : アドレス値 (Address)**

アドレスレジスタは更新される最後のメモリ位置に対するアドレスを含みます。

10. CLKCTRL – クロック制御器

10.1. 特徴

- ・ 周辺機能によって要求される時に自動的に許可される全てのクロックとクロック元
- ・ 内部発振器
 - 16/20MHz発振器(OSC20M)
 - 32.768kHz超低電力発振器(OSCULP32K)
- ・ 外部クロック任意選択
 - 外部クロック
- ・ 主なクロック機能
 - 安全な走行時切り替え
 - 12種の設定で1～64の分周を持つ前置分周器

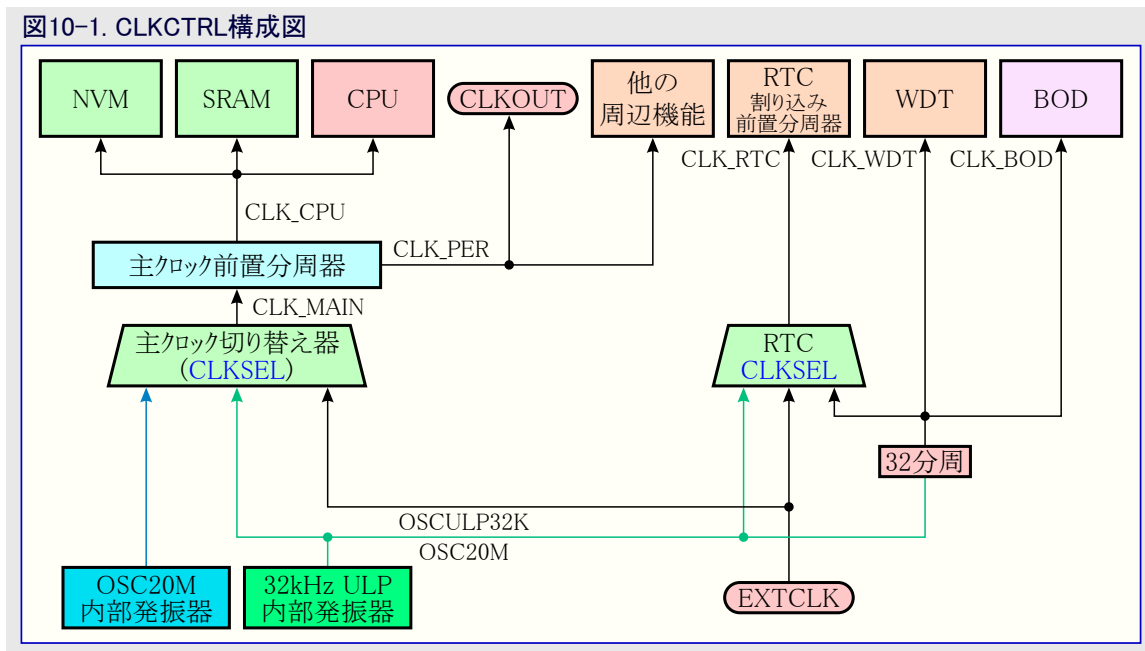
10.2. 概要

クロック制御(CLKCTRL)周辺機能は利用可能な発振器からのクロック信号を制御、分配、前置分周します。CLKCTRLは内部と外部のクロック元を支援します。

CLKCTRLはデバイス上の全ての周辺機能に実装された自動クロック要求システムに基づきます。周辺機能は必要とされるクロックを自動的に要求します。多数のクロック元が利用可能な場合、その要求は正しいクロック元に配線されます。

主クロック(CLK_MAIN)はCPU、SRAM、それとI/Oバスによって使われます。主クロック元を選んで前置分周することができます。いくつかの周辺機能は主クロックと同じクロック元を共用し、また主クロック領域と非同期に動きます。

10.2.1. 構成図 – CLKCTRL



注: CLKOUTピンの有効性はデバイスのピン数に依存します。このデータシートで表される各デバイスに対してどのピンが利用可能かの概要については「5. 入出力多重化と考察」章をご覧ください。

クロックシステムは主クロックと他の非同期クロックから成ります。

・ 主クロック

このクロックはCPU、SRAM、フラッシュメモリ、I/Oバス、それとI/Oバスに接続された全ての周辺機能によって使われます。これは常に活動とアイドル休止動作で動き、必要とされる場合はスタンバイ休止動作で動くことができます。

主クロック(CLK_MAIN)はクロック制御器によって前置分周されて分配されます。

- CLK_CPUはCPU、SRAMと不揮発性メモリにアクセスするためのNVMCTRL周辺機能によって使われます。
- CLK_PERは非同期クロック下で一覧にされない全ての周辺機能によって使われます。

・ 主クロック領域に対して非同期に動くクロック

- CLK_RTCは実時間計数器/周期的割り込み計時器(RTC/PIT)に使われます。RTC/PITが許可される時に要求されます。CLK_RTC用のクロック元はこの周辺機能が禁止されている場合にだけ変更されなければなりません。
- CLK_WDTはウォッチドッグタイマ(WDT)によって使われます。WDTが許可される時に要求されます。
- CLK_BODは低電圧検出器(BOD)によって使われます。BODが採取動作で許可される時に要求されます。

主クロック領域用のクロック元は主クロック制御A(CLKCTRL.MCLKCTRLA)レジスタのクロック選択(CLKSEL)ビットに書くことによって構成設定されます。非同期クロック元は各々の周辺機能内のレジスタによって構成設定されます。

10.2.2. 信号説明

信号	形式	説明
CLKOUT	デジタル出力	CLK_PER出力

10.3. 機能的な説明

10.3.1. 休止形態動作

クロック元が使用/要求されない時にそれは止まります。各々の周辺機能の制御A(CLKCTRL.[発振器種別名]CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットに'1'を書くことによって直接クロック元を要求することが可能です。これはパワーダウン休止動作形態を除き、その発振器を絶えず走行させます。加えて、このビットが'1'を書かれると、クロック元が周辺機能によって要求される時に、発振器の始動時間が除去されます。

主クロックは活動とアイドル休止の動作形態で常に走行します。スタンバイ休止動作形態では、どれかの周辺機能がこれを要求する、または各々の発振器の制御A(CLKCTRL.[発振器種別名]CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットが'1'を書かれる場合にだけ主クロックが走行します。

パワーダウン休止動作形態ではNVM操作が完了された後に主クロックが停止します。

10.3.2. 主クロック選択と前置分周器

全ての内部発振器はCLK_MAIN用の主クロック元として使うことができます。主クロック元はソフトウェアから選択可能で、標準動作の間に安全に変更することができます。

組み込みハードウェア保護は安全でないクロック切り替えを防ぎます。

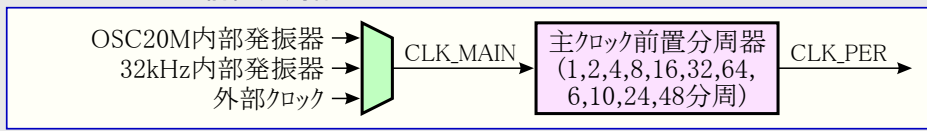
外部クロック元を選択では選んだクロック元への切り替えはその外部クロックでエッジ(端)が検出される場合だけに起こります。十分なクロック端数が検出されるまで、切り替えは起きず、リセットを実行することなしに再び別のクロック元へ変更することはできません。

進行中のクロック元切り替えは主クロック状態(CLKCTRL.MCLKSTATUS)レジスタのシステム発振器変更(SOSC)フラグによって示されます。外部クロック元の安定性はCLKCTRL.MCLKSTATUSレジスタの外部クロック状態(EXTS)フラグによって示されます。

注意 外部クロック元がCLK_MAIN供給元として使われる間に機能しなくなる場合、ウォッチドッグ タイマ(WDT)だけがシステム リセット経由で切り替え戻すための機構を提供することができます。

CLK_MAINはデバイスの周辺機能(CLK_PER)によって使われる前に前置分周器へ供給されます。前置分周器は1段だけを持ち、1～64の係数でCLK_MAINを分周することができます。

図10-2. 主クロックと前置分周器



主クロックと前置分周器の構成設定レジスタ(CLKCTRL.MCLKCTRLAとCLKCTRL.MCLKCTRLB)は、これらのレジスタを変更するのに時間制限書き込み手順を使う構成設定変更保護機構によって保護されます。

10.3.3. リセット後の主クロック

どのリセット後でも、CLK_MAINは前置分周器の分周係数6と共に16/20MHz発振器(OSC20M)によって提供されます。OSC20Mの実際の周波数は発振器構成設定(FUSE.OSCCFG)レジスタの周波数選択(FREQSEL)ビットによって決められ、これらの周波数はリセット後に受け入れられます。

更なる詳細についてはOSC20M記述をご覧ください。

表10-1. リセット後の周辺機能クロック周波数

FUSE.OSCCFGのFREQSELによるCLK_MAIN	結果のCLK_PER
16MHz	2.66MHz
20MHz	3.33MHz

10.3.4. クロック元

全ての内部クロック元はそれらが周辺機能によって要求される時に自動的に許可されます。

主クロック状態(CLKCTRL.MCLKSTATUS)レジスタの各々の状態ビットはクロック元が走行中で安定かどうかを示します。

10.3.4.1. 内部発振器

内部発振器は走行するのにどんな外部部品も必要としません。

10.3.4.1.1. 16/20MHz発振器 (OSC20M)

この発振器は**発振器構成設定(FUSE.OSCCFG)**ヒューズの**周波数選択(FREQSEL)**ビットの値によって選択される複数の周波数で動作することができます。中心周波数は次のとおりです。

- 16MHz
- 20MHz

システム リセット後、FUSE.OSCCFGはCLK_MAINの初期周波数を決めます。

リセットの間にヒューズからOSC20M用の校正値が設定されます。2つの異なる校正ビット領域があります。

- **校正A(CLKCTRL.OSC20MCALIBA)**レジスタの**校正(CAL20M)**ビット領域は現在の中心周波数近辺への校正を許します。
- **校正B(CLKCTRL.OSC20MCALIBB)**レジスタの**発振器温度係数校正(TEMPCAL20M)**ビット領域は温度変動補償の傾斜の調整を許します。

発振器校正が提供するよりもっと微調整された周波数設定が必要な応用については、校正後に工場で格納された周波数誤差が利用可能です。

発振器校正は**発振器構成設定(FUSE.OSCCFG)**の**発振器施錠(OSCLOCK)**ヒューズによって施錠することができます。このヒューズが'1'の時に校正変更が不能です。この発振器が主クロック元として使われ、**主クロック施錠(CLKCTRL.MCLKLOCK)**レジスタの**施錠許可(LOCKEN)**ビットが'1'の場合にも校正が施錠されます。

校正ビットは主クロックと前置分周器の設定を変更するために時間制限書き込み手順を必要とする構成設定変更保護機構によって保護されます。

この発振器の始動時間はアナログ始動時間+4発振器周期です。始動時間については「[電気的特性](#)」章を参照してください。

発振器校正値変更時、周波数は行き過ぎるかもしれません。発振器が主クロック(CLK_MAIN)として使われる場合、「[全般動作定格](#)」項で記述されるように主クロック周波数が主クロック最大動作周波数の1/4を超えないように主クロック前置分周器を変更することが推奨されます。システム クロック前置分周器は発振器校正値が更新されてしまった後で戻すことができます。

10.3.4.1.1.1. OSC20M格納された周波数誤差補償

この発振器はリセット後に**発振器構成設定(FUSE.OSCCFG)**ヒューズの**周波数選択(FREQSEL)**ビットの値によって選択される複数の周波数で動作することができます。前で言及したように、(OSC20M)の周波数を中心に調整するために適切な校正値が設定され、温度変動補償(**TEMPCAL20M**)が内部発振器特性で定義される仕様に合わせます。より広い動作範囲が必要な応用については、校正後に工場で格納した相対的な周波数誤差を使うことができます。異なる設定で4つの誤差が測定され、識別列で符号付きバイト値として利用可能です。

- **3VでのOSC16誤差(SIGROW.OSC16ERR3V)**は3Vで測定された16MHzからの周波数誤差です。
- **5VでのOSC16誤差(SIGROW.OSC16ERR5V)**は5Vで測定された16MHzからの周波数誤差です。
- **3VでのOSC20誤差(SIGROW.OSC20ERR3V)**は3Vで測定された20MHzからの周波数誤差です。
- **5VでのOSC20誤差(SIGROW.OSC20ERR5V)**は5Vで測定された20MHzからの周波数誤差です。

分解能を失わないために誤差は圧縮された**Q1.10**固定小数点8ビット値として格納され、ここで最上位ビットは符号ビットで下位7ビットは**Q.10**の下位側ビットです。

$$\text{実際のBAUD} = \left(\text{理想BAUD} + \frac{\text{理想BAUD} \times \text{SIGROW誤差}}{1024} \right)$$

正当な最小BAUDレジスタ値は\$40で、従って、例えば負の補償値を持つデバイスに対しても補償したBAUD値が正当な範囲内に留まることを保証するために、目的対象BAUDレジスタ値は\$4Aよりも低くしてはなりません。次の例のコードはより正確なUSARTボーレートのためにこの値をどう適用するかを実演します。

```
#include <assert.h>
/* 工場で格納された周波数誤差でのボーレート補償 */
/* 自動ボーレート(同期領域)なしでの非同期通信 */
/* 16MHzクロック、3Vで600ボー */

int8_t sigrow_val = SIGROW.OSC16ERR3V; // 符号付き誤差取得
int32_t baud_reg_val = 600; // 理想BAUDレジスタ値

assert (baud_reg_val >= 0x4A); // 正当な最小BAUDレジスタ値を確認
baud_reg_val *= (1024 + sigrow_val); // (分解能+誤差)で乗算
baud_reg_val /= 1024; // 分解能で除算
USART0.BAUD = (int16_t) baud_reg_val; // 補正したボーレートを設定
```

10.3.4.1.2. 32.768kHz発振器 (OSCULP32K)

32.768kHz発振器は超低電力(ULP)動作に最適化されます。外部クリスタル用発振器に比べて減らされた精度を犠牲にして消費電力が減らされます。

この発振器は実時間計数器(RTC)、ウォッチドッグ タイマ(WDT)、低電圧検出器(BOD)に1.024kHzの信号を提供します。

この発振器の始動時間はアナログ始動時間+4発振器周期です。始動時間については「電気的特性」章を参照してください。

10.3.4.2. 外部クロック元

この外部クロック元が利用可能です。

- ・ピンからの外部クロック (EXTCLK)

10.3.4.2.1. 外部クロック (EXTCLK)

EXTCLKはピンから直接的に取られます。この汎用入出力(GPIO)ピンは何れかの周辺機能がこのクロックを要求した場合にEXTCLK用に構成設定されます。

このクロック元は最初に要求された時に2周期の始動時間を持ちます。

10.3.5. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらのレジスタへ書くには、最初に構成設定変更保護(CPU.CCP)レジスタへ或る鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへの書き込みを試みることは保護されたレジスタを無変化のままにします。

右のレジスタがCCP下です。

表10-2. CLKCTRL – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
CLKCTRL.MCLKCTRLB	IOREG
CLKCTRL.MCLKLOCK	
CLKCTRL.MCLKCTRLA	
CLKCTRL.OSC20MCTRLA	
CLKCTRL.OSC20MCALIBA	
CLKCTRL.OSC20MCALIBB	
CLKCTRL.OSC32KCTRLA	

10.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	MCLKCTRLA	7~0							CLKSEL1,0	
+\$01	MCLKCTRLB	7~0				PDIV3~0				PEN
+\$02	MCLKLOCK	7~0								LOCKEN
+\$03	MCLKSTATUS	7~0	EXTS		OSC32KS	OSC20MS				SOSC
+\$04 ~ +\$0F	予約									
+\$10	OSC20MCTRLA	7~0							RUNSTDBY	
+\$11	OSC20MCALIBA	7~0			CAL20M5~0					
+\$12	OSC20MCALIBB	7~0	LOCK				TEMPCAL20M3~0			
+\$13 ~ +\$17	予約									
+\$18	OSC32KCTRLA	7~0							RUNSTDBY	

10.5. レジスタ説明

10.5.1. MCLKCTRLA – 主クロック制御A (Main Clock Control A)

名称 : MCLKCTRLA

変位 : +\$00

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	CLKOUT						CLKSEL1,0	
アクセス種別	R/W	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – CLKOUT : システム クロック出力 (System Clock Out)

このビットが'1'を書かれると、システム クロックがCLKOUTピンに出力されます。CLKOUTピンは20ピン以上のデバイスで利用可能です。より多くの情報については「5. 入出力多重化と考察」章をご覧ください。

デバイスが休止動作形態の時には、周辺機能がシステム クロックを使っていない限り、クロック出力は全くありません。

● ビット1,0 – CLKSEL1,0 : クロック選択 (Clock Select)

このビット領域は主クロック(CLK_MAIN)用の供給元を選びます。

値	0 0	0 1	1 0	1 1
名称	OSC20M	OSCULP32K	–	EXTCLK
説明	16/20MHz内部発振器	32kHz内部超低電力発振器	(予約)	外部クロック

10.5.2. MCLKCTRLB – 主クロック制御B (Main Clock Control B)

名称 : MCLKCTRLB

変位 : +\$01

リセット : \$11

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
					PDIV3~0			PEN
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	1	0	0	0	1

● ビット4~1 – PDIV3~0 : 前置分周器分周値 (Prescaler Division)

前置分周器許可(PEN)ビットが'1'を書かれると、このビット領域は主クロック前置分周器の分周比を定義します。

このビット領域は応用の必要条件に適合させるようにシステムのクロック周波数を変えるために走行時の間に書くことができます。

使用者ソフトウェアは結果のCLK_PER周波数が許された最大(電気的特性をご覧ください)を決して超えないような、正しい入力周波数(CLK_MAIN)の構成設定と前置分周器設定を保証しなければなりません。

値	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
説明 (分周数)	2	4	8	16	32	64	(予約)		6	10	12	24	48		(予約)	

● ビット0 – PEN : 前置分周器許可 (Prescaler Enable)

前置分周器が許可されるにはこのビットが'1'を書かれなければなりません。許可されると、前置分周器分周値(PDIV)ビット領域によって分周比が選ばれます。

このビットが'0'を書かれると、主クロックはPDIVの値に関わらず、分周なしを通して渡されます(CLK_PER=CLK_MAIN)。

10.5.3. MCLKLOCK – 主クロック施錠 (Main Clock Lock)

名称 : MCLKLOCK

変位 : +\$02

リセット : '0000000x' : 発振器構成設定(FUSE.OSCCFG)ヒューズの発振器施錠(OSCLOCK)に基づきます。

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
								LOCKEN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	x

● ビット0 – LOCKEN : 施錠許可 (Lock Enable)

このビットへの'1'書き込みは主クロック制御A(CLKCTRL.MCLKCTRLA)と主クロック制御B(CLKCTRL.MCLKCTRLB)のレジスタと、適用可能ならば更なるソフトウェア更新から現在の主クロック元に対する校正設定を施錠します。一旦施錠されると、CLKCTRL.MCLKLOCKレジスタは次のハードウェア リセットまでアクセスすることができません。

これはソフトウェアによる予期せぬ変更からCLKCTRL.MCLKCTRLAとCLKCTRL.MCLKCTRLBのレジスタと主クロック元に対する校正設定を保護します。

10.5.4. MCLKSTATUS – 主クロック状態 (Main Clock Status)

名称 : MCLKSTATUS

変位 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	EXTS		OSC32KS	OSC20MS				SOSC
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7 – EXTS : 外部クロック状態 (External Clock Status)

値	0	1
説明	EXTCLKは開始していません。	EXTCLKは開始しています。

● ビット5 – OSC32KS : 内部32.768kHz超低電力発振器状態 (OSCULP32K Status)

この状態ビットはこの供給元が主クロックとして、または別の周辺機能によって要求された場合にだけ利用可能です。この発振器のスタンバイ時走行(RUNSTDBY)ビットが設定(1)であるけれども発振器が未使用/要求なしの場合、このビットは'0'になります。

値	0	1
説明	OSCULP32Kは安定ではありません。	OSCULP32Kは安定です。

● ビット4 – OSC20MS : 内部16/20MHz発振器状態 (OSC20M Status)

この状態ビットはこの供給元が主クロックとして、または別の周辺機能によって要求された場合にだけ利用可能です。この発振器のスタンバイ時走行(RUNSTDBY)ビットが設定(1)であるけれども発振器が未使用/要求なしの場合、このビットは'0'になります。

値	0	1
説明	OSC20Mは安定ではありません。	OSC20Mは安定です。

● ビット0 – SOSC : 主クロック発振器変更 (Main Clock Oscillator Changing)

値	0	1
説明	CLK_MAIN用クロック元は切り替えを体験していません。	CLK_MAIN用クロック元は切り替えを体験し、新供給元が安定すると直ぐに変更します。

10.5.5. OSC20MCTRLA – 16/20MHz発振器制御A (16/20MHz Oscillator Control A)

名称 : OSC20MCTRLA

変位 : +\$10

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
							RUNSTDBY	
アクセス種別	R	R	R	R	R	R	R/W	R
リセット値	0	0	0	0	0	0	0	0

●ビット1 – RUNSTDBY : スタンバイ時走行 (Run in Standby)

このビットは例えシステムによって未使用の時でも全ての動作形態でこの発振器を強制します。[スタンバイ休止動作形態](#)に於いて、これは発振器始動時間待機を待つことなく直ちに起き上がることを保証するのに使うことができます。

周辺機能によって要求されない時は発振器出力が全く提供されません。

要求後にクロック開閉部を開くのに4発振器周期かかりますが、このビットが設定(1)されると、発振器アナログ始動時間が除去されます。

10.5.6. OSC20MCALIBA – 16/20MHz発振器校正A (16/20MHz Oscillator Calibration A)

名称 : OSC20MCALIBA

変位 : +\$11

リセット : FUSE.OSCCFG内のFREQSELヒューズ'に基づきます。

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	CAL20M5~0							
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	x	x	x	x	x	x

●ビット5~0 – CAL20M5~0 : 校正値 (Calibration)

このビット領域は微調整のために周波数を現在の中心周波数近辺に変更します。

リセット後に[発振器構成設定\(FUSE.OSCCFG\)ヒューズ'の周波数選択\(FREQSEL\)ビット](#)に基づいて工場校正値が設定されます。

10.5.7. OSC20MCALIBB – 16/20MHz発振器校正B (16/20MHz Oscillator Calibration B)

名称 : OSC20MCALIBB

変位 : +\$12

リセット : FUSE.OSCCFGヒューズ'に基づきます。

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	LOCK				TEMPCAL20M3~0			
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	x	0	0	0	0	0	0	0

●ビット7 – LOCK : ヒューズ'による発振器校正施錠 (Oscillator Calibration Locked by Fuse)

このビットが設定(1)されると、校正A(CLKCTRL.OSC20MCALIBA)と校正B(CLKCTRL.OSC20MCALIBB)のレジスタの校正設定は変更することができません。

リセット値は発振器構成設定(FUSE.OSCCFG)ヒューズ'の[発振器施錠\(OSCLOCK\)ビット](#)から取得/設定されます。

●ビット3~0 – TEMPCAL20M3~0 : 発振器温度係数校正 (Oscillator Temperature Coefficient Calibration)

このビット領域は温度補償の傾斜を調整します。

リセット後に[発振器構成設定\(FUSE.OSCCFG\)ヒューズ'の周波数選択\(FREQSEL\)ビット](#)に基づいて工場校正値が設定されます。

10.5.8. OSC32KCTRLA – 32.768kHz発振器制御A (32.768kHz Oscillator Control A)

名称 : OSC32KCTRLA

変位 : +\$18

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
							RUNSTDBY	
アクセス種別	R	R	R	R	R	R	R/W	R
リセット値	0	0	0	0	0	0	0	0

● ビット1 – RUNSTDBY : スタンバイ時走行 (Run in Standby)

このビットは例えシステムによって未使用の時でも全ての動作形態でこの発振器を強制します。[スタンバイ休止動作形態](#)に於いて、これは発振器始動時間を待つことなく直ちに起き上がることを保証するのに使うことができます。

周辺機能によって要求されない時は発振器出力が全く提供されません。

要求後にクロック開閉部を開くのに4発振器周期かかりますが、このビットが設定(1)されると、発振器アナログ始動時間が除去されます。

11. SLPCTRL – 休止制御器

11.1. 特徴

- 消費電力と機能を調整するための電力管理
- 3つの休止動作形態
 - アイドル
 - スタンバイ
 - パワーダウン
- 周辺機能をONまたはOFFとして構成設定できる、構成設定可能なスタンバイ動作

11.2. 概要

休止動作は節電のためにデバイス内の周辺機能とクロック領域を停止するのに使われます。休止制御器(SLPCTRL)は活動動作と休止動作間の移行を制御して処理します。

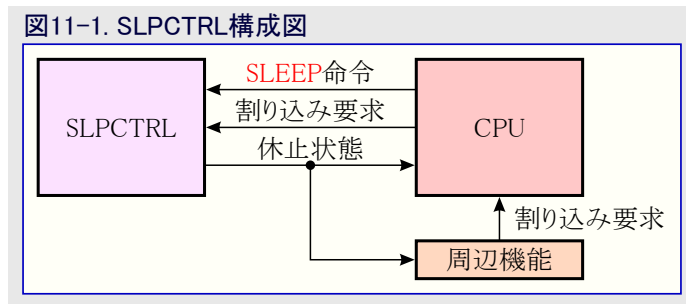
ソフトウェアが実行される1つの活動動作と3つの休止動作で利用可能な合計4つの動作形態があります。利用可能な休止動作形態はアイドル、スタンバイ、パワーダウンです。

全ての休止動作は活動動作から移行することができます。活動動作ではCPUが応用コードを実行しています。デバイスが休止動作形態へ移行すると、プログラム実行が停止されます。応用コードはどの休止動作に移行するかとその時を決めます。

休止からデバイスを起き上がらせるのに割り込みが使われます。利用可能な割り込み起動元は構成設定された休止動作形態に依存します。割り込みが起こると、デバイスが起き上がり、**SLEEP**命令の後の最初の命令から通常のプログラム実行を続ける前に、割り込み処理ルーチンを実行します。どのリセットもデバイスを休止動作形態の外へ連れ出します。

レジスタファイル、SRAM、レジスタの内容は休止の間、保持されます。休止中にリセットが起きた場合、デバイスはリセットして開始し、リセットベクタから実行します。

11.2.1. 構成図



11.3. 機能的な説明

11.3.1. 初期化

デバイスを休止動作形態に置くには以下のこれらの手順に従ってください。

- 休止からデバイスを起き上がらせることができる割り込みを構成設定して許可してください。全体割り込みも許可してください。



警告 休止へ行く時に許可された割り込みが全くない場合、デバイスは再び起き上がることができません。リセットだけがデバイスに動作の継続を許します。

- 制御A(SLPCTRL.CTRLA)レジスタの休止動作形態(SMODE)ビット領域と休止許可(SEN)ビットを書くことによって、移行する休止動作を選んで休止制御器を許可してください。

デバイスを休止にするには**SLEEP**命令が実行されなければなりません。

11.3.2. 動作

11.3.2.1. 休止動作

活動動作に加えて、消費電力と機能を減らした3つの異なる休止動作形態があります。

アイドル CPUはコード実行を停止します。禁止される周辺機能はなく、全ての割り込み元はデバイスを起こすことができます。

スタンバイ 使用者は各々のスタンバイ時走行(RUNSTDBY)ビットを使って許可されるべき、またはされないべき周辺機能を構成設定することができます。これは消費電力が何の機能が許可されるかに高く依存し、故にアイドルとパワーダウンの基準間で変わるかもしれません。

A/D変換器(ADC)単位部に対して休止歩行が利用可能です。

パワーダウン 低電圧検出器(BOD)、ウォッチドッグタイマ(WDT)、(RTC周辺機能内の)周期的割り込み計時器(PIT)だけが活性です。起き上がり供給元はピン変化割り込み、PTT、VLM、TWIアドレス一致、CCLだけです。

表11-1. 周辺機能に対する休止動作活動概要

周辺機能	休止動作で活動		
	アイドル	スタンバイ	パワーダウン
CPU	×	×	×
RTC	○	○ (注1)	○ (注2)
WDT、BOD、EVSYS	○	○	○
CCL、AC、ADC、TCBn	○	○ (注1)	×
他の全ての周辺機能	○	×	×

注1: 活動状態に入るために対応する周辺機能のスタンバイ時走行(RUNSTDBY)ビットが設定(1)されなければなりません。

注2: PITのみ。

表11-2. クロック元に対する休止動作活動概要

クロック元	休止動作で活動		
	アイドル	スタンバイ	パワーダウン
主クロック元	○	○ (注1)	×
RTCクロック元	○	○ (注1)	○ (注2)
WDT発振器、BOD発振器(注3)	○	○	○
CCLクロック元	○	○ (注1)	×

注1: 活動状態に入るために対応する周辺機能のスタンバイ時走行(RUNSTDBY)ビットが設定(1)されなければなりません。

注2: PITのみ。

注3: BOD発振器は採取動作でだけ動きます。

表11-3. 休止動作起こし元

起こし元	休止動作で活動		
	アイドル	スタンバイ	パワーダウン
PORTピン割り込み	○	○	○ (注1)
TWIアドレス一致割り込み、BOD VLM割り込み	○	○	○
RTC割り込み	○	○ (注2)	○ (注3)
TCB割り込み、ADC割り込み	○	○ (注2)	×
AC割り込み	○	○ (注4)	×
USARTフレーム開始の割り込み	×	○	×
他の全ての割り込み	○	×	×

注1: 入出力ピンは「PORT」章の「非同期感知ピン特性」に従って構成設定されなければなりません。

注2: 活動状態に入るために対応する周辺機能のスタンバイ時走行(RUNSTDBY)ビットが設定(1)されなければなりません。

注3: PITのみ。

注4: スタンバイ時走行(RUNSTDBY)ビットが設定(1)されると、ACはその状態レジスタ更新や割り込みの起動なしで動きます。別の周辺機能がCLK_PERを要求した場合、ACはそのクロックをその状態レジスタ更新と割り込みの起動に使用します。

11.3.2.2. 起き上がり時間

このデバイスに対する標準起き上がり時間は6主クロック周期(CLK_PER)と加えて主クロック元が始動するのにかかる時間です。

- ・アイドル動作では追加の起き上がり時間をなくすために主クロック元が走行を保ちます。
- ・スタンバイ動作では主クロックが走行するかもしれず、故に周辺機能構成設定に依存します。
- ・パワーダウン動作では、低電圧検出器(BOD)またはウォッチドッグタイマ(WDT)によって使われる場合に、内部32.768kHz低電力発振器と実時間計数器(RTC)クロックだけが走行するかもしれません。

各種クロック元に対する始動時間はクロック制御器(CLKCTRL)章で記述されます。

標準起き上がり時間に加えて、コードを実行するのに先立ってBODが準備を整えるまでデバイスを待たせることが可能です。これはBOD構成設定(FUSE.BODCFG)ヒューズの活動とアイドルでのBOD動作形態(ACTIVE)ビットに'11'を書くことによって行われます。標準起き上がり時間の前にBODが準備を整える場合、最終的な起き上がり時間は同じです。BODが標準起き上がり時間よりも長くかかる場合、起き上がり時間はBODが準備を整えるまで延長されます。これはいつコードが実行されようと正しい供給電圧を保証します。

表11-4. 休止動作と始動時間

休止動作	始動時間
アイドル	6 CLK
スタンバイ	6 CLK + OSC始動時間
パワーダウン	6 CLK + OSC始動時間

11.3.3. デバッグ操作

走行時のデバッグ間、この周辺機能は標準動作を続けます。SLPCTRLはデバッグ操作の中断によってのみ影響を及ぼされます。中断が起きた時にSLPCTRLが休止動作形態の場合、例えば保留割り込み要求が全くなくても、デバイスは起き上がってSLPCTRLは活動動作になります。

周辺機能が割り込みまたは同様のものを通してCPUによる定期的な助けを必要とするように構成設定された場合、停止したデバッグの間に不適切な動作やデータ損失の可能性があります。

11.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0						SMODE1,0		SEN

11.5. レジスタ説明

11.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
						SMODE1,0		SEN
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット2,1 – SMODE1,0 : 休止動作形態 (Sleep Mode)

これらのビット書き込みは休止許可(SEN)ビットが'1'を書かれ、**SLEEP**命令が実行される時に移行される休止動作形態を選びます。

値	0 0	0 1	1 0	1 1
名称	IDLE	STANDBY	PDOWN	–
説明	アイドル休止動作許可	スタンバイ休止動作許可	パワーダウン休止動作許可	(予約)

● ビット0 – SEN : 休止許可 (Sleep Enable)

選択された休止動作にMCUを移行するために**SLEEP**命令が実行される前に、このビットは'1'を書かれなければなりません。

12. RSTCTRL – リセット制御器

12.1. 特徴

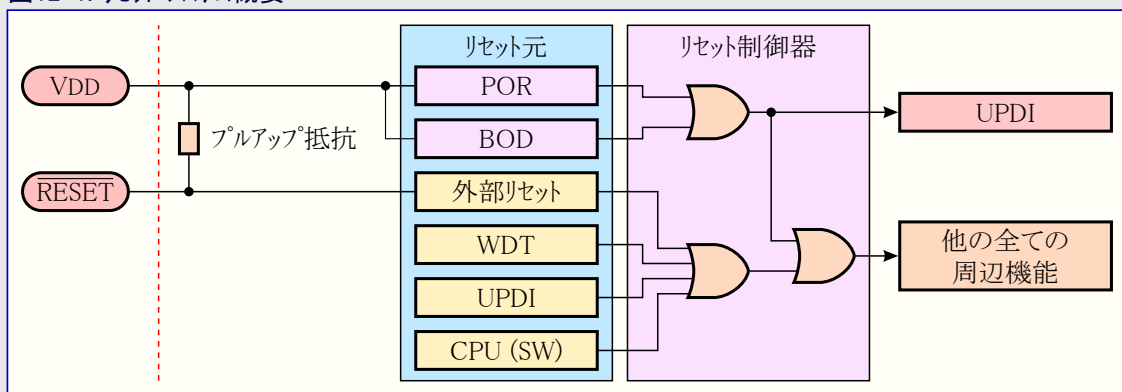
- ・ デバイスをリセット後の初期状態に復帰
- ・ 直前のリセット元を識別
- ・ 電源リセット元:
 - 電源ONリセット(POR)
 - 低電圧検出器(BOD) リセット
- ・ 使用者リセット元
 - 外部リセット(RESET)
 - ウォッチドッグ タイマ(WDT) リセット
 - ソフトウェア リセット(SWRST)
 - 統一プログラム/デバッグ インターフェース(UPDI) リセット

12.2. 概要

リセット制御器(RSTCTRL)はデバイスのリセットを管理します。これはデバイスにリセットを発行し、デバイスをその初期状態に設定し、そしてソフトウェアによる識別をリセット元に許します。

12.2.1. 構成図

図12-1. リセット システム概要



12.2.2. 信号説明

信号	形式	説明
RESET	デジタル入力	外部リセット (Low活性)

12.3. 機能的な説明

12.3.1. 初期化

RSTCTRLは常に許可されますが、リセット元のいくつかはそれらがリセットを要求し得る前に(ヒューズまたはソフトウェアのどちらかによって)許可されなければなりません。

ヒューズまたは識別列から自動的に設定されるデバイスのレジスタが更新されます。どの供給元からのリセット後も、プログラム カウンタは\$0000に設定されます。

12.3.2. 動作

12.3.2.1. リセット元

どれかのリセット後、リセットを起こした供給元はリセット フラグ(RSTCTRL.RSTFR)レジスタで見つかります。ソフトウェア応用でこのレジスタを読むことによって直前のリセット元を識別することができます。

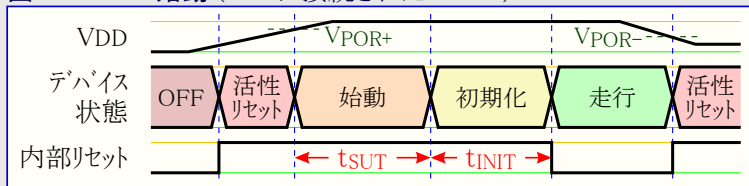
供給元に基ついて次のように2つのリセット形式があります。

- ・ 電源リセット元:
 - 電源ONリセット (POR)
 - 低電圧検出器 (BOD) リセット
- ・ 使用者リセット元:
 - 外部リセット (RESET)
 - ウォッチドッグ タイマ (WDT) リセット
 - ソフトウェア リセット (SWRST)
 - 統一プログラム/デバッグ インターフェース (UPDI) リセット

12.3.2.1.1. 電源ONリセット (POR)

電源ONリセット(POR)は論理回路とメモリの安全な始動を保証することが狙いです。チップ上の検出回路が常に許可され、これを生成します。PORはVDDが上昇する時に活性にされ、VDDが**POR閾値電圧(VPOR+)**未満である限り活性リセットを与えます。このリセットは始動してリセット初期化手順が終了されるまで持続されます。ヒューズが**始動時間(SUT)**を決めます。VDDが検出基準(VPOR-)未満に落ちる時にリセットは遅延もなしに再び活性にされます。

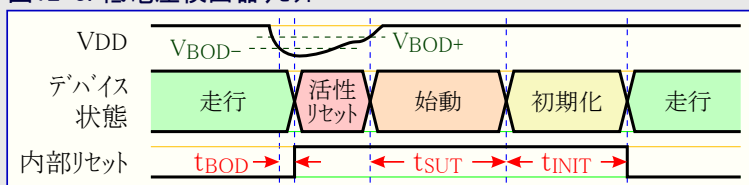
図12-2. MCU始動 (VDDに接続されたRESET)



12.3.2.1.2. 低電圧検出器 (BOD) リセット

低電圧検出器(BOD)回路はそれを一定の起動基準と比較することによって動作中にVDD水準を監視します。BODに対する起動基準は**ヒューズ**によって選ぶことができます。BODが応用で使われない場合、内部リセットとチップ消去の間の安全な動作を保証するため、最小基準を強制されます。

図12-3. 低電圧検出器リセット

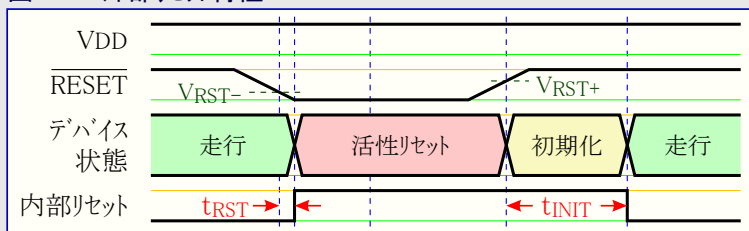


12.3.2.1.3. 外部リセット

外部リセットはヒューズによって許可されます。**システム構成設定0 (FUSE.SYSCFG0)ヒューズのリセットピン構成設定(RSTPINCFG)ビット領域**をご覧ください。

許可されると、外部リセットはRESETピンがLowである限り、リセットを要求します。デバイスはRESETが再びHighになるまでリセットに留まります。UPDIとBOD構成設定を除き、外部リセットで全ての論理回路がリセットされます。リセットが解放された後に全てのヒューズが再設定されます。

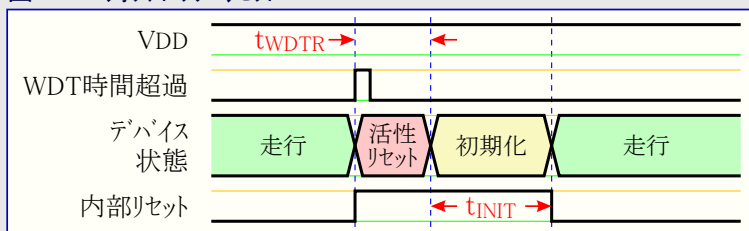
図12-4. 外部リセット特性



12.3.2.1.4. ウォッチドッグ タイマ (WDT) リセット

ウォッチドッグ タイマ(WDT)はプログラムの動作を監視するシステム機能です。ソフトウェアが設定された制限時間期間に従ってWDTを処理しなければ、ウォッチドッグ リセットが発行されます。**「WDT - ウォッチドッグ タイマ」**章でより多くの詳細を見つけてください。

図12-5. ウォッチドッグ リセット



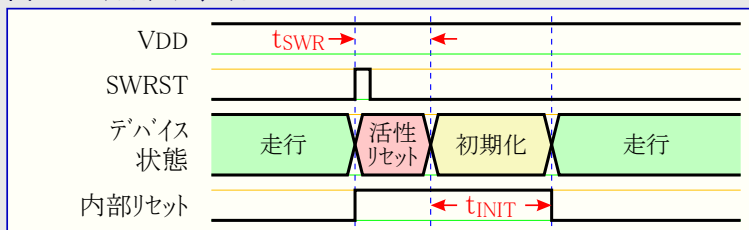
注: tWDTR時間は概ね50nsです。

12.3.2.1.5. ソフトウェア リセット

ソフトウェア リセットはソフトウェアからシステム リセットを発行することを可能にします。**ソフトウェア リセットレジスタ(RSTCTRL.SWRR)のソフトウェア リセット許可(SWRST)ビットへの'1'書き込み**がリセットを生成します。

ビットが書かれた後にリセットが直ちに起こり、リセット手順が完了されるまでデバイスはリセットを保ちます。

図12-6. ソフトウェア リセット



注: tSWR時間は概ね50nsです。

12.3.2.1.6. 統一プログラム/デバッグ インターフェース (UPDI) リセット

統一プログラム/デバッグ インターフェース(UPDI)は外部的なプログラミングとデバッグを行う間にデバイスをリセットするのに使われる独立したリセット元を含みます。このリセット元は外部のデバッグと書き込み器からだけアクセス可能です。**「UPDI - 統一プログラム/デバッグ インターフェース」**章でより多くの詳細を見つけてください。

12.3.2.1.7. リセットによって影響を及ぼされる領域

以下の論理回路領域が様々なリセットによって影響を及ぼされます。

表12-1. 様々なリセットによって影響を及ぼされる論理回路領域

リセット形式	POR	BOD	ソフトウェア リセット	外部リセット	WDTリセット	UPDIリセット
ヒューズ再設定	○	○	○	○	○	○
UPDIのリセット	○	○	×	×	×	×
他の揮発性論理回路のリセット	○	○	○	○	○	○

12.3.2.2. リセット時間

リセット時間は2つの部分に分けることができます。

最初の部分はリセット元のどれかが活性の時です。この部分はリセット元の入力に依存します。外部リセットはRESETピンがLowである限り活性です。電源ONリセット(POR)と低電圧リセット(BOD)は供給電圧がリセット元閾値未満の時に活性です。

2つ目の部分は全てのリセット元が解放される時で、デバイスの内部リセット初期化が行われます。電源リセット元がリセットを引き起こした場合、この時間はシステム構成設定1(FUSE.SYSCFG1)ヒューズの始動時間(SUT)ビット領域設定によって与えられる始動時間で増されます。内部リセット初期化時間は巡回冗長検査メモリ走査(CRCSCAN)が始動で動くように構成設定される場合にも増やされます。この構成設定はシステム構成設定0(FUSE.SYSCFG0)ヒューズのCRC元(CRCSRC)ビット領域で変更することができます。

12.3.3. 休止形態動作

RSTCTRLは活動動作と全ての休止動作で動作します。

12.3.4. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

表12-2. RSTCTRL – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
RSTCTRL.SWRR	IOREG

12.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	RSTFR	7～0			UPDIRF	SWRF	WDRF	EXTRF	BORF	PORF
+\$01	SWRR	7～0								SWRE

12.5. レジスタ説明

12.5.1. RSTFR – リセット フラグ レジスタ (Reset Flag Register)

名称 : RSTFR

変位 : +\$00

リセット : '00xx xxxx'

特質 : -

全てのフラグはそれらへ'1'を書くことによって解除(0)されます。それらは電源ONリセット フラグ(PORF)を除き、電源ONリセット(POR)によっても解除(0)されます。

ビット	7	6	5	4	3	2	1	0
			UPDIRF	SWRF	WDRF	EXTRF	BORF	PORF
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	x	x	x	x	x	x

● ビット5 – UPDIRF : UPDIリセット フラグ (UPDI Reset Flag)

このビットはUPDIリセットが起きた場合に設定(1)されます。

● ビット4 – SWRF : ソフトウェア リセット フラグ (Software Reset Flag)

このビットはソフトウェア リセットが起きた場合に設定(1)されます。

● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起きた場合に設定(1)されます。

● ビット2 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起きた場合に設定(1)されます。

● ビット1 – BORF : 低電圧検出リセット フラグ (Brownout Reset Flag)

このビットは低電圧検出リセットが起きた場合に設定(1)されます。

● ビット0 – PORF : 電源ONリセット フラグ (Power-On Reset Flag)

このビットはPORリセットが起きた場合に設定(1)されます。

POR後、PORフラグだけが設定(1)され、他の全てのフラグは解除(0)されます。POR後に完全なシステム起動が走行する前に他のフラグは全く設定(1)され得ません。

12.5.2. SWRR – ソフトウェア リセット レジスタ (Software Reset Register)

名称 : SWRR

変位 : +\$01

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
								SWRE
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – SWRE : ソフトウェア リセット許可 (Software Reset Enable)

このビットが'1'を書かかれると、ソフトウェア リセットが起こります。

このビットは常に'0'として読みます。

13. CPUINT – CPU割り込み制御器

13.1. 特徴

- 短くて予測可能な割り込み応答時間
- 各割り込みに対する独立した構成設定とベクタアドレス
- 段位とベクタアドレスによる割り込み優先順位付け
- 2つの割り込み優先段位：0(標準)と1(高)
 - 割り込み要求の1つを優先段位1割り込みとして割り当て可能
 - 優先段位0割り込みに対する任意選択のラウンドロビン優先機構
- 重要な機能用の遮蔽不可割り込み(NMI:Non-Maskable Interrupt)
- 応用領域またはブートローダ領域に任意選択で配置される割り込みベクタ
- 選択可能な簡潔ベクタ表(CVT)

13.2. 概要

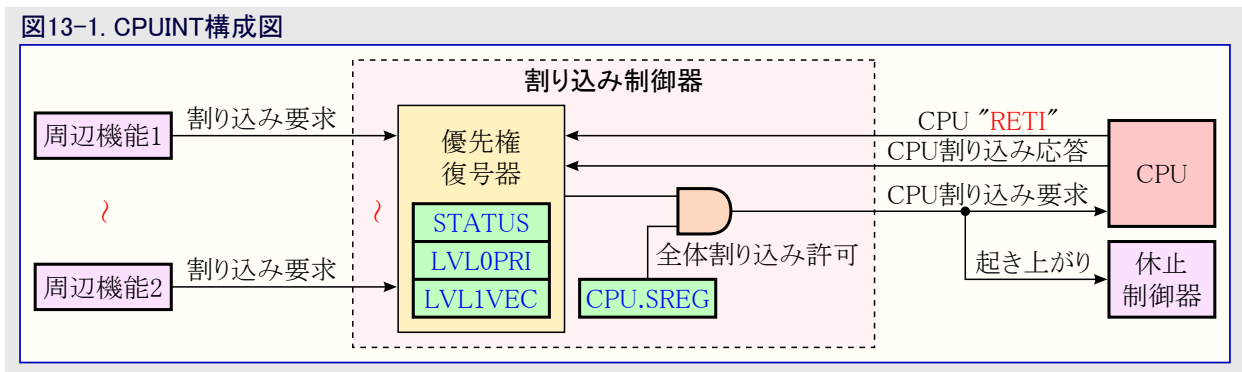
割り込み要求は周辺機能内側の状態の変化を合図し、プログラム実行を変えるのに使うことができます。周辺機能は1つ以上の割り込みを持ちます。全てが個別に許可されて構成設定されます。

割り込みが許可されて構成設定されると、割り込み条件が発生する時に割り込み要求を生成します。

CPU割り込み制御器(CPUINT)は割り込み要求を優先順位付けして処理します。割り込みが許可されて割り込み条件が起こると、CPUINTはその割り込み要求を受け取ります。その割り込みの優先段位と何れかの進行中の割り込みの優先段位に基づいて、割り込み要求は応答されるか、またはそれが優先権を持つまで保留を保たれるかのどちらかです。割り込み処理部から戻った後、プログラム実行は割り込みが起きた前の場所から続け、どの保留割り込みも1つの命令が実行された後に扱われます。

CPUINTは重要な機能に対するNMI、1つの選択可能な高優先権割り込み、標準優先権割り込みに対する任意選択のラウンドロビン計画機構を提供します。ラウンドロビン計画は一定時間内で全ての割り込みが処理されることを保証します。

13.2.1. 構成図



13.3. 機能的な説明

13.3.1. 初期化

割り込みは以下の順で初期化されなければなりません。

- 既定構成設定が適切でない場合はCPUINTを構成設定してください(任意選択)。
 - ベクタの取り扱いは**制御A(CPUINT.CTRLA)レジスタ**の各々(**割り込みベクタ選択(IVSEL)**と**簡潔ベクタ表(CVT)**)のビットに書くことによって構成設定されます。
 - ラウンドロビンによるベクタの優先順位付けはCPUINT.CTRLAの**ラウンドロビン優先権許可(LVL0RR)**ビットに'1'を書くことによって許可されます。
 - 段位1優先権保持割り込みベクタ(CPUINT.LVL1VEC)レジスタ**の**段位1優先権保持割り込みベクタ(LVL1VEC)**に割り込みベクタ番号を書くことによって優先段位1のベクタを選んでください。
- 周辺機能内で割り込み条件を構成設定し、周辺機能の割り込みを許可してください。
- CPUステータスレジスタ(CPU.SREG)**の**全体割り込み許可(I)**ビットに'1'を書くことによって全体的な割り込みを許可してください。

13.3.2. 動作

13.3.2.1. 許可、禁止とリセット

割り込みの全体許可はCPUステータスレジスタ(CPU.SREG)の全体割り込み許可(I)ビットに'1'を書くことによって行われます。割り込みを全体的に禁止するには、CPU.SREGのIビットに'0'を書いてください。

望む割り込み線は周辺機能の割り込み制御([周辺機能名].INTCTRL)レジスタに書くことによって各々の周辺機能でも許可されなければなりません。

割り込み要求フラグは割り込みが実行された後で自動的に解除(0)されません。各々の割り込み要求フラグ(INTFLAGS)レジスタ記述が特定のフラグをどう解除(0)するかの情報を提供します。

13.3.2.2. 割り込みベクタ位置

割り込みベクタ配置は制御A(CPUINT.CTRLA)レジスタの割り込みベクタ選択(IVSEL)ビットに依存します。可能な位置についてはCPUINT.CTRLAのIVSEL記述を参照してください。

プログラムが決して割り込み元を許可しなければ、割り込みベクタは使われず、それらの場所に通常のプログラムコードを置くことができます。

13.3.2.3. 割り込み応答時間

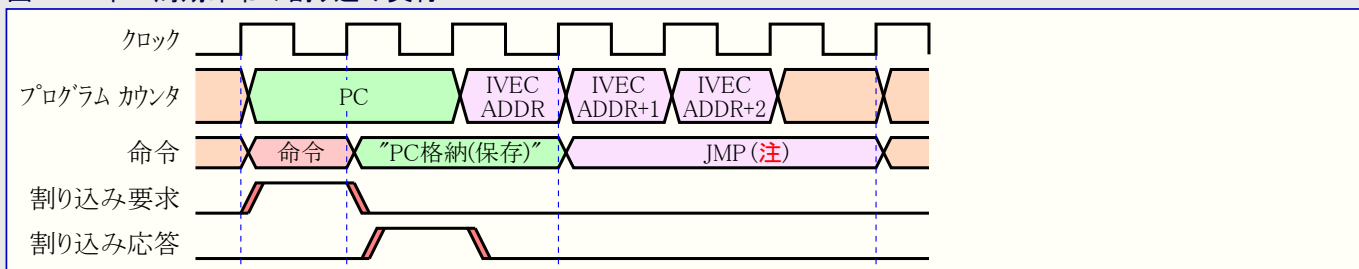
最小割り込み応答時間は右表で表されます。

表13-1. 最小割り込み応答時間

進行処理内容	フラッシュ メモリ量 > 8Kバイト	フラッシュ メモリ量 ≤ 8Kバイト
進行中の命令終了	1周期	1周期
PCをスタックに格納	2周期	2周期
割り込み処理部へ飛ぶ	3周期 (JMP)	2周期 (RJMP)

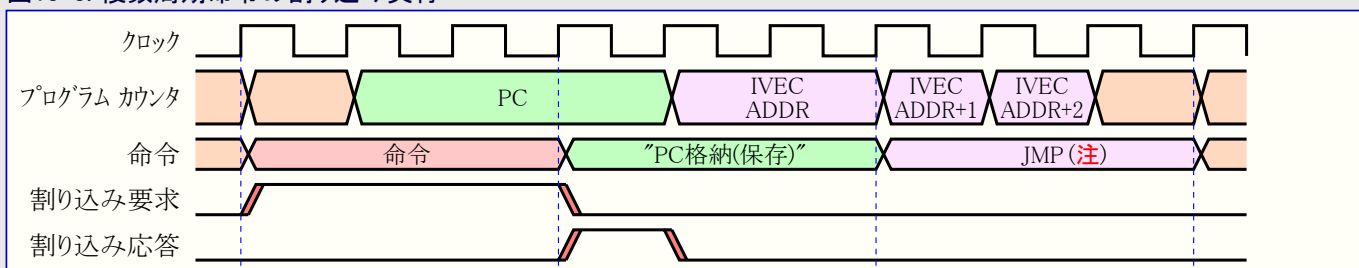
スタックにプログラムカウンタが押し込まれた後、割り込み用のプログラムベクタが実行されます。以下の図をご覧ください。

図13-2. 単一周周期命令の割り込み実行



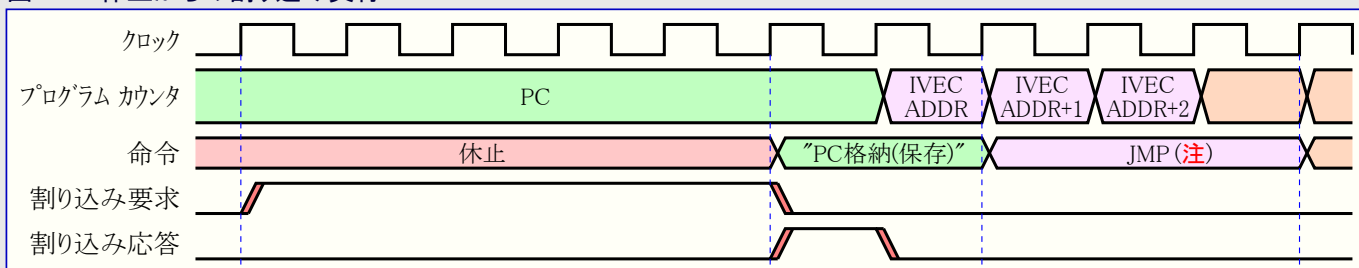
複数周期命令の実行中に割り込みが起きる場合、次図で示されるように、割り込みが処理される前にこの命令が完了されます。

図13-3. 複数周期命令の割り込み実行



デバイスが休止動作形態の時に割り込みが起きる場合、次図で示されるように、割り込み実行応答時間は5クロック周期増やされます。また、応答時間は選んだ休止動作からの始動時間によっても増やされます。

図13-4. 休止からの割り込み実行



プログラムカウンタの大きさに依存して、割り込み処理ルーチンからの復帰は4～5クロック周期かかります。これらのクロック周期の間、プログラムカウンタがスタックから取り出され、スタックポインタが増やされます。

注: 8Kバイト以下のフラッシュメモリを持つデバイスはJMPの代わりにRJMPを使い、2クロック周期だけかかります。

13.3.2.4. 割り込み優先権

全ての割り込みベクタは次表で示されるように、3つの可能な優先段位の1つに割り当てられます。高優先元からの割り込み要求は標準優先元からのどの進行中の割り込み処理部にも割り込みます。高優先割り込み処理部から戻ると、標準優先割り込み処理部の実行が再開します。

表13-2. 割り込み優先段位

優先権	段位	供給元
最高	遮蔽不可割り込み (NMI)	デバイス依存で静的割り当て
～	段位1 (高優先権)	1つのベクタが段位1として任意選択で使用者選択可能
最低	段位0 (標準優先権)	残りの割り込みベクタ

13.3.2.4.1. NMI – 遮蔽不可割り込み

NMIはCPUステータスレジスタ(CPU.SREG)の全体割り込み許可(I)ビット設定に関わらず実行されます。NMIは決してビットを変えません。他の割り込みがNMI処理部に割り込むことはできません。複数のNMIが同時に要求された場合、優先権は最下位アドレスが最高優先権を持つ割り込みベクタアドレスに従った静的優先権です。

どの割り込みが遮蔽不可かはデバイス依存で、構成設定の対象ではありません。遮蔽不可割り込みはそれらが使われ得る前に許可されなければなりません。利用可能なNMI元についてはデバイスの割り込みベクタ配置表を参照してください。

13.3.2.4.2. 高優先割り込み

優先段位1保持割り込みベクタ(CPUINT.LVL1VEC)レジスタに割り込みベクタ番号を書くことによって1つの割り込み要求を段位1(高優先)に割り当てることが可能です。この割り込み要求は他の(標準優先)割り込み要求よりも高い優先権を持ちます。優先段位1割り込みは段位0割り込み処理部に割り込みます。

13.3.2.4.3. 標準優先割り込み

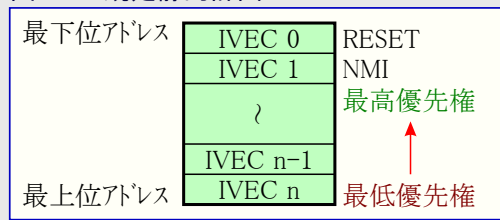
NMI以外の全ての割り込みベクタは既定で優先段位0(標準)に割り当てられます。これらのベクタの1つを高優先ベクタとして割り当てることによってこれを覆すかもしれません。デバイスは多くの標準優先ベクタを持ち、それらのいくつかが同時に保留中かもしれません。どの保留中標準優先割り込みを先に処理するかを選ぶために静的とラウンドロビンの異なる2つの計画機構が利用可能です。

IVECは「周辺機能と基本構造」章で一覧にされるような割り込みベクタ割り当てです。以下の項は計画機構を説明するのにIVECを使います。IVEC0はリセットベクタ、IVEC1はNMIベクタ、以下同様です。n+1要素を持つベクタ表では最高ベクタ番号を持つベクタがIVECnと示されます。リセット、遮蔽不可割り込み、それと高段位割り込みはIVEC割り当てに含まれますが、常に標準優先割り込みを超えて優先されます。

13.3.2.4.3.1. 静的計画

いくつかの段位0割り込み要求が同時に保留中の場合、最高優先権を持つ1つが先行する実行のために計画されます。右図は最低アドレスを持つ割り込みベクタが最高優先権を持つ既定構成設定を説明します。

図13-5. 既定静的計画



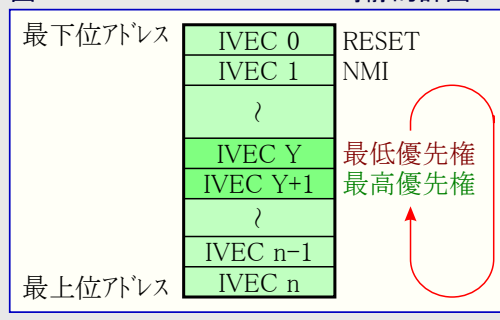
13.3.2.4.3.2. 変更した静的計画

既定優先権は割り込み優先段位0(CPUINT.LVL0PRI)レジスタにベクタ番号を書くことによって変更することができます。右図で示されるように、次の割り込みベクタがLVL0割り込み内で最高優先権を持ちます。

ここで、値YはY+1の割り込みベクタが最高優先権を持つようにCPUINT.LVL0PRIへ書かれています。この場合、優先権はもはや最低アドレスが最高優先権を持たないように丸めることに注意してください。これは常に最高優先権を持つRESETとNMIを含めません。

利用可能な割り込み要求とそれらの割り込みベクタ番号についてはデバイスの「割り込みベクタ配置」を参照してください。

図13-6. CPUINT.LVL0PRI≠0時静的計画

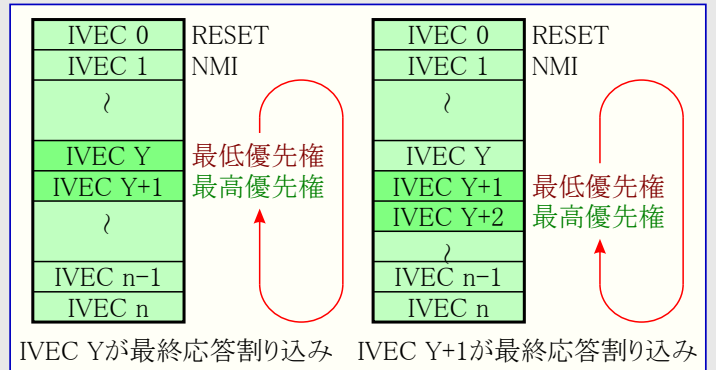


13.3.2.4.3.3. ラウンドロビン計画

静的計画は処理されることからいくつかの割り込み要求を妨げるかもしれません。これを避けるため、CPUINTは標準優先(LVL0)割り込みに対してラウンドロビン計画を提供します。ラウンドロビン計画ではCPUINT.LVL0PRIレジスタが最後に応答した割り込みベクタ番号を格納します。このレジスタは最後に応答した割り込みベクタが最低優先権を持ち、ハードウェアによって自動的に更新されます。以下の図はIVEC Y応答後とIVEC Y+1応答後の優先順を説明します。

LVL0割り込み要求に対するラウンドロビン計画は**制御A(CPUINT.CTRLA)レジスタのラウンドロビン優先権許可(LVL0RR)ビット**に'1'を書くことによって許可されます。

図13-7. ラウンドロビン計画



13.3.2.5. 簡潔ベクタ表

簡潔ベクタ表(CVT)は全ての段位0割り込みが同じベクタ番号を共用することによって簡潔なコード書きを許すための機能です。従って、割り込みは同じ割り込み処理ルーチン(ISR)を共用します。これは割り込み処理部を減らし、それによって応用コードに使うことができるメモリを開放します。

制御A(CPUINT.CTRLA)レジスタの簡潔ベクタ表(CVT)ビットに'1'を書くことによってCVTが許可されると、ベクタ表は以下のこれら3つの割り込みベクタを含みます。

1. ベクタ アドレス1の遮蔽不可割り込み(NMI)
2. ベクタ アドレス2の優先段位1(LVL1)割り込み
3. ベクタ アドレス3の全ての優先段位0(LVL0)割り込み

この機能は限定されたメモリを持つデバイスと少数の割り込み生成部を使う応用に最適です。

13.3.3. デバッグ操作

段位1割り込み使用時、段位1優先権を持つ割り込みの繰り返しで応用を立往生させるかもしれないため、割り込み処理ルーチンが正しく構成設定される事を確実にすることが重要です。

CPUINT状態(CPUINT.STATUS)レジスタを読むことにより、応用が正しい**RETI**(割り込み復帰)命令を実行されているか知ることが可能です。CPUINT.STATUSレジスタは割り込み処理部の最後で**RETI**命令が実行される時にCPUINTが正しい割り込み段位に戻ることを保証する状態情報を含みます。割り込みからの復帰はCPUINTを割り込みに入る前に持っていた状態に戻します。

13.3.4. 構成設定変更保護

この周辺機能は**構成設定変更保護(CCP)**下にあるレジスタを持ちます。これらへ書くには最初に**構成設定変更保護(CPU.CCP)レジスタ**へ或る鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、保護されたレジスタを無変化のままにします。

右のレジスタがCCP下です。

表13-3. CPUINT – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
CPUINT.CTRLAのIVSEL	IOREG
CPUINT.CTRLAのCVT	

13.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0		IVSEL	CVT					LVL0RR
+\$01	STATUS	7～0	NMIEX						LVL1EX	LVL0EX
+\$02	LVL0PRI	7～0	LVL0PRI7～0							
+\$03	LVL1VEC	7～0	LVL1VEC7～0							

13.5. レジスタ説明

13.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
		IVSEL	CVT					LVL0RR
アクセス種別	R	R/W	R/W	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – IVSEL : 割り込みベクタ選択 (Interrupt Vector Select)

このビットは構成設定変更保護機構によって保護されます。

値	0	1
説明	割り込みベクタはフラッシュのブート領域の後ろに配置(注)	割り込みベクタはフラッシュのブート領域の先頭に配置

注: フラッシュメモリ全体がブート領域として構成設定されると、このビットは無視されます。

● ビット5 – CVT : 簡潔ベクタ表 (Compact Vector Table)

このビットは構成設定変更保護機構によって保護されます。

値	0	1
説明	簡潔ベクタ表機能禁止	簡潔ベクタ表機能許可

● ビット0 – LVL0RR : ラウンドロビン優先権許可 (Round-Robin Priority Enable)

このビットは構成設定変更保護機構によって保護されません。

値	0	1
説明	優先権は優先段位0割り込みに対して固定、最下位割り込み要求アドレスが最高優先権を持ちます。	優先段位0割り込み要求に対してラウンドロビン優先機構が許可されます。

13.5.2. STATUS – 状態 (Status)

名称 : STATUS

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	NMIEX						LVL1EX	LVL0EX
アクセス種別	R/W	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – NMIEX : 遮蔽不可割り込み実行中 (Non-Maskable Interrupt Executing)

このフラグは遮蔽不可割り込みが実行中の場合に設定(1)されます。このフラグは割り込み処理部から(RET_I)で戻る時に解除(0)されます。

● ビット1 – LVL1EX : 段位1割り込み実行中 (Level 1 Interrupt Executing)

このフラグは優先段位1割り込みが実行中の時か、またはその割り込み処理部がNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理部から(RET_I)で戻る時に解除(0)されます。

● ビット0 – LVL0EX : 段位0割り込み実行中 (Level 0 Interrupt Executing)

このフラグは優先段位0割り込みが実行中の時か、またはその割り込み処理部が優先段位1割り込みかNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理部から(RET_I)で戻る時に解除(0)されます。

13.5.3. LVL0PRI – 割り込み優先段位0 (Interrupt Priority Level 0)

名称 : LVL0PRI
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	LVL0PRI7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – LVL0PRI7~0 : 割り込み優先段位0 (Interrupt Priority Level 0)

このレジスタはLVL0割り込みの優先権を変更するのに使われます。より多くの情報については「[標準優先割り込み](#)」項をご覧ください。

13.5.4. LVL1VEC – 優先段位1保持割り込みベクタ (Interrupt Vector with Priority Level 1)

名称 : LVL1VEC
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	LVL1VEC7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – LVL1VEC7~0 : 優先段位1保持割り込みベクタ (Interrupt Vector with Priority Level 1)

このビット領域は高められた優先段位1(LVL1)を持つ単一ベクタの番号を含みます。このビット領域が\$00の値を持つ場合、ベクタはLVL1を持ちません。その結果として、LVL1割り込みは禁止されます。

14. EVSYS – 事象システム

14.1. 特徴

- ・ 周辺機能から周辺機能への直接的な合図のためのシステム
- ・ 周辺機能は周辺機能事象への直接的な生成、使用、反応が可能
- ・ 短い応答時間
- ・ 2つの並列非同期事象チャネル利用可能
- ・ 1つの並列同期事象チャネル利用可能
- ・ チャネルは1つの周辺機能活動起動と複数の周辺機能使用部を持つように構成設定可能
- ・ 周辺機能は他の周辺機能からの事象に対して直接的な起動と反応が可能
- ・ 事象は殆どの周辺機能とソフトウェアによって送ることや受け取ることが可能
- ・ 活動動作とスタンバイ休止動作で動作

14.2. 概要

事象システム(EVSYS)は周辺機能から周辺機能への直接的な合図を許します。それはCPUを使うことなく、事象チャネルを通して或る周辺機能(事象生成部)での変化で別の周辺機能(事象使用部)での活動を起動することを許します。それは自律の周辺機能制御と相互作用、そして多数の周辺機能単位部での活動の同期タイミングをも許す、周辺機能間の短くて予測可能な応答時間を提供するように設計されます。故にそれはソフトウェアの複雑さ、大きさ、実行時間を減らすための強力な道具です。

事象生成部の状態の変化は事象として参照され、通常、周辺機能の割り込み条件の1つに対応します。事象は専用の事象経路網を用いて他の周辺機能へ直接送ることができます。各チャネルの配線は事象生成と使用を含め、ソフトウェアで構成設定されます。

各チャネルでは事象生成部の周辺機能からの1つの起動だけを配線することができますが、同じ生成部の供給元を複数のチャネルが使用できます。複数の周辺機能が同じチャネルからの事象を使うことができます。

チャネル経路は主クロックに対して非同期または同期のどちらかにすることができます。この動作形態は応用の必要条件に基づいて選ばなければならない。

事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、構成設定可能な注文論理回路周辺機能を直接的に接続することができます。事象はソフトウェアと周辺機能クロックから生成することもできます。

14.2.1. 構成図

図14-1. 構成図

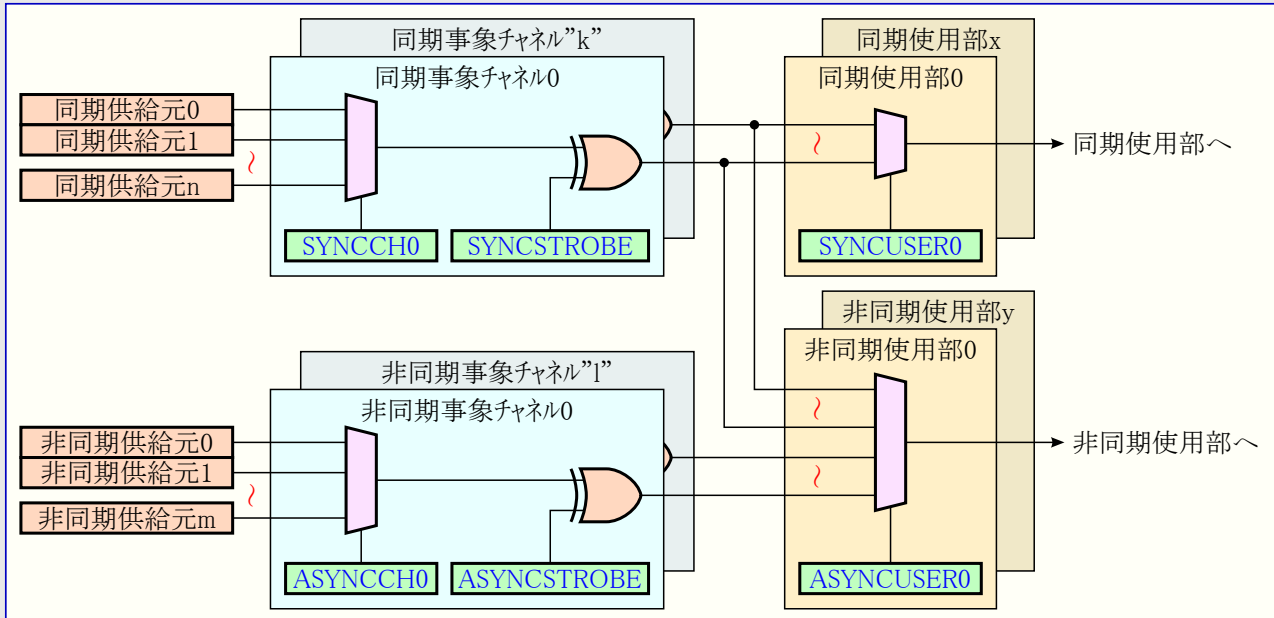
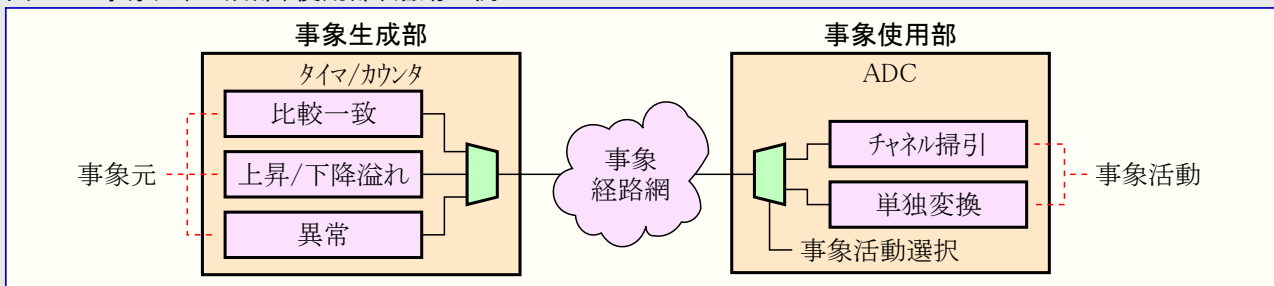


図14-2. 事象元、生成部、使用部、活動の例



注: 1. 事象を支援する周辺機能の概要についてはデバイスの構成図を参照してください。

2. 事象生成部の一覧についてはチャンネルn生成部選択レジスタ(EVSY.SYNCCHnとEVSY.ASYNCCHn)を参照してください。

3. 事象使用部の一覧については使用部チャンネル入力選択nレジスタ(EVSY.SYNCUSERnとEVSY.ASYNCUSERn)を参照してください。

14.2.2. 信号説明

内部事象信号

事象信号は主クロック(CLK_MAIN)に対して同期または非同期のどちらかで発生することができます。

元となる事象に依存して、事象信号は1クロック周期の持続時間を持つパルスか、または(状態フラグと同様な)レベル信号になり得ます。

信号	形式	説明
EVOUT2~0	デジタル出力	事象出力

14.2.3. システム依存性

この周辺機能を使うには、右で記述されるように、システムの他の部分が正しく構成設定されなければなりません。

表14-1. EVSYSシステム依存性

依存性	適用性	周辺機能
クロック	○	CLKCTRL
I/O線と接続	○	PORTMUX
割り込み	×	—
事象	○	EVSYS
デバッグ	○	UPDI

14.2.3.1. クロック

EVSYSはI/Oレジスタと発動信号のために周辺機能クロックを使います。正しく構成設定されると、配線網はどのクロックもなしに休止動作形態でも使うことができます。**ソフトウェア事象**は周辺機能クロックが停止される休止動作では動作しません。

14.2.3.2. I/O線

EVSYSはピンで3つの事象チャンネルを非同期に出力することができます。この出力信号はEVOUT2~0と呼ばれます。

1. 非同期使用部チャンネル入力選択(EVSY.ASYNCUSER10、EVSY.ASYNCUSER9、EVSY.ASYNCUSER8)レジスタの各々を書くことによってどのEVOUTnにどの事象チャンネル(SYNCCH0またはASYNCCH1~0の1つ)が出力されるかを構成設定してください。
2. 任意選択：PORT周辺機能を用いてピン特性を構成設定してください。
3. ポート多重化(PORTMUX)周辺機能の**制御A(PORTMUX.CTRLA)レジスタ**の各々の**事象出力n(EVOUTn)ビット**に'1'を書くことによってピン出力を許可してください。

14.3. 機能的な説明

14.3.1. 初期化

デバイス内で事象を許可する前に、事象使用部多重器と事象チャンネルが構成設定されなければなりません。

14.3.2. 動作

14.3.2.1. 事象使用部多重器構成設定

事象使用部多重器はその事象使用部に対してチャンネルを選びます。各事象使用部は1つの専用事象使用部多重器を持ちます。各多重器は支援される事象チャンネル出力に接続され、それらのチャンネルの1つを選ぶように構成設定することができます。

非同期事象を支援する事象使用部は同期事象も支援します。同期事象だけを支援する事象使用部もあります。事象使用部多重器は対応するレジスタを書くことによって構成設定されます。

- 同期と非同期の両事象を支援する事象使用部は各々の**非同期使用部チャンネルn入力選択(EVSY.ASYNCUSERn)レジスタ**を書くことによって構成設定されます。
- 同期事象専用の使用部は各々の**同期使用部チャンネルn入力選択(EVSY.SYNCUSERn)レジスタ**を書くことによって構成設定されます。

全ての使用部多重器の既定構成設定はOFFです。

14.3.2.2. 事象システム チャンネル

事象チャンネルは事象生成部の1つに接続することができます。事象チャンネルは非同期生成部または同期生成部のどちらかを支援します。

各非同期事象チャンネルの供給元は各々の**非同期チャンネルn入力選択(EVSY.ASYNCCHn)レジスタ**を書くことによって構成設定されます。

各同期事象チャンネルの供給元は各々の**同期チャンネルn入力選択(EVSY.SYNCCHn)レジスタ**を書くことによって構成設定されます。

14.3.2.3. 事象生成部

各事象チャンネルは様々な事象生成部からの事象を受け取ることができます。事象生成の詳細については対応する周辺機能の記述を参照してください。

各事象チャンネルに対して、いくつかの可能な事象生成部があり、同時にどれか1つだけを選ぶことができます。事象生成部の起動元は各々のチャンネルn生成部選択(EVSYN.ASYNCCHn、EVSYN.SYNCCHn)レジスタを書くことによって各チャンネルに対して選択されます。既定では、チャンネルがどの事象生成部にも接続されません。

14.3.2.4. ソフトウェア事象

ソフトウェア事象では、1システム クロック周期間現在の値を反転することによって事象チャンネルを”ストロブ(パルスで発動)”します。

ソフトウェア事象は適切なチャンネル発動レジスタ内の各々の発動ビットに'1'を書くことによってそのチャンネル上で起動されます。

- ・ 非同期チャンネルでのソフトウェア事象は**非同期チャンネル発動(EVSYN.ASYNCSTROBE)レジスタの非同期発動(ASYNCSTROBE)ビット**に'1'を書くことによって開始されます。
- ・ 同期チャンネルでのソフトウェア事象は**同期チャンネル発動(EVSYN.SYNCSTROBE)レジスタの同期発動(SYNCSTROBE)ビット**に'1'を書くことによって開始されます。

ソフトウェア事象は事象使用部に対して事象生成部の周辺機能によって生成されたそれらと変わらず、(上記のように)ビットが'1'を書かれると、各々のチャンネルで事象が生成され、事象使用部によって受け取られて処理されます。

14.3.3. 割り込み

該当なし

14.3.4. 休止形態動作

構成設定されると、事象システムは全ての休止動作形態で動作します。1つの例外はシステム クロックを必要とするソフトウェア事象です。

14.3.5. デバッグ動作

この周辺機能はデバッグ動作へ移行することによって影響を及ぼされません。

14.3.6. 同期化

非同期事象は同期化されて適合する事象使用部によって扱われます。非同期事象に適合しない事象使用部の周辺機能は同期事象チャンネルに対してだけ傾聴するように構成設定することができます。

14.3.7. 構成設定変更保護

該当なし

14.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	ASYNCSTROBE	7～0							ASYNCSTROBE1,0	
+\$01	SYNCSTROBE	7～0								SYNCSTROBE0
+\$02	ASYNCCH0	7～0	ASYNCCH7～0							
+\$03	ASYNCCH1	7～0	ASYNCCH7～0							
+\$04 ～ +\$09	予約									
+\$0A	SYNCCH0	7～0	SYNCCH7～0							
+\$0B ～ +\$11	予約									
+\$12	ASYNCUSER0	7～0	ASYNCUSER7～0							
～	～	～	～							
+\$1C	ASYNCUSER10	7～0	ASYNCUSER7～0							
+\$1D ～ +\$21	予約									
+\$22	SYNCUSER0	7～0	SYNCUSER7～0							
+\$23	SYNCUSER1	7～0	SYNCUSER7～0							

14.5. レジスタ説明

14.5.1. ASYNCSTROBE – 非同期チャネル発動 (Asynchronous Channel Strobe)

名称 : ASYNCSTROBE

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
							ASYNCSTROBE1,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1,0 – ASYNCSTROBE1,0 : 非同期チャネル発動 (Asynchronous Channel Strobe)

発動レジスタ位置が'1'を書かれる場合、各事象チャネルは1システム クロック周期間、反転(即ち、単発事象が生成)されます。

14.5.2. SYNCSTROBE – 同期チャネル発動 (Synchronous Channel Strobe)

名称 : SYNCSTROBE

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
								SYNCSTROBE0
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – SYNCSTROBE0 : 同期チャネル発動 (Synchronous Channel Strobe)

発動レジスタ位置が'1'を書かれる場合、各事象チャネルは1システム クロック周期間、反転(即ち、単発事象が生成)されます。

14.5.3. ASYNCCHn – 非同期チャネルn発生部選択 (Asynchronous Channel n Generator Selection)

名称 : ASYNCCH0 : ASYNCCH1

変位 : +\$02 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
								ASYNCCH7~0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ASYNCCH7~0 : 非同期チャネル生成部選択 (Asynchronous Channel Generator Selection)

[次ページの表](#)を参照

値	説明	
	ASYNCH0	ASYNCH1
\$00	OFF	
\$01	CCL_LUT0	
\$02	CCL_LUT1	
\$03	AC0_OUT	
\$04	(予約)	
\$05	(予約)	
\$06	(予約)	
\$07	(予約)	
\$08	RTC_OVF	
\$09	RTC_CMP	
\$0A	PORTA0	PORTB0
\$0B	PORTA1	PORTB1
\$0C	PORTA2	PORTB2
\$0D	PORTA3	PORTB3
\$0E	PORTA4	PORTB4
\$0F	PORTA5	PORTB5
\$10	PORTA6	PORTB6
\$11	PORTA7	PORTB7
\$12	UPDI	(予約)
その他	(予約)	(予約)

注: 少ピン数のデバイスでポートの全てのピンが利用可能な訳ではありません。詳細についてはピン配置図や入出力多重化の表を調べてください。

14.5.4. SYNCCHn – 同期チャネルn発生部選択 (Synchronous Channel n Generator Selection)

名称 : SYNCCH0
変位 : +\$0A
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	SYNCCH7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – SYNCCH7~0 : 同期チャネル生成部選択 (Synchronous Channel Generator Selection)

値	説明	値	説明
	SYNCCH0		SYNCCH0
\$00	OFF	\$0B	PORTC4
\$01	TCB0	\$0C	PORTC5
\$02	TCA0_OVF_LUNF	\$0D	PORTA0
\$03	TCA0_HUNF	\$0E	PORTA1
\$04	TCA0_CMP0	\$0F	PORTA2
\$05	TCA0_CMP1	\$10	PORTA3
\$06	TCA0_CMP2	\$11	PORTA4
\$07	PORTC0	\$12	PORTA5
\$08	PORTC1	\$13	PORTA6
\$09	PORTC2	\$14	PORTA7
\$0A	PORTC3	その他	(予約)

注: 少ピン数のデバイスでポートの全てのピンが利用可能な訳ではありません。詳細についてはピン配置図や入出力多重化の表を調べてください。

14.5.5. ASYNCUSERn – 非同期使用部チャネルn入力選択 (Asynchronous User Channel n Input Selection)

名称 : ASYNCUSER0 : ASYNCUSER1 : ASYNCUSER2 : ASYNCUSER3 : ASYNCUSER4 : ASYNCUSER5 : ASYNCUSER6 : ASYNCUSER7 : ASYNCUSER8 : ASYNCUSER9 : ASYNCUSER10
 変位 : +\$12 : +\$13 : +\$14 : +\$15 : +\$16 : +\$17 : +\$18 : +\$19 : +\$1A : +\$1B : +\$1C
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	ASYNCUSER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ASYNCUSER7~0 : 非同期使用部チャネル選択 (Asynchronous User Channel Selection)

レジスタ名	ASYNCUSER0	ASYNCUSER1	ASYNCUSER2	ASYNCUSER3	ASYNCUSER4	ASYNCUSER5
使用部	TCB0	ADC0	CCL_LUT0EV0	CCL_LUT1EV0	CCL_LUT0EV1	CCL_LUT1EV1
説明	タイマ/カウンタB 0	ADC 0	CCL LUT0事象0	CCL LUT1事象0	CCL LUT0事象1	CCL LUT1事象1

レジスタ名	ASYNCUSER6	ASYNCUSER7	ASYNCUSER8	ASYNCUSER9	ASYNCUSER10	
使用部	(予約)	(予約)	EVOUT0	EVOUT1	EVOUT2	
説明	(予約)	(予約)	事象出力0	事象出力1	事象出力2	

値	\$00	\$01	\$03	\$04	その他
説明	OFF	SYNCCH0	ASYNCCH0	ASYNCCH1	(予約)

14.5.6. SYNCUSERn – 同期使用部チャネルn入力選択 (Synchronous User Channel n Input Selection)

名称 : SYNCUSER0 : SYNCUSER1
 変位 : +\$22 : +\$23
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	SYNCUSER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – SYNCUSER7~0 : 同期使用部チャネル選択 (Synchronous User Channel Selection)

レジスタ名	SYNCUSER0	SYNCUSER1
使用部	TCA0	USART0
説明	タイマ/カウンタA 0	USART 0

値	\$00	\$01	その他
説明	OFF	SYNCCH0	(予約)

15. PORTMUX – ポート多重器

15.1. 概要

ポート多重器(PORTMUX)はピンの機能を許可または禁止、または既定と代替のピン位置の変更のどちらも行うことができます。これは実際のピンと特性に依存し、PORTMUXレジスタ配置の詳細で記述されます。

利用可能な機能については「[5. 入出力多重化と考察](#)」を参照してください。

15.2. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0			LUT1	LUT0		EVOUT2	EVOUT1	EVOUT0
+\$01	CTRLB	7～0						SPI0		USART0
+\$02	CTRLC	7～0			TCA05	TCA04	TCA03	TCA02	TCA01	TCA00
+\$03	CTRLD	7～0								TCB0

15.3. レジスタ説明

15.3.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
			LUT1	LUT0		EVOUT2	EVOUT1	EVOUT0
アクセス種別	R	R	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット5 – LUT1 : CCL LUT1出力代替 (CCL LUT 1 output)

構成設定可能な注文論理回路(CCL)の参照表(LUT)1に対して代替ピン位置を選ぶにはこのビットに'1'を書いてください。

● ビット4 – LUT0 : CCL LUT0出力代替 (CCL LUT 0 output)

CCLのLUT0に対して代替ピン位置を選ぶにはこのビットに'1'を書いてください。

● ビット2 – EVOUT2 : 事象出力2許可 (Event Output 2)

事象出力2を許可するにはこのビットに'1'を書いてください。

● ビット1 – EVOUT1 : 事象出力1許可 (Event Output 1)

事象出力1を許可するにはこのビットに'1'を書いてください。

● ビット0 – EVOUT0 : 事象出力0許可 (Event Output 0)

事象出力0を許可するにはこのビットに'1'を書いてください。

15.3.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						SPI0		USART0
アクセス種別	R	R	R	R	R	R/W	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット2 – SPI0 : SPI0通信ピン代替 (SPI 0 communication)

SPIに対して代替通信ピンを選ぶにはこのビットに'1'を書いてください。

● ビット0 – USART0 : USART0通信ピン代替 (USART 0 communication)

USARTに対して代替通信ピンを選ぶにはこのビットに'1'を書いてください。

15.3.3. CTRLC – 制御C (Control C)

名称 : CTRLC

変位 : +\$02

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
			TCA05	TCA04	TCA03	TCA02	TCA01	TCA00
アクセス種別	R	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット5 – TCA05 : TCA0波形出力5代替 (TCA0 Waveform output 5)

分割動作でのタイマ/カウンタA型(TCA)波形出力5に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

TCAが標準動作の時は適用不可

● ビット4 – TCA04 : TCA0波形出力4代替 (TCA0 Waveform output 4)

分割動作でのTCA波形出力4に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

TCAが標準動作の時は適用不可

●ビット3 – TCA03 : TCA0波形出力3代替 (TCA0 Waveform output 3)

分割動作でのTCA波形出力3に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

TCAが標準動作の時は適用不可

●ビット2 – TCA02 : TCA0波形出力2代替 (TCA0 Waveform output 2)

TCA波形出力2に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

分割動作では、このビットが比較チャネル2の下位バイトからの出力を制御します。

●ビット1 – TCA01 : TCA0波形出力1代替 (TCA0 Waveform output 1)

TCA波形出力1に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

分割動作では、このビットが比較チャネル1の下位バイトからの出力を制御します。

●ビット0 – TCA00 : TCA0波形出力0代替 (TCA0 Waveform output 0)

TCA波形出力0に対して代替出力ピンを選ぶにはこのビットに'1'を書いてください。

分割動作では、このビットが比較チャネル0の下位バイトからの出力を制御します。

15.3.4. CTRLD – 制御D (Control D)

名称 : CTRLD

変位 : +\$03

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
								TCB0
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット0 – TCB0 : TCB0出力代替 (TCB0 output)

16ビット タイマ/カウンタB型0(TCB0)に対して代替出力を選ぶにはこのビットに'1'を書いてください。

16.3. 機能的な説明

16.3.1. 初期化

リセット後、例えばクロック走行がなくても、全ての出力がトライステート(Hi-Z)にされ、デジタル入力緩衝部が許可されます。

ポート動作を初期化する時に以下の手順は全て任意選択です。

- ・ **データ方向設定(PORTx.DIRSET)**または**データ方向解除(PORTx.DIRCLR)**のレジスタのビットに各々'1'を書くことによってPxnピンに対して出力駆動部を許可または禁止にしてください。
- ・ **出力値設定(PORTx.OUTSET)**または**出力値解除(PORTx.OUTCLR)**のレジスタのビットに'1'を書くことによってPxnピンに対する出力駆動部を各々HighまたはLowの水準に設定してください。
- ・ **入力値(PORTx.IN)レジスタ**のビットnを読むことによってPxnピンの入力を読んでください。
- ・ **ピン制御(PORTx.PINnCTRL)レジスタ**でPxnピンに対して個別ピン構成設定と割り込み制御を構成設定してください。



重要: 最低消費電力のため、未使用ピンとアナログ入力または出力として使われるピンのデジタル入力緩衝部を禁止してください。

デバッグに接続するのに使われるそのような特定ピンは、それらの特殊機能によって必要とされるため、違う様に構成設定されるでしょう。

16.3.2. 動作

16.3.2.1. 基本機能

各ピン群(x)はそれ自身のPORTレジスタ一式を持ちます。入出力(Pxn)ピンはPORTx内のレジスタによって制御することができます。

出力としてピン番号nを使うには、**データ方向(PORTx.DIR)レジスタ**のビットnに'1'を書いてください。これは**データ方向設定(PORTx.DIRSET)レジスタ**のビットnに'1'を書くことによっても行うことができ、これはその群内の他のピンの構成設定の妨害を避けます。**出力値(PORTx.OUT)レジスタ**のビットnは望む出力値が書かれなければなりません。

同様に、**出力値設定(PORTx.OUTSET)レジスタ**のビットへの'1'書き込みはPORTx.OUTレジスタの対応するビットを'1'に設定します。**出力値解除(PORTx.OUTCLR)レジスタ**のビットへの'1'書き込みはPORTx.OUTレジスタのそのビットを'0'に解除します。**出力値切り替え(PORTx.OUTTGL)または入力値(PORTx.IN)のレジスタ**のビットへの'1'書き込みはPORTx.OUTレジスタ内のそのビットを論理反転します。

ピンを入力として使うには出力駆動部を禁止するためにPORTx.DIRレジスタのビットnが'0'を書かれなければなりません。これは**データ方向解除(PORTx.DIRCLR)レジスタ**のビットnに'1'を書くことによっても行うことができ、これはその群内の他のピンの構成設定の妨害を避けます。入力値は**ピン制御(PORTx.PINnCTRL)レジスタ**の**入力/感知構成設定(ISC)ビット領域**が**入力禁止(INPUT_DISABLE)**に設定されない限り、PORTx.INレジスタのビットnから読むことができます。

データ方向切り替え(PORTx.DIRTGL)での'1'書き込みはPORTx.DIRでそのビットを切り替え、対応するピンの方向を切り替えます。

16.3.2.2. ピン構成設定

ピン制御(PORTx.PINnCTRL)レジスタはピンの反転I/O、プルアップ、入力感知を構成設定するのに使われます。ピンn用の制御レジスタはバイトアドレスのPORTx+\$10+nです。

各々のn番ピンの全ての入力と出力はPORTx.PINnCTRLの**反転I/O許可(INVEN)ビット**に'1'を書くことによって反転することができます。INVENが'1'の時は、このピンに対してPORTx.IN/OUT/OUTSET/OUTCLRレジスタが反転操作になります。

INVENビットの交互切り替えは、このピンを使う全ての周辺機能によって検出することができるピンでの変化端(エッジ)を引き起こし、許可されていれば割り込みまたは事象によって見られます。

ピンnの入力プルアップはPORTx.PINnCTRLの**プルアップ許可(PULLUPEN)ビット**に'1'を書くことによって許可されます。プルアップは例えばPULLUPENビットが'1'でも、ピンが出力として構成設定されると、切断されます。

ピン割り込みはPORTx.PINnCTRLの**入力/感知構成設定(ISC)ビット領域**に書くことによってピンnに対して許可されます。更なる詳細については「16.3.3. 割り込み」を参照してください。

ピンn用のデジタル入力緩衝部はISCビット領域に**INPUT_DISABLE**設定を書くことによって禁止することができます。これは消費電力を減らしてピンがアナログ入力として使われる場合に雑音を減らすでしょう。**INPUT_DISABLE**に構成設定されている間、PORTx.INのビットnは入力同期部が禁止されるため変わりません。

16.3.2.3. 仮想ポート

仮想ポートレジスタは最も頻繁に使われる通常のポートレジスタを単一周期ビットアクセスを持つI/Oレジスタ空間に割り当てます。仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ち、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。右表はPORTとVPORTのレジスタ間の割り当てを示します。

表16-1. 仮想ポート割り当て

通常ポートレジスタ	割り当てられる仮想ポートレジスタ
PORTx.DIR	VPORTx.DIR
PORTx.OUT	VPORTx.OUT
PORTx.IN	VPORTx.IN
PORTx.INTFLAGS	VPORTx.INTFLAGS

16.3.2.4. 周辺機能優先

USART、ADC、計時器のような周辺機能は入出力ピンに接続されるでしょう。このような周辺機能は通常、ポート多重器(PORTMUX)またはその周辺機能内の多重器によって選択可能な基本と任意選択の1つ以上の代替入出力ピン接続を持ちます。このような周辺機能を構成設定して許可することにより、I/Oピン構成設定(PORT)によって制御される通常の汎用入出力ピンの動きは周辺機能に依存する方法で覆されます。いくつかの周辺機能はPORTレジスタの全てを覆さないかもしれず、入出力ピン操作のいくつかの面の制御をPORT単位部に残します。

周辺機能優先の情報については各周辺機能の記述を参照してください。周辺機能によって覆されないポートのどのピンも汎用入出力ピンとしての動作を続けます。

16.3.3. 割り込み

表16-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
PORTx	PORT 割り込み	PORTx.INTFLAGSのINTnはPORTx.PINnCTRLの入力/感知構成設定(ISC)ビットによって構成設定されるとおりに掲げられます。

各PORTピンは割り込み元として構成設定することができます。各割り込みはピン制御(PORTx.PINnCTRL)レジスタの入力/感知構成設定(ISC)へ書くことによって個別に許可または禁止することができます。

割り込み条件が起ると、周辺機能の割り込み要求フラグ(PORTx.INTFLAGS)レジスタで対応する割り込み要求(INTn)フラグが設定(1)されます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

割り込み設定の設定または変更時、以下のこれらの点を考慮してください。

- 入力/感知構成設定(ISC)が変更されると同じ周期で反転I/O許可(INVEN)ビットが切り替えられる場合、反転切り替えによって引き起こされる端は割り込み要求を引き起こさないかもしれません。
- 割り込み同期中にISCへ書くことによって入力を禁止する場合、例えばそれが違う割り込み設定で再許可されても、その特定割り込みが再許可で要求されるかもしれません。
- 割り込み同期中にISCへ書くことによって割り込み設定が変更される場合、その割り込みが要求されないかもしれません。

16.3.3.1. 非同期感知ピン特性

全てのポートピンは選択可能なピン変化条件に対する割り込みを持つ非同期入力感知を支援します。完全な非同期ピン変化感知は割り込みを起動して、周辺機能クロック(CLK_PER)が停止される動作形態を含めて全ての休止動作からデバイスを起き上がらせることができますが、一方で下表により部分的非同期ピン変化感知が制限されます。どのピンが完全な同期ピン変化感知を支援するかの更なる詳細については「入出力多重化と考察」章をご覧ください。

表16-3. 感知ピンの動き比較

特性	部分的非同期ピン	完全な非同期ピン
CLK_PER走行の休止動作からデバイス起き上がり	全ての割り込み感知構成設定から	全ての割り込み構成設定から
CLK_PER停止の休止動作からデバイス起き上がり	BOTHEDGESまたはLEVELの割り込み感知構成設定からだけ	
CLK_PER走行で割り込みを起動するための最小パルス幅	最小1 CLK_PER周期	1 CLK_PER周期未満
CLK_PER停止で割り込みを起動するための最小パルス幅	ピン値はCLK_PERが再開されるまで維持されなければなりません。(注)	
割り込み”沈黙時間”	前回から3 CLK_PER周期間、新しい割り込みはありません。	

注: 部分的非同期入力ピンがCLK_PER停止での休止からの起き上がりに使われる場合、要求されたレベルは割り込みを起動するための起き上がりを完了するため、MCUに対して充分長く保持されなければなりません。レベルが消滅した場合、MCUはどの生成した割り込みもなしに起き上がり得ます。

16.3.4. 事象

PORTは以下の事象を生成することができます。

表16-4. PORTxの事象生成部

生成部名		説明	事象型	生成する クロック領域	事象の長さ
周辺機能	事象				
PORTx	PINn	ピン レベル	レベル	非同期	ピンレベルによって与えられます。


全てのポートピンが非同期事象システム生成部です。ポートはデバイスにあるポートピンの数の事象生成部を持ちます。ポートからの各事象システム出力はデジタル入力駆動部が許可される場合に対応するピンに存在する値です。ピン入力駆動部が禁止される場合、対応する事象システム出力は'0'です。

ポートは事象入力を持ちません。事象型と事象システム構成設定に関するより多くの詳細については「[EVSYS - 事象システム](#)」章を参照してください。

16.3.5. 休止形態動作

割り込みと入力の同期化の例外を除き、全てのピン構成設定は休止動作と無関係です。全てのピンはデバイスを休止から起き上がらせることができ、更なる詳細については[ポート割り込み部分](#)をご覧ください。

ポートに接続された周辺機能は各々の周辺機能のデータシート部分で記述される休止動作によって影響を及ぼされ得ます。

 **重要:** ポートは常に周辺機能クロック(CLK_PER)を使います。このクロックが止まる時に入力同期化は停止します。

16.3.6. デバッグ操作

ポートはデバッグ動作でのCPU停止時に通常動作を続けます。ポートが割り込みまたは同様のものを通してCPUによって定期的に処理されるのを必要とするように構成設定する場合、デバッグ中に不正な動作やデータ損失になるかもしれません。

16.4. レジスタ要約 – PORTx

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	DIR	7～0	DIR7～0							
+\$01	DIRSET	7～0	DIRSET7～0							
+\$02	DIRCLR	7～0	DIRCLR7～0							
+\$03	DIRTGL	7～0	DIRTGL7～0							
+\$04	OUT	7～0	OUT7～0							
+\$05	OUTSET	7～0	OUTSET7～0							
+\$06	OUTCLR	7～0	OUTCLR7～0							
+\$07	OUTTGL	7～0	OUTTGL7～0							
+\$08	IN	7～0	IN7～0							
+\$09	INTFLAGS	7～0	INT7～0							
+\$0A ～ +\$0F	予約									
+\$10	PIN0CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$11	PIN1CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$12	PIN2CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$13	PIN3CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$14	PIN4CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$15	PIN5CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$16	PIN6CTRL	7～0	INVEN				PULLUPEN	ISC2～0		
+\$17	PIN7CTRL	7～0	INVEN				PULLUPEN	ISC2～0		

16.5. レジスタ説明 – PORTx

16.5.1. DIR – データ方向 (Data Direction)

名称 : DIR
変位 : +\$00
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DIR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DIR7~0 : データ方向 (Data Direction)

このビット領域は各PORTxピンに対する出力駆動部を制御します。

このビット領域はデジタル入力緩衝部を制御しません。ピン(Pxn)用のデジタル入力緩衝部はピン制御(PORTx.PINnCTRL)の割り込み/感知構成設定(ISC)ビット領域で構成設定することができます。

このビット領域で各ビットnに対して利用可能な構成設定が下表で示されます。

値	0	1
説明	Pxnは入力専用ピンとして構成、出力駆動部は禁止	Pxnは出力ピンとして構成、出力駆動部は許可

16.5.2. DIRSET – データ方向設定 (Data Direction Set)

名称 : DIRSET
変位 : +\$01
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DIRSET7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DIRSET7~0 : データ方向設定 (Data Direction Set)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部を制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みはデータ方向(PORTx.DIR)の対応するビットを設定(1)し、ピン(Pxn)を出力ピンとして構成設定して出力駆動部を許可します。

このビット領域の読み込みはPORTx.DIRの値を返します。

16.5.3. DIRCLR – データ方向解除 (Data Direction Clear)

名称 : DIRCLR
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DIRCLR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DIRCLR7~0 : データ方向解除 (Data Direction Clear)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部を制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みはデータ方向(PORTx.DIR)の対応するビットを解除(0)し、ピン(Pxn)を入力専用ピンとして構成設定して出力駆動部を禁止します。

このビット領域の読み込みはPORTx.DIRの値を返します。

16.5.4. DIRTGL – データ方向切り替え (Data Direction Toggle)

名称 : DIRTGL
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DIRTGL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DIRTGL7~0 : データ方向切り替え (Data Direction Toggle)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部を制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みはデータ方向(PORTx.DIR)の対応するビットを反転切り替えします。

このビット領域の読み込みはPORTx.DIRの値を返します。

16.5.5. OUT – 出力値 (Output Value)

名称 : OUT
変位 : +\$04
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	OUT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – OUT7~0 : 出力値 (Output Value)

このビット領域は各PORTxピンに対する出力駆動部レベルを制御します。

この構成設定は対応するピンに対して駆動部(PORTx.DIR)が許可される時にだけ出力に影響を及ぼします。

このビット領域の各ビットnに対して利用可能な構成設定が下表で示されます。

値	0	1
説明	ピン(Pxn)出力はLowに駆動されます。	Pxn出力はHighに駆動されます。

16.5.6. OUTSET – 出力値設定 (Output Value Set)

名称 : OUTSET
変位 : +\$05
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	OUTSET7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – OUTSET7~0 : 出力値設定 (Output Value Set)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部レベルを制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを設定(1)し、ピン(Pxn)に対する出力をHighに駆動するように構成設定します。

このビット領域の読み込みはPORTx.OUTの値を返します。

16.5.7. OUTCLR – 出力値解除 (Output Value Clear)

名称 : OUTCLR
変位 : +\$06
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	OUTCLR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – OUTCLR7~0 : 出力値解除 (Output Value Clear)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部レベルを制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを解除(0)し、ピン(Pxn)に対する出力をLowに駆動するように構成設定します。

このビット領域の読み込みはPORTx.OUTの値を返します。

16.5.8. OUTTGL – 出力値切り替え (Output Value Toggle)

名称 : OUTTGL
変位 : +\$07
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	OUTTGL7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – OUTTGL7~0 : 出力値切り替え (Output Value)

このビット領域は読み-変更-書き操作を使わず、各PORTxピンに対する出力駆動部レベルを制御します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを反転切り替えます。

このビット領域の読み込みはPORTx.OUTの値を返します。

16.5.9. IN – 入力値 (Input Value)

名称 : IN
変位 : +\$08
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	IN7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – IN7~0 : 入力値 (Input Value)

このビット領域はデジタル入力緩衝部が許可される時にPORTxピンの状態を示します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを反転切り替えます。

デジタル入力緩衝部が禁止される場合、入力は採取されず、ビット値は変わりません。ピン(Pxn)用のデジタル入力緩衝部はピン制御(PORTx.PINnCTRL)レジスタの入力/感知構成設定(ISC)ビット領域で構成設定することができます。

このビット領域の各ビットnの利用可能な状態が下表で示されます。

値	0	1
説明	Pxnでの電圧水準はLowです。	Pxnでの電圧水準はHighです。

16.5.10. INTFLAGS – 割り込み要求フラグ (Interrupt Flags)

名称 : INTFLAGS
変位 : +\$09
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	INT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – INT7~0 : ピン割り込み要求フラグ (Interrupt Pin Flag)

ピン割り込み要求フラグはそれに'1'を書くことによって解除(0)されます。

ピン割り込み要求フラグはピン(Pxn)の変化または状態がピン制御(PORTx.PINnCTRL)のそのピンの入力/感知構成設定(ISC)に一致する時に設定(1)されます。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みはピン割り込み要求フラグを解除(0)します。

16.5.11. PINnCTRL – ピン制御 (Pin n Control)

名称 : PIN0CTRL : PIN1CTRL : PIN2CTRL : PIN3CTRL : PIN4CTRL : PIN5CTRL : PIN6CTRL : PIN7CTRL
変位 : +\$10 : +\$11 : +\$12 : +\$13 : +\$14 : +\$15 : +\$16 : +\$17
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	INVEN				PULLUPEN		ISC2~0	
アクセス種別	R/W	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – INVEN : 反転I/O許可 (Inverted I/O Enable)

このビットはピンに対する入力と出力が反転されるか否かを制御します。

値	0	1
説明	入出力値は反転されません。	入出力値は反転されます。

● ビット3 – PULLUPEN : プルアップ許可 (Pullup Enable)

このビットはピンが入力専用として構成設定される時にピンの内部プルアップが許可される否かを制御します。

値	0	1
説明	プルアップ禁止	プルアップ許可

● ビット2~0 – ISC2~0 : 入力/感知構成設定 (Input/Sense Configuration)

このビット領域はピンの入力と感知の構成設定を制御します。感知構成設定はポート割り込みを起動するピン条件を決めます。

値	名称	説明
000	INTDISABLE	割り込み禁止、けれどもデジタル入力緩衝部許可
001	BOTHEDGES	両端感知で割り込み許可
010	RISING	上昇端感知で割り込み許可
011	FALLING	下降端感知で割り込み許可
100	INPUT_DISABLE	割り込みとデジタル入力緩衝部を禁止 (注1)
101	LEVEL	Lowレベル感知で割り込み許可 (注2)
11x	-	(予約)

注1: ピンのデジタル入力緩衝部が禁止される場合、入力値(PORTx.IN)レジスタのビットnは更新されません。

注2: LEVEL割り込みはピンがLowに留まる限り継続的に起動し続けます。

16.6. レジスタ要約 – VPORTx

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	DIR	7～0					DIR7～0			
+\$01	OUT	7～0					OUT7～0			
+\$02	IN	7～0					IN7～0			
+\$03	INTFLAGS	7～0					INT7～0			

16.7. レジスタ説明 – VPORTx

16.7.1. DIR – データ方向 (Data Direction)

名称 : DIR

変位 : +\$00

リセット : \$00

特質 : -

仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ち、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。

ビット	7	6	5	4	3	2	1	0
	DIR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DIR7~0 : データ方向 (Data Direction)

このビット領域は各PORTxピンに対する出力駆動部を制御します。

このビット領域はデジタル入力緩衝部を制御しません。ピン(Pxn)用のデジタル入力緩衝部はピン制御(PORTx.PINnCTRL)レジスタの割り込み/感知構成設定(ISC)ビット領域で構成設定することができます。

下表はこのビット領域の各ビットnに対して利用可能な構成設定を示します。

値	0	1
説明	Pxnは入力専用ピンとして構成、出力駆動部は禁止	Pxnは出力ピンとして構成、出力駆動部は許可

16.7.2. OUT – 出力値 (Output Value)

名称 : OUT

変位 : +\$01

リセット : \$00

特質 : -

仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ち、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。

ビット	7	6	5	4	3	2	1	0
	OUT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – OUT7~0 : 出力値 (Output Value)

このビット領域は各PORTxピンに対する出力駆動部レベルを制御します。

この構成設定は対応するピンに対して駆動部(PORTx.DIR)が許可される時にだけ出力に影響を及ぼします。

下表はこのビット領域の各ビットnに対して利用可能な構成設定を示します。

値	0	1
説明	ピン(Pxn)出力はLowに駆動されます。	Pxn出力はHighに駆動されます。

16.7.3. IN – 入力値 (Input Value)

名称 : IN

変位 : +\$02

リセット : \$00

特質 : -

仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ち、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。

ビット	7	6	5	4	3	2	1	0
	IN7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – IN7~0 : 入力値 (Input Value)

このビット領域はデジタル入力緩衝部が許可される時にPORTxピンの状態を示します。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みは出力値(PORTx.OUT)の対応するビットを反転切り替えます。

デジタル入力緩衝部が禁止される場合、入力は採取されず、ビット値は変わりません。ピンn(Pxn)用のデジタル入力緩衝部はピン制御(PORTx.PINnCTRL)レジスタの入力/感知構成設定(ISC)ビット領域で構成設定することができます。

下表はこのビット領域の各ビットnに対して利用可能な構成設定を示します。

値	0	1
説明	Pxnでの電圧水準はLowです。	Pxnでの電圧水準はHighです。

16.7.4. INTFLAGS – 割り込み要求フラグ (Interrupt Flag)

名称 : INTFLAGS

変位 : +\$03

リセット : \$00

特質 : -

仮想ポートレジスタへのアクセスは普通のレジスタへのアクセスと同じ結果を持ち、通常のポートレジスタが属す拡張I/Oレジスタ空間で使うことができないビット操作命令のようなメモリ特定命令を許します。

ビット	7	6	5	4	3	2	1	0
	INT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – INT7~0 : ピン割り込み要求フラグ (Interrupt Pin Flag)

ピン割り込み要求フラグはそれに'1'を書くことによって解除(0)されます。

ピン割り込み要求フラグはピンn(Pxn)の変化または状態がピン制御(PORTx.PINnCTRL)のそのピンの入力/感知構成設定(ISC)に一致する時に設定(1)されます。

このビット領域のビットnへの'0'書き込みは無効です。

このビット領域のビットnへの'1'書き込みはピン割り込み要求フラグを解除(0)します。

17. BOD – 低電圧検出器 (BOD:Brownout Detector)

17.1. 特徴

- 低電圧検出は設定可能な基準未満での動作を避けるために電源を監視します。
- 利用可能な3つの動作形態
 - 許可動作 (継続的に活動)
 - 採取動作
 - 禁止
- 活動動作と休止動作に対して独立した動作形態を選択
- 割り込みを持つ電圧水準監視部(VLM)
- BOD基準に比例した設定可能なVLM基準

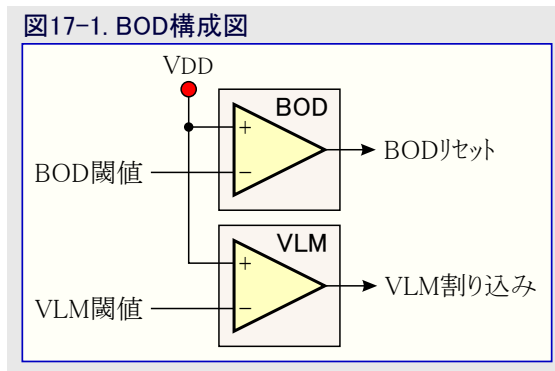
17.2. 概要

低電圧検出器(BOD)は電源を監視して供給電圧を設定可能な低電圧閾値基準と比べます。低電圧閾値基準はシステムリセットを生成する時を定義します。電圧水準監視部(VLM)も電源を監視してそれをBOD閾値よりも高い閾値と比べます。そしてVLMは供給電圧がBOD閾値に近づいている時に”早期警告”として割り込み要求を生成することができます。VLM閾値基準はBOD閾値基準の%超えとして表現されます。

BODは主にヒューズによって制御され、使用者によって許可されなければなりません。スタンバイ休止動作とパワーダウン休止動作で使われる動作形態は標準プログラム実行で変更することができます。VLMは更にI/Oレジスタによっても制御されます。

有効にされると、BODはBODが継続的に活動する許可動作形態で、またはBODが供給電圧水準を検査するのに与えられた周期で一時的に活動にされる採取動作形態で動作することができます。

17.2.1. 構成図



17.3. 機能的な説明

17.3.1. 初期化

BOD設定はリセットの間にヒューズから設定されます。活動動作とアイドル休止動作でのBOD基準と動作形態はヒューズによって設定され、ソフトウェアによって変更することができません。スタンバイ休止動作とパワーダウン休止動作での動作形態はヒューズによって設定され、ソフトウェアによって変更することができます。

電圧水準監視部機能は割り込み制御(BOD.INTCTRL)レジスタのVLM割り込み許可(VLMIE)ビットに'1'を書くことによって許可することができます。VLM割り込みはBOD.INTCTRLレジスタのVLM構成設定(VLMCFG)ビットを書くことによって構成設定されます。割り込みは供給電圧が上または下のどちらかから、または何れかの方向でVLM閾値を横切る時に要求されます。

VLM機能はBOD動作に従います。BODが禁止された場合、VLMは例えばVLMIEが'1'でも許可されません。BODが採取動作を使う場合、VLMも採取にされます。VLM割り込み許可時、割り込み要求フラグは電圧水準がVLM基準を横切る時にVLMCFGに従って設定(1)されます。

VLM閾値は制御A(BOD.VLMCTRLA)レジスタのVLM基準(VLMVL)ビットを書くことによって定義されます。

17.3.2. 割り込み

表17-1. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
VLM	電圧水準監視部	割り込み制御(BOD.INTCTRL)レジスタのVLM構成設定(VLMCFG)ビットによって構成されるように供給電圧がVLM閾値を横断

VLM割り込みはCPUがデバッグ動作で停止されている場合に実行されません。

割り込み条件が起こると、周辺機能の割り込み要求フラグ(BOD.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(BOD.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

17.3.3. 休止形態動作

異なる休止動作形態でのBOD構成設定はヒューズによって定義されます。活動動作とアイドル休止動作で使われる動作形態はFUSE.BODCFGのACTIVEヒューズによって定義され、制御A(BOD.CTRLA)レジスタの活動/アイドル時動作(ACTIVE)ビット領域に設定されます。スタンバイ休止動作とパワーダウン休止動作で使われる動作形態はFUSE.BODCFGのSLEEPヒューズによって定義され、制御A(BOD.CTRLA)レジスタのスタンバイ/パワーダウン時動作(SLEEP)ビット領域に設定されます。

活動動作とアイドル休止動作(即ち、BOD.CTRLAのACTIVE)での動作形態はソフトウェアによって変えることができません。スタンバイ休止動作とパワーダウン休止動作での動作形態は制御A(BOD.CTRLA)レジスタの休止(SLEEP)ビット領域への書き込みによって変えることができます。

デバイスがスタンバイ休止動作またはパワーダウン休止動作へ行く時に、BODはBOD.CTRLAのSLEEPによって定義されるように動作形態を変更します。デバイスがスタンバイまたはパワーダウンの休止動作から起き上がる時に、BODは制御A(BOD.CTRLA)レジスタのACTIVEビット領域によって定義される動作形態で動きます。

17.3.4. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

表17-2. BOD – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
BOD.CTRLAのSLEEP	IOREG

17.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0				SAMPFREQ	ACTIVE1,0		SLEEP1,0	
+\$01	CTRLB	7～0							LVL2～0	
+\$02 ～ +\$07	予約									
+\$08	VLMCTRLA	7～0							VLMLVL1,0	
+\$09	INTCTRL	7～0						VLMCFG1,0		VLMIE
+\$0A	INTFLAGS	7～0								VLMIF
+\$0B	STATUS	7～0								VLMS

17.5. レジスタ説明

17.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : FUSE.BODCFGヒューズから設定

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
				SAMPFREQ		ACTIVE1,0		SLEEP1,0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	x	x	x	x	x

● ビット4 – SAMPFREQ : 採取周波数 (Sample Frequency)

このビットはBOD採取周波数を制御します。

リセット値はFUSE.BODCFGのBOD採取周波数(SAMPFREQ)ビットから取得/設定されます。

このビットは構成設定保護(CCP)下ではありません。

値	0	1
説明	採取周波数は1kHzです。	採取周波数は125Hzです。

● ビット3,2 – ACTIVE1,0 : 活動/アイドル時動作 (Active)

これらのビットはデバイスが活動動作とアイドル休止動作の時のBOD動作形態を選びます。

リセット値はFUSE.BODCFGの活動とアイドルでのBOD動作形態(ACTIVE)ビット領域から取得/設定されます。

このビット領域は構成設定変更保護(CCP)下ではありません。

値	0 0	0 1	1 0	1 1
名称	DIS	ENABLED	SAMPLED	ENWAIT
説明	禁止	継続動作で許可	採取動作で許可	継続動作で許可。実行は起き上がりでBODが動くまで停止

● ビット1,0 – SLEEP1,0 : スタンバイ/パワーダウン時動作 (Sleep)

これらのビットはデバイスがスタンバイとパワーダウンの休止動作の時のBOD動作形態を選びます。

リセット値はFUSE.BODCFGの休止でのBOD動作形態(SLEEP)ビット領域から取得/設定されます。

値	0 0	0 1	1 0	1 1
名称	DIS	ENABLED	SAMPLED	–
説明	禁止	継続動作で許可	採取動作で許可	(予約)

17.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : FUSE.BODCFGヒューズから設定

特質 : –

ビット	7	6	5	4	3	2	1	0
							LVL2~0	
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	x	x	x

● ビット2~0 – LVL2~0 : BOD基準 (BOD Level)

このビット領域はBOD閾値基準を制御します。

リセット値はBOD構成設定(FUSE.BODCFG)ヒューズのBOD基準(LVL)ビットから取得/設定されます。

値	0 0 0	0 1 0	1 1 1
名称	BODLEVEL0	BODLEVEL2	BODLEVEL7
説明	1.8V	2.6V	4.2V

注: ・ 更なる詳細については電気的特性でBODとPORの特性を参照してください。
・ 説明内の値は代表値です。

17.5.3. VLMCTRLA – VLM制御A (VLM Control A)

名称 : VLMCTRLA
変位 : +\$08
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
							VLMVL1,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1,0 – VLMVL1,0 : VLM基準 (VLM Level)

これらのビットはBOD閾値(BOD.CTRLBのLVL)に相対する電圧水準監視部(VLM)閾値を選びます。

値	0 0	0 1	1 0	1 1
説明	BOD閾値+5%がVLM閾値	BOD閾値+15%がVLM閾値	BOD閾値+25%がVLM閾値	(予約)

17.5.4. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +\$09
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
						VLMCFG1,0		VLMIE
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット2,1 – VLMCFG1,0 : VLM構成設定 (VLM Configuration)

これらのビットはどの出来事がVLM割り込みを起動するかを選びます。

値	0 0	0 1	1 0	1 1
名称	BELOW	ABOVE	CROSS	-
説明	VDDがVLM閾値未満へ下降	VDDがVLM閾値越えへ上昇	VDDがVLM閾値を横切る	(予約)

● ビット0 – VLMIE : VLM割り込み許可 (VLM Interrupt Enable)

このビットへの'1'書き込みは電圧水準監視部(VLM)割り込みを許可します。

17.5.5. INTFLAGS – VLM割り込み要求フラグ (VLM Interrupt Flag)

名称 : INTFLAGS
変位 : +\$0A
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								VLMIF
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – VLMIF : VLM割り込み要求フラグ (VLM Interrupt Flag)

このフラグは割り込み制御(BOD.INTCTRL)レジスタのVLM構成設定(VLMCFG)ビットによって構成設定されるように、VLMからの起動が与えられる時に設定(1)されます。このフラグはBODが許可されている時にだけ更新されます。

17.5.6. STATUS – VLM状態 (VLM Status)

名称 : STATUS

変位 : +\$0B

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
								VLMS
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – VLMS : VLM状態 (VLM Status)

このビットはBODが許可されている時にだけ有効です。

値	0	1
説明	電圧はVLM閾値レベル以上です。	電圧はVLM閾値レベル以下です。

18. VREF – 基準電圧

18.1. 特徴

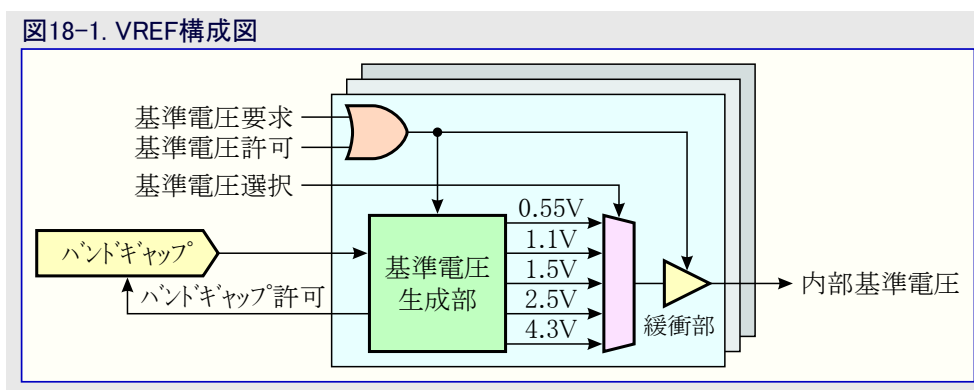
- ・ 設定可能な基準電圧源
 - 各A/D変換器(ADC)周辺機能用に1つ
 - 各アナログ比較器(AC)周辺機能用に1つ
- ・ 各基準元は以下の5つの異なる電圧を支援
 - 0.55V
 - 1.1V
 - 1.5V
 - 2.5V
 - 4.3V

18.2. 概要

基準電圧周辺機能(VREF)は様々な周辺機能によって使われる基準電圧源に対する制御レジスタを提供します。使用者は**制御A(VREF.CTRLA)レジスタのADC基準選択(ADSCREFSEL)ビット領域**に書くことによってADC0用の、VREF.CTRLAレジスタの**AC0基準選択(DAC0REFSEL)ビット領域**に書くことによってAC0用の基準電圧を選ぶことができます。

基準電圧源は周辺機能によって要求される時に自動的に許可されます。使用者は**制御B(VREF.CTRLB)レジスタ**の各々の強制許可(ADSCREFENとDAC0REFEN)ビットへ書くことによって基準電圧源を許可(故に未使用供給元の自動禁止を無効に)することができます。これは消費電力の増加を犠牲にして始動時間を減らすために行われるかもしれません。

18.2.1. 構成図



18.3. 機能的な説明

18.3.1. 初期化

既定構成設定はADC0またはAC0が基準電圧を要求する時に各々の供給元を許可します。既定基準電圧は0.55Vですが、**制御A(VREF.CTRLA)レジスタ**の各々の基準選択(ADSCREFSELとDAC0REFSEL)のビット領域に書くことによって構成設定することができます。

18.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0		ADC0REFSEL2~0				DAC0REFSEL2~0		
+\$01	CTRLB	7~0							ADC0REFEN	DAC0REFEN

18.5. レジスタ説明

18.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		ADC0REFSEL2~0				DAC0REFSEL2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 – ADC0REFSEL2~0 : ADC0基準選択 (ADC0 Reference Select)

これらのビットはA/D変換器(ADC0)用の基準電圧を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
説明	0.55V	1.1V	2.5V	4.3V	1.5V	(予約)		

● ビット2~0 – DAC0REFSEL2~0 : AC0基準選択 (AC0 Reference Select)

これらのビットはアナログ比較器(AC0)用の基準電圧を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
説明	0.55V	1.1V	2.5V	4.3V	1.5V	(予約)		

18.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
							ADC0REFEN	DAC0REFEN
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – ADC0REFEN : ADC0基準電圧強制許可 (ADC0 Reference Force Enable)

このビットへの'1'書き込みは、例えそれが要求されなくても、A/D変換器(ADC0)用の基準電圧を強制します。

このビットへの'0'書き込みは周辺機能による基準源の自動許可/禁止を許します。

● ビット0 – DAC0REFEN : AC0基準電圧強制許可 (AC0 Reference Force Enable)

このビットへの'1'書き込みは、例えそれが要求されなくても、アナログ比較器(AC0)用の基準電圧を強制します。

このビットへの'0'書き込みは周辺機能による基準源の自動許可/禁止を許します。

19. WDT – ウォッチドッグ タイマ

19.1. 特徴

- ・ 時間超過前にウォッチドッグ タイマが解消されない場合にシステム リセットを発行
- ・ 独立した発振器を用いるシステム クロックからの非同期動作
- ・ 32.768kHz超低電力発振器(OSCULP32K)の1.024kHz出力を使用
- ・ 8msから8sまで11種の選択可能な時間超過制限期間
- ・ 2つの動作形態
 - 標準動作
 - 窓動作
- ・ 望まれない変更を防ぐための構成設定施錠
- ・ 容易な構成設定のための初回WDT命令後の閉鎖期間計時器活性化

19.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。リセットを発行することによって、暴走や停滞されたコードのような状況からの回復をシステムに許します。許可されると、WDTは予め定義された制限期間に構成設定されて定期的に走行する計時器です。WDTが制限期間内にリセットされなければ、システム リセットを発行します。WDTはソフトウェアからウォッチドッグ タイマ リセット(WDR)命令を実行することによってリセットされます。

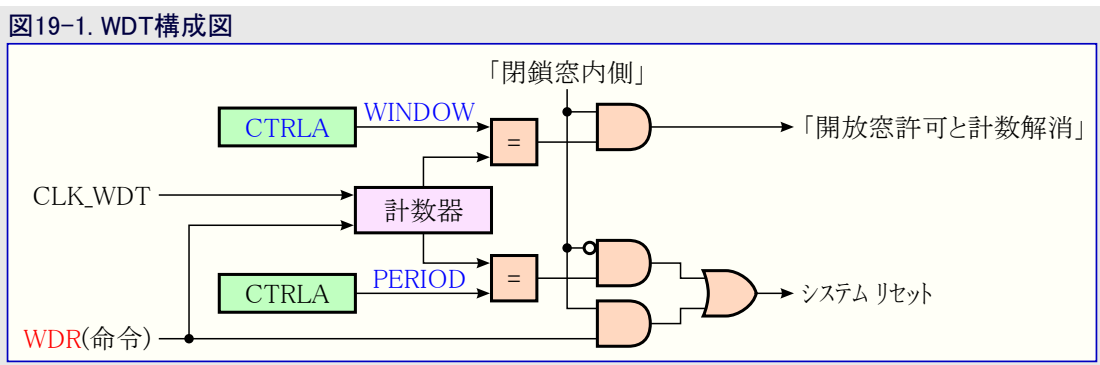
WDTは標準動作と窓動作の2つの動作形態を持ちます。制御A(WDT.CTRLA)レジスタの設定がこの動作形態を決めます。

窓動作はWDTがリセットされなければならない間の制限時間内側の時間幅または窓を定義します。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされた場合、システム リセットが発行されます。標準動作に比べ、窓動作はコード異常が一定のWDR実行を引き起こす状況を捕らえることができます。

許可されると、WDTは活動動作と全ての休止動作で動きます。これは非同期で、即ちCPUと無関係なクロック元で動きます。この理由のため、例えば主クロックが動かなくても、動作を継続してシステム リセットを発行することができます。

構成設定変更保護機構(CCP)はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を施錠するための構成設定が利用可能です。

19.2.1. 構成図



19.3. 機能的な説明

19.3.1. 初期化

- ・ WDTは制御A(WDT.CTRLA)レジスタの期間(PERIOD)ビットに0以外の値が書かれる時に許可されます。
- ・ 任意選択：窓形態動作を許可するにはWDT.CTRLAレジスタの窓(WINDOW)ビットに0以外の値を書いてください。

制御A(WDT.CTRLA)の全ビットと状態(WDT.STATUS)レジスタの施錠(LOCK)ビットは構成設定変更保護機構によって書き込み保護されます。

WDT.CTRLAレジスタのリセット値はFUSE.WDTCFGヒューズによって定義され、故にWDTはブート時に許可することができます。これがその場合なら、WDT.STATUSレジスタのLOCKビットはブート時に設定(1)されます。

19.3.2. クロック

1.024kHz発振器クロック(CLK_WDT_OSC)は内部超低電力発振器(OSCULP32K)から供給されます。超低電力設計のため、この発振器は全く正確ではなく、故に正確な制限時間はデバイス毎に変わり得ます。全てのデバイスに対して使われる制限時間が有効なことを保証するためにWDTを使うソフトウェア設計時、この変化が念頭に置かれなければなりません。

1.024kHz計数器クロックのCLK_WDT_OSCはシステム クロックに対して非同期です。この非同期性のため、WDT制御レジスタへの書き込みはクロック領域間の同期が必要です。

19.3.3. 動作

19.3.3.1. 標準動作

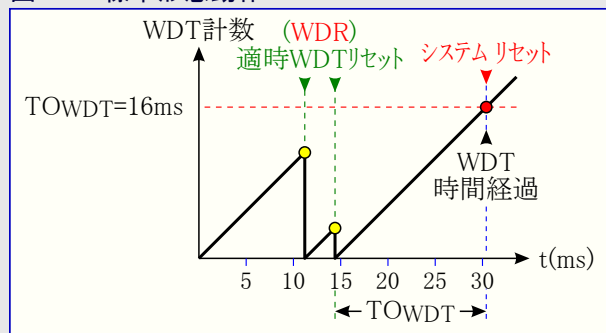
標準動作では、WDTに単一制限期間が設定されます。時間超過が起きる前のどの時でもWDTがWDR命令を用いてソフトウェアからリセットされない場合、WDTはシステムリセットを発行します。

新しいWDT制限期間はWDR命令によってWDTがリセットされる毎に開始されます。

制御A(WDT.CTRLA)レジスタの期間(PERIOD)ビット領域に書くことによって8msから8sまで選択可能な11種の可能なWDT制限期間(TOWDT)があります。

標準動作は制御A(WDT.CTRLA)レジスタの窓(WINDOW)ビット領域が'0000'である限り許可されます。

図19-2. 標準形態動作



19.3.3.2. 窓動作

窓動作では2つの異なる制限期間、WDTが標準制限期間(TOWDT)と閉鎖窓制限期間(TOWDTW)を使います。

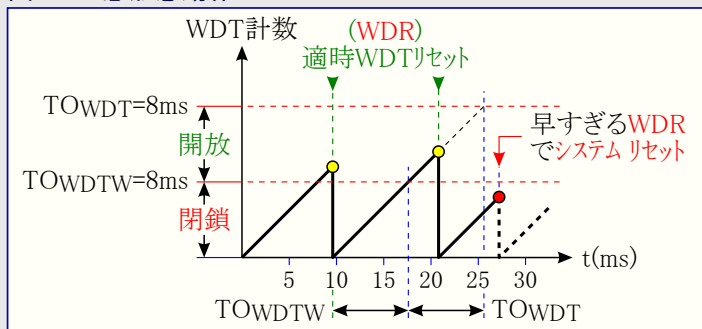
- 閉鎖窓制限期間はWDTをリセットすることができない8msから8sまでの持続期間を定義します。この期間の間にWDTがリセットされた場合、WDTはシステムリセットを発行します。
- 標準WDT制限期間も8msから8sで、WDTをリセットすることができる(必要がある)間の開放持続期間を定義します。開放期間は常に閉鎖期間に続き、故に総制限期間持続期間は閉鎖窓と開放窓の制限期間の合計です。

窓動作許可時、またはデバッグ動作の外に出る時に、最初の閉鎖期間は最初のWDR命令後に活性(有効)にされます。

前のWDRが同期されつつある間に2つ目のWDRが発行された場合、2つ目のものは無視されます。

窓動作は制御A(WDT.CTRLA)レジスタの窓(WINDOW)ビット領域に0以外の値を書くことによって許可され、それに\$0を書くことによって禁止されます。

図19-3. 窓形態動作



19.3.3.3. 構成設定保護と施錠

WDTはWDT設定に対して意図せぬ変更を避けるために2つの安全機構を提供します。

最初の機構はWDT制御レジスタ変更のために制限時間書き込み手順を使う構成設定変更保護機構です。

2つ目の機構は状態(WDT.STATUS)レジスタの施錠(LOCK)ビットに'1'を書くことによって構成設定を施錠します。このビットが'1'の時に制御A(WDT.CTRLA)レジスタは変更することができません。結果としてWDTはソフトウェアから禁止することができません。

WDT.STATUSレジスタのLOCKビットは'1'を書くことだけです。デバッグ動作でだけ解除(0)することができます。

WDT構成設定がヒューズから取得/設定される場合、LOCKビットはWDT.STATUSレジスタで自動的に設定(1)されます。

19.3.4. 休止形態動作

WDTは供給元クロックが活性であるどの休止動作形態でも動作を続けます。

19.3.5. デバッグ操作

走行時のデバッグ時、この周辺機能は標準動作を続けます。デバッグ動作形態でのCPU停止はこの周辺機能の標準動作を停止します。

デバッグ動作形態でのCPU停止時、WDT計数器はリセットされます。

WDTが窓動作で動いていてCPUを再び開始すると、最初の閉鎖窓制限時間は禁止され、標準動作制限時間が実行されます。

19.3.6. 同期

主クロック領域と周辺機能クロック領域間が非同期なため、制御A(WDT.CTRLA)レジスタは書かれた時に同期されます。状態(WDT.STATUS)レジスタの同期化多忙(SYNCBUSY)フラグは進行中の同期化があるかを示します。

SYNCBUSY=1の間のWDT.CTRLAレジスタ書き込みは許されません。

以下のレジスタビットが書かれた時に同期化されます。

- 制御A(WDT.CTRLA)レジスタの期間(PERIOD)ビット
- WDT.CTRLAレジスタの窓期間(WINDOW)ビット

WDR命令は同期するのに2~3周期のWDTクロックが必要です。WDR命令が同期されつつある間の新しいWDR命令は無視されます。

19.3.7. 構成設定変更保護

この周辺機能は構成設定変更保護(CCP)下にあるレジスタを持ちます。これらへ書くには最初に構成設定変更保護(CPU.CCP)レジスタへ与えられた鍵が書かれ、4 CPU命令以内に保護されたビットへの書き込みアクセスが後続しなければなりません。

適切なCCP解錠手順に従わずに保護されたレジスタへ書こうとすると、それを無変化のままにします。

右のレジスタがCCP下です。

CCPによって保護されるビット/レジスタの一覧は以下です。

- 制御A(WDT.CTRLA)レジスタの期間(PERIOD)ビット
- 制御A(WDT.CTRLA)レジスタの窓期間(WINDOW)ビット
- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビット

表19-1. WDT – 構成設定変更保護下のレジスタ

レジスタ	鍵種別
WDT.CTRLA	IOREG
WDT.STATUSのLOCKビット	

19.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0	WINDOW3～0				PERIOD3～0			
+\$01	STATUS	7～0	LOCK							SYNCBUSY

19.5. レジスタ説明

19.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : FUSE.WDTCFGからの値

特質 : 構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	WINDOW3~0				PERIOD3~0			
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	x	x	x	x	x	x	x	x

● ビット7~4 – WINDOW3~0 : 窓期間 (Window)

これらのビットへの0以外の値の書き込みが窓動作を許可し、それに応じて閉鎖期間の持続期間を選びます。

このビットは以下のように任意選択で施錠保護されます。

- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビットが'1'の場合、全ビットが変更保護されます(アクセス=R)。
- WDT.STATUSレジスタのLOCKビットが'0'の場合、全ビットを変更することができます(アクセス=R/W)。

値	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	その他
名称	OFF	8CLK	16CLK	32CLK	64CLK	128CLK	256CLK	512CLK	1KCLK	2KCLK	4KCLK	8KCLK	-
説明	-	0.008s	0.016s	0.031s	0.063s	0.125s	0.25s	0.5s	1s	2s	4s	8s	(予約)

● ビット3~0 – PERIOD3~0 : 制限期間 (Period)

これらのビットへの0以外の値の書き込みがWDTを許可し、それに応じて標準動作での制限期間を選びます。窓動作でのこれらのビットは開放窓の持続期間を選びます。

このビットは以下のように任意選択で施錠保護されます。

- 状態(WDT.STATUS)レジスタの施錠(LOCK)ビットが'1'の場合、全ビットが変更保護されます(アクセス=R)。
- WDT.STATUSレジスタのLOCKビットが'0'の場合、全ビットを変更することができます(アクセス=R/W)。

値	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	その他
名称	OFF	8CLK	16CLK	32CLK	64CLK	128CLK	256CLK	512CLK	1KCLK	2KCLK	4KCLK	8KCLK	-
説明	-	0.008s	0.016s	0.031s	0.063s	0.125s	0.25s	0.5s	1s	2s	4s	8s	(予約)

19.5.2. STATUS – 状態 (Status)

名称 : STATUS

変位 : +\$01

リセット : \$00

特質 : LOCKビットは構成設定変更保護

ビット	7	6	5	4	3	2	1	0
	LOCK							SYNDBUSY
アクセス種別	R/W	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7 – LOCK : 施錠 (Lock)

このビットの'1'書き込みは制御A(WDT.CTRLA)レジスタを書き込み保護します。

このビットに'1'を書くことだけが可能です。このビットはデバッグ動作でだけ解除(0)することができます。

ウォッチドッグ タイマ構成設定(WDTCFG)ヒューズのウォッチドッグ制限時間周期(PERIOD)値が0と違う場合、自動的に施錠が設定されます。

このビットは構成設定変更保護(CCP)下です。

● ビット0 – SYNDBUSY : 同期化多忙 (Synchronization Busy)

このビットはWDT.CTRLAレジスタを書いた後にデータがシステムクロック領域からWDTクロック領域へ同期化されつつある間、設定(1)されます。

このビットは同期化終了後に解除(0)されます

このビットは構成設定変更保護(CCP)下ではありません。

20. TCA – 16ビット タイマ/カウンタA型

20.1. 特徴

- 16ビット タイマ/カウンタ
- 3つの比較チャンネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較チャンネル
- 波形生成:
 - 周波数生成
 - 単一傾斜PWM(パルス幅変調)
 - 2傾斜PWM
- 事象での計数
- 計時器溢れ割り込み/事象
- 比較チャンネル当たり1つの比較一致
- 分割動作での2つの8ビット タイマ/カウンタ

20.2. 概要

柔軟な16ビット タイマ/カウンタA型(TCA)は正確なプログラム実行タイミング、周波数と波形の生成、指令実行を提供します。

TCAは基本計数器と比較チャンネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使うことができ、またクロック周期をどう計数するかを事象に制御させます。それは方向制御を持ち、タイミングに周期設定を使うことができます。比較チャンネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調を実行するのに使うことができます。

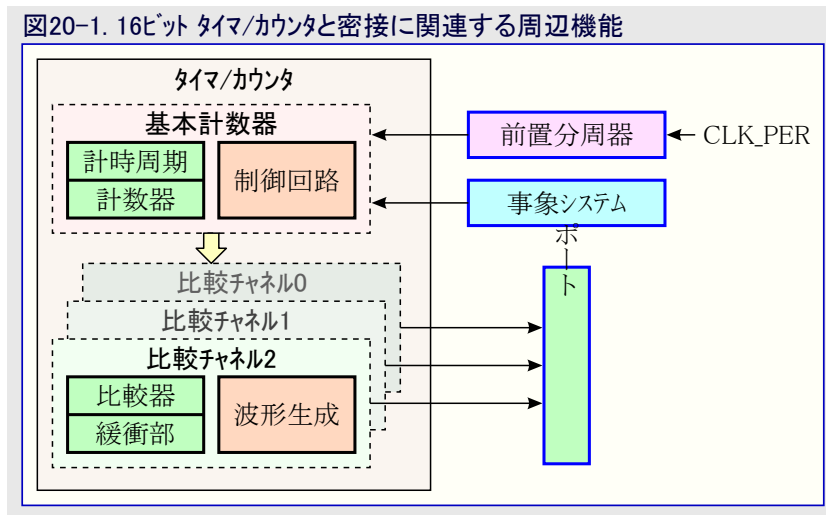
動作形態に依存して、計数器は各タイマ/カウンタ クロックまたは事象入力で解消、再設定、増加、減少されます。

タイマ/カウンタは任意選択の前置分周を持つ周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。事象システムは方向制御または動作の同期にも使うことができます。

既定で、TCAは16ビット タイマ/カウンタです。このタイマ/カウンタは各々3つの比較チャンネルを持つ2つの8ビット タイマ/カウンタに分割する分割動作機能を持ちます。使う動作形態に応じて、レジスタのアドレス付けや、ビット遮蔽と群構成設定の使用は以降のように、レジスタに対してTCAn.SINGLE.REGISTERまたはTCAn.SPLIT.REGISTER、ビット遮蔽と群構成設定の例としてTCA_SINGLE_CLKSEL_DIV1_gcまたはTCA_SPLIT_CLKSEL_DIV1_gcのどちらかとして行われます。

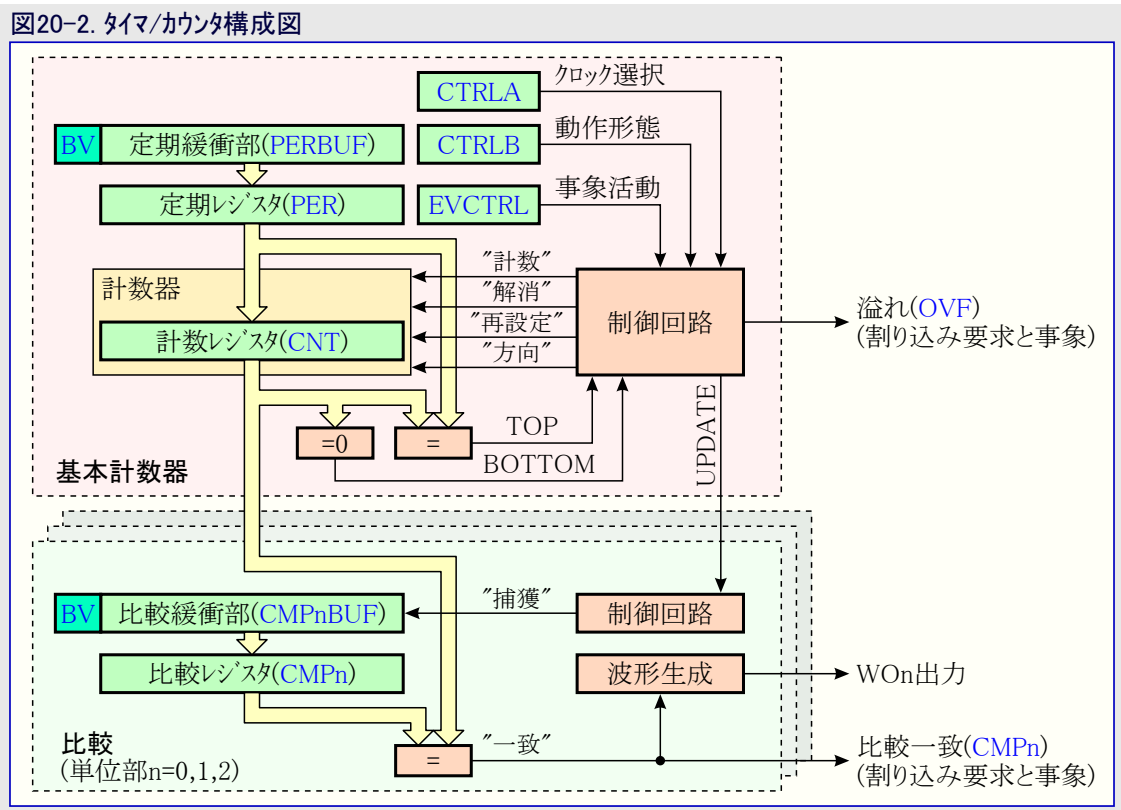
本章でレジスタはTCAn.REGISTERとしてアドレス付けされます。

下図は密接に関連する(青枠の(訳注:原書は灰色の))周辺機能単位部を伴う16ビット タイマ/カウンタの構成図を示します。



20.2.1. 構成図

下図はこのタイマ/カウンタの詳細な構成図を示します。



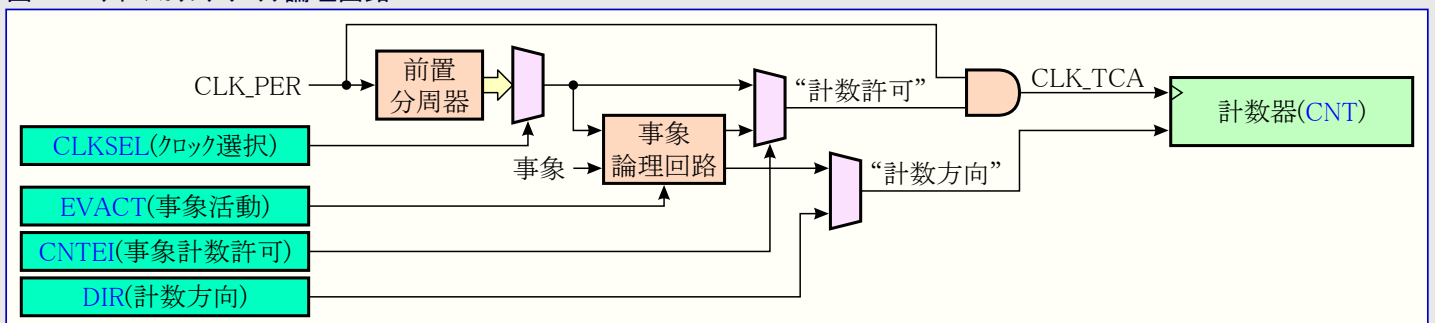
計数(TCAn.CNT)レジスタ、定期と比較(TCAn.PERとTCAn.CMPn)のレジスタ、それらに対応する(TCAn.PERBUFとTCAn.CMPnBUF)の緩衝レジスタは16ビットレジスタです。全ての緩衝レジスタは緩衝部が新しい値を含む時を示す緩衝有効(BV)フラグを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。計数器値はTCAn.CMPnレジスタとも比較されます。

タイマ/カウンタは割り込み要求、事象を生成したり、計数器(TCAn.CNT)レジスタがTOP、BOTTOM、またはCMPnに達することによって起動された後に波形出力を変更することができます。起動後、割り込み要求、事象、波形出力変更は次のCLK_TCA周期で起こります。

下図で示されるように、CLK_TCAは前置分周された周辺機能クロックか、または事象システムからの事象のどちらかです。

図20-3. タイマ/カウンタ クロック論理回路



20.2.2. 信号説明

信号	形式	説明
WOn	デジタル出力	波形出力

20.3. 機能的な説明

20.3.1. 定義

以下の定義は文書全体を通して使われます。

表20-1. タイマ/カウンタ定義

名称	説明
BOTTOM	計数器が底(BOTTOM)に到達し、それが\$0000になる時
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時
TOP	計数器が頂上(TOP)に到達し、それが計数の流れで最高値と等しくなる時
UPDATE	更新条件一致、波形生成動作に依存してタイマ/カウンタがBOTTOMまたはTOPに到達する時。有効な緩衝値を持つ緩衝されるレジスタは制御E(TCAn.CTRLE)レジスタの更新施錠(LUPD)ビットが設定(1)されていない限り更新されます。
CNT	計数器レジスタ値
CMP	比較レジスタ値
PER	定期(周期)レジスタ値

一般的に用語の計時器はタイマ/カウンタが周期的クロック刻みを計数する時に使われます。用語の計数器は入力信号が散発的または不規則なクロック刻みを持つ時に使われます。後者は事象計数時の場合に有り得ます。

20.3.2. 初期化

基本動作でタイマ/カウンタの使用を開始するには以下のようにこれらの手順に従ってください。

1. 定期(TCAn.PER)レジスタにTOP値を書いてください。
2. 制御A(TCAn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって周辺機能を許可してください。計数器はTCAn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域で設定した前置分周器に従ったクロック刻みの計数を開始します。
3. 任意選択: 事象制御(TCAn.EVCTRL)レジスタの事象入力で計数許可(CNTED)ビットに'1'を書くことにより、クロック刻みに代わって事象が計数されます。
4. 計数値は計数(TCAn.CNT)レジスタの計数(CNT)ビット領域から読むことができます。

20.3.3. 動作

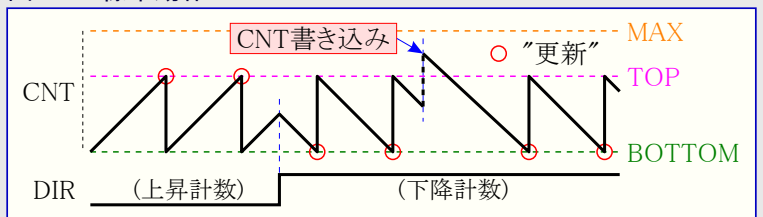
20.3.3.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、制御E(TCAn.CTRLE)レジスタの方向(DIR)ビットによって選ばれる方向でクロック刻みを計数します。制御A(TCAn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域に従って前置分周した周辺機能クロック(CLK_PER)がクロック刻みを与えます。

計数器が上昇計数中にTOPに達すると、計数器は次のクロック刻みで'0'に丸められます。下降計数時、計数器はBOTTOMに達した時に定期(TCAn.PER)レジスタ値で再設定されます。

計数器が走行している時に計数(TCAn.CNT)レジスタの計数値を変更することが可能です。TCAn.CNTレジスタへの書き込みアクセスは計数、解消、再設定よりも高い優先権を持ち、直ちに行われます。計数器の方向はTCAn.CTRLEレジスタのDIRビットに書くことによって標準動作の間でも変更することができます。

図20-4. 標準動作



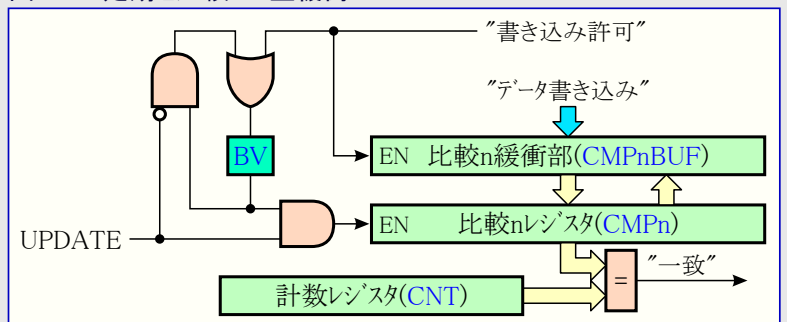
20.3.3.2. 2重緩衝

定期(TCAn.PER)レジスタ値と比較n(TCAn.CMPn)レジスタ値は全て2重緩衝(TCAn.PERBUFとTCAn.CMPnBUF)されます。

各々の緩衝レジスタは緩衝レジスタが対応する定期または比較のレジスタ内に複写することができる有効な(新しい)値を含むことを示す、制御F(TCAn.CTRLF)レジスタ内の緩衝有効(BV)フラグ(PERBVとCMPnBV)を持ちます。定期レジスタと比較nレジスタが比較動作に使われる時に、BVフラグはデータが緩衝レジスタに書かれる時に設定(1)され、UPDATE条件で解除(0)されます。この図は比較レジスタに関して示します。

TCAn.CMPnとTCAn.CMPnBUFのレジスタは1/Oレジスタとして利用可能で、緩衝レジスタの初期化と迂回、2重緩衝機能を許します。

図20-5. 定期と比較の2重緩衝



20.3.3.3. 周期変更

計数器の周期は新しいTOP値を定期(TCAn.PER)レジスタへ書くことによって変更されます。

緩衝なし：2重緩衝を使わない場合、どんな周期変更も直ちに行われます。

計数(TCAn.CNT)と定期(TCAn.PER)のレジスタが継続的に比較されるため、計数器丸めは緩衝なしでの上昇計数時のどの動作形態でも起こり得ます。現在のTCAn.CNTよりも低い新しいTOP値をTCAn.PERに書く場合、計数器は比較一致が起こるのに先立って先に丸めを行うでしょう。

緩衝有り：2重緩衝を使うと、緩衝部は何時でも書いて、未だ正しい動作を維持します。右図の2傾斜動作に対して示されるように、**定期(TCAn.PER)レジスタ**は常に**”更新”(UPDATE)**条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

注：他に指定されない場合、TCA動作を示す図では緩衝が使われます。

図20-6. 緩衝なし周期変更

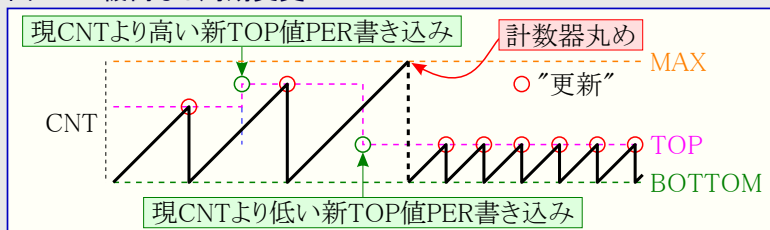


図20-7. 緩衝なし2傾斜動作

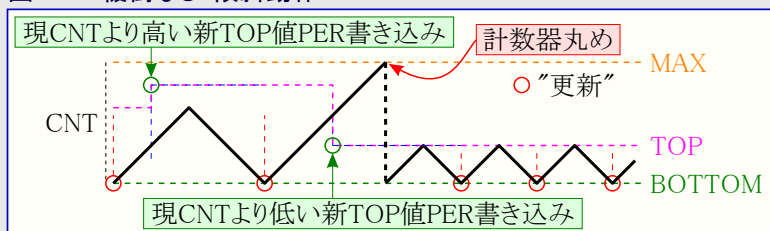
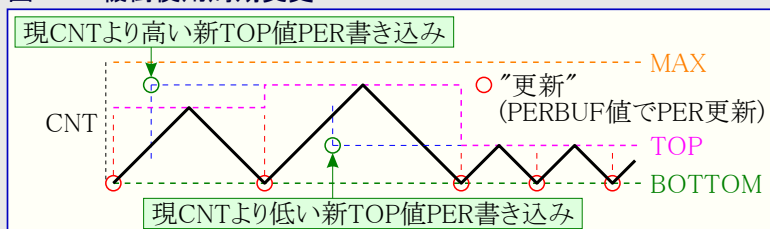


図20-8. 緩衝使用周期変更



20.3.3.4. 比較チャネル

各比較nチャネルは計数器(TCAn.CNT)値を比較n(TCAn.CMPn)レジスタと継続的に比較します。TCAn.CNTとTCAn.CMPnが等しい場合、比較器は一致を合図します。この一致は次の計時器クロック周期で比較チャネルの**割り込み要求フラグ(INTFLAGS.CMPn)**を設定(1)し、任意選択の割り込みが生成されます。

比較n緩衝(TCAn.CMPnBUF)レジスタは**定期緩衝(TCAn.PERBUF)レジスタ**のものと等価な能力を持つ2重緩衝を提供します。2重緩衝は**UPDATE条件**に従って、計数の流れのTOPまたはBOTTOMのどちらかにに対して緩衝値でのTCAn.CMPnレジスタの更新を同期化します。同期化は不具合なしの出力のために奇数長の発生、非対称パルスを防ぎます。

CMPnBUFの値はUPDATE条件でCMPnに移動され、次の計数から計数器(TCAn.CNT)値と比較されます。

20.3.3.4.1. 波形生成

比較チャネルは対応するポートピンでの波形生成に使うことができます。接続されたポートピンで波形を見ることができるようにするには、以下の必要条件が完全に満たされなければなりません。

1. **制御B(TCAn.CTRLB)レジスタの波形生成動作(WGMODE)ビット領域**を書くことによって波形設定動作形態が選ばれなければなりません。
2. 使われる比較チャネルが許可(TCAn.CTRLBレジスタの**比較n許可(CMPnEN)=1**)にされなければならず、これは対応するピンに対する出力値を指定変更します。代替ピンは**ポート多重器(PORTMUX)**を構成設定することによって選ぶことができます。詳細については「PORTMUX - ポート多重器」章を参照してください。
3. 連携するポートピンに対する方向は出力として**ポート周辺機能**で構成設定されなければなりません。
4. 任意選択: 連携するポートピンに**反転波形出力**を許可してください。詳細については「PORT - I/Oピン構成設定」章を参照してください。

注：標準動作では利用可能な波形出力はWO0～2だけです。WO3～5を使うには**分割動作**が許可されなければなりません。

20.3.3.4.2. 周波数(FRQ)波形生成

周波数生成に関して、周期(T)は**定期(TCAn.PER)レジスタ**に代わって**比較0(TCAn.CMP0)レジスタ**によって制御されます。対応する波形生成(WG)出力はTCAn.CNTとTCAn.CMPnのレジスタ間の各比較一致で交互切り替えされます。

次式は波形周波数(f_{FRQ})を定義します。

$$f_{FRQ} = \frac{f_{CLK_PER}}{2N(CMPn+1)}$$

ここで N は使われる前置分周数(**制御A(TCAn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域**参照)を表し、 f_{CLK_PER} は周辺機能クロック周波数です。

生成される波形の最大周波数はTCAn.CMP0レジスタが0(\$0000)を書かれて前置分周が全く使われない(TCAn.CTRLAのCLKSEL=0、 $N=1$)の時に周辺機能クロック周波数(f_{CLK_PER})の半分です。

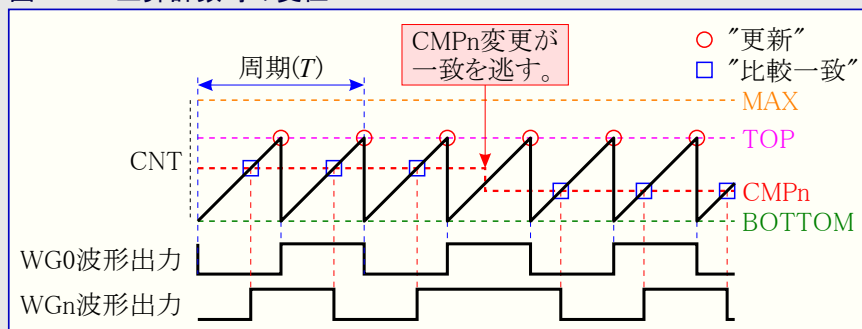
追加の波形出力WOnを得るにはTCAn.CMP1とTCAn.CMP2のレジスタを使ってください。波形WOnは同一またはWO0に対する変位のどちらかで有り得ます。この変位はTCAn.CMPn、TCAn.CNT、計数方向によって動かすことができます。秒での変位(t_{Offset})は下表の式を使って計算することができます。この式はCMPn<CMP0の時にだけ有効です。

表20-2. 変位式概要

式	計数方向	CMPn対CNTの状態	変位
$t_{Offset} = \left(\frac{CMP0 - CMPn}{CMP0+1} \right) \left(\frac{T}{2} \right)$	上昇	$CMPn \geq CNT$	WO0に先行するWOn
	下降	$CMP0 \leq CNT$	WO0に後行するWOn
$t_{Offset} = \left(\frac{CMPn+1}{CMP0+1} \right) \left(\frac{T}{2} \right)$	上昇	$CMP0 < CNT$	WO0に後行するWOn
	下降	$CMP0 \leq CNT$	WO0に先行するWOn

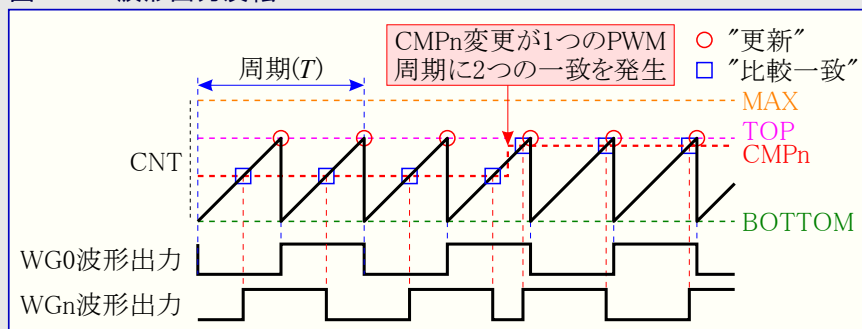
右図は両式を使うことができるWOn用の先行と後行の変位を示します。正しい式は計数方向と計時器が許可される、またはCMPnが変更される時のCMPn対CNTの状態によって決められます。

図20-10. 上昇計数時の変位



右図は走行時中のCMPn変更が波形をどう反転し得るかを示します。

図20-11. 波形出力反転



20.3.3.4.3. 単一傾斜PWM生成

単一傾斜PWM生成に関して、TCAn.PERレジスタが周期(T)を制御する一方で、TCAn.CMPnレジスタ値は生成する波形のデューティサイクルを制御します。下図は計数器がどうBOTTOMからTOPへ計数し、その後にBOTTOMから再開するかを示します。波形生成器出力はBOTTOMで設定(1)され、TCAn.CNTとTCAn.CMPnのレジスタ間の比較一致で解除(0)されます。

CMPn=BOTTOMはWOnで静的なLow信号を生じ、一方でCMPn>TOPはWOnで静的なHigh信号を生じます。

定期(TCAn.PER)レジスタはPWM分解能を定義します。最小分解能は2ビット(TCAn.PER=\$0003)で、最大分解能は16ビット(TCAn.PER=MAX)です。

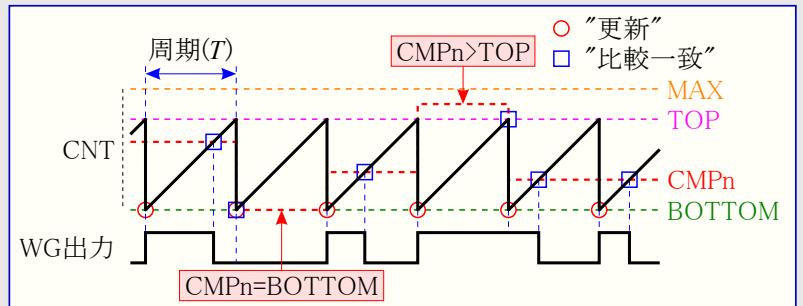
次式は単一傾斜PWMに対するビットでの正確な分解能(RPWM_SS)を計算します。

$$RPWM_SS = \frac{\log(PER+1)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(TCAn.PER)、周辺機能クロック周波数(f_{CLK_PER})、TCA前置分周器(TCAn.CTRLAレジスタのCLKSELビット領域)に依存します。それは使う前置分周数をNが表す右式によって計算されます。

$$f_{PWM_SS} = \frac{f_{CLK_PER}}{N(PER+1)}$$

図20-12. 単一傾斜パルス幅変調



注: ・ 上図表現はCMPnがCMPnBUFを使い更新される時に有効です。
・ 単一傾斜PWM生成に対して下降計数は支援されません。

20.3.3.4.4. 2傾斜PWM生成

2傾斜PWM生成に関して、定期(TCAn.PER)レジスタが周期(T)を制御する一方で、比較n(TCAn.CMPn)レジスタ値は波形生成(WG)出力のデューティサイクルを制御します。

下図は2傾斜PWMに対して計数器がBOTTOMからTOPへそしてその後にTOPからBOTTOMへどう繰り返し計数するかを示します。波形生成器出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

CMPn=BOTTOMはWOnで静的なLow信号を生じ、一方でCMPn=TOPはWOnで静的なHigh信号を生じます。

定期(TCAn.PER)レジスタはPWM分解能を定義します。最小分解能は2ビット(TCAn.PER=\$0003)で、最大分解能は16ビット(TCAn.PER=MAX)です。

次式は2傾斜PWMに対する正確な分解能(RPWM_DS)を計算します。

$$RPWM_DS = \frac{\log(PER+1)}{\log(2)}$$

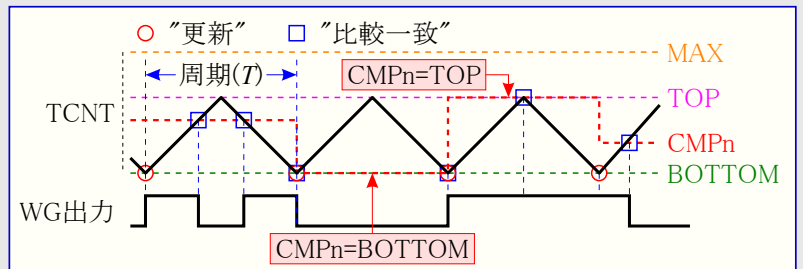
PWM周波数(f_{PWM_DS})はTCAn.PERレジスタでの周期設定、周辺機能クロック周波数(f_{CLK_PER})、TCAn.CTRLAレジスタのCLKSELビット領域で選ばれる前置分周器に依存します。それは右式によって計算することができます。

$$f_{PWM_DS} = \frac{f_{CLK_PER}}{2N \times PER}$$

ここでNは使う前置分周数を表します。

2傾斜PWMの使用は単一傾斜PWM動作と比較して周期毎に倍の計時器増加数のため、概ね半分の最大動作周波数になります。

図20-13. 2傾斜パルス幅変調



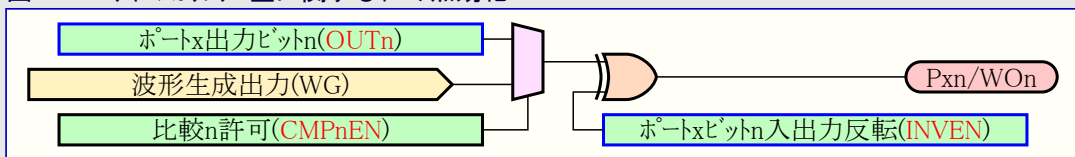
注: 上図表現はCMPnがCMPnBUFを使って更新される時に有効です。

20.3.3.4.5. 波形生成に関するポート無効化

ポートピンで利用可能な波形生成を行うには、対応するポートピンの方向が出力として設定(方向(PORTx.DIR)レジスタの方向(DIRn)=1)にされなければなりません。TCAは比較チャンネルが許可(制御B(TCAn.CTRLB)レジスタの比較n許可(CMPnEN)=1)にされ、波形生成動作が選ばれる時にポートピン値を覆します。

下図はTCAに関するポート無効化を示します。タイマ/カウンタ比較チャンネルは対応するポートピン(Pxn)でのポートピン出力値(PORTx.OUTn)を無効にします。ポートピンでの反転I/O許可(PORTx.PINnCTRLレジスタのINVEN=1)は対応するWG出力を反転します。

図20-14. タイマ/カウンタA型に関するポート無効化



20.3.3.5. タイマ/カウンタ指令

周辺機能の状態を直ちに変更するために、ソフトウェアによって1組の指令を発行することができます。これらの指令は更新、再始動、リセットの信号の直接制御を与えます。指令は制御E設定(TCAn.CTRLESET)レジスタの指令(CMD)ビット領域に各々の値を書くことによって発行されます。

更新(UPDATE)指令はUPDATE指令が制御E(TCAn.CTRLESET/CLR)レジスタの更新施錠(LUPD)ビットの状態によって影響を及ぼされないことを除き、更新条件が起こる時と同じ効果を持ちます。

ソフトウェアは再始動(RESTART)指令を発行することによって現在の波形周期の再始動を強制することができます。この場合は計数器と全ての波形出力が'0'に設定されます。

リセット(RESET)指令は全てのタイマ/カウンタレジスタをそれらの初期値に設定します。RESET指令はタイマ/カウンタが走行していない(TCAn.CTRLAレジスタの許可(ENABLE)=0)の時にだけ発行することができます。

20.3.3.6. 分割動作 - 2つの8ビット タイマ/カウンタ

分割動作概要

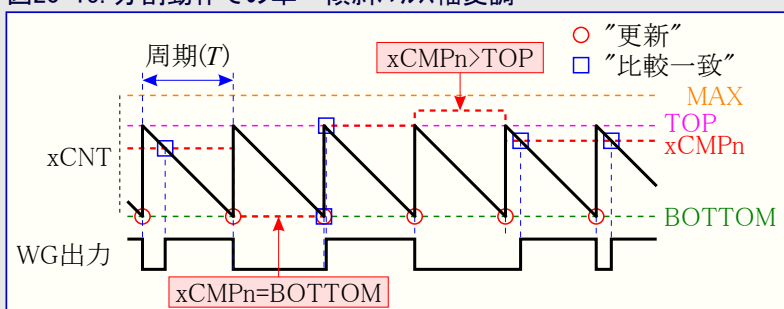
分割動作はTCAで計数器とPWMチャネルの数を倍にするために提供されます。この分割動作では、各々がPWM生成用に3つの比較チャネルを持つ2つの独立した8ビット計数器として働きます。分割動作は単一傾斜下降計数でだけ動きます。事象で制御される操作は分割動作で支援されません。

右図は分割動作での単一傾斜PWM生成を示します。波形生成部出力はBOTTOMで解除(0)され、計数器値(TCAn.xCNT)と比較n(TCAn.xCMPn)のレジスタ間の比較一致で設定(1)です。

CMPn=BOTTOMやCMPn>TOPはWOnでの固定Low信号を生じます。

分割動作の有効化はいくつかのレジスタとレジスタビットの機能を変更します。この変更は独立したレジスタ割り当てで記述されます(「20.6. レジスタ要約 - 分割動作」をご覧ください)。

図20-15. 分割動作での単一傾斜パルス幅変調



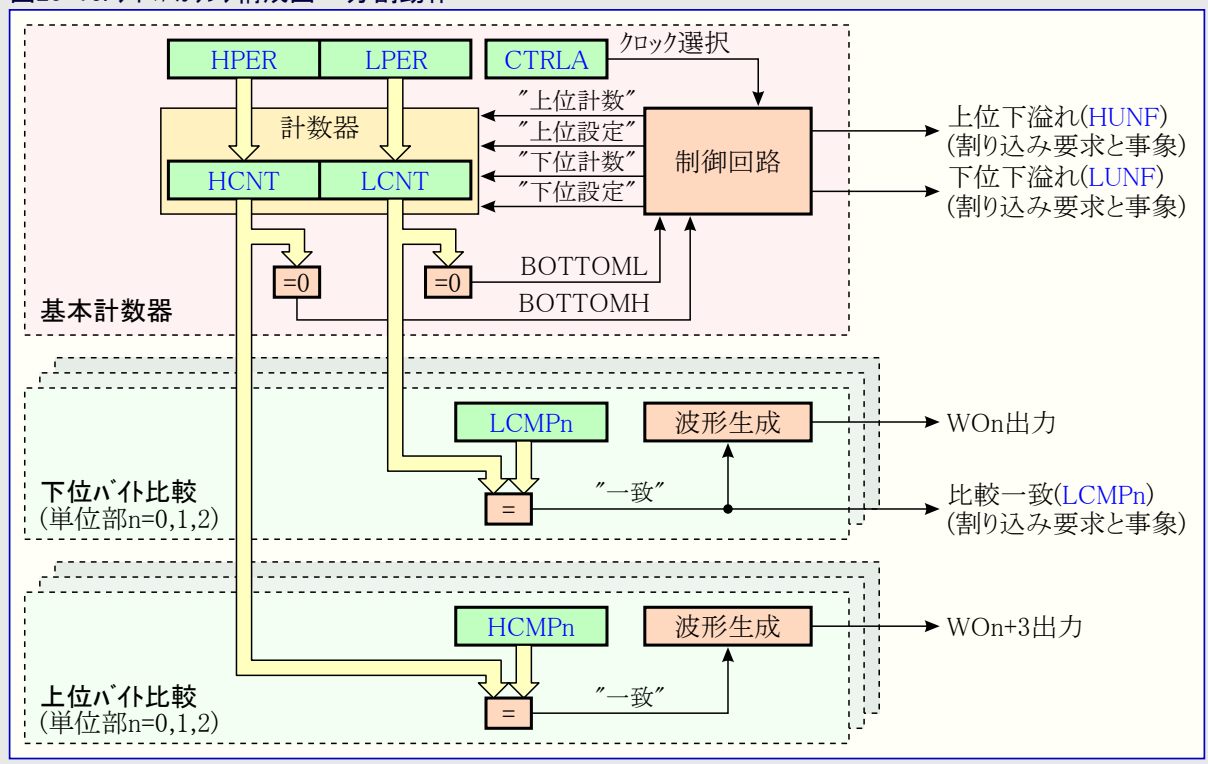
注: 波形出力の最大デューティサイクルはTOP/(TOP+1)です。

標準動作と比べた分割動作の違い

- ・ 計数
 - 下降計数専用
 - 下位バイト タイマ/カウンタ(TCAn.LCNT)レジスタと上位バイト タイマ/カウンタ(TCAn.HCNT)レジスタは独立です。
- ・ 波形生成
 - 単一傾斜PWM専用(TCAn.CTRLBレジスタのWGMODE=SINGLESLOPE)
- ・ 割り込み
 - 下位バイト タイマ/カウンタ(TCAn.LCNT)レジスタに対する変更なし
 - 上位バイト タイマ/カウンタ(TCAn.HCNT)レジスタに対する下溢れ割り込み
 - 比較n上位バイト(TCAn.HCMPn)レジスタに対する比較割り込みと割り込み要求フラグなし
- ・ 事象活動: 不適合
- ・ 緩衝レジスタと緩衝有効フラグ: 不使用
- ・ レジスタ アクセス: 全てのレジスタに対してバイト アクセス

構成図

図20-16. タイマ/カウンタ構成図 - 分割動作



分割動作初期化

標準動作と分割動作の間を移る時に、いくつかのレジスタとビットの機能が変わりますが、それらの値は変わりません。この理由のため、予期せぬ動きを避けるため、動作を変更する時に周辺機能を禁止(TCAn.CTRLAレジスタのENABLE=0)して、ハードリセット(制御E設定(TCAn.CTRLESET)レジスタの指令(CMD)=RESET)を行うことが推奨されます。

ハードリセット後に基本的な分割動作でタイマ/カウンタの使用を開始するには、以下のこれらの手順に従ってください。

1. 制御D(TCAn.CTRLD)レジスタの分割動作許可(SPLITM)ビットに'1'を書くことによって分割動作を許可してください。
2. 定期(TCAn.H/LPER)レジスタにTOP値を書いてください。
3. 制御A(TCAn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって周辺機能を許可してください。計数器はTCAn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域に従ってクロック刻みを計数します。
4. 計数器値は計数(TCAn.H/LCNT)レジスタの計数(H/LCNT)ビット領域から読むことができます。

分割動作の有効化はいくつかのレジスタとレジスタビットの機能の変更に帰着します。この変更は分離したレジスタ配置で記述されます。

20.3.4. 事象

TCAは下表で記述される事象を生成することができます。TCAn_HUNFを除く全ての生成部は標準動作と分割動作の操作間で共有されます。

表20-3. TCAでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
TCAn	OVF_LUNF	標準動作: 溢れ 分割動作: 下位バイト計数器下溢れ	パルス	CLK_PER	1 CLK_PER周期
	HUNF	標準動作: 利用不可 分割動作: 上位バイト計数器下溢れ			
	CMP0	標準動作: 比較チャンネル0一致 分割動作: 下位バイト計数器比較チャンネル0一致			
	CMP1	標準動作: 比較チャンネル1一致 分割動作: 下位バイト計数器比較チャンネル1一致			
	CMP2	標準動作: 比較チャンネル2一致 分割動作: 下位バイト計数器比較チャンネル2一致			

注: 事象生成の条件は標準動作と分割動作の両方に対して割り込み要求フラグ(TCAn.INTFLAGS)レジスタで対応する割り込み要求フラグを掲げるそれらと同じです。

TCAは入力事象での検出と活動のために1つの事象使用部を持ちます。下表は事象使用部と関連機能を記述します。

表20-4. TCAでの事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
TCAn	CNT	正事象端で計数	端	同期
		両事象端で計数		
		事象信号がHighの間計数	レベル	
		事象レベルが計数方向を制御、Lowの時に上昇、Highの時に下降		

注: 1. 事象入力は分割動作で使われません。

2. レベル入力検出での事象活動は事象周波数が計時器の周波数未満の場合にだけ確実に動きます。

上表で記述される特定の活動は**事象制御(TCA_n.EVCTRL)レジスタの事象活動(EVACT)ビット**に書くことによって選ばれます。入力事象はTCA_n.EVCTRLの**事象入力**で**計数許可(CNTEI)ビット**に'1'を書くことによって許可されます。

事象入力は分割動作で使われません。

事象形式と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

20.3.5. 割り込み

表20-5. 標準動作で利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
OVF	溢れ割り込み	計数器がTOPまたはBOTTOMに到達
CMP0	比較チャンネル0割り込み	計数器値と比較0レジスタ間の一致
CMP1	比較チャンネル1割り込み	計数器値と比較1レジスタ間の一致
CMP2	比較チャンネル2割り込み	計数器値と比較2レジスタ間の一致

表20-6. 分割動作で利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
LUNF	下位バイト下溢れ割り込み	下位バイト計時器がBOTTOMに到達
HUNF	上位バイト下溢れ割り込み	上位バイト計時器がBOTTOMに到達
LCMP0	比較チャンネル0割り込み	計数器値と下位バイト比較0レジスタ間の一致
LCMP1	比較チャンネル1割り込み	計数器値と下位バイト比較1レジスタ間の一致
LCMP2	比較チャンネル2割り込み	計数器値と下位バイト比較2レジスタ間の一致

割り込み条件が起こると、周辺機能の**割り込み要求フラグ(TCA_n.INTFLAGS)レジスタ**で対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の**割り込み制御(TCA_n.INTCTRL)レジスタ**で対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

20.3.6. 休止形態動作

タイマ/カウンタはアイドル休止動作で動作を続けます。

20.4. レジスタ要約 – 標準動作

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0						CLKSEL2~0		ENABLE
+\$01	CTRLB	7~0		CMP2EN	CMP1EN	CMP0EN	ALUPD		WGMode2~0	
+\$02	CTRLC	7~0						CMP2OV	CMP1OV	CMP0OV
+\$03	CTRLD	7~0								SPLITM
+\$04	CTRLCLR	7~0					CMD1,0		LUPD	DIR
+\$05	CTRLSET	7~0					CMD1,0		LUPD	DIR
+\$06	CTRLFCLR	7~0					CMP2BV	CMP1BV	CMP0BV	PERBV
+\$07	CTRLFSET	7~0					CMP2BV	CMP1BV	CMP0BV	PERBV
+\$08	予約									
+\$09	EVCTRL	7~0						EVACT2~0		CNTEI
+\$0A	INTCTRL	7~0		CMP2	CMP1	CMP0				OVF
+\$0B	INTFLAGS	7~0		CMP2	CMP1	CMP0				OVF
+\$0C ~ +\$0D	予約									
+\$0E	DBGCTRL	7~0								DBGRUN
+\$0F	TEMP	7~0					TEMP7~0			
+\$10 ~ +\$1F	予約									
+\$20	CNT	7~0					CNT7~0			
+\$21		15~8					CNT15~8			
+\$22 ~ +\$25	予約									
+\$26	PER	7~0					PER7~0			
+\$27		15~8					PER15~8			
+\$28	CMP0	7~0					CMP7~0			
+\$29		15~8					CMP15~8			
+\$2A	CMP1	7~0					CMP7~0			
+\$2B		15~8					CMP15~8			
+\$2C	CMP2	7~0					CMP7~0			
+\$2D		15~8					CMP15~8			
+\$2E ~ +\$35	予約									
+\$36	PERBUF	7~0					PERBUF7~0			
+\$37		15~8					PERBUF15~8			
+\$38	CMP0BUF	7~0					CMPBUF7~0			
+\$39		15~8					CMPBUF15~8			
+\$3A	CMP1BUF	7~0					CMPBUF7~0			
+\$3B		15~8					CMPBUF15~8			
+\$3C	CMP2BUF	7~0					CMPBUF7~0			
+\$3D		15~8					CMPBUF15~8			

20.5. レジスタ説明 – 標準動作

20.5.1. CTRLA – 制御A (Control A) – 標準/分割動作共通

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
					CLKSEL2~0			ENABLE
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~1 – CLKSEL2~0 : クロック選択 (Clock Select)

このビット領域はタイマ/カウンタに対するクロック周波数を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV64	DIV256	DIV1024
説明 ($f_{TCA} =$)	f_{CLK_PER}	$f_{CLK_PER}/2$	$f_{CLK_PER}/4$	$f_{CLK_PER}/8$	$f_{CLK_PER}/16$	$f_{CLK_PER}/64$	$f_{CLK_PER}/256$	$f_{CLK_PER}/1024$

● ビット0 – ENABLE : 許可 (Enable)

値	0	1
説明	周辺機能は禁止されます。	周辺機能は許可されます。

20.5.2. CTRLB – 制御B (Control B) – 標準動作

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		CMP2EN	CMP1EN	CMP0EN	ALUPD	WGMODE2~0		
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~4 – CMPnEN : 比較n許可 (Compare n Enable)

FRQ(周波数)とPWMの波形生成動作で比較n許可(CMPnEN)ビットはWOnに対応するピンでの波形出力を利用可能にします。

値	0	1
説明	波形出力WOnは対応するピンで利用できません。	波形出力WOnは対応するピンの出力値を無効にします。

● ビット3 – ALUPD : 更新自動施錠 (Auto Lock Update)

更新自動施錠ビットは制御E(TCAn.CTRLE)レジスタの更新施錠(LUPD)ビットを制御します。ALUPDが'1'を書かれると、全ての許可された比較チャネルの緩衝部有効(CMPnBV)ビットが'1'になるまでLUPDビットが'1'に設定されます。(前行の)この条件がLUPDを解除(0)します。

これは緩衝値が比較n(CMPn)レジスタに転送され、LUPDビットが再び'1'に設定される後続するUPDATE条件まで解除(0)に留まりません。これは許可された全ての比較緩衝部が書かれるまで、比較n緩衝(CMPnBUF)レジスタ値がCMPnレジスタに転送されないことを保証します。

値	0	1
説明	TCAn.CTRLEレジスタのLUPDビットは自動的に変えられません。	TCAn.CTRLEレジスタのLUPDビットは自動的に設定(1)/解除(0)されます。

●ビット2~0 - WGMODE2~0 : 波形生成動作 (Waveform Generation Mode)

このビット領域は波形生成動作を選び、計数器の計数進行、TOP値、UPDATE条件、割り込み条件、生成される波形の形式を制御します。

標準形態の動作では波形生成が全く実行されません。他の全ての動作形態に対して対応する比較n許可(CMPnEN)ビットを設定(1)する場合、波形生成部出力がポートピンに直結されるだけです。ポートピンの方向は出力として設定されなければなりません。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	NORMAL	FRQ	-	SINGLESLOPE	-	DSTOP	DSBOTH	DSBOTTOM
説明	動作	標準	周波数	(予約)	1傾斜PWM	(予約)	2傾斜PWM	2傾斜PWM
	TOP	PER	CMP0	-	PER	-	PER	PER
	更新	TOP(注)	TOP(注)	-	BOTTOM	-	BOTTOM	BOTTOM
	OVF	TOP(注)	TOP(注)	-	BOTTOM	-	TOP	TOPとBOTTOM

注: 上昇計数時

20.5.3. CTRLC - 制御C (Control C) - 標準動作

名称 : CTRLC

変位 : +\$02

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						CMP2OV	CMP1OV	CMP0OV
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット2 - CMP2OV : 比較2出力値 (Compare Output Value 2)

CMP0OVをご覧ください。

●ビット1 - CMP1OV : 比較1出力値 (Compare Output Value 1)

CMP0OVをご覧ください。

●ビット0 - CMP0OV : 比較0出力値 (Compare Output Value 0)

CMPnOVビットはタイマ/カウンタが許可されない時に波形生成(WG)部の出力値への直接アクセスを許します。これはタイマ/カウンタが走行していない時にWG出力値を設定(1)または解除(0)するのに使われます。

注: この出力をパッドへ接続時、制御B(TCAn.CTRLB)レジスタの比較n許可(CMPnEN)ビットが設定(1)されない限り、これらのビットの指定変更は動きません。この出力をCCLへ接続時、TCAn.CTRLBレジスタのCMPnENビットは迂回されます。

20.5.4. CTRLD - 制御D (Control D) - 標準/分割動作共通

名称 : CTRLD

変位 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
								SPLITM
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット0 - SPLITM : 分割動作許可 (Enable Split Mode)

このビットはタイマ/カウンタを分割動作形態に設定し、2つの8ビットタイマ/カウンタとして動きます。標準16ビット動作と比べてレジスタ割り当てが変わります。

20.5.5. CTRLCLR – 制御E解除 (Control Register E Clear) – 標準動作

名称 : CTRLCLR
変位 : +\$04
リセット : \$00
特質 : -

そのビット位置に'1'を書くことによって個別ビットを解除(0)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		LUPD	DIR
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット3,2 – CMD1,0 : 指令 (Command)

このビット領域はタイマ/カウンタの更新、再始動、リセットのソフトウェア制御に使われます。指令ビット領域は常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	UPDATE	RESTART	RESET
説明	指令なし	強制更新	強制再始動	強制ハート'リセット (TCAが許可の場合は無効)

●ビット1 – LUPD : 更新施錠 (Lock Update)

更新施錠は更新を実行するのに先立って全ての緩衝部が有効であることを保証するのに使うことができます。

値	0	1
説明	緩衝されるレジスタはUPDATE条件が起これと直ぐに更新されます。	例えUPDATE条件が起きても、緩衝されるレジスタの更新は実行されません。この設定は指令ビット領域によって発行される更新を妨げません。

●ビット0 – DIR : 計数方向 (Counter Direction)

通常、このビットは波形生成動作または事象活動によってハードウェアで制御されますが、ソフトウェアからも変更することができます。

値	0	1
説明	計数器は上昇計数 (増加)	計数器は下降計数 (減少)

20.5.6. CTRLSET – 制御E設定 (Control Register E Set) – 標準動作

名称 : CTRLSET
変位 : +\$05
リセット : \$00
特質 : -

そのビット位置に'1'を書くことによって個別ビットを設定(1)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		LUPD	DIR
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット3,2 – CMD1,0 : 指令 (Command)

このビット領域はタイマ/カウンタの更新、再始動、リセットのソフトウェア制御に使われます。指令ビット領域は常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	UPDATE	RESTART	RESET
説明	指令なし	強制更新	強制再始動	強制ハート'リセット (TCAが許可の場合は無効)

●ビット1 – LUPD : 更新施錠 (Lock Update)

更新を施錠することは更新を実行するのに先立って全ての緩衝部が有効であることを保証します。

値	0	1
説明	緩衝されるレジスタはUPDATE条件が起これと直ぐに更新されます。	例えUPDATE条件が起きても、緩衝されるレジスタの更新は実行されません。この設定は指令ビット領域によって発行される更新を妨げません。

●ビット0 – DIR : 計数方向 (Counter Direction)

通常、このビットは波形生成動作または事象活動によってハードウェアで制御されますが、ソフトウェアからも変更することができます。

値	0	1
説明	計数器は上昇計数 (増加)	計数器は下降計数 (減少)

20.5.7. CTRLFCLR – 制御F解除 (Control Register F Clear) – 標準動作専用

名称 : CTRLFCLR

変位 : +\$06

リセット : \$00

特質 : -

そのビット位置に'1'を書くことによって個別ビットを解除(0)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMP2BV	CMP1BV	CMP0BV	PERBV
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット3 – CMP2BV : 比較2緩衝有効 (Compare 2 Buffer Valid)

CMP0BVをご覧ください。

●ビット2 – CMP1BV : 比較1緩衝有効 (Compare 1 Buffer Valid)

CMP0BVをご覧ください。

●ビット1 – CMP0BV : 比較1緩衝有効 (Compare 0 Buffer Valid)

CMPnBVビットは新しい値が対応する比較n緩衝(TCAn.CMPnBUF)レジスタに書かれた時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)します。

●ビット0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

このビットは新しい値が定期緩衝(TCAn.PERBUF)レジスタに書かれた時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)します。

20.5.8. CTRLFSET – 制御F設定 (Control Register F Set) – 標準動作専用

名称 : CTRLFSET

変位 : +\$07

リセット : \$00

特質 : -

そのビット位置に'1'を書くことによって個別ビットを設定(1)するため、このレジスタを読み-変更-書き(RMW)の代わりに使ってください。

ビット	7	6	5	4	3	2	1	0
					CMP2BV	CMP1BV	CMP0BV	PERBV
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット3 – CMP2BV : 比較2緩衝有効 (Compare 2 Buffer Valid)

CMP0BVをご覧ください。

●ビット2 – CMP1BV : 比較1緩衝有効 (Compare 1 Buffer Valid)

CMP0BVをご覧ください。

●ビット1 – CMP0BV : 比較1緩衝有効 (Compare 0 Buffer Valid)

CMPnBVビットは新しい値が対応する比較n緩衝(TCAn.CMPnBUF)レジスタに書かれた時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)します。

●ビット0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

このビットは新しい値が定期緩衝(TCAn.PERBUF)レジスタに書かれた時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)します。

20.5.9. EVCTRL – 事象制御 (Event Control) – 標準動作専用

名称 : EVCTRL
変位 : +\$09
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
						EVACT2~0		CNTEI
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~1 – EVACT2~0 : 事象活動 (Event Action)

このビット領域はどの事象活動の形式でカウンタが増加または減少するかを定義します。

値	0 0 0	0 0 1	0 1 0	0 1 1	その他
名称	EVACT_POSEDGE	EVACT_ANYEDGE	EVACT_HIGHLVL	EVACT_UPDOWN	-
説明	正端事象で計数	両端事象で計数	事象信号がHigh(1)の間に前置分周したクロック周期を計数	前置分周したクロック周期を計数。 事象信号は計数方向を制御。 事象線がLow(0)の時に上昇計数、 事象線がHigh(1)の時に下降計数。 方向は計数時にラッチされます。	(予約)

● ビット0 – CNTEI : 事象入力で計数許可 (Enable Count on Event Input)

値	0	1
説明	事象入力での計数禁止	EVACTビット領域に従って事象入力での計数許可

20.5.10. INTCTRL – 割り込み制御 (Interrupt Control) – 標準動作

名称 : INTCTRL
変位 : +\$0A
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		CMP2	CMP1	CMP0				OVF
アクセス種別	R	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – CMP2 : 比較チャネル2割り込み許可 (Compare Channel 2 Interrupt Enable)

CMP0をご覧ください。

● ビット5 – CMP1 : 比較チャネル1割り込み許可 (Compare Channel 1 Interrupt Enable)

CMP0をご覧ください。

● ビット4 – CMP0 : 比較チャネル0割り込み許可 (Compare Channel 0 Interrupt Enable)

CMPnビットへの'1'書き込みはチャネルnからの比較割り込みを許可します。

● ビット0 – OVF : 上下溢れ割り込み許可 (Timer Overflow/Underflow Interrupt Enable)

OVFビットへの'1'書き込みは上下溢れ割り込みを許可します。

20.5.11. INTFLAGS – 割り込み要求フラグ (Interrupt Flag Register) – 標準動作

名称 : INTFLAGS
変位 : +\$0B
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		CMP2	CMP1	CMP0				OVF
アクセス種別	R	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – CMP2 : 比較チャネル2割り込み要求フラグ (Compare Channel 2 Interrupt Flag)

CMP0をご覧ください。

● ビット5 – CMP1 : 比較チャネル1割り込み要求フラグ (Compare Channel 1 Interrupt Flag)

CMP0をご覧ください。

● ビット4 – CMP0 : 比較チャネル0割り込み要求フラグ (Compare Channel 0 Interrupt Flag)

比較割り込み要求(CMPn)フラグは対応する比較チャネルでの比較一致で設定(1)されます。全ての動作形態に対して、CMPnフラグは計数(TCAn.CNT)レジスタと対応する比較(TCAn.CMPn)レジスタ間で比較一致が起こる時に設定(1)されます。CMPnフラグは自動的に解除(0)されません。そのビット位置に'1'を書くことによってだけ解除(0)されます。

● ビット0 – OVF : 上下溢れ割り込み要求フラグ (Timer Overflow/Underflow Interrupt Flag)

このフラグは波形生成動作(WGMODE)設定に依存して、TOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFフラグは自動的に解除(0)されません。このビット位置に'1'を書くことによってだけ解除(0)されます。

20.5.12. DBGCTRL – デバッグ制御 (Debug Control) – 標準/分割動作共通

名称 : DBGCTRL
変位 : +\$0E
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGRUN : デバッグ時走行 (Run in Debug)

値	0	1
説明	TCAはデバッグ動作中断で停止し、事象を無視	TCAはCPU停止中のデバッグ動作中断で走行継続

20.5.13. TEMP – 一時レジスタ (Temporary bits for 16-bit Access) – 標準動作専用

名称 : TEMP
変位 : +\$0F
リセット : \$00
特質 : -

一時レジスタはこの周辺機能の16ビットレジスタへの16ビット単一周期アクセスのためにCPUによって使われます。このレジスタはこの周辺機能の全ての16ビットレジスタに対して共通でソフトウェアによって読み書きすることができます。16ビットレジスタの読み書きのより多くの詳細については「AVR® CPU」章の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0
	TEMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP7~0 : 一時値 (Temporary Bits for 16-bit Access)

20.5.14. CNT – 計数 (Counter Register) – 標準動作

名称 : CNT (CNTH,CNTL)
 変位 : +\$20
 リセット : \$0000
 特質 : -

TCA_n.CNTHとTCA_n.CNTLのレジスタ対は16ビット値のTCA_n.CNTを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CNT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CNT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15～8 – CNT15～8 : 計数值上位バイト (Counter high byte)

このビット領域は16ビット計数レジスタの上位バイトを保持します。

● ビット7～0 – CNT7～0 : 計数值下位バイト (Counter low byte)

このビット領域は16ビット計数レジスタの下位バイトを保持します。

20.5.15. PER – 定期 (Period Register) – 標準動作

名称 : PER (PERH,PERL)
 変位 : +\$26
 リセット : \$FFFF
 特質 : -

TCA_n.PERレジスタは周波数波形生成(FRQ)を除く全ての動作形態でタイマ/カウンタの16ビットTOP値を含みます。

TCA_n.PERHとTCA_n.PERLのレジスタ対は16ビット値のTCA_n.PERを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	PER15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1
ビット	7	6	5	4	3	2	1	0
	PER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● ビット15～8 – PER15～8 : 定期値上位バイト (Periodic high byte)

このビット領域は16ビット定期レジスタの上位バイトを保持します。

● ビット7～0 – PER7～0 : 定期値下位バイト (Periodic low byte)

このビット領域は16ビット定期レジスタの下位バイトを保持します。

20.5.16. CMPn – 比較n (Compare n Register) – 標準動作

名称 : CMP0 (CMP0H,CMP0L) : CMP1 (CMP1H,CMP1L) : CMP2 (CMP2H,CMP2L)

変位 : +\$28 : +\$2A : +\$2C

リセット : \$0000

特質 : -

このレジスタは継続的に計数値と比較します。通常、比較器からの出力は波形を生成するのに使われます。

TCA_n.CMP_nレジスタはUPDATE条件発生時に対応する比較緩衝(TCA_n.CMP_nBUF)レジスタからの緩衝値で更新されます。

TCA_n.CMP_nHとTCA_n.CMP_nLのレジスタ対は16ビット値のTCA_n.CMP_nを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CMP15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – CMP15~8 : 比較値上位バイト (Compare high byte)

このビット領域は16ビット比較レジスタの上位バイトを保持します。

● ビット7~0 – CMP7~0 : 比較値下位バイト (Compare low byte)

このビット領域は16ビット比較レジスタの下位バイトを保持します。

20.5.17. PERBUF – 定期緩衝 (Period Buffer Register) – 標準動作

名称 : PERBUF (PERHBUF,PERBUFL)

変位 : +\$36

リセット : \$FFFF

特質 : -

このレジスタは定期(TCA_n.PER)レジスタの緩衝部として扱います。CPUまたはUPDIからのこのレジスタ書き込みは制御F(TCA_n.CTRLF)レジスタの定期緩衝有効(PERBV)フラグを設定(1)します。

TCA_n.PERBUFHとTCA_n.PERBUFLのレジスタ対は16ビット値のTCA_n.PERBUFを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	PERBUF15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1
ビット	7	6	5	4	3	2	1	0
	PERBUF7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● ビット15~8 – PERBUF15~8 : 定期緩衝値上位バイト (Period Buffer high byte)

このビット領域は16ビット定期緩衝レジスタの上位バイトを保持します。

● ビット7~0 – PERBUF7~0 : 定期緩衝値下位バイト (Period Buffer low byte)

このビット領域は16ビット定期緩衝レジスタの下位バイトを保持します。

20.5.18. CMPnBUF – 比較n緩衝 (Compare n Buffer Register) – 標準動作

名称 : CMP0BUF (CMP0BUFH,CMP0BUFL) : CMP1BUF (CMP1BUFH,CMP1BUFL) : CMP2BUF (CMP2BUFH,CMP2BUFL)
 変位 : +\$38 : +\$3A : +\$3C
 リセット : \$0000
 特質 : -

このレジスタは連携する比較(TCAn.CMPn)レジスタに対する緩衝部として扱います。CPUまたはUPDIからのこれらのどれかのレジスタ書き込みは制御F(TCAn.CTRLF)レジスタの対応する比較緩衝有効(CMPnBV)フラグを設定(1)します。

TCAn.CMPnBUFHとTCAn.CMPnBUFLのレジスタ対は16ビット値のTCAn.CMPnBUFを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CMPBUF15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CMPBUF7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – CMPBUF15~8 : 比較緩衝値上位バイト (Compare Buffer high byte)

このビット領域は16ビット比較緩衝レジスタの上位バイトを保持します。

● ビット7~0 – CMPBUF7~0 : 比較緩衝値下位バイト (Compare Buffer low byte)

このビット領域は16ビット比較緩衝レジスタの下位バイトを保持します。

20.6. レジスタ要約 – 分割動作

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0					CLKSEL2~0			ENABLE
+\$01	CTRLB	7~0		HCMP2EN	HCMP1EN	HCMP0EN		LCMP2EN	LCMP1EN	LCMP0EN
+\$02	CTRLC	7~0		HCMP2OV	HCMP1OV	HCMP0OV		LCMP2OV	LCMP1OV	LCMP0OV
+\$03	CTRLD	7~0								SPLITM
+\$04	CTRLECLR	7~0					CMD1,0		CMDEN1,0	
+\$05	CTRLESET	7~0					CMD1,0		CMDEN1,0	
+\$06 ~ +\$09	予約									
+\$0A	INTCTRL	7~0		LCMP2	LCMP1	LCMP0			HUNF	LUNF
+\$0B	INTFLAGS	7~0		LCMP2	LCMP1	LCMP0			HUNF	LUNF
+\$0C ~ +\$0D	予約									
+\$0E	DBGCTRL	7~0								DBGRUN
+\$0F ~ +\$1F	予約									
+\$20	LCNT	7~0	LCNT7~0							
+\$21	HCNT	7~0	HCNT7~0							
+\$22 ~ +\$25	予約									
+\$26	LPER	7~0	LPER7~0							
+\$27	HPER	7~0	HPER7~0							
+\$28	LCMP0	7~0	LCMP7~0							
+\$29	HCMP0	7~0	HCMP7~0							
+\$2A	LCMP1	7~0	LCMP7~0							
+\$2B	HCMP1	7~0	HCMP7~0							
+\$2C	LCMP2	7~0	LCMP7~0							
+\$2D	HCMP2	7~0	HCMP7~0							

20.7. レジスタ説明 – 分割動作

20.7.1. CTRLA – 制御A (Control A) – 標準/分割動作共通

名称 : CTRLA
変位 : +\$00
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
					CLKSEL2~0			ENABLE
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~1 – CLKSEL2~0 : クロック選択 (Clock Select)

このビット領域はタイマ/カウンタに対するクロック周波数を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV64	DIV256	DIV1024
説明 ($f_{TCA} =$)	f_{CLK_PER}	$f_{CLK_PER}/2$	$f_{CLK_PER}/4$	$f_{CLK_PER}/8$	$f_{CLK_PER}/16$	$f_{CLK_PER}/64$	$f_{CLK_PER}/256$	$f_{CLK_PER}/1024$

● ビット0 – ENABLE : 許可 (Enable)

値	0	1
説明	周辺機能(TCA)は禁止されます。	周辺機能(TCA)は許可されます。

20.7.2. CTRLB – 制御B (Control B) – 分割動作

名称 : CTRLB
変位 : +\$01
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		HCMP2EN	HCMP1EN	HCMP0EN		LCMP2EN	LCMP1EN	LCMP0EN
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – HCMP2EN : 上位バイト比較2許可 (High-byte Compare 2 Enable)

HCMP0ENをご覧ください。

● ビット5 – HCMP1EN : 上位バイト比較1許可 (High-byte Compare 1 Enable)

HCMP0ENをご覧ください。

● ビット4 – HCMP0EN : 上位バイト比較0許可 (High-byte Compare 0 Enable)

FRQまたはPWM波形生成動作形態でのHCMPnENビット設定(1)は対応するWOn+3ピンに対するポート出力(PORTx.OUT)レジスタを無効にします。

● ビット2 – LCMP2EN : 下位バイト比較2許可 (Low-byte Compare 2 Enable)

LCMP0ENをご覧ください。

● ビット1 – LCMP1EN : 下位バイト比較1許可 (Low-byte Compare 1 Enable)

LCMP0ENをご覧ください。

● ビット0 – LCMP0EN : 下位バイト比較0許可 (Low-byte Compare 0 Enable)

FRQまたはPWM波形生成動作形態でのLCMPnENビット設定(1)は対応するWOnピンに対するポート出力(PORTx.OUT)レジスタを無効にします。

20.7.3. CTRLC – 制御C (Control C) – 分割動作

名称 : CTRLC
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		HCMP2OV	HCMP1OV	HCMP0OV		LCMP2OV	LCMP1OV	LCMP0OV
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット6 – HCMP2OV : 上位バイト比較2出力値 (High-byte Compare 2 Output Value)**

HCMP0OVをご覧ください。

● **ビット5 – HCMP1OV : 上位バイト比較1出力値 (High-byte Compare 1 Output Value)**

HCMP0OVをご覧ください。

● **ビット4 – HCMP0OV : 上位バイト比較0出力値 (High-byte Compare 0 Output Value)**

HCMPnOVビットはタイマ/カウンタが許可されない時に波形生成部の出力値への直接アクセスを許します。これはタイマ/カウンタが走行していない時にWOn+3出力値を設定(1)または解除(0)するのに使われます。

● **ビット2 – LCMP2OV : 下位バイト比較2出力値 (Low-byte Compare 2 Output Value)**

LCMP0OVをご覧ください。

● **ビット1 – LCMP1OV : 下位バイト比較1出力値 (Low-byte Compare 1 Output Value)**

LCMP0OVをご覧ください。

● **ビット0 – LCMP0OV : 下位バイト比較0出力値 (Low-byte Compare 0 Output Value)**

LCMPnOVビットはタイマ/カウンタが許可されない時に波形生成部の出力値への直接アクセスを許します。これはタイマ/カウンタが走行していない時にWOn出力値を設定(1)または解除(0)するのに使われます。

注: この出力がパッドに接続される時に、**制御B(TCAn.CTRLB)レジスタの上位/下位バイト比較n許可(xCMPnEN)ビット**が設定(1)されない限り、これらのビットの上書きは動きません。この出力がCCLに接続される場合、TCAn.CTRLBレジスタのxCMPnENビットは迂回されます。

20.7.4. CTRLD – 制御D (Control D) – 標準/分割動作共通

名称 : CTRLD
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								SPLITM
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット0 – SPLITM : 分割動作許可 (Enable Split Mode)**

このビットはタイマ/カウンタを**分割動作形態**に設定し、2つの8ビット タイマ/カウンタとして動きます。標準16ビット動作と比べてレジスタ割り当てが変わります。

20.7.5. CTRLCLR – 制御E解除 (Control Register E Clear) – 分割動作

名称 : CTRLCLR
変位 : +\$04
リセット : \$00
特質 : -

読み-変更-書き(RMW)の代わりに、このビット位置に'1'を書くことによって個別ビットを解除(0)するのに、このレジスタを使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		CMDEN1,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3,2 – CMD1,0 : 指令 (Command)

このビット領域はタイマ/カウンタの再始動とリセットのソフトウェア制御に使われます。指令ビット領域は常に'0'として読みます。

値	0 0	0 1	1 0	1 1
名称	NONE	-	RESTART	RESET
説明	指令なし	(予約)	強制再始動	強制ハートリセット (TCAが許可の場合は無効)

● ビット1,0 – CMDEN1,0 : 指令許可 (Command enable)

このビット領域はCMDビットによって与えられた指令がどのタイマ/カウンタに適用するかを構成設定します。

値	0 0	0 1	1 0	1 1
名称	NONE	-	-	BOTH
説明	なし	(予約)	(予約)	指令は上下バイトの両 タイマ/カウンタに対して適用

20.7.6. CTRLSET – 制御E設定 (Control Register E Set) – 分割動作

名称 : CTRLSET
変位 : +\$05
リセット : \$00
特質 : -

読み-変更-書き(RMW)の代わりに、このビット位置に'1'を書くことによって個別ビットを設定(1)するのに、このレジスタを使ってください。

ビット	7	6	5	4	3	2	1	0
					CMD1,0		CMDEN1,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3,2 – CMD1,0 : 指令 (Command)

このビット領域はタイマ/カウンタの再始動とリセットのソフトウェア制御に使われます。指令ビット領域は常に'0'として読みます。CMDビット領域は指令許可(CMDEN)ビットと共に使われなければなりません。リセット指令を使うには下位バイトと上位バイトの両タイマ/カウンタ(BOTH)で選ばれたCMDENを必要とします。

値	0 0	0 1	1 0	1 1
名称	NONE	-	RESTART	RESET
説明	指令なし	(予約)	強制再始動	強制ハートリセット (TCAが許可の場合は無効)

● ビット1,0 – CMDEN1,0 : 指令許可 (Command enable)

このビット領域はCMDビットによって与えられた指令がどのタイマ/カウンタに適用するかを構成設定します。

値	0 0	0 1	1 0	1 1
名称	NONE	-	-	BOTH
説明	なし	(予約)	(予約)	指令は上下バイトの両 タイマ/カウンタに対して適用

20.7.7. INTCTRL – 割り込み制御 (Interrupt Control) – 分割動作

名称 : INTCTRL
変位 : +\$0A
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		LCMP2	LCMP1	LCMP0			HUNF	HUNF
アクセス種別	R	R/W	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- **ビット6 – LCMP2 : 下位バイト比較2割り込み許可** (Low-byte Compare Channel 2 Interrupt Enable)

LCMP0をご覧ください。

- **ビット5 – LCMP1 : 下位バイト比較1割り込み許可** (Low-byte Compare Channel 1 Interrupt Enable)

LCMP0をご覧ください。

- **ビット4 – LCMP0 : 下位バイト比較0割り込み許可** (Low-byte Compare Channel 0 Interrupt Enable)

LCMPnビットへの'1'書き込みは下位バイト比較チャンネルn割り込みを許可します。

- **ビット1 – HUNF : 上位バイト下溢れ割り込み許可** (High-byte Underflow Interrupt Enable)

HUNFビットへの'1'書き込みは上位バイト下溢れ割り込みを許可します。

- **ビット0 – LUNF : 下位バイト下溢れ割り込み許可** (Low-byte Underflow Interrupt Enable)

LUNFビットへの'1'書き込みは下位バイト下溢れ割り込みを許可します。

20.7.8. INTFLAGS – 割り込み要求フラグ (Interrupt Flag Register) – 分割動作

名称 : INTFLAGS
変位 : +\$0B
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		LCMP2	LCMP1	LCMP0			HUNF	HUNF
アクセス種別	R	R/W	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- **ビット6 – LCMP2 : 下位バイト比較2割り込み要求フラグ** (Low-byte Compare Channel 2 Interrupt Flag)

LCMP0フラグ記述をご覧ください。

- **ビット5 – LCMP1 : 下位バイト比較1割り込み要求フラグ** (Low-byte Compare Channel 1 Interrupt Flag)

LCMP0フラグ記述をご覧ください。

- **ビット4 – LCMP0 : 下位バイト比較0割り込み要求フラグ** (Low-byte Compare Channel 0 Interrupt Flag)

下位バイト比較割り込み要求(LCMPn)フラグは対応する下位バイト計時器の比較チャンネルでの比較一致で設定(1)されます。

全ての動作形態に対して、LCMPnフラグは下位バイト計数(TCAn.LCNT)レジスタと対応する下位バイト比較n(TCAn.LCMPn)レジスタ間で比較一致が起る時に設定(1)されます。LCMPnフラグは自動的に解除(0)されないなのでソフトウェアが解除(0)しなければなりません。このビット位置への'1'書き込みがこれを行います。

- **ビット1 – HUNF : 上位バイト下溢れ割り込み要求フラグ** (High-byte Underflow Interrupt Flag)

このフラグは上位バイト計時器のBOTTOM(下溢れ)条件で設定(1)されます。HUNFは自動的に解除(0)されず、ソフトウェアによって解除(0)されることが必要です。このビット位置への'1'書き込みがこれを行います。

- **ビット0 – LUNF : 下位バイト下溢れ割り込み要求フラグ** (Low-byte Underflow Interrupt Flag)

このフラグは下位バイト計時器のBOTTOM(下溢れ)条件で設定(1)されます。LUNFは自動的に解除(0)されず、ソフトウェアによって解除(0)されることが必要です。このビット位置への'1'書き込みがこれを行います。

20.7.9. DBGCTRL – デバッグ制御 (Debug Control) – 標準/分割動作共通

名称 : DBGCTRL
変位 : +\$0E
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGRUN : デバッグ時走行 (Run in Debug)

値	0	1
説明	TCAはデバッグ動作中断で停止し、事象を無視	TCAはCPU停止中のデバッグ動作中断で走行継続

20.7.10. LCNT – 下位バイト計数 (Low-byte Timer Counter Register) – 分割動作

名称 : LCNT
変位 : +\$20
リセット : \$00
特質 : –

TCA_n.LCNTレジスタは下位バイト計時器用計数値を含みます。CPUとUPDIの書き込みアクセスはこの計数器の計数、解消、再設定を超える優先権を持ちます。

ビット	7	6	5	4	3	2	1	0
								LCNT7~0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – LCNT7~0 : 下位バイト計時器用計数値 (Counter Value for low-byte timer)

このビット領域は下位バイト計時器の計数器値を定義します。

20.7.11. HCNT – 上位バイト計数 (High-byte Timer Counter Register) – 分割動作

名称 : HCNT
変位 : +\$21
リセット : \$00
特質 : –

TCA_n.HCNTレジスタは上位バイト計時器用計数値を含みます。CPUとUPDIの書き込みアクセスはこの計数器の計数、解消、再設定を超える優先権を持ちます。

ビット	7	6	5	4	3	2	1	0
								HCNT7~0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – HCNT7~0 : 上位バイト計時器用計数値 (Counter Value for high-byte timer)

このビット領域は上位バイト計時器の計数器値を定義します。

20.7.12. LPER – 下位バイト定期 (Low-byte Timer Period Register) – 分割動作

名称 : LPER
 変位 : +\$26
 リセット : \$FF
 特質 : -

TCAn.LPERレジスタは下位バイト計時器用TOP値を含みます。

ビット	7	6	5	4	3	2	1	0
	LPER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット7~0 – LPER7~0 : 下位バイト計時器用定期値 (Period value low-byte timer)**

このビット領域は下位バイト計時器用TOP値を保持します。

20.7.13. HPER – 上位バイト定期 (High-byte Timer Period Register) – 分割動作

名称 : HPER
 変位 : +\$27
 リセット : \$FF
 特質 : -

TCAn.HPERレジスタは上位バイト計時器用TOP値を含みます。

ビット	7	6	5	4	3	2	1	0
	HPER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● **ビット7~0 – HPER7~0 : 上位バイト計時器用定期値 (Period value high-byte timer)**

このビット領域は上位バイト計時器用TOP値を保持します。

20.7.14. LCMPn – 下位バイト比較n (Low-byte Compare Register n) – 分割動作

名称 : LCMP0 : LCMP1 : LCMP2
 変位 : +\$28 : +\$2A : +\$2C
 リセット : \$00
 特質 : -

TCAn.LCMPnレジスタは下位バイト用比較チャンネルnの比較値を表します。このレジスタは下位バイト計時器(TCAn.LCNT)の計数器値と継続的に比較されます。通常、比較器からの出力はその後波形を生成するのに使われます。

ビット	7	6	5	4	3	2	1	0
	LCMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – LCMP7~0 : 下位バイト比較n値 (Compare value of channel n)**

このビット領域はTCAn.LCNTと比較されるチャンネルnの下位バイト比較値を保持します。

20.7.15. HCMPn – 上位バイト比較n (High-byte Compare Register n) – 分割動作

名称 : HCMP0 : HCMP1 : HCMP2
 変位 : +\$29 : +\$2B : +\$2D
 リセット : \$00
 特質 : -

TCAn.HCMPnレジスタは上位バイト用比較チャンネルnの比較値を表します。このレジスタは上位バイト計時器(TCAn.HCNT)の計数器値と継続的に比較されます。通常、比較器からの出力はその後波形を生成するのに使われます。

ビット	7	6	5	4	3	2	1	0
	HCMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● **ビット7~0 – HCMP7~0 : 上位バイト比較n値 (Compare value of channel n)**

このビット領域はTCAn.HCNTと比較されるチャンネルnの上位バイト比較値を保持します。

21. TCB – 16ビット タイマ/カウンタB型

21.1. 特徴

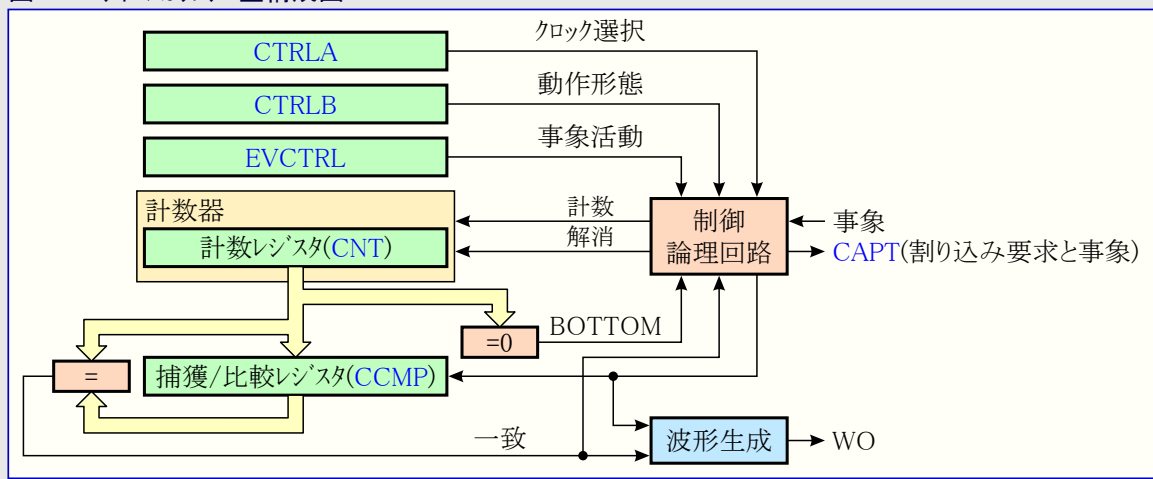
- 16ビット計数器動作形態
 - 周期的割り込み
 - 制限時間検査
 - 計数捕獲
 - 事象での捕獲
 - 周波数測定
 - パルス幅測定
 - 周波数とパルス幅の測定
 - 単発
 - 8ビット パルス幅変調(PWM)
- 事象入力での雑音消去器
- TCA0との同期動作

21.2. 概要

16ビット タイマ/カウンタB型(TCB)の能力は周波数と波形の生成、デジタル信号の時間と周波数の測定を持つ事象での計数捕獲を含みます。TCBは基本計数器と各動作形態が独特な機能を提供する8つの異なる動作形態の1つに設定することができる制御論理回路から成ります。基本計数器は任意選択の前置分周を持つ周辺機能クロックによってクロック駆動されます。

21.2.1. 構成図

図21-1. タイマ/カウンタB型構成図



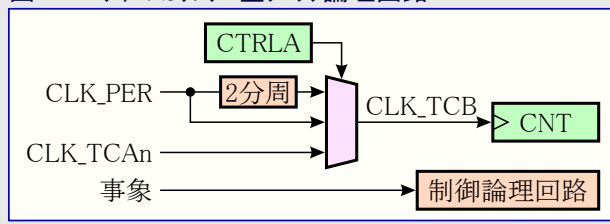
このタイマ/カウンタは周辺機能クロック(CLK_PER)または16ビット タイマ/カウンタA型(CLK_TCA_n)からクロック駆動することができます。

制御A(TCB_n.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域はクロック入力(CLK_TCB)として前置分周器出力の1つを直接選びます。

TCA_nからのクロックを使うタイマ/カウンタ設定はそのTCA_nと同期して動くことをタイマ/カウンタに許します。

EVSYSを使うことにより、何れかの入出力ピンでの外部クロック信号のようなものの外部事象供給元も制御論理回路入力として使うことができます。事象活動で制御される動作使用時、クロック選択は計数器入力として事象チャネルを使うように設定されなければなりません。

図21-2. タイマ/カウンタB型クロック論理回路



21.2.2. 信号説明

信号	形式	説明
WO	デジタル非同期出力	波形出力

21.3. 機能的な説明

21.3.1. 定義

右の定義は文書全体を通して使われます。

注: 一般的に用語の'計時器'はタイマ/カウンタが周期的クロック刻みを計数する時に使われます。用語の'計数器'は入力信号が散発的または不規則なクロック刻みを持つ時に使われます。

表21-1. タイマ/カウンタ定義

名称	説明
BOTTOM	計数器は\$0000になる時にBOTTOMに到達します。
MAX	計数器は\$FFFFになる時に最大に到達します。
TOP	計数器が計数の流れで最高値と等しくなる時にTOPに達します。
CNT	計数器(TCBn.CNT)レジスタ値
CCMP	捕獲/比較(TCBn.CCMP)レジスタ値

21.3.2. 初期化

既定でTCBは周期的割り込み動作です。これの使用を開始するには以下のようにこれらの手順に従ってください。

1. 比較/捕獲(TCBn.CCMP)レジスタにTOP値を書いてください。
2. 任意選択: 制御B(TCBn.CTRLB)レジスタの比較/捕獲出力許可(CCMPEN)ビットに'1'を書いてください。これは対応するPORT出力レジスタの値を無効にして対応するピンでの波形出力を利用可能にします。
3. 制御A(TCBn.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって計数器を許可してください。計数器はTCBn.CTRLAレジスタのクロック選択(CLKSEL)ビット領域で設定した前置分周器に従ったクロック刻みの計数を開始します。
4. 計数値は計数(TCBn.CNT)レジスタから読むことができます。周辺機能はCNT値がTOPに達する時に捕獲(CAPT)割り込みと事象を生成します。
 - a. 比較/捕獲レジスタが現在のCNTよりも低い値に変更される場合、周辺機能はMAXまで計数して丸めを行います。
 - b. MAXで溢れ(OVF)割り込みと事象が生成されます。

21.3.3. 動作

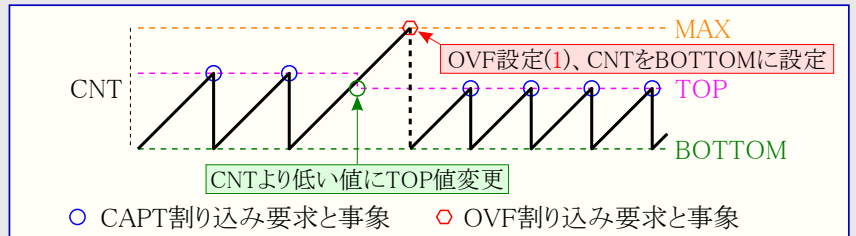
21.3.3.1. 動作形態

計時器は以降の部分で記述される8つの異なる動作形態の1つで動くように構成設定することができます。端検出を保証するために事象パルスは1システムクロック周期より長い必要があります。

21.3.3.1.1. 周期的割り込み動作

周期的割り込み動作では計数器が捕獲(TOP)値まで計数してBOTTOMから再開します。CAPT割り込みと事象はCNTがTOPと等しい時に生成されます。TOPがCNTよりも低い値に更新された場合、MAX到達でOVFの割り込みと事象が生成され、計数器はBOTTOMから再開します。

図21-3. 周期的割り込み動作



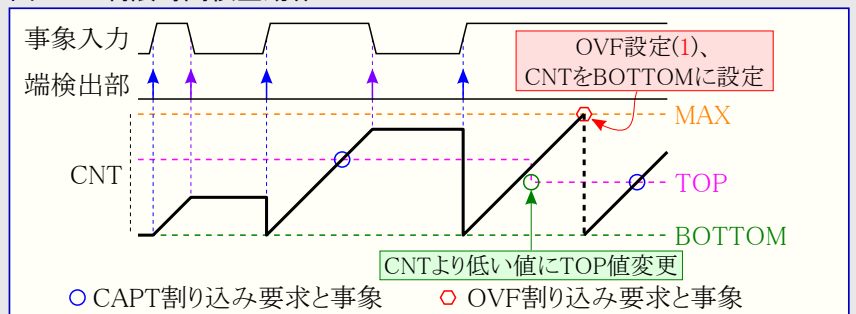
21.3.3.1.2. 制限時間検査動作

制限時間検査動作では事象入力チャネルで検出した最初の信号端で計数器が計数を開始し、次の信号端で停止します。CNTは停止端後静止（凍結状態）に留まり、計数器は新しい開始端で再開します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

開始と停止の端は事象制御(TCBn.EVCTRL)レジスタの事象端(EDGE)ビットによって決められます。第2端前にCNTがTOPに到達する場合、CAPT割り込みと事象が生成されます。TOPがCNTよりも低い値に更新された場合、MAX到達でOVF割り込みと同時に事象が生成され、計数器はBOTTOMから再開します。凍結状態での計数(TCBn.CNT)レジスタまたは比較/捕獲(TCBn.CCMP)レジスタの読み込み、または状態(TCBn.STATUS)レジスタの走行(RUN)ビット書き込みは無効です。

図21-4. 制限時間検査動作



22.3.3.1.3. 事象での捕獲動作

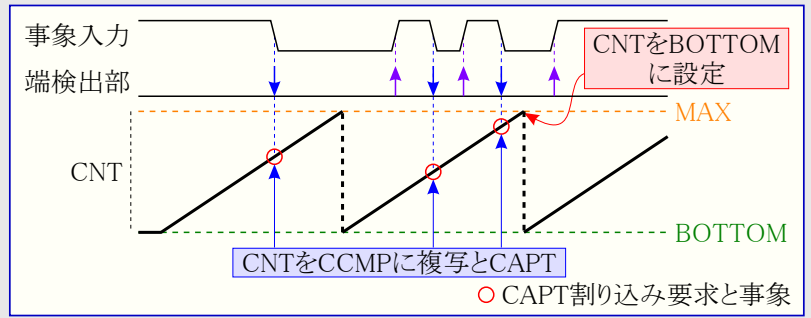
事象での捕獲動作では計数器がBOTTOMからMAXへ継続的に計数します。事象検出時、計数(TCBn.CNT)レジスタ値は比較/捕獲(TCBn.CCMP)レジスタに転送され、CAPT割り込みと事象が生成されます。事象端検出部は上昇端または下降端のどちらかで捕獲を起動するように構成設定することができます。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

右図は事象入力信号の下降端で計数捕獲するように構成設定した捕獲部を示します。CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位ビットが読まれた後で自動的に解除(0)されます。

重要: 他のどれかの動作からこの動作へ移行する時に計数器(TCBn.CNT)レジスタに\$0000を書くことが推奨されます。

図21-5. 事象での計数捕獲



21.3.3.1.4. 計数捕獲周波数測定動作

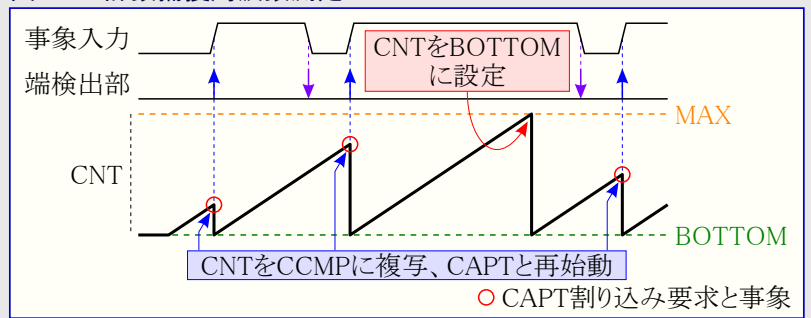
計数捕獲周波数動作ではTCBが事象入力信号の正端または負端のどちらかで計数器値を捕獲して再始動します。

CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位ビットが読まれた後で自動的に解除(0)されます。

右図は上昇端で働くように構成設定された時のこの動作を図解します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

図21-6. 計数捕獲周波数測定

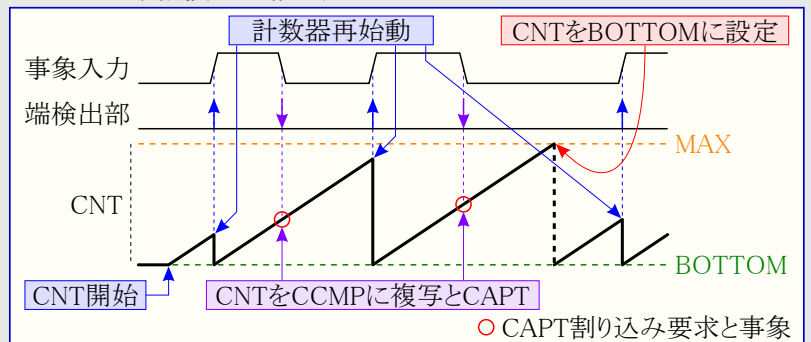


21.3.3.1.5. 計数捕獲パルス幅測定動作

計数捕獲パルス幅測定動作では計数捕獲パルス幅測定が正端で計数器を再始動し、割り込み要求が生成されるのに先立って次の下降端で捕獲します。CAPT割り込み要求フラグは比較/捕獲(TCBn.CCMP)レジスタの下位ビットが読まれた後、自動的に解除(0)されます。計数器は自動的に上昇端と下降端の方向を切り替えますが、正しい動きのために2クロック周期の最小端間分離が必要とされます。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

図21-7. 計数捕獲パルス幅測定



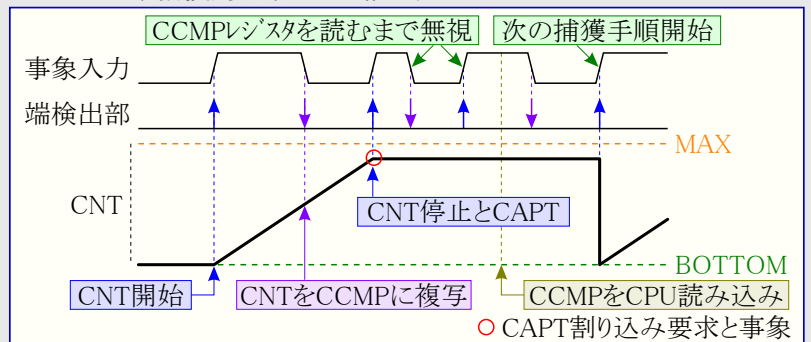
21.3.3.1.6. 計数捕獲周波数/パルス幅測定動作

計数捕獲周波数/パルス幅測定動作では事象入力信号で正端が検出された時に計数器が計数を開始します。後続する下降端で計数値が捕獲されます。計数器は事象入力信号の2つ目の上昇端が検出された時に停止し、これは割り込み要求フラグを設定(1)します。

比較/捕獲(TCBn.CCMP)レジスタの下位ビット読み込み後、CAPT割り込み要求フラグが自動的に解除(0)され、新しい捕獲手順の準備が整います。従って、計数(TCBn.CNT)レジスタは事象入力信号の次の正端でBOTTOMにリセットされるため、比較/捕獲レジスタの前に読んでください。CNTがMAXの時にOVF割り込みと事象が生成されます。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

図21-8. 計数捕獲周波数/パルス幅測定



21.3.3.1.7. 単発動作

単発動作は接続された事象チャネルで上昇端または下降端が観測される毎に比較/捕獲(TCBn.CCMP)レジスタによって定義される持続時間を持つパルスを生成するのに使うことができます。

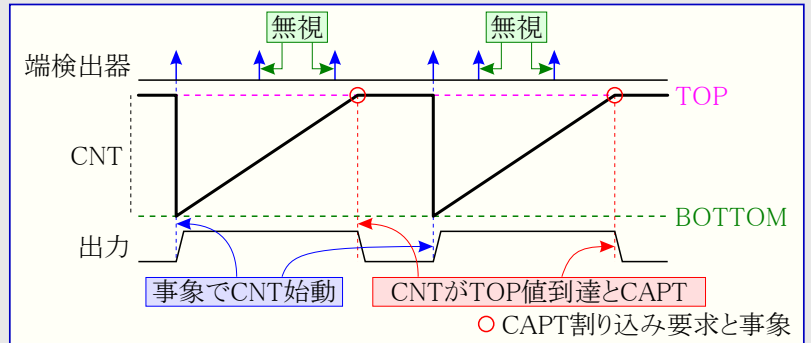
計数器が止まると、出力ピンがLowに設定されます。接続した事象チャネルで事象が検出された場合、計数器はリセットしてBOTTOMからTOPまでの計数を開始し、同時にその出力をHighに駆動します。計数器が計数しているかを見るのに状態(TCBn.STATUS)レジスタの走行(Run)ビットを読んでください。一旦CNTの値がCCMPレジスタに達すると、計数器は計数を止めます。同時に出力ピンが最小1計数器クロック(CLK_TCB)周期間Low状態に移ります。この期間中に起きる新しいどの事象も無視されます。これに続き、新しい事象を受けてから出力がHighに設定されるまでに2周辺機能クロック(CLK_PER)周期の遅延があります。事象制御(TCBn.EVCTRL)レジスタの事象端(EDGE)ビットが'1'を書かれると、どの端も計数器の開始を起動できます。EDGEビットが'0'なら、正端だけが開始を起動します。

計数器は例え事象を起動することなしでも、許可されると直ぐに計数を開始します。これは計数(TCBn.CNT)レジスタにTOP値を書くことによって防がれます。同様の動きは事象制御(TCBn.EVCTRL)レジスタ内の事象端(EDGE)ビットが'1'と同時にこの単位部が許可される場合にも見られます。計数レジスタへのTOP値書き込みはこれも防ぎます。

制御B(TCBn.CTRLB)レジスタの非同期許可(ASYNC)ビットが'1'を書かれた場合、計数器は到着事象に対して非同期に反応します。事象端は出力信号を直ちに設定(1)させます。計数器は未だ事象が受け取られた後の2クロック周期で計数を開始します。

この動作は事象使用部として構成設定されたTCBを必要とし、事象部分で説明されます。

図21-9. 単発動作

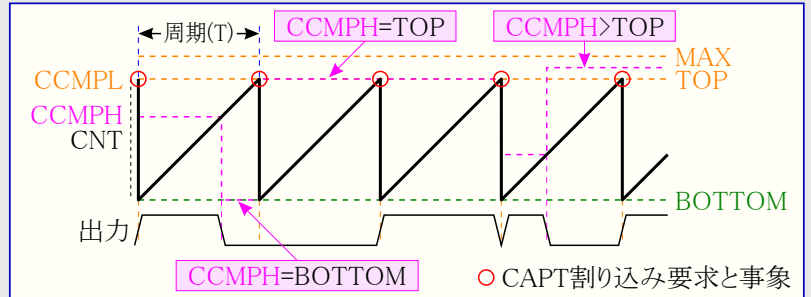


21.3.3.1.8. 8ビットPWM動作

TCBは各16ビット比較/捕獲(TCBn.CCMPHとTCBn.CCMPL)レジスタ対が個別の比較レジスタとして使われる8ビットPWM動作で動くように構成設定することができます。CCMPLは周期(T)を制御し、同時にCCMPHは波形のデューティサイクルを制御します。計数器はBOTTOMからCCMPLまで継続的に計数し、出力はBOTTOMで設定(1)され、計数器がCCMPHに達する時に解除(0)されます。

CCMPHは出力がHighに駆動される間のクロック数です。CCMPL+1が出力パルスの周期です。

図21-10. 8ビットPWM動作



21.3.3.2. 出力

計数器同期と出力論理レベルは選んだ制御B(TCBn.CTRLB)レジスタの計数器動作(CNTMODE)ビット領域に依存します。単発動作では信号生成が到着事象に対して非同期に起こるようにタイマ/カウンタを構成設定(TCBn.CTRLBの非同期許可(ASYNC)ビット=1に)することができます。その後、出力信号はTCBクロックに同期化される代わりに到着事象で直ちに設定(1)されます。出力が直ちに設定(1)されるとは、計数器が計数を開始するのに先立って2~3 CLK_TCB周期かかります。

TCBn.CTRLBの比較/捕獲出力許可(CCMPEN)ビットの'1'書き込みが波形出力を許可し、これは対応するポート出力レジスタでの値を無効にして対応するピンで波形出力を利用可能にします。

各種構成設定と出力でのそれらの影響が下表で一覧にされます。

表21-2. 出力構成設定

CCMPEN	CNTMODE	ASYNC	出力
1	単発動作	0	出力は計数器開始時にHigh、計数器停止時にLowです。
		1	出力は事象到着時にHigh、計数器停止時にLowです。
	8ビットPWM動作	非適用	8ビットPWM動作
	その他の動作	非適用	出力初期レベルはTCBn.CTRLBレジスタの比較/捕獲ピン初期値(CCMPINT)ビット値で設定
0	非適用	非適用	出力なし

周辺機能が許可されている間の動作変更は予期せぬ出力を生成し得るため推奨されません。計数器構成設定中に割り込み要求フラグが設定(1)される可能性があります。周辺機能構成設定後にタイマ/カウンタ割り込み要求フラグ(TCBn.INTFLAGS)レジスタを解除(=0)することが推奨されます。

21.3.3.3. 雑音消去器

雑音消去器は簡単なデジタル濾波器の仕組みを用いることによって雑音耐性を改善します。事象制御(TCBn.EVCTRL)レジスタの雑音濾波器(FILTER)ビットが許可されると、周辺機能は事象チャネルを監視して最後の4つの観測試料の記録を維持します。4つの連続する試料が等しければ、その入力は安定と見做され、その信号は端(エッジ)検出器に供給されます。

許可されると、雑音消去器は入力に印加された変化と入力比較レジスタの更新の間に4システムクロック周期の付加遅延をもたらします。

雑音消去器はシステムクロックを使い、従って、前置分周器によって影響を及ぼされません。

21.3.3.4. タイマ/カウンタ型との同期

TCBは制御A(TCBn.CTRLA)レジスタのクロック選択(CLKSEL)ビット領域に'10'を書くことによってタイマ/カウンタ型(TCAn)のクロック(CLK_TCA)を使うように構成設定することができます。この設定でTCBはTCAnで選ばれるのと正確に同じクロック元で計数します。

制御A(TCBn.CTRLA)レジスタの同期更新(SYNCUPD)ビットが'1'を書かれると、TCB計数器はTCAn計数器が再始動する時に再始動します。

21.3.4. 事象

TCBは以下の表で記述される事象を生成することができます。

表21-3. TCBでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
TCBn	CAPT	CAPTフラグ設定(1)	パルス	CLK_PER	1 CLK_PER周期

CAPT事象を生成するための条件はタイマ/カウンタ割り込み要求フラグ(TCBn.INTFLAGS)レジスタで対応する割り込み要求フラグを掲げるそれらと同じです。事象使用部と事象システム構成設定に関するより多くの詳細については「EVSYS - 事象システム」章を参照してください。

TCBは下表で記述される事象を受け取ることができます。

表21-4. TCBでの事象使用部と利用可能な事象活動

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
TCBn	CAPT	制限時間検査、事象で計数捕獲、計数捕獲周波数測定、計数捕獲パルス幅測定、計数捕獲周波数/パルス幅測定	端	同期
		単発		両方

事象制御(TCBn.EVCTRL)レジスタの捕獲事象入力許可(CAPTEI)ビットが'1'を書かれた場合、やって来る事象は制御B(TCBn.CTRLB)レジスタの計時器動作(CNTMODE)ビット領域とTCBn.EVCTRLレジスタの事象端選択(EDGE)ビットによって定義されたような事象活動になります。事象は認知されるために最低1 CLK_PER周期間留まることが必要です。

単発動作に対して非同期動作が許可された場合、事象は端起動され、1システムクロック周期よりも短い事象入力で変更を捕獲します。

21.3.5. 割り込み

表21-5. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
CAPT	TCB割り込み	動作形態に依存。TCBn.INTFLAGSレジスタのCAPTの記述をご覧ください。

割り込み条件が起こると、周辺機能の割り込み要求フラグ(TCBn.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(TCBn.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

21.3.6. 休止形態動作

TCBは既定によってスタンバイ休止動作で禁止されます。休止動作へ移行すると直ぐに停止されます。

制御A(TCBn.CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットが'1'を書かれた場合、この単位部は完全な動作をすることができます。

全ての動作はパワーダウン休止動作で停止されます。

21.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0		RUNSTDBY		SYNCUPD		CLKSEL1,0		ENABLE
+\$01	CTRLB	7~0		ASYNC	CCMPINIT	CCMPEN				CNTMODE2~0
+\$02 ~ +\$03	予約									
+\$04	EVCTRL	7~0		FILTER		EDGE				CAPTEI
+\$05	INTCTRL	7~0								CAPT
+\$06	INTFLAGS	7~0								CAPT
+\$07	STATUS	7~0								RUN
+\$08	DBGCTRL	7~0								DBGRUN
+\$09	TEMP	7~0					TEMP7~0			
+\$0A		7~0					CNT7~0			
+\$0B	CNT	15~8					CNT15~8			
+\$0C		7~0					CCMP7~0			
+\$0D	CCMP	15~8					CCMP15~8			

21.5. レジスタ説明

21.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		RUNSTDBY		SYNCUPD		CLKSEL1,0		ENABLE
アクセス種別	R	R/W	R	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – RUNSTDBY : スタンバイ時走行 (Run Standby)

このビットへの'1'書き込みはスタンバイ休止動作での走行をこの周辺機能に許します。クロック選択(CLKSEL)が'10'に設定される時は適用できません。

● ビット4 – SYNCUPD : 同期更新 (Synchronize Update)

このビットへの'1'書き込みはTCA計数器が再始動または溢れる時に必ずTCBが再始動します。これはPWM周期での同期捕獲に使うことができます。(**訳注**:他データシートには次の文があります。CLKSELが'01'(CLK_PER/2)に設定される時には適用できません。)

● ビット2,1 – CLKSEL1,0 : クロック選択 (Clock Select)

これらビットの書き込みはこの周辺機能用のクロック元を選びます。

値	0 0	0 1	1 0	1 1
名称	CLKDIV1	CLKDIV2	CLKTCA	-
説明	CLK_PER	CLK_PER/2	TCA0からのCLK_TCA	(予約)

● ビット0 – ENABLE : 許可 (Enable)

このビットに'1'を書くことはタイマ/カウンタB型周辺機能を許可します。

21.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		ASYNC	CCMPINIT	CCMPEN		CNTMODE2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – ASYNC : 非同期許可 (Asynchronous Enable)

このビットに'1'を書くことは単発動作でTCB出力信号の非同期更新を許します。

値	0	1
説明	出力は計数器の同期後開始時にHighになります。	出力は事象到着時にHighになります。

● ビット5 – CCMPINIT : 比較/捕獲ピン初期値 (Compare/Capture Pin Initial Value)

このビットはピン出力が使われる時にピンの初期出力値を設定するのに使われます。このビットは8ビットPWM動作と単発動作で無効です。

値	0	1
説明	初期のピン状態はLowです。	初期のピン状態はHighです。

● ビット4 – CCMPEN : 比較/捕獲出力許可 (Compare/Capture Output Enable)

このビットに'1'を書くと、波形出力を許可します。これは対応するPORT出力レジスタの値を無効にして対応するピンで波形出力を利用可能にします。対応するピン方向はPORT周辺機能で出力として構成設定されなければなりません。

値	0	1
説明	対応ピンで波形出力は許可されません。	波形出力は対応ピンの出力値を上書きします。

●ビット2~0 - CNTMODE2~0 : 計時器動作 (Timer Mode)

これらのビット書き込みは計時器動作を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1
名称	INT	TIMEOUT	CAPT	FRQ
説明	周期的割り込み動作	制限時間検査動作	事象での計数捕獲動作	計数捕獲周波数測定動作
値	1 0 0	1 0 1	1 1 0	1 1 1
名称	PW	FRQPW	SINGLE	PWM8
説明	計数捕獲パルス幅測定動作	計数捕獲周波数/パルス幅測定動作	単発動作	8ビットPWM動作

21.5.3. EVCTRL - 事象制御 (Event Control)

名称 : EVCTRL

変位 : +\$04

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		FILTER		EDGE				CAPTEI
アクセス種別	R	R/W	R	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット6 - FILTER : 捕獲入力雑音消去濾波器許可 (Input Capture Noise Cancellation Filter)

このビットに'1'を書くことが捕獲入力雑音消去部を許可します。

●ビット4 - EDGE : 事象端選択 (Event Edge)

このビットは事象端を選ぶのに使われます。このビットの影響は制御B(TCBn.CTRLB)レジスタで選んだ計数動作(CNTMODE)に依存します。"- "は事象や端がこの動作に影響を及ぼさないことを意味します。

計数動作	EDGE	正(上昇)端	負(下降)端
周期的割り込み動作	0	-	-
	1	-	-
制限時間検査動作	0	計数開始	計数停止
	1	計数停止	計数開始
事象での計数捕獲動作	0	計数値を捕獲、割り込み	-
	1	-	計数値を捕獲、割り込み
計数捕獲周波数測定動作	0	計数値を捕獲/解消/再開、割り込み	-
	1	-	計数値を捕獲/解消/再開、割り込み
計数捕獲パルス幅測定動作	0	計数値を解消/再開	計数値を捕獲、割り込み
	1	計数値を捕獲、割り込み	計数値を解消/再開
計数捕獲周波数/パルス幅測定動作	0	第1正端で計数値を解消/再開、後続する負端で捕獲、第2正端で停止と割り込み	
	1	第1負端で計数値を解消/再開、後続する正端で捕獲、第2負端で停止と割り込み	
単発動作	0	計数開始	-
	1	計数開始	計数開始
8ビットPWM動作	0	-	-
	1	-	-

●ビット0 - CAPTEI : 捕獲事象入力許可 (Capture Event Input Enable)

このビットに'1'を書くことがTCBに対する事象入力捕獲を許可します。

21.5.4. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
 変位 : +\$05
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
								CAPT
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – CAPT : 捕獲割り込み許可 (Capture Interrupt Enable)

このビットに'1'を書くことが捕獲での割り込みを許可します。

21.5.5. INTFLAGS – 割り込み要求フラグ (Interrupt Flags)

名称 : INTFLAGS
 変位 : +\$06
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
								CAPT
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – CAPT : 捕獲割り込み要求フラグ (Capture Interrupt Flag)

このビットは捕獲割り込み発生時に設定(1)されます。割り込み条件は制御B(TCBn.CTRLB)レジスタの計数動作(CNTMODE)ビット領域に依存します。

このビットはこれに'1'を書くことによって、または捕獲動作で比較/捕獲(CCMP)レジスタが読まれた時に解除(0)されます。

計数器動作	割り込み設定条件	TOP値	CAPT
周期的割り込み動作			
制限時間検査動作	計数器がTOPに達した時に設定(1)	CCMP	CNT=TOP
単発動作			
計数捕獲周波数測定動作	捕獲レジスタを設定して計数器再始動時端で設定(1)、フラグは捕獲読み込み時に解除(0)		事象でCNTをCCMPに複写、計数再開(CNT=BOTTOM)
事象での計数捕獲動作	事象が起きて捕獲レジスタが設定される時に設定(1)、フラグは捕獲読み込み時に解除(0)		
計数捕獲パルス幅測定動作	捕獲レジスタを設定して計数器再始動時端で設定(1)、直前端で計数器初期化、フラグは捕獲読み込み時に解除(0)	-	事象でCNTをCCMPに複写、計数継続
計数捕獲周波数/パルス幅測定動作	計数器停止時の第2(正/負)端で設定(1)、フラグは捕獲読み込み時に解除(0)		
8ビットPWM動作	計数器がCCMPLに達した時に設定(1)	CCMPL	CNT=CCMPL

21.5.6. STATUS – 状態 (Status)

名称 : STATUS
 変位 : +\$07
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
								RUN
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット0 – RUN : 走行 (Run)

計数器が走行している時にこのビットが'1'に設定されます。計数器が停止されると、このビットが'0'に解除されます。

このビットは読み込み専用でUPDIによって設定することはできません。

21.5.7. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL
変位 : +\$08
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DBGCTRL							DBGUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGUN : デバッグ時走行 (Debug Run)

値	0	1
説明	中断デバッグ動作で停止され事象を無視	中断デバッグ動作でCPU停止時に走行継続

21.5.8. TEMP – 一時レジスタ (Temporary Value)

名称 : TEMP
変位 : +\$09
リセット : \$00
特質 : -

一時レジスタはこの周辺機能の16ビットレジスタへの16ビット単一周期アクセスのためにCPUによって使われます。このレジスタはこの周辺機能の全ての16ビットレジスタに対して共通で、ソフトウェアによって読み書きすることができます。16ビットレジスタ読み書きのより多くの詳細については「AVR® CPU」章の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0
	TEMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP7~0 : 一時値 (Temporary Value)

21.5.9. CNT – 計数 (Count)

名称 : CNT (CNTH,CNTL)
変位 : +\$0A
リセット : \$0000
特質 : -

TCBn.CNTHとTCBn.CNTLのレジスタ対は16ビット値のTCBn.CNTを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

CPUとUPDIの書き込みアクセスはレジスタの内部更新を超える優先権を持ちます。

ビット	15	14	13	12	11	10	9	8
	CNT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CNT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – CNT15~8 : 計数値上位バイト (Count Value high)

これらのビットは16ビット計数レジスタの上位バイトを保持します。

● ビット7~0 – CNT7~0 : 計数値下位バイト (Count Value low)

これらのビットは16ビット計数レジスタの下位バイトを保持します。

21.5.10. CCMP – 比較/捕獲 (Compare/Capture)

名称 : CCMP (CCMPH,CCMPL)

変位 : +\$28

リセット : \$0000

特質 : -

TCBn.CCMPHとTCBn.CCMPLのレジスタ対は16ビット値のTCBn.CCMPを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

このレジスタは動作形態に依存して異なる機能を持ちます。

- ・ 捕獲動作に対して、これらのレジスタは捕獲発生時に捕獲された計数器の値を含みます。
- ・ 周期的割り込み、制限時間検査、単発の動作でこのレジスタはTOP値として働きます。
- ・ 8ビットPWM動作ではTCBn.CCMPHとTCBn.CCMPLは2つの独立した比較レジスタとして働きます。波形の周期がCCMPLによって制御される一方で、CCMPHがデューティサイクルを制御します。

ビット	15	14	13	12	11	10	9	8
	CCMP15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CCMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15～8 – CCMP15～8 : 比較/捕獲値上位バイト (Compare/Capture Value high byte)

これらのビットは16ビットの比較/捕獲/TOP値の上位バイトを保持します。

● ビット7～0 – CCMP7～0 : 比較/捕獲値下位バイト (Compare/Capture Value low byte)

これらのビットは16ビットの比較/捕獲/TOP値の下位バイトを保持します。

22. RTC – 実時間計数器

22.1. 特徴

- 16ビット分解能
- 選択可能なクロック元
- 設定可能な15ビット クロック前置分周
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解消
- 任意選択の上昇溢れと比較一致での割り込み/事象
- 周期的な割り込みと事象

22.2. 概要

RTC周辺機能は実時間計数器(RTC:Real-Time Counter)と周期的割り込み計時器(PIT:Periodic Interrupt Timer)の2つのタイミング機能を提供します。

PIT機能はRTC機能から独立して許可することができます。

RTC – 実時間計数器

RTCは計数レジスタで(前置分周された)クロック周期を計数し、計数レジスタの内容を定期レジスタ及び比較レジスタと比較します。

RTCは比較一致または溢れで割り込みと事象の両方を生成することができます。計数器が比較レジスタ値と等しい後の最初の計数で比較割り込みや事象を、計数器値が定期レジスタ値と等しい後の最初の計数で溢れ割り込みや事象を生成します。溢れは計数器値を0にリセットします。

RTC周辺機能は時間の経緯を保つよう、一般的に低電力休止動作形態を含み継続して動きます。これは規則的な間隔で休止動作形態からデバイスを起き上がらせたり、デバイスに割り込むことができます。

RTCは外部クロック信号、32.768kHz内部発振器(OSCULP32K)、または32分周されたOSCULP32Kからクロック駆動することができます。

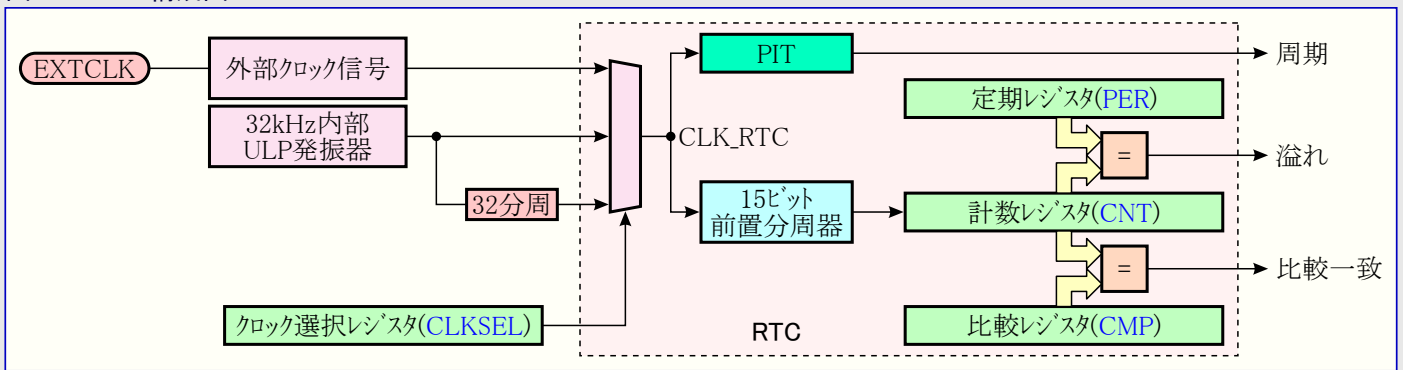
RTC周辺機能は計数器へ至る前に基準クロックを下げる可以降低ことができる設定可能な15ビットの前置分周器を含みます。RTCに対して広範囲の分解能と時間限度を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ sで、時間限度期間は2sまでにすることができます。1sの分解能とで、最大時間限度期間は18時間よりも多くなります(65536s)。

PIT – 周期的割り込み計時器

PITはRTC機能と同じクロック元を使い、毎回の第nクロック周期で割り込み要求やレベル事象を生成することができます。nは割り込みに対して4,8,16,~32768、事象に対して64,128,256,~8192から選ぶことができます。

22.2.1. 構成図

図22-1. RTC構成図



22.3. クロック

周辺機能クロック(CLK_PER)は前置分周器設定と無関係に計数器値を読むためにRTCクロック(CLK_RTC)よりも最低4倍速いことが必要とされます。

22.4. RTCの機能的な説明

RTC周辺機能は実時間計数器(RTC)と周期的割り込み計時器(PIT)の2つのタイミング機能を提供します。

22.4.1. 初期化

RTC周辺機能と望む活動(割り込み要求、出力事象)を許可する前に、RTCを動かすためにRTC計数器用の供給元クロックが構成設定されなければなりません。

22.4.1.1. CLK_RTCクロック構成設定

CLK_RTCを構成設定するには以下のこれらの手順に従ってください。

1. クロック制御器(CLKCTRL)周辺機能で望む発振器を必要とされる動作に構成設定してください。
2. それに応じて**クロック選択(RTC.CLKSEL)レジスタのクロック選択(CLKSEL)ビット領域**を書いてください。

CLK_RTCクロック構成設定はRTCとPITの両機能によって使われます。

22.4.1.2. RTC構成設定

RTCを動かすには以下のこれらの手順に従ってください。

1. **比較(RTC.CMP)レジスタに比較値、定期(RTC.PER)レジスタに溢れ値を設定してください。**
2. **割り込み制御(RTC.INTCTRL)レジスタで各々の割り込み許可(CMP,OVF)ビットに'1'を書くことによって望む割り込みを許可してください。**
3. **制御A(RTC.CTRLA)レジスタで前置分周器(PRESCALER)ビット領域に望む値を書くことによってRTC内部前置分周器を構成設定してください。**
4. RTC.CTRLAレジスタで**RTC周辺機能許可(RTCEN)ビットに'1'を書くことによってRTCを許可してください。**

注: RTC周辺機能はデバイス始動の間で内部的に使われます。常に及び初期構成設定で、**状態(RTC.STATUS)と周期割り込み計時器状態(RTC.PITSTATUS)**のレジスタで同期中多忙ビットを調べてください。

22.4.2. 操作 – RTC

22.4.2.1. 許可と禁止

RTCは**制御Aレジスタ(RTC.CTRLA)レジスタのRTC周辺機能許可(RTCEN)ビットに'1'を書くことによって許可されます。**RTCはRTC.CTRLAのRTCENビットに'0'を書くことによって禁止されます。

22.5. PITの機能的な説明

RTC周辺機能は実時間計数器(RTC)と周期割り込み計時器(PIT)の2つのタイミング機能を提供します。

22.5.1. 初期化

PITを動かすには以下のこれらの手順に従ってください。

1. 「22.4.1.1. CLK_RTCクロック構成設定」項で記述されるようにRTCクロック(CLK_RTC)を構成設定してください。
2. **周期割り込み計時器割り込み制御(RTC.PITINTCTRL)レジスタの周期割り込み許可(PI)ビットに'1'を書くことによって割り込みを許可してください。**
3. **周期割り込み計時器制御A(RTC.PITCTRLA)レジスタで周期(PERIOD)ビット領域に望む値と周期割り込み計時器許可(PITEN)ビットに'1'を書くことによって割り込み周期を選んでPITを許可してください。**

注: RTC周辺機能はデバイス始動の間で内部的に使われます。常に及び初期構成設定で、**状態(RTC.STATUS)と周期割り込み計時器状態(RTC.PITSTATUS)**のレジスタで同期中多忙ビットを調べてください。

22.5.2. 操作 – PIT

22.5.2.1. 許可と禁止

PITは**周期割り込み計時器制御A(RTC.PITCTRLA)レジスタの周期割り込み計時器許可(PITEN)ビットに'1'を書くことによって許可されます。**PITはRTC.PITCTRLAのPITENビットに'0'を書くことによって禁止されます。

22.5.2.2. PIT割り込みタイミング

初回割り込みのタイミング

PIT機能とRTC機能は前置分周器内側の同じ計数器で動き、下で記述されるように構成設定することができます。

- RTC割り込み周期は**定期(RTC.PER)レジスタを書くことによって構成設定されます。**
- PIT割り込み周期は**周期割り込み計時器制御A(RTC.PITCTRLA)レジスタの周期(PERIOD)ビット領域を書くことによって構成設定されます。**

前置分周器は両機能がOFF(RTC.CTRLAのRTC周辺機能許可(RTCEN)ビットとRTC.PITCTRLAの周期割り込み計時器許可(PITEN)ビットが0)の時にOFFですが、どちらかの機能が許可されると動きます(即ち、内部計数器が計数します)。この理由のため、最初のPIT割り込みとRTC計数刻みのタイミングは未知(許可と完全な周期間の何時か)です。

継続動作

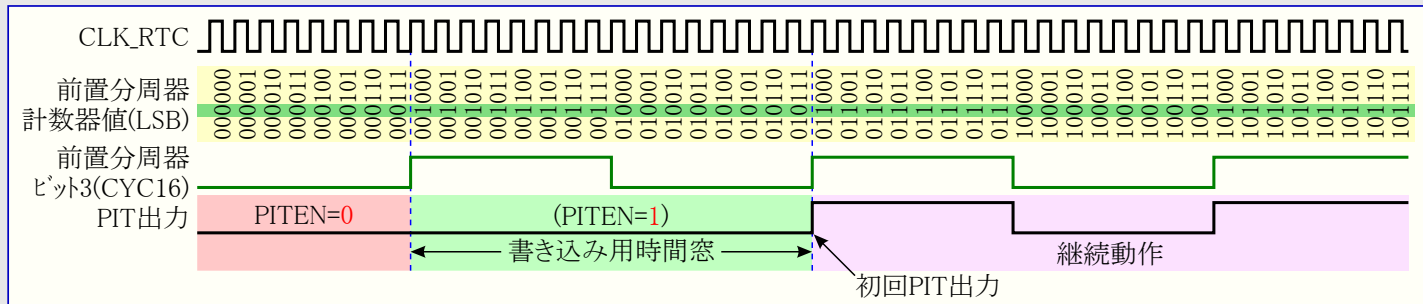
初回割り込み後、PITは完全なPIT周期信号に帰着する1/2 PIT周期毎の交互切り替えを続けます。

例22-1. PERIOD=CYC16に対するPITタイミング図

RTC.PITCTRLAでのPERIOD=CYC16に対して、PITは事実上前置分周器計数器ビット3の状態に従い、故に結果の割り込み出力は16 CLK_RTC周回の周期を持ちます。

初回PIT割り込みとPITENへの'1'書き込み間の時間は実質的に0と(n CLK_RTC周期の)PIT周期間で変わり得ます。PIT許可とその初回出力間の正確な遅延は前置分周器の計数段階に依存し、下で示される初回割り込みは先行する時間窓内側の何処かでPITENへの'1'を書くことによってもたらされます。

図22-2. PIT許可と初回割り込み間のタイミング



22.6. 事象

RTCは次表で記述される事象を生成することができます。

表22-1. RTC事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
RTC	OVF	溢れ	パルス	CLK_RTC	1 CLK_RTC周期
	CMP	比較一致			

OVFとCMPの事象を生成するための条件は割り込み要求フラグ(RTC.INTFLAGS)レジスタで対応する割り込み要求フラグを掲げるそれらと同じです。

事象使用部と事象システム構成設定に関するより多くの詳細については「EVSYS - 事象システム」章を参照してください。

22.7. 割り込み

表22-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
RTC	実時間計数器溢れと比較一致割り込み	<ul style="list-style-type: none"> 溢れ(OVF) : 計数器が定期(RTC.PER)レジスタからの値に達して0に丸められる 比較一致(CMP) : 計数器(RTC.CNT)レジスタからの値と比較(RTC.CMP)レジスタからの値間で一致
PIT	周期割り込み計時器割り込み	RTC.PITCTRLAのPERIODビット領域で構成設定したように時間周期通過

割り込み条件が起こると、周辺機能の割り込み要求フラグ(RTC.INTFLAGS, RTC.PITINTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(RTC.INTCTRL, RTC.PITINTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細については周辺機能の(PIT)INTFLAGSレジスタをご覧ください。

注: ・ RTCはRTC用のRTC.INTFLAGSとPIT用のRTC.PITINTFLAGSの2つのINTFLAGSレジスタを持ちます。

・ RTCはRTC用のRTC.INTCTRLとPIT用のRTC.PITINTCTRLの2つのINTCTRLレジスタを持ちます。

22.8. 休止形態動作

RTCは**アイドル休止動作**で動作を続けます。制御レジスタ(RTC.CTRLA)のスタンバイ時走行(RUNSTDBY)ビットが設定(1)なら、**スタンバイ休止動作**で走行します。

PITはどの休止動作形態でも動作を続けます。

22.9. 同期

RTCとPITは共に非同期で、周辺機能クロック(CLK_PER)から独立した違うクロック元(CLK_RTC)で動きます。制御と計数レジスタ更新に関して、更新されたレジスタ値がレジスタで利用可能になる前、または構成設定変更が各々RTCやPITに影響を及ぼすまで、RTCクロックや周辺機能クロックで多少の周期数がかかります。この同期時間はレジスタ説明項で各レジスタに対して記述されます。

いくつかのRTCレジスタに関して、**状態(RTC.STATUS)レジスタ**で同期多忙(CMPBUSY, PERBUSY, CNTBUSY, CTRLABUSY)フラグが利用可能です。

周期割り込み計時器制御A(RTC.PITCTRLA)レジスタについては、**周期割り込み計時器状態(RTC.PITSTATUS)レジスタ**でPIT制御A同期多忙(CTRLBUSY)フラグが利用可能です。

言及したレジスタへ書く前にこれらのフラグを調べてください。

22.10. デバッグ操作

デバッグ制御(DBGCTRL)レジスタの**デバッグ時走行(DBGRUN)ビット**が'1'の場合、RTCは標準動作を続けます。DBGRUNが'0'でCPUが停止された場合、RTCは動作を停止してどの到着事象も無視します。

周期割り込み計時器デバッグ制御(PITDBGCTRL)レジスタの**デバッグ時走行(DBGRUN)ビット**が'1'の場合、PITは標準動作を続けます。デバッグ動作に於いてDBGRUNが'0'でCPUが停止された場合、PIT出力はLowです。その時にPIT出力がHighだったなら、中断から再始動する時に割り込み要求フラグを設定(1)するために新しい正端が起きます。結果は標準動作中に起こらない追加のPIT割り込みです。中断でPIT出力がLowだったなら、PITは追加の割り込みなしでLowを再開します。

22.11. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0	RUNSTDBY	PRESCALER3～0						RTCEN
+\$01	STATUS	7～0					CMPBUSY	PERBUSY	CNTBUSY	CTRLABUSY
+\$02	INTCTRL	7～0							CMP	OVF
+\$03	INTFLAGS	7～0							CMP	OVF
+\$04	TEMP	7～0	TEMP7～0							
+\$05	DBGCTRL	7～0								DBGRUN
+\$06	予約	7～0								
+\$07	CLKSEL	7～0							CLKSEL1,0	
+\$08	CNT	7～0	CNT7～0							
+\$09		15～8	CNT15～8							
+\$0A	PER	7～0	PER7～0							
+\$0B		15～8	PER15～8							
+\$0C	CMP	7～0	CMP7～0							
+\$0D		15～8	CMP15～8							
+\$0E ～ +\$0F	予約									
+\$10	PITCTRLA	7～0		PERIOD3～0						PITEN
+\$11	PITSTATUS	7～0								CTRLBUSY
+\$12	PITINTCTRL	7～0								PI
+\$13	PITINTFLAGS	7～0								PI
+\$14	予約									
+\$15	PITDBGCTRL	7～0								DBGRUN

22.13. レジスタ説明

22.13.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +\$00
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY	PRESCALER3~0						RTCEN
アクセス種別	R/W	R/W	R/W	R/W	R/W	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RUNSTDBY : スタンバイ時走行 (Run Standby)

値	0	1
説明	スタンバイ休止動作でRTC禁止	スタンバイ休止動作でRTC許可

● ビット6~3 – PRESCALER3~0 : 前置分周器 (Prescaler)

これらのビットはCLK_RTCクロック信号の前置分周を定義します。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	DIV1	DIV2	DIV4	DIV8	DIV16	DIV32	DIV64	DIV128
説明	CLK_RTC/1	CLK_RTC/2	CLK_RTC/4	CLK_RTC/8	CLK_RTC/16	CLK_RTC/32	CLK_RTC/64	CLK_RTC/128
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	DIV256	DIV512	DIV1024	DIV2048	DIV4096	DIV8192	DIV16384	DIV32768
説明	CLK_RTC/256	CLK_RTC/512	CLK_RTC/1024	CLK_RTC/2048	CLK_RTC/4096	CLK_RTC/8192	CLK_RTC/16384	CLK_RTC/32768

● ビット0 – RTCEN : RTC周辺機能許可 (RTC Peripheral Enable)

値	0	1
説明	RTC周辺機能禁止	RTC周辺機能許可

 **重要:** RTCクロックと主クロック領域間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅れがあります。応用ソフトウェアはこのレジスタを書く前に状態(RTC.STATUS)レジスタの**制御A同期多忙(CTRLABUSY)フラグ**が解除(0)されているのを確認しなければなりません。

22.13.2. STATUS – 状態 (Status)

名称 : STATUS
変位 : +\$01
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
					CMPBUSY	PERBUSY	CNTBUSY	CTRLABUSY
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3 – CMPBUSY : 比較同期多忙 (Compare Synchronization Busy)

このビットはRTCがRTCクロック領域で**比較(RTC.CMP)レジスタ**を同期中多忙の時に'1'です。

● ビット2 – PERBUSY : 定期同期多忙 (Period Synchronization Busy)

このビットはRTCがRTCクロック領域で**定期(RTC.PER)レジスタ**を同期中多忙の時に'1'です。

● ビット1 – CNTBUSY : 計数器同期多忙 (Counter Synchronization Busy)

このビットはRTCがRTCクロック領域で**計数(RTC.CNT)レジスタ**を同期中多忙の時に'1'です。

● ビット0 – CTRLABUSY : 制御A同期多忙 (Control A Synchronization Busy)

このビットはRTCがRTCクロック領域で**制御A(RTC.CTRLA)レジスタ**を同期中多忙の時に'1'です。

22.12.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
							CMP	OVF
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – CMP : 比較一致割り込み許可 (Compare Match Interrupt Enable)

比較一致での(即ち、計数(RTC.CNT)レジスタ値が比較(RTC.CMP)レジスタ値と一致した時の)割り込みを許可します。

値	0	1
説明	比較一致割り込みは禁止されます。	比較一致割り込みは許可されます。

● ビット0 – OVF : 溢れ割り込み許可 (Overflow Interrupt Enable)

計数器溢れでの(即ち、計数(RTC.CNT)レジスタ値が定期(RTC.PER)レジスタ値と一致して0に丸められる時の)割り込みを許可します。

値	0	1
説明	溢れ割り込みは禁止されます。	溢れ割り込みは許可されます。

22.12.4. INTFLAGS – 割り込み要求フラグ (Interrupt Flag)

名称 : INTFLAGS
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
							CMP	OVF
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1 – CMP : 比較一致割り込み要求フラグ (Compare Match Interrupt Flag)

このフラグは計数(RTC.CNT)レジスタ値が比較(RTC.CMP)レジスタ値と一致した時に設定(1)されます。

このビットへの'1'書き込みがこのフラグを解除(0)します。

● ビット0 – OVF : 溢れ割り込み要求フラグ (Overflow Interrupt Flag)

このフラグは計数(RTC.CNT)レジスタ値が定期(RTC.PER)レジスタ値と一致して0に丸められる時に設定(1)されます。

このビットへの'1'書き込みがこのフラグを解除(0)します。

22.12.5. TEMP – 一時レジスタ (Temporary)

名称 : TEMP
変位 : +\$04
リセット : \$00
特質 : -

一時レジスタはこの周辺機能の16ビットレジスタへの16ビット単一周期アクセスのためにCPUによって使われます。このレジスタはこの周辺機能の全ての16ビットレジスタに対して共通でソフトウェアによって読み書きすることができます。「AVR® CPU」章の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0
	TEMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP7~0 : 一時値 (Temporary)

16ビットレジスタでの読み書き操作一時レジスタ

22.12.6. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL
変位 : +\$05
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGRUN : デバッグ時走行 (Debug Run)

値	0	1
説明	RTCはデバッグ動作中断で停止し、事象を無視	RTCはCPU停止中のデバッグ動作中断で走行継続

22.12.7. CLKSEL – クロック選択 (Clock Selection)

名称 : CLKSEL
変位 : +\$07
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								CLKSEL1,0
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット1,0 – CLKSEL1,0 : クロック選択 (Clock Select)

これらのビット書き込みはRTCクロック(CLK_RTC)用の供給元を選びます。

値	0 0	0 1	1 0	1 1
名称	INT32K	INT1K	-	EXTCLK
説明	OSCULP32Kからの32.768kHz	OSCULP32Kからの1.024kHz	(予約)	EXTCLKピンからの外部クロック

22.12.8. CNT – 計数 (Count)

名称 : CNT (CNTH,CNTL)
変位 : +\$08
リセット : \$0000
特質 : -

RTC.CNTHとRTC.CNTLのレジスタ対は16ビット値のRTC.CNTを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
								CNT15~8
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
								CNT7~0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – CNT15~8 : 計数値上位バイト (Counter high byte)

これらのビットは16ビット計数レジスタの上位バイトを保持します。

● ビット7~0 – CNT7~0 : 計数値下位バイト (Counter low byte)

これらのビットは16ビット計数レジスタの下位バイトを保持します。

 **重要:** RTCクロックと主クロック領域間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅れがあります。応用ソフトウェアはこのレジスタを書く前に**状態(RTC.STATUS)レジスタの計数器同期多忙(CNTBUSY)フラグ**が解除(0)されているのを確認しなければなりません。

22.12.9. PER – 定期 (Period)

名称 : PER (PERH,PERL)
 変位 : +\$0A
 リセット : \$FFFF
 特質 : -

RTC.PERHとRTC.PERLのレジスタ対は16ビット値のRTC.PERを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	PER15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1
ビット	7	6	5	4	3	2	1	0
	PER7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	1	1	1	1	1	1	1	1

● ビット15～8 – PER15～8 : 定期値上位バイト (Periodic high byte)

これらのビットは16ビット定期レジスタの上位バイトを保持します。

● ビット7～0 – PER7～0 : 定期値下位バイト (Periodic low byte)

これらのビットは16ビット定期レジスタの下位バイトを保持します。

 **重要:** RTCクロックと主クロック領域間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅れがあります。応用ソフトウェアはこのレジスタを書く前に**状態(RTC.STATUS)レジスタの定期同期多忙(PERBUSY)フラグ**が解除(0)されているのを確認しなければなりません。

22.12.10. CMP – 比較 (Compare)

名称 : CMP (CMPH,CMPL)
 変位 : +\$0C
 リセット : \$0000
 特質 : -

RTC.CMPHとRTC.CMPLのレジスタ対は16ビット値のRTC.CMPを表します。下位バイト[7～0](接尾辞L)は変位原点でアクセスできます。上位バイト[15～8](接尾辞H)は変位+1でアクセスすることができます。

ビット	15	14	13	12	11	10	9	8
	CMP15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	CMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15～8 – CMP15～8 : 比較値上位バイト (Compare high byte)

これらのビットは16ビット比較レジスタの上位バイトを保持します。

● ビット7～0 – CMP7～0 : 比較値下位バイト (Compare low byte)

これらのビットは16ビット比較レジスタの下位バイトを保持します。

 **重要:** RTCクロックと主クロック領域間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅れがあります。応用ソフトウェアはこのレジスタを書く前に**状態(RTC.STATUS)レジスタの比較同期多忙(CMPBUSY)フラグ**が解除(0)されているのを確認しなければなりません。

22.12.11. PITCTRLA – 周期割り込み計時器制御A (Periodic Interrupt Timer Control A)

名称 : ;PITCTRLA
変位 : +\$10
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
			PERIOD3~0					PITEN
アクセス種別	R	R/W	R/W	R/W	R/W	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~3 – PERIOD3~0 : 周期 (Period)

このビット領域は各割り込み間のRTCクロック周期数を選びます。

値	0 0 0 0	0 0 0 1	0 0 1 0	0 0 1 1	0 1 0 0	0 1 0 1	0 1 1 0	0 1 1 1
名称	OFF	CYC4	CYC8	CYC16	CYC32	CYC64	CYC128	CYC256
説明	割り込みなし	4周期	8周期	16周期	32周期	64周期	128周期	256周期
値	1 0 0 0	1 0 0 1	1 0 1 0	1 0 1 1	1 1 0 0	1 1 0 1	1 1 1 0	1 1 1 1
名称	CYC512	CYC1024	CYC2048	DIV4096	CYC8192	CYC16384	CYC32768	-
説明	512周期	1024周期	2048周期	4096周期	8192周期	16384周期	32768周期	(予約)

● ビット0 – PITEN : 周期割り込み計時器許可 (Periodic Interrupt Timer Enable)

値	0	1
説明	周期割り込み計時器禁止	周期割り込み計時器許可

 **重要:** RTCクロックと主クロック領域間同期のため、レジスタ更新からそれが効果を持つまでに2 RTCクロック周期の遅れがあります。応用ソフトウェアはこのレジスタを書く前にPIT状態(RTC.PITSTATUS)レジスタの**PIT制御A同期多忙(CTRLBUSY)フラグ**が解除(0)されているのを確認しなければなりません。

22.12.12. PITSTATUS – 周期割り込み計時器状態 (Periodic Interrupt Timer Status)

名称 : PITSTATUS
変位 : +\$11
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								CTRLBUSY
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – CTRLBUSY : PIT制御A同期多忙 (PITCTRLA Synchronization Busy)

このビットはRTCがRTCクロック領域で**周期割り込み計時器制御A(RTC.PITCTRLA)レジスタ**を同期中多忙の時に'1'です。

22.12.13. PITINTCTRL – PIT割り込み制御 (PIT Interrupt Control)

名称 : PITINTCTRL
変位 : +\$12
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								PI
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – PI : 周期割り込み許可 (Periodic Interrupt)

値	0	1
説明	周期割り込み禁止	周期割り込み許可

22.12.14. PITINTFLAGS – PIT割り込み要求フラグ (PIT Interrupt Flag)

名称 : PITINTFLAGS
 変位 : +\$13
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
								PI
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – PI : 周期割り込み要求フラグ (Periodic Interrupt Flag)

このフラグは周期割り込みが発行される時に設定(1)されます。

‘1’書き込みがこのフラグを解除(0)します。

22.12.15. PITDBGCTRL – 周期割り込み計時器デバッグ制御 (Periodic Interrupt Timer Debug Control)

名称 : PITDBGCTRL
 変位 : +\$15
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGRUN : デバッグ時走行 (Debug Run)

値	0	1
説明	デバッグ動作中断で周辺機能は停止して事象を無視	CPU停止時のデバッグ動作中断で走行を継続

23. USART – 万能同期/非同期送受信器

23.1. 特徴

- ・ 全二重操作
- ・ 半二重操作
 - 単線動作
 - RS-485動作
- ・ 非同期と同期の操作
- ・ 5,6,7,8,9のデータビットと1または2の停止ビットを持つ直列フレーム支援
- ・ 分数ボーレート発生器
 - どの周辺機能クロック周波数からも望むボーレートを生成可
 - 外部発振器不要
- ・ 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - 緩衝部オーバーランとフレーム異常検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- ・ 以下の独立した割り込み
 - 送信完了
 - 送信データレジスタ空
 - 受信完了
- ・ 主装置SPI動作
- ・ 複数プロセッサ通信動作
- ・ フレーム開始検出
- ・ IrDA®適合パルス変調/復調用赤外線通信(IRCOM)単位部
- ・ LIN従装置支援

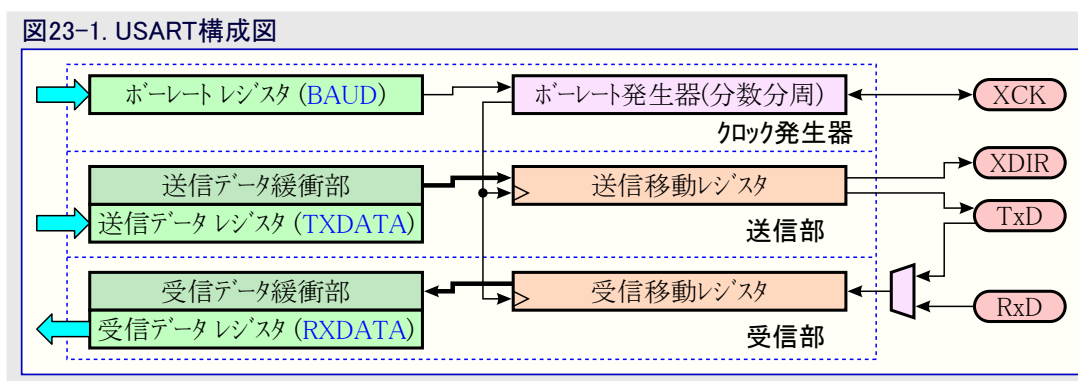
23.2. 概要

万能同期/非同期直列送受信器(USART:Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信周辺機能です。USARTは複数の形式の応用と通信装置に対応することができるいくつかの異なる動作形態を支援します。例えば、単線半二重動作は少ピン数応用が望まれる時に有用です。通信はフレームに基づき、フレーム形式は広範囲の規格を支援するように直すことができます。

USARTは両方向で緩衝され、フレーム間でのどんな遅延もなしに継続するデータ転送を許します。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。

送信部は2段の書き込み緩衝部、移動レジスタ、それと各種フレーム形式用の制御論理回路から成ります。受信部は2段の受信緩衝部と移動レジスタから成ります。受信したデータの状態情報は異常検査に対して利用可能です。データとクロックの再生部は非同期データ受信中の頑強な同期と雑音濾波を保証します。

23.2.1. 構成図



23.2.2. 信号説明

信号	形式	説明
XCK	入出力	同期動作クロック
XDIR	出力	RS485用送信許可
TxD	入出力	送信線(と単線動作での受信線)
RxD	入力	受信線

23.3. 機能的な説明

23.3.1. 初期化

全二重動作:

1. ボーレート(USARTn.BAUD)を設定してください。
2. フレーム構成と動作形態(USARTn.CTRLA)を設定してください。
3. TxDピンを出力として構成設定してください。
4. 送信部と受信部を許可してください(USARTn.CTRLB)。

注: ・ 割り込み駆動USART操作について、初期化の間は**全体割り込み**が禁止されなければなりません。

- ・ ボーレートまたはフレーム構成の変更を伴う再初期化を行う前に、そのレジスタが変更される間に進行中の送信がないことを確実にしてください。

単線半二重動作:

1. 内部的にTxDをUSART受信部に接続してください(制御A(USARTn.CTRLA)レジスタの**折り返し動作許可(LBME)**ビット)。
2. RxD/TxDピン用の内部プルアップを許可してください(ピン制御(PORTx.PINnCTRL)レジスタの**プルアップ許可(PULLUPEN)**ビット)。
3. オープンドレイン動作を許可してください(制御B(USARTn.CTRLB)レジスタの**オープンドレイン動作許可(ODME)**ビット)。
4. ボーレート(USARTn.BAUD)を設定してください。
5. フレーム構成と動作形態(USARTn.CTRLA)を設定してください。
6. 送信部と受信部を許可してください(USARTn.CTRLB)。

注: ・ オープンドレイン動作が許可されると、TxDピンはハードウェアによって自動的に出力に設定されます。

- ・ 割り込み駆動USART操作について、初期化の間は**全体割り込み**が禁止されなければなりません。
- ・ ボーレートまたはフレーム構成の変更を伴う再初期化を行う前に、そのレジスタが変更される間に進行中の送信がないことを確実にしてください。

23.3.2. 動作

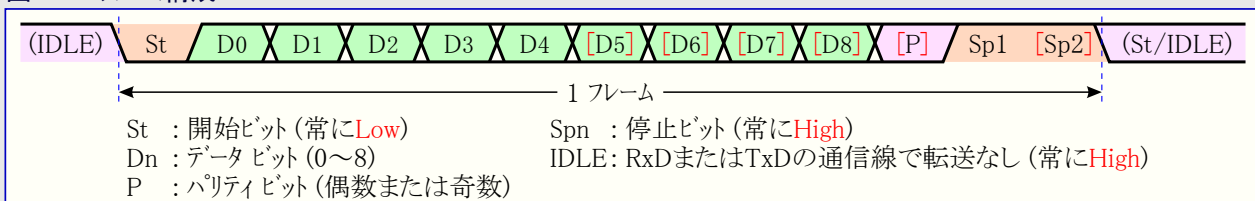
23.3.2.1. フレーム形式

USARTデータ転送はフレームに基づきます。フレームは開始ビットで始まり、データビットの1文字が後続します。許可されたなら、データビット後で最初の停止ビットの前にパリティビットが挿入されます。フレームの停止ビット後、直ちに次のフレームを後続するか、または通信線をアイドル(High)状態に戻すかのどちらかにすることができます。USARTは有効なフレーム形式として以下の組み合わせ全てを受け入れます。

- ・ 1つの開始ビット
- ・ 5, 6, 7, 8, 9 ビット データ
- ・ 奇数または偶数パリティビット、またはなし
- ・ 1つまたは2つの停止ビット

下図は可能なフレーム形式の組み合わせを図解します。[]付きビットは任意選択です。

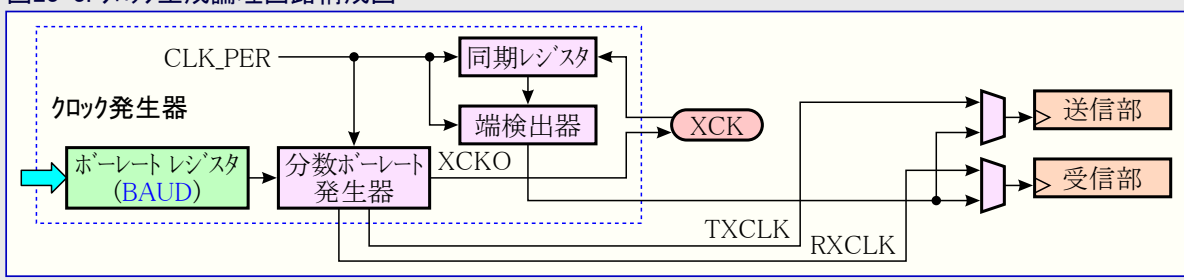
図23-2. フレーム構成



23.3.2.2. クロック生成

データビットの移動と採取に使われるクロックは内部的に分数ボーレート発生器、または外部的に転送クロック(XCK)ピンから生成されます。

図23-3. クロック生成論理回路構成図



23.3.2.2.1. 分数ボーレート発生器

USARTがクロック元としてXCK入力を使わない動作ではクロックを生成するのに分数ボーレート生成器が使われます。ボーレートは秒毎のビット数(bps)の言葉で与えられ、**ボーレート(USARTn.BAUD)レジスタ**を書くことによって構成設定されます。ボーレート(f_{BAUD})は周辺機能クロック($f_{\text{CLK_PER}}$)をBAUDレジスタによって決められる分割係数で分割することによって生成されます。

分数ボーレート発生器は f_{BAUD} で割り切れない場合に対応するハードウェアが特徴です。通常、この状況は丸め誤差をもたらします。分数ボーレート発生器は表23-1.の式で実行されるように、6ビット左移動した望む分割係数を含むBAUDレジスタを期待します。そして下位6ビットは望む除数の小数部を保持します。望むボーレートにより近い近似を達成するため動的に f_{BAUD} を調節するのにBAUDレジスタの小数部を使ってください。

ボーレートを $f_{\text{CLK_PER}}$ よりも高くすることができないため、BAUDレジスタの整数部は最低1であることが必要です。結果は6ビット左移動されるため、対応するBAUDレジスタの最小値は64です。有効な範囲は64～65535です。

同期動作では、BAUDレジスタの10ビット整数部(BAUD15～6)だけがボーレートを決め、従って、小数部(BAUD5～0)は0を書かれなければなりません。

下表はボーレートをBAUDレジスタ用の入力値に変換するための式を一覧にします。式は分数解釈を考慮し、故にこれらの式で計算されたBAUD値はどんな追加の尺度調整もなしに直接USARTn.BAUDに書くことができます。

表23-1. ボーレートレジスタ設定計算用の式

動作形態	条件	ボーレート (ビット/秒:bps)	USARTn.BAUDレジスタ値計算
非同期	$f_{\text{BAUD}} \leq \frac{f_{\text{CLK_PER}}}{S}$ 、USARTn.BAUD ≥ 64	$f_{\text{BAUD}} = \frac{64 \times f_{\text{CLK_PER}}}{S \times \text{BAUD}}$	$\text{BAUD} = \frac{64 \times f_{\text{CLK_PER}}}{S \times f_{\text{BAUD}}}$
同期主装置	$f_{\text{BAUD}} < \frac{f_{\text{CLK_PER}}}{S}$ 、USARTn.BAUD ≥ 64	$f_{\text{BAUD}} = \frac{f_{\text{CLK_PER}}}{S \times \text{BAUD}[15 \sim 6]}$	$\text{BAUD}[15 \sim 6] = \frac{f_{\text{CLK_PER}}}{S \times f_{\text{BAUD}}}$

Sはビット当たりの採取数です。

- ・ 非同期標準動作 : S=16
- ・ 非同期倍速動作 : S=8
- ・ 同期動作 : S=2

23.3.2.3. データ送信

USART送信部は周期的に送信線をLowに駆動することによってデータを送ります。データ送信は送るデータを送信データ(USARTn.TXD_{ATAL}とUSARTn.TXD_{ATAH})レジスタに設定することによって始められます。送信データレジスタのデータは送信緩衝部が一旦空になるとそれに移され、移動レジスタが一旦空になるとそれに進み、新しいフレームを送る準備が整います。移動レジスタがデータを設定された後、データフレームが送信されます。

移動レジスタのフレーム全体が移動出力されてしまい、送信データや送信緩衝部に存在する新しいデータがないと、**状態(USARTn.STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)ビット**が設定(1)され、それが許可されていれば割り込みが生成されます。

送信データレジスタはそれらが空で新しいデータの準備が整っていることを示すUSARTn.STATUSレジスタの**データレジスタ空割り込み要求フラグ(DREIF)ビット**が設定(1)される時にだけ書くことができます。

8ビットよりも少ないフレームの使用時、送信データレジスタに書かれる上位側ビットは無視されます。**制御C(USARTn.CTRL_C)レジスタの文字ビット数(CHSIZE)ビット領域**が9ビット(下位バイト先行)に構成設定されると、送信データ上位バイト(TXD_{ATAH})レジスタの前に送信データ下位バイト(TXD_{ATAL})レジスタが書かれなければなりません。CHSIZEが9ビット(上位バイト先行)に構成設定されると、TXD_{ATAL}の前にTXD_{ATAH}が書かれなければなりません。

23.3.2.3.1. 送信部禁止

送信部を禁止すると、その操作は進行中と保留中の送信が完了される、即ち、送信移動レジスタ、送信データ(USARTn.TXD_{ATAL}とUSARTn.TXD_{ATAH})レジスタ、送信緩衝レジスタが送信されるべきデータを含まない時まで有効になりません。送信部が禁止されると、もはやTxDPinを指定変更せず、PORT単位部がピン制御を取り戻します。ピンはそれの直前の設定に関わらず、ハードウェアによって自動的に入力として構成設定されます。ピンは今やUSARTからのポート指定変更なしに標準入出力ピンとして使うことができます。

23.3.2.4. データ受信

USART受信部は検出して受信したデータを解釈するために受信線を採用します。従って、ピンの方向はデータ方向(PORTx.DIR)レジスタの対応するビットに'0'を書くことによって入力として構成設定されなければなりません。

受信部は有効な開始ビットが検出されと、データを受け入れます。開始ビットに後続する各ビットはボーレートまたはXCKクロックで採取され、フレームの最初の停止ビットが受信されるまで受信移動レジスタに移されます。第2停止ビットは受信部によって無視されます。最初の停止ビットが受信され、完全な直列フレームが受信移動レジスタに存在すると、移動レジスタの内容が受信緩衝部に移されます。**状態(USARTn.STATUS)レジスタの受信完了割り込み要求フラグ(RXCIF)**が設定(1)され、許可されていれば割り込みが生成されます。

RXDATAレジスタはRXCIFが設定(1)される時に応用ソフトウェアによって読むことができる2重緩衝される受信緩衝部の一部です。1フレームだけが受信されたなら、そのフレームに対するデータと状態のビットはRXDATAレジスタに直接押し込まれます。RX緩衝部に2つのフレームが存在する場合、RXDATAレジスタは最も古いフレームを含みます。

緩衝部は構成設定に応じてRXDATALまたはRXDARAHが読まれる時のどちらかでデータを移動します。移動前に両バイトを読むことができるようにデータ移動を引き起こさないレジスタが先に読まれなければなりません。制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定される時に、RXDARAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

23.3.2.4.1. 受信異常フラグ

USART受信部は送信化けを暴く異常検出機構が特徴です。これらの機構は以下を含みます。

- ・ フレーム異常検出 - 受信したフレームが有効かどうかを管理します。
- ・ 緩衝部溢れ検出 - 受信緩衝部が満杯で新しいデータによって上書きされたためのデータ損失を示します。
- ・ パリティ誤り検出 - 到着フレームのパリティを計算してパリティビットと比べることによって到着フレームの有効性を調べます。

各異常検出機構は受信データ上位バイト(USARTn.RXDARAH)レジスタで読むことができる各々1つの異常フラグを制御します。

- ・ フレーム異常(FERR)
- ・ 緩衝部溢れ(BUFOVF)
- ・ パリティ誤り(PERR)

異常フラグはそれらが対応するフレームと共に受信緩衝部に置かれます。RXDATALレジスタ読み込みがRX緩衝部のRXDATAバイト移動を起動するため、異常フラグを含むRXDARAHレジスタはRXDATALレジスタに先立って読まれなければなりません。

注: 制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット下位バイト先行(9BITL)に設定される場合、RXDATALレジスタに代わってRXDARAHレジスタがRXDATAバイト移動を起動します。その場合、RXDATALレジスタがRXDARAHレジスタに先立って読まれなければなりません。

23.3.2.4.2. 受信部禁止

受信部を禁止すると、その操作は即時です。受信緩衝部が破棄され、進行中の受信からのデータは失われます。

23.3.2.4.3. 受信緩衝部破棄

通常動作の間に受信緩衝部が破棄されなければならない場合、USARTn.RXDARAHレジスタの受信完了割り込み要求フラグ(RXCIF)が解除(0)されるまでDATA位置(USARTn.RXDARAHとUSARTn.RXDATALのレジスタ)を繰り返し読んでください。

23.3.3. 通信動作形態

USARTは複数の異なる通信規約を支援する柔軟な周辺機能です。利用可能な動作形態は、同期と非同期の通信の2つの群に分けることができます。

同期通信はXCKピンを通してクロック信号を残りの装置に供給する主権があるバス上の1つの主装置に依存します。全ての装置は追加の同期機構を必要とせず、送受信両方にこの共通クロック信号を使います。

装置は同期バスで主装置または従装置のどちらかで動くように構成設定することができます。

非同期通信は共通クロック信号を使いません。代わりに、通信する装置に於いて同じボーレートで構成設定されることに頼ります。やって来る伝送の受信時、受信する装置の周辺機能クロックでやって来る伝送を整理するのにハードウェア同期機構が使われます。

非同期に通信する時に4つの違う動作形態が利用可能です。それらの動作の1つは標準速度の倍で伝送を受信することができ、通常の16の代わりにビット毎に8回だけ採取します。他の3つの動作形態は同期論理回路の変種を使い、全て標準速度で受信します。

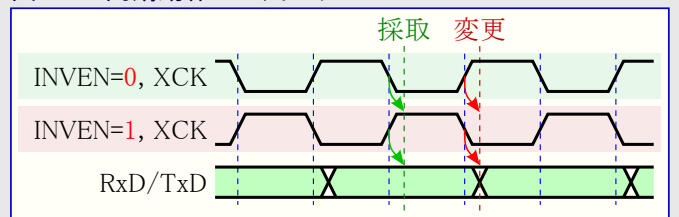
23.3.3.1. 同期動作

23.3.3.1.1. クロック動作

XCKピン方向は転送クロックが入力(従装置動作)か、または出力(主装置動作)かを制御します。対応するポートピン(PORTx.DIRレジスタのDIRn)方向は主装置動作に出力または従装置動作に出力に設定されなければなりません。下図で示されるように(RxDでの)データ入力はデータが(TxDで)送信される場所の逆端のXCKクロック端で採取されます。

I/Oピンはポート周辺機能のピン制御(PORTx.PINCTRL)レジスタの反転I/O許可(INVEN)ビットに'1'を書くことによって反転することができます。対応するXCKポートピンに反転I/O設定を使うと、RxD採取とTxD送信に使われるXCKクロック端を選ぶことができます。反転I/Oが禁止(INVEN=0)される場合、XCKクロック上昇端が新しいデータビットの開始を表し、受信データはXCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)された場合、XCKクロック下降端が新しいデータビットの開始を表し、受信データはXCKクロック上昇端で採取されます。

図23-4. 同期動作XCKタイミング



23.3.3.1.2. 外部クロック制限

USARTが同期従装置動作に構成設定されると、XCK信号は主装置によって外部的に提供されなければなりません。このクロックが外部的に提供されるため、BAUDレジスタ構成設定は転送速度に何の影響も持ちません。クロック再生成功には各上昇端と下降端に対して最低2回採取するクロック信号を必要とします。従って、同期動作形態での最大XCK速度($f_{\text{Slave_SCK}}$)は右式によって制限されます。

$$f_{\text{Slave_SCK}} < \frac{f_{\text{CLK_PER}}}{4}$$

XCKクロックに細動(ジッタ)がある場合、またはHigh/Low区間のデューティサイクルが50%/50%でない場合、XCKが各端に対して最低2回採取することを保証するために、それに応じて最大XCKクロック速度が低減されなければなりません。

23.3.3.1.3. 主装置SPI動作でのUSART

USARTは複数の異なる通信インターフェースを持つ機能に構成設定されるかもしれず、それらの1つが主装置として動くことができる直列周辺インターフェース(SPI)です。SPIは主装置に1つ以上の従装置との通信を許す4線インターフェースです。

フレーム形式

主装置SPI動作でのUSARTに対する直列フレームは常に8つのデータビットを含みます。データビットは**制御C(USARTn.CTRLC)レジスタのデータ順(UDORD)ビット**に書くことによってLSB先行またはMSB先行のどちらかで送信されるように構成設定することができます。

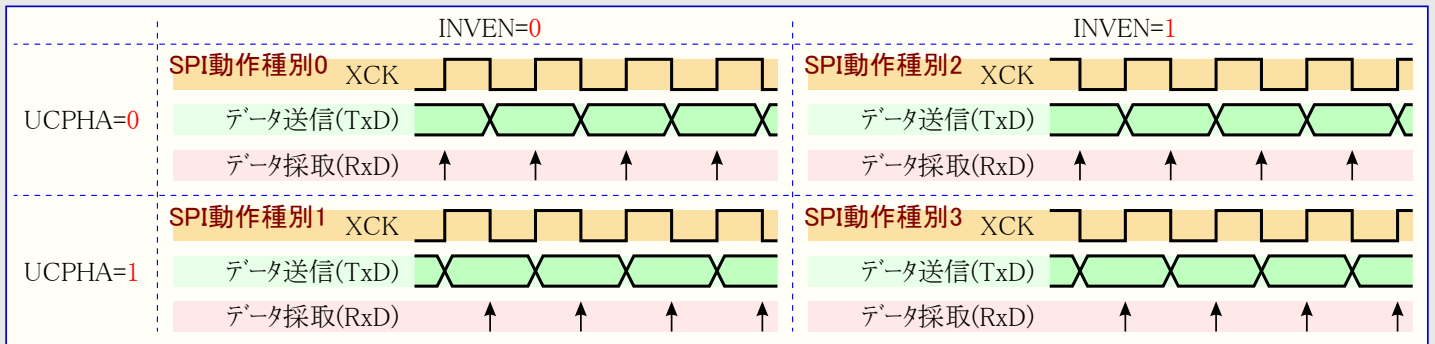
SPIは開始、停止、パリティのビットを使わず、故に伝送フレームはデータビットだけで成り得ます。

クロック生成

同期インターフェースでの主装置になる主装置SPI動作は従装置と共有されるインターフェースクロックを生成しなければなりません。このインターフェースクロックは「[23.3.2.2.1. 分数ポーレート発生器](#)」で記述される分数ポーレート発生器を使って生成されます。

各データビットは1つの完全なクロック周期に対してデータ線をHighまたはLowに引くことによって送信されます。受信部は下図で示されるように送信部保持期間の中央でビットを採取します。これは**ピン制御(PORTx.PINnCTRL)レジスタの反転I/O許可(INVEN)ビット**と**制御C(USARTn.CTRLC)レジスタのUSARTクロック位相(UCPHA)ビット**を使ってタイミングの仕組みをどう構成設定することができるかを示します。

図23-5. データ転送タイミング構成図



右表は上図を更に説明します。

表23-2. INVENビットとUCPHAビットの機能

SPI動作形態	INVEN	UCPHA	先行端 (注)	後行端 (注)
0	0	0	上昇端、採取	下降端、送信
1	0	1	上昇端、送信	下降端、採取
2	1	0	下降端、採取	上昇端、送信
3	1	1	下降端、送信	上昇端、採取

注: 先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最後のクロック端です。

データ送信

主装置SPI動作でのデータ送信は「動作」項で記述されるような全般的なUSART動作と機能的に同じです。送信部割り込み要求フラグと対応するUSART割り込みも同じです。更なる記述については「[23.3.2.3. データ送信](#)」をご覧ください。

データ受信

主装置SPI動作でのデータ受信は「動作」項で記述されるような全般的なUSART動作と機能的に同じです。使われずに常に'0'として読む受信異常フラグを除き、受信部割り込み要求フラグと対応するUSART割り込みも同じです。更なる記述については「[23.3.2.4. データ受信](#)」をご覧ください。

主装置SPI動作でのUSART対SPI

主装置SPI動作でのUSARTは独立型SPI周辺機能と完全な互換性があります。それらのデータフレームとタイミング構成設定は同じです。けれども、以下のようないくつかのSPI特有特殊機能は主装置SPI動作でのUSARTで支援されません。

- 書き込み衝突(WRCOL)フラグ保護
- 倍速動作
- 複数主装置支援

主装置SPI動作でのUSARTとSPIで使われるピンの比較が右表で示されます。

表23-3. 主装置SPI動作でのUSARTとSPIのピン比較

USART	SPI	注釈
TxD	MOSI	主装置出力
RxD	MISO	主装置入力
XCK	SCK	機能的に同一
該当なし	SS	主装置SPI動作でのUSARTで不支援 (注)

注: 独立型SPI周辺機能について、このピンは複数主装置機能で、または専用従装置選択として使われます。複数主装置機能は主装置SPI動作でのUSARTで利用不可で、専用従装置選択ピンは利用不可です。

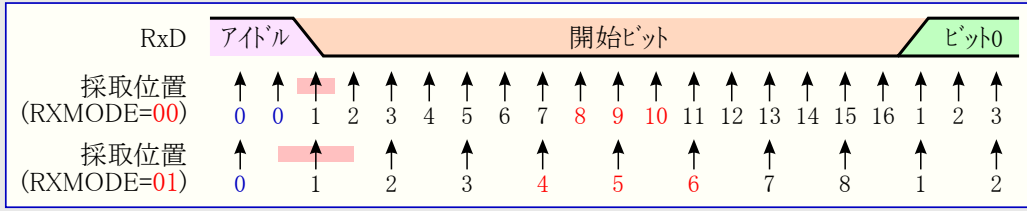
23.3.3.2. 非同期動作

23.3.3.2.1. クロック再生

非同期動作使用時に共通クロック信号がないため、通信する各装置は独立したクロック信号を生成します。これらのクロック信号は行われる通信に対して同じボーレートで動くように構成設定されなければなりません。従って、装置は同じ速度で動きますが、それらのタイミングはお互いの関係に於いて歪められています。これに対応するため、USARTはやって来る非同期直列フレームを内部的に生成したボーレートクロックと同期するハードウェアクロック再生部が特徴です。

下図は到着フレームの開始ビット用採取処理を図解します。これは標準と倍速の両動作(各々、'00'と'01'に構成設定された制御B(USARTn.CTRLB)レジスタの受信部動作(RXMODE)ビット領域)に対するタイミングの仕組みを示します。標準動作用採取速度はボーレートの16倍、一方で倍速動作用採取速度はボーレートの8倍です(「23.3.3.2.4. 倍速動作」をご覧ください)。赤帯(訳注:原文は水平矢印)は最大同期誤差を示します。最大同期誤差が倍速動作でより大きいことに注意してください。

図23-6. 開始ビット採取

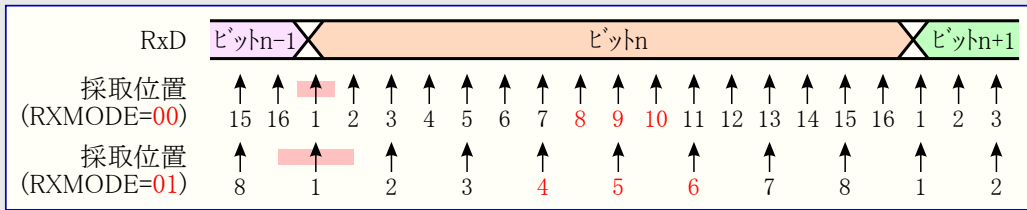


クロック再生論理回路がアイドル(High)状態から開始ビット(Low)への下降端を検出すると、開始ビット検出手順が始まります。上図に於いて、採取1は最初の'0'読み採取を記します。その後クロック再生論理回路は有効な開始ビットが受信されたかを判断するのに3つの連続採取(標準動作で採取8,9,10、倍速動作で採取4,5,6)を使います。2つまたは3つの採取が'0'を読む場合、開始ビットが受け入れられます。クロック再生部が同期化され、データ再生を始めることができます。2つ未満の採取が'0'を読む場合、この開始ビットは捨てられます。この処理は各開始ビット毎に繰り返されます。

23.3.3.2.2. データ再生

クロック再生と同様に、データ再生部は倍速動作または標準動作で動いているかに依存して、各々、ボーレートよりも8または16倍速い速度で採取します。下図は受信したフレームでのビット読み取り用採取処理を示します。

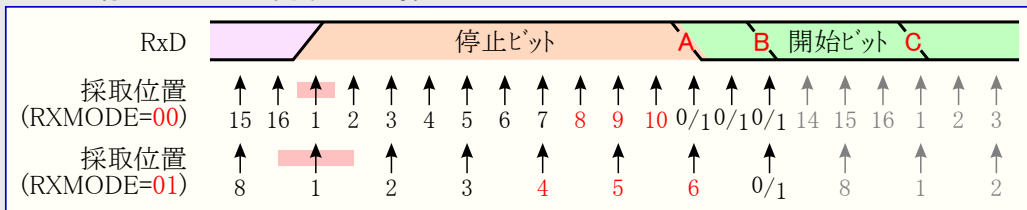
図23-7. データビットとパリティビットの採取



受信したビットの論理レベルを判断するのにクロック再生でのように中央3採取での多数決技法が使われます。この処理は完全なフレームが受信されるまで各ビットに対して繰り返されます。

データ再生部は最初の停止ビットだけを受け取る一方で、もっとある場合に残りを無視します。採取した停止ビットが'0'を読む場合、受信データ上位(USARTn.RXDADAH)レジスタのフレーム異常(FERR)フラグが設定(1)されます。下図は停止ビットの採取を示します。これは最も早く可能な次のフレームの始めも示します。

図23-8. 停止ビットと次の開始ビットの採取



新しいフレームの開始ビットを示すHighからLowへの遷移は多数決に使ったビットの最後の直後に来得ます。標準速動作については最初のLowレベル採取、上図でAと記された点で有り得ます。倍速動作については最初のLowレベルが多数決採取後の最初の採取であるB点に遅らされなければなりません。C点は公称ボーレートでの停止ビットの全長(の終点)を記します。

23.3.3.2.3. 許容誤差

内部的に生成したボーレートの速度と外部的に受信したデータ速度は理想的に同じでなければなりません、本来のクロック元誤差のため、これは通常、その状況ではありません。USARTはこのような誤差を許容し、この許容の限度が時に動作範囲として知られるものを構成します。

以下の表は許容することができる最大受信部ボーレート誤差であるUSARTの動作範囲を一覧にします。標準速動作が倍速動作よりも高いボーレート変化の許容誤差を持つことに注意してください。

表23-4. 標準速と倍速での受信部ボーレート推奨最大許容誤差 (記注: 原書の表23-4と表23-5は表23-4として纏めました。)

D	標準速動作 (RXMODE=00(NORMAL))				倍速動作 (RXMODE=01(CLK2X))			
	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	Rslow(%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	±2.5
6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	±2.0
7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	±1.5
8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	±1.5
9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	±1.5
10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0

注: D: 文字(データ)ビット数とパリティビットの合計(D=5~10)

- Rslow: 受信部ボーレートに関連して受け入れすることができる最低到着データ速度の比率
- Rfast: 受信部ボーレートに関連して受け入れすることができる最高到着データ速度の比率

最大受信部ボーレート誤差の推奨は受信側と送信側が最大総許容誤差を等しく分けるとの仮定の元で作られました。

以下の式は到着データ速度と内部受信部ボーレートの最大比率計算に使われます。

$$R_{\text{slow}} = \frac{S(D+1)}{S(D+1)+S_F-1}$$

$$R_{\text{fast}} = \frac{S(D+2)}{S(D+1)+S_M}$$

D : 文字(データ)ビット数とパリティビットの合計(D=5~10)

S : ビット当たりの採取数。標準速動作はS=16、倍速動作はS=8

S_F : 多数決に使う最初の採取番号。標準速動作はS_F=8、倍速動作はS_F=4

S_M : 多数決に使う中心の採取番号。標準速動作はS_M=9、倍速動作はS_M=5

R_{slow} : 受信側ボーレートに対して許容できる最低到着データ速度の比率

R_{fast} : 受信側ボーレートに対して許容できる最高到着データ速度の比率

23.3.3.2.4. 倍速動作

倍速動作はより低い周辺機能クロック周波数での非同期動作下でより高いボーレートを許します。この動作は制御B(USARTn.CTRLB)レジスタの受信部動作(RXMODE)ビット領域に'01'を書くことによって許可されます。

許可されると、「23.3.2.2.1. 分数ボーレート発生器」での式で示されるように、与えられた非同期ボーレート設定に対するボーレートが倍にされます。この動作では、受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を使います。これはもっと正確なボーレート設定と周辺機能クロックを必要とします。より多くの詳細については「23.3.3.2.3. 許容誤差」をご覧ください。

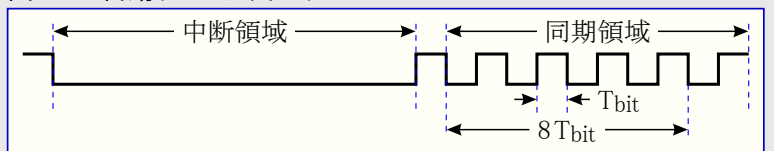
23.3.3.2.5. 自動ボーレート

自動ボーレート機能は通信装置からの入力に基づいてボーレート(USARTn.BAUD)レジスタの構成設定をUSARTにさせ、これは異なるボーレートで通信する複数装置と自律的に通信することを装置に許します。USART周辺機能は標準自動ボーレート動作とLIN制限自動ボーレート動作の2つの自動ボーレート動作が特徴です。

どちらの自動ボーレート動作も下図で見られるように自動ボーレート フレームを受け取らなければなりません。

中断領域は12以上の連続Low周期が採取される時に検出され、これから同期領域を受信しようとするのをUSARTに通知します。中断領域後、同期領域の開始ビットが検出されると、周辺機能クロック速度で動く計数器が開始されます。計数器はその後に同期領域の次の8T_{bit}間増やされます。全8ビットが採取されると、計数器が停止されます。結果の計数器値が事実上の新しいBAUDレジスタ値です。

図23-9. 自動ボーレート タイミング



USART受信動作が(制御B(USARTn.CTRLB)レジスタの受信動作(RXMODE)ビット領域)でGENAUTOに設定されると、標準自動ボーレート動作が許可されます。この動作では、どの長さ(即ち、12周期よりも短くても)中断領域の検出を許すために状態(USARTn.STATUS)レジスタの中断待機(WFB)ビットを設定(1)することができます。これは現在のボーレートを知ることなく、任意の新しいボーレート設定を可能にします。測定された同期領域が有効なBAUD値(\$0064~\$FFFF)になるなら、BAUDレジスタが更新されます。

USART受信動作が(USARTn.CTRLBレジスタのRXMODEビット領域)でLINAUTO動作に設定されると、LIN形式に従います。標準自動ボーレート動作でのWFB機能はLIN制限自動ボーレートと非互換で、これは有効な中断領域のために受信した信号が12周辺機能クロック周期以上の間Lowでなければならないことを意味します。中断領域が検出されると、USARTは\$55である後続する同期領域文字を期待します。2つの同期装置間のボーレートの違いに対する許容は制御D(USARTn.CTRLD)レジスタの自動ボーレート窓幅(ABW)ビット領域を使って構成設定することができます。これらの条件のどれかが満たされない場合、矛盾同期領域異常フラグ(USARTn.STATUSレジスタのISFIFビット)が設定(1)され、ボーレートは無変化です。

23.3.3.2.6. 半二重動作

半二重は2つ以上の装置が互いに通信できますが、同時に1つだけである通信の形式です。USARTは以下の半二重動作で動くように構成設定することができます。

- ・単線動作
- ・RS-485動作

単線動作

単線動作は**制御A(USARTn.CTRLA)レジスタの折り返し動作許可(LBME)**を設定(1)することによって許可されます。これはTxDピンを結合TxD/RxD線にするTxDピンとUSART受信部間の内部接続を許します。RxDピンはUSART受信部から切り離され、違う周辺機能によって制御されるかもしれません。

単線動作では複数装置が同時にTxD/RxD線を操作することができます。1つの装置がピンを論理Highレベル(VDD)に駆動し、別の装置がこの線をLow(GND)に引く場合、短絡が起きます。これに対応するため、USARTは送信部にピンを論理Highレベルに駆動させないようにするオープンドレイン動作(**制御B(USARTn.CTRLB)レジスタのオープンドレイン動作許可(ODME)ビット**)が特徴で、それにより、ピンをLowに引くことだけできるように制限します。内部プルアップ機能(**ピン制御(PORTx.PINnCTRL)レジスタのプルアップ許可(PULLUPEN)ビット**)とこの機能の組み合わせは線にプルアップ抵抗を通してHighを保持させ、どの装置にもLowへ引くことを許します。線がLowに引かれると、VDDからGNDへの電流はプルアップ抵抗によって制限されます。TxDピンはオープンドレイン動作が許可される時にハードウェアによって自動的に出力に設定されます。

USARTがTxD/RxDピンへ送信している時はその送信も受け取ります。これは受信したデータが送信したデータと同じであるかを調べることによって重なっている送信の検出に使うことができます。

RS-485動作

RS-485はUSART周辺機能によって支援される通信規格です。これは通信回路の構成を定義する物理的インターフェースです。データは通信を雑音に対して頑強にする差動信号を使って伝送されます。RS-485は**制御A(USARTn.CTRLA)レジスタのRS-485動作(RS485)ビット領域**に書くことによって許可されます。

RS-485動作は単一USART送信を対応する差動対信号に変換する外部線駆動部デバイスを支援します。RS4850ビットの'1'書き込みは線駆動部デバイスに対して送信または受信を許可するのに使うことができるXDIRピンの自動制御を許可します。USARTは送信している間、自動的にXDIRピンをHighに駆動し、送信完了時にLowへ引きます。このような回路の例が下図で示されます。

XDIRピンは外部線駆動部を許可するための若干の保護時間を許すため、データが移動出力される1ボーレートクロック周期前にHighになります。XDIRピンは停止ビットを含む完全なフレーム間Highに留まります。

図23-10. RS-485バス接続

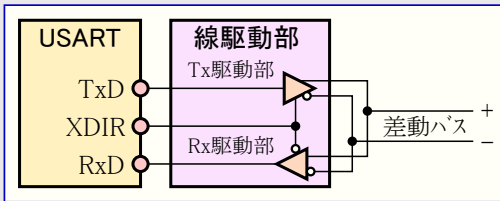
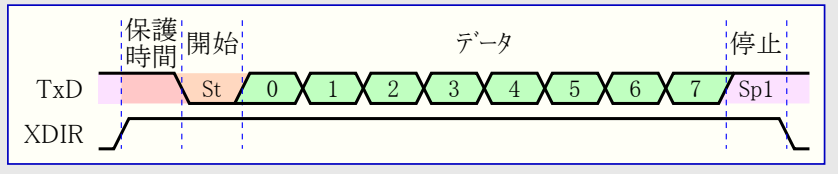


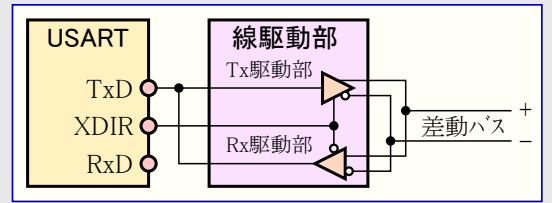
図23-11. XDIR駆動タイミング



RS4851ビットの'1'書き込みは送信開始1クロック周期前に出力に設定して送信完了時にそれを入力に設定し戻すことを自動的にTxDピンに設定するRS-485動作を許可します。

RS-485動作は単線動作と互換性があります。単線動作はTxDピンを結合したTxD/RxD線にするTxDピンとUSART受信部間の内部接続を許します。RxDピンはUSART受信部から切り離され、違う周辺機能によって制御されるかもしれません。このような回路の例が右図で示されます。

図23-12. 折り返し動作接続でのRS-485

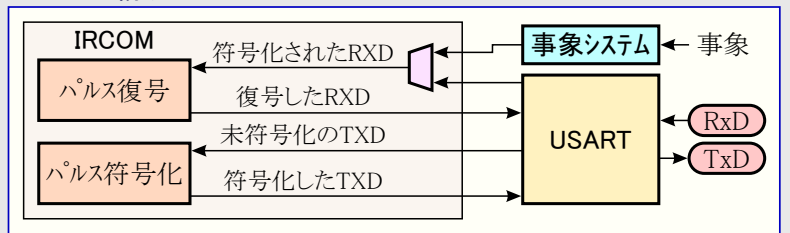


23.3.3.2.7. IRCOM動作形態

USART周辺機能は115.2kbpsまでのボーレートに適合するIrDA® 1.4である赤外線通信動作(IRCOM:Infrared Communication mode)に構成設定することができます。許可されると、IRCOM動作はUSARTに対して赤外線パルスの符号化/復号を許します。

USARTは**制御C(USARTn.CTRLB)レジスタの通信動作(CMODE)ビット領域**に'10'を書くことによってIRCOM動作に設定されます。TxD/RxDピン上のデータは送受信される赤外線パルスの反転値です。これはIRCOM受信部に対する入力として事象システムからの事象チャネルを選ぶことも可能です。これは入出力ピンまたは対応するRxDピン以外の供給元からの入力の受信をIRCOMに許し、これはUSARTピンからのRxD入力を禁止します。

図23-13. 構成図



送信については以下のような3つのパルス変調方式が利用可能です。

- ・ 3/16ボーレート周期
- ・ 周辺機能クロック周波数に基いた設定可能な固定パルス時間
- ・ パルス変調禁止

受信については論理'0'として復号されるべきパルスに対して定められた選択可能な最小Highレベルパルス幅が使われます。より短いパルスは破棄され、そのビットはパルスが全く受信されなかった場合に論理'1'に復号されます。

倍速動作はIRCOM動作が許可される時にUSARTに対して使うことができません。

23.3.4. 付加機能

23.3.4.1. パリティ

パリティビットはデータフレームの有効性検査のため、USARTによって使うことができます。パリティビットは送信に於いて'1'の値を持つビット数に基づいて送信部によって設定され、受信に於いて受信部によって管理されます。パリティビットが送信フレームと矛盾する場合、受信部はデータフレームが不正にされたと推測することができます。

偶数または奇数のパリティは制御C(USARTn.CTRLA)レジスタのパリティ動作(PMODE)ビット領域を書くことによって誤り検査用を選ぶことができます。偶数パリティが選ばれた場合、パリティビットは'1'値を持つデータビット数が奇数の場合に'1'に設定されます('1'値を持つ総ビット数を偶数にします)。奇数パリティが選ばれた場合、パリティビットは'1'値を持つデータビット数が偶数の場合に'1'を設定します('1'を持つ総ビット数を奇数にします)。

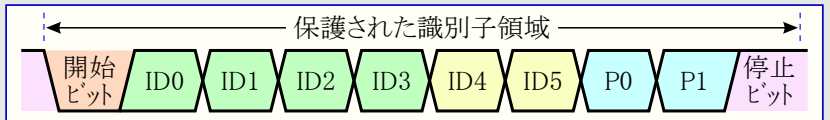
許可されると、パリティ検査部は到着フレーム内のデータビットのパリティを計算し、その結果を対応するフレームのパリティビットと比べます。パリティ誤りが検出された場合、受信データ上位バイト(USARTn.RXDATAH)レジスタのパリティ誤り(PERR)フラグが設定(1)されます。

LIN制限自動ボーレート動作が許可(制御B(USARTn.CTRLB)レジスタの受信動作(RXMODE)ビット='11')された場合、パリティ検査は保護された識別子領域でだけ実行されます。下の式の1つが真でなければパリティ誤りが検出され、それがパリティ誤り(PERR)フラグを設定(1)します。

$$P0 = ID0 \oplus ID1 \oplus ID2 \oplus ID4$$

$$P1 = \text{NOT} (ID1 \oplus ID3 \oplus ID4 \oplus ID5)$$

図23-14. 保護された識別子領域と識別子とパリティビットの配置



23.3.4.2. フレーム開始検出

フレーム開始検出機能はデータ受信でスタンバイ休止動作から起き上がることをUSARTに許します。

RxDピンでHighからLowへの遷移が検出されると、発振器が給電されてUART周辺機能クロックが許可されます。始動後、ボーレートが発振器始動時間に関して充分遅ければ、データフレームの残りを受信することができます。発振器の始動時間は供給電圧と温度で変わります。発振器始動時間特性の詳細については「電気的特性」章を参照してください。

誤った開始ビットが検出された場合で別の供給元が起動してしまっていなければ、スタンバイ休止動作に戻ります。

フレーム開始検出は非同期動作でだけ動きます。これは制御B(USARTn.CTRLB)レジスタのフレーム開始検出許可(SFDEN)ビットを(1)に書くことによって許可されます。デバイスがスタンバイ休止動作の間に開始ビットが検出された場合、UART開始割り込み要求フラグ(RXSIF)ビットが設定(1)されます。

UART受信完了フラグ(RXCIF)ビットとUART開始割り込み要求フラグ(RXSIF)ビットは同じ割り込み線を共用しますが、各々は専用の割り込み設定を持ちます。下表は割り込み設定に依存するUSARTフレーム開始検出動作を示します。

表23-6. USARTフレーム開始検出動作

SFDEN	RXSIF割り込み	RXCIF割り込み	注釈
0	x	x	標準動作
1	禁止	禁止	発振器はフレーム受信中にだけ給電されます。割り込みが禁止されて緩衝部溢れが無視された場合、全ての到着データが失われます。
1	禁止	許可	システム/全てのクロックが受信完了割り込みで起き上がり(起動)します。
1	許可	x	システム/全てのクロックが開始ビット検出時に起き上がり(起動)します。

注: SLEEP命令は進行中の通信がある場合に発振器を停止しません。

23.3.4.3. 複数プロセッサ通信

複数プロセッサ通信動作(MPCM)は同じ直列バス経由で複数のマイクロ コントローラ通信を持つシステムで、受信部によって処理されなければならない到着フレーム数を効果的に減らします。この動作は**制御B(USARTn.CTRLB)レジスタの複数プロセッサ通信動作(MPCM)ビットに'1'**を書くことによって許可されます。この動作ではフレームがアドレスかデータのどちらのフレーム形式かを示すのにフレーム内の専用ビットが使われます。

受信部が5～8データ ビットを含むフレームを受信するように構成設定されたなら、最初の停止ビットはフレーム形式を示すのに使われます。受信部が9データ ビットのフレームに構成設定されたなら、フレーム形式を示すのに第9ビットが使われます。フレーム形式(最初の停止または第9)ビットが'1'の時にそのフレームはアドレスを含みます。フレーム形式ビットが'0'の時にそのフレームはデータ フレームです。5～8ビット文字(データ)フレームが使われる場合、最初の停止ビットがフレーム形式を示すのに使われるため、送信部は**2停止ビット使用に設定**されなければなりません。

特定の従装置MCUがアドレス指定されたなら、そのMCUは後続するデータ フレームを通常のように受信し、一方他の従装置MCUは別のアドレス フレームが受信されるまでフレームを無視します。

23.3.4.3.1. 複数プロセッサ通信動作の使い方

複数プロセッサ通信動作(MPCM)でデータを交換するには次の手順を使ってください。

1. 全ての従装置MCUは複数プロセッサ通信動作です。
2. 主装置MCUはアドレス フレームを送り、全ての従装置がこのフレームを受け取って読みます。
3. 各従装置MCUは選択されたかを判定します。
4. アドレス指定されたMCUはMPCMを禁止して全てのデータ フレームを受信します。他の従装置MCUはデータ フレームを無視します。
5. アドレス指定されたMCUが最後のデータ フレームを受信してしまうと、再びMPCMを許可して主装置からの新しいアドレス フレームを待たなければなりません。

その後、手順は2.からを繰り返します。

23.3.5. 事象

USARTは下表で記述される事象を生成することができます。

表23-7. USARTでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
USARTn	XCK	SPI主装置動作と同期USART主装置動作でのクロック信号	パルス	CLK_PER	1 XCK周期

下表は事象使用部とその関連機能を記述します。

表23-8. USARTでの事象使用部

使用部名		説明	入力検出	同期/非同期
周辺機能	入力			
USARTn	IREI	USARTn IrDA事象入力	パルス	同期

23.3.6. 割り込み

表23-9. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
RXC	受信完了割り込み	<ul style="list-style-type: none"> 受信緩衝部に未読データ有 (RXCIE) 検出されたフレーム開始の受信 (RXSIE) 自動ボーレート異常/矛盾同期領域割り込み要求フラグ(ISFIF)設定(1) (ABEIE)
DRE	データ レジスタ空割り込み	送信緩衝部が空/新しいデータを受け取る準備可 (DREIE)
TXC	送信完了割り込み	送信移動レジスタのフレーム全体が出力され、送信緩衝部に新データ無し (TXCIE)

割り込み条件が起ると、**状態(USARTn.STATUS)レジスタ**で対応する割り込み要求フラグが設定(1)されます。

割り込み元は**制御A(USARTn.CTRLA)レジスタ**で対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細についてはUSARTn.STATUSレジスタをご覧ください。

23.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	RXDATAL	7~0	DATA7~0							
+\$01	RXDATAH	7~0	RXCIF	BUFOVF				FERR	PERR	DATA8
+\$02	TXDATAL	7~0	DATA7~0							
+\$03	TXDATAH	7~0								DATA8
+\$04	STATUS	7~0	RXCIF	TXCIF	DREIF	RXSIF	ISFIF		BDF	WFB
+\$05	CTRLA	7~0	RXCIE	TXCIE	DREIE	RXSIE	LBME	ABEIE	RS4851,0	
+\$06	CTRLB	7~0	RXEN	TXEN		SFDEN	ODME	RXMODE1,0		MPCM
+\$07	CTRLC	7~0	CMODE1,0		PMODE1,0		SBMODE		CHSIZE2~0	
								UDORD	UCPHA	
+\$08	BAUD	7~0	BAUD7~0							
+\$09		15~8	BAUD15~8							
+\$0A	CTRLD	7~0	ABW1,0							
+\$0B	DBGCTRL	7~0								DBGRUN
+\$0C	EVCTRL	7~0								IREI
+\$0D	TXPLCTRL	7~0	TXPL7~0							
+\$0E	RXPLCTRL	7~0	RXPL7~0							

23.5. レジスタ説明

23.5.1. RXDATAL – 受信データ下位バイト (Receiver Data Register Low Byte)

名称 : RXDATAL
変位 : +\$00
リセット : \$00
特質 : -

このレジスタはUSART受信部によって受信されたデータの下位側8ビットを含みます。USART受信部は2重緩衝され、このレジスタは常に最も古くに受信したフレームに対するデータを示します。受信緩衝部に1フレームに対するデータだけが存在する場合、このレジスタはそのデータを含みます。

緩衝部は構成設定に依存してRXDATALまたはRXDATAHのどちらかが読まれる時にデータを移動します。移動前に両バイトを読むことができるようにデータ移動を引き起こさないレジスタが先に読まれなければなりません。

制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定される場合、RXDATAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DATA7~0 : 受信データ (Receiver Data Register)

23.5.2. RXDATAH – 受信データ上位バイト (Receiver Data Register High Byte)

名称 : RXDATAH
変位 : +\$01
リセット : \$00
特質 : -

このレジスタはUSART受信部によって受信されたデータの上位側ビットだけでなく、受信したデータフレームの状態を反映する状態ビットも含みます。USART受信部は2重緩衝され、このレジスタは常に最も古くに受信したフレームに対するデータと状態ビットを示します。受信緩衝部に1フレームに対するデータと状態ビットだけが存在する場合、このレジスタはそのデータと状態ビットを含みます。

緩衝部は構成設定に依存してRXDATALまたはRXDATAHのどちらかが読まれる時にデータを移動します。移動前に両バイトを読むことができるようにデータ移動を引き起こさないレジスタが先に読まれなければなりません。

制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定される場合、RXDATAHの読み込みが受信緩衝部を移動します。さもなければ、RXDATALが緩衝部を移動します。

ビット	7	6	5	4	3	2	1	0
	RXCIF	BUFOVF				FERR	PERR	DATA8
アクセス種別	R/W	R/W	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RXCIF : 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信緩衝部内に未読データがある時に設定(1)され、受信緩衝部が空の時に解除(0)されます。

● ビット6 – BUFOVF : 緩衝部溢れフラグ (Buffer Overflow)

このフラグは緩衝部溢れが検出された場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯で、新しいフレームが受信移動レジスタで待っていて、新しい開始ビットが検出された時に起こります。このフラグは受信データ(USARTn.RXDATALとUSARTn.RXDATAH)レジスタが読まれる時に解除(0)されます。

このフラグは主装置SPI動作形態で使われません。

● ビット2 – FERR : フレーム異常フラグ (Frame Error)

このフラグは最初の最初の停止ビットが'0'の場合に設定(1)され、それが'1'として正しく読めた時に解除(0)されます。

このフラグは主装置SPI動作形態で使われません。

● ビット1 – PERR : パリティ誤りフラグ (Parity Error)

このフラグはパリティ検査が許可され、受信したデータがパリティ誤りを持つ場合に設定(1)され、さもなければ、このフラグは解除(0)されます。パリティ計算の詳細については「23.3.4.1. パリティ」を参照してください。

このフラグは主装置SPI動作形態で使われません。

●ビット0 – DATA8 : 受信データビット8 (Receiver Data Register)

9ビットの大きさのフレーム使用時、このビットは受信データの第9(最上位)ビットを保持します。

制御B(USARTn.CTRLB)レジスタの受信動作(RXMODE)ビット領域がLIN制限自動ポーレート(LINAUTO)動作に構成設定されると、このビットは受信データがLINフレームの応答空間内かを示します。受信データが保護された識別子領域なら、このビットは解除(0)され、さもなければ、設定(1)されます。

23.5.3. TXDATAL – 送信データ下位バイト (Transmit Data Register Low Byte)

名称 : TXDATAL

変位 : +\$02

リセット : \$00

特質 : –

このレジスタに書かれたデータは自動的にTX緩衝部を通して専用の移動レジスタに設定されます。移動レジスタはビットの各々を直列にTxDピンに出力します。

9ビットの大きさのフレーム使用時、第9(最上位)ビットは送信データ上位バイト(USARTn.TXDATAH)レジスタに書かれなければなりません。その場合、緩衝部は構成設定に応じて送信データ下位バイト(USARTn.TXDATAL)レジスタまたは送信データ上位バイト(USARTn.TXDATAH)レジスタのどちらかが書かれた時にデータを移動します。移動前に両バイトを書くことができるようにデータ移動を引き起こさないレジスタが先に書かれなければなりません。

制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定されると、送信データ上位バイトレジスタの書き込みが送信緩衝部を移動します。さもなければ、送信データ下位バイトレジスタが緩衝部を移動します。

このレジスタは状態(USARTn.STATUS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)されている時にだけ書くことができます。

ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7~0 – DATA7~0 : 送信データ (Transmit Data Register Low Byte)

23.5.4. TXDATAH – 送信データ上位バイト (Transmit Data Register High Byte)

名称 : TXDATAH

変位 : +\$03

リセット : \$00

特質 : –

このレジスタに書かれたデータは自動的にTX緩衝部を通して専用の移動レジスタに設定されます。移動レジスタはビットの各々を直列にTxDピンに出力します。

9ビットの大きさのフレーム使用時、第9(最上位)ビットは送信データ上位バイト(USARTn.TXDATAH)レジスタに書かれなければなりません。その場合、緩衝部は構成設定に応じて送信データ下位バイト(USARTn.TXDATAL)レジスタまたは送信データ上位バイト(USARTn.TXDATAH)レジスタのどちらかが書かれた時にデータを移動します。移動前に両バイトを書くことができるようにデータ移動を引き起こさないレジスタが先に書かれなければなりません。

制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)ビット領域が9ビット(下位バイト先行)に構成設定されると、送信データ上位バイトレジスタの書き込みが送信緩衝部を移動します。さもなければ、送信データ下位バイトレジスタが緩衝部を移動します。

このレジスタは状態(USARTn.STATUS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)されている時にだけ書くことができます。

ビット	7	6	5	4	3	2	1	0
								DATA8
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7 – DATA8 : 送信データビット8 (Transmit Data Register High Byte)

このビットは制御C(USARTn.CTRL)レジスタの文字ビット数(CHSIZE)=9BITLまたは9BITHの時に使われます。

23.5.5. STATUS – 状態 (USART Status Register)

名称 : STATUS
変位 : +\$04
リセット : \$20
特質 : –

ビット	7	6	5	4	3	2	1	0
	RXCIF	TXCIF	DREIF	RXSIF	ISFIF		BDF	WFB
アクセス種別	R/W	R/W	R	R/W	R/W	R	R/W	W
リセット値	0	0	1	0	0	0	0	0

● ビット7 – RXCIF : 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信緩衝部内に未読データがある時に設定(1)され、受信緩衝部が空の時に解除(0)されます。

● ビット6 – TXCIF : 送信完了割り込み要求フラグ (USART Transmit Complete Interrupt Flag)

このフラグは送信移動レジスタのフレーム全体が移動出力されてしまい、送信緩衝部と送信データ(TXDATALとTXDATAH)レジスタ内に新しいデータがない時に設定(1)されます。これに‘1’を書くことによって解除(0)されます。

● ビット5 – DREIF : データレジスタ空割り込み要求フラグ (USART Data Register Empty Flag)

このフラグは送信データ(USARTn.TXDATALとUSARTn.TXDATAH)レジスタが空の時に設定(1)され、それらが送信移動レジスタ内へ未だ移されていないデータを含む時に解除(0)されます。

● ビット4 – RXSIF : 受信開始割り込み要求フラグ (USART Receive Start Interrupt Flag)

このフラグはフレーム開始検出が許可され、デバイスがスタンバイ休止動作で、有効な開始ビットが検出された時に設定(1)されます。これに‘1’を書くことによって解除(0)されます。

このフラグは主装置SPI動作形態で使われません。

● ビット3 – ISFIF : 矛盾同期領域割り込み要求フラグ (Inconsistent Sync Field Interrupt Flag)

このフラグは自動ボーレートが許可されて、同期領域が与えられた有効なボーレート設定に対して速すぎる、または遅すぎる場合に設定(1)されます。USARTがLIN_{AUTO}動作に設定され、同期(SYNC)文字が\$55のデータ値と違う時にも設定(1)されます。このフラグはこれに‘1’を書くことによって解除(0)されます。より多くの情報については「自動ボーレート」項をご覧ください。

● ビット1 – BDF : 中断検出フラグ (Break Detected Flag)

このフラグは自動ボーレート動作が許可され、有効な中断(BREAK)と同期(SYNC)の文字が検出された場合に設定(1)され、次のデータが受信された時に解除(0)されます。これに‘1’を書くことによって解除(0)することができます。より多くの情報については「自動ボーレート」項をご覧ください。

● ビット0 – WFB : 中断待機 (Wait For Break)

このビットは中断(BREAK)機能用待機が許可されるか否かを制御します。より多くの情報については「自動ボーレート」項を参照してください。

値	0	1
説明	中断待機が禁止されます。	中断待機が許可されます。

23.5.6. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +\$05
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	DREIE	RXSIE	LBME	ABEIE	RS485 _{1,0}	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットは受信完了割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの受信完了割り込み要求フラグ(RXCIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	受信完了割り込みが禁止されます。	受信完了割り込みが許可されます。

●ビット6 – TXCIE : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットは送信完了割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	送信完了割り込みが禁止されます。	送信完了割り込みが許可されます。

●ビット5 – DREIE : データレジスタ空割り込み許可 (Data Register Empty Interrupt Enable)

このビットはデータレジスタ空割り込み許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	データレジスタ空割り込みが禁止されます。	データレジスタ空割り込みが許可されます。

●ビット4 – RXSIE : 受信開始割り込み許可 (Receiver Start Frame Interrupt Enable)

このビットは受信開始割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの受信開始割り込み要求フラグ(RXSIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	受信開始割り込みが禁止されます。	受信開始割り込みが許可されます。

●ビット3 – LBME : 折り返し動作許可 (Loop-back Mode Enable)

このビットは折り返し動作が許可されるか否かを制御します。許可されると、TxDピンとUSART受信部間の内部接続が作成され、RxDピンからUSART受信部への入力が切断されます。

値	0	1
説明	折り返し動作が禁止されます。	折り返し動作が許可されます。

●ビット2 – ABEIE : 自動ボーレート異常割り込み許可 (Auto-baud Error Interrupt Enable)

このビットは自動ボーレート異常割り込みが許可されるか否かを制御します。許可されると、割り込みは状態(USARTn.STATUS)レジスタの矛盾同期領域割り込み要求フラグ(ISFIF)ビットが設定(1)される時に起動されます。

値	0	1
説明	自動ボーレート異常割り込みが禁止されます。	自動ボーレート異常割り込みが許可されます。

●ビット1,0 – RS4851,0 : RS-485動作 (RS-485 Mode)

このビット領域はRS-485を許可して動作形態を選びます。RS4850の'1'書き込みは自動的に送信開始1クロック周期前にXDIRピンをHighに駆動して送信完了時に再びそれをLowに引くRS-485動作を許可します。RS4851の'1'書き込みは自動的に送信開始1クロック周期前にTxDピンを出力に設定し、送信完了時にそれを入力に設定し戻すRS-485動作を許可します。

23.5.7. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$06

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RXEN	TXEN		SFDEN	ODME	RXMODE1,0		MPCM
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7 – RXEN : 受信許可 (Receiver Enable)

このビットはUSART受信部が許可されるか否かを制御します。より多くの情報については「23.3.2.4.2. 受信部禁止」項を参照してください。

値	0	1
説明	RUSART受信部が禁止されます。	USART受信部が許可されます。

●ビット6 – TXEN : 送信許可 (Transmitter Enable)

このビットはUSART送信部が許可されるか否かを制御します。より多くの情報については「23.3.2.3.1. 送信部禁止」項を参照してください。

値	0	1
説明	RUSART送信部が禁止されます。	USART送信部が許可されます。

●ビット4 – SFDEN : フレーム開始検出許可 (Start of Frame Detection Enable)

このビットはUSARTフレーム開始検出動作が許可されるか否かを制御します。より多くの情報については「23.3.4.2. フレーム開始検出」項を参照してください。

値	0	1
説明	RUSART送信部が禁止されます。	USART送信部が許可されます。

●ビット3 – ODME : オープンドレイン動作許可 (Open Drain Mode Enable)

このビットはオープンドレイン動作が許可されるか否かを制御します。より多くの情報については「単線動作」項を参照してください。

値	0	1
説明	オープンドレイン動作が禁止されます。	オープンドレイン動作が許可されます。

●ビット2,1 – RXMODE1,0 : 受信動作 (Receiver Mode)

このビット領域書き込みはUSARTの受信部動作を選びます。

- これらのビットへの‘00’書き込みは標準速(NORMAL)動作を許可します。制御C(USARTn.CTRLC)レジスタのUSART通信動作(CMODE)ビット領域が非同期USART(ASYNCHRONOUS)または赤外通信(IRCOM)に構成設定される時は常にRXMODEビット領域へ‘00’を書いてください。
- これらのビットへの‘01’書き込みは倍速(CLK2X)動作を許可します。より多くの情報については「23.3.3.2.4. 倍速動作」項を参照してください。
- これらのビットへの‘10’書き込みは標準自動ボーレート(GENAUTO)動作を許可します。より多くの情報については「自動ボーレート」項を参照してください。
- これらのビットへの‘11’書き込みはLIN制限自動ボーレート(LINAUTO)動作を許可します。より多くの情報については「自動ボーレート」項を参照してください。

値	0 0	0 1	1 0	1 1
名称	NORMAL	CLK2X	GENAUTO	LINAUTO
説明	標準速動作	倍速動作	標準自動ボーレート動作	LIN制限自動ボーレート動作

●ビット0 – MPCM : 複数プロセッサ通信動作 (Multi-processor Communication Mode)

このビットは複数プロセッサ通信動作が許可されるか否かを制御します。より多くの情報については「23.3.4.3. 複数プロセッサ通信」をご覧ください。

値	0	1
説明	複数プロセッサ通信動作が禁止されます。	複数プロセッサ通信動作が許可されます。

23.5.8. CTRLC – 制御C – 標準動作 (Control C – Normal Mode)

名称 : CTRLC

変位 : +\$07

リセット : \$03

特質 : -

このレジスタ記述は主装置SPI動作を除く全動作に対して有効です。このレジスタのUSART通信動作(CMODE)ビット領域が‘MSPI’を書かれた時の正確な記述については「制御C(CTRLC) – 主装置SPI動作」レジスタをご覧ください。

ビット	7	6	5	4	3	2	1	0
	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	1	1

●ビット7,6 – CMODE1,0 : 通信動作 (USART Communication Mode)

このビット領域はUSARTの通信動作を選びます。

これらのビットへの'11'書き込みはこのレジスタでの利用可能なビット領域が変わります。「制御C(CTRLC) – 主装置SPI動作」レジスタをご覧ください。

値	0 0	0 1	1 0	1 1
名称	ASYNCHRONOUS	SYNCHRONOUS	IRCOM	MSPI
説明	非同期USART	同期USART	赤外線通信	主装置SPI

●ビット5,4 – PMODE1,0 : パリティ動作 (Parity Mode)

このビット領域はパリティ生成の形式を選びます。より多くの情報については「23.3.4.1. パリティ」をご覧ください。

値	0 0	0 1	1 0	1 1
名称	DISABLED	–	EVEN	ODD
説明	禁止	(予約)	許可、偶数パリティ	許可、奇数パリティ

●ビット3 – SBMODE : 停止ビット動作 (Stop Bit Mode)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します。

値	0	1
説明	1停止ビット	2停止ビット

●ビット2~0 – CHSIZE2~0 : 文字ビット数 (Character Size)

このビット領域はフレーム内のデータビット数を選びます。受信部と送信部は同じ設定を使います。9ビット文字に対しては、受信データ(RXD ATA)または送信データ(TXDATA)の下位または上位で先に読み書きするバイト順を構成設定することができます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	5BIT	6BIT	7BIT	8BIT	–	–	9BITL	9BITH
説明	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	9ビット(下位バイト先行)	9ビット(上位バイト先行)

23.5.9. CTRLC – 制御C – 主装置SPI動作 (Control C – Master SPI Mode)

名称 : CTRLC

変位 : +\$07

リセット : \$02

特質 : –

このレジスタ記述はUSARTが(通信動作(CMODE)がMSPIを書かれる)主装置SPI動作の時にだけ有効です。他のCMODE値についての正確な記述に関しては「制御C(CTRLC) – 標準動作」レジスタをご覧ください。

主装置SPI動作の完全な記述については「23.3.3.1.3. 主装置SPI動作でのUSART」をご覧ください。

ビット	7	6	5	4	3	2	1	0
	CMODE1,0					UDORD	UCPHA	
アクセス種別	R/W	R/W	R	R	R	R/W	R/W	R
リセット値	0	0	0	0	0	0	1	0

●ビット7,6 – CMODE1,0 : 通信動作 (USART Communication Mode)

このビット領域はUSARTの通信動作を選びます。

これらのビットへの'11'以外の書き込みはこのレジスタでの利用可能なビット領域が変わります。「制御C(CTRLC) – 標準動作」レジスタをご覧ください。

値	0 0	0 1	1 0	1 1
名称	ASYNCHRONOUS	SYNCHRONOUS	IRCOM	MSPI
説明	非同期USART	同期USART	赤外線通信	主装置SPI

●ビット2 – UDORD : USARTデータ順 (USART Data Order)

このビットはフレーム形式を選びます。

受信部と送信部は同じ設定を使います。UDORDビットの設定変更は送受信部両方に対して進行中の全ての通信を不正にします。

値	0	1
説明	データ語のMSBが先に送信されます。	データ語のLSBが先に送信されます。

● ビット1 – UCPHA : USARTクロック位相 (USART Clock Phase)

このビットはインターフェースクロックの位相を制御します。より多くの情報については「クロック生成」項を参照してください。

値	0	1
説明	データが先行(先頭)端で採取されます。	データが後行(最終)端で採取されます。

23.5.10. BAUD – ボーレート (Baud Register)

名称 : BAUD (BAUDH,BAUDL)

変位 : +\$08

リセット : \$0000

特質 : -

USARTn.BAUDHとUSARTn.BAUDLのレジスタ対は16ビット値のUSARTn.BAUDを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセス可能です。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

送信部と受信部の進行中の転送はボーレートが変更される場合に不正にされます。このレジスタへの書き込みはボーレート前置分周器の即時更新を起動します。ボーレートの設定方法のより多くの情報については表23-1をご覧ください。

ビット	15	14	13	12	11	10	9	8
	BAUD15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	BAUD7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – BAUD15~8 : ボーレート上位バイト (USART Baud Rate high byte)

このビット領域は16ビットボーレートレジスタの上位バイトを保持します。

● ビット7~0 – BAUD7~0 : ボーレート下位バイト (USART Baud Rate low byte)

このビット領域は16ビットボーレートレジスタの下位バイトを保持します。

23.5.11. CTRLD – 制御D (Control D)

名称 : CTRLD

変位 : +\$0A

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	ABW1,0							
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7,6 – ABW1,0 : 自動ボーレート窓幅 (Auto-baud Window Size)

これらのビットはLIN制限自動ボーレート動作使用時に2つの同期する装置間のボーレートの違いに対する許容値を制御します。許容値は毎回の2ビット間のボーレート採取数に基づきます。ボーレートが同じ時は各ビットが16回採取されるため、各ビット対間は32ボーレート採取でなければなりません。

値	0 0	0 1	1 0	1 1
名称	WDW0	WDW1	WDW2	WDW3
説明	32±6 (18%許容)	32±5 (15%許容)	32±7 (21%許容)	32±8 (25%許容)

23.5.12. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL
変位 : +\$0B
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGRUN : デバッグ時走行 (Debug Run)

値	0	1
説明	中断デバッグ動作で停止され事象を無視	中断デバッグ動作でCPU停止時に走行継続

23.5.13. EVCTRL – 事象制御 (IrDA Control Register)

名称 : EVCTRL
変位 : +\$0C
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								IREI
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – IREI : IrDA事象入力許可 (IrDA Event Input Enable)

このビットはIrDA事象入力が許可されるか否かを制御します。より多くの情報については「[23.3.3.2.7. IRCOM動作形態](#)」項をご覧ください。

値	0	1
説明	IrDA事象入力が禁止されます。	IrDA事象入力が許可されます。

23.5.14. TXPLCTRL – IRCOM送信パルス長制御 (IRCOM Transmitter Pulse Length Control Register)

名称 : TXPLCTRL
変位 : +\$0D
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								TXPL7~0
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TXPL7~0 : 送信パルス長 (Transmitter Pulse Length)

この8ビット値は送信部に対するパルス変調方式を設定します。このレジスタの設定はUSARTによってIRCOM動作が選択される場合にだけ有効で、USART送信部が許可(TXEN)される前に構成設定されなければなりません。

値	説明
\$00	3/16ボーレート周期パルス変調が使われます。
\$01~\$FE	固定パルス長符号化が使われます。この8ビット値はパルスに対する周辺機能クロック周期数を設定します。パルスの始めはボーレートクロックの上昇端で同期されます。
\$FF	パルス符号化禁止。送受信の信号はIRCOM単位部を無変化で通過します。これは半二重USART、折り返し検査、事象チャネルからのUSART受信入力のような、IRCOM単位部を通す他の機能を許します。

23.5.15. RXPLCTRL – IRCOM受信パルス長制御 (IRCOM Receiver Pulse Length Control Register)

名称 : RXPLCTRL
 変位 : +\$0E
 リセット : \$00
 特質 : -

ビット	7	6	5	4	3	2	1	0
	RXPL6~0							
アクセス種別	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6~0 – RXPL7~0 : 受信パルス長 (Receiver Pulse Length)

この7ビット値はIRCOM送受信部に対する濾波係数を設定します。このレジスタの設定はUSARTによってIRCOM動作が選択される場合にだけ有効で、USART受信部が許可(RXEN)される前に構成設定されなければなりません。

値	説明
\$00	濾波が禁止されます。
\$01~\$7F	濾波が許可されます。RXPL+1の値は受け入れるべき受信したパルスに必要とされる採取数を表します。

24. SPI – 直列周辺インターフェース

24.1. 特徴

- ・ 全二重、3線同期データ転送
- ・ 主装置または従装置の動作
- ・ LSB先行またはMSB先行のデータ転送
- ・ 設定可能な7つのビット速度
- ・ 転送の最後での割り込み要求フラグ
- ・ 書き込み衝突フラグ保護
- ・ アイドル休止動作からの起き上がり
- ・ 倍速(CK/2)主装置SPI動作

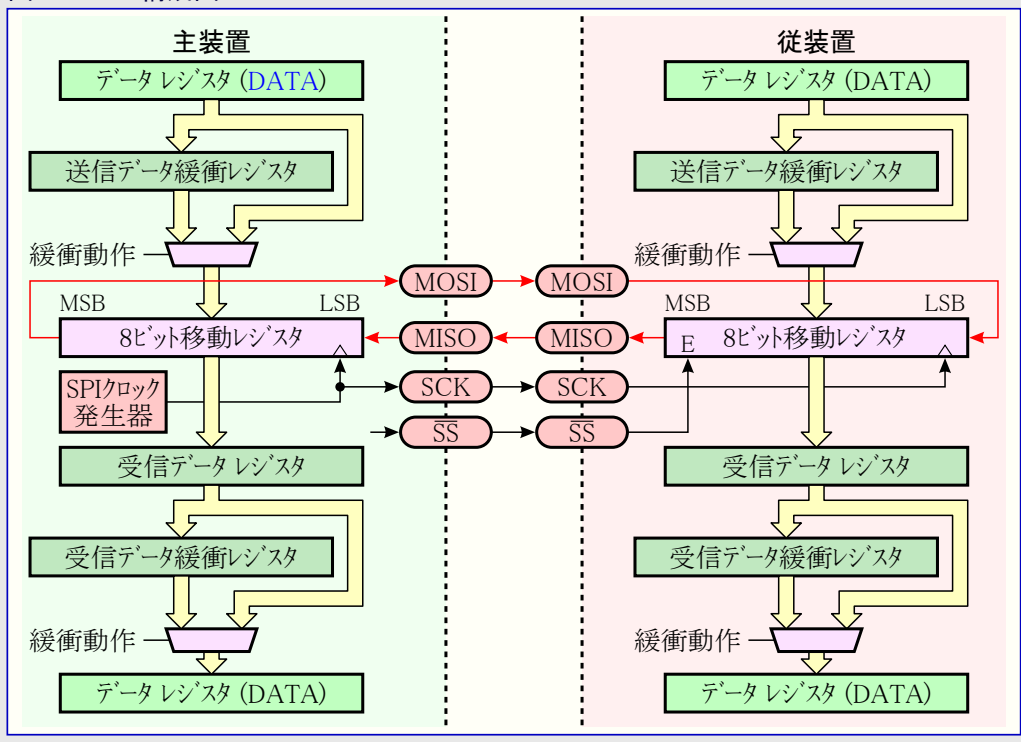
24.2. 概要

直列周辺インターフェース(SPI)は3または4つのピンを用いる高速同期データ転送インターフェースです。それはAVR®デバイスと周辺装置間、または様々なマイクロコントローラ間での全二重通信を許します。SPI周辺機能は主装置または従装置のどちらかとして構成設定することができます。主装置が全てのデータ転送処理を始めて制御します。

SPIを持つ主装置と従装置のデバイス間の相互接続は構成図で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)信号をLowに引くことによって通信周回を始めます。主装置と従装置は送るべきデータをそれらの各々の移動レジスタに用意して、主装置はデータを交換するためにSCK線路上に必要とするクロックパルスを生成します。データは常に主装置出力従装置入力(MOSI)線で主装置から従装置へ、主装置入力従装置出力(MISO)線で従装置から主装置へ移動されます。

24.2.1. 構成図

図24-1. SPI構成図



SPIは同時にデータの移動出力と入力を行う8ビット移動レジスタ周辺を構築します。データ(DATA)レジスタは物理的なレジスタではありませんが、読み書きされる時に他のレジスタに割り当てられます。送信時のデータ(SPIIn.DATA)レジスタは標準動作で移動レジスタに、緩衝動作で送信緩衝レジスタに書きます。受信時のデータ(SPIIn.DATA)レジスタ読み込みは標準動作で受信データレジスタを、緩衝動作で受信データ緩衝レジスタを読みます。

主装置動作ではSPIがSCKクロックを生成するクロック生成器を持ちます。従装置では受け取ったSCKクロックが同期化されて移動レジスタでデータの移動を起動するように採取されます。

24.2.2. 信号説明

表24-1. 主装置動作と従装置動作での信号

信号	形式		説明
	主装置動作	従装置動作	
MOSI	使用者定義 (注1)	入力	主装置出力従装置入力
MISO	入力	使用者定義 (注1,2)	主装置入力従装置出力
SCK	使用者定義 (注1)	入力	従装置クロック
\overline{SS}	使用者定義 (注1)	入力	従装置選択

注1: ピンのデータ方向が出力として構成設定される場合、ピンのレベルはSPIによって制御されます。

注2: SPIが従装置動作でMISOピンのデータ方向が出力として構成設定される場合、以下のように \overline{SS} ピンがMISOピンを制御します。

- \overline{SS} ピンがLowに駆動されるなら、MISOピンはSPIによって制御されます。
- \overline{SS} ピンがHighに駆動されるなら、MISOピンはHi-Zにされます。

SPI単位部が許可されると、MOSI、MISO、SCK、 \overline{SS} ピンのデータ方向は表25-1.に従って上書きされます。

24.3. 機能的な説明

24.3.1. 初期化

以下のこれらの手順によってSPIを基本機能状態に初期化してください。

1. ポート周辺機能で \overline{SS} ピンを構成設定してください。
2. 制御A(SPIIn.CTRLA)レジスタの主/従装置選択(MASTER)ビットを書くことによってSPI主装置/従装置動作を選んでください。
3. 主装置動作では、SPIIn.CTRLAレジスタで前置分周器(PRESC)ビットとクロック倍速(CLK2X)ビットを書くことによってクロック速度を選んでください。
4. 任意選択: 制御B(SPIIn.CTRLB)レジスタの動作形態(MODE)ビットを書くことによって転送動作形態を選んでください。
5. 任意選択: SPIIn.CTRLAレジスタのデータ順(DORD)ビットを書いてください。
6. 任意選択: 制御B(SPIIn.CTRLB)レジスタで緩衝動作許可(BUFEN)と緩衝動作受信待機機(BUFWR)のビットを書くことによって緩衝動作を構成設定してください。
7. 任意選択: 主装置動作での複数主装置支援を禁止するにはSPIIn.CTRLBレジスタの従装置選択禁止(SSD)ビットに'1'を書いてください。
8. SPIIn.CTRLAレジスタの許可(ENABLE)ビットに'1'を書くことによってSPIを許可してください。

24.3.2. 動作

24.3.2.1. 主装置動作

SPIが主装置動作に構成設定されると、データ(SPIIn.DATA)レジスタへの書き込みが新しい転送を開始します。SPI主装置は下で説明されるように2つの動作形態、標準と緩衝で動作することができます。

24.3.2.1.1. 標準動作

標準動作で、システムは送信方向で単一緩衝され、受信方向で2重緩衝されます。これは次のようにデータ処理に影響します。

1. 送られるべき次のバイトは転送全体が完了される前にデータ(SPIIn.DATA)レジスタに書くことができません。早すぎる書き込みは送出されるデータの不正を引き起こし、割り込み要求フラグ(SPIIn.INTFLAGS)レジスタの書き込み衝突(WRCOL)フラグが設定(1)されます。
2. 受信したバイトは伝送が完了した後、直ちに受信データレジスタに書かれます。
3. 受信データレジスタは次の伝送が緩衝される、またはデータが失われる前に読まれなければなりません。このレジスタはSPIIn.DATAを読むことによって読めます。
4. 送信緩衝レジスタと受信データ緩衝レジスタは標準動作で使われません。

転送完了後、割り込み要求フラグ(SPIIn.INTFLAGS)レジスタで割り込み要求フラグ(IF)が設定(1)されます。これはこの割り込みと全体割り込みが許可されている場合に実行されるべき対応する割り込みを引き起こします。割り込み制御(SPIIn.INTCTRL)レジスタの割り込み許可(IE)ビットが割り込みを許可します。

24.3.2.1.2. 緩衝動作

緩衝動作は制御B(SPIIn.CTRLB)レジスタの緩衝動作許可(BUFEN)ビットに'1'を書くことによって許可されます。SPIIn.CTRLBの緩衝動作受信待機(BUFWR)ビットは主装置動作に影響を及ぼしません。緩衝動作のシステムは送信方向で2重緩衝、受信方向で3重緩衝されます。これは次のようにデータ処理に影響します。

1. 新しいバイトは割り込み要求フラグ(SPIIn.INTFLAGS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)されている限り、データ(SPIIn.DATA)レジスタに書くことができます。最初の書き込みは直ちに送信され、後続する書き込みは送信データ緩衝レジスタへ行きます。
2. 受信したバイトは伝送が完了した後、直ちに受信データレジスタと受信データ緩衝レジスタで構成される2つの記録の受信先入れ先出し(RX FIFO)待ち行列に置かれます。
3. RX FIFOから読むのにデータ(SPIIn.DATA)レジスタが使われます。どのデータ損失も避けるため、RX FIFOは最低毎回の第2転送毎に読まなければならないません。

移動レジスタと送信データ緩衝レジスタの両方が空になる場合、割り込み要求フラグ(SPIIn.INTFLAGS)レジスタの転送完了割り込み要求フラグ(TXCIF)が設定(1)されます。これはこの割り込みと全体割り込みが許可されている場合に実行されるべき対応する割り込みを引き起こします。割り込み制御(SPIIn.INTCTRL)レジスタの割り込み許可(IE)ビットが転送完了割り込みを許可します。

24.3.2.1.3. 主装置動作でのSSピンの機能 - 複数主装置支援

主装置動作ではSPIがSSピンをどう使うのかを制御B(SPIIn.CTRLB)レジスタの従装置選択禁止(SSD)ビットが制御します。

- SPIIn.CTRLBnのSSDが'0'なら、SPIは主装置動作から従装置動作への遷移にSSピンを使うことができます。これは同じSPIバスで複数SPI主装置を許します。
- SPIIn.CTRLBnのSSDが'0'でSSピンが出力ピンとして構成設定される場合、そのピンは通常の入出力として、または他の周辺機能単位部によって使うことができ、SPIシステムに影響を及ぼしません。
- SPIIn.CTRLBnのSSDが'1'なら、SPIはSSピンを使いません。通常の入出力として、または他の周辺機能単位部によって使うことができます。

SPIIn.CTRLBnのSSDビットが'0'でSSが入力ピンとして構成設定される場合、SSピンは主装置SPI動作を保証するためにHighを保たなければならないません。Lowレベルは別の主装置がバスの制御を取ることを試みていると解釈されます。これはSPIを従装置に切り替えてSPIのハードウェアが以下の活動を実行します。

1. 制御A(SPIIn.CTRLA)レジスタの主/従装置選択(MASTER)ビットが解除(0)され、SPIシステムは従装置になります。SPIピンの方向は表24-2の条件を満たす時に切り替えられます。
2. 割り込み要求フラグ(SPIIn.INTFLAGS)レジスタの割り込み要求フラグ(IF)ビットが設定(1)されます。割り込みが許可されて全体割り込みが許可されているなら、その割り込みルーチンが実行されます。

表24-2. SPIIn.CTRLBのSSDが'0'の時のSSピン機能の概要

SS構成設定	SSピンレベル	説明
入力	High	主装置有効(選択)
	Low	主装置無効、従装置動作へ切り替え
出力	High	主装置有効(選択)
	Low	主装置有効(選択)

注: デバイスが主装置動作で、2つの送信の間にSSピンがHighに留まることを保証できない場合、新しいバイトが書かれる前にSPIIn.CTRLAレジスタの主/従装置選択(MASTER)ビットが調べられなければならないません。SS線のLowレベルによってMASTERビットが解除(0)されてしまった後、SPI主装置動作を再許可するには応用によって設定(1)されなければならないません。

24.3.2.2. 従装置動作

従装置動作で、SPI周辺機能は主装置からSPIクロックと従装置選択を受け取ります。従装置動作は3つの動作形態、1つの標準動作と緩衝動作の2つの構成設定を支援します。従装置動作で、制御論理回路はSCKピンでやって来る信号を採取します。

24.3.2.2.1. 標準動作

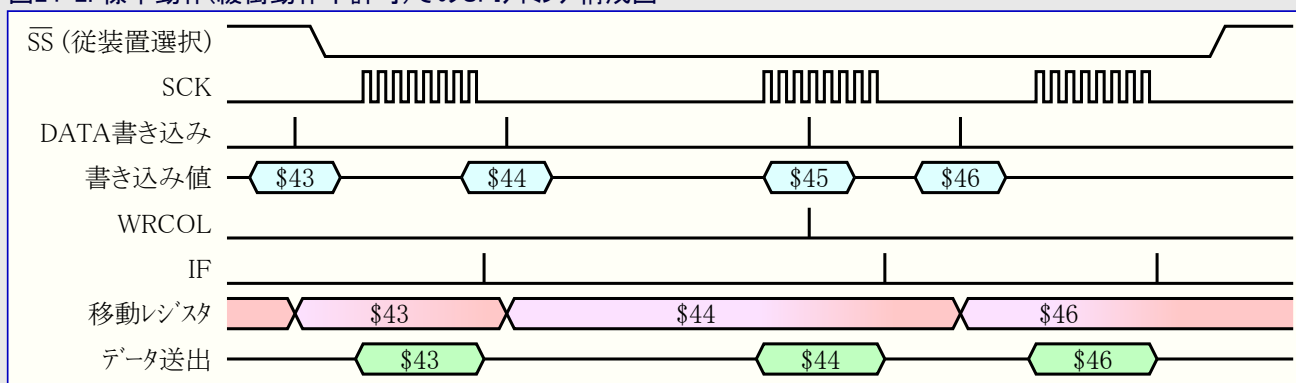
標準動作で、SPI周辺機能はSSピンがHighに駆動される限りアイドルに留まります。この状態ではソフトウェアがデータ(SPIIn.DATA)レジスタの内容を更新するかもしれませんが、SSピンがLowに駆動されるまで、データはSCKピンでやって来るクロックパルスによって移動されません。SSピンがLowに駆動された場合、従装置は最初のSCKクロックパルスでデータの移動を開始します。1バイトが完全に移動されると、割り込み要求フラグ(SPIIn.INTFLAGS)レジスタのSPI割り込み要求フラグ(IF)が設定(1)されます。

使用者応用は到着データを読む前にDATAレジスタに送る新しいデータの配置を続けるかもしれません。送るべき新しいバイトは(直前の)転送全体が完了されるのに先立ってDATAに書くことができません。早すぎる書き込みは無視され、ハードウェアがSPIIn.INTFLAGSレジスタの書き込み衝突(WRCOL)フラグを設定(1)します。

SSピンがHighに駆動されると、SPI論理回路は停止され、SPI従装置は新しいどのデータも受け取りません。移動レジスタ内のどの部分的に受信したパケットも失われます。

図24-2は標準動作での送信手順を示します。値\$45がDATAレジスタに書かれますが、何故決して送信されないかに注目してください。

図24-2. 標準動作(緩衝動作不許可)でのSPIタイミング構成図



上図は3つの転送と、SPIが転送で多忙の間でのDATAレジスタへの1つの書き込みを示します。この書き込みは無視され、SPIn.INTFL AGSレジスタの書き込み衝突(WRCOL)フラグが設定(1)されます。

24.3.2.2.2. 緩衝動作

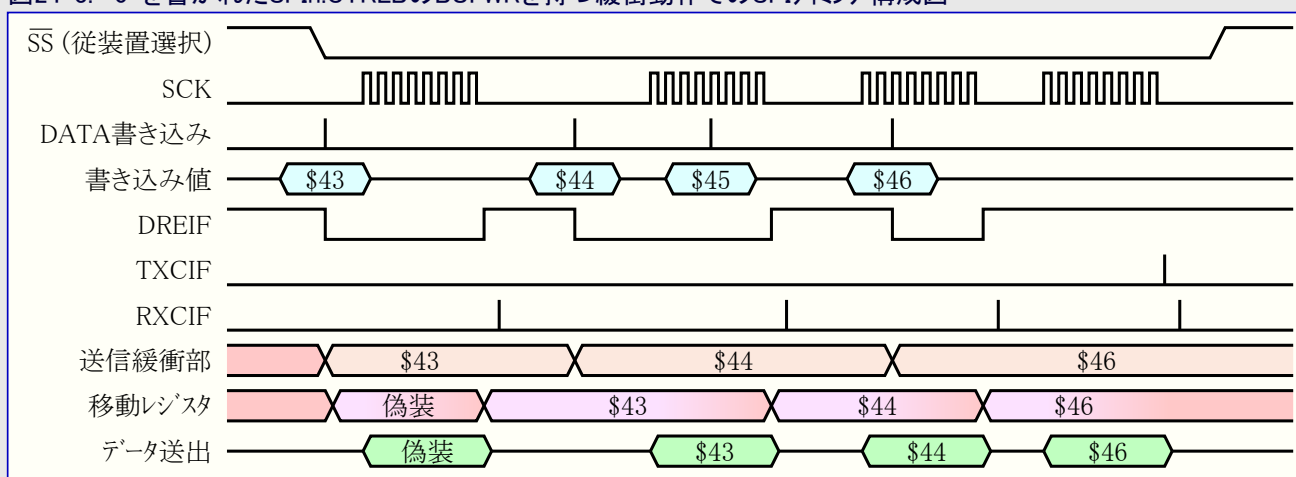
データ衝突を避けるため、SPI周辺機能は制御B(SPIn.CTRLB)レジスタの緩衝動作許可(BUFEN)ビットに'1'を書くことによって緩衝動作に構成設定することができます。この動作では2つの受信緩衝部と1つの送信緩衝部を持ちます。双方は独立した割り込み要求フラグの送信完了と受信完了を持ちます。図24-1は追加の緩衝部を示します。緩衝動作が許可される時に2つの異なる方法で動くことができます。制御B(SPIn.CTRLB)レジスタの緩衝動作受信待機(BUFWR)ビットは緩衝動作がどう動くかを制御します。タイミング構成図を含みそれらがどう動くかの詳細が下で記述されます。

注: 緩衝動作で従装置として動作し、SPIクロックが最大周波数に近いと、従装置は連続転送間の最初の採取端に対して時間内にデータを準備できないかもしれません。詳細については「電気的特性」の「SPI」項を参照してください。

緩衝動作受信待機(BUFWR)=0での従装置緩衝動作

従装置動作で、SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'0'を書かれると、使用者データの送信を開始する前に偽装バイトが送られます。図24-3はこの構成設定での送信手順を示します。値\$45がデータ(SPIn.DATA)レジスタに書かれますが、何故決して送信されないかに注目してください。

図24-3. '0'を書かれたSPIn.CTRLBのBUFWRを持つ緩衝動作でのSPIタイミング構成図



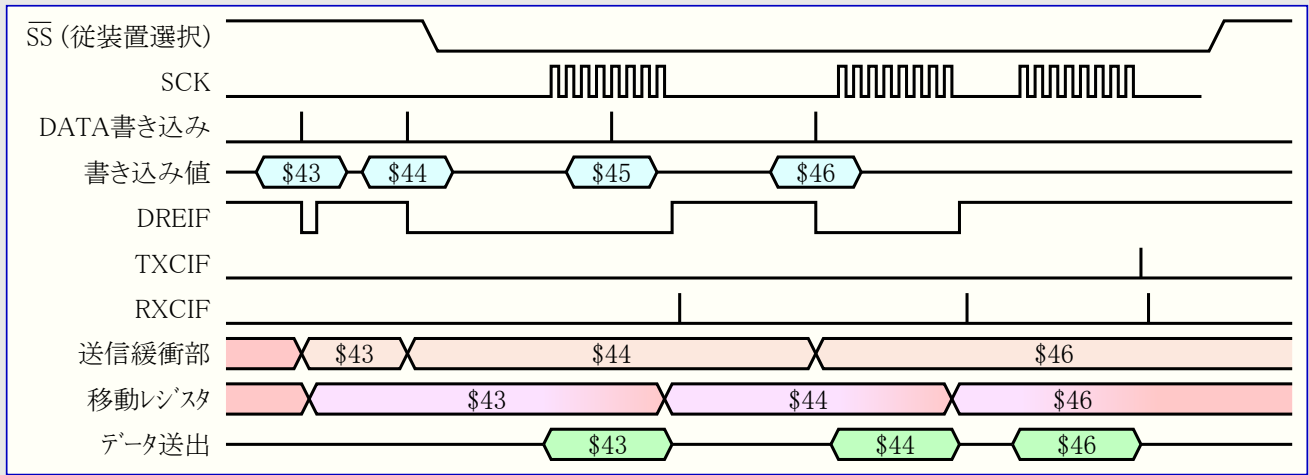
SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'0'を書かれると、データ(SPIn.DATA)レジスタへの全ての書き込みが送信データ緩衝レジスタへ行きます。上の図は\$43が直ちに移動レジスタへ送られずにデータ(SPIn.DATA)レジスタに書かれ、故に最初に送られるバイトが偽装バイトであることを示します。偽装バイトの値はその時の移動レジスタにあった値に等しい値です。最初の偽装転送が完了された後、移動レジスタに値\$43が転送されます。その後に\$44がデータ(SPIn.DATA)レジスタへ書かれて送信データ緩衝レジスタへ行きます。新しい転送が開始され、\$43が送られます。値\$45がデータ(SPIn.DATA)レジスタに書かれますが、送信データ緩衝レジスタが\$44を含み既に満杯で、SPIn.INTFLAGSレジスタのデータレジスタ空割り込み要求フラグ(DREIF)が'0'のため、送信データ緩衝レジスタは更新されません。値\$45は失われます。転送(完了)後、値\$44が移動レジスタに移動されます。次の転送の間、\$46転送がデータ(SPIn.DATA)レジスタに書かれ、\$44が送られます。転送完了後、\$46が移動レジスタに複写されて次の転送で送り出されます。

SPIn.INTFLAGSレジスタのデータレジスタ空割り込み要求フラグ(DREIF)は送信データ緩衝レジスタが書かれる毎に'0'になり、送信データ緩衝レジスタ内の直前の値が移動レジスタに複写される時の転送後に'1'になります。SPIn.INTFLAGSレジスタの受信完了割り込み要求フラグ(RXCIF)はDREIFフラグが'1'になった1周期後に設定(1)されます。転送完了割り込み要求フラグ(TXCIF)は移動レジスタと送信データ緩衝レジスタで両方の値が送られてしまった時に受信完了割り込み要求フラグ(RXCIF)が設定(1)された1周期後に設定(1)されます。

緩衝動作受信待機(BUFWR)=1での従装置緩衝動作

従装置動作で、SPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットが'1'を書かれると、使用者データの送信は $\overline{\text{SS}}$ ピンがLowに駆動されると直ぐに開始します。図24-4はこの構成設定での送信手順を示します。値\$45がデータ(SPIn.DATA)レジスタに書かれますが、何故決して送信されないかに注目してください。

図24-4. '1'を書かれたSPIn.CTRLBのBUFWRを持つ緩衝動作でのSPIタイミング構成図



データ(SPIn.DATA)レジスタへの全ての書き込みは送信データ緩衝レジスタへ行きます。上の図は値\$43がデータ(SPIn.DATA)レジスタに書かれ、 $\overline{\text{SS}}$ ピンがHighのためにそれが次の周回で移動レジスタに複写されることを示します。次の書き込み(\$44)は送信データ緩衝部に行きます。最初の転送の間に値\$43が移動出力されます。上図で値\$45がデータ(SPIn.DATA)レジスタに書かれますが、SPIn.INTFLAGSレジスタのデータレジスタ空割り込み要求フラグ(DREIF)が'0'のため、送信データ緩衝レジスタは更新されません。転送完了後、送信データ緩衝レジスタから値\$44が移動レジスタに複写されます。値\$46が送信データ緩衝レジスタに書かれます。次の2つの転送の間に\$44と\$46が移動出力されます。フラグの動きは'0'に設定されたSPIn.CTRLBレジスタの緩衝動作受信待機(BUFWR)ビットと同じです。

24.3.2.2.3. 従装置動作での $\overline{\text{SS}}$ ピンの機能

従装置選択($\overline{\text{SS}}$)ピンはSPIの操作で中心的な役割を演じます。SPI動作形態とこのピンの構成設定に応じて、これは装置を有効または無効にするのに使うことができます。 $\overline{\text{SS}}$ ピンはチップ選択ピンとして使われます。

従装置動作で、 $\overline{\text{SS}}$, MOSI, SCKは常に入力です。MISOピンの動きはポート周辺機能でのピンのデータ方向構成設定と $\overline{\text{SS}}$ の値に依存します。 $\overline{\text{SS}}$ ピンがLowに駆動されると、SPIは有効にされ、使用者がMISOピンのデータ方向を出力として構成設定した場合にMISOでデータ出力をクロック駆動するためのSCKパルスを受け取る責任があります。 $\overline{\text{SS}}$ ピンがHighに駆動されると、SPIは無効にされ、やって来るデータを受け取らないことを意味します。MISOピンのデータ方向が出力として構成設定される場合、MISOピンはHi-Zにされます。表24-3は $\overline{\text{SS}}$ ピン機能の上書きを示します。

表24-3. $\overline{\text{SS}}$ ピン機能の概要

$\overline{\text{SS}}$ 構成設定	$\overline{\text{SS}}$ ピンレベル	説明	MISOピン動作	
			ポート方向=出力	ポート方向=入力
常に入力	High	従装置無効 (非選択)	Hi-Z	入力
	Low	従装置有効 (選択)	出力	入力

注: 従装置動作で、SPI状態機構は $\overline{\text{SS}}$ ピンがHighに駆動される時にリセットされます。伝送中に $\overline{\text{SS}}$ ピンがHighに駆動される場合、SPIは直ちにデータの送受信を停止し、受信と送信の両データが失われたと見做されなければなりません。 $\overline{\text{SS}}$ ピンが転送の開始と終わりを合図するのに使われるため、パケット/バイト同期を達成すると主装置クロック発生器で同期された従装置ビット計数器を維持するのに有用です。

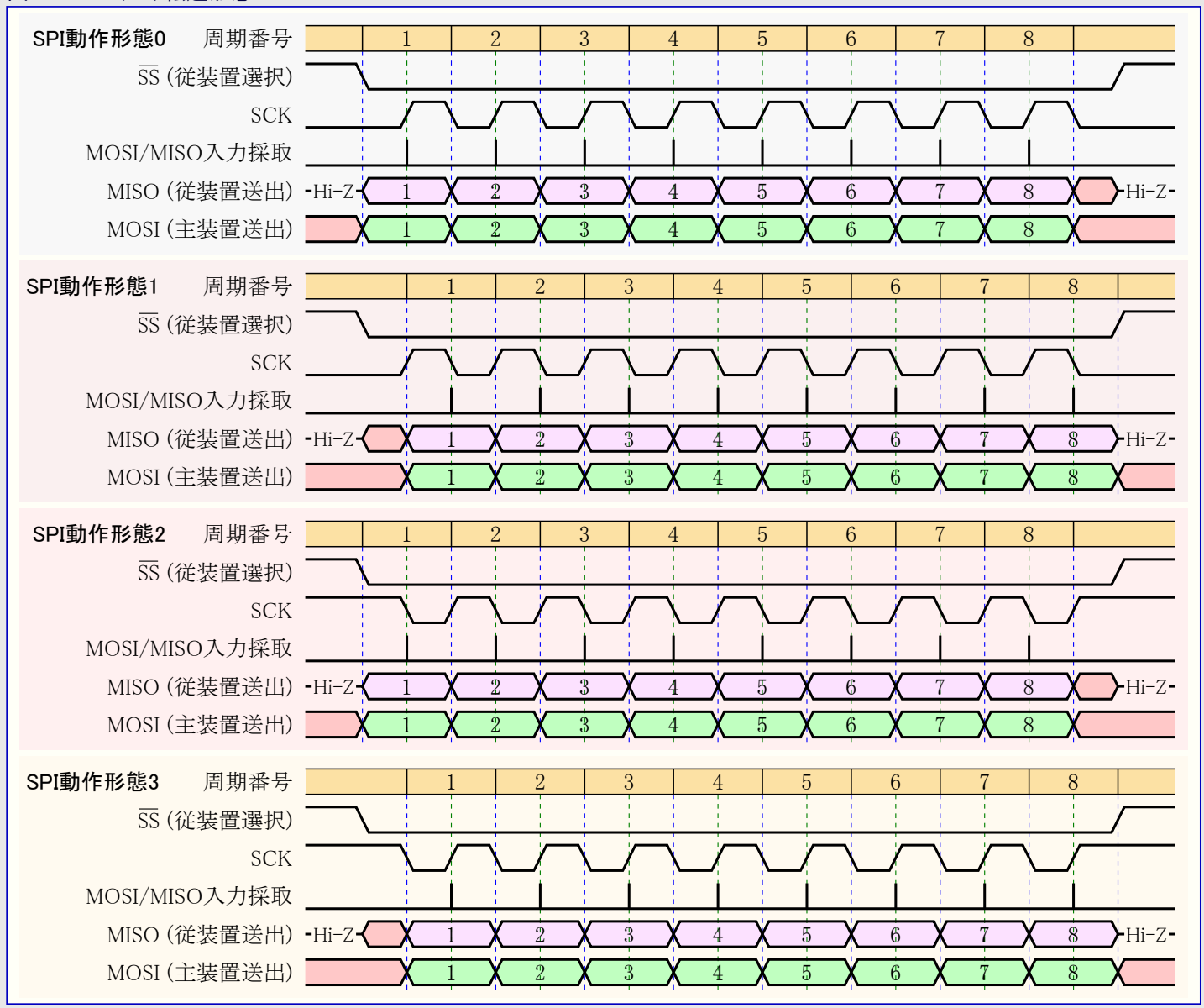
24.3.2.3. データ転送形態

直列データに関してSCKの位相と極性の4つの組み合わせがあります。望む組み合わせは**制御B(SPIIn.CTRLB)レジスタの動作形態(MODE)ビット**に書くことによって選ばれます。

SPIデータ転送形式は以下で示されます。データビットはSCK信号の逆端で移動出力されてラッチされ、データ信号を安定にするための十分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図24-5. SPIデータ転送形態



24.3.2.4. 事象

SPIは以下の事象を生成することができます。

表24-4. SPIでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
SPIIn	SCK	SPI主装置クロック	レベル	CLK_PER	最小2 CLK_PER周期

SPIは事象使用部を持ちません。

事象型と事象システム構成設定に関するより多くの詳細については「[EVSYS - 事象システム](#)」章を参照してください。

24.3.2.5. 割り込み

表24-5. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件	
		標準動作	緩衝動作
SPI	SPI割り込み	<ul style="list-style-type: none">IF : 割り込み要求割り込みWRCOL : 書き込み衝突割り込み	<ul style="list-style-type: none">SSI : 従装置選択起動割り込みDRE : データレジスタ空割り込みTXC : 転送完了割り込みRXC : 受信完了割り込み

割り込み条件が起こると、周辺機能の割り込み要求フラグ(SPI_{IN}.INTFLAGS)レジスタで対応する割り込み要求フラグが設定(1)されます。割り込み元は周辺機能の割り込み制御(SPI_{IN}.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細についてはSPI_{IN}.INTFLAGSレジスタをご覧ください。

24.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0		DORD	MASTER	CLK2X		PRESC1,0		ENABLE
+\$01	CTRLB	7~0	BUFEN	BUFWR				SSD		MODE1,0
+\$02	INTCTRL	7~0	RXCIE	TXCIE	DREIE	SSIE				IE
+\$03	INTFLAGS	7~0	IF	WRCOL						
			RXCIF	TXCIF	DREIF	SSIF				BUFOVF
+\$04	DATA	7~0	DATA7~0							

24.5. レジスタ説明

24.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
		DORD	MASTER	CLK2X		PRESC1,0		ENABLE
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – DORD : データ順 (Data Order)

値	0	1
説明	語のMSBが先に送信されます。	語のLSBが先に送信されます。

● ビット5 – MASTER : 主/従装置選択 (Master/Slave Select)

このビットは望む動作形態を選びます。

SSが入力として構成設定され、このビットが'1'の間にLowへ駆動される場合、このビットが解除(0)され、**割り込み要求フラグ(SPIн.INTFL AGS)レジスタの割り込み要求フラグ(IF)**が設定(1)されます。使用者はSPI主装置動作を再び許可するためにMASTER='1'を再び書かなければなりません。

この動きは**制御B(SPIн.CTRLB)レジスタの従装置選択禁止(SSD)ビット**によって制御されます。

値	0	1
説明	SPI従装置動作選択	SPI主装置動作選択

● ビット4 – CLK2X : クロック倍速 (Clock Double)

このビットが'1'を書かれると、SPI速度(内部前置分周された後のSCK周波数)が主装置動作で2倍にされます。

値	0	1
説明	SPI速度(SCK周波数)は2倍にされません。	SPI速度(SCK周波数)は主装置動作で倍にされます。

● ビット2,1 – PRESC1,0 : 前置分周器 (Prescaler)

このビット領域は主装置動作で構成設定されるSCK速度を制御します。これらのビットは従装置動作で無効です。SCKと周辺機能クロック周波数(f_{CLK_PER})間の関連は下で示されます。

SPI前置分周器の出力は**クロック倍速(CLK2X)ビット**に'1'を書くことによって2倍にすることができます。

値	0 0	0 1	1 0	1 1
名称	DIV4	DIV16	DIV64	DIV128
説明	$CLK_PER/4$	$CLK_PER/16$	$CLK_PER/64$	$CLK_PER/128$

● ビット0 – ENABLE : SPI許可 (SPI Enable)

値	0	1
説明	SPI禁止	SPI許可

24.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +\$01
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	BUFEN	BUFWR				SSD	MODE1,0	
アクセス種別	R/W	R/W	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – BUFEN : 緩衝動作許可 (Buffer Mode Enable)

このビットに'1'を書くことが緩衝動作を許可します。これは2つの受信緩衝部と1つの送信緩衝部を許可します。両方とも送信完了と受信完了の独立した割り込み要求フラグを持ちます。

● ビット6 – BUFWR : 緩衝動作受信待機 (Buffer Mode Wait for Receive)

このビットに'0'を書くと、最初に転送されるデータは偽装採取です。

値	0	1
説明	データが移動レジスタに複写される前に1つのSPI転送が完了されなければなりません。	SPIが許可され、 \overline{SS} がHighの時にデータレジスタへ書かれると、最初の書き込みは移動レジスタへ直接行きます。

● ビット2 – SSD : 従装置選択禁止 (Slave Select Disable)

SPI主装置(制御A(SPIIn.CTRLA)レジスタの主/従装置選択(MASTER)=1)として動く時にこのビットが設定(1)される場合、 \overline{SS} (のLow)は主装置動作を禁止しません。

値	0	1
説明	SPI主装置としての動作時、従装置選択線を許可	SPI主装置としての動作時、従装置選択線を禁止

● ビット1,0 – MODE1,0 : 動作形態 (Mode)

これらのビットは転送動作形態を選びます。直列データに関してSCKの位相と極性の4つの組み合わせが下で示されます。これらのビットはクロック周期の先頭端(先行端)が上昇または下降のどちらか、データの設定と採取が先行端または後行端のどちらで起こるかを決めます。先行端が上昇の時のSCK信号はアイドル時にLowで、先行端が下降の時のSCK信号はアイドル時にHighです。

値	0 0	0 1	1 0	1 1
名称	0	1	2	3
説明	先行端：上昇、入力採取 後行端：下降、出力設定	先行端：上昇、出力設定 後行端：下降、入力採取	先行端：下降、入力採取 後行端：上昇、出力設定	先行端：下降、出力設定 後行端：上昇、入力採取

24.5.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	RXCIE	TXCIE	DREIE	SSIE				IE
アクセス種別	R/W	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RXCIE : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

緩衝動作ではこのビット(=1)が受信完了割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIIn.INTFLAGS)レジスタの受信完了割り込み要求フラグ(RXCIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

● ビット6 – TXCIE : 転送完了割り込み許可 (Transfer Complete Interrupt Enable)

緩衝動作ではこのビット(=1)が転送完了割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIIn.INTFLAGS)レジスタの転送完了割り込み要求フラグ(TXCIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

● ビット5 – DREIE : データレジスタ空割り込み許可 (Data Register Empty Interrupt Enable)

緩衝動作ではこのビット(=1)がデータレジスタ空割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIIn.INTFLAGS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

●ビット4 – SSIE : 従装置選択割り込み許可 (Slave Select trigger Interrupt Enable)

緩衝動作ではこのビット(=1)が従装置選択割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIн.INTFLAGS)レジスタの従装置選択割り込み要求フラグ(SSIF)が設定(1)される時に起動されます。非緩衝動作ではこのビットが'0'です。

●ビット0 – IE : 割り込み許可 (Interrupt Enable)

このビット(=1)はSPIが緩衝動作でない時のSPI割り込みを許可します。許可した割り込みは割り込み要求フラグ(SPIн.INTFLAGS)レジスタでRXCIF/IFが設定(1)される時に起動されます。

24.5.4. INTFLAGS – 割り込み要求フラグ – 標準動作 (Interrupt Flags – Normal Mode)

名称 : INTFLAGS

変位 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	IF	WRCOL						
アクセス種別	R/W	R/W	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

●ビット7 – IF : 割り込み要求フラグ (Interrupt Flag)

このフラグは直列転送が完了して1バイトがデータ(SPIн.DATA)レジスタで完全に移動入出力された時に設定(1)されます。SPIが主装置動作の時にSSが入力として構成設定されてLowに駆動される場合、これもこのフラグを設定(1)します。IFはそれに'1'を書くことによって解除(0)されます。代わりに、IFはIFが設定(1)の時に最初にSPIн.INTFLAGSレジスタを読み、その後にSPIн. DATAレジスタをアクセスすることによって解除(0)することができます。

●ビット6 – WRCOL : 書き込み衝突フラグ (Write Collision Flag)

WRCOLフラグはバイトが完全に送り出される前にデータ(SPIн.DATA)レジスタが書かれた場合に設定(1)されます。このフラグはWRCOLが設定(1)の時に最初にSPIн.INTFLAGSレジスタを読み、SPIн.DATAレジスタをアクセスすることによって解除(0)されます。

24.5.5. INTFLAGS – 割り込み要求フラグ – 緩衝動作 (Interrupt Flags – Buffer Mode)

名称 : INTFLAGS

変位 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RXCIF	TXCIF	DREIF	SSIF				BUFOVF
アクセス種別	R/W	R/W	R/W	R/W	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7 – RXCIF : 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信データ緩衝レジスタに未読データがある時に設定(1)され、受信データ緩衝レジスタが空(即ち、どの未読データも含まない)時に解除(0)されます。

割り込み駆動データ受信が使われると、受信完了割り込みルーチンはRXCIFを解除(0)するためにデータ(SPIн.DATA)レジスタから受信したデータを読まなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。このフラグはこのビット位置へ'1'を書くことによって解除(0)することができます。

●ビット6 – TXCIF : 転送完了割り込み要求フラグ (Transfer Complete Interrupt Flag)

このフラグは送信移動レジスタ内の全データが移動出力されてしまい、送信緩衝(SPIн.DATA)レジスタに新しいデータがない時に設定(1)されます。このフラグはこのビット位置へ'1'を書くことによって解除(0)されます。

●ビット5 – DREIF : データレジスタ空割り込み要求フラグ (Data Register Empty Interrupt Flag)

このフラグは送信データ緩衝レジスタが新しいデータを受け取る準備が整っているかどうかを示します。このフラグは送信緩衝部が空の時に'1'で、送信緩衝部がまだ移動レジスタに移動されてしまっていない送信されるべきデータを含む時に'0'です。DREIFは送信部が準備可能なことを示すためにリセット後に解除(0)されます。

DREIFはDATAレジスタ書き込みによって解除(0)されます。割り込み駆動データ送信が使われると、データレジスタ空割り込みルーチンはDREIFを解除(0)するためにDATAレジスタに新しいデータを書きか、またはデータレジスタ空割り込みを禁止するかのどちらかを行わなければなりません。そうしなければ、現在の割り込みから戻った直後に新しい割り込みが起きます。

●ビット4 – SSIF : 従装置選択割り込み要求フラグ (Slave Select Trigger Interrupt Flag)

このフラグはSPIが主装置動作でSSピンが外部的にLowへ引かれ、故にSPIが今や従装置動作で動くことを示します。このフラグは従装置選択禁止(SSD)が'1'でない場合にだけ設定(1)されます。このフラグはこのビット位置へ'1'を書くことによって解除(0)されます。

● ビット0 – BUFOVF : 緩衝部溢れフラグ (Buffer Overflow)

このフラグは受信データ緩衝部満杯状態のためのデータ消失を示します。このフラグは緩衝部溢れ状態が検出された場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2バイト)で移動レジスタで3つ目のバイトが受信される時に起きます。送信データがなければ、緩衝部溢れは新しい直列転送の開始前に設定(1)されません。このフラグはDATAレジスタが読まれる時か、またはこのビット位置に'1'を書くことによって解除(0)されます。

24.5.6. DATA – データ (Data)

名称 : DATA

変位 : +\$04

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DATA7~0 : データ (SPI Data)

DATAレジスタはデータの送受信に使われます。このレジスタへの書き込みは主装置動作の時にデータ送信を開始し、従装置動作では送るデータを準備します。このレジスタに書かれたバイトは処理が開始された時にSPI出力線へ移動出力されます。

SPIIn.DATAレジスタは物理的なレジスタではありません。構成設定された動作形態に応じて、下で記述されるように他のレジスタに割り当てられます。

・ 標準動作:

- DATAレジスタ書き込みは移動レジスタを書きます。
- DATAレジスタからの読み込みは受信データレジスタから読みます。

・ 緩衝動作:

- DATAレジスタ書き込みは送信データ緩衝レジスタを書きます。
- DATAレジスタからの読み込みは受信データ緩衝レジスタから読みます。その後に受信データレジスタの内容が受信データ緩衝レジスタに移動されます。

25. TWI – 2線インターフェース

25.1. 特徴

- 2線通信インターフェース
- Phillips社I²C適合
 - 標準動作
 - 高速動作
 - 高速動作+
- システム管理バス(SMBus)2.0適合
 - 開始条件/再送開始条件とデータビット間での調停を支援
 - ソフトウェアでのアドレス解決規約(ARP)に対する支援を許す従装置調停
 - 構成設定可能なハードウェアでのSMBus階層1制限時間
- 独立した主装置と従装置の動作
 - 結合(同一ピン)
 - 完全な調停支援での単一または複数の主装置バス動作
- 従装置アドレス一致に対するハードウェア支援
 - 全ての休止動作での動作
 - 7ビット アドレス認識
 - 一斉呼び出しアドレス認識
 - アドレス範囲遮蔽または第2アドレス一致に対する支援
- バス雑音消去用入力濾波器
- 簡便動作支援

25.2. 概要

2線インターフェース(TWI)は直列データ(SDA)線と直列クロック(SCL)線を持つ双方向2線通信インターフェース(バス)です。

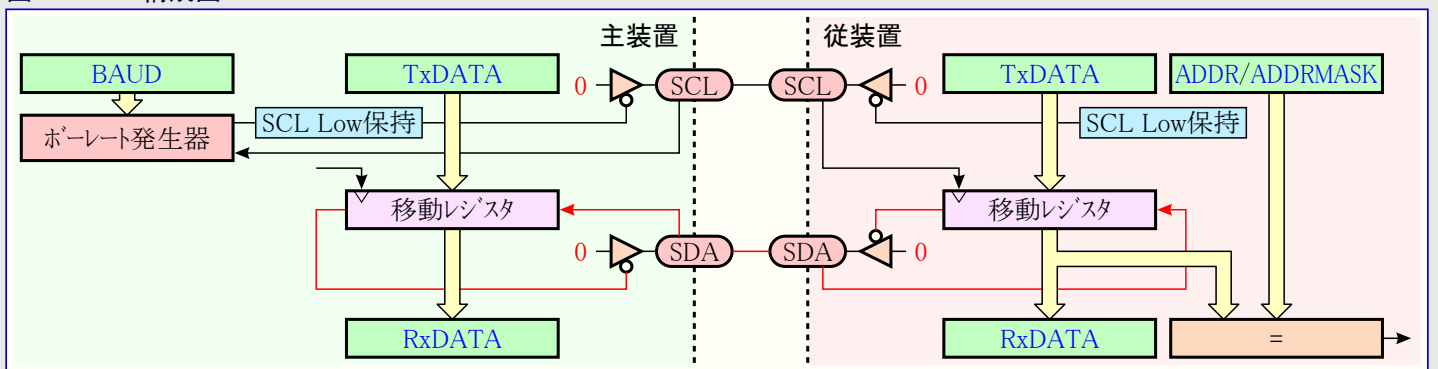
TWIバスは1つまたは複数の従装置を1つまたは複数の主装置に接続します。バスに接続されたどの装置も主装置、従装置、または両方として働くことができます。主装置はポーレート発生器(BRG)を使ってSCLを生成し、1つの従装置をアドレス指定してデータを送るまたは受け取るのどちらかを望むかを告げることによってデータ処理を始めます。BRGは100kHzから1MHzまでの標準動作(Sm)と高速動作(Fm、Fm+)バス周波数を生成することができます。

TWIは**開始条件**、**停止条件**、バス衝突、バス異常を検出します。協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

TWIは複数主装置のバス動作と調停を支援します。調停の仕組みは複数の主装置が同時にデータを送信しようとする場合を処理します。TWIは自動起動操作ができ、故にソフトウェアの複雑さを減らすことができる**簡便動作**も支援します。TWIはデータ交換なしに主装置が従装置をアドレス指定することができる**迅速指令動作**を支援します。

25.2.1. 構成図

図25-1. TWI構成図



25.2.2. 信号説明

信号	形式	説明
SCL	デジタル入出力	直列クロック線
SDA	デジタル入出力	直列データ線

25.3. 機能的な説明

25.3.1. 一般的なTWIバスの概念

TWIは以下から成る簡素な双方向2線通信バスを提供します。

- ・ パケット転送用の直列データ(SDA)線
- ・ バス クロック用の直列クロック(SCL)線

2つの線は開放コレクタ(ドレイン)線(ワイヤードAND)です。

TWIバス形態は直列バスで複数装置を接続する簡単で効率的な方法です。バスに接続された装置は主装置または従装置にできます。主装置だけがバスとバス通信を制御できます。

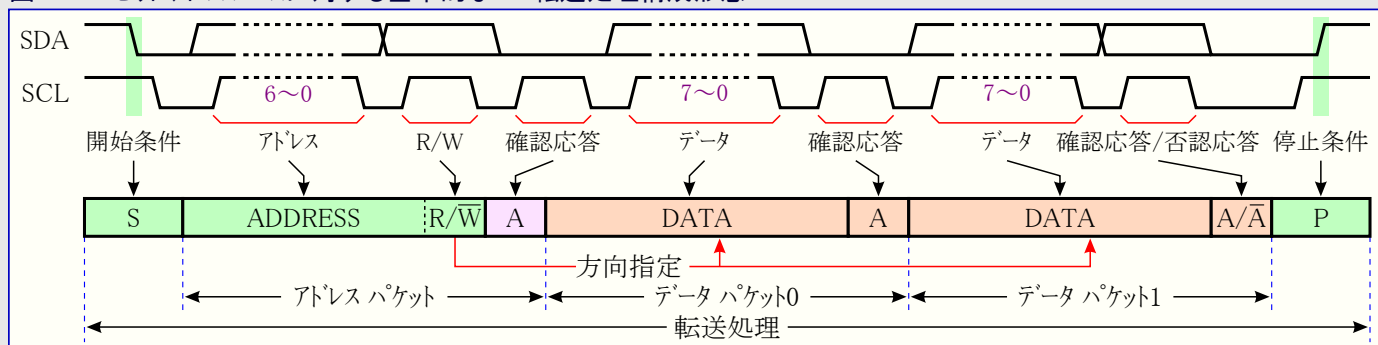
バスに接続した各従装置に固有のアドレスが割り当てられ、主装置は従装置を制御して処理を始めるのにこれを使います。複数の主装置を同じバスに接続することができ、複数主装置環境と呼ばれます。何時でも1つの主装置だけがバスを自身のものにできるので、主装置間でバス所有権を解決するために調停機構が提供されます。

主装置はバス上に**開始条件(S)**を発行することによって転送処理の開始を指示します。主装置は転送処理用のクロック信号を提供します。7ビット従装置アドレス(ADDRESS)と、主装置がデータを読みまたは書きどちらをしたいのかを表す方向(R/W)ビットを持つアドレス パケットがその後に送られます。

アドレス指定されたI²C従装置はその後にアドレスを**確認応答(ACK)**し、データ パケット転送処理を始めることができます。毎回の9ビット データ パケットは8つのデータ ビットとそれに続き、受信側によってデータが受け取られたか否かのどちらかを示す1ビット応答から成ります。

全てのデータ パケット(DATA)転送後、主装置は転送処理を終わるためにバス上で**停止条件(P)**を発行します。

図25-2. 7ビット アドレス バスに対する基本的なTWI転送処理構成形態



バス駆動部

- 主装置がバスを駆動
- 従装置がバスを駆動
- 主装置か従装置のどちらかがバスを駆動

特殊バス条件

- S 開始条件
- Sr 再送開始条件
- P 停止条件

データ パケット方向

- R '1': 主装置読み込み
- W '0': 主装置書き込み

応答

- A '0': 確認応答(ACK)
- A '1': 否認応答(NACK)

25.3.2. TWI基本動作

25.3.2.1. 初期化

使われるなら、TWI周辺機能を許可する前に以下のビットを構成設定してください。

- ・ 制御A(TWIn.CTRLA)レジスタのSDA保持時間(SDAHOLD)ビット領域
- ・ 制御A(TWIn.CTRLA)レジスタの高速動作+(FMPEN)ビット

25.3.2.1.1. 主装置初期化

有効なTWIバス クロック周波数になる値を**主装置ボーレート(TWIn.MBAUD)レジスタ**に書いてください。主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットに'1'を書くことがTWI主装置を開始します。バス状態をアイドル(IDLE)に強制するために主装置状態(TWIn.MSTATUS)レジスタのバス状態(BUSSTATE)ビット領域が'01'に設定されなければなりません。

25.3.2.1.2. 従装置初期化

従装置を初期化するには以下のこれらに従ってください。

1. TWI従装置を許可する前に**制御A(TWIn.CTRLA)レジスタ**のSDA準備時間(SDASETUP)ビットを構成設定してください。
2. 従装置アドレスを**従装置アドレス(TWIn.SADDR)レジスタ**に書いてください。
3. TWI従装置を許可するため、**従装置制御A(TWIn.SCTRLA)レジスタ**の**従装置許可(ENABLE)ビット**に'1'を書いてください。

TWI従装置は主装置が**開始条件**を発行して従装置アドレスと一致するのを待ちます。

25.3.2.2. TWI主装置動作

TWI主装置は各バイト後の任意選択の割り込みを持つバイト志向です。主装置の書き込みと読み込みの操作に対して独立した割り込み要求フラグがあります。割り込み要求フラグはポーリング操作にも使うことができます。専用の状態フラグが受信した(ACK)確認応答/(NA CK)否認応答(RXACK)、バス異常(BUSERR)、調停敗退(ARBLOST)、クロック保持(CLKHOLD)、バス状態(BUSSTATE)を示します。

割り込み要求フラグが'1'に設定されると、SCLはLowを強制され、応答または何れかのデータを扱う時間を主装置に与え、殆どの場合でソフトウェアの介入を必要とするでしょう。割り込み要求フラグの解除(0)がSCLを開放します。生成された割り込み数は殆どの条件を自動的に処理することによって最小に留められます。

25.3.2.2.1. クロック生成

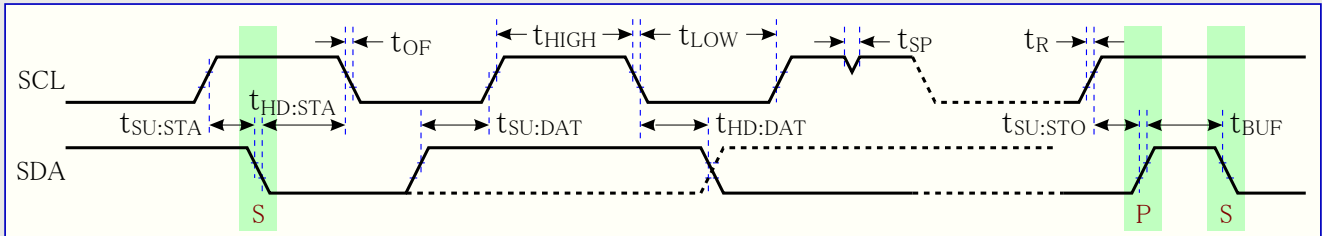
TWIは次のような異なる周波数制限を持ついくつかの送信動作形態を支援します。

- 100kHzまでの標準動作(Sm)
- 400kHzまでの高速動作(Fm)
- 1MHzまでの高速動作+(Fm+)

主装置ボーレート(TWIn.MBAUD)レジスタは送信動作形態に応じてそれらの周波数制限以下のTWIバス クロック周波数になる値を書かれなければなりません。

Low(t_{LOW})とHigh(t_{HIGH})の時間は主装置ボーレート(TWIn.MBAUD)レジスタによって決められる一方で、上昇(t_R)と下降(t_{OF})の時間はバス形態によって決められます。

図25-3. SCLタイミング



- t_{LOW} はSCLクロックのLow期間です。
- t_{HIGH} はSCLクロックのHigh期間です。
- t_R は内部プルアップに対するバス インピーダンスによって決められます。詳細については「電気的特性」を参照してください。
- t_{OF} はオープンドレイン電流制限とバス インピーダンスによって決められます。詳細については「電気的特性」を参照してください。

SCLクロックの特性

SCL周波数は右式によって与えられます。

SCLクロックは50/50のデューティ サイクルを持つように設計され、デューティ サイクルのLow部分は t_{OF} と t_{LOW} から成ります。 t_{HIGH} はSCLのHigh状態が検出されるまで始まりません。TWIn.MBAUDレジスタのボーレート(BAUD)ビット領域とSCL周波数は右式(式1)によって関連付けられます。

式1はBAUDを表すように変形(式2)することができます。

$$f_{SCL} = \frac{1}{t_{LOW} + t_{HIGH} + t_{OF} + t_R} \text{ [Hz]}$$

$$f_{SCL} = \frac{f_{CLK_PER}}{10 + 2 \times BAUD + f_{CLK_PER} \times t_R} \quad (1)$$

$$BAUD = \frac{f_{CLK_PER}}{2 \times f_{SCL}} - \left(5 + \frac{f_{CLK_PER} \times t_R}{2} \right) \quad (2)$$

BAUD値の計算

望む速度動作(Sm、Fm、Fm+)の仕様内での動作を保証するため、これらの手順に従ってください。

1. 式2を使ってBAUDビット領域用の値を計算してください。
2. 手順1からのBAUD値を使って t_{LOW} を計算してください。

$$t_{LOW_Fm} = t_{LOW_Fm+} = \frac{BAUD + 6 + \min(SCLDUTY, BAUD)}{f_{CLK_PER}} - t_{OF} \quad (3.1)$$

$$t_{LOW_Sm} = \frac{BAUD + 6}{f_{CLK_PER}} - t_{OF} \quad (3.2)$$

3. 式3.1からの t_{LOW} が望む動作形態で指定された最小($t_{LOW_Sm}=4700\text{ns}$ 、 $t_{LOW_Fm}=1300\text{ns}$ 、 $t_{LOW_Fm+}=500\text{ns}$)を超えるか調べてください。
 - 計算された t_{LOW} が限度を超える場合、式2からのBAUDを使ってください。
 - 限度に合わない場合、右の式4を使って新しいBAUD値を計算してください。ここでの t_{LOW_mode} は動作仕様からの t_{LOW_Sm} 、 t_{LOW_Fm} 、 t_{LOW_Fm+} のどれかです。

$$BAUD = f_{CLK_PER} \times (T_{LOW_mode} + t_{OF}) - 3 \quad (4)$$

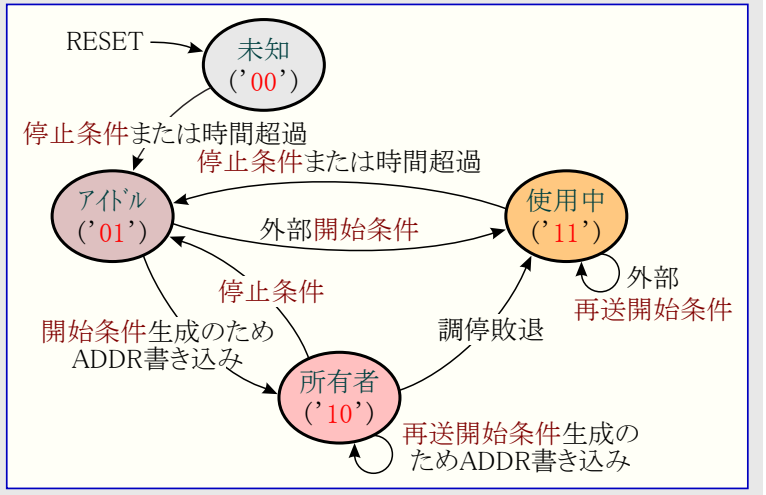
25.3.2.2.2. TWIバス状態論理

バス状態論理回路は主装置動作が許可された時にTWIバス上の動きを継続的に監視します。それはパワーダウンを含む全ての**休止動作形態**で動作を続けます。

バス状態論理回路は**開始条件**と**停止条件**の検出器、衝突検出、不活性バス時間超過検出、ビット計数器を含みます。これらはバス状態を決めるのに使われます。ソフトウェアは**主装置状態(TWIn.MSTATUS)レジスタのバス状態(BUSSTATE)ビット領域**を読むことによって現在のバス状態を得ることができます。

バス状態は未知、アイドル、使用中、所有者になることができ、右で示される状態遷移図に従って決められます。

図25-4. バス状態遷移図



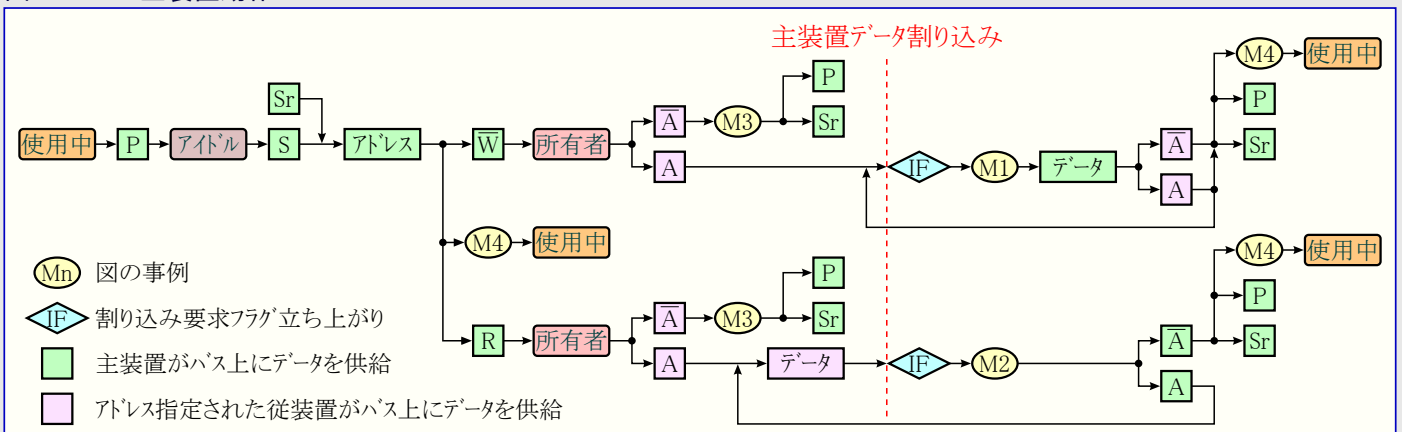
- 1. 未知:** バス状態機構はTWI主装置が許可される時に有効です。TWI主装置許可、システムリセット実行、またはTWI主装置禁止後、バス状態は未知です。
- 2. アイドル:** **バス状態(BUSSTATE)ビット領域**に'01'を書くことによってバス状態機構をアイドル状態に入入ることを強制することができます。バス状態論理回路を他のどの状態にも強制することはできません。最初の**停止条件**が検出される時に応用ソフトウェアによって状態が設定されなければ、バス状態はアイドルになります。**主装置制御A(TWIn.MCTRLA)レジスタの主装置不活性バス時間制限(TIMEOUT)ビット領域**が0以外の値に構成設定される場合、バス状態は時間超過の発生でアイドルへ変わります。
- 3. 使用中:** バスがアイドルの時に外部的に生成された**開始条件**が検出された場合、バス状態が使用中になります。バス状態は**停止条件**が検出されるか、または構成設定されている場合に制限時間超過が設定される時にアイドルへ変わります。
- 4. 所有者:** バスがアイドルの時に内部的に**開始条件**が生成される場合、バス状態が所有者になります。妨害なしで完全な転送処理が実行された場合、主装置は**停止条件**を発行し、バス状態がアイドルに戻ります。衝突が検出されて調停に敗れた場合、バス状態は**停止条件**が検出されるまで使用中になります。

25.3.2.2.3. アドレス パケット送信

主装置は7ビット従装置アドレスとR/W方向ビットと共に**主装置アドレス(TWIn.MADDR)レジスタ**が書かれる時にバス転送処理の実行を開始します。MADDRレジスタの値がその後に**主装置データ(TWIn.MDATA)レジスタ**へ複写されます。バス状態が使用中の場合、TWI主装置は**開始条件**を発行する前にバス状態がアイドルになるまで待ちます。TWIは**開始条件**を発行し、移動レジスタがバス上でビット送信動作を実行します。

調停とR/W方向ビットに依存して、アドレス パケットの送信後に4つの事例(M1~M4)の1つが起きます。

図25-5. TWI主装置動作



25.3.2.2.3.1. 事例M1: アドレス パケット送信完了 - 方向ビット=0

従装置がアドレス パケットに対して**確認応答(ACK)**で応答する場合、TWIn.MSTATUSレジスタで**書き込み割り込み要求フラグ(WIF)**が'1'に設定され、**受信応答(RXACK)フラグ**が'0'に設定され、**クロック保持(CLKHOLD)フラグ**が'1'に設定されます。WIF、RXACK、CLKHOLDのフラグは**主装置状態(TWIn.MSTATUS)レジスタ**に配置されます。

この時点でクロック保持が有効で、SCLにLowを強制し、クロック周波数全体を低下するようにクロックのLow期間を引き延ばし、データを処理するのに必要とされる遅延を強制してバスでの更なる活動を防ぎます。

ソフトウェアは以下の準備をすることができます。

- ・ 従装置へデータ パケット送信

25.3.2.2.3.2. 事例M2：アドレス パケット送信完了 – 方向ビット=1

従装置がアドレス パケットに対して**確認応答(ACK)**で応答する場合、受信応答(RXACK)フラグが'0'に設定され、この時点で従装置がバスを所有するため、従装置はどんな遅延もなしに主装置へのデータ送出を開始することができます。この時点でクロック保持が有効で、SCLにLowを強制します。

ソフトウェアは以下の準備をすることができます。

- ・ 従装置から受け取ったデータ パケットの読み込み

25.3.2.2.3.3. 事例M3：アドレス パケット送信完了 – 従装置によるアドレス否認応答

従装置がアドレス パケットに応答しない場合、書き込み割り込み要求フラグ(WIF)と**受信応答(RXACK)フラグ**が'1'に設定されます。この時点でクロック保持が有効で、SCLにLowを強制します。

確認応答(ACK)欠落はI2C従装置が他の作業で多忙か、または休止動作で応答できないことを示し得ます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・ アドレス パケットの再送信
- ・ **主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**で**停止条件**を発行することによって転送処理を完了、これが推奨される活動です。

25.3.2.2.3.4. 事例M4：調停敗退またはバス異常

調停で敗れた場合、**主装置状態(TWIn.MSTATUS)レジスタ**で**書き込み割り込み要求フラグ(WIF)**と**調停敗退(ARBLOST)**のフラグが'1'に設定されます。SDAは禁止されてSCLが開放されます。バス状態が使用中に変わり、主装置はバス状態がアイドルに戻るまで、もはやバスでどの操作も実行することを許されません。

バス異常は調停敗退状態と同じように振舞います。この場合、WIFとARBLOSTのフラグに加えて、TWIn.MSTATUSレジスタで**バス異常(BUSERR)フラグ**が'1'に設定されます。

ソフトウェアは以下の準備をすることができます。

- ・ TWIn.MSTATUSレジスタの**バス状態(BUSSTATE)ビット領域**を読むことによってバス状態がアイドルに変わるまで操作を中止して待機

25.3.2.2.4. データ パケット送信

上の**事例M1**と仮定し、TWI主装置は**主装置データ(TWIn.MDATA)レジスタ**へ書くことによってデータ送信を開始することができます、それは**書き込み割り込み要求フラグ(WIF)**も解除(0)します。データ転送の間、主装置は衝突と異常に関してバスを継続的に監視します。データ パケット転送完了後、WIFフラグが'1'に設定されます。

送信が成功して主装置が従装置からACKビットを受け取る場合、受信応答(RXACK)フラグが'1'に設定され、従装置が新しいデータ パケットを受け取る準備が整っていることを意味します。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・ 新しいデータ パケットの送信
- ・ 新しいアドレス パケットの送信
- ・ **主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**で**停止条件**を発行することによって転送処理を完了

送信が成功して主装置が従装置から**否認応答(NACK)ビット**を受け取る場合、RXACKフラグが'1'に設定され、従装置がもっとデータを受け取ることができないか、または必要でないことを意味します。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・ 新しいアドレス パケットの送信
- ・ **主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**で**停止条件**を発行することによって転送処理を完了

受信応答(RXACK)フラグの状態はWIFフラグが'1'に設定され場合にだけ有効で、調停敗退(ARBLOST)と**バス異常(BUSERR)**のフラグは'0'に設定されます。

送信は衝突が検出される場合、不成功になり得ます。その後、主装置は調停に敗れ、**調停敗退(ARBLOST)フラグ**が'1'に設定されバス状態が使用中に変わります。データ パケット転送中の調停敗退は上の**事例M4**と同じように扱われます。

WIF、ARBLOST、BUSERR、RXACKのフラグは全て**主装置状態(TWIn.MSTATUS)レジスタ**に配置されます。

25.3.2.2.5. データ パケット受信

上の**事例M2**と仮定し、クロックが1バイト間開放され。従装置がバス上に1バイトのデータを出すのを許します。主装置は従装置から1バイトのデータを受け取り、**クロック保持(CLK_HOLD)フラグ**と共に**読み込み割り込み要求フラグ(RIF)**が'1'に設定されます。指令が**主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**に書かれる時に、TWIn.MCTRLBレジスタの**応答動作(ACKACT)ビット**によって選ばれた活動が自動的にバス上で送られます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・主装置制御B(TWIn.MCTRLB)レジスタの応答動作(ACKACT)ビットに'0'を書くことによって確認応答(ACK)で応答し、新しいデータパケットを受け取る準備
- ・ACKACTビットに'1'を書くことによって否認応答(NACK)で応答し、その後に新しいアドレスパケットを送信
- ・ACKACTビットに'1'を書くことによってNACKで応答し、その後にTWIn.MCTRLBレジスタの指令(MCMD)ビット領域で停止条件を発行することによって転送処理を完了

NACK応答はその送信中に調停が失われ得るため、成功裏に実行しないかもしれません。衝突が検出される場合、主装置は調停を失い、調停敗退(ARBLOST)フラグが'1'に設定され、バス状態が使用中に変わります。NACK送出時に調停が失われた場合、またはこの手順中にバス異常が起きた場合に主装置書き込み割り込み要求フラグ(WIF)が設定(1)されます。データパケット転送中の調停敗退は前の事例M4のように扱われます。

RIF、CLKHOLD、ARBLOST、WIFのフラグは全て主装置状態(TWIn.MSTATUS)レジスタに配置されます。

注: RIFとWIFのフラグは相互排他で、同時に設定(1)され得ません。

25.3.2.3. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。従装置データ用とアドレス/停止認識用に独立した割り込みフラグがあります。割り込みフラグはポーリング操作に使うこともできます。専用の状態フラグが受信した確認応答(ACK)/否認応答(NACK)、クロック保持、衝突、バス異常、R/W方向を示します。

割り込み要求フラグが'1'に設定されると、SCLはLowを強制され、応答または何かのデータを扱う時間を従装置に与え、殆どの場合でソフトウェアの介入を必要とするでしょう。生成された割り込み数は殆どの条件の自動処理によって最小に留められます。

従装置制御A(TWIn.SCTRLA)レジスタの無差別動作許可(PMEN)ビットは受信した全てのアドレスに応答することを従装置に許すように構成設定することができます。

25.3.2.3.1. アドレスパケット受信

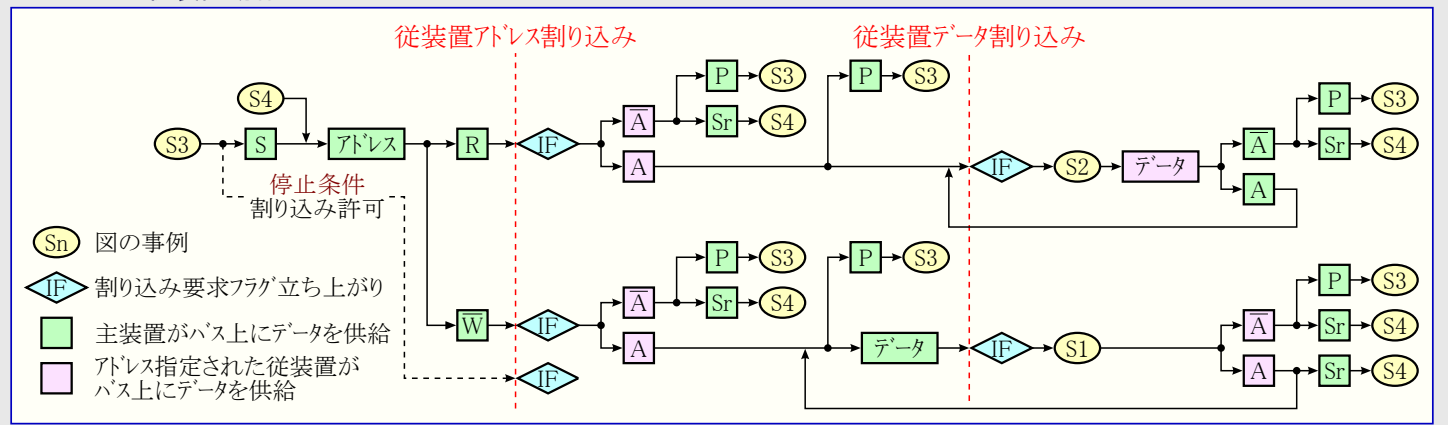
TWIが従装置として構成設定されると、検出されるべき開始条件を待ちます。これが起こると、継続してアドレスパケットが受信されてアドレス一致論理回路によって調べられます。従装置は正しいアドレスに確認応答(ACK)し、従装置データ(TWIn.SDATA)レジスタにアドレスを保存します。受信したアドレスが一致しなければ、従装置は応答やアドレスの保存をせず、新しい開始条件を待ちます。

開始条件が以下によって後続されると、従装置状態(TWIn.SSTATUS)レジスタの従装置アドレス/停止割り込み要求フラグ(APIF)が'1'に設定されます。

- ・有効なアドレスが従装置アドレス(TWIn.SADDR)レジスタのアドレス(ADDR7~1)ビット領域に格納されたアドレスと一致
- ・一斉呼び出しアドレス(\$00)で従装置アドレス(TWIn.SADDR)レジスタのアドレス(ADDR0)ビットが'1'に設定
- ・従装置アドレス遮蔽(TWIn.SADDRMASK)レジスタでアドレス許可(ADDRREN)ビットが'1'に設定され、有効なアドレスがアドレス遮蔽(ADDRMASK)ビット領域に格納されたアドレスと一致
- ・従装置制御A(TWIn.SCTRLA)レジスタの無差別動作許可(PMEN)ビットが'1'に設定された場合の全てのアドレス

従装置状態(TWIn.SSTATUS)レジスタの読み/書き方向(DIR)ビットとバス状況に応じて、アドレスパケットの受信後に続いて4つの事例(S1~S4)の1つが起きます。

図25-6. TWI従装置動作



25.3.2.3.1.1. 事例S1: アドレスパケット受け入れ - 方向ビット=0

アドレスパケット受信後に従装置によって確認応答(ACK)が送られ、従装置状態(TWIn.SSTATUS)レジスタの読み/書き方向(DIR)ビットが'0'に設定される場合、主装置が書き込み操作を指示します。

この時点でクロック保持が有効で、SCLにLowを強制し、クロック周波数全体を低下するようにクロックのLow期間を引き延ばし、データを処理するのに必要とされる遅延を強制してバスでの更なる活動を防ぎます。

ソフトウェアは以下の準備をすることができます。

- ・主装置から受け取ったデータパケットの読み込み

25.3.2.3.1.2. 事例S2：アドレスパケット受け入れ – 方向ビット=1

アドレスパケット受信後に従装置によって**確認応答**(ACK)が送られ、**従装置状態**(TWIn.SSTATUS)レジスタで**読み/書き方向(DIR)ビット**が‘1’に設定される場合、主装置が読み込み操作を指示し、**データ割り込み要求フラグ(DIF)**が‘1’に設定されます。

この時点でクロック保持が有効で、SCLにLowを強制します。

ソフトウェアは以下の準備をすることができます。

- ・主装置へデータパケット送信

25.3.2.3.1.3. 事例S3：停止条件受信

停止条件が受信されると、**アドレス/停止条件フラグ(AP)**が‘0’に設定され、アドレス一致ではなく**停止条件**を示し、**アドレス/停止割り込み要求フラグ(APIF)**が有効(1)にされます。

APとAPIFのフラグは**従装置状態**(TWIn.SSTATUS)レジスタに配置されます。

ソフトウェアは以下の準備をすることができます。

- ・新しいアドレスパケットがアドレス指定するまで待機

25.3.2.3.1.4. 事例S4：衝突

従装置がHighレベルのデータビットまたは**否認応答**(NACK)を送ることができない場合、従装置状態(TWIn.SSTATUS)レジスタの**衝突(COLL)フラグ**が‘1’に設定されます。従装置はSDAでLow値が移動出力されないことを除き、通常動作を始めます。従装置論理回路からのデータと応答の出力が禁止されます。クロック保持は開放されます。**開始条件**と**再送開始条件**は受け入れられます。

COLLビットはアドレス解決規約(ARP)が使われるシステムに対して意図されています。非ARP状況で検出した衝突は規約違反があつてバス異常として扱われなければならないことを示します。

25.3.2.3.2. データパケット受信

前の**事例S1**と仮定し、従装置はデータを受信する準備を整えなければなりません。データパケットが受信されると、従装置状態(TWIn.SSTATUS)レジスタの**データ割り込み要求フラグ(DIF)**が‘1’に設定されます。指令が**従装置制御B**(TWIn.SCTRLB)レジスタの**指令(SCMD)ビット領域**に書かれる時に、TWIn.SCTRLBレジスタの**応答動作(ACKACT)ビット**によって選ばれた活動が自動的にバス上で送られます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・TWIn.SCTRLBレジスタのACKACTビットに‘0’を書くことによって**確認応答**(ACK)で応答、従装置がもっとデータを受け取る準備が整っていることを示します。
- ・ACKACTビットに‘1’を書くことによって**否認応答**(NACK)で応答、従装置がこれ以上データを受け取ることができず、主装置が**停止条件**または**再送開始条件**を発行しなければならないことを示します。

25.3.2.3.3. データパケット送信

上の**事例S2**と仮定し、従装置は**従装置データ**(TWIn.SDATA)レジスタへ書くことによってデータ送信を開始することができます。データパケット送信が完了されると、**従装置状態**(TWIn.SSTATUS)レジスタの**データ割り込み要求フラグ(DIF)**が‘1’に設定されます。

ソフトウェアは以下の活動の1つを取るための準備をすることができます。

- ・TWIn.SSTATUSレジスタの**受信応答(RXACK)ビット**を読むことによって主装置が**確認応答**(ACK)で応答したかを調べ、新しいデータパケット送信を開始
- ・RXACKを読むことによって主装置が**否認応答**(NACK)で応答したかを調べ、データパケット送信を停止。主装置はNACK後に**停止条件**または**再送開始条件**を送らなければなりません。

25.3.3. 付加機能

25.3.3.1. SMBus

TWIをSMBus環境で使う場合、**主装置制御A**(TWIn.MCTRLA)レジスタの**不活性バス制限時間(TIMEOUT)ビット領域**が構成設定されなければなりません。これがホーレート設定に依存するため、この制限時間を設定する前に**主装置ホーレート**(TWIn.MBAUD)レジスタを書くことが推奨されます。

SMBus環境に対して100kHzの周波数を使うことができます。標準動作(Sm)と高速動作(Fm)に対して動作周波数はスレーブ制限された出力を持つ一方で、高速動作+(Fm+)に対しては10倍の出力駆動能力を持ちます。

TWIは**制御A**(TWIn.CTRLA)レジスタの**SDA保持時間(SDAHOLD)ビット領域**で構成設定されるSMBus互換SDA保持時間も許します。

25.3.3.1.1. SMBus仕様への適合性

ハードウェア仕様制限

SMBus 2.0仕様の第2章は電力断の装置は接地への漏れ経路を提供してはならないと述べられています。このデバイスに於いてSCLとSDAに使われるパッドとVDD間に置かれたESDダイオードがあります。電力断の時にVDDが接地と等価と仮定すると、それらのESDダイオードが接地への経路を提供します。

ソフトウェアでの実装

SMBus 2.0仕様の以下の要素はハードウェアで実装されません。

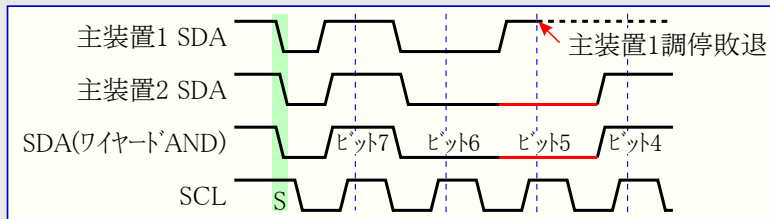
- SMBus 2.0仕様の表1は25～35msの最大クロックLow制限時間(Ttimeout)を与え、これは事象システムを使ってSCLピンをTCB周辺機能に接続することによって実装することができます。望む制限時間値と共に**制限時間検査動作**でTCBを構成設定してください。
- 第3層(網(Network)層)はパケット誤り検査(PEC:Packet Error Check)、アドレス解決規約(ARP:Address Resolution Protocol)などが特徴です。これらは必要とされる場合にソフトウェアで実装することができます。

25.3.3.2. 複数主装置

主装置はバスがアイドルなことを検出した場合にだけバス転送処理を開始することができます。複数の主装置がバス上にある場合、他の装置が同時に転送処理を始めようとするかもしれず、結果的に複数の主装置がバスを所有することになります。TWIはSDAでHighレベルのデータビットを送信することができず、**主装置状態(TWIn.MSTATUS)レジスタのバス状態(BUSSTATE)ビット領域**が使用中に変わる場合に主装置がバスの制御を失うような調停の仕組みを使うことによってこの問題を解決します。調停で敗れた主装置はバス所有権の再取得を試みる前にバスがアイドルになるまで待たなければなりません。

(図で)両装置は**開始条件**を発行することができますが、主装置1は主装置2がLowレベルを送信している間にHighレベル(ビット5)の送信を試みる時、調停に敗れます。

図25-7. TWI調停



25.3.3.3. 簡便動作

TWIインターフェースは応用コードを単純化してI²C規約を守るのに必要とされる使用者関係処理を最小にする簡便動作を持ちます。

TWI主装置に対し、簡便動作は**主装置データ(TWIn.MDATA)レジスタ**が読まれると直ぐに**確認応答(ACK)活動**を自動的に送ります。この機能は**主装置制御B(TWIn.MCTRLB)レジスタの応答動作(ACKACT)ビット**が**確認応答(ACK)**に設定(=0)される時にだけ有効です。TWI主装置はACKACTが**否認応答(NACK)**に設定(=1)される場合にデータレジスタ読み込み後に**否認応答(NACK)ビット**を生成しません。この機能は**主装置制御A(TWIn.MCTRLA)レジスタの簡便動作許可(SMEN)ビット**が'1'に設定される時に許可されます。

TWI従装置に対し、簡便動作は**従装置データ(TWIn.SDATA)レジスタ**が読まれると直ぐに**確認応答(ACK)活動**を自動的に送ります。簡便動作はTWInSDATAレジスタが読み書きされた場合に**従装置状態(TWIn.SSTATUS)レジスタのデータ割り込み要求フラグ(DIF)**を自動的に'0'に設定します。この機能は**従装置制御A(TWIn.SCTRLA)レジスタの簡便動作許可(SMEN)ビット**が'1'に設定される時に許可されます。

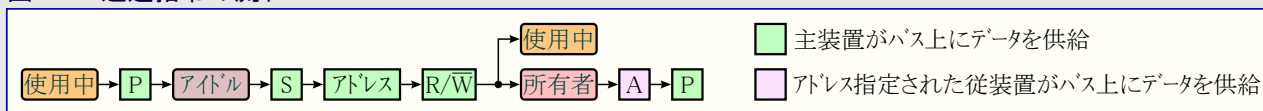
25.3.3.4. 迅速指令動作

迅速動作でのアドレスパケットのR/Wビットが指令を示します。この動作は**主装置制御A(TWIn.MCTRLA)レジスタの迅速指令許可(QCEN)ビット**に'1'を書くことによって許可されます。データの送受信はありません。

迅速指令はSMBus仕様で、R/Wビットを装置機能のON/OFF切り替え、または低電力待機動作の許可/禁止に使います。この動作は自動起動操作を許してソフトウェアの複雑さ減らすことができます。

主装置が従装置から**確認応答(ACK)**を受け取った後、R/Wビットの値に応じて**主装置読み割り込み要求フラグ(RIF)**または**主装置書き割り込み要求フラグ(WIF)**のどちらかが設定(1)されます。迅速指令発行後にRIFまたはWIFのフラグが設定(1)されると、TWIは**主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**を書くことによって停止(**停止条件**)指令を受け入れます。最後の**受信応答(RXACK)フラグ**と共にRIFとWIFのフラグは全て**主装置状態(TWIn.MSTATUS)レジスタ**に配置されます。

図25-8. 迅速指令の流れ



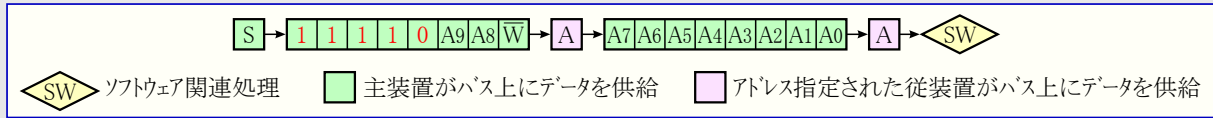
25.3.3.5. 10ビット アドレス

転送処理が読みか書きかに関わらず、主装置はR/W方向ビットを'0'に設定して10ビットアドレスを送ることによって開始されなければなりません。

従装置アドレス一致論理回路は7ビットアドレスと一斉呼び出しアドレスの認識を支援するだけです。主装置がTWI従装置をアドレス指定したかを定めるため、従装置アドレス一致論理回路によって**従装置アドレス(TWIn.SADDR)レジスタ**が使われます。

TWI従装置アドレス一致論理回路は10ビットアドレスの最初のバイトの認識を支援するだけで、第2バイトはソフトウェアで処理されなければなりません。10ビットアドレスの最初のバイトは従装置アドレス(TWIn.SADDR)レジスタの上位5ビットが'11110'の場合に認識されます。従って、最初のバイトは5つの指示ビット、10ビットアドレスの上位2ビット(Msb)、R/W方向ビットから成ります。それに続く主装置からの下位側バイト(LSB)はデータパケットの形式で来ます。

図25-9. 10ビット アドレス転送処理



25.3.4. 割り込み

表25-1. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
Slave	TWI従装置割り込み	<ul style="list-style-type: none"> DIF : TWIn.SSTATUSのデータ割り込み要求フラグを'1'に設定 APIF : TWIn.SSTATUSのアドレス/停止割り込み要求フラグを'1'に設定
Master	TWI主装置割り込み	<ul style="list-style-type: none"> RIF : TWIn.MSTATUSの読み込み割り込み要求フラグを'1'に設定 WIF : TWIn.MSTATUSの書き込み割り込み要求フラグを'1'に設定

割り込み条件が起こると、主装置状態(TWIn.MSTATUS)レジスタまたは従装置状態(TWIn.SSTATUS)レジスタで対応する割り込み要求フラグが設定(1)されます。

いくつかの割り込み要求条件が割り込みベクタによって支援される時に、割り込み要求は割り込み制御器に対して1つの結合された割り込み要求へ共に論理和(OR)されます。使用者はどの割り込み条件が存在するかを決めるのにTWIn.MSTATUSまたはTWIn.SSTATUSのレジスタから割り込み要求フラグを読まなければなりません。

25.3.5. 休止形態動作

バス状態論理回路とアドレス認識ハードウェアは全ての休止動作形態で動作を続けます。TWI従装置が休止動作で開始条件に続いて従装置アドレスが検出された場合、主クロックが利用可能になるまでの起き上がり期間の間、クロック伸長が有効です。TWI主装置は全ての休止動作で動作を停止します。二元動作が有効な時は、開始条件がTWI従装置によって受信された時にだけTWI周辺機能が起き上がります。

25.3.6. デバッグ操作

走行時デバッグの間、TWIはその通常動作を続けます。デバッグ動作でのCPU停止はTWIの通常動作を停止します。TWIはデバッグ制御(TWIn.DBGCTRL)レジスタのデバッグ時走行(DBGRUN)ビットに'1'を書くことによって停止されたCPUでの動作を強制することができます。デバッグ動作でCPUが停止され、DBGRUNビットが'1'の時に、主装置データ(TWIn.MDATA)レジスタと従装置データ(TWIn.SDATA)レジスタの読み書きは決してバス操作を起動したり、送信を引き起こしてフラグを解除(0)しません。TWIが割り込みや同様のものを通してCPUによって定期的な処理を必要とするように構成設定される場合、停止されたデバッグの間に不正な動作やデータ損失になるかもしれません。

25.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7~0				SDASETUP	SDAHOLD1,0	FMPEN		
+\$01	予約									
+\$02	DBGCTRL	7~0								DBGRUN
+\$03	MCTRLA	7~0	RIEN	WIEN		QCEN	TIMEOUT1,0	SMEN	ENABLE	
+\$04	MCTRLB	7~0					FLUSH	ACKACT	MCMD1,0	
+\$05	MSTATUS	7~0	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0	
+\$06	MBAUD	7~0	BAUD7~0							
+\$07	MADDR	7~0	ADDR7~0							
+\$08	MDATA	7~0	DATA7~0							
+\$09	SCTRLA	7~0	DIEN	APIEN	PIEN			PMEN	SMEN	ENABLE
+\$0A	SCTRLB	7~0						ACKACT	SCMD1,0	
+\$0B	SSTATUS	7~0	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP
+\$0C	SADDR	7~0	ADDR7~0							
+\$0D	SDATA	7~0	DATA7~0							
+\$0E	SADDRMASK	7~0	ADDRMASK6~0							
										ADDREN

25.5. レジスタ説明

25.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
				SDASETUP	SDAHOLD1,0	FMPEN		
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R
リセット値	0	0	0	0	0	0	0	0

● ビット4 – SDASETUP : SDA準備時間 (SDA Setup Time)

このビットはSDA出力信号での十分な準備時間を保証するためにSCLが伸長されるクロック数を制御します。このビットは従装置動作で動作する時に使われます。

値	0	1
名称	4CYC	8CYC
説明	SDA準備時間は4クロック周期です。	SDA準備時間は8クロック周期です。

● ビット3,2 – SDAHOLD1,0 : SDA保持時間 (SDA Hold Time)

このビット領域はTWIに対するSDA保持時間を選びます。詳細については「電気的特性」章をご覧ください。

値	0 0	0 1	1 0	1 1
名称	OFF	50NS	300NS	500NS
説明	保持時間OFF	短保持時間	代表的条件下の SMBus 2.0仕様に合致	全方面に渡って SMBus 2.0仕様に合致

● ビット1 – FMPEN : 高速動作+許可 (Fast Mode Plus Enable)

このビットへの'1'書き込みはTWI既定構成設定でのTWIに対して1MHzバス速度(高速動作+、FM+)を選びます。

値	0	1
名称	OFF	ON
説明	標準動作または高速動作で動作	高速動作+(Fm+)で動作

25.5.2. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL

変位 : +\$02

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット0 – DBGCTRL : デバッグ時走行 (Debug Run)

詳細については「デバッグ操作」項を参照してください。

値	0	1
説明	TWIはデバッグ動作中断で停止し、事象を無視	TWIはCPU停止中のデバッグ動作中断で走行継続

25.5.3. MCTRLA – 主装置制御A (Host Control A)

名称 : MCTRLA
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	RIEN	WIEN		QCEN	TIMEOUT1,0		SMEN	ENABLE
アクセス種別	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RIEN : 読み込み割り込み許可 (Read Interrupt Enable)

TWI主装置読み込み割り込みはこのビットとステータスレジスタ(CPU.SREG)の全体割り込み許可(I)ビットが'1'に設定される場合にだけ生成されます。

このビットへの'1'書き込みは主装置状態(TWIn.MSTATUS)レジスタの**主装置読み込み割り込み要求フラグ(RIF)**での割り込みを許可します。RIFフラグは主装置読み込み割り込みが起きた時に'1'に設定されます。

● ビット6 – WIEN : 書き込み割り込み許可 (Write Interrupt Enable)

TWI主装置書き込み割り込みはこのビットとステータスレジスタ(CPU.SREG)の全体割り込み許可(I)ビットが'1'に設定される場合にだけ生成されます。

このビットへの'1'書き込みは主装置状態(TWIn.MSTATUS)レジスタの**主装置書き込み割り込み要求フラグ(WIF)**での割り込みを許可します。WIFフラグは主装置書き込み割り込みが起きた時に'1'に設定されます。

● ビット4 – QCEN : 迅速指令許可 (Quick Command Enable)

このビットへの'1'書き込みが**迅速指令動作**を許可します。迅速指令が許可されて従装置がアドレスに応答する場合、R/Wビットの値に応じて対応する**読み込み割り込み要求フラグ(RIF)**または**書き込み割り込み要求フラグ(WIF)**が設定(1)されます。

ソフトウェアは**主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域**に(STOP)を書くことで**停止条件**を発行せねばなりません。

● ビット3,2 – TIMEOUT1,0 : 不活性バス制限時間 (Inactive Bus Timeout)

このビット領域に0以外の値を設定することが不活性バス制限時間監視を許可します。バスがTIMEOUT設定よりも長い間不活性の場合、バス状態論理回路は**アイドル**状態に移行します。

値	0 0	0 1	1 0	1 1
名称	DISABLED	50US	100US	200US
説明	バス制限時間禁止 : I ² C	50μs : SMBus	100μs	200μs

● ビット1 – SMEN : 簡便動作許可 (Smart Mode Enable)

このビットへの'1'書き込みが**主装置簡便動作**を許可します。簡便動作が許可されると、**主装置データ(TWIn.MDATA)レジスタ**読み込み直後に主装置制御B(TWIn.MCTRLB)レジスタの**応答動作(ACKACT)ビット**に存在する値が送られます。

● ビット0 – ENABLE : 主装置許可 (Enable TWI Host)

このビットへの'1'書き込みがTWIを主装置として許可します。

25.5.4. MCTRLB – 主装置制御B (Host Control B)

名称 : MCTRLB
変位 : +\$04
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
					FLUSH	ACKACT	MCMD1,0	
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3 – FLUSH : 解消 (Flush)

このビットは主装置の内部状態を解消してバス状態を**アイドル**に変えます。TWIは**主装置アドレス(TWIn.MADDR)レジスタ**に先立って**主装置データ(TWIn.MDATA)レジスタ**が書かれる場合に無効なデータを送信します。解消後の主装置アドレス(TWIn.MADDR)と主装置データ(TWIn.MDATA)への書き込みはハードウェアがSCLバス空気を検出すると直ぐに処理を開始させます。

このビットへの'1'書き込みは主装置を禁止する1クロック周期間の瞬発(スロープ)信号を生成し、その後に主装置を再許可します。このビットへの'0'書き込みは無効です。

●ビット2 – ACKACT : 応答動作 (Acknowledge Action)

ACKACT(注)ビットはバス状態とソフトウェア相互作用によって定義された或る条件下の主装置での動きを表します。主装置制御A(TWIn.MCTRLA)レジスタの簡便動作許可(SMEN)ビットが(1)に設定される場合、応答動作は主装置データ(TWIn.MDATA)レジスタが読まれる時に実行されます。さもなければ指令が主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビット領域に書かれなければなりません。主装置データ(TWIn.MDATA)レジスタが書かれる時は主装置がデータを送っているため、応答動作は実行されません。

値	0	1
名称	ACK	NACK
説明	確認応答(ACK)送出	否認応答(NACK)送出

●ビット1,0 – MCMD1,0 : 指令 (Command)

MCMD(注)ビット領域は瞬発(スロープ)信号です。このビット領域は常に'0'として読みます。このビット領域への書き込みは下表によって定義されるような主装置動作を起動します。

表25-2. 指令設定

MCMD1,0	群構成設定	データ方向	説明
0 0	NOACT	×	(予約)
0 1	REPSTART	×	再送開始条件が後続する応答動作を実行
1 0	RECVTRANS	\bar{W}	バイト書き込み操作が後続する応答動作(活動なし)を実行 (注)
		R	バイト読み込み操作が後続する応答動作を実行
1 1	STOP	×	停止条件発行が後続する応答動作を実行

注: 主装置書き込み操作に対して、TWIは主装置データ(TWIn.MDATA)レジスタに書かれる新しいデータを待ちます。

注: ACKACTビットとMCMDビット領域は同時に書くことができます。

25.5.5. MSTATUS – 主装置状態 (Host Status)

名称 : MSTATUS

変位 : +\$05

リセット : \$00

特質 : -

正常なTWI操作はこのレジスタが純粋に読み込み専用レジスタと見做されることが必要とされます。状態フラグの何れかの解除(0)は主装置送信アドレス(TWIn.MADDR)レジスタ、主装置データ(TWIn.MDATA)レジスタ、主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビットをアクセスすることによって間接的に行われます。

ビット	7	6	5	4	3	2	1	0
	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0	
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7 – RIF : 読み込み割り込み要求フラグ (Read Interrupt Flag)

このフラグは主装置バイト読み込み動作が完了された時に'1'に設定されます。

RIFフラグは主装置読み込み割り込みを生成することができます。主装置制御A(TWIn.MCTRLA)レジスタの読み込み割り込み許可(RIEN)ビットの記述でより多くの情報を見つけてください。

このフラグは他のいくつかのTWIレジスタがアクセスされる時に自動的に解除(0)します。RIFフラグを解除(0)するのに以下の方法のどれをも使うことができます。

- これへの'1'書き込み
- 主装置アドレス(TWIn.MADDR)レジスタへの書き込み
- 主装置データ(TWIn.MDATA)レジスタの読み書き
- 主装置制御B(TWIn.MCTRLB)レジスタの指令(MCMD)ビットへの書き込み

●ビット6 – WIF : 書き込み割り込み要求フラグ (Write Interrupt Flag)

このフラグはどのバス異常の発生や調停敗退状況とも無関係に主装置のアドレス送信またはバイトの書き込みが完了された時に'1'に設定されます。

WIFフラグは主装置書き込み割り込みを生成することができます。主装置制御A(TWIn.MCTRLA)レジスタの書き込み割り込み許可(WIEN)ビットの記述でより多くの情報を見つけてください。

このフラグはRIFフラグに対して上で記述された方法のどれかを使って解除(0)することができます。

●ビット5 – CLKHOLD : クロック保持 (Clock Hold)

このビットが'1'として読まれると、それは主装置がTWIクロック(SCL)を現在Lowに保持してTWIクロック周期を引き延ばしていることを示します。

このフラグはRIFフラグに対して前で記述された方法のどれかを使って解除(0)することができます。

●ビット4 – RXACK : 受信応答 (Received Acknowledge)

このビットが'0'として読まれると、それは従装置からの最新応答ビットが確認応答(ACK)で従装置がより多くのデータの準備が整っていることを示します。

このビットが'1'として読まれると、それは従装置からの最新応答ビットが否認応答(NACK)で従装置がより多くのデータの受信ができないかまたは必要でないことを示します。

●ビット3 – ARBLOST : 調停敗退 (Arbitration Lost)

このビットが'1'として読まれると、それは主装置が調停で敗れたことを示します。これは以下の場合の1つで起き得ます。

- Highデータ ビットを送信している間
- 否認応答(NACK)を送信している間
- 開始条件(S)を発行している間
- 再送開始条件(Sr)を発行している間

このフラグはRIFフラグに対して記述される方法の1つを選ぶことによって解除(0)することができます。

●ビット2 – BUSERR : バス異常 (Bus Error)

BUSERRフラグは不正なバス状態が起きたことを示します。不正なバス操作はTWIバス線で規約違反の開始条件(S)、再送開始条件(Sr)、停止条件(P)が検出された場合に検知されます。開始条件直後に続く停止条件が規約違反の一例です。

BUSERRフラグは以下の方法の1つを選ぶことによって解除(0)することができます。

- これへの'1'書き込み
- 主装置アドレス(TWIn.MADDR)レジスタへの書き込み

TWIバス異常検出部はTWI主装置回路の一部です。バス異常が検出されるには、TWI主装置が許可(主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットが'1'に)されて、主クロック周波数がSCL周波数の最低4倍でなければなりません。

●ビット1,0 – BUSSTATE1,0 : バス状態フラグ (Bus State)

このビット領域は現在のTWIバス状態を示します。このビット領域への'01'書き込みはバス状態をアイドルに強制します。他の全ての値は無視されます。

値	0 0	0 1	1 0	1 1
名称	UNKNOWN	IDLE	OWNER	BUSY
説明	未知のバス状態 (未知)	アイドルのバス状態 (アイドル)	このTWIがバスを制御 (所有者)	多忙なバス状態 (使用中)

25.5.6. MBAUD – 主装置ボーレート (Host Baud Rate)

名称 : MBAUD

変位 : +\$06

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	BAUD7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7~0 – BAUD7~0 : ボーレート (Baud Rate)

このビット領域はSCLのHighとLowの時間を得るのに使われます。主装置が禁止されている間に書かれなければなりません。主装置は主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットに'0'を書くことによって禁止されます。

SCLの周波数を計算する方法のより多くの情報については「クロック生成」項を参照してください。

25.5.7. MADDR – 主装置アドレス (Host Address)

名称 : MADDR
変位 : +\$07
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	ADDR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ADDR7~0 : アドレス (Address)

このレジスタは外部従装置のアドレスを含みます。このビット領域が書かれると、TWIは開始条件を発行し、移動レジスタがバス状態に応じてバス上でバイト送信動作を実行します。

このレジスタは、読み込みアクセスがバス規約に関連するどれかの操作を実行するために主装置論理回路を起動しないため、進行中のバス活動での妨害を除いて何時でも読むことができます。

主装置制御論理回路は読み書き(R/W)方向ビットとしてこのレジスタのビット0を使います。

25.5.8. MDATA – 主装置データ (Host Data)

名称 : MDATA
変位 : +\$08
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DATA7~0 : データ (Data)

このビット領域はバスでのデータ移動出力(送信)とバスから受け取るデータの移動入力(受信)に使われる主装置の物理的な移動レジスタへの直接アクセスを提供します。直接アクセスはバイト送信中にMDATAレジスタをアクセスすることができないことを意味します。

有効なデータの読み込みまたは送信されるべきデータの書き込みは**クロック保持(CLKHOLD)ビット**が'1'として読まれる時、または割り込み発生時にだけ成功することができます。

MDATAレジスタへの書き込みは主装置にバスでのバイト送信動作の実行を命じ、直後に従装置からの応答ビットを受け取ります。これは**主装置制御B(TWIn.MCTRLB)レジスタの応答動作(ACKACT)ビット**と無関係です。書き込み操作は**主装置書き込み割り込み要求フラグ(WIF)**が'1'に設定されるのに先立って調停に勝つか負けるかに関わらず実行されます。

主装置制御A(TWIn.MCTRLA)レジスタの簡便動作許可(SMEN)ビットが'1'に設定され場合、MDATAレジスタへの読み込みアクセスは主装置に**応答動作の実行を命じます**。これは主装置制御B(TWIn.MCTRLB)レジスタの**応答動作(ACKACT)ビット**の設定に依存します。

注: ・ WIFとRIFのフラグはACKACTが'1'に設定されている間にMDATAレジスタが読まれる場合、自動的に解除(0)されます。

- ・ **調停敗退(ARBLOST)**と**バス異常(BUSERR)**のフラグは無変化のままです。
- ・ WIF、RIF、ARBLOST、BUSERRのフラグはCLKHOLDビットと共に全て**主装置状態(TWIn.MSTATUS)レジスタ**に配置されます。

25.5.9. SCTRLA – 従装置制御A (Client Control A)

名称 : SCTRLA
変位 : +\$09
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DIEN	APIEN	PIEN			PMEN	SMEN	ENABLE
アクセス種別	R/W	R/W	R/W	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – DIEN : データ割り込み許可 (Data Interrupt Enable)

このビットに'1'を書くことは従装置状態(TWIn.SSTATUS)レジスタの**データ割り込み要求フラグ(DIF)**での割り込みを許可します。

TWI従装置データ割り込みは、このビット、DIFフラグ、ステータスレジスタ(CPU.SREG)の全体割り込み許可(I)ビットが全て'1'の場合にだけ生成されます。

●ビット6 – APIEN : アドレス/停止条件割り込み許可 (Address or Stop Interrupt Enable)

このビットに'1'を書くことは従装置状態(TWIn.SSTATUS)レジスタの**アドレス/停止条件割り込み要求フラグ(APIF)**での割り込みを許可します。

TWI従装置アドレス/停止条件割り込みは、このビット、APIFフラグ、**ステータスレジスタ(CPU.SREG)**の**全体割り込み許可(I)**ビットが全て'1'の場合にだけ生成されます。

注: 従装置停止条件割り込みは割り込みフラグとベクタを従装置アドレス割り込みと共有します。

- 従装置制御A(TWIn.SCTRLA)レジスタの**停止条件割り込み許可(PIEN)**ビットは停止条件でAPIFが設定されるために'1'を書かれなければなりません。
- 割り込み発生時、TWI従装置状態(TWIn.SSTATUS)レジスタの**アドレス/停止条件(AP)**ビットはアドレス一致か停止条件かのどちらが割り込みを起こしたかを決めます。

●ビット5 – PIEN : 停止条件割り込み許可 (Stop Interrupt Enable)

このビットに'1'を書くことは**停止条件**発生時に**TWI従装置状態(TWIn.SSTATUS)レジスタのアドレス/停止条件割り込み要求フラグ(APIF)**が設定(1)されることを許します。主クロック周波数はこの機能を使うためにSCL周波数の最低4倍でなければなりません。

●ビット2 – PMEN : 無差別動作許可 (Permissive Mode Enable)

このビットが'1'を書かれるなら、従装置アドレス一致論理回路は全ての受信アドレスに応答します。

このビットが'0'を書かれるなら、アドレス一致論理回路はどのアドレスを従装置のアドレスとして認識するかを決めるのに**従装置アドレス(TWIn.SADDR)レジスタ**を使います。

●ビット1 – SMEN : 簡便動作許可 (Smart Mode Enable)

このビットに'1'を書くことが従装置**簡便動作**を許可します。簡便動作が許可されると、**従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域**への書き込みによる指令発行または**従装置データ(TWIn.SDATA)レジスタ**のアクセスは割り込みをリセットして動作を続けます。簡便動作が禁止される場合、従装置は続けるのに先立って常に新しい従装置指令を待ちます。

●ビット0 – ENABLE : 従装置許可 (Enable TWI Client)

このビットに'1'を書くことがTWI従装置を許可します。

25.5.10. SCTRLB – 従装置制御B (Client Control B)

名称 : SCTRLB

変位 : +\$0A

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						ACKACT	SCMD1,0	
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット2 – ACKACT : 応答動作 (Acknowledge Action)

ACKACT(**注**)ビットはバス規約状態とソフトウェア相互作用によって定義される或る条件下でのTWI従装置の動きを示します。従装置制御A(TWIn.SCTRLA)レジスタの**簡便動作許可(SMEN)**ビットが'1'に設定される場合、応答動作は**従装置データ(TWIn.SDATA)レジスタ**が読まれる時に実行されます、さもなければ従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域に指令が書かれなければなりません。

従装置データ(TWIn.SDATA)レジスタが書かれる時は従装置がデータを送っているため、応答動作は実行されません。

値	0	1
名称	ACK	NACK
説明	確認応答(ACK)送出	否認応答(NACK)送出

●ビット1,0 – SCMD1,0 : 指令 (Command)

SCMD(**注**)ビット領域は瞬発(スローブ)信号です。このビット領域は常に'0'として読みます。

このビット領域への書き込みは次表によって定義されるような従装置動作を起動します。

注: ACKACTビットとSCMDビット領域は同時に書くことができます。ACKACTは指令が起動されるのに先立って更新されます。

表25-3. 指令設定

SCMD1,0	群構成設定	DIR(方向)	説明	
0 0	NOACT	×	活動なし	
0 1	-	×	(予約)	
1 0	COMPTRANS	\overline{W}	何れかの開始条件/再送開始条件(S/Sr)待機に先行する応答動作を実行	転送処理完了に使用
		R	何れかの開始条件/再送開始条件(S/Sr)待機	
1 1	RESPONSE	\overline{W}	次バイトの受信に先行する応答動作を実行	
		R	アドレス割り込み要求フラグ(APIF)に対する応答で使用: 従装置データ割り込み(DIF)に先行する応答動作を実行	
			データ割り込み要求フラグ(DIF)に対する応答で使用: 応答動作が後続するバイト読み取り操作を実行	

25.5.11. SSTATUS – 従装置状態 (Client Status)

名称 : SSTATUS

変位 : +\$0B

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP
アクセス種別	R/W	R/W	R	R	R/W	R/W	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット7 – DIF : データ割り込み要求フラグ (Data Interrupt Flag)

このフラグはバス異常なしで従装置のバイト送信またはバイト受信の操作が完了された時に'1'に設定されます。このフラグは衝突検出の場合での不成功転送処理で'1'に設定され得ます。衝突(COLL)ビットの記述でより多くの情報を見つけてください。

DIFフラグは従装置データ割り込みを生成することができます。従装置制御A(TWIn.SCTRLA)レジスタのデータ割り込み許可(DIEN)ビットの記述でより多くの情報を見つけてください。

このフラグは他のいくつかのTWIレジスタがアクセスされる時に自動的に解除(0)します。以下の方法のどれもDIFフラグを解除(0)するのに使うことができます。

- ・ 従装置データ(TWIn.SDATA)レジスタへの読み書き
- ・ 従装置制御B(TWIn.SCTRLB)レジスタの指令(SCMD)ビット領域への書き込み

● ビット6 – APIF : アドレス/停止条件割り込み要求フラグ (Address or Stop Interrupt Flag)

このフラグは従装置アドレスが受信された時、または停止条件によって'1'に設定されます。

APIFフラグは従装置アドレス/停止条件割り込みを生成することができます。従装置制御A(TWIn.SCTRLA)レジスタのアドレス/停止条件割り込み許可(APIEN)ビットの記述でより多くの情報を見つけてください。

このフラグはDIFフラグに対して記述される方法のどれを使っても解除(0)することができます。

● ビット5 – CLKHOLD : クロック保持 (Clock Hold)

このビットが'1'として読まれると、それは従装置がTWIクロック(SCL)を現在Lowに保持してTWIクロック周期を引き延ばしていることを示します。

このビットはアドレス(APIF)またはデータ(DIF)の割り込みが起こる時に'1'に設定されます。対応する割り込みのリセットが間接的にこのビットを'0'に設定します。

● ビット4 – RXACK : 受信応答 (Received Acknowledge)

このビットが'0'として読まれると、それは主装置からの最新応答ビットが確認応答(ACK)だったことを示します。

このビットが'1'として読まれると、それは主装置からの最新応答ビットが否認応答(NACK)だったことを示します。

● ビット3 – COLL : 衝突 (Collision)

このビットが'1'として読まれると、それは従装置が以下の1つを行うことができなかったことを示します。

- ・ SDAでのHighビット送信。不成功転送処理の内部完了のため、その最後でデータ割り込み要求フラグ(DIF)が'1'に設定されます。
- ・ 否認応答(NACK)ビット送信。従装置アドレス一致が既に起こされたために衝突が起き、結果としてアドレス/停止条件割り込み要求フラグ(APIF)が'1'に設定されます。

このビットへの'1'書き込みはCOLLフラグを解除(0)します。このフラグは何れかの開始条件(S)または再送開始条件(Sr)が検出される場合に自動的に解除(0)されます。

注: APIFとDIFのフラグは衝突を調べるのに使われ得る処理部の割り込みしか生成することができません。

● ビット2 – BUSERR : バス異常 (Bus Error)

BUSERRフラグは不正なバス操作が起きたことを示します。不正なバス操作はTWIバス線で規約違反の開始条件(S)、再送開始条件(Sr)、停止条件(P)が検出された場合に検知されます。開始条件直後に続く停止条件が規約違反の1つの例です。

このビットへの'1'書き込みはBUSERRフラグを解除(0)します。

TWIバス異常検出部はTWI主装置回路の一部です。バス異常が検出されるには、TWI主装置が許可されて、主クロック周波数がSCL周波数の最低4倍でなければなりません。TWI主装置は主装置制御A(TWIn.MCTRLA)レジスタのTWI主装置許可(ENABLE)ビットに'1'を書くことによって許可することができます。

● ビット1 – DIR : 読み/書き方向 (Rwad/Write Direction)

このビットは現在のTWIバス方向を示します。DIRビットはTWI主装置から受信した最後のアドレス パケットからの方向ビット値を反映します。

このビットが'1'として読まれると、それは主装置読み込み操作が進行中です。

このビットが'0'として読まれると、それは主装置書き込み操作が進行中です。

● ビット0 – AP : アドレス/停止条件 (Address or Stop)

TWI従装置状態(TWIn.SSTATUS)レジスタのTWI従装置アドレス/停止条件割り込み要求フラグ(APIF)が'1'に設定されると、このビットは割り込みがアドレス検出のためかそれとも停止条件のためかを決めます。

値	0	1
名称	STOP	ADR
説明	停止条件がAPIFフラグでの割り込みを生成	アドレス検出がAPIFフラグでの割り込みを生成

25.5.12. SADDR – 従装置アドレス (Client Address)

名称 : SADDR

変位 : +\$0C

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	ADDR7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – ADDR7~0 : アドレス (Address)

従装置アドレス(TWIn.ADDR)レジスタはTWI主装置がTWI従装置をアドレス指定したかを判断する従装置アドレス一致論理回路によって使われます。アドレス パケットが受信された場合、従装置状態(TWIn.SSTATUS)レジスタのアドレス/停止条件割り込み要求フラグ(APIF)とアドレス/停止条件(AP)ビットが'1'に設定されます。

TWIn.SADDRレジスタの上位7ビット(ADDR7~1)は基本従装置アドレスを表します。

TWIn.SADDRレジスタの最下位ビット(ADDR0)はI²C規約の一斉呼び出しアドレス(\$00)の認識に使われます。この機能はこのビットが'1'に設定される時に許可されます。

25.5.13. SDATA – 従装置データ (Client Data)

名称 : SDATA
変位 : +\$0D
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	DATA7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – DATA7~0 : データ (Data)

このビット領域は従装置データレジスタへのアクセスを提供します。

有効なデータの読み込みまたは送信されるべきデータの書き込みは従装置によってSCLがLowに保持される時(即ち、CLKHOLDビットが'1'に設定される時)にだけ達成することができます。割り込みの使用または割り込み要求フラグの監視によってソフトウェアが現在の規約状態の経緯を保つ場合、SDATAレジスタにアクセスするのに先だって、ソフトウェアで従装置状態(TWIn.SSTATUS)レジスタのクロック保持(CLKHOLD)ビットを調べることは不要です。

従装置制御A(TWIn.SCTRLA)レジスタの簡便動作許可(SMEN)ビットが'1'に設定される場合、クロック保持が有効の時のSDATAレジスタ読み込みは従装置にバス操作を自動起動して応答動作を実行することを命じます。これは従装置制御B(TWIn.SCTRLB)レジスタの応答動作(ACKACT)ビットの設定に依存します。

25.5.14. SADDRMASK – 従装置アドレス遮蔽 (Client Address Mask)

名称 : SADDRMASK
変位 : +\$0E
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	ADDRMASK6~0							ADDREN
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~1 – ADDRMASK6~0 : アドレス遮蔽 (Address Mask)

ADDRMASKビット領域はアドレス許可(ADDREN)ビットに依存して第2アドレス一致またはアドレス遮蔽のレジスタとして働きます。

ADDRENビットが'0'を書かれる場合、ADDRMASKビット領域は7ビット従装置アドレス遮蔽値を設定することができます。従装置アドレス遮蔽(TWIn.SADDRMASK)レジスタ内の各ビットはTWI従装置アドレス(TWIn.SADDR)レジスタ内の対応するアドレスビットを遮蔽(禁止)することができます。この遮蔽のビットが'1'を書かれるなら、アドレス一致論理回路は着信アドレスビットと従装置アドレス(TWIn.SADDR)レジスタ内の対応するビット間の比較を無視します。換言すると、遮蔽されたビットは常に一致し、アドレスの範囲の認識を可能にします。

ADDRENが'1'を書かれる場合、従装置アドレス遮蔽(TWIn.SADDRMASK)レジスタは従装置アドレス(TWIn.SADDR)レジスタに加えて第2従装置アドレスを設定することができます。この動作では従装置が2つの独自のアドレス、従装置アドレス(TWIn.SADDR)レジスタでの1つと従装置アドレス遮蔽(TWIn.SADDRMASK)レジスタでの別の1つを持ちます。

● ビット0 – ADDREN : アドレス許可 (Address Mask Enable)

このビットが'0'を書かれる場合、TWIn.SADDRMASKレジスタはTWIn.SADDRレジスタに対する遮蔽として働きます。

このビットが'1'を書かれる場合、従装置アドレス一致論理回路は従装置のTWIn.SADDRとTWIn.SADDRMASKのレジスタでの2つの独自のアドレスに応答します。

26. CRCSCAN – 巡回冗長検査メモリ走査

26.1. 特徴

- CRC-16-CCITT
- 全フラッシュメモリ、応用コードと/またはブート領域の検査
- 選択可能な不成功でのNMI起動
- 使用者構成設定可能な内部リセット初期化中の検査

26.2. 概要

巡回冗長検査(CRC)はNVM(フラッシュメモリ全体、ブート領域のみ、ブート領域と応用コード領域の両方)からバイトのデータの流れて取ってチェックサムを生成します。CRC周辺機能(CRCSCAN)はプログラムメモリ内の異常を検出するのに使うことができます。

調べる領域の最終位置は比較のために予め計算された正しい16ビットチェックサム値を含まなければなりません。CRCSCANによって計算されたチェックサムと予め計算されたチェックサムが一致する場合、**状態(OK)ビット**が設定(1)されます。それらが一致しない場合、**状態(CRCSCAN.STATUS)レジスタ**は失敗したことを示します。使用者はチェックサムが一致しない場合にCRCSCANに遮蔽不可割り込み(NMI)を生成させるように選ぶことができます。

任意長のデータ塊に適用されるnビットCRCは長さでnビットまでのどんな単一改変(連続誤り)も検出します。より長い連続誤りについては $1-2^{-n}$ 分の1が検出されます。

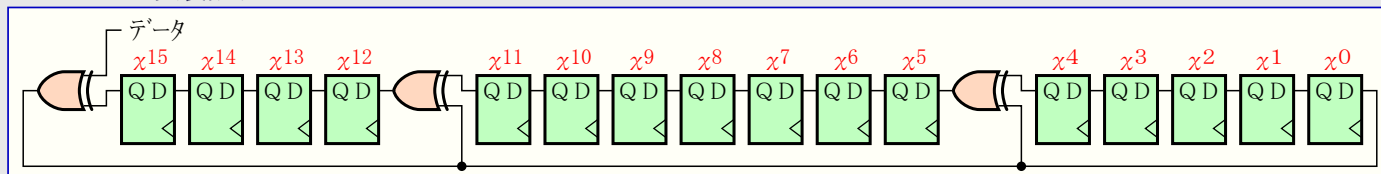
CRC生成部はCRC-16-CCITTを支援します。

多項式:

- CRC-16-CCITT : $X^{16}+X^{12}+X^5+1$

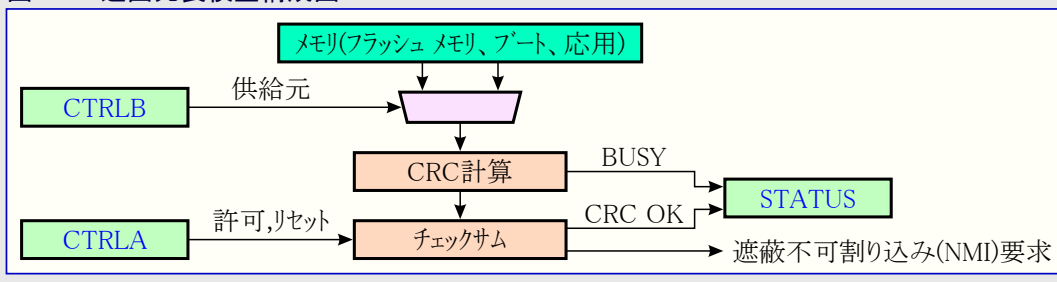
CRCは検査に対して構成設定された領域の内容をバイト0から始めてバイト単位で読み、バイト毎に新しいチェックサムを生成します。バイトは最上位ビットから始めて下で描かれるような移動レジスタを通して送られます。領域の最後のバイトが正しいチェックサムを含む場合、CRCは(検査に)合格します。チェックサムがどう配置されるかについては「26.3.2.1. チェックサム」をご覧ください。チェックサムレジスタの初期値は\$FFFFです。

図26-1. CRC実装説明



26.2.1. 構成図

図26-2. 巡回冗長検査構成図



26.3. 機能的な説明

26.3.1. 初期化

ソフトウェア(またはデバッグ経由)でCRCを許可するには、

1. 望む供給元設定を選ぶために**制御B(CRCSCAN.CTRLB)レジスタの供給元(SRC)ビット領域**を書いてください。
2. **制御A(CRCSCAN.CTRLA)レジスタの許可(ENABLE)ビット**に'1'を書くことによってCRCSCANを許可してください。
3. CRCは3周期後に開始します。CPUはこれらの3周期の間も実行を続けます。

CRCSCANはデバイスがリセットを去る前にコードメモリ走査を実行するように構成設定することができます。この検査が失敗の場合、CPUは通常のコード実行を許されません。この機能は**システム構成設定0(FUSE.SYSCFG0)ヒューズのCRC供給元(CRCSRC)領域**によって許可されて制御されます。より多くの情報については「ヒューズ」項をご覧ください。

この機能が許可された場合、成功したCRC検査は以下の結果を持ちます。

- ・通常コード実行開始
- ・CRCSCAN.CTRLAレジスタのENABLEビットが'1'です。
- ・CRCSCAN.CTRLBレジスタのSRCビット領域は検査した領域を反映します。
- ・状態(CRCSCAN.STATUS)レジスタのCRC OK(OK)フラグが'1'です。

この機能が許可された場合、不成功のCRC検査は以下の結果を持ちます。

- ・通常コード実行は開始せず、CPUはコード実行を停止します。
- ・CRCSCAN.CTRLAレジスタのENABLEビットが'1'です。
- ・CRCSCAN.CTRLBレジスタのSRCビット領域は検査した領域を反映します。
- ・状態(CRCSCAN.STATUS)レジスタのOKフラグが'0'です。
- ・この状況はデバッグ インターフェースを用いて観察することができるかもしれません。

26.3.2. 動作

CRCが優先動作で動いている時は、CRC周辺機能がフラッシュ メモリへのアクセス優先権を持ち、完了されるまでCPUを停止します。

優先動作で、またはCRC単位部が始動から走査を行うように設定される時に、CRCは第3主クロック周期毎に新しい語(16ビット)を取得します。

26.3.2.1. チェックサム

検査される領域の最後の位置に予め計算されたチェックサムが存在しなければなりません。ブート(BOOT)領域が検査されるべきなら、チェックサムはブート領域の最後の(2)バイトに保存されなければならず、応用(APPLICATION)とフラッシュ全体に対しても同様です。表26-1. は各種領域に対してチェックサムがどう格納されなければならないかを明確に示します。また、どの領域を検査するかを構成設定する方法については制御B(CRCSCAN.CTRLB)レジスタ記述を、ブートの最後(BOOTEND)と応用の最後(APPEND)のヒューズを構成設定する方法についてはデバイスのヒューズ記述をご覧ください。

表26-1. フラッシュ メモリ内に予め計算された16ビット チェックサムを配置する方法

検査する領域	チェックサム上位バイト(ビット15～8)	チェックサム下位バイト(ビット7～0)
ブート領域 (BOOT)	FUSE_BOOTEND × 256 - 2	FUSE_BOOTEND × 256 - 1
ブート領域(BOOT)と応用領域(APPLICATION)	FUSE_APPEND × 256 - 2	FUSE_APPEND × 256 - 1
全フラッシュ メモリ	FLASHEND - 1	FLASHEND

26.3.3. 割り込み

表26-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
NMI	遮蔽不可割り込み	CRC誤り

割り込み条件が起こると、状態(CRCSCAN.STATUS)レジスタのCRC OK(OK)フラグが'0'に解除されます。

遮蔽不可割り込み(NMI)は制御A(CRCSCAN.CTRLA)レジスタの対応する許可(NMIEN)ビットに'1'を書くことによって許可されますが、システム リセットでだけ禁止することができます。NMIはCRCSCAN.STATUSレジスタのOKフラグが解除(0)され、NMIENビットが'1'の時に生成されます。NMI要求はシステム リセットまで活性に留まり、禁止することができません。

NMIは例え割り込みが全体的に許可されなくても起動することができます。

26.3.4. 休止形態動作

CRCSCANは全ての休止動作で停止されます。全てのCPU休止動作に於いて、CRCSCAN周辺機能は停止され、CPUが起き上がる時に動作を再開します。

CRCSCANは制御A(CRCSCAN.CTRLA)レジスタのCRCSCAN許可(ENABLE)ビット書き込み後3周期で動作を開始します。これらの3周期の間に休止動作へ移行することが可能です。この場合、

1. CRCSCANはCPUが起き上がるまで開始しません。
2. CRCSCANが終了された後に何れかの割り込み処理部を実行します。

26.3.5. デバッグ操作

デバッガが周辺機能やメモリ位置を読み書きする時は必ずCRCSCAN周辺機能が禁止されます。

デバッガがデバイスにアクセスする時にCRCSCANが多忙の場合、CRCSCANはデバッガが内部レジスタにアクセスする時、またはデバッガが切断時に進行中の動作を再始動します。

状態(CRCSCAN.STATUS)レジスタの多忙(BUSY)ビットはデバッガがこれを禁止にさせた時にCRCSCANが多忙だった場合に'1'を読み取りますが、デバッガがこの禁止を保つ限りどの領域も能動的に検査しません。CRCSCANを禁止することなくデバッガによって読むことができる同期したCRC状態ビットがデバッガの内部レジスタ空間にあります。デバッガの内部CRC状態ビット読み込みはCRCSCANが許可されることを確実にします。

デバッガから直接CRCSCAN.STATUSレジスタ書き込みが可能なら、

- CRCSCAN.STATUSレジスタ内のBUSYビット
 - BUSYビットに'0'を書くことは(デバッガがそれを許す時にその動作を再始動しないように)進行中のCRC動作を止めます。
 - BUSYビットに'1'を書くことは制御B(CRCSCAN.CTRLB)レジスタの設定で単一検査をCRCに始めさせますが、デバッガがそれを許すまで動きません。

CRCSCAN.STATUSレジスタのBUSYビットが'1'である限り、制御A(CRCSCAN.CTRLA)レジスタの遮蔽不可割り込み許可(NMIEN)ビットとCRCSCAN.CTRLBレジスタは変えることができません。

- CRCSCAN.STATUSレジスタ内のOKビット
 - OKビットに'0'を書くことはCRCSCAN.CTRLAレジスタのNMIENビットが'1'の場合に遮蔽不可割り込み(NMI)を起動することができます。NMIが起動された場合、CRCSCANへの書き込みが全く許されません。
 - OKビットに'1'を書くことはCRCSCAN.STATUSレジスタのBUSYビットが'0'の時にOKビットを'1'として読ませます。

デバッガからCRCSCAN.CTRLAとCRCSCAN.CTRLBのレジスタ書き込みはCPUからの書き込みと同様に扱われます。

26.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0	RESET						NMIEN	ENABLE
+\$01	CTRLB	7～0			MODE1,0				SRC1,0	
+\$02	STATUS	7～0							OK	BUSY

26.5. レジスタ説明

26.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +\$00
リセット : \$00
特質 : -

NMIが起動されてしまった場合、このレジスタは書き込み不可です。

ビット	7	6	5	4	3	2	1	0
	RESET						NMIEN	ENABLE
アクセス種別	R/W	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RESET : CRCSCANリセット (Reset CRCSCAN)

このビットに'1'を書くことはCRCSCAN周辺機能をリセットします。CRCSCANの制御レジスタと状態レジスタ(CRCSCAN.CTRLA,CRCSCAN.CTRLB,CRCSCAN.STATUS)はRESETビットが'1'を書かれた後の1クロック周期で解除されます。

NMI起動許可(NMIEN)が'0'なら、このビットはCRCSCANが多忙(CRCSCAN.STATUSレジスタの多忙(BUSY)ビットが'1')と多忙でない(BUSYビットが'0')の両方の時に書き込み可能で、直ちに有効になります。

NMIENが'1'なら、このビットはCRCSCANが多忙でない(CRCSCAN.STATUSレジスタの多忙(BUSY)ビットが'0')の時にだけ書き込み可能です。

RESETビットは瞬発(ストローブ)ビットです。

● ビット1 – NMIEN : NMI起動許可 (Enable NMI Trigger)

このビットが'1'を書かれると、どのCRC不成功もNMIを起動します。

このビットはシステム リセットによってのみ解除(0)することができ、リセット(RESET)ビットへの書き込みによって解除(0)されません。

このビットはCRCSCANが多忙でない(CRCSCAN.STATUSレジスタの多忙(BUSY)ビットが'0')の時に'1'へ書くことができます。

● ビット0 – ENABLE : CRCSCAN許可 (Enable CRCSCAN)

このビットに'1'を書くことは現在の設定でCRCSCAN周辺機能を許可します。これはCRC検査が完了した後も'1'に留まりますが、再びこれに'1'を書くことが新しい検査を開始します。

このビットに'0'を書くことは無効です。

CPUに通常のコード実行を始めさせる前にフラッシュ メモリ領域を確認するため、MCU始動手順中に走査を走行するようにCRCSCANを構成設定することができます(「26.3.1. 初期化」項をご覧ください)。この機能が許可された場合、通常のコード実行が始まると、ENABLEビットは'1'として読みます。

CRCSCAN周辺機能が進行中の検査で多忙かどうかを知るには、状態(CRCSCAN.STATUS)レジスタの多忙(BUSY)ビットをポーリングしてください。

26.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB
変位 : +\$01
リセット : \$00
特質 : -

CTRLBレジスタはCRCに関する動作形態と供給元の設定を含みます。これはCRCが多忙の時、またはNMIが起動されてしまった時に書き込み不可です。

ビット	7	6	5	4	3	2	1	0
			MODE1,0				SRÇ1,0	
アクセス種別	R	R	R/W	R/W	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット5,4 – MODE1,0 : 動作形態 (CRC Flash Access Mode)

CPUに通常のコード実行を始めさせる前にフラッシュ メモリ領域を確認するために、内部リセット初期化中にCRCを許可することができます(ヒューズの記述をご覧ください)。CRCが内部リセット初期化中に許可された場合、通常のコード実行が始まると、MODEビット領域は非0を読み出されます。コード実行下でCRCの正しい動作を保証するため、MODEビットに再び'00'を書いてください。

値	0 0	その他
名称	PRIORITY	-
説明	CRC単位部はフラッシュ メモリへの優先権で単一検査を走ります。CPUはCRC完了まで停止されます。	(予約)

●ビット1,0 – SRC1,0 : CRC供給元 (CRC Source)

SRCビット領域はCRC単位部が検査するフラッシュ メモリの領域を選びます。領域の大きさを構成設定するには**ヒューズ**記述を参照してください。

CPUを開始させる前にフラッシュ メモリ領域を確認するために、内部リセット初期化中にCRCを許可することができます(「**ヒューズ**」項をご覧ください)。CRCが内部リセット初期化中に許可された場合、通常のコード実行が始まると、(構成設定に依存して)FLASH、BOOTAPP、BOOTとして読み出されます。

値	0 0	0 1	1 0	1 1
名称	FLASH	BOOTAPP	BOOT	–
説明	CRCはフラッシュ メモリ全体(ブート、応用コード、応用データの領域)で実行されます。	CRCはフラッシュのブートと応用コードの領域で実行されます。	CRCはフラッシュのブート領域で実行されます。	(予約)

26.5.3. STATUS – 状態 (Status)

名称 : STATUS

変位 : +\$02

リセット : \$02

特質 : –

状態(STATUS)レジスタは多忙とOKの情報を含みます。これは書き込み不可で読み込みのみ可能です。

ビット	7	6	5	4	3	2	1	0
							OK	BUSY
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	1	0

●ビット1 – OK : CRC OK (CRC OK)

このビットが'1'として読まれると、直前のCRCは成功裏に完了しました。このビットはCRC走査が走るのに先立って既定で'1'に設定されます。このビットはCRC多忙(BUSY)が'0'でない限り有効ではありません。

●ビット0 – BUSY : CRC多忙 (CRC Busy)

このビットが'1'として読まれると、CRCSCANは多忙です。単位部が多忙である限り、制御レジスタへのアクセスは制限されます。

27. CCL – 構成設定可能な注文論理回路

27.1. 特徴

- 汎用PCB設計用接続用論理回路(glue logic)
- 2の設定可能な参照表(LUTs)
- 組み合わせ論理回路機能：3入力までの機能の全ての論理式
- 逐次制御器論理回路機能
 - 門付きDフリップフロップ
 - JKフリップフロップ
 - 門付きDラッチ
 - RSラッチ
- 柔軟なLUT入力選択
 - 入出力
 - 事象
 - 後続LUT出力
 - 以下のような内部周辺機能
 - アナログ比較器
 - タイマ/カウンタ
 - USART
 - SPI
- システムクロックまたは他の周辺機能によるクロック駆動
- 入出力ピンまたは事象システムへ接続可能な出力
- 各LUT出力で利用可能な任意選択の同期化器、濾波器、端検出器

27.2. 概要

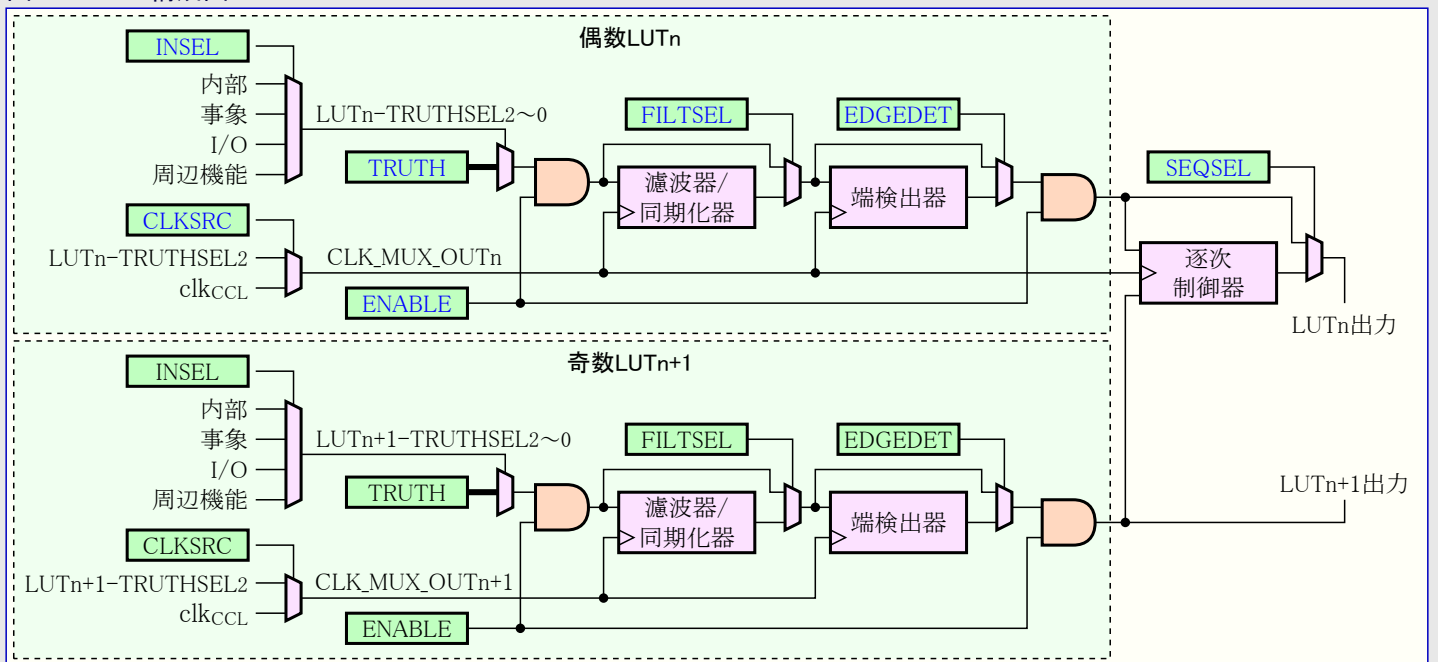
構成設定可能な注文論理回路(CCL:Configurable Custom Logic)はデバイスのピン、事象、他の内部周辺機能に接続することができる設定可能な論理回路周辺機能です。CCLはデバイスの周辺機能と外部デバイス間の接続用論理回路(glue logic)として扱うことができます。CCLは外部の論理回路部品の必要を無くすことができ、CPUと無関係に应用の最も時間が重要な部分进行处理するためにコアを独立した周辺機能と組み合わせることによって実時間制限を克服することで設計者を手助けすることもできます。

CCL周辺機能はいくつかの参照表(LUT:LookUp Table)を提供します。各LUTは3つの入力、真理値表、同期化器/濾波器、端検出器から成ります。各LUTは3つの入力を持つ使用者設定可能な論理式として出力を生成することができます。入力は個別に遮断することができます。

出力は組み合わせ的な論理回路を使って入力から生成され、スパイクを取り除くために濾波することができます。特殊な動作を実行するには隣接するLUTを組み合わせてください。複雑な波形を生成するには逐次制御器を使ってください。

27.2.1. 構成図

図27-1. CCL構成図



27.2.2. 信号説明

信号	形式	説明
LUTn-OUT	デジタル出力	LUTからの出力
LUTn-IN2~0	デジタル入力	LUTへの入力

この周辺機能に対するピン割り当ての詳細については「[入出力多重化と考察](#)」章を参照してください。1つの信号を様々なピンに割り当てることができます。

27.2.3. システム依存性

この周辺機能を使うには、右で記述されるように、システムの他の部分が正しく構成設定されなければなりません。

表27-1. CCLシステム依存性

依存性	適用性	周辺機能
クロック	○	CLKCTRL
I/O線と接続	○	PORT
割り込み	×	—
事象	○	EVSYS
デバッグ	○	UPDI

27.2.3.1. クロック

濾波器、端検出器、逐次制御器は既定で周辺機能クロック(CLK_PER)によってクロック駆動されます。これらの区部をクロック駆動するのに他のクロック入力(CLK_MUX_OUTn)を使うことも可能です。これはLUTn制御A(CCL.LUTnCTRLA)レジスタのクロック元選択(CLKSRC)ビットを書くことによって構成設定されます。

クロック元選択(CLKSRC)ビットが'1'を書かれると、対応する濾波器と端検出器をクロック(CLK_MUX_OUTn)駆動するのにLUTn-TRUTHSEL2が使われます。逐次制御器は対の偶数LUTのCLK_MUX_OUTnによってクロック駆動されます。CLKSRCが'1'を書かれると、真理値表でのLUTn-TRUTHSEL2はOFF(Low)として扱われます。

この周辺機能からの未定義出力を避けるため、クロック元変更中にCCL周辺機能は禁止されなければなりません。

27.2.3.2. I/O線

CCLは入力を取り、入出力ピンを通して出力を生成することができます。これを正しく機能させるため、入出力ピンはLUTによって使われるように構成設定してください。

27.2.3.3. 割り込み

該当なし

27.2.3.4. 事象

CCLは他の周辺機能からの事象を使うことと他の周辺機能によって使うことができる事象を生成することができます。この特徴を機能させるため、事象が正しく構成設定されなければなりません。事象使用部と事象生成部についてのより多くの情報に関しては下の関連リンクを参照してください。

27.2.3.5. デバッグ操作

デバッグ動作形態でCPUが停止されると、CCLは通常動作を続けます。けれども、CPUがデバッグ動作で停止される時にCCLを停止することができません。CPUによる定期的な助けを必要とするように構成設定された場合、デバッグの間に不適切な動作やデータ損失の可能性があります。

27.3. 機能的な説明

27.3.1. 初期化

LUTと逐次制御器の構成設定は許可保護され、対応する偶数LUTが禁止(LUTn制御A(CCL.LUTnCTRLA)レジスタのLUT許可(ENABLE)=0)される時にだけ構成設定することができることを意味します。

以下のビットとレジスタが許可保護されます。

- 逐次制御器制御n(CCL.SEQCTRLn)レジスタの逐次制御器選択(SEQSEL)ビット
- CCL.LUTnCTRLAレジスタのENABLEビットを除くLUTn制御x(CCL.LUTnCTRLx)レジスタ
- 真理値表n(CCL.TRUTHn)レジスタ

CCL.LUTnCTRLxレジスタで許可保護されたビットはCCL.LUTnCTRLAレジスタのENABLEビットが'1'に書かれるのと同じ時に書くことができますが、ENABLEビットが'0'に書かれるのと同じ時ではできません。

許可保護はレジスタ説明で許可保護された特質によって示されます。

27.3.2. 動作

27.3.2.1. 許可、禁止、リセット

CCLは制御A(CCL.CTRLA)レジスタの許可(ENABLE)ビットに'1'を書くことによって許可されます。CCLはそのENABLEビットに'0'を書くことによって禁止されます。

各LUTはLUT制御A(CCL.LUTnCTRLA)レジスタのLUT許可(ENABLE)ビットに'1'を書くことによって許可されます。各LUTはCCL.LUTnCTRLAレジスタのENABLEビットに'0'を書くことによって禁止されます。

27.3.2.2. 真理値表論理回路

各LUTの真理値表は3つの入力(LUTn-TRUTHSEL2~0)までの関数として組み合わせ論理出力を生成することができます。1つのLUTを使ってどの3入力ブール論理関数の実現も可能です。

以下のようにLUT制御レジスタの入力供給元選択ビット領域を書くことによって真理値表入力(LUTn-TRUTHSEL2~0)を構成設定してください。

- LUTn制御B(CCL.LUTnCTRLB)レジスタの入力0供給元選択(INSEL0)
- CCL.LUTnCTRLBレジスタの入力1供給元選択(INSEL1)
- LUTn制御C(CCL.LUTnCTRLC)レジスタの入力2供給元選択(INSEL2)

入力(LUTn-TRUTHSEL2~0)ビットの各組み合わせは下表で示されるように、真理値表(CCL.TRUTHn)レジスタ内の1ビットに対応します。

図27-2. LUTの真理値表出力値選択

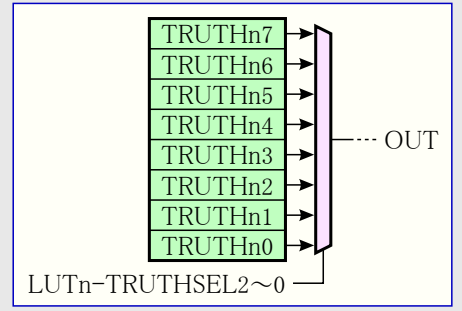


表27-2. LUTの真理値表

LUTn-TRUTHSEL2	0	0	0	0	1	1	1	1
LUTn-TRUTHSEL1	0	0	1	1	0	0	1	1
LUTn-TRUTHSEL0	0	1	0	1	0	1	0	1
OUT	TRUTHn0	TRUTHn1	TRUTHn2	TRUTHn3	TRUTHn4	TRUTHn5	TRUTHn6	TRUTHn7

重要: 論理関数が作成される時にOFFに (Lowに結合)される未使用入力を考慮してください。

例27-1. CCL.TRUTHn=\$42に対するLUT出力

CCL.TRUTHnが\$42に構成設定される場合、LUT出力は入力が'001'または'110'の時に'1'で、他のどの組み合わせの入力に対しても'0'です。

27.3.2.3. 真理値表入力選択

入力概要

入力は個別に以下のようにすることができます。

- 遮蔽
- 周辺機能による駆動
 - アナログ比較器(AC)出力
 - タイマ/カウンタ(TC)波形出力
- 事象システムからの内部事象による駆動
- 他のCCL補助単位部による駆動

内部帰還入力 (FEEDBACK)

選択(CCL.LUTnCTRLxレジスタのINSELy='0001'(FEEDBACK))されると、逐次制御器(SEQ)出力が対応するLUTに対する入力として使われます。

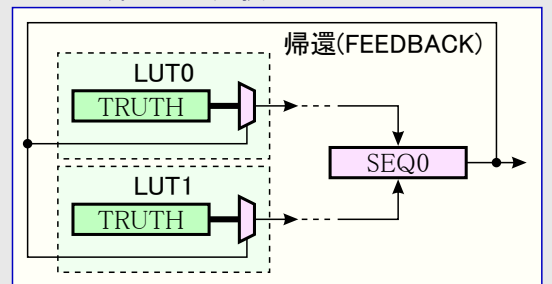
内部逐次制御器からの出力はLUTに対する入力元として使うことができます。LUT0とLUT1に対する例については右図をご覧ください。各LUTに対する逐次制御器選択は以下の式に従います。

$$\begin{aligned} \text{IN}[2N][i] &= \text{SEQ}[N] \\ \text{IN}[2N+1][i] &= \text{SEQ}[N] \end{aligned}$$

Nは逐次制御器番号を表し、iは0,1でLUT入力指標を表します。

詳細については「27.3.2.6. 逐次制御器論理回路」を参照してください。

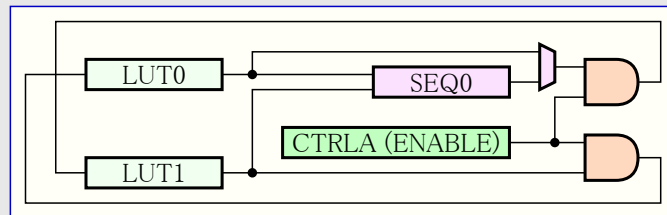
図27-3. 帰還入力選択



連結LUT (LINK)

LINK入力任意選択(INSELY='0010')選択時、次のLUTの直接出力がLUTの入力として使われます。一般的に、LUT[n+1]がLUT[n]の入力に連結されます。LUT0は最後のLUTの入力に連結されます。

図27-4. 連結LUT入力選択



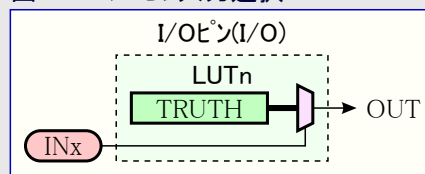
内部事象入力選択 (EVENT)

事象システムからの非同期事象はLUTへの入力として使うことができます。2つの事象入力線(EVENT0とEVENT1)が利用可能で、LUTへの入力として選ぶことができます。事象入力任意選択を選ぶ前に事象システムを構成設定してください。

I/Oピン入力 (IO)

IO(INSELY='0101')任意選択選択時、LUT入力是对应するI/Oピンに接続されます。LUTnINyが配置される場所についてのより多くの詳細に関しては「入出力多重化と考察」章を参照してください。

図27-5. I/Oピン入力選択



周辺機能

各LUTの3つの入力線での各種周辺機能はLUTn制御B/C(CCL.LUTnCTRLBとCCL.LUTnCTRLC)レジスタの各々のLUTn入力y(INSELY)ビット領域へ書くことによって選ばれます。

- LUTn制御B(CCL.LUTnCTRLB)レジスタの入力選択0(INSEL0)
- CCL.LUTnCTRLBレジスタの入力選択1(INSEL1)
- LUTn制御C(CCL.LUTnCTRLC)レジスタの入力選択2(INSEL2)

27.3.2.4. 濾波器

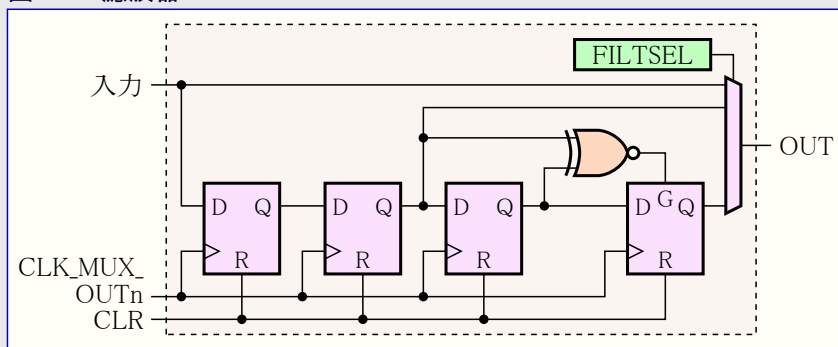
既定によって、LUT出力はLUT入力の組み合わせ関数です。これは入力が値を変える時にいくつかの短い不具合を起こし得ます。これらの不具合は応用の必要によって要求された場合に濾波器を通してクロック駆動することによって取り除くことができます。

LUTn制御A(CCL.LUTnCTRLA)レジスタの濾波器選択(FILTSEL)ビットはデジタル濾波器任意選択を定義します。

FILTSEL=SYNCH時、出力がCLK_MUX_OUTnと同期されます。出力は2つのCLK_MUX_OUTn正端によって遅らされます。

FILTSEL=FILTER時、2つのCLK_MUX_OUTn正端よりも長く持続する入力だけが門付きフリップフロップを通して出力に渡ります。出力は4つのCLK_MUX_OUTn正端によって遅らされます。1クロック周期遅れで対応するLUTが禁止された後に全ての内部濾波器が解消されます。

図27-6. 濾波器



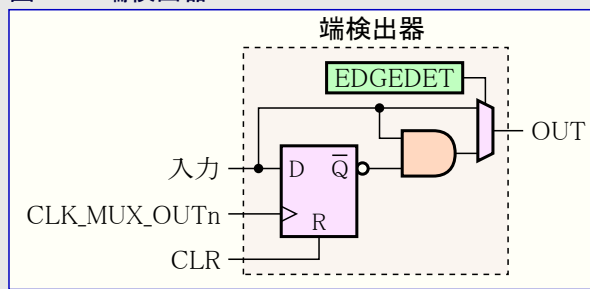
27.3.2.5. 端検出器

その入力で上昇端を検出する時にパルスを生成するには端検出器を使ってください。下降端を検出するには、反転する出力を提供するように真理値表(CCL.TRUTHnレジスタ)を設定してください。

端検出器はLUTn制御A(CCL.LUTnCTRLA)レジスタの端検出(EDGEDET)ビットに'1'を書くことによって許可されます。予測不能な動きを避けるため、更に有効な濾波器任意選択も許可されなければなりません。

端検出はCCL.LUTnCTRLAレジスタのEDGEDETに'0'を書くことによって禁止されます。LUT禁止後、対応する内部端検出器論理回路は1クロック周期後に解消されます。

図27-7. 端検出器



27.3.2.6. 逐次制御器論理回路

各LUT対は逐次制御器に接続することができます。逐次制御器はDフリップフロップ、JKフリップフロップ、門付きDラッチ、RSラッチのどれかとして機能することができます。この機能は**逐次制御器制御n(CCL.SEQCTRLn)レジスタの逐次制御器選択(SEQSELn)ビット領域**を書くことによって選ばれます。

逐次制御器は構成設定に依存して、LUT、濾波器、端検出器のどれかから入力を受け取ります。

逐次制御器は対応する偶数LUTと同じクロック元によってクロック駆動されます。このクロック元は**LUTn制御A(CCL.LUTnCTRLA)レジスタのクロック元選択(CLKSRC)ビット領域**によって選ばれます。

フリップフロップ出力(OUT)はクロックの上昇端で更新されます。偶数LUTが禁止されると、ラッチは非同期に解消されます。フリップフロップリセット信号(R)は1クロック周期間許可され続けます。。

門付きDフリップフロップ (DFF)

D入力は偶数LUT出力によって駆動され、G入力は奇数LUT出力によって駆動されます。

図27-8. Dフリップフロップ

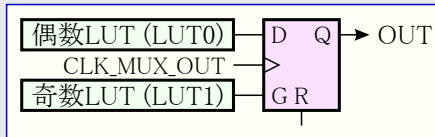


表27-3. DFF特性

R	G	D	OUT
1	x	x	解除(0)
0	1	1	設定(1)
0	1	0	解除(0)
0	0	x	状態保持(無変化)

JKDフリップフロップ (JK)

J入力は偶数LUT出力によって駆動され、K入力は奇数LUT出力によって駆動されます。

図27-9. JKフリップフロップ

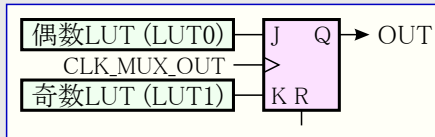


表27-4. JK特性

R	J	K	OUT
1	x	x	解除(0)
0	0	0	状態保持(無変化)
0	0	1	解除(0)
0	1	0	設定(1)
0	1	1	逆へ切り替え

門付きDラッチ (DLATCH)

D入力は偶数LUT出力によって駆動され、G入力は奇数LUT出力によって駆動されます。

図27-10. Dラッチ

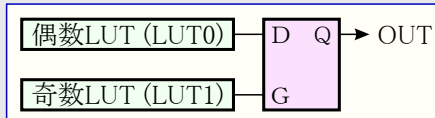


表27-5. Dラッチ特性

G	D	OUT
0	x	状態保持(無変化)
1	0	解除(0)
1	1	設定(1)

RSラッチ (RS)

S入力は偶数LUT出力によって駆動され、R入力は奇数LUT出力によって駆動されます。

図27-11. RSラッチ

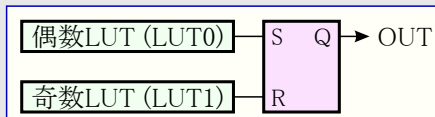


表27-6. RSラッチ特性

S	R	OUT
0	0	状態保持(無変化)
0	1	解除(0)
1	0	設定(1)
1	1	禁止状態

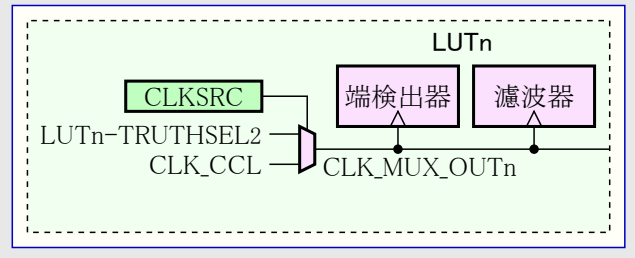
27.3.2.7. クロック元設定

濾波器、端検出器、逐次制御器は既定で周辺機能クロック(CLK_PER)によってクロック駆動されます。それらの区部をクロック(CLK_MUX_OUTn)駆動するのに他のクロック入力を使うことも可能です。これはLUTn制御A(CCL.LUTnCTRLA)レジスタのクロック元選択(CLKSRC)ビットを書くことによって構成設定してください。

CLKSRCビットが'1'を書かれると、対応する濾波器と端検出器をクロック(CLK_MUX_OUTn)駆動するのにLUTn-TRUTHSEL2が使われます。逐次制御器は対の偶数LUTのCLK_MUX_OUTnによってクロック駆動されます。CLKSRCが'1'を書かれると、真理値(TRUTH)表でLUTn-TRUTHSEL2はOFF(='0')として扱われます。

CCL周辺機能は周辺機能からの未定義出力を避けるためにクロック元を変更する間は禁止されなければなりません。

図27-12. クロック元設定



27.3.3. 事象

CCLは以下の出力事象を生成することができます。

- LUTnOUT：参照表出力値

CCLは以下の以下の入力事象での活動を取ることができます。

- INx：この事象は真理値(TRUTH)表に対する入力として使われます。

27.3.4. 休止形態動作

制御A(CCL.CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビットに'1'を書くことはスタンバイ休止動作で許可されることを選んだクロック元に許します。

RUNSTDBYビットが'0'の場合、周辺機能クロックはスタンバイ休止動作で禁止されます。濾波器、端検出器、逐次制御器が許可される場合、スタンバイ休止動作でLUT出力は'0'を強制されます。アイドル休止動作では、RUNSTDBYビットと関係なく、真理値(TRUTH)表復号部は動作を続け、それによってLUT出力が更新されます。

LUTn制御A(CCL.LUTnCTRLA)レジスタのクロック元選択(CLKSRC)が'1'を書かれる場合、LUTn-TRUTHSEL2は常に濾波器、端検出器、逐次制御器部をクロック駆動します。休止動作形態でのLUTn-TRUTHSEL2クロックの有効性は使われる周辺機能の休止設定に依存します。

27.3.5. 構成設定変更保護

該当なし

27.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0		RUNSTDBY						ENABLE
+\$01	SEQCTRL0	7～0					SEQSEL03～0			
+\$02 ～ +\$04	予約									
+\$05	LUT0CTRLA	7～0	EDGEDET	CLKSRC	FILTSEL1,0		OUTEN			ENABLE
+\$06	LUT0CTRLB	7～0	INSEL13～0				INSEL03～0			
+\$07	LUT0CTRLC	7～0					INSEL23～0			
+\$08	TRUTH0	7～0	TRUTH07～0							
+\$09	LUT1CTRLA	7～0	EDGEDET	CLKSRC	FILTSEL1,0		OUTEN			ENABLE
+\$0A	LUT1CTRLB	7～0	INSEL13～0				INSEL03～0			
+\$0B	LUT1CTRLC	7～0					INSEL23～0			
+\$0C	TRUTH1	7～0	TRUTH17～0							

27.5. レジスタ説明

27.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA
変位 : +\$00
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		RUNSTDBY						ENABLE
アクセス種別	R	R/W	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – RUNSTDBY : スタンバイ時走行 (Run in Standby)

このビットはスタンバイ休止動作で周辺機能クロック(CLK_PER)が走行を保つかを示します。CLK_PERが必要とされない構成設定に対してはこの設定が無効にされます。

値	0	1
説明	システム クロックはスタンバイ休止動作で必要とされません。	システム クロックはスタンバイ休止動作で必要とされます。

● ビット0 – ENABLE : 許可 (Enable)

値	0	1
説明	周辺機能禁止	周辺機能許可

27.5.2. SEQCTRL0 – 逐次制御器制御0 (Sequencer Control 0)

名称 : SEQCTRL0
変位 : +\$01
リセット : \$00
特質 : 許可保護

ビット	7	6	5	4	3	2	1	0
						SEQSEL03~0		
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット3~0 – SEQSEL03~0 : 逐次制御器選択 (Sequencer Selection)

このビット領域はLUT0とLUT1用の逐次制御器構成を選びます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DISABLE	DFF	JK	DLATCH	RS	-		
説明	逐次制御器論理回路禁止	Dフリップ・フロップ	JKフリップ・フロップ	Dラッチ	RSラッチ	(予約)		

27.5.3. LUTnCTRLA – LUTn制御A (LUT n Control A)

名称 : LUT0CTRLA : LUT1CTRLA
変位 : +\$05 : +\$09
リセット : \$00
特質 : 許可保護

ビット	7	6	5	4	3	2	1	0
	EDGEDET	CLKSRC	FILTSEL1,0		OUTEN			ENABLE
アクセス種別	R/W	R/W	R/W	R/W	R/W	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – EDGEDET : 端検出 (Edge Detection)

値	0	1
説明	端検出器禁止	端検出器許可

●ビット6 – CLKSRC : クロック元選択 (Clock Source Selection)

このビットはLUT用のクロック(CLK_MUX_OUTn)として周辺機能クロック(CLK_PER)か、またはLUTn制御C(LUTnCTRLC)レジスタのLUTn入力2供給元選択(INSEL2)ビット領域によって選ばれる何れかの供給元のどちらが使われるかを選びます。

LUT対の逐次制御器をクロック駆動するのに偶数LUTのCLK_MUX_OUTnが使われます。

値	0	1
説明	CLK_PERがLUTnをクロック駆動します。	LUTn-TRUTHSEL2がLUTnをクロック駆動します。

●ビット5,4 – FILTSEL1,0 : 濾波器選択 (Filter Selection)

このビット領域はLUT出力濾波器任意選択を選びます。

値	0 0	0 1	1 0	1 1
名称	DISABLE	SYNCH	FILTER	-
説明	濾波器禁止	同期化器許可	濾波器許可	(予約)

●ビット3 – OUTEN : 出力許可 (Output Enable)

このビットはLUTnOUTピンへのLUT出力を許可します。'1'を書かれると、ポート制御器のピン構成設定が無効にされます。

値	0	1
説明	ピンへの出力禁止	ピンへの出力許可

●ビット0 – ENABLE : LUT許可 (LUT Enable)

値	0	1
説明	LUT禁止	LUT許可

27.5.4. LUTnCTRLB – LUTn制御B (LUT n Control B)

名称 : LUT0CTRLB : LUT1CTRLB

変位 : +\$06 : +\$0A

リセット : \$00

特質 : 許可保護

- 注:
- CCLへのSPI接続は主装置SPI動作でだけ動きます。
 - CCLへのUSART接続は以下の動作の1つの時にだけ動きます。
 - 非同期USART
 - 同期USART主装置

ビット	7	6	5	4	3	2	1	0
	INSEL13~0				INSEL03~0			
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7~4 – INSEL13~0 : LUTn入力1供給元選択 (LUT n Input 1 Selection)

このビット領域はLUTnの入力1(IN1)に対する供給元を選びます。

[次頁](#)の表参照

値	名称	説明
0000	MASK	入力遮蔽('0' 固定)
0001	FEEDBACK	帰還入力
0010	LINK	入力元として他のLUTを連結
0011	EVENT0	LUT0に対する入力元として事象0
0100	EVENT1	LUT1に対する入力元として事象1
0101	IO	入出力ピンのLUTn-IN1を入力元
0110	AC0	AC0のOUTを入力元
0111	TCB0	TCBのWOを入力元
1000	TCA0	TCAのWO1を入力元
1001	-	(予約)
1010	USART0	USARTのTxDを入力元
1011	SPI0	SPIのMOSIを入力元
その他	-	(予約)

●ビット3~0 - INSEL03~0 : LUTn入力0供給元選択 (LUT n Input 0 Selection)

このビット領域はLUTnの入力0(IN0)に対する供給元を選びます。

値	名称	説明
0000	MASK	入力遮蔽('0' 固定)
0001	FEEDBACK	帰還入力
0010	LINK	入力元として他のLUTを連結
0011	EVENT0	LUT0に対する入力元として事象0
0100	EVENT1	LUT1に対する入力元として事象1
0101	IO	入出力ピンのLUTn-IN0を入力元
0110	AC0	AC0のOUTを入力元
0111	TCB0	TCBのWOを入力元
1000	TCA0	TCAのWO0を入力元
1001	-	(予約)
1010	USART0	USARTのXCKを入力元
1011	SPI0	SPIのSCKを入力元
その他	-	(予約)

27.5.5. LUTnCTRLC - LUTn制御C (LUT n Control C)

名称 : LUT0CTRLC : LUT1CTRLC

変位 : +\$07 : +\$0B

リセット : \$00

特質 : 許可保護

ビット	7	6	5	4	3	2	1	0
	INSEL23~0							
アクセス種別	R	R	R	R	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット3~0 - INSEL23~0 : LUTn入力2供給元選択 (LUT n Input 2 Selection)

このビット領域はLUTnの入力2(IN2)に対する供給元を選びます。

[次頁](#)の表参照

値	名称	説明
0000	MASK	入力遮蔽('0'固定)
0001	FEEDBACK	帰還入力
0010	LINK	入力元として他のLUTを連結
0011	EVENT0	事象入力元0
0100	EVENT1	事象入力元1
0101	IO	入出力ピンのLUTn-IN2を入力元
0110	AC0	AC0のOUTを入力元
0111	TCB0	TCBのWOを入力元
1000	TCA0	TCAのWO2を入力元
1001	-	(予約)
1010	-	(予約)
1011	SPI0	SPIのMISOを入力元
その他	-	(予約)

27.5.6. TRUTHn - 真理値表n (TRUTHn)

名称 : TRUTH0 : TRUTH1

変位 : +\$08 : +\$0C

リセット : \$00

特質 : 許可保護

ビット	7	6	5	4	3	2	1	0
	TRUTHn7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 - TRUTHn7~0 : 真理値表 (Truth n Table)

これらのビットはLUTn-TRUTHSEL2~0入力に従ってLUTnの出力を決めます。

ビット名	TRUTHn7		TRUTHn6		TRUTHn5		TRUTHn4		TRUTHn3		TRUTHn2		TRUTHn1		TRUTHn0	
値	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
説明 (注)	1 1 1		1 1 0		1 0 1		1 0 0		0 1 1		0 1 0		0 0 1		0 0 0	

注: 入力の説明行の値の時にLUTnの出力が設定した値(値行の値(0または1))になります。

28. AC – アナログ比較器

28.1. 特徴

- 2.7V以上の供給電圧に対する50nsの応答時間
- 0交差検出
- 選択可能なヒステリシス
 - なし
 - 10mV
 - 25mV
 - 50mV
- ピンで利用可能なアナログ比較器出力
- 比較器出力反転利用可能
- 柔軟な入力選択
 - 最大2つの正入力ピン
 - 最大2つの負入力ピン
 - 内部基準電圧
- 以下での割り込み生成
 - 上昇端
 - 下降端
 - 両端
- 事象生成
 - 比較器出力

28.2. 概要

アナログ比較器(AC)は2つの入力の電圧水準を比較してその比較に基いたデジタル出力を与えます。ACは様々な異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定することができます。

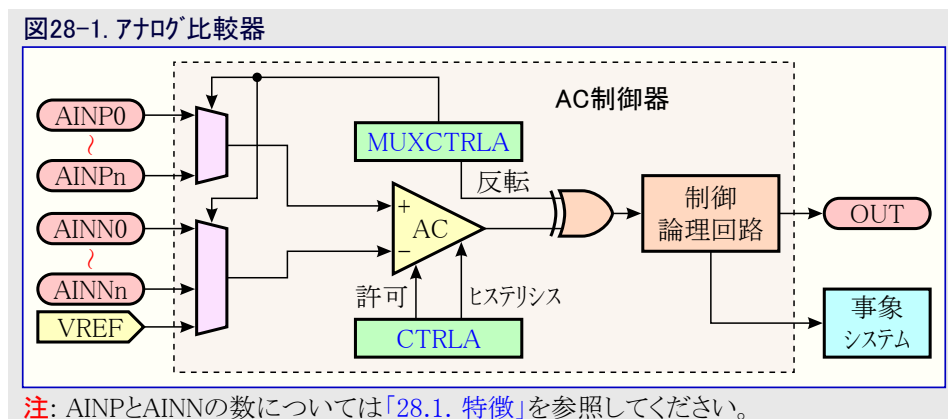
ACの動的な動きはヒステリシス機能によって調節することができます。ヒステリシスは各応用に対する動作を最適化するために独自設定することができます。

入力選択はアナログポートピンと内部参照基準電圧を含みます。アナログ比較器出力の状態は外部デバイスによって使うためにピン上に出 forceすることもできます。

ACは1つの正入力と1つの負入力を持ちます。正入力元はアナログ入力ピンの1つです。負入力はアナログ入力ピンまたは内部基準電圧のような内部入力の中から選ばれます。

比較器からのデジタル出力は正と負の入力電圧間の差が正の時に'1'で、さもなければ'0'です。

28.2.1. 構成図



28.2.2. 信号説明

信号	形式	説明
AINNn	アナログ入力	負入力n
AINPn	アナログ入力	正入力n
OUT	デジタル出力	ACの比較器出力

28.2.3. システム依存性

この周辺機能を使うには、右で記述されるように、システムの他の部分が正しく構成設定されなければなりません。

表28-1. ACシステム依存性

依存性	適用性	周辺機能
クロック	○	CLKCTRL
I/O線と接続	○	PORT
割り込み	○	CPUINT
事象	○	EVSYS
デバッグ	○	UPDI

28.2.3.1. クロック

この周辺機能は周辺機能クロック(CLK_PER)に依存します。

28.2.3.2. I/O線と接続

I/OピンのAINPnとAINNnは全てACに対するアナログ入力です。

正しい動作のために、ピンはポート周辺機能とポート多重器周辺機能で構成設定されなければなりません。

AC使用時に汎用入出力(GPIO)を禁止することが推奨されます。

28.2.3.3. 割り込み

使う周辺機能の割り込みは先に構成設定された割り込み制御器が必要です。

28.2.3.4. 事象

この周辺機能の事象は事象システムに接続されます。

28.2.3.5. デバッグ操作

この周辺機能はデバッグ動作移行によって影響を及ぼされません。

この周辺機能が割り込みや同様のものを通してCPUによる定期的な助けを必要とするように構成設定された場合、デバッグ停止の間に不適切な動作やデータ損失の可能性があります。

28.3. 機能的な説明

28.3.1. 初期化

基本的な操作については以下のこれらの手順に従ってください。

1. PORT周辺機能で望む入力ピンを構成設定してください。
2. 多重器制御A(ACn.MUXCTRLA)レジスタで正と負の入力多重器選択(MUXPOSとMUXNEG)のビット領域を書くことによって正と負の入力元を選んでください。
3. 任意選択: 制御A(ACn.CTRLA)レジスタの出力パッド許可(OUTEN)ビットに'1'を書くことによって出力を許可してください。
4. AC.CTRLAレジスタのAC許可(ENABLE)ビットに'1'を書くことによってACを許可してください。

AC許可後のAC始動時間の間、ACの出力は無効かもしれません。

ACそれ自体の始動時間は最大でも2.5μsです。内部参照基準が使われる場合、参照基準始動時間は通常AC始動時間よりも長くなります。VREF始動時間は最大でも60μsです。

28.3.2. 動作

28.3.2.1. 入力ヒステリシス

入力ヒステリシスの印加は雑音に悩んでいる入力信号がお互いに近い時に出力の定常的な切り替わりを防ぐのを助けます。

入力ヒステリシスは禁止されるか、または3つのレベルの1つを持つかのどれかにすることができます。ヒステリシスは制御A(ACn.CTRLA)レジスタのヒステリシス動作選択(HYSMODE)ビット領域に書くことによって構成設定することができます。

28.3.2.2. 入力元

ACは1つの正入力と1つの負入力を持ちます。入力はピンと、基準電圧のような内部供給元にすることができます。

各入力は多重器制御A(ACn.MUXCTRLA)レジスタで正と負の入力多重器選択(MUXPOSとMUXNEG)のビット領域を書くことによって選ばれます。

28.3.2.2.1. ピン入力

ポート上の以下のアナログ入力ピンをアナログ比較器への入力として選ぶことができます。

- AINN0
- AINN1 (注)
- AINP0
- AINP1 (注)

注: ポートの全てのピンが少ピン数デバイスで利用できるとは限りません。詳細についてはピン配置図や入出力多重化表を調べてください。

28.3.2.2. 内部入力

ACは以下の内部入力を持ちます。

- ・ AC用の参照基準電圧

28.3.3. 事象

ACはACが許可される時に以下の事象を自動的に生成します。

- ・ ACからのデジタル出力(構成図でのOUT)が事象システム供給元として利用可能です。ACからの事象はデバイスのどのクロックに対しても非同期です。

ACは事象入力を持ちません。

28.3.4. 割り込み

表28-2. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
CMP	アナログ比較器割り込み	AC出力は割り込み制御(ACn.INTCTRL)レジスタの割り込み動作(INTMODE)によって構成設定されるように切り替わります。

割り込み条件が起こると、状態(ACn.STATUS)レジスタで対応する割り込み要求フラグが設定(1)されます。

割り込み元は周辺機能の割り込み制御(ACn.INTCTRL)レジスタで対応する許可ビットを書くことによって許可または禁止にされます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性に留まります。割り込み要求フラグを解除する方法の詳細についてはACn.STATUSレジスタをご覧ください。

28.3.5. 休止形態動作

アイドル休止動作でACは通常動作を続けます。

スタンバイ休止動作では、既定によってACが禁止されます。制御A(ACn.CTRLA)レジスタのスタンバイ休止動作時走行(RUNSTDBY)ビットが'1'を書かれる場合、ACは動作を続けますが、状態(ACn.STATUS)レジスタは更新されず、他の単位部がCLK_PERを要求しない場合に割り込みが全く生成されませんが、事象とパット出力は更新されます。

パワーダウン休止動作では、ACとパットへの出力が禁止されます。

28.3.6. 構成設定変更保護

該当なし

28.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0	RUNSTDBY	OUTEN	INTMODE1,0			HYSMODE1,0		ENABLE
+\$01	予約									
+\$02	MUXCTRLA	7～0	INVERT			MUXPOS1,0			MUXNEG1,0	
+\$03 ～ +\$05	予約									
+\$06	INTCTRL	7～0								CMP
+\$07	STATUS	7～0				STATE				CMP

28.5. レジスタ説明

28.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY	OUTEN	INTMODE1,0			HYSMODE1,0		ENABLE
アクセス種別	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RUNSTDBY : スタンバイ動作時走行 (Run in Standby Mode)

このビットに'1'を書くことはスタンバイ休止動作でACに動作を続けることを許します。クロックが停止されるため、**割り込みと状態のフラグ**は更新されません。

値	0	1
説明	スタンバイ休止動作でACは停止されます。	スタンバイ休止動作でACは動作を続けます。

● ビット6 – OUTEN : アナログ比較器出力パッド許可 (Analog Comparator Output Pad Enable)

このビットに'1'を書くことはOUT信号をピンで利用可能にします。

● ビット5,4 – INTMODE1,0 : 割り込み動作 (Interrupt Modes)

このビット領域への書き込みはAC出力のどの端が割り込み要求を起動するかを選びます。

値	0 0	0 1	1 0	1 1
名称	BOTHEDGE	-	NEGEDGE	POSEDGE
説明	正負両端	(予約)	負端	正端

● ビット2,1 – HYSMODE1,0 : ヒステリシス動作選択 (Hysteresys Mode Select)

このビット領域を書くことはAC入力に対するヒステリシスを選びます。

値	0 0	0 1	1 0	1 1
名称	OFF	10	25	50
説明	なし	±10mV	±25mV	±50mV

● ビット0 – ENABLE : AC許可 (Enable AC)

このビットに'1'を書くことがACを許可します。

28.5.2. MUXCTRLA – 多重器制御A (Mux Control A)

名称 : MUXCTRLA

変位 : +\$02

リセット : \$00

特質 : -

ACn.MUXCTRLAはアナログ比較器多重器を制御します。

ビット	7	6	5	4	3	2	1	0
	INVERT			MUXPOS1,0			MUXNEG1,0	
アクセス種別	R/W	R	R	R/W	R/W	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – INVERT : AC出力反転 (Invert AC Output)

このビットに'1'を書くことはACの出力の反転を許可します。これはこの信号に接続される全ての周辺機能へ入力を効率的に反転し、内部状態信号にも影響を及ぼします。

●ビット3 – MUXPOS : 正入力多重器選択 (Positive Input Mux Selection)

このビットを書くことはACの正入力への入力信号を選びます。

値	0 0	0 1	1 0	1 1
名称	AINP0	AINP1 (注)	–	–
説明	正入力ピン0	正入力ピン1	(予約)	(予約)

注: ポートの全てのピンが少ピン数デバイスで利用できるとは限りません。詳細についてはピン配置図や入出力多重化表を調べてください。

●ビット1,0 – MUXNEG1,0 : 負入力多重器選択 (Negative Input Mux Selection)

このビット領域を書くことはACの負入力への入力信号を選びます。

値	0 0	0 1	1 0	1 1
名称	AINN0	AINN1 (注)	VREF	DAC
説明	負入力ピン0	負入力ピン1	基準電圧	D/A変換器(DAC)出力

注: ポートの全てのピンが少ピン数デバイスで利用できるとは限りません。詳細についてはピン配置図や入出力多重化表を調べてください。

28.5.3. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL

変位 : +\$06

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
								CMP
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット0 – CMP : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

このビットに'1'を書くことがアナログ比較器割り込みを許可します。

28.5.4. STATUS – 状態 (Status)

名称 : STATUS

変位 : +\$07

リセット : \$00

特質 : –

ビット	7	6	5	4	3	2	1	0
				STATE				CMP
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット4 – STATE : アナログ比較器状態 (Analog Comparator State)

これはACからのOUT信号の現在の状態を示します。これはI/Oレジスタで更新されるのに(3周期の)同期化遅延を持ちます。

●ビット0 – CMP : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

これはACに対する割り込み要求フラグです。このビットへの'1'書き込みはこの割り込み要求フラグを解除(0)します。

29. ADC – A/D変換器

29.1. 特徴

- 10ビット分解能
- 0V～VDDのADC入力電圧範囲
- 複数の内部ADC基準電圧
- 外部基準電圧入力
- 自由走行または単独の変換動作
- ADC変換完了で利用可能な割り込み
- 任意選択の変換結果での割り込み
- 温度感知器入力チャネル
- 任意選択の事象起動変換
- 正確な監視や定義された閾値用の窓比較器機能
- 変換毎に64採取までの累積

29.2. 概要

A/D変換器(ADC)周辺機能は10ビットの結果を生じます。ADC入力には内部(例えば、基準電圧)またはアナログ入力ピンを通す外部のどちらかにすることができます。ADCは多数のシングル エント 電圧入力を許すアナログ多重器に接続されます。シングル エント 電圧入力は0V (GND)を参照基準にします。

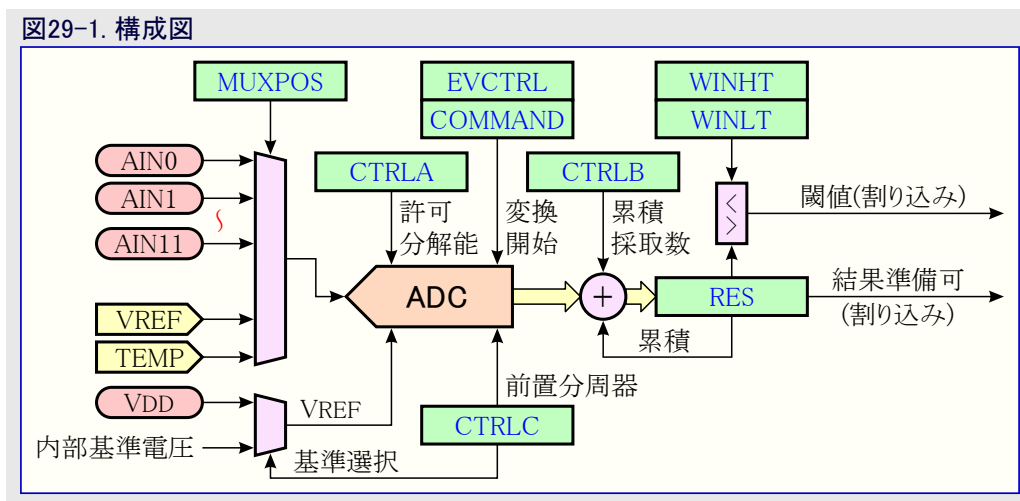
ADCは構成設定可能な変換結果数が単一ADC結果内に累積される集中での採取(採取累積)を支援します。更に、単一集中に関連するADC採取周波数を調節するために採取遅延を構成設定することができます。これは採取された信号から(集中内の)ADC採取周波数での折り返し雑音のどの高調波雑音からも離れた採取周波数に調節することです。自動採取遅延変動機能は採取間の時間を僅かに変えるためのこの遅延を無作為化するのに使うことができます。

ADC入力信号は採取中にADCへの入力電圧が一定水準で保たれることを保証する採取/保持(S/H)回路を通して供給されます。

内部基準電圧(VREF)周辺機能またはVDD供給電圧から選択可能な基準電圧。

窓比較機能は入力信号を監視するのに使用可能で、必要な最小のソフトウェア介在で窓の下(未満)、上(超え)、内側、外側に対するユーザー定義閾値でだけ割り込みを起動するように構成設定することができます。

29.2.1. 構成図



アナログ入力チャネルは多重器正選択(ADCn.MUXPOS)レジスタの多重器正選択(MUXPOS)ビット領域に書くことによって選ばれます。ADC入力ピンのどれか、GND、内部基準電圧(VREF)、または温度感知器をADCへのシングル エント 入力として選ぶことができます。ADCは制御A(ADCn.CTRLA)レジスタのADC許可(ENABLE)ビットに'1'を書くことによって許可されます。基準電圧と入力チャネルの選択はADCが許可される前に有効になりません。ADCはADCn.CTRLAレジスタのENABLEビットが'0'の時に電力を消費しません。

ADCは結果(ADCn.RES)レジスタから読むことができる10ビットの結果を生成します。この結果は右揃えで表されます。

29.2.2. 信号説明

信号	形式	説明
AINn～0	アナログ入力	変換されるべきアナログ入力

29.3. 機能的な説明

29.3.1. 初期化

ADC動作を初期化するには以下の手順が推奨されます。

1. 制御A(ADCn.CTRLA)レジスタの分解能選択(RESSEL)ビットに書くことによって分解能を構成設定してください。
2. 任意選択: ADCn.CTRLAレジスタの自由走行(FREERUN)ビットに'1'書くことによって自由走行動作を許可してください。
3. 任意選択: 制御B(ADCn.CTRLB)レジスタの採取累積数選択(SAMPNUM)ビット領域を書くことによって変換毎に累積すべき採取数を構成設定してください。
4. 制御C(ADCn.CTRLC)レジスタの基準選択(REFSEL)ビットに書くことによって基準電圧を構成設定してください。
5. ADCn.CTRLCレジスタの前置分周器(PRESC)ビット領域に書くことによってADCクロック(CLK_ADC)を構成設定してください。
6. 多重器正選択(ADCn.MUXPOS)レジスタの多重器正選択(MUXPOS)ビット領域に書くことによって入力を構成設定してください。
7. 任意選択: 事象制御(ADCn.EVCTRL)レジスタの事象入力で開始(STARTEI)ビットに'1'を書くことによって事象入力での変換開始を許可してください。
8. ADCn.CTRLAレジスタのADC許可(ENABLE)ビットに'1'を書くことによってADCを許可してください。

これらの手順に従うことはADCを、(構成設定されるなら)事象によって、または指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットに'1'を書くことによって起動することができる基本的な測定用に初期化します。

29.3.2. 動作

29.3.2.1. 変換開始

多重器正選択(ADCn.MUXPOS)レジスタに書くことによって一旦入力チャネルが選ばれると、指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットに'1'を書くことによって変換が起動されます。このビットは変換が進行中である限り'1'です。単独変換動作では変換が完了された時にハードウェアによってSTCONVが解除(0)されます。

変換が進行中の間に違う入力チャネルが選ばれた場合、ADCはチャネルを変更する前に現在の変換を終えます。

累積器設定に依存して、変換結果は単独感知動作から、または一連の累積された採取からです。起動された操作が一旦終了されると、割り込み要求フラグ(ADCn.INTFLAGS)レジスタの結果準備可割り込み要求(RESRDY)フラグが設定(1)されます。割り込み制御(ADCn.INTCTRL)レジスタの結果準備可割り込み許可(RESRDY)ビットが'1'で、全体割り込み許可(I)ビットが'1'なら、対応する割り込みベクタが実行されます。

単独変換はADCn.COMMANDレジスタのSTCONVビットに'1'を書くことによって開始することができます。STCONVビットは変換が進行中かを判断するのに使うことができます。STCONVビットは変換中に設定(1)され、一旦変換が完了すると解除(0)されます。

ADCn.INTFLAGSレジスタのRESRDY割り込み要求フラグは例え指定された割り込みが禁止されても設定(1)され、このフラグのポーリングによって変換終了を調べることをソフトウェアに許します。従って割り込み要求を起こすことなく変換を起動することができます。

代わりに、変換は事象によって起動することができます。これは事象制御(ADCn.EVCTRL)レジスタの事象入力で開始(STARTEI)ビットに'1'を書くことによって許可されます。事象システム(EVSY)を通してADCに配線されたどの到着事象もADC変換を起動します。これは予測可能な間隔または特定条件で変換を開始する方法を提供します。

事象起動入力は端感知です。事象が起こると、ADCn.COMMANDレジスタのSTCONVビットが設定(1)されます。STCONVビットは変換が完了する時に解除(0)されます。

自由走行動作では、ADCn.COMMANDレジスタでSTCONVビットに'1'を書くことによって最初の変換が開始されます。新しい変換周回は直前の変換周回が完了された後、直ちに開始されます。変換完了はADCn.INTFLAGSレジスタのRESRDYフラグを設定(1)します。

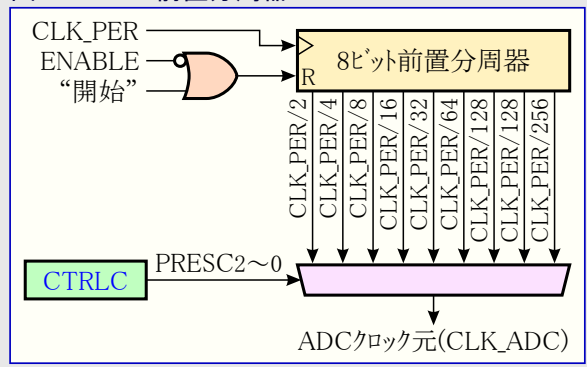
29.3.2.2. クロック生成

ADCは最大分解能に対して50kHz～1.5MHz間の入力クロック周波数を必要とします。10ビットよりも低い分解能が選ばれる場合、より高い採取速度を得るためにADCへの入力クロック周波数を1.5MHzよりも高くすることができます。

ADC単位部は100kHz以上の周辺機能クロック(CLK_PER)からADCクロック(CLK_ADC)を生成する前置分周器を含みます。前置分周は制御C(ADCn.CTRLC)レジスタの前置分周器(PRESC)ビット領域へ書くことによって選ばれます。前置分周器は制御A(ADCn.CTRLA)レジスタのADC許可(ENABLE)ビットに'1'を書くことによってADCがONにされる瞬間から計数を始めます。前置分周器はENABLEビットが1である限り走行を保ちます。前置分周器の計数器はENABLEビットが'0'の時に'0'へリセットされます。

指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットへの'1'書き込みまたは事象によって変換を始めると、変換は1 CLK_PERクロック周期後に始まります。

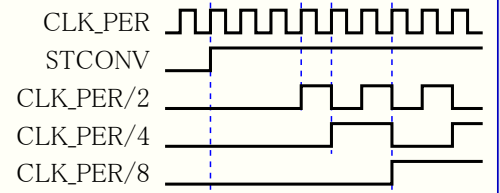
図29-2. ADC前置分周器



前置分周器は進行中の変換が無い限りリセットを保ちます。これは次のようにCLK_PER/8周期で、起動から実際の変換開始までの固定遅延を保証します。

$$\text{開始遅延} = \frac{\text{PRESC係数}}{2} + 2$$

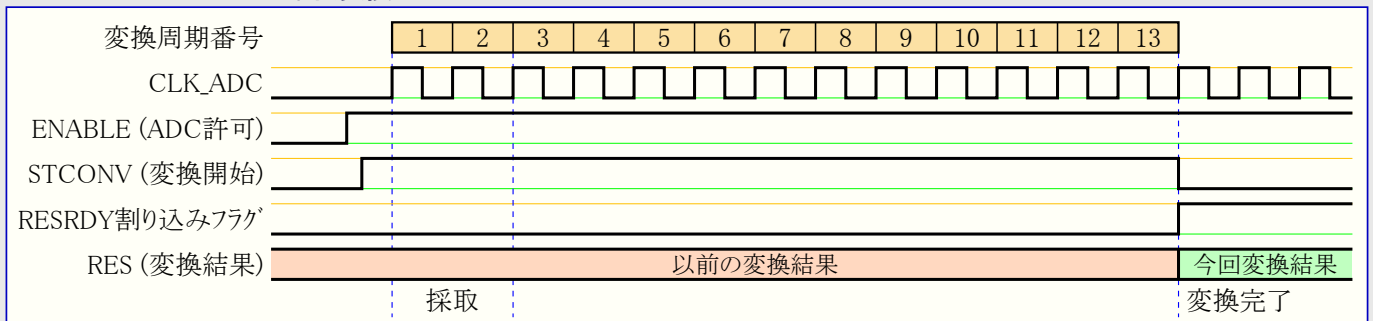
図29-3. 変換開始とクロック生成



29.3.2.3. 変換タイミング

通常の変換は13 CLK_ADC周期かかります。実際の採取/保持(S/H)は変換開始後2 CLK_ADC周期に起こります。変換の開始は指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットに'1'を書くことによって始められます。変換が完了すると、その結果が結果(ADCn.RES)レジスタで利用可能で、割り込み要求フラグ(ADCn.INTFLAGS)レジスタの結果準備可割り込み要求(RESRDY)フラグが設定(1)されます。この割り込み要求フラグは結果が結果(ADCn.RES)レジスタから読まれる時に、またはADCn.INTFLAGSレジスタのRESRDYに'1'を書くことによって解除(0)されます。

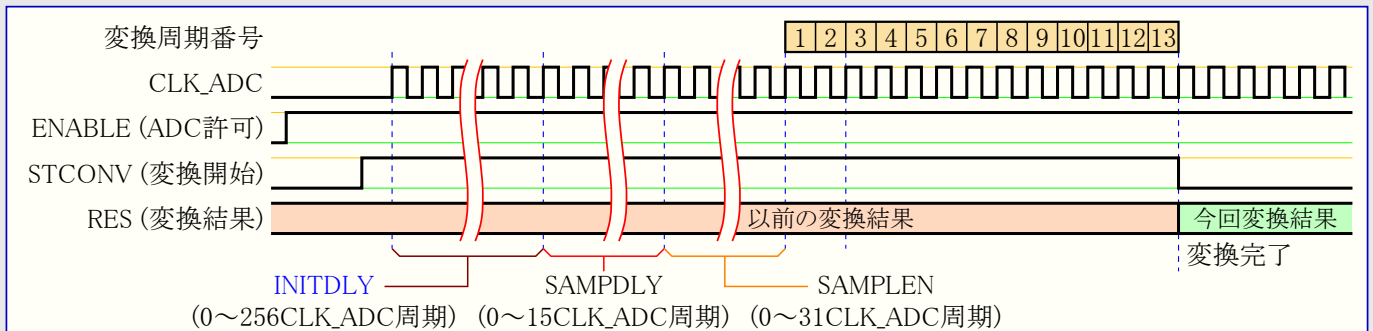
図29-4. ADCタイミング図 - 単独変換



採取時間と採取長の両方は制御D(ADCn.CTRLD)レジスタの採取遅延選択(SAMPDLY)ビット領域と採取許可(ADCn.SAMPCTRL)レジスタの採取長(SAMPLEN)ビット領域を用いて調整することができます。これら両方共ADC採取時間をいくつかのCLK_ADC周期で制御します。これは変換速度を緩和せずに高インピーダンス供給元の採取を許します。更なる情報についてはレジスタ説明をご覧ください。総採取時間は右式で与えられます。

$$\text{採取時間} = \frac{2 + \text{SAMPDLY} + \text{SAMPLEN}}{f_{\text{CLK_ADC}}}$$

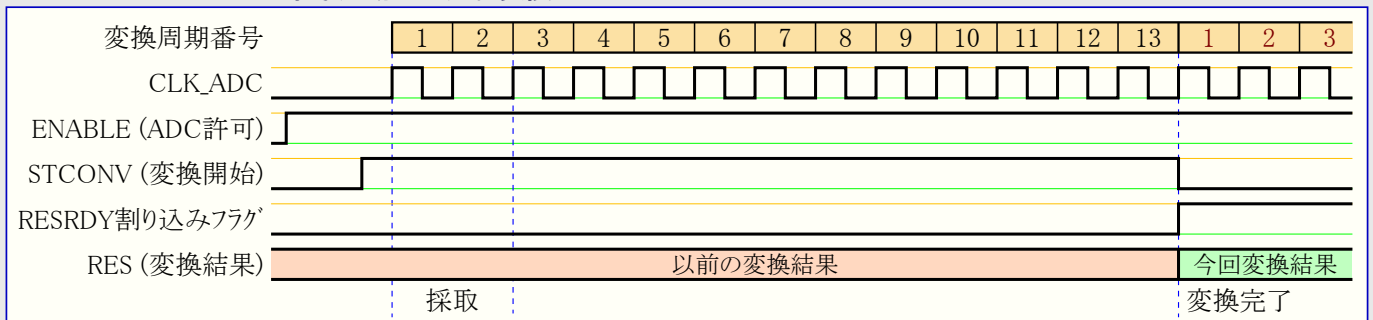
図29-5. ADCタイミング図 - 遅延付き単独変換



自由走行動作ではSTCONVビットが'1'の間、新しい変換が変換完了後直ちに開始されます。自由走行動作での採取速度(R_s)は右式によって計算されます。

$$R_s = \frac{f_{\text{CLK_ADC}}}{13 + \text{SAMPDLY} + \text{SAMPLEN}}$$

図29-6. ADCタイミング図 - 事象起動自由走行変換



29.3.2.4. チャネル変更と基準電圧選択

多重器正選択(ADCn.MUXPOS)レジスタの多重器正選択(MUXPOS)ビット領域と制御C(ADCn.CTRLA)レジスタの基準電圧選択(REFSEL)ビット領域はCPUが乱順にアクセスするための一時レジスタを通して緩衝されます。これはチャネルと基準電圧の選択が変換中の安全な個所で行われることを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。

一旦変換が始まると、ADCに対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は(割り込み要求フラグ(ADCn.INTFLAGS)レジスタの結果準備可割り込み要求(RESRDY)フラグが設定(1)される)変換完了前の最後のCLK_ADCクロック周期で再開します。指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットが'1'に書かれた後の次のCLK_ADCクロック上昇端で変換が始まります。

29.3.2.4.1. ADC入力チャネル

チャネル選択を変更する時に、使用者は正しいチャネルが選択されることを保証するために次の指針を守らなければなりません。

単独変換動作に於いて：チャネルは変換を開始する前に選ばれるべきです。チャネル選択はSTCONVビットへの'1'書き込み後の1 ADCクロック周期で変更されるかもしれません。

自由走行動作に於いて：チャネルは最初の変換を開始する前に選ばれるべきです。チャネル選択はSTCONVビットへの'1'書き込み後の1 ADCクロック周期で変更されるかもしれません。次の変換が既に自動的に開始されるため、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

入力チャネル切り替え後にADCは準備時間を必要とします。詳細については「電気的特性」章を参照してください。

29.3.2.4.2. ADC基準電圧

ADC用基準電圧(VREF)はADCの変換範囲を制御します。選んだVREFを越える入力電圧はADCの最大結果値に変換されます。理想10ビットADCに対してそれは\$3FFです。

VREFは制御C(ADCn.CTRLA)レジスタの基準電圧選択(REFSEL)ビット領域を書くことによってVDDまたは基準電圧(VREF)周辺機能からの内部基準電圧のどちらかとして選ぶことができます。VDDは受動切り換え器を通してADCに接続されます。

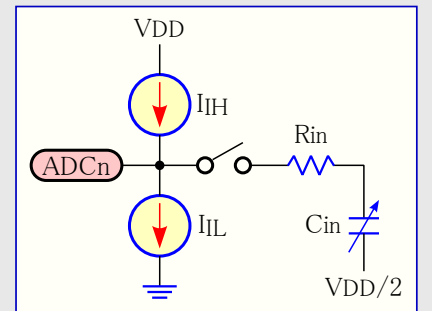
内部基準電圧は内部増幅器を通して内部ハントギャップ基準電圧(VBG)から生成され、基準電圧(VREF)周辺機能によって制御されます。

29.3.2.4.3. アナログ入力回路

アナログ回路は図29-7で図解されます。ADCnに印加したアナログ供給元はそのチャネルがADCに対する入力として選択されているか否かに関わらず、ピン容量とそのピンの漏れ電流に左右されます。チャネルが選択されると、供給元は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

ADCは概ね10kΩまたはそれ以下の出力インピーダンスを持つアナログ信号用に最適化されています。このような供給元が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスを持つ供給元が使われる場合、採取時間は大幅に変化し得るS/Hコンデンサを充電するのに供給元がどれくらいの時間を必要とするかに依存します。

図29-7. アナログ入力回路



29.3.2.5. A/D変換結果

変換が完了(RESRDYが'1'に)された後、変換結果(RES)はADC結果(ADCn.RES)レジスタで利用可能です。10ビット変換に対する結果は右のように与えられます。

ここでのVINは選んだ入力ピンの電圧で、VREFは選んだ基準電圧です(多重器正選択(ADCn.MUXPOS)レジスタと制御C(ADCn.CTRLA)レジスタの基準電圧選択(REFSEL)に対する記述をご覧ください)。

$$RES = \frac{V_{IN} \times 1023}{V_{REF}}$$

29.3.2.6. 温度測定

温度測定はチップ上の温度感知器に基きます。温度測定については以下のこれらの手順に従ってください。

1. VREF周辺機能で構成設定することによって内部基準電圧を1.1Vに構成設定してください。
2. 制御C(ADCn.CTRL0)レジスタの基準電圧選択(REFSEL)ビット領域に'00'を書くことによって内部基準電圧を選んでください。
3. 多重器正選択(ADCn.MUXPOS)レジスタを構成設定することによってADC温度感知器チャネルを選んでください。
4. 制御D(ADCn.CTRL1)レジスタで初期化遅延(INITDLY)を $\geq 32\mu s \times f_{CLK_ADC}$ に選んでください(訳補:脚注参照)。
5. 採取制御(ADCn.SAMPCTRL)レジスタで採取長(SAMPLEN)を $\geq 32\mu s \times f_{CLK_ADC}$ に選んでください(訳補:脚注参照)。
6. ADCn.CTRL0レジスタで採取容量選択(SAMPCAP)=1に選んでください。
7. 変換を開始することによって温度感知器出力を採取してください。
8. 下で記述されるように測定結果を処理してください。

測定した電圧は温度に対して直線的関係を持ちます。製法変化のため、温度感知器出力電圧は同じ温度に於いて個別デバイス間で変わります。個別補償要素は製造検査の間に測定されて以下のように識票列内に保存されます。

- SIGROW.TEMPSENSE0は利得/傾斜修正です。
- SIGROW.TEMPSENSE1は変位(オフセット)修正です。

正確な結果を達成ため、温度感知器測定の結果は工場校正値を用いて応用ソフトウェアで処理されなければなりません。(ケルビンでの)温度は以下のこの規則によって計算されます。

$$\text{温度} = (((\text{RESH} \ll 8) \mid \text{RESL}) - \text{TEMPSENSE1}) \times \text{TEMPSENSE0} \gg 8$$

RESHとRESLは結果(ADCn.RES)レジスタの上位バイトと下位バイトで、TEMPSENSEnは各々識票列からの値です。

使用者コードに於いて以下のこれらの手順に従うことが推奨されます。

```
int8_t sigrow_offset = SIGROW.TEMPSENSE1; // 識票列から符号付き変位(オフセット)補正值読み込み
uint8_t sigrow_gain = SIGROW.TEMPSENSE0; // 識票列から符号なし利得補正值読み込み
uint16_t adc_reading = ADCn.RES; // 1.1V内部基準電圧でのA/D変換結果

uint32_t temp = adc_reading - sigrow_offset;
temp *= sigrow_gain; // 結果(10ビット×8ビット)は16ビット変数を溢れるかもしれません。
temp += 0x80; // 次の除算で正しい丸めを得るために1/2を加算
temp >>= 8; // ケルビン温度を得るために結果を除算
uint16_t temperature_in_K = temp;
```

29.3.2.7. 窓比較器動作

ADCは変換の結果が或る閾値以上と/または以下の時に割り込み要求フラグ(ADCn.INTFLAGS)レジスタの窓比較器割り込み要求(WCMP)フラグを立てて割り込みを要求することができます。利用可能な動作形態は次のとおりです。

- 結果が閾値未満
- 結果が閾値超え
- 結果が窓の内側(下側閾値以上、しかし上側閾値以下)
- 結果が窓の外側(下側閾値未満または上側閾値超え)

閾値は窓比較器閾値(ADCn.WINLTとADCn.WINHT)レジスタに書くことによって定義されます。制御E(ADCn.CTRLE)レジスタの窓比較器動作(WINCM)ビット領域への書き込みはフラグが掲げられるまたは割り込みが要求される時の条件を選びます。

ADCが既に走行するように構成設定されるとの仮定で、窓比較動作を使うには以下のこれらの手順に従ってください。

1. 使うどれかの窓比較器を選び(ADCn.CTRLEレジスタのWINCM記述をご覧ください)、ADCn.WINLTと/またはADCn.WINHTのレジスタを書くことによって必要とされる閾値を設定してください。
2. 任意選択: 割り込み制御(ADCn.INTCTRL)レジスタの窓比較器割り込み許可(WCMP)ビットに'1'を書くことによって割り込み要求を許可してください。
3. ADCn.CTRLEレジスタのWINCMビット領域に0以外の値を書くことによって窓比較器を許可して動作形態を選んでください。

複数採取累積時、結果と閾値間の比較は最後の試料が採取された後で起きます。結果として、フラグは最終採取の累積を取った後で1度だけ立てられます。

(訳注) レジスタビット領域をCLK_ADC周期数で設定するため、 $\geq 32\mu s \times f_{CLK_ADC}$ は32 μs 以上になるCLK_ADC周期数の意味です。

29.3.3. 事象

A/D変換は**事象制御(ADCn.EVCTRL)レジスタの事象入力で開始(STARTEI)ビット**が'1'を書かれる場合に事象入力によって自動的に起動することができます。

結果(ADCn.RES)レジスタから新しい結果を読むことができる時にADCは結果準備可事象を生成します。この事象は1クロック周期の長さを持つパルスで、事象システムによって扱われます。ADC結果準備可事象はADCが許可される時に常に生成されます。

事象システムの**使用部nチャネル多重器(EVSYS.USERn)**の記述もご覧ください。

29.3.4. 割り込み

表29-1. 利用可能な割り込みベクタと供給元

名称	ベクタ説明	条件
RESRDY	結果準備可割り込み	変換結果が 結果(ADCn.RES)レジスタ で利用可能です。
WCMP	窓比較器割り込み	制御E(ADCn.CTRLE)レジスタの窓比較器動作(WINCM) によって定義されるように

割り込み条件が起ると、**割り込み要求フラグ(ADCn.INTFLAGS)レジスタ**で対応する割り込み要求フラグが設定(1)されます。

割り込み元は**割り込み制御(ADCn.INTCTRL)レジスタ**で対応する許可ビットに書くことによって許可または禁止されます。

割り込み要求は対応する割り込み元が許可され、割り込み要求フラグが設定(1)される時に生成されます。割り込み要求は割り込み要求フラグが解除(0)されるまで活性(1)に留まります。割り込み要求フラグを解除(0)する方法の詳細については周辺機能のINTFLAGSレジスタをご覧ください。

29.3.5. 休止形態動作

ADCは既定によって**スタンバイ休止動作**で禁止されます。

ADCは**制御A(ADCn.CTRLA)レジスタのスタンバイ時走行(RUNSTDBY)ビット**が'1'を書かれる場合にスタンバイ休止動作で完全に機能する状態に留まることができます。

RUNSTDBYが'1'の時にデバイスがスタンバイ休止動作へ移行する場合、ADCは活性に留まり、故に進行中の変換は完了され、構成設定されるように割り込みが実行されます。

スタンバイ休止動作では、ADC変換が事象システム(EVSYS)経由で起動されなければならないか、またはADCが休止動作に移行する前にソフトウェアによって起動される初回変更での自由走行動作でなければなりません。周辺機能クロックは必要とされる場合に要求され、変換が完了された後にOFFへ切り替えられます。

入力事象起動が起こると、正端が検出され、**指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビット**が設定(1)され、変換が始まります。変換が完了されると、**割り込み要求フラグ(ADCn.INTFLAGS)レジスタの結果準備可割り込み要求(RESRDY)フラグ**が設定(1)され、ADCn.COMMANDレジスタのSTCONVが解除(0)されます。

基準電圧元と供給基盤はスタンバイ休止動作で活性にされる時に安定のための時間が必要です。**制御D(ADCn.CTRLD)レジスタの初期化遅延(INITDLY)ビット**に0以外の値を書くことによって最初の変換の開始に対する遅延を構成設定してください。

パワーダウン休止動作では、変換が全くできません。進行中のどの変換も停止され、休止動作の外に出る時に再開されます。変換の最後で結果準備可(RESRDY)割り込み要求フラグが設定(1)されますが、ADCが変換の途中で停止されたため、**結果(ADCn.RES)レジスタ**の内容は無効です。

29.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	CTRLA	7～0	RUNSTDBY					RESSEL	FREERUN	ENABLE
+\$01	CTRLB	7～0						SAMPNUM2～0		
+\$02	CTRLC	7～0		SAMPCAP	REFSEL1,0			PRESC2～0		
+\$03	CTRLD	7～0	INITDLY2～0			ASDV	SAMPDLY3～0			
+\$04	CTRLF	7～0						WINCM2～0		
+\$05	SAMPCTRL	7～0				SAMPLEN4～0				
+\$06	MUXPOS	7～0				MUXPOS4～0				
+\$07	予約									
+\$08	COMMAND	7～0								STCONV
+\$09	EVCTRL	7～0								STARTEI
+\$0A	INTCTRL	7～0							WCMP	RESRDY
+\$0B	INTFLAGS	7～0							WCMP	RESRDY
+\$0C	DBGCTRL	7～0								DBGRUN
+\$0D	TEMP	7～0	TEMP7～0							
+\$0E ～ +\$0F	予約									
+\$10	RES	7～0	RES7～0							
+\$11		15～8	RES15～8							
+\$12	WINLT	7～0	WINLT7～0							
+\$13		15～8	WINLT15～8							
+\$14	WINHT	7～0	WINHT7～0							
+\$15		15～8	WINHT15～8							
+\$16	CALIB	7～0								DUTYCYC

29.5. レジスタ説明

29.5.1. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$00

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	RUNSTDBY					RESSEL	FREERUN	ENABLE
アクセス種別	R/W	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – RUNSTDBY : スタンバイ時走行 (Run in Standby)

このビットはチップがスタンバイ休止動作の時にADCが走行することを必要(='1')かどうかを決めます。

● ビット2 – RESSEL : 分解能選択 (Resolution Selection)

このビットはADC分解能を選びます。

値	0	1
説明	全10ビット分解能。10ビットADCの結果はADC結果(ADCn.RES)レジスタに累積または格納されます。	8ビット分解能。変換結果はそれらがADC結果(ADCn.RES)レジスタに累積または格納される前に(上位)8ビットに切り詰められます。下位2ビットは破棄されます。

● ビット1 – FREERUN : 自由走行 (Free Running)

このビットへの'1'書き込みはデータ取得に関して自由走行動作を許可します。最初の変換は指令(ADCn.COMMAND)レジスタの変換開始(STCONV)ビットへの'1'書き込みによって始められます。自由走行動作では、直前の変換周回が完了された直後または直ぐに新しい変換が開始されます。これは割り込み要求フラグ(ADCn.INTFLAGS)レジスタの結果準備可割り込み要求(RESRDY)フラグによって合図されます。

● ビット0 – ENABLE : ADC許可 (ADC Enable)

値	0	1
説明	ADCは禁止されます。	ADCは許可されます。

29.5.2. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						SAMPNUM2~0		
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット2~0 – SAMPNUM2~0 : 採取累積数選択 (Sample Accumulation Select)

このビット領域は連続するADC採取結果がどれくらい自動的に累積されるかを選びます。このビットが0よりも大きな値を書かれると、1回の完全な変換で連続するADC採取結果の対応する数がADC結果(ADCn.RES)レジスタに累積されます。

値	000	001	010	011	100	101	110	111
名称	NONE	ACC2	ACC4	ACC8	ACC16	ACC32	ACC64	-
説明	累積なし	2回の累積	4回の累積	8回の累積	16回の累積	32回の累積	64回の累積	(予約)

29.5.3. CTRLC – 制御C (Control C)

名称 : CTRLC
変位 : +\$02
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
		SAMPCAP	REFSEL1,0			PRESC2~0		
アクセス種別	R	R/W	R/W	R/W	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット6 – SAMPCAP : 採取容量選択 (Sample Capacitance Selection)

このビットは採取容量(コンデンサ)、故に入力インピーダンスを選びます。最良の値は基準電圧と応用の電気的特性に依存します。

値	0	1
説明	1V未満の基準電圧値に推奨	採取容量を減らします。より高い基準電圧に推奨

● ビット5,4 – REFSEL1,0 : 基準電圧選択 (Reference Selection)

このビット領域はADCに対する基準電圧を選びます。

値	0 0	0 1	1 0	1 1
名称	INTERNAL	VDD	-	-
説明	内部基準電圧	VDD	(予約)	(予約)

● ビット2~0 – PRESC2~0 : 前置分周器 (Prescaler)

このビット領域は周辺機能クロック(CLK_PER)からADCクロック(CLK_ADC)への整数分周比を定義します。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DIV2	DIV4	DIV8	DIV16	DIV32	DIV64	DIV128	DIV256
説明	CLK_PER/2	CLK_PER/4	CLK_PER/8	CLK_PER/16	CLK_PER/32	CLK_PER/64	CLK_PER/128	CLK_PER/256

29.5.4. CTRLD – 制御D (Control D)

名称 : CTRLD
変位 : +\$03
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	INITDLY2~0			ASDV		SAMPDLY3~0		
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~5 – INITDLY2~0 : 初期化遅延 (Initialization Delay)

このビット領域はADCを許可する、または内部基準電圧に対して変更する時に最初の採取前の初期化/始動の遅延を定義します。この遅延設定は参照基準(電圧)、多重器などが初回変換を開始する前に準備を整えることを保証します。初期化遅延は測定を行うために深い休止から起き上がる時にも起こります。

遅延はいくつかのCLK_ADC周期として表されます。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
名称	DLY0	DLY16	DLY32	DLY64	DLY128	DLY256	-	-
説明 [遅延CLK_ADC周期数]	0	16	32	64	128	256	(予約)	(予約)

●ビット4 – ASDV : 自動採取遅延変動 (Automatic Sampling Delay Variation)

このビットに'1'を書くことはA/D変換間の自動採取遅延変動を許可します。採取の瞬間を変えることの目的は採取の瞬間を乱順、故に周波数分布での定在周波数を避けるためです。採取遅延選択(SAMPDLY)ビット領域の値は各採取後に自動的に1つ増されます。自動採取遅延変動が許可されてSAMPDLY値が\$Fに達すると、\$0に丸めます。

値	0	1
名称	ASVOFF	ASVON
説明	自動採取遅延変動が禁止されます。	自動採取遅延変動が許可されます。

●ビット3~0 – SAMPDLY3~0 : 採取遅延選択 (Sampling Delay Selection)

これらのビットは連続するADC採取間の遅延を定義します。設定可能な遅延は、そうでなければ採取を乱すかもしれない周期的な雑音源を消すために、ハードウェア累積の間に採取周波数の変更を許します。SAMPDLYビット領域は自動採取遅延変動(ASDV)ビットを設定(1)することによって採取周期から別の採取周期へ自動的に変更することもできます。遅延はCLK_ADC周期として表され、ビット領域設定によって直接的に与えられます。採取容量は遅延の間、開放を保ちます。

29.5.5. CTRL E – 制御E (Control E)

名称 : CTRL E

変位 : +\$04

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						WINCM2~0		
アクセス種別	R	R	R	R	R	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット2~0 – WINCM2~0 : 窓比較器動作 (Window Comparator Mode)

このビット領域は窓比較器動作で割り込み要求フラグが設定(1)される時を許可して定義します。(下の表で)結果は16ビット累積器の結果です。WINLTとWINHTは各々16ビットの下側閾値と16ビットの上側閾値です。

値	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	その他
名称	NONE	BELOW	ABOVE	INSIDE	OUTSIDE	-
説明	窓比較なし(既定)	結果<WINLT	結果>WINHT	WINLT ≤ 結果 ≤ WINHT	結果<WINLT または 結果>WINHT	(予約)

29.5.6. SAMPCTRL – 採取制御 (Sample Control)

名称 : SAMPCTRL

変位 : +\$05

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						SAMPLEN4~0		
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット4~0 – SAMPLEN4~0 : 採取長 (Sample Length)

このビット領域はいくつかのCLK_ADC周期でADC採取長を延長します。既定によって採取時間は2 CLK_ADC周期です。採取長増加はより高いインピーダンスを持つ供給元の採取を許します。総変換時間は選んだ採取長で増やされます。(訳補)このビット領域値が直接的に延長するCLK_ADC周期数(0~31)を表します。

29.5.7. MUXPOS – 多重器正選択 (Multiplexed Positive Input Selection)

名称 : MUXPOS
変位 : +\$06
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
	MUXPOS4~0							
アクセス種別	R	R	R	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット4~0 – MUXPOS4~0 : 多重器正選択 (MUXPOS)

このビット領域はADCにどのシングル エント アナログ入力に接続されるかを選びます。これらのビットが変換中に変えられる場合、その変更はこの変換が完了するまで有効ではありません。

値	00000	00001	00010	00011	00100	00101	00110	00111	01000	01001	01010	01011
名称	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	AIN8	AIN9	AIN10	AIN11
説明 (アナログ入力ピン)	0	1	2	3	4	5	6	7	8	9	10	11
値	11100		11101					11110		11111		その他
名称	-		INTREF					TEMPSENSE		GND		-
説明	(予約)		(VREF周辺機能からの)内部基準電圧					温度感知器		0V (GND)		(予約)

注: ポートの全てのピンが少ピン数デバイスで利用できるとは限りません。詳細については[ピン配置図](#)や[入出力多重化表](#)を調べてください。

29.5.8. COMMAND – 指令 (Command)

名称 : COMMAND
変位 : +\$08
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								STCONV
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット0 – STCONV : 変換開始 (Start Conversion)

このビットへの'1'書き込みは単一の変換を開始します。自由走行動作の場合、これは初回変換を開始します。STCONVは変換が進行中である限り'1'として読みます。変換が完了すると、このビットは自動的に解除(0)されます。

変換進行中のこのビットへの'0'書き込みはその変換を中止します。

29.5.9. EVCTRL – 事象制御 (Event Control)

名称 : EVCTRL
変位 : +\$09
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
								STARTEI
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット0 – STARTEI : 事象入力開始 (Start Event Input)

このビットは変換開始用の供給元として事象入力を使うことを許可します。

29.5.10. INTCTRL – 割り込み制御 (Interrupt Control)

名称 : INTCTRL
変位 : +\$0A
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
							WCMP	RESRDY
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- ビット1 – WCMP : 窓比較器割り込み許可 (Window Comparator Interrupt Enable)

このビットへの'1'書き込みは窓比較器割り込みを許可します。

- ビット0 – RESRDY : 結果準備可割り込み許可 (Result Ready Interrupt Enable)

このビットへの'1'書き込みは結果準備可(変換の終わり)割り込みを許可します。

29.5.11. INTFLAGS – 割り込み要求フラグ (Interrupt Flags)

名称 : INTFLAGS
変位 : +\$0B
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
							WCMP	RESRDY
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

- ビット1 – WCMP : 窓比較器割り込み要求フラグ (Window Comparator Interrupt Flag)

この窓比較器割り込み要求フラグは測定が完了して結果が制御E(ADCn.CTRLE)レジスタの窓比較器動作(WINCM)によって定義されて選んだ窓比較動作に合致した場合に設定(1)されます。比較は変換の最後で行われます。このフラグはこのビット位置への'1'書き込み、または結果(ADCn.RES)レジスタ読み込みのどちらかによって解除(0)されます。このビットへの'0'書き込みは無効です。

- ビット0 – RESRDY : 結果準備可割り込み要求フラグ (Result Ready Interrupt Flag)

結果準備可割り込み要求フラグは測定が完了して新しい結果の準備が整った時に設定(1)されます。このフラグはこのビット位置への'1'書き込み、または結果(ADCn.RES)レジスタ読み込みのどちらかによって解除(0)されます。このビットへの'0'書き込みは無効です。

29.5.12. DBGCTRL – デバッグ制御 (Debug Control)

名称 : DBGCTRL
変位 : +\$0C
リセット : \$00
特質 : –

ビット	7	6	5	4	3	2	1	0
								DBGRUN
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	0

- ビット0 – DBGRUN : デバッグ時走行 (Debug Run)

値	0	1
説明	ADCはデバッグ動作中断で停止し、事象を無視	ADCはCPU停止中のデバッグ動作中断で走行継続

29.5.13. TEMP – 一時レジスタ (Temporary)

名称 : TEMP
変位 : +\$0D
リセット : \$00
特質 : -

一時レジスタはこの周辺機能の16ビットレジスタへの16ビット単一周期アクセスのためにCPUによって使われます。このレジスタはこの周辺機能の全ての16ビットレジスタに対して共通で、ソフトウェアによって読み書きすることができます。16ビットレジスタの読み書きのより多くの詳細については「AVR® CPU」章の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0
	TEMP7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP7~0 : 一時値 (Temporary)

16ビットレジスタでの読み書き用一時レジスタ。

29.5.14. RES – 結果 (Result)

名称 : RES (RESH,RESL)
変位 : +\$10
リセット : \$0000
特質 : -

ADCn.RESHとADCn.RESLのレジスタ対は16ビット値のADCn.RESを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

アナログ入力があるADCの基準レベルよりも高い場合、10ビットADCの結果は\$3FFの最大値に等しくなります。同様に、入力が0V未満の場合、ADCの結果は\$000になります。ADCが\$3FFを超える結果を生成することができないため、累積された値は例え許された最大の64累積後でも、決して\$FFC0を超えません。

ビット	15	14	13	12	11	10	9	8
	RES15~8							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	RES7~0							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – RES15~8 : 結果上位バイト (Result high byte)

このビット領域はMSBがRES15のADCn.RESレジスタの上位バイトを構成します。ADC自体はMSBがADC9の10ビット出力(ADC9~0)を持ちます。ADCとデジタル累積でのデータ形式は\$0000が0を表し、\$FFFFが最大数(全尺)を表す2進数です。

● ビット7~0 – RES7~0 : 結果下位バイト (Result low byte)

このビット領域はADC/累積器の結果(ADCn.RES)レジスタの下位バイトを構成します。ADC自体はMSBがADC9の10ビット出力(ADC9~0)を持ちます。ADCとデジタル累積でのデータ形式は\$0000が0を表し、\$FFFFが最大数(全尺)を表す2進数です。

29.5.15. WINLT – 窓比較器下側閾値 (Window Comparator Low Threshold)

名称 : WINLT (WINLTH,WINLTL)
 変位 : +\$12
 リセット : \$0000
 特質 : -

このレジスタは結果(ADCn.RES)レジスタを監視するデジタル比較器用の16ビット下側閾値です。ADC自体はMSBがRES9の10ビット出力(RES9~0)を持ちます。ADCとデジタル累積でのデータ形式は\$0000が0を表し、\$FFFFが最大数(全尺)を表す2進数です。

ADCn.WINLTHとADCn.WINLTLのレジスタ対は16ビット値のADCn.WINLTを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

試料累積時、窓比較器閾値は採取毎ではなく、累積された値に適用されます。

ビット	15	14	13	12	11	10	9	8
	WINLT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	WINLT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – WINLT15~8 : 窓比較器下側閾値上位バイト (Window Comparator Low Threshold high byte)

このビット領域は16ビットレジスタの上位バイトを保持します。

● ビット7~0 – WINLT7~0 : 窓比較器下側閾値下位バイト (Window Comparator Low Threshold low byte)

このビット領域は16ビットレジスタの下位バイトを保持します。

29.5.16. WINHT – 窓比較器上側閾値 (Window Comparator High Threshold)

名称 : WINHT (WINHTH,WINHTL)
 変位 : +\$14
 リセット : \$0000
 特質 : -

このレジスタは結果(ADCn.RES)レジスタを監視するデジタル比較器用の16ビット上側閾値です。ADC自体はMSBがRES9の10ビット出力(RES9~0)を持ちます。ADCとデジタル累積でのデータ形式は\$0000が0を表し、\$FFFFが最大数(全尺)を表す2進数です。

ADCn.WINHTHとADCn.WINHTLのレジスタ対は16ビット値のADCn.WINHTを表します。下位バイト[7~0](接尾辞L)は変位原点でアクセスできます。上位バイト[15~8](接尾辞H)は変位+1でアクセスすることができます。

試料累積時、窓比較器閾値は採取毎ではなく、累積された値に適用されます。

ビット	15	14	13	12	11	10	9	8
	WINHT15~8							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
	WINHT7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット15~8 – WINHT15~8 : 窓比較器上側閾値上位バイト (Window Comparator High Threshold high byte)

このビット領域は16ビットレジスタの上位バイトを保持します。

● ビット7~0 – WINHT7~0 : 窓比較器上側閾値下位バイト (Window Comparator High Threshold low byte)

このビット領域は16ビットレジスタの下位バイトを保持します。

29.5.17. CALIB – 校正 (Calibration)

名称 : CALIB

変位 : +\$16

リセット : \$01

特質 : -

ビット	7	6	5	4	3	2	1	0
								DUTYCYC
アクセス種別	R	R	R	R	R	R	R	R/W
リセット値	0	0	0	0	0	0	0	1

● ビット0 – DUTYCYC : デューティ サイクル (Duty Cycle)

このビットはADCクロックのデューティ サイクルを決めます。

ADCclk>1.5MHzは2.7Vの最小動作電圧を必要とします。

値	0	1
説明	50%デューティ サイクルはADCclk>1.5MHzの場合に使われなければなりません。	25%デューティ サイクル(High=25%,Low=75%)はADCclk≤1.5MHzに対して使われなければなりません。

30. UPDI – 統一プログラム/デバッグ インターフェース

30.1. 特徴

- 外部プログラミングとチップ上デバッグ(OCD)用UPDI単線インターフェース
 - 高電圧またはヒューズによるプログラミング許可
 - プログラミングに対してデバイスのRESETピンを使用
 - 操作中に汎用入出力(GPIO)ピン占有なし
 - 書き込み器に対する非同期半二重UART規約
- プログラミング
 - 組み込み誤り検出と誤り識別票生成
 - より速いプログラミングのための応答生成無効
- デバッグ
 - デバイスのアドレス空間(NVM, RAM, I/O)に対するメモリ割り当てアクセス
 - デバイスのクロック周波数での制限なし
 - 制限なしの使用者プログラム中断点(ブレークポイント)
 - 2つのハードウェア中断点
 - 高度なOCD機能に対する支援
 - コード鑑定のためのCPUプログラムカウンタ(PC)、スタックポインタ(SP)、ステータスレジスタ(SREG)の走行時読み出し
 - CRCでの中断/停止状況の検出と合図
 - 実行、停止、リセットのデバッグ命令用プログラムの流れ制御
 - システムレジスタのアクセスなしでの非干渉走行時チップ監視
 - 施錠されたデバイスでのフラッシュメモリのCRC検査結果を読むためのインターフェース

30.2. 概要

統一プログラム/デバッグ インターフェース(UPDI)は外部書き込み器とデバイスのOCD用の専用インターフェースです。

UPDIは不揮発性メモリ(NVM)空間のフラッシュメモリ、EEPROM、ヒューズ、施錠ビット、そして使用者列のプログラミングを支援します。いくつかのメモリ割り当てレジスタは許可された正しいアクセス特権(鍵、施錠ビット)でだけ、そしてOCD停止動作または或るプログラミング動作でだけアクセス可能です。これらの動作はUPDIに正しい鍵を送ることによって解錠されます。NVM制御器経由のプログラミングとNVM制御器指令の実行については「[NVMCTRL – 不揮発性メモリ制御器](#)」章をご覧ください。

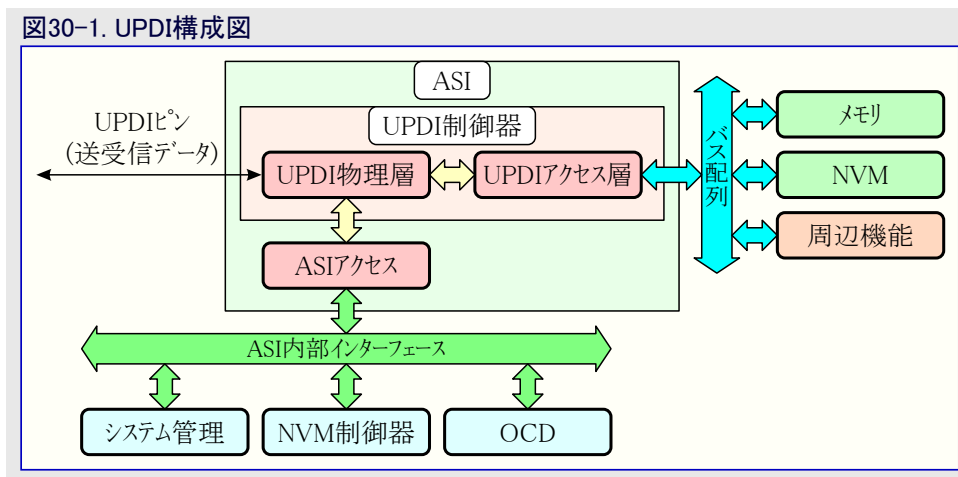
UPDIは3つの分離された規約層、UPDI物理(PHY)層、UPDIデータリンク(DL)層、UPDIアクセス(ACC)層に分割されます。既定PHY層は接続された書き込み器/デバッグに対してUPDIピン線を渡る双方向UART通信を扱い、単線通信動作で到着データフレームでのデータ再生とクロック再生を提供します。受け取った命令と対応するデータはDL層によって処理され、復号された命令に基づいてACC層との通信の準備をします。システムバスとメモリ割り当てレジスタへのアクセスはACC層を通して許されます。

プログラミングとデバッグはデータの受信と送信にRESETピンを使う半二重インターフェースに基づく単線UARTです。PHY層のクロック駆動は専用内部発振器によって行われます。

ACC層はUPDIと接続されたバス配列間のインターフェースです。この層はメモリ、NVM、周辺機能のようなシステム部へのメモリ割り当てアクセスを持つバス配列に対してUPDI経由でのアクセスを許します。

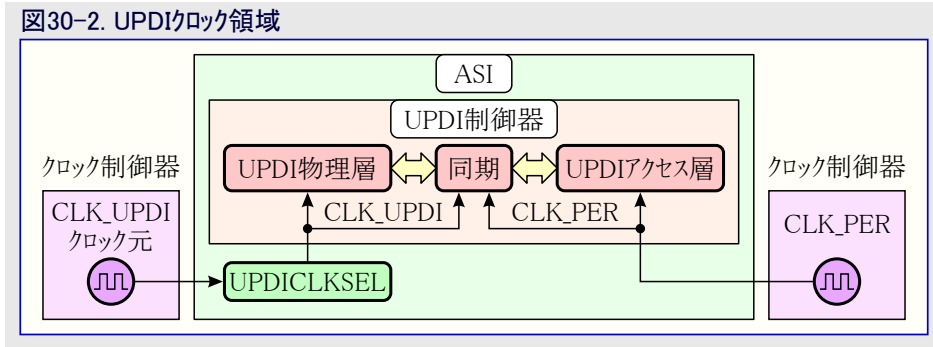
非同期システムインターフェース(ASI:Asynchronous System Interface)はOCD、NVM、システム管理系で機能を選ぶための直接インターフェースアクセスを提供します。これはバスアクセスを要求することなく、システム情報への直接アクセスをデバッグに与えます。

30.2.1. 構成図



30.2.2. クロック

PHY層とACC層は違うクロック領域で動くことができます。PHY層クロックは専用内部発振器から得られ、ACC層クロックは周辺機能クロックと同じです。PHY層とACC層間にはクロック領域間の正しい動作を保証する同期境界があります。UPDIクロック出力周波数はASIを通して選ばれ、UPDI許可またはリセット後の既定UPDIクロック始動周波数は4MHzです。UPDIクロック周波数はASI制御A(UPDI,ASI_CTRLA)レジスタのUPDIクロック分周器選択(UPDICLKSEL)ビット領域を書くことによって変更することができます。



30.2.3. 物理層

PHY層は接続された書き込み器/デバッグとデバイス間の通信インターフェースです。PHY層の主な機能は次のように要約することができます。

- UPDIピンで非同期半二重UART通信を使い、UPDI単線動作を支援
- 内部ポーレート検出、UARTフレームでのクロックとデータの再生
- 異常検出(パリティ、クロック再生、フレーム、システム異常)
- 送信応答生成(ACK)
- 動作中の異常認識票の生成
- 保護時間制御

30.2.4. I/O線と接続

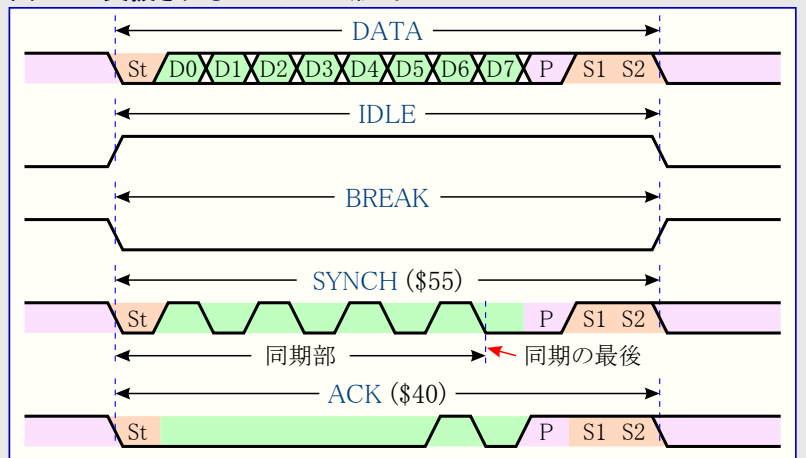
UPDIを操作するには、RESETピンがUPDI動作に設定されなければなりません。これは通常のI/Oピン用としてPORT I/Oピン構成設定を通してではなく、「RESETピンのヒューズ無効化でのUPDI許可」で記述されるようにシステム構成設定0(FUSE.SYSCFG0)ヒューズのRESETピン構成設定(RSTPINCFG)ビットを('01'に)設定することを通して、または「RESETピンの高電圧無効化でのUPDI許可」からのUPDI高電圧許可手順に従うことによって行われます。プルアップ許可、入力許可、出力許可の設定は活性の時にUPDIによって自動的に制御されます。

30.3. 機能的な説明

30.3.1. 動作の原理

UPDIを通す通信は固定フレーム形式、クロックとデータの再生に対する自動ポーレート検出を用いる標準USART通信に基づきます。データフレームに加えて、通信のためにいくつかの制御フレーム(DATA、IDLE、BREAK、SYNCH、ACK)が重要です。

図30-3. 支援されるUPDIフレーム形式



フレーム	説明
DATA	DATAフレームは常にLowの1開始(St)ビット、8データビット、偶数パリティ用の1パリティ(P)ビット、常にHighの2停止(S1とS2)ビットから成ります。パリティビットまたは停止ビットが不正な値を持つ場合、誤りが検出されてUPDIによって合図されます。UPDIでのパリティビット検査は 制御A(UPDI.CTRLA)レジスタのパリティ禁止(PARD)ビット に('1')を書くことによって禁止することができます、その場合、デバッガからのパリティ生成は無視されます。
IDLE	これは最小12個のHighビットから成る特別なフレームです。これは送信線をアイドル(IDLE)状態で維持するのと同じです。
BREAK	最小12個のLowビットから成る特別なフレームです。UPDIを既定状態に戻してリセットするのに使われ、代表的に異常回復に使われます。
SYNCH	SYNCHフレームは到着する伝送に対してボーレートを設定するため、ボーレート生成部によって使われます。SYNCH文字は毎回の新しい命令の前とBREAKが成功裏に送信された後でUPDIによって常に期待されます。
ACK	ACKフレームはSTまたはSTSの命令が成功裏に同期境界を渡ってバスアクセスを得られた時に必ずUPDIから送信されます。デバッガによってACKが受信されると、次の送信を開始することができます。

30.3.1.1. UPDI UART

通信はデバッガ/書き込み器側から開始されます。毎回の送信はSYNCH文字で開始しなければならず、これはUPDIが送信ボーレートを再生して到着データ用にこの設定を格納するのに使うことができます。SYNCH文字によって設定されるボーレートは後続する命令とデータのバイトの受信と送信の両方に使われます。次のSYNCH文字が命令の流れで予期される時の詳細については「UPDI命令一式」項をご覧ください。

UPDIには書き込み可能なボーレートレジスタがなく、故にデータバイトを採取する時のデータ再生にSYNCH文字から採取されたボーレートが使われます。

PHY層の送信ボーレートは選んだUPDIクロックに関連付けられ、**ASI制御A(UPDI.ASL_CTRLA)レジスタのUPDIクロック分周器選択(UPDICKSEL)ビット領域**を書くことによって調整することができます。送受信のボーレートは自動ボーレートの精度内で常に同じです。

UPDIボーレート生成部は送信誤差を最小にするため、分数ボーレート計数を利用します。UPDIによって使われる固定フレーム形式での最大と推奨される受信部転送誤差限度は表30-2で見ることができます。

表30-1. UPDICKSEL設定に基づく推奨UARTボーレート

UPDICKSEL1,0	最大推奨ボーレート	最小推奨ボーレート
0 1 (16MHz)	0.9Mbps	300 bps
1 0 (8MHz)	450kbps	150 bps
1 1 (4MHz) - 既定	225 kbps	75 bps

表30-2. 受信部ボーレート誤差

データ+パリティビット	Rslow(%)	Rfast(%)	最大総合許容誤差(%)	推奨最大受信許容誤差(%)
9	96.39	104.76	-3.61~+4.76	±1.5

30.3.1.2. BREAK文字

中断(BREAK)文字はUPDIの内部状態を既定設定にリセットするのに用いられます。これは通信異常のためにUPDIが異常状態に入った場合、またはデバッガとUPDI間の同期が失われた時に有用です。

全ての場合でBREAKがUPDIによって成功裏に受信されるのを保証するため、デバッガは2つの連続するBREAK文字を送らなければなりません。最初のBREAKはUPDIがアイドル状態の場合に検出され、(非常に低いボーレートで)UPDIが受信または送信している間にそれが送られた場合に検出されません。けれども、これは受信(RX)に対するフレーム異常または送信(TX)に対する衝突異常を引き起こし、進行中の操作を中止します。その後、UPDIは次のBREAKを成功裏に検出します。

BREAK受信で、**ASI制御A(UPDI.ASL_CTRLA)レジスタのUPDI発振器設定が4MHzの既定UPDIクロック選択にリセット**されます。これは表30-1に従ってUPDIのボーレート範囲を変更します。

30.3.1.2.1. 単線動作でのBREAK

単線動作で、書き込み器/デバッガとUPDIは完全に同期が外れることがあり、UPDIがそれを検出できることを保証するためにBREAK文字の最悪長を必要とします。4MHz(250ns)の最低UPDIクロック速度と仮定し、16ビットに含まれ得る8ビットSYNCH様式値の最大長は、 $65535 \times 250\text{ns} = 16.4\text{ms}$ /バイト=16.4ms/8ビット=2.05ms/ビットです。

これは最低の前置分周器設定に対して $2.05\text{ms} \times 12\text{ビット} \approx 24.6\text{ms}$ の最悪BREAKフレーム持続時間を与えます。前置分周器設定が既知なら、BREAKフレームの時間は表30-3からの値に従って緩和されます。

表30-3. 推奨中断(BREAK)文字持続時間

UPDICKSEL1,0	推奨BREAK文字持続時間
0 1 (16MHz)	6.15ms
1 0 (8MHz)	12.30ms
1 1 (4MHz)	24.60ms

30.3.1.3. SYNCH文字

同期(SYNCH)文字は8ビットを持ち、通常のUPDIフレーム形式に従います。これは'\$55'の固定値を持ちます。SYNCH文字は以下の2つの主な目的を持ちます。

1. 禁止後にUPDIに対する許可文字として働きます。
2. 後続する伝送用にボーレートを設定するため、ボーレート生成部によって使われます。無効なSYNCH文字が送られた場合、次の伝送は正しく採取されません。

30.3.1.3.1. 単線動作でのSYNCH

SYNCH文字は各新規命令の前に使われます。REPEAT命令を使う時に、SYNCH文字はREPEAT後の最初の命令の前でだけ期待されます。

SYNCHは既知の文字で、各ビットに対する交互切り替わりの特性を通して、8ビットSYNCH様式を採取するのにどの位のUPDIクロック周期が必要とされるかの測定をUPDIに許します。この採取を通して得られた情報は受信での非同期クロック再生と非同期データ再生を提供するのと送信動作を行う時に接続された書き込み器のボーレートを保つのに使われます。

30.3.2. 操作

UPDIはUART通信が開始され得るのに先立って許可されなければなりません。

30.3.2.1. UPDI許可

UPDI用許可手順はデバイスと無関係で以下の項で記述されます。

30.3.2.1.1. 単線許可

UPDIピンは内部プルアップ抵抗を持ち、200nsを超える間UPDIピンをLowに駆動することにより、接続された書き込み器が始動手順を始めます。

負端遷移が(複数電圧システムの場合に、高電圧領域に置かれた)端検出器にUPDIピンのLow駆動を始めさせ、故に書き込み器が線を開放した時に要求したUPDI発振器の準備が整うまでLowに留まります。クロックに対して期待される到来時間は精度、行き過ぎ、発振器校正の読み出しに関する発振器実装に依存します。複数電圧システムについて、線は調整器が正しい水準になるまでLowに駆動され、システムは選んだ発振器の準備が整って安定な状態で通電されます。書き込み器はピンが再びHighに遷移する時を検出するためにそれを開放した後、最初にUPDIピンをボーリングしなければなりません。この遷移は端検出器がピン(プルアップ)を開放し、UPDIがSYNCH文字を受信することができることを意味します。SYNCH文字の成功裏の検出で、UPDIは許可され、最初の命令の受信に対して準備します。

伝送許可手順は次の図で示され、書き込み器と端検出器に対する駆動活動期間が含まれます。”UPDIピン”波形は常にピン値を示します。

端検出器駆動活動期間に対して与えられる遅延は代表的に16MHz発振器での256周期間の始動時間待ち+校正読み出しです。予測される始動時間の詳細については「電気的特性」章を参照してください。

注: 許可手順のSYNCHが最初の命令に対してボーレート生成部を準備するため、最初の許可SYNCH後に発行される最初の命令は余分なSYNCHが不要です。

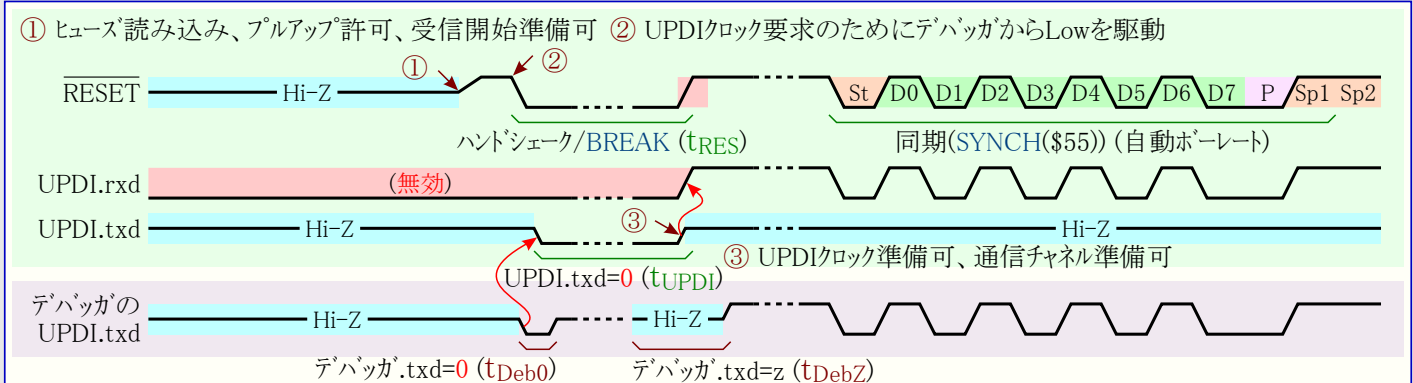
端検出器の予期せぬ起動が起きた場合に許可され続けるUPDIを避けるため、UPDIは自身を自動的に禁止してそのクロック要求を下げます。より多くの詳細については「30.3.2.2.1. 始動中の禁止」項をご覧ください。

30.3.2.1.2. RESETピンのヒューズ無効化でのUPDI許可

システム構成設定0(FUSE.SYSCFG0)ヒューズのRESETピン構成設定(RSTPINCFG)ビットが'01'の時に、RESETピンは無効にされ、UPDIがこのピンの制御を取ってプルアップ付き入力として構成設定します。

プルアップが検出されると、図30-4.で示されるように、デバウンスは線を t_{Deb0} 間Lowに駆動することによって許可手順を始めます。

図30-4. ヒューズによって許可されたUPDIパッドでのUPDI許可手順




負端が検出されると、UPDIクロックが開始します。UPDIはクロックが安定するまで線をLowに駆動し続け、UPDIが使う準備が整います。tUPDIの持続時間はUPDIが許可される時の発振器の状態に依存して変わります。この持続時間後、データ線がUPDIによって解放され、Highにプルアップされます。

線がHighであることをデバuggが検出すると、UPDI通信データ速度と同期するために最初の同期(SYNCH)文字(\$55)が送信されなければなりません。同期(SYNCH)文字の開始ビットが最大tDebZ以内に送られなければ、UPDIは自身を禁止し、UPDI許可手順は再び開始されなければなりません。タイミング違反の場合、UPDIの予期せぬ許可を避けるため、UPDIが禁止されます。

同期(SYNCH)文字送信成功後、最初の命令フレームを送信することができます。

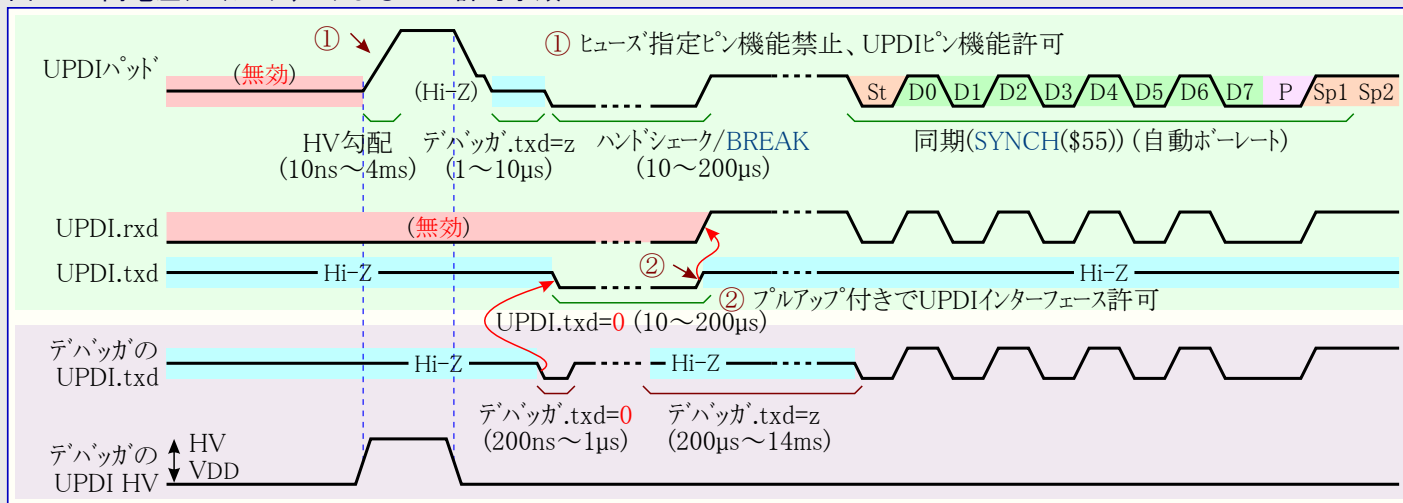
30.3.2.1.3. RESETピンの高電圧無効化でのUPDI許可

RESETピンの汎用入出力(GPIO)またはリセットの機能は高電圧(HV)プログラミングを使うことでUPDIによって無効にすることができます。RESETピンにHVパルスを印加すると、ピンの機能をUPDIに切り替えます。これはシステム構成設定0(FUSE.SYSCFG0)ヒューズのRESETピン構成設定(RSTPINCFG)と無関係です。ピン機能を無効化するには以下のこれらの手順に従ってください。

1. 推奨: HV許可手順を開始する前にデバイスをリセットしてください。
2. で記述されるようにHV信号を印加してください。
3. 書き込みを開始するため、最初の同期(SYNCH)文字後にKEY命令を使ってNVMPROG鍵を送ってください。施錠されたデバイスはCHIPERASE鍵だけを受け入れます。「チップ消去」項もご覧ください。
4. プログラミング終了後、STCS命令を使って制御B(UPDI.CTRLB)レジスタのUPDI禁止(UPDIDIS)ビットに'1'を書くことによってUPDIをリセットしてください。

電源投入中、RESET信号はHVパルスが印加され得る前に開放されなければなりません。パルスの持続時間はHi-Zになる前に100μsから1msの範囲が推奨されます。HVパルスの上昇端印加時、UPDIはリセットになります。Hi-Z後、UPDIはデバウッチャによってRESETピンがLowに駆動されるまでリセットに留まります。これはUPDIリセットを開放し、**「RESETピンのヒューズ無効化でのUPDI許可」**での説明と同じ許可手順を始めます。

図30-5. 高電圧(HV)プログラミングによるUPDI許可手順



HVパルスによって許可されると、電源ONリセット(POR)は $\overline{\text{RESET}}$ ピンでのUPDI構成設定を禁止して既定設定に復元するだけです。**制御B(UPDI.CTRLB)レジスタのUPDI禁止(UPDIDIS)ビット**を通してUPDI禁止指令を発行する場合、UPDIはリセットしてクロック要求が取り消されますが、 $\overline{\text{RESET}}$ ピンはUPDI構成設定に留まります。

注: 1. UPDIピンに加えられる外部保護が不十分な場合、ESDパルスがデバイスによってHV上書きとして解釈されてUPDIを許可し得ます。

2. UPDI HV活性化に対する実際の閾値電圧はVDDに依存します。より多くの詳細については「電気的特性」章をご覧ください。

30.3.2.1.4. 汎用入出力(GPIO)に対する出力許可計時器保護

システム構成設定0(FUSE.SYSCFG0)ヒューズ'のRESETピン構成設定(RSTPINCFG)ビットが'00'の時に、RESETピンは汎用入出力(GPIO)として構成設定されます。GPIOが出力を活動的に駆動するとUPDI高電圧(HV)許可手順開始の間での潜在的な衝突を避けるため、GPIO出力駆動部はシステムリセット後に最小8.8ms間禁止されます。

HVプログラミング手順に入るのに先立って常に電源ONリセット(POR)を発行することが推奨されます。

30.3.2.2. UPDI禁止

30.3.2.2.1. 始動中の禁止

許可手順中、UPDIは無効な許可手順の場合に自身を禁止することができます。UPDIが電源管理に与えたどの要求もリセットしてUPDIを禁止状態に設定するために実装された2つの機構があります。新しい許可手順はその後UPDIを許可することから始めなければなりません。

制限時間超過禁止

UPDIがそのクロックを受け取った後に始動負端検出器がピンを開放する時、または複数電圧システムで調整器が安定でシステムが電力を持つ時、既定プルアップはPUDIピンをHighに駆動します。ピンがHighであることを書き込み器が検出せず、UPDIがピンを開放した後の4MHz UPDIクロックでの164ms内にSYNCH文字の送信を始めない場合、UPDIは自身を禁止します。

注: 始動発振周波数はデバイス依存です。UPDIは制限時間超過を発行するのに先立ってUPDIクロックで65536周期間計数します。

不正なSYNCH様式

不正なSYNCH様式は、SYNCH文字長がUPDIボーレートレジスタが含むことができる採取数よりも長い(溢れ)、または各ビットの採取長に対して扱うことができる最小分数計数よりも短い場合に検出されます。それらのどんな異常が検出された場合も、UPDIは自身を禁止します。

30.3.2.2. UPDI正常禁止

書き込み器切断後にUPDIからのどの特定操作も必要としないどのプログラミングまたはデバッグの作業も制御B(UPDI.CTRLB)レジスタのUPDI禁止(UPDIDIS)ビットに('1')を書くことによって終了されなければならず、そこでUPDIはシステムリセットを発行して自身を禁止します。このリセットは直前の状態と無関係にCPUを走行状態に戻します。システムに対するUPDIクロック要求も下げて全てのUPDI鍵と設定もリセットします。

禁止操作が実行されない場合、UPDIと発振器の要求は許可に留まります。これは応用に対して消費電力増加を引き起こします。

30.3.2.3. UPDI通信異常処理

UPDIは異常の筋書きから回復する時にデバッグへ情報を提供する包括的な異常検出システムを含みます。この異常検出はパリティ誤り、衝突異常、フレーム異常のような物理転送異常から、アクセス制限時間超過異常のようなもっと上位の異常に至る検出から成ります。利用可能な異常識票の概要については状態B(UPDI.STATUSB)レジスタのUPDI異常識票(PESIG)ビット領域をご覧ください。

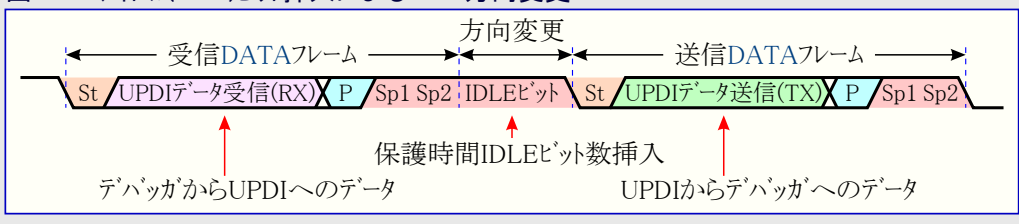
望まれないシステム通信を避けるため、UPDIは異常を検出する度、直ちに内部異常状態へ移行します。異常状態でUPDIはBREAK文字が受信される時を除き、全ての着信データ要求を無視します。異常状態から回復する時は常に以下の手続きが適用されなければなりません。

1. BREAK文字を送ってください。推奨されるBREAK文字の扱いについては「BREAK文字」をご覧ください。
2. 次のデータ転送に対して望むボーレートでSYNCH文字を送ってください。
3. 状態B(UPDI.STATUSB)レジスタのUPDI異常識票(PESIG)ビット領域を読んで発生した異常についての情報を得るために制御/状態取得(LDCS)命令を実行してください。
4. UPDIは今や異常状態から回復され、次のSYNCH文字と命令を受け取る準備が整います。

30.3.2.4. 方向変更

半二重UART動作に対して正しいタイミングを保証するため、UPDIはRX動作からTX動作へ方向を変更する時のタイミングを緩和するための組み込み保護時間機構を持ちます。保護時間は次の最初の応答パケットの開始ビットが送出される前に複数のアイドル(IDLE)ビットが挿入されることによって表されます。アイドルビット数は制御A(UPDI.CTRLA)レジスタの保護時間値(GTVAL)ビット領域を通して構成設定することができます。各アイドルビットの持続時間は現在の送信で使われるボーレートによって与えられます。

図30-6. アイドル(IDLE)ビット挿入によるUPDI方向変更



UPDI保護時間は接続されたデバッグがUPDIからのデータを待っている時に経験する最小アイドル時間です。最大アイドル時間は制限時間と同じです。送信前のアイドル時間は同期時間+データバスアクセス時間が保護時間よりも長い時に意図した保護時間を超えるでしょう。

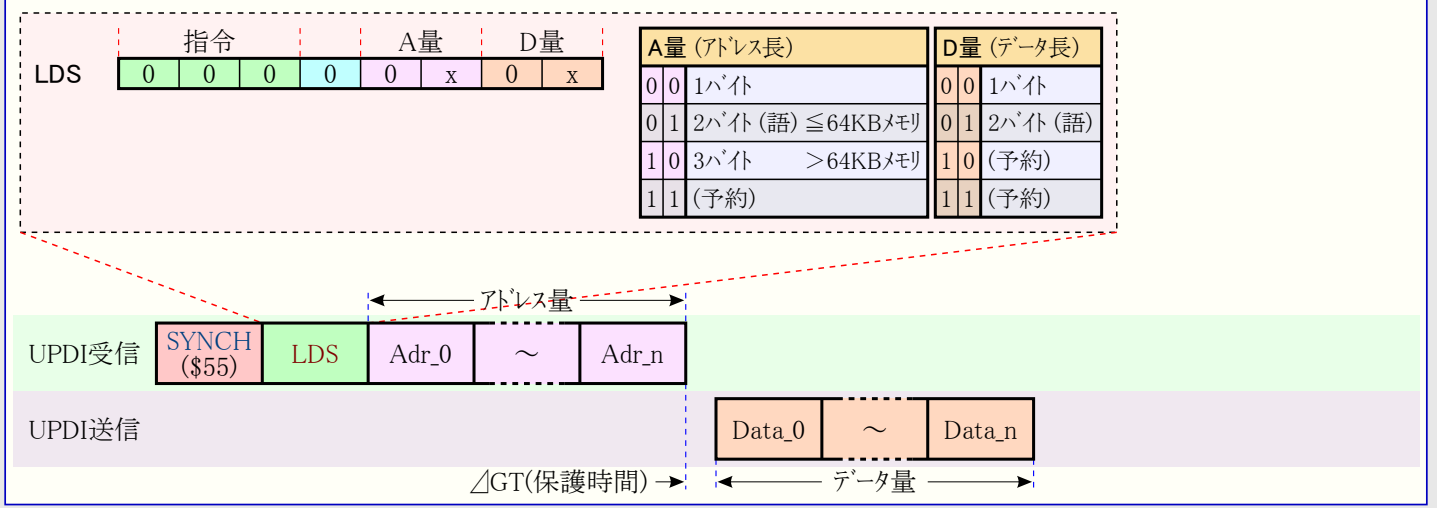
常にUPDI側で最小2保護時間ビットの挿入、デバッグ側で1保護時間周期挿入を使うことが推奨されます。

30.3.3.1. LDS – 直接アドレス指定を使うデータ空間からのデータ取得

LDS命令は直列読み出しのためにシステムバスからPHY層移動レジスタ内へデータを取得するのに使われます。LDS命令は直接アドレス指定に基づき、アドレスはデータ転送を開始するために命令の引数として与えられなければなりません。アドレスとデータに対して支援される最大の大きさは32ビットです。LDS命令はREPERT命令と組み合わせた時に繰り返しメモリアクセスを支援します。

LDS命令発行後、A量領域によって示されるような望むアドレスバイト数、続いてD量領域によって選ばれる出力データの大きさが送信されなければなりません。出力データは指定された保護時間(GT)後に発行されます。REPERT命令と組み合わせると、繰り返しの反復毎にアドレスが送られなければならない、毎回の出力データ採取後に行われることを意味します。LDSでのREPERT使用時、直接アドレス指定の規約を使うため、自動アドレス進行はありません。

図30-8. LDS命令操作



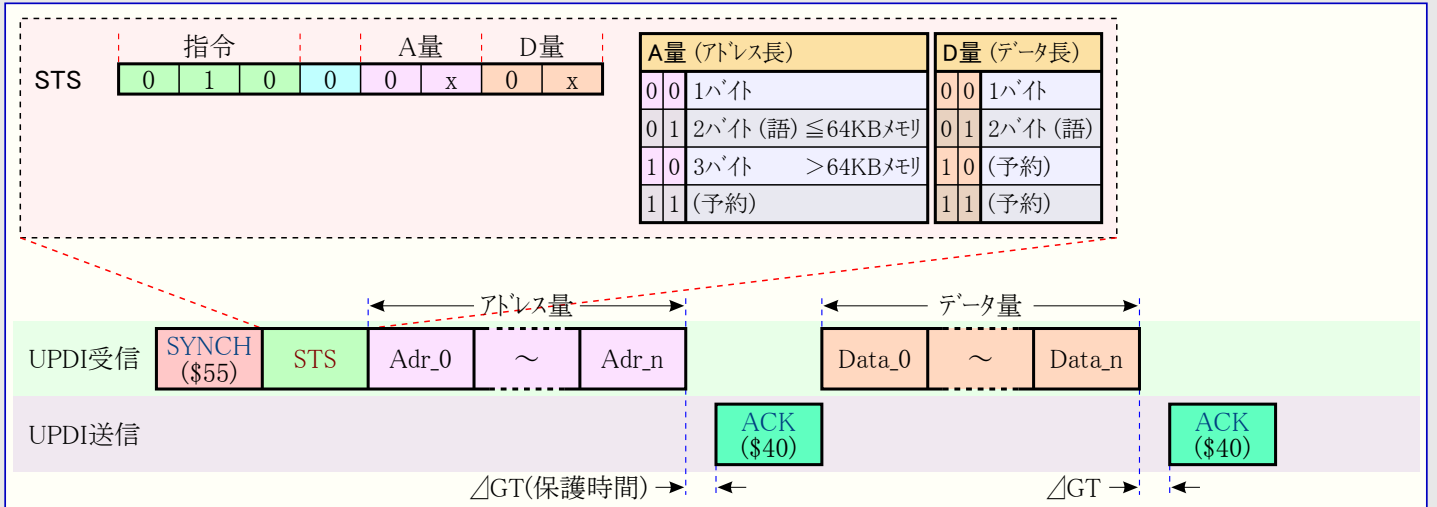
命令が復号され、復号された命令によって指示されるようにアドレスバイトが受信されると、DL層は要求された全情報をACC層に同期し、これはバス要求を処理してバスから緩衝されたデータを再びDL層に戻して同期します。これはUPDIからのデータ受信で考慮されなければならない同期化遅延を引き起こします。

30.3.3.2. STS – 直接アドレス指定を使うデータ空間へのデータ格納

STS命令はPHY層へ直列に移動されたデータをシステムバスアドレス空間へ格納するのに使われます。STS命令は直接アドレス指定に基づき、アドレスはデータ転送を開始するための命令に対する被演算子として与えられなければなりません。アドレスは被演算子の最初の組でデータが次の組です。アドレスとデータの被演算子の大きさは図30-9.で提示される大きさ(量)領域で与えられます。アドレスとデータの両方の最大の大きさは32ビットです。

STS命令はREPERT命令と組み合わせた時に繰り返しメモリアクセスを支援します。

図30-9. STS命令操作



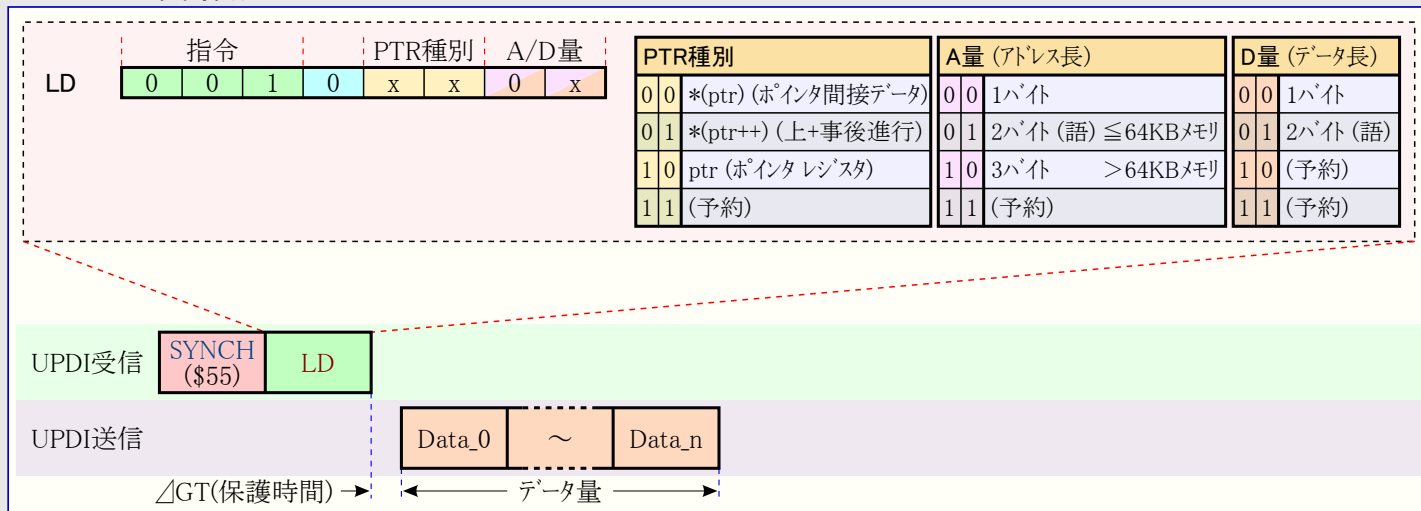
STS命令に関する転送規約は図30-9.で描かれ、以下のこの手順に従ってください。

1. アドレスを送られます。
2. 転送が成功した場合にUPDIから応答(ACK)が送り返されます。
3. STS命令で指定されるバイト数が送られます。
4. データが成功裏に送信されてしまった後に応答(ACK)が受信されます。

30.3.3.3. LD – 間接アドレス指定を使うデータ空間からのデータ取得

LD命令は直列読み出しのためにデータ空間からPHY層移動レジスタ内へデータを取得するのに使われます。LD命令は間接アドレス指定に基づき、UPDIのアドレスポインタがデータ空間読み込みアクセスに先立って書かれる必要があることを意味します。自動ポインタ事後増加動作が支援され、LD命令がREPERT命令と共に使われる時に有用です。それはUPDIポインタレジスタからLDを行うことも可能です。アドレスとデータの取得に対して支援される最大の大きさは32ビットです。

図30-10. LD命令操作



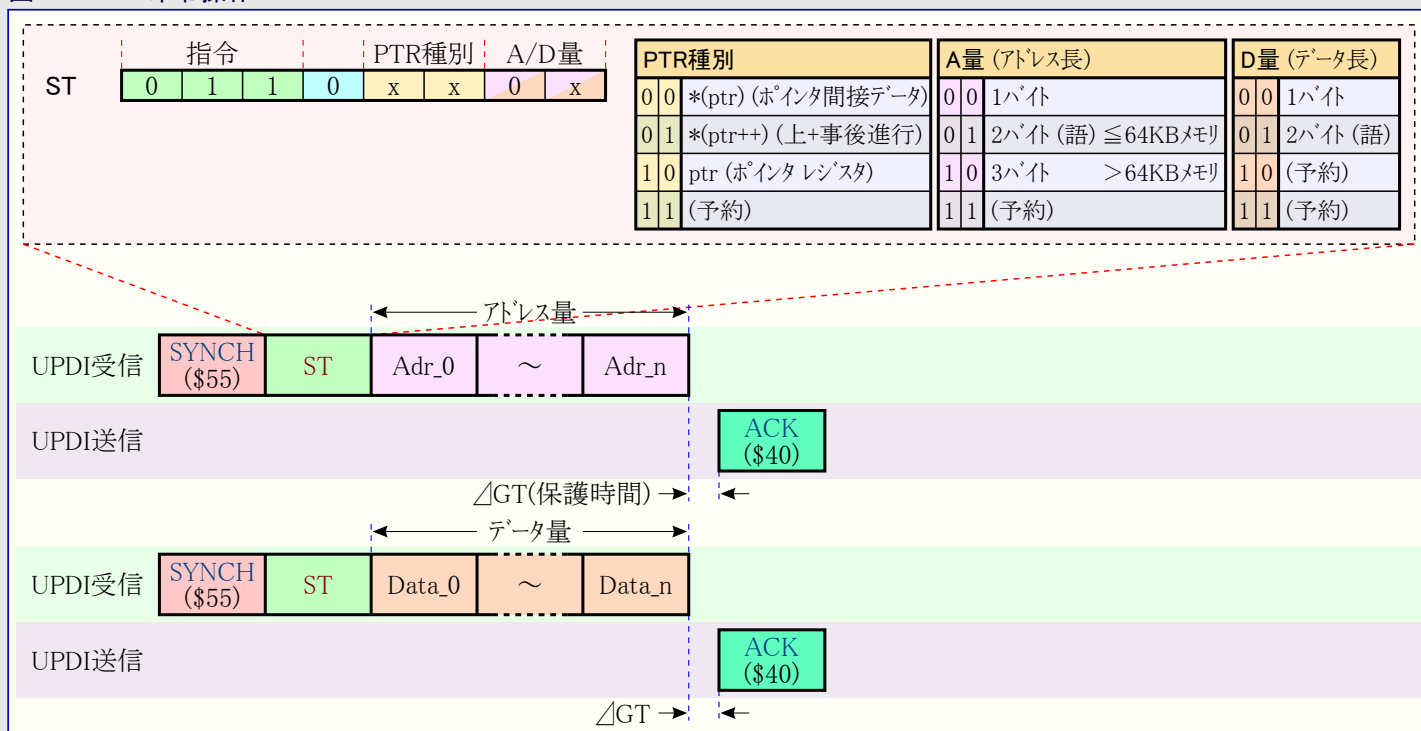
上図は保護時間区間後にデータが受信される代表的なLD手順の例を示します。UPDIポインタレジスタからのデータ取得は同じ転送処理規約に従います。

データ空間からのLD命令に対し、ポインタレジスタはST命令を使うことによってUPDIポインタレジスタを設定しなければなりません。ポインタレジスタ書き込み成功でACKが受信された後、LD命令は望むデータ量被演算子で設定しなければなりません。UPDIポインタレジスタに対する取得はLD命令で直接行われます。

30.3.3.4. ST – 間接アドレス指定を使うデータ空間へのデータ格納

ST命令はUPDI PHY移動レジスタからのデータをデータ空間へ格納するのに使われます。ST命令はPHY層へ直列に移動されるデータを格納するのに使われます。ST命令は間接アドレス指定に基づき、UPDIのアドレスポインタがデータ空間に先立って書かれる必要があることを意味します。自動ポインタ事後増加動作が支援され、ST命令がREPERT命令と共に使われる時に有用です。ST命令はポインタレジスタにUPDIアドレスポインタを格納するのに使われます。アドレスとデータを格納することに対して支援される最大の大きさは32ビットです。

図30-11. ST命令操作



上図はUPDIポインタレジスタへのST命令と通常データの格納の例を与えます。各命令の前に同期(SYNCH)文字が送られます。両方の場合でST命令が成功した場合にUPDIによって応答(ACK)が送り返されます。

UPDIポイントレジスタを書くには、以下の手順に従わなければなりません。

1. ST命令内のPTR種別領域を識別符'10'に設定してください。
2. アドレス量(A量)領域を望むアドレス量(長)に設定してください。
3. ST命令発行後、A量のバイト数のアドレスデータを送ってください。
4. アドレスレジスタへの書き込み成功を意味するACK文字を待ってください。

アドレスレジスタが書かれた後、データ送出が同様に行われます。

1. UPDIポイントレジスタによって指定されるアドレスに書くために、ST命令内のPTR種別領域を定義'00'に設定してください。PTR種別領域が'01'に設定されるなら、UPDIポイントは書き込みが実行された後で命令のデータ量(D量)領域に従って次のアドレスへ自動的に更新されます。
2. 命令内のデータ量(D量)領域を望むデータ量(長)に設定してください。
3. ST命令送出後、D量のバイト数のデータを送ってください。
4. バス配列への書き込み成功を意味するACK文字を待ってください。

REPERT命令と共に使われる時は、アドレスレジスタを書かれるべき塊の開始アドレスで設定して、各繰り返し周回に対してアドレスを自動的に増加するためにポイント事後増加レジスタを使うことが推奨されます。REPERT命令使用時、各ACK受信後にデータ量(D量)バイトのデータフレームを送ることができます。

30.3.3.5. LDCS – 制御/状態レジスタ空間からのデータ取得

LDCS命令はDL層に置かれたUPDI制御/状態(CS)レジスタ空間からの直列読み出しデータをPHY層移動レジスタに取得するのに使われます。LDCS命令はアドレスが命令被演算子の一部である直接アドレス指定に基づきます。LDCS命令はUPDI CSレジスタ空間だけをアクセスすることができます。この命令はバイトアクセスだけを支援し、データ量(長)は構成設定不可です。

図30-12. LDCS命令操作

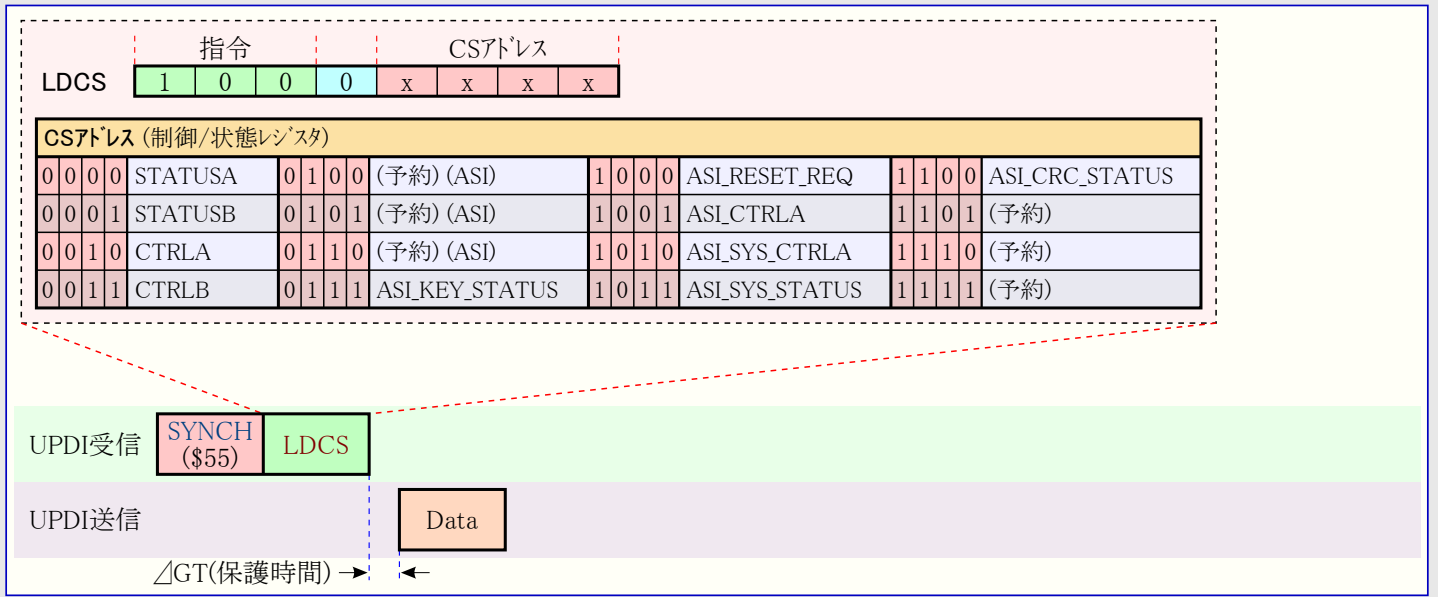


図30-12はLDCSデータ送信の代表的な例を示します。CS空間からのデータバイトは保護時間が完了した後にUPDIから送信されます。

30.3.3.6. STCS – 制御/状態レジスタ空間へのデータ格納

STCS命令はUPDI制御/状態(CS)レジスタ空間へデータを格納するのに使われます。データはPHY層移動レジスタに直列で移動され、選んだCSレジスタに完全なバイトとして書かれます。STCS命令はアドレスが命令被演算子の一部である直接アドレス指定に基づきます。STCS命令は内部UPDIレジスタ空間だけをアクセスすることができます。この命令はバイトアクセスだけを支援し、データ量(長)は構成設定不可です。

図30-13. STCS命令操作

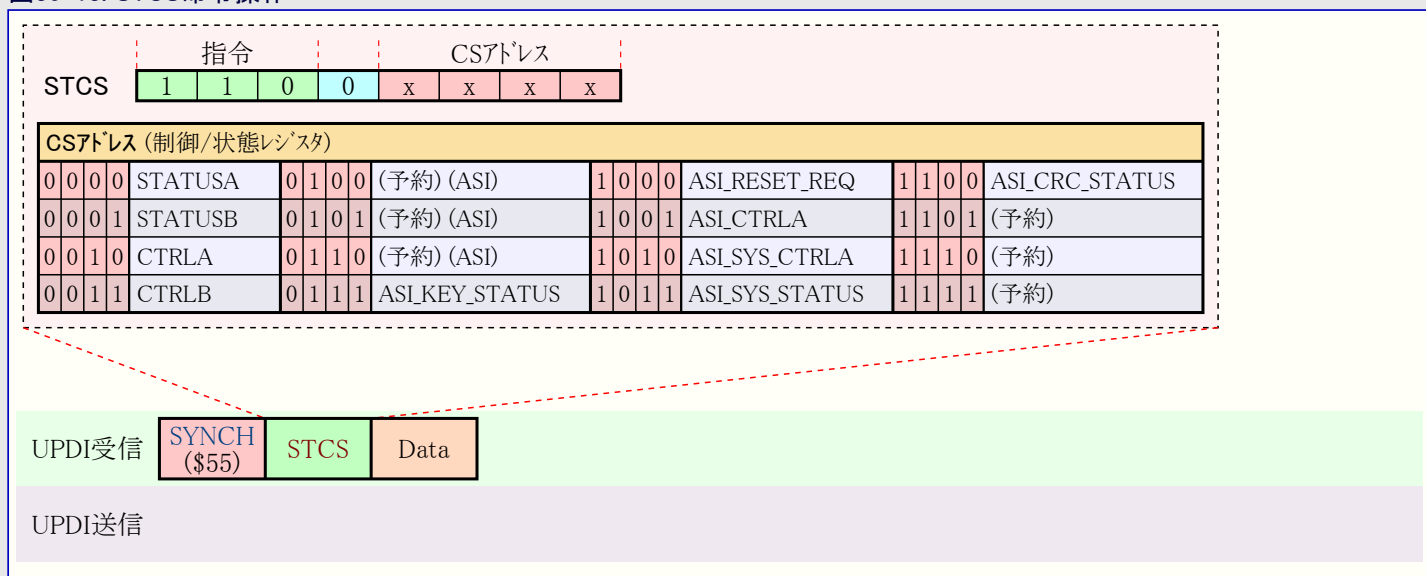


図30-13はSYNCH文字と命令フレーム後に送信されるデータフレームを示します。STCS命令は直ちにデータバイトを続けることができます。CS空間からのデータバイトは保護時間が完了した後にUPDIから送信されます。STとSTSと同様に、STCS命令から生成される応答はありません。

30.3.3.7. REPEAT - 命令繰り返し计数器設定

REPEAT命令はDL層でUPDI繰り返し计数器レジスタに繰り返し计数値を格納するのに使われます。命令がREPEATと共に使われると、REPEATが発行された後の最初の命令を除いて全ての命令でSYNCHと命令のフレームに対する規約付随作業を省略することができます。REPEATはメモリ命令(LD,ST,LDS,STS)に対して最も有用で、REPEAT命令自身を除き、全ての命令を繰り返すことができます。

データ量(D量)被演算子領域は繰り返し値の大きさを示します。256までの繰り返しだけが支援されます。REPEAT命令直後に設定される命令はRPT_0(の値)+1回発行されます。繰り返し计数器レジスタが'0'の場合、命令は1度だけ動きます。進行中の繰り返しはBREAK文字を送ることによってのみ中止することができます。

図30-14. REPEAT命令操作

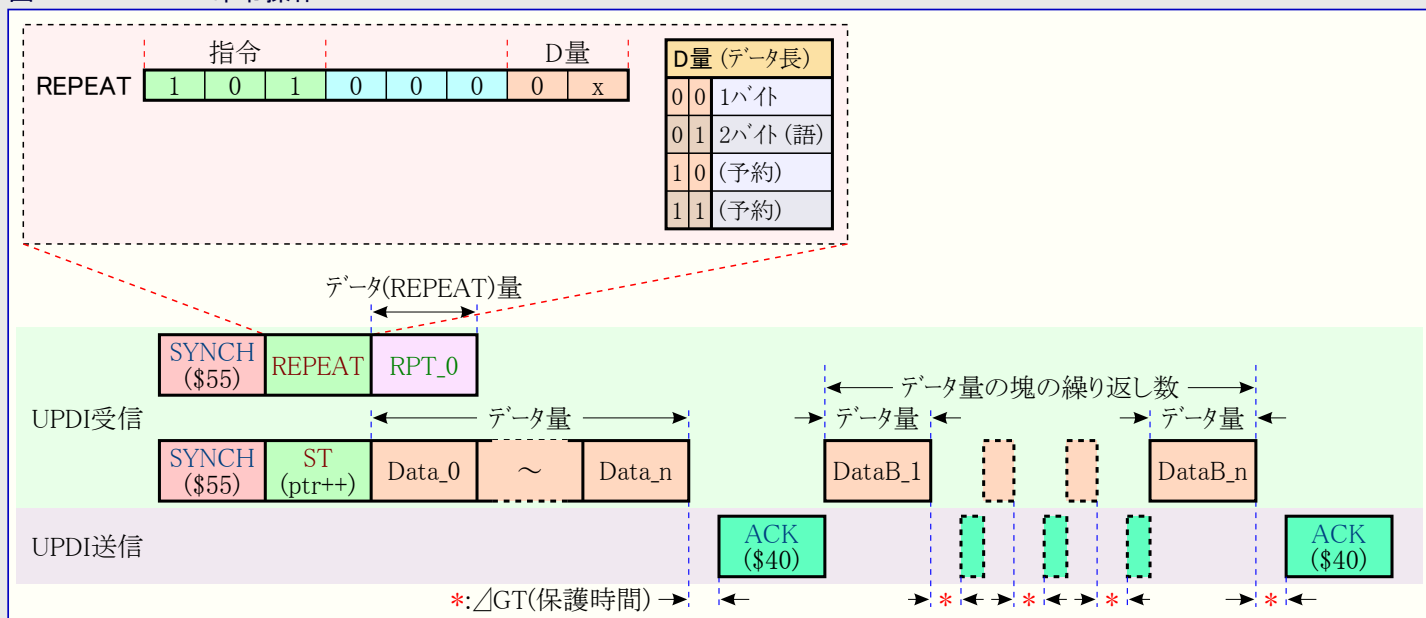
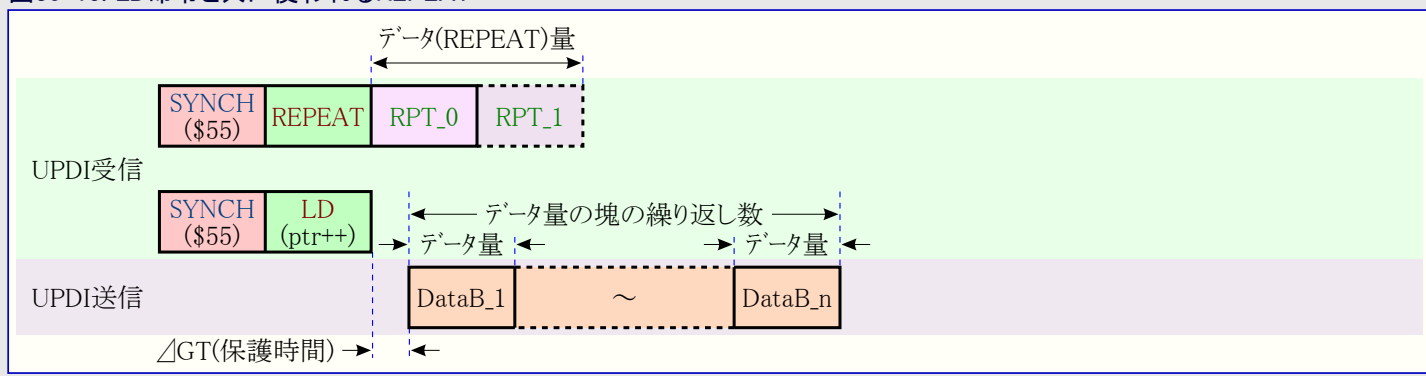


図30-14はポインタ事後増加操作を用いるST命令での繰り返し操作の例を与えます。REPEAT命令がRPT_0=nで送られた後、最初のST命令はSYNCHと命令のフレームで発行される一方で、次からのn回のST命令はST被演算子のデータ量に従ってデータバイトだけを送って応答(ACK)ハンドシェイク規約を維持することによって実行されます。

図30-15. LD命令と共に使われるREPEAT



LDに対して、データはLD命令後、継続的に出て来ます。最初のデータ塊での保護時間に注意してください。

間接アドレス指定(LD/ST)命令を使う場合、REPEATと組み合わせられる時は常にポインタ事後増加任意選択を使うことが推奨されます。LD/ST命令は最初の(データ量によって決められるデータバイト数の)データ塊の前にだけ必要です。さもないと、繰り返される全てのアクセス操作で同じアドレスがアクセスされます。直接アドレス指定(LDS/STS)命令については、データが受け取られ(LDS)または送られ(STS)得るのに先立って、命令規約で指定されるようにアドレスが常に送信されなければなりません。

30.3.3.8. KEY – 活性化鍵設定またはシステム情報部送出

KEY命令はデバイスで保護された機能を実行するために開くUPDIへの鍵(KEY)バイト通信、またはシステム情報部(SIB: System Information Block)を書き込み器に提供するのに使われます。鍵(KEY)によって有効にされる機能の概要について「表30-4. 鍵認証概要」をご覧ください。KEY命令に対しては64ビット鍵(KEY)の大きさだけが支援されます。SIBに対して支援される最大量は128ビットです。

図30-16. KEY命令操作

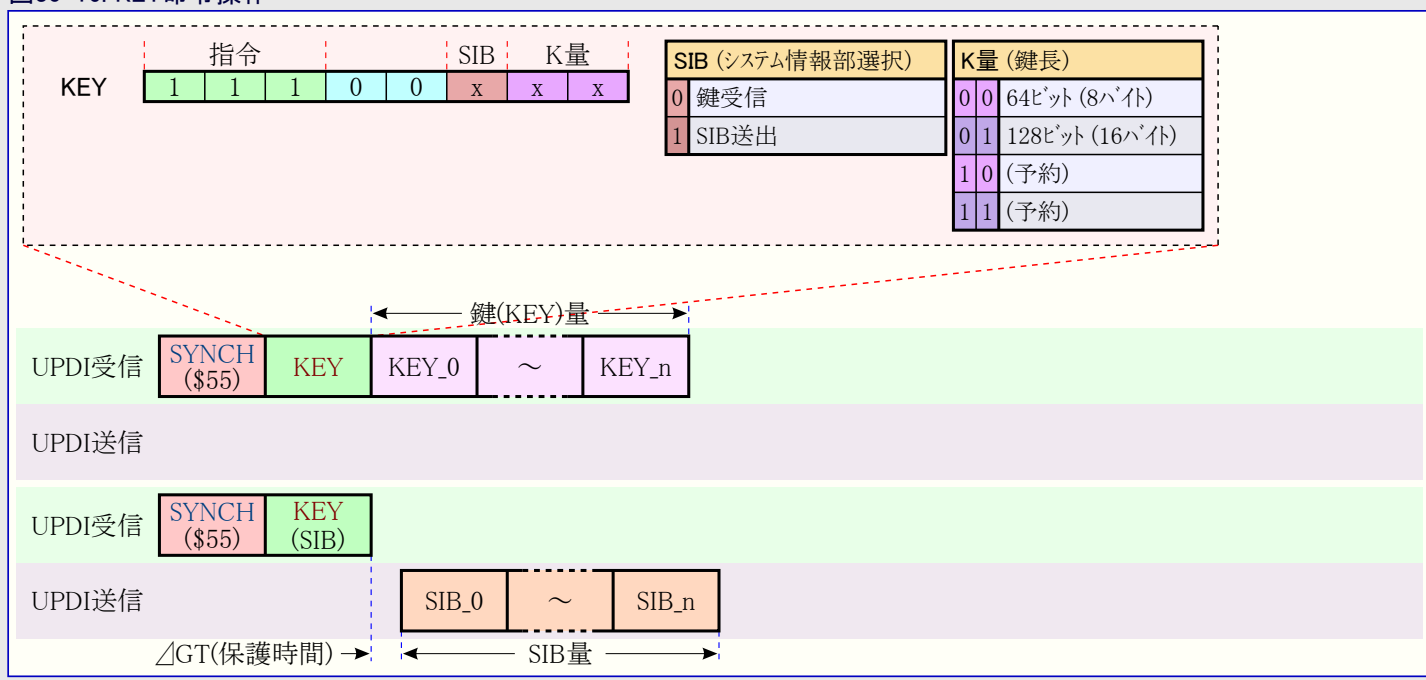


図30-16は鍵(KEY)の送信とSIBの受信を示します。両方の場合で、被演算子のK量領域は送受信されるフレーム数を決めます。UPDIへの鍵(KEY)送出後に応答(ACK)は有りません。SIB要求時、現在の保護時間設定に従ってデータがUPDIから送信されます。

30.3.4. ブート間でのフラッシュメモリのCRC検査

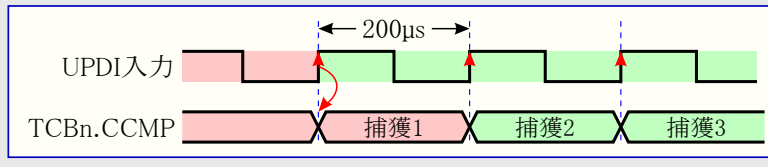
いくつかのデバイスはブート処理の一部としてフラッシュメモリ内容のCRC検査走行を支援します。この検査は例えばデバイスが施錠されていても実行することができます。このCRC検査の結果はASI_CRC状態(ASI_CRC_STATUS)レジスタで読むことができます。この機能のより多くの情報については「CRCSCAN」章を参照してください。

30.3.5. UPDIでのシステム クロック測定

入力捕獲機能を持つTCBへ接続されたUPDI事象を利用することにより、システム クロック周波数の正確な測定を得るのにUPDIを使うことが可能です。この機能のための推奨される構成の流れは以下の手順によって与えられます。

- ・計時器動作(CNTMODE)='011'(計数捕獲周波数測定動作)設定でTCB制御B(TCBn.CTRLB)レジスタを構成設定してください。
- ・事象割り込みを許可するためにTCB事象制御(TCBn.EVCTRL)レジスタで捕獲事象入力許可(CAPTEI)='1'を書いてください。TCBn.EVCTRLレジスタの事象端選択(EDGE)='0'を保ってください。
- ・UPDI SYNCH事象(生成部)をTCB(使用部)に配線するように事象システムを構成設定してください。
- ・UPDI事象を生成するのに使われる同期(SYNCH)文字については、各UPDI事象間で計時器によって捕獲される値でのもっと正確な測定を得るために10~50kbpsの範囲の低いボーレートを使うことが推奨されます。1つの特別な事は、捕獲が割り込みを起動するように構成設定される場合、最初の捕獲値は無視されなければなりません。入力事象に基づいて次に捕獲された値が測定に使われなければなりません。計時器に対して200μsの捕獲窓を与える10kbpsのUPDI同期(SYNCH)文字を使う例については図30-17をご覧ください。
- ・TCB比較/捕獲(TCBn.CCMP)レジスタを読むことによって同期(SYNCH)文字直後の捕獲値を読み出すことが可能で、また、値は一旦捕獲が行われると、CPUによってメモリに書くこともできます。より多くの詳細については「TCB - 16ビット タイマ/カウンタB型」章を参照してください。

図30-17. UPDIシステム クロック測定事象



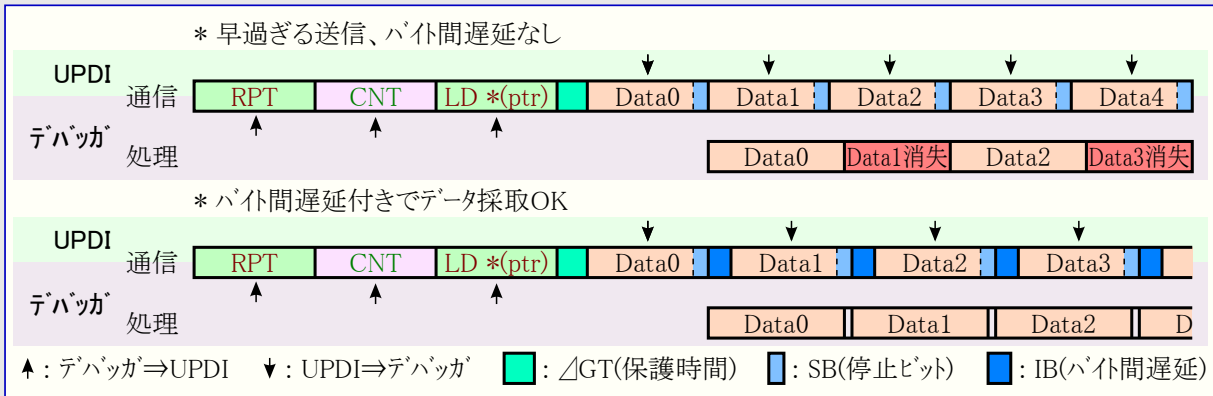
30.3.6. バイト間遅延

複数バイト転送(REPEATと組み合わせたLD)実行またはシステム情報部(SIB)読み出し時、出力データは継続的な流れで出て来ます。応用に依存して、受信側ではデータが早過ぎで送り出されるかもしれず、次の開始ビット到着の前に処理されるべきデータに対して十分な時間がないかもしれません。

バイト間遅延は複数バイト転送間に固定数のアイドルビットを挿入することによって動きます。バイト間遅延を追加する理由は全てのデータが同じ方向に進んでいる時に挿入される保護時間がないからです。

バイト間遅延機能は制御A(UPDI.CTRLA)レジスタのバイト間遅延許可(IBDLY)ビットに'1'を書くことによって許可することができます。結果として、デバグに対して採取時間を緩和するために各バイト間で2つの余分なアイドルビットが挿入されます。

図30-18. LDとRPTでのバイト間遅延例



- 注: 1. ∠GTは保護時間挿入を表します。
 2. SBは停止ビット用です。
 3. IBは挿入されたバイト間遅延です。
 4. フレームの残りは命令とデータです。

30.3.7. システム情報部

システム情報部(SIB: System Information Block)は「30.3.3.8. KEY – 活性化鍵設定またはシステム情報部送出」からKEY命令に従ってSIBビットを設定(1)することによって何時でも読み出すことができます。SIBは施錠ビット設定に関わらず、常にデバッグのためにアクセス可能で、デバイスとデバッグ用のシステム要素についての情報提供の簡潔な形式を提供します。この情報はデバイスとの正しい通信チャネルを認識して準備することに於いて重要です。SIBの出力はASCII符号として解釈されます。K量領域は完全なSIBを読み出す時に16バイトに設定されなければならない、8バイトの大きさはシステムIDだけを読み出すのに使うことができます。SIB形式記述とどのデータが異なる読み出し量で利用可能かについては図30-19をご覧ください。

図30-19. システム情報部形式

K量 (バイト)		バイト	ビット	領域名
16	8			
○	○	6～0	55～0	系統ID
○	○	7	7～0	(予約)
○	×	10～8	23～0	NVM版番号
○	×	13～11	23～0	OCD版番号
○	×	14	7～0	(予約)
○	×	15	7～0	デバッグ発振周波数

30.3.8. 鍵保護されたインターフェースの許可

いくつかの内部インターフェースと機能へのアクセスはUPDI鍵機構によって保護されます。鍵を認証するには、「30.3.3.8. KEY – 活性化鍵設定またはシステム情報部送出」で記述されるように、KEY命令を用いることによって正しい鍵データが送信されなければなりません。表30-4は利用可能な鍵と鍵有効で操作を行う時に必要とされる条件を記述します。

表30-4. 鍵認証概要

鍵名	説明	動作の必要条件	リセット
チップ消去	NVMチップ消去開始。 施錠ビット解除	なし	UPDI禁止/UPDIリセット
NVMPROG	NVMプログラミング活性	施錠ビット解除。ASIシステム状態(ASI_SYS_STATUS)レジスタのNVMプログラミング開始(NVMPROG)を設定(1)。	プログラミング終了/ UPDIリセット
使用者列書き込み	施錠されたデバイスで 使用者列書き込み	施錠ビット設定。ASIシステム状態(ASI_SYS_STATUS)レジスタの使用者列プログラミング開始(UROWPROG)を設定(1)。	鍵状態ビット書き込み/ UPDIリセット

表30-5はインターフェースを活性にするために移動入力されなければならない利用可能な鍵符号の概要を与えます。

表30-5. 鍵認証符号

鍵名	鍵符号 (LSB先行で書かれています。)	大きさ
チップ消去	\$4E564D4572617365	64ビット
NVMPROG	\$4E564D50726F6720	
使用者列書き込み	\$4E564D5573267465	

30.3.8.1. チップ消去

チップ消去を発行するには次の手順に従わなければなりません。

1. KEY命令を使うことによってチップ消去鍵を入力してください。チップ消去符号については「鍵認証符号」表をご覧ください。
2. KEY命令を使うことによってNVMプログラミング鍵を入力してください。NVMPROG識票については「鍵認証符号」表を御覧ください。これは新たに消去されたデバイスを(有効にされている場合の)CRC失敗から守ります。
3. チップ消去鍵状態(CHIPERASE)ビットとNVMプログラミング鍵状態(NVMPROG)ビットの両方が設定(1)されているのを確認するためにASI鍵状態(UPDI.ASI_KEY_STATUS)レジスタを読んでください。
4. ASリセット要求(UPDI.ASI_RESET_REQ)レジスタのリセット要求(RESREQ)ビット領域に識票を書いてください。これはシステムリセットを発行します。
5. システムリセットを解除するためにUPDI/ASI_RESET_REQレジスタに\$00を書いてください。
6. ASIシステム状態(UPDI.ASI_SYS_STATUS)レジスタのNVM施錠状態(LOCKSTATUS)ビットを読んでください。
7. チップ消去はUPDI.ASI_SYS_STATUSレジスタのLOCKSTATUSビットが'0'の時に終わります。LOCKSTATUSビットが'1'なら、手順5に戻ってください。

チップ消去成功後、施錠ビットが解除され、UPDIはシステムに対して完全なアクセス(権)を持ちます。施錠ビットが解除されるまで、UPDIはシステムバスにアクセスすることができず、制御/状態(CS)空間操作だけを実行することができます。

⚠ 注意 チップ消去中、BODは制御A(BOD.CTRLA)レジスタの活動/アイドル時動作(ACTIVE)ビット領域に書くことによってONを強制され、BOD構成設定(FUSE.BODCFG)ヒューズのBOD基準(LVL)ビット領域と制御B(BOD.CTRLB)レジスタのBOD基準(LVL)ビット領域を使います。供給電圧(VDD)がその閾値基準未満の場合、デバイスはVDDが十分に増されるまで使用不能です。より多くの詳細については「BOD – 低電圧検出器」章をご覧ください。

30.3.8.2. NVMプログラミング

デバイスが解錠されているなら、UPDIを用いてNVM制御器またはフラッシュメモリに直接書くことが可能です。これはNVMプログラミング中にCPUが活性の場合に予測不能なコード実行になるでしょう。これを避けるため、以下のNVMプログラミング手順が実行されなければなりません。

1. 「チップ消去」で記述されるようにチップ消去手順に従ってください。デバイスが既に解錠されているなら、この点(1.)を飛ばすことができます。
2. **KEY命令**を使うことによって**NVMPROG**鍵を入力してください。**NVMPROG**符号については**表30-5**をご覧ください。
3. **任意選択**: 鍵が認証されたかを知るために**ASI鍵状態(UPDI.ASI_KEY_STATUS)レジスタ**の**NVMプログラミング鍵状態(NVMPROG)ビット**を読んでください。
4. **ASIリセット要求(UPDI.ASI_RESET_REQ)レジスタ**の**リセット要求(RESREQ)ビット領域**に識票を書いてください。これはシステムリセットを発行します。
5. システムリセットを解除するためにUPDI.ASI_RESET_REQレジスタに\$00を書いてください。
6. **ASIシステム状態(UPDI.ASI_SYS_STATUS)レジスタ**の**NVMプログラミング開始(NVMPROG)ビット**を読んでください。
7. NVMプログラミングはNVMPROGが'1'の時に開始することができます。NVMPROGが'0'なら、手順6.に戻ってください。
8. UPDIを通してNVMにデータを書いてください。
9. UPDI.ASI_RESET_REQレジスタのRESREQビット領域に識票を書いてください。これはシステムリセットを発行します。
10. システムリセットを解除するためにUPDI.ASI_RESET_REQレジスタに\$00を書いてください。
11. プログラミングは完了です。

30.3.8.3. 使用者列プログラミング

使用者列プログラミング機能は施錠されたデバイスで使用者列(USERROW)に新しい値を書くことを許します。許可されたこの機能で書き込むには、以下の手順に従わなければなりません。

1. **KEY命令**を使うことによって**表30-5**で示される**使用者列書き込み(UROWWRITE)鍵**を入力してください。**UROWWRITE**符号については**表30-5**をご覧ください。
2. **任意選択**: 鍵が認証されたかを知るために**ASI鍵状態(UPDI.ASI_KEY_STATUS)レジスタ**の**使用者列書き込み鍵状態(UROWWRITE)ビット**を読んでください。
3. **ASIリセット要求(UPDI.ASI_RESET_REQ)レジスタ**の**リセット要求(RESREQ)ビット領域**に識票を書いてください。これはシステムリセットを発行します。
4. システムリセットを解除するためにUPDI.ASI_RESET_REQレジスタに\$00を書いてください。
5. **ASIシステム状態(UPDI.ASI_SYS_STATUS)レジスタ**の**使用者列プログラミング開始(UROWPROG)ビット**を読んでください。
6. 使用者列プログラミングはUROWPROGが'1'の時に開始することができます。UROWPROGが'0'なら、手順5.に戻ってください。
7. 使用者列に書かれるデータは最初にRAM内の緩衝部に書かれなければなりません。RAMの書き込み可能な領域は32バイトで、SRAMの最初の32バイトのアドレスにだけ使用者列データを書くことが可能です。このメモリ範囲外のアドレス指定は実行されない書き込みに終わります。書き込み手順の完了でデータが使用者列データに複写される時に、このデータが使用者列空間と1対1で割り当てられます。
8. 全ての使用者列データがSRAMに書かれると、**ASIシステム制御A(UPDI.ASI_SYS_CTRLA)レジスタ**の**使用者列書き込み終了(UROWWRITE_FINAL)ビット**に('1')を書いてください。
9. UPDI.ASI_SYS_STATUSレジスタのUROWPROGビットを読んでください。
10. 使用者列プログラミングはUROWPROGが'0'の時に完了されます。UROWPROGが'1'なら、手順9.に戻ってください。
11. **ASI鍵状態(UPDI.ASI_KEY_STATUS)レジスタ**の**使用者列書き込み鍵状態(UROWWRITE)ビット**を書いてください。
12. **ASIリセット要求(UPDI.ASI_RESET_REQ)レジスタ**の**リセット要求(RESREQ)ビット領域**に識票を書いてください。これはシステムリセットを発行します。
13. システムリセットを解除するためにUPDI.ASI_RESET_REQレジスタに\$00を書いてください。
14. 使用者列プログラミングは完了です。

この動作形態でSRAMからデータを読み戻すことはできません。SRAMの最初の32バイトへの書き込みだけが許されます。

30.3.9. 事象

UPDIは以下の事象を生成することができます。

表30-6. UPDIでの事象生成部

生成部名		説明	事象型	生成クロック領域	事象長
周辺機能	事象				
UPDI	SYNCH	同期(SYNC)文字	レベル	CLK_UPDI	CLK_UPDIに同期したUPDIピン入力でのSYNC文字

この事象はSYNCH文字で検出される各正端に対してUPDIクロックで設定され、UPDIからこの事象を禁止することはできません。

UPDIに事象使用部はありません。

事象型と事象システム構成設定に関するより多くの詳細については「EVSYS – 事象システム」章を参照してください。

30.3.10. 休止形態動作

UPDI PHY層は全ての休止動作と無関係に動き、UPDIはデバイスの休止状態と無関係に接続したデバッグに対して常にアクセス可能です。システムがシステムクロックをOFFにする休止動作へ入る場合、UPDIはシステムバスのアクセス及びメモリと周辺機能の読み込みができません。許可されると、UPDIはUPDIが常にデバイスの残りとの接触を持つようにシステムクロックを要求します。従って、UPDI PHY層クロックは休止動作の設定によって影響を及ぼされません。ASIシステム状態(UPDI.ASI_SYS_STATUS)レジスタのシステム領域休止中(INSLEEP)ビットを読むことにより、システム領域が休止動作かを監視することが可能です。

ASIシステム制御A(UPDI.ASI_SYS_CTRLA)レジスタのシステムクロック要求(CLKREQ)ビットを書くことにより、休止動作へ行く時に停止することからシステムクロックを守ることが可能です。このビットが設定(1)される場合、システム休止動作状態が模倣され、例え最も深い休止動作でも、UPDIはシステムバスをアクセスして周辺機能レジスタを読むことができます。

CLKREQビットはUPDIが許可される時に既定で'1'で、これは既定操作が休止動作中にシステムクロックをON状態に保つことを意味します。

30.4. レジスタ要約

変位	略称	ビット位置	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
+\$00	STATUSA	7~0	UPDIREV3~0							
+\$01	STATUSB	7~0							PESIG2~0	
+\$02	CTRLA	7~0	IBDLY		PARD	DTD	RSD		GTVAL2~0	
+\$03	CTRLB	7~0				NACKDIS	CCDETDIS	UPDIDIS		
+\$04 ~ +\$06	予約									
+\$07	ASL_KEY_STATUS	7~0			UROWWRITE	NVMPROG	CHIPERASE			
+\$08	ASL_RESET_REQ	7~0	RSTREQ7~0							
+\$09	ASL_CTRLA	7~0							UPDCLKSEL1,0	
+\$0A	ASL_SYS_CTRLA	7~0							UROWWRITE_FINAL	CLKREQ
+\$0B	ASL_SYS_STATUS	7~0			RSTSYS	INSLEEP	NVMPROG	UROWPROG		LOCKSTATUS
+\$0C	ASL_CRC_STATUS	7~0						CRC_STATUS2~0		

30.5. レジスタ説明

これらのレジスタは特別な命令でUPDIを通してだけ読み込み可能で、CPUを通して読み込み可能ではありません。

30.5.1. STATUSA – 状態A (Status A)

名称 : STATUSA

変位 : +\$00

リセット : \$20

特質 : -

ビット	7	6	5	4	3	2	1	0
	UPDIREV3~0							
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	1	0	0	0	0	0

● ビット7~4 – UPDIREV3~0 : UPDI改訂 (UPDI Revision)

このビット領域は現在のUPDI実装の改訂(番号)を含みます。

30.5.2. STATUSB – 状態B (Status B)

名称 : STATUSB

変位 : +\$01

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						PESIG2~0		
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

● ビット2~0 – PESIG2~0 : UPDI異常識票 (UPDI Error Signature)

このビット領域はUPDI異常識票を記述し、内部UPDI異常状態発生時に設定されます。PESIGビット領域はデバッグからの読み込みで解消されます。

表30-7. 有効な異常識票

PESIG2~0	異常形式	異常説明
0 0 0	異常なし	検出された異常なし(既定)
0 0 1	パリティ誤り	パリティビットの不正な採取
0 1 0	フレーム異常	停止ビットの不正な採取
0 1 1	アクセス層制限時間超過異常	UPDIはアクセス層からデータや応答を得られないことが有り得ます。
1 0 0	クロック再生異常	開始ビットの不正な採取
1 0 1	-	(予約)
1 1 0	バス異常	アドレス異常またはアクセス優先権異常
1 1 1	競合異常	UPDIピンでの駆動競合を示します。

30.5.3. CTRLA – 制御A (Control A)

名称 : CTRLA

変位 : +\$02

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
	IBDLY		PARD	DTD	RSD	GTVAL2~0		
アクセス種別	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

● ビット7 – IBDLY : バイト間遅延許可 (Inter-Byte Delay Enable)

このビットへの'1'書き込みが複数バイトLD(S)命令を行う時にUPDIから送信される各データバイト間に固定長のバイト間遅延を許可します。固定長は2つのアイドルビットです。

●ビット5 – PARD : パリティ禁止 (Parity Disable)

このビットに'1'を書くことがパリティビットを無視することによってUPDIでのパリティ検出を禁止します。この機能は試験中にだけ使うことが推奨されます。

●ビット4 – DTD : 制限時間検出禁止 (Disable Time-Out Detection)

このビットに'1'を書くことがPHY層での制限時間検出を禁止し、これは指定された時間(65536 UPDIクロック周期)内にACC層からの応答を要求します。

●ビット3 – RSD : 応答符号禁止 (Response Signature Disable)

このビットに'1'を書くことがUPDIによって生成される応答符号も禁止します。これはNVM空間に大きな塊のデータを書く時に規約の付随処理を最小に減らします。システムバスをアクセスする時にUPDIは遅れを経験するかもしれません。遅れが予測可能な場合、応答符号を禁止することができ、さもないければ、データの消失が起こるかもしれません。

●ビット2~0 – GTVAL2~0 : 保護時間値 (Guard Time Value)

このビット領域は転送方向が受信から送信に切り替わる時にUPDIによって使われる保護時間値を選びます。

値	000	001	010	011	100	101	110	111
説明 (保護時間:追加ビット周期数)	128(既定)	64	32	16	8	4	2	(予約)

30.5.4. CTRLB – 制御B (Control B)

名称 : CTRLB

変位 : +\$03

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
				NACKDIS	CCDETDIS	UPDIDIS		
アクセス種別	R	R	R	R/W	R/W	R/W	R	R
リセット値	0	0	0	0	0	0	0	0

●ビット4 – NACKDIS : NACK応答禁止 (Disable NACK Response)

このビットに'1'を書くことがLD(S)またはST(S)操作進行中にシステムリセットが発行される時にUPDIによって送られるNACK符号を禁止します。

●ビット3 – CCDETDIS : 衝突/競合検出禁止 (Collision and Contention Detection Disable)

このビットに'1'を書くことが競合検出を禁止します。このビットへ'0'を書くことが競合検出を許可します。

●ビット2 – UPDIDIS : UPDI禁止 (UPDI Disable)

このビットに'1'を書くことがUPDI PHYインターフェースを禁止します。UPDIからのクロック要求は下げられ、UPDIはリセットされます。UPDIが禁止されると、全てのUPDI PHY層構成設定と鍵がリセットされます。

30.5.5. ASI_KEY_STATUS – ASI鍵状態 (ASI Key Status)

名称 : ASI_KEY_STATUS

変位 : +\$07

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
			UROWWRITE	NVMPROG	CHIPERASE			
アクセス種別	R	R	R/W	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

●ビット5 – UROWWRITE : 使用者列書き込み鍵状態 (User Row Write Key Status)

このビットは使用者列書き込み(UROWWRITE)鍵が成功裏に復号された場合に'1'に設定されます。このビットはプログラミング作業を正しくリセットするために使用者列書き込み手順の最後の部分として書かれなければなりません。

●ビット4 – NVMPROG : NVMプログラミング鍵状態 (NVM Programming Key Status)

このビットはNVMPROG鍵が成功裏に復号された場合に'1'に設定されます。このビットはNVMプログラミング手順が開始される時に解除(0)され、ASIシステム状態(ASI_SYS_STATUS)レジスタのNVMプログラミング開始(NVMPROG)ビットが設定(1)されます。

●ビット3 – CHIPERASE : チップ消去鍵状態 (Chip Erase Key Status)

このビットはチップ消去(CHIPERASE)鍵が成功裏に復号された場合に'1'に設定されます。このビットは「チップ消去」項で記述されるチップ消去手順の一部として発行されるリセット要求によって解除(0)されます。

30.5.6. ASI_RESET_REQ – ASIリセット要求 (ASI Reset Request)

名称 : ASI_RESET_REQ
変位 : +\$08
リセット : \$00
特質 : -

このアドレスにリセット識別票を書く時にシステムへリセットが合図されます。

ビット	7	6	5	4	3	2	1	0
	RSTREQ7~0							
アクセス種別	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット7~0 – RSTREQ7~0 : リセット要求 (Reset Request)

UPDIはこのレジスタからシステムリセットを発行する時にリセットされません。

値	\$00	\$59	その他
名称	RUN	RESET	-
説明	リセット条件解除	標準リセット	(予約)

30.5.7. ASI_CTRLA – ASI制御A (ASI Control A)

名称 : ASI_CTRLA
変位 : +\$09
リセット : \$03
特質 : -

ビット	7	6	5	4	3	2	1	0
							UPDICKSEL1,0	
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	1	1

●ビット1,0 – UPDICKSEL1,0 : UPDIクロック選択 (UPDI Clock Divider Select)

これらのビット書き込みはUPDIクロック出力周波数を選びます。リセット後の既定設定は4MHzで許可されます。他の何れかのクロック出力選択はBODが最高レベルの時にだけ推奨されます。他の全てのBOD設定に対しては、既定の4MHz選択が推奨されます。

値	0 0	0 1	1 0	1 1
説明	(予約)	16MHz UPDIクロック	8MHz UPDIクロック	4MHz UPDIクロック (既定)

30.5.8. ASI_SYS_CTRLA – ASIシステム制御A (ASI System Control A)

名称 : ASI_SYS_CTRLA
変位 : +\$0A
リセット : \$00
特質 : -

ビット	7	6	5	4	3	2	1	0
							UROWWRITE_FINAL	CLKREQ
アクセス種別	R	R	R	R	R	R	R/W	R/W
リセット値	0	0	0	0	0	0	0	0

●ビット1 – UROWWRITE_FINAL : 使用者列書き込み終了 (User Row Programming Done)

このビットは使用者列データがSRAMに書かれてしまった時に書かれなければなりません。このビットへの'1'書き込みはフラッシュメモリへの使用者列データ書き込みの処理を開始します。

UPDIによって使用者列データがSRAMに書かれる前にこのビットが('1')を書かれた場合、CPUは書かれるデータなしで進行します。

このビットは使用者列書き込み鍵が成功裏に復号された場合にだけ書き込み可能です。

●ビット0 – CLKREQ : システム クロック要求 (Request System Clock)

このビットが'1'を書かれた場合、ASIはシステムの休止動作と無関係にシステム クロックを要求します。これはUPDIに対してシステムが休止動作の場合でもアクセス(ACC)層をアクセスすることを可能にします。

このビットへの'0'書き込みはクロック要求を降ろします。

このビットはUPDIが禁止される時にリセットされます。

このビットはUPDIがどのプログラミング動作形態(ヒューズまたは高電圧)で許可された時でも既定によって設定(1)されます。

30.5.9. ASI_SYS_STATUS – ASIシステム状態 (ASI System Status)

名称 : ASI_SYS_STATUS

変位 : +\$0B

リセット : \$01

特質 : -

ビット	7	6	5	4	3	2	1	0
			RSTSYS	INSLEEP	NVMPROG	UROWPROG		LOCKSTATUS
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	1

●ビット5 – RSTSYS : システム リセット活性 (System Reset Active)

このビットが'1'に設定されると、システム領域で有効なリセットがあります。このビットが'0'に設定されると、システムはリセット状態ではありません。

このビットは読み込みで'0'に設定されます。

ASIリセット要求(UPDI.ASI_RESET_REQ)レジスタで保持されるリセットもこのビットに影響を及ぼします。

●ビット4 – INSLEEP : システム領域休止中 (System Domain in Sleep)

このビットが'1'に設定されると、システム領域はアイドルまたはより深い**休止動作**です。このビットが'0'に設定されると、システムはどの休止動作でもありません。

●ビット3 – NVMPROG : NVMプログラミング開始 (Start NVM Programming)

このビットが'1'に設定されると、UPDIからNVMプログラミングを開始することができます。

UPDIが終了される時にシステムはUPDIリセット要求(ASI_RESET_REQ)レジスタを通してリセットされなければなりません。

●ビット2 – UROWPROG : 使用者列プログラミング開始 (Start User Row Programming)

このビットが'1'に設定されると、UPDIから使用者列プログラミングを開始することができます。

使用者列データがRAMに書かれてしまうと、ASIシステム制御A(UPDI.ASI_SYS_CTRLA)レジスタの使用者列書き込み終了(UROWWRITE_FINAL)ビットは('1'を書かなければなりません)。

●ビット0 – LOCKSTATUS : NVM施錠状態 (NVM Lock Status)

このビットが'1'に設定されると、デバイスは施錠されています。**チップ消去**が行われて施錠ビットが'0'に設定された場合、このビットは'0'として読みます。

30.5.10. ASI_CRC_STATUS – ASI CRC状態 (ASI CRC Status)

名称 : ASI_CRC_STATUS

変位 : +\$0C

リセット : \$00

特質 : -

ビット	7	6	5	4	3	2	1	0
						CRC_STATUS2~0		
アクセス種別	R	R	R	R	R	R	R	R
リセット値	0	0	0	0	0	0	0	0

●ビット2~0 – CRC_STATUS2~0 : CRC実行状況 (CRC Execution Status)

このビット領域はCRC換算の状態を示します。このビット領域は(どれか1つのビットだけが'1'の)単一ビット活性符号化されます。

値	0 0 0	0 0 1	0 1 0	1 0 0	その他
説明	不許可	CRC許可、多忙	CRC許可、成功(OK)符号で終了	CRC許可、失敗(FAILED)符号で終了	(予約)

31. 電気的特性

31.1. お断り

代表値は別に指定がなければ、 $T=25^{\circ}\text{C}$ と $V_{DD}=3\text{V}$ で測定されます。全ての最小と最大の値は別に指定がなければ、動作温度と動作電圧に渡って有効です。

31.2. 絶対最大定格

本項で一覧にされるこれらを超える負荷はデバイスに定常的な損傷を引き起こすかもしれません。これは負荷定格だけで、本仕様の動作部分で示されるこれらを超える他の条件やそれらでのデバイスの機能的な動作は含まれません。長時間絶対最大定格状態に晒すことはデバイスの信頼性に影響を及ぼすかもしれません。

表31-1. 絶対最大定格

シンボル	説明	条件	最小	最大	単位
VDD	電源電圧		-0.5	6	V
IVDD	VDDピンへの電流	$T=-40\sim 85^{\circ}\text{C}$		200	mA
		$T=85\sim 125^{\circ}\text{C}$		100	
IGND	GNDピンの電流出力	$T=-40\sim 85^{\circ}\text{C}$		200	mA
		$T=85\sim 125^{\circ}\text{C}$		100	
VRST	GNDに対するRESETピン電圧		-0.5	13	V
Vpin	GNDに対するピン電圧		-0.5	$V_{DD}+0.5$	
IPIN	入出力ピン吸い込み/吐き出し電流		-40	40	mA
Ic1 (注)	RESETピンを除く入出力ピン注入電流	$V_{pin} < \text{GND}-0.6\text{V}$ または $5.5\text{V} < V_{pin} \leq 6.1\text{V}$ 、 $4.9\text{V} < V_{DD} \leq 5.5\text{V}$	-1	1	
Ic2 (注)	RESETピンを除く入出力ピン注入電流	$V_{pin} < \text{GND}-0.6\text{V}$ または $V_{pin} \leq 5.5\text{V}$ $V_{DD} \leq 4.9\text{V}$	-15	15	
Ictot	RESETピンを除く入出力ピン総注入電流		-45	45	
Tstorage	保存温度		-65	150	$^{\circ}\text{C}$

注: - V_{pin} が $\text{GND}-0.6\text{V}$ よりも低い場合、電流制限抵抗が必要とされます。負DC注入電流制限抵抗は $R=(\text{GND}-0.6\text{V}-V_{pin})/I_{cn}$ として計算されます。
 - V_{pin} が $V_{DD}+0.6\text{V}$ よりも高い場合、電流制限抵抗が必要とされます。正DC注入電流制限抵抗は $R=(V_{pin}-(V_{DD}+0.6\text{V}))/I_{cn}$ として計算されます。



VRSTMAX=13V

RESETピンを12V供給元に接続する時に行き過ぎ(過電圧)を避けるために注意が払われるべきです。ピンを絶対最大定格を超える電圧に晒すことはピンのESD保護回路を活性にし得て、それは電圧が概ね10V以下に持ってこられるまで活性に留まります。12V駆動部は(過電圧状態によって活動にされているなら、)活動状態でESD保護を保ち、同時にそれを通して電流を駆動し、潜在的にデバイスへ恒久的な損傷を引き起こし得ます。

31.3. 全般動作定格

デバイスは有効であるべきデバイスの他の全ての電気的特性と代表特性のために、本項で一覧にされる定格内で動作しなければなりません。

表31-2. 全般動作条件

シンボル	説明	条件	最小	最大	単位
VDD	電源電圧		1.8 (注2)	5.5	V
T	動作温度範囲 (注1)	標準温度範囲	-40	105	$^{\circ}\text{C}$
		拡張温度範囲 (注3)	-40	125	

注1: デバイス温度範囲についてはデバイス注文字符を参照してください。

注2: 動作は1.8VまたはBOD起動基準(VBOD)まで保証されます。VBODはいくつかのデバイスについて最低動作供給電圧以下かもしれません。この場合、デバイスは製造中に $V_{DD}=VBOD$ に下げて検査されます。

- チップ消去の間にBODはONを強制されます。 V_{DD} 供給電圧が構成設定したVBOD以下の場合、チップ消去は失敗します。
 「チップ消去」をご覧ください。

注3: 拡張温度範囲は最小2.7Vが保証されるだけです。

表31-3. 動作電圧と周波数

シンボル	説明	条件	最小	最大	単位
CLK_CPU	動作システム クロック周波数	VDD=1.8~5.5V, T=-40~105°C (注1)	0	5	MHz
		VDD=2.7~5.5V, T=-40~105°C (注2)	0	10	
		VDD=4.5~5.5V, T=-40~105°C (注3)	0	20	
		VDD=2.7~5.5V, T=-40~125°C (注2)	0	8	
		VDD=4.5~5.5V, T=-40~125°C (注3)	0	16	

注1: BODLEVEL0のVBODでの最小BOD起動レベルで保証される動作

注2: BODLEVEL2のVBODでの最小BOD起動レベルで保証される動作

注3: BODLEVEL7のVBODでの最小BOD起動レベルで保証される動作

最高動作周波数はVDDに依存します。次図で示されるように、最高周波数対VDDは1.8<VDD<2.7Vと2.7<VDD<4.5V間で直線です。

図31-1. 標準温度範囲、-40~105°Cの最高周波数対VDD

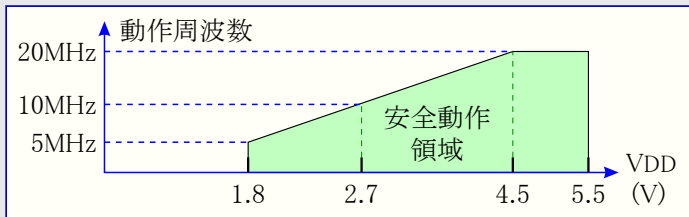
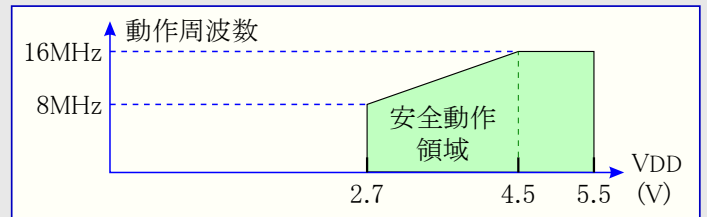


図31-2. 拡張温度範囲、-40~125°Cの最高周波数対VDD



31.4. 消費電力

値は特記される場所を除き、以下の条件下で測定された消費電力です。

- VDD=3V
- T=25°C
- 別の指定を除き、システム クロック元としてOSC20Mを使用
- 禁止された周辺機能、I/O駆動無しで測定されたシステム消費電力

表31-4. 活性とアイドルの動作での消費電力

動作	説明	条件	最小	代表	最大	単位
活動	活動動作消費電力	CLK_CPU=20MHz (OSC20M) VDD=5V	-	7.8	-	mA
		CLK_CPU=10MHz VDD=5V	-	4.3	-	
		(2分周OSC20M) VDD=3V	-	2.4	-	
		VDD=5V	-	2.4	-	
		CLK_CPU=5MHz (4分周OSC20M) VDD=3V	-	1.9	-	μA
		VDD=2V	-	0.9	-	
		CLK_CPU=32.768kHz (OSCULP32K) VDD=5V	-	16	-	
		VDD=3V	-	9.2	-	
アイドル	アイドル動作消費電力	VDD=2V	-	6.3	-	mA
		CLK_CPU=20MHz (OSC20M) VDD=5V	-	2.1	6.3 (注)	
		CLK_CPU=10MHz VDD=5V	-	1.3	3.1 (注)	
		(2分周OSC20M) VDD=3V	-	0.7	1.9 (注)	
		VDD=5V	-	0.9	2.0 (注)	μA
		CLK_CPU=5MHz (4分周OSC20M) VDD=3V	-	0.5	1.2	
		VDD=2V	-	0.3	-	
		CLK_CPU=32.768kHz (OSCULP32K) VDD=5V	-	4.3	20 (注)	
		VDD=3V	-	2.1	15 (注)	μA
		VDD=2V	-	1.4	-	

注: これらの値は特性付けに基づき、製造限度検査によって含まれません。

表31-5. パワーダウン、スタンバイとリセット動作での消費電力

動作	説明	条件		代表 (25℃)	最大 (25℃)	最大 (85℃) (注)	最大 (125℃)	単位
スタンバイ	スタンバイ動作消費電力	内部OSCULP32Kからの 1.024kHzでRTC走行	VDD=3V	0.7	3.0	6.0	8.0	μA
パワーダウン /スタンバイ	全ての周辺機能が停止される時のパワーダウンとスタンバイの消費電力は同じです。	全周辺機能停止	VDD=3V	0.1	0.6	5.0	7.0	
リセット	リセット消費電力	リセット線プルダウン	VDD=3V	100	—	—	—	

注: これらの値は特性付けに基づき、製造限度検査によって含まれません。

31.5. 起き上がり時間

休止動作からの起き上がり時間は起き上がり信号の(有効)端から最初に行われる命令までが測定されます。

動作条件:

- VDD=3V
- T=25℃
- 別の指定を除き、システム クロック元としてOSC20Mを使用

表31-6. OSC20Mからの始動、リセット、起き上がりの時間

シンボル	説明	条件	最小	代表	最大	単位
	何れのリセット開放からの始動時間		—	200	—	μs
twakeup	アイドル休止動作から起き上がり時間	OSC20M : 20MHz, VDD=5V	—	1	—	
		OSC20M : 10MHz, VDD=3V	—	2	—	
		OSC20M : 5MHz, VDD=2V	—	4	—	
	スタンバイとパワーダウンの休止動作から起き上がり時間		—	10	—	

31.6. 周辺機能消費電力

様々な動作形態で各種入出力周辺機能に対して追加消費電流を計算するには下表を使ってください。

動作条件:

- VDD=3V
- T=25°C
- 別の指定を除き、システム クロック元としてOSC20Mを1MHzで使用
- 別の指定を除き、アイドル休止動作に於いて

表31-7. 周辺機能消費電力

周辺機能	条件	代表 (注)	単位
BOD - 低電圧検出器	継続動作	19	μA
	1kHzでの採取動作	1	
TCA - タイマ/カウンタA型	1MHzでの16ビット計数	13	
TCB - タイマ/カウンタB型	1MHzでの16ビット計数	7.5	
RTC - 実時間計数器	OSCULP32Kの32.768kHzでの16ビット計数	1	
WDT - ウォッチドッグ タイマ (OSCULP32Kを含む)		1	
OSC20M - 内部16/20MHz RC発振器		125	
AC - アナログ比較器		45	
ADC - A/D変換器	50ksps	325	
	100ksps	340	
OSCULP32K - 内部32kHz超低電力発振器		0.5	
USART - 万能同期非同期送受信器	9600bpsで許可	13	
SPI - 直列周辺インターフェース (主装置)	100kHzで許可	2	
TWI - 2線インターフェース (主装置)	100kHzで許可	24	
TWI - 2線インターフェース (従装置)	100kHzで許可	17	
フラッシュ メモリ プログラミング	消去動作	1.5	mA
	書き込み動作	3.0	

注: 単位部の消費電流のみです。システムの総消費電力を計算するには、この値を「消費電力」で一覧にされるような基礎消費電力に加えてください。

31.7. BODとPORの特性

表31-8. 電源特性

シンボル	説明	条件	最小	代表	最大	単位
SRON	電源ON傾斜		-	-	100	V/ms

表31-9. 電源ON/リセット(POR)特性

シンボル	説明	条件	最小	代表	最大	単位
VPOR	VDD下降でのPOR閾値電圧	0.5V/msまたはより遅い	0.8	-	1.6	V
	VDD上昇でのPOR閾値電圧	VDD下降/上昇	1.4	-	1.8	

表31-10. 低電圧検出(BOD)特性

シンボル	説明	条件	最小	代表	最大	単位
VBOD	BOD起動基準(下降/上昇)	BODLEVEL7	3.9	4.2	4.5	V
		BODLEVEL2	2.4	2.6	2.9	
		BODLEVEL0	1.7	1.8	2.0	
VVLM	BOD起動基準に対するVLM閾値	BOD.VLMLVL='00'	–	4	–	%
		BOD.VLMLVL='01'	–	13	–	
		BOD.VLMLVL='10'	–	25	–	
VHYS	ヒステリシス	BODLEVEL7	–	80	–	mV
		BODLEVEL2	–	40	–	
		BODLEVEL0	–	25	–	
TBOD	検出時間	継続動作	–	7	–	μs
		1kHzでの採取動作	–	1	–	ms
		125kHzでの採取動作	–	8	–	
TStart	始動時間	許可から準備可までの時間	–	40	–	μs

31.8. 外部リセット特性

表31-11. 外部リセット特性

シンボル	説明	条件	最小	代表	最大	単位
VHVRST	確実な高電圧リセット検出		11.5	–	12.5	V
VRST_VIH	RESET用High入力電圧		0.8×VDD	–	VDD+0.2	
VRST_VIL	RESET用Low入力電圧		–0.2	–	0.2×VDD	
trST	RESETピン最小パルス幅		2.5	–	–	μs
RRST	RESETプルアップ抵抗	VReset=0V	20	–	60	kΩ

31.9. 発振器とクロック

動作条件:

- ・別の指定を除き、VDD=3V

表31-12. 20MHz内部発振器(OSC20M)特性

シンボル	説明	条件		最小	代表	最大	単位
fOSC20M	工場格納周波数値に対する16/20MHz選択時精度	VDD=3V工場校正後(注1)	T=0~70℃, VDD=1.8~4.5V(注3)	–2.0	–	2.0	%
		VDD=5V工場校正後(注1)	T=0~70℃, VDD=4.5~5.5V(注3)	–2.0	–	2.0	
	16/20MHz選択時精度		T=25℃, VDD=3.0V	–3.0	–	3.0	
		工場校正後	T=0~70℃, VDD=1.8~3.6V(注3)	–4.0	–	4.0	
			全動作範囲(注3)	–5.0	–	5.0	
fCAL	使用者校正範囲	OSC20M (注2) = 16MHz		14.6	–	17.5	MHz
		OSC20M (注2) = 20MHz		18.5	–	21.5	
%CAL	校正段階量			–	1.5	–	%
DC	デューティサイクル			–	50	–	
TStart	始動時間	2%精度内		–	8	–	μs

注1: 校正でのOSC20Mの説明をご覧ください。

注2: 速度仕様を超える発振器周波数はCPUクロックが常に仕様内であるように分周されなければなりません。

注3: これらの値は特性付けに基づき、製造検査限度によって含まれません。

表31-13. 32.768kHz内部発振器(OSCULP32K)特性

シンボル	説明	条件		最小	代表	最大	単位
$f_{OSCULP32K}$	精度	工場校正後	$T=25^{\circ}\text{C}, V_{DD}=3.0\text{V}$	-3	-	3	%
			$T=0\sim70^{\circ}\text{C}, V_{DD}=1.8\sim3.6\text{V}$ (注)	-10	-	10	
			全動作範囲 (注)	-30	-	30	
DC	デューティ サイクル			-	50	-	
T_{Start}	始動時間			-	250	-	μs

注: これらの値は特性付けに基づき、製造検査限度によって含まれません。

図31-3. 外部クロック波形特性

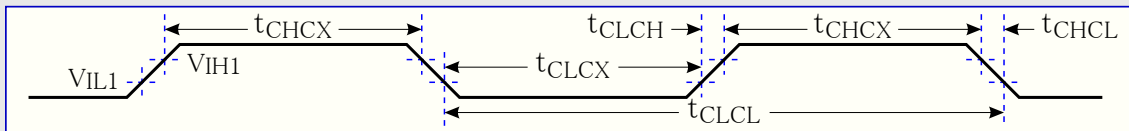


表31-14. 外部クロック特性

シンボル	説明	$V_{DD}=1.8\sim5.5\text{V}$		$V_{DD}=2.7\sim5.5\text{V}$		$V_{DD}=4.5\sim5.5\text{V}$		単位
		最小	最大	最小	最大	最小	最大	
f_{CLCL}	クロック周波数	0	5	0	10	0	20	MHz
t_{CLCL}	クロック周期	200		100		50		
t_{CHCX}	Highレベル時間	80		40		20		ns
t_{CLCX}	Lowレベル時間	80		40		20		

31.10. 入出力ピン特性

表31-15. 入出力ピン特性 (別に特記無き場合、T=-40～105℃、VDD=1.8～5.5V)

シンボル	説明	条件	最小	代表	最大	単位
V _{IL}	Lowレベル入力電圧 (RESETピンを除く)		-0.2	-	0.3×VDD	
V _{IL2}	Lowレベル入力電圧 (RESETピン)		-0.2	-	0.3×VDD	
V _{IH}	Highレベル入力電圧 (RESETピンを除く)		0.7×VDD	-	VDD+0.2	
V _{IH2}	Highレベル入力電圧 (RESETピン)		0.7×VDD	-	VDD+0.2	
V _{OL}	Lレベル出力電圧 (I/OとしてのRESETピンを除く)	VDD=1.8V, IOL=1.5mA	-	-	0.36	V
		VDD=3V, IOL=7.5mA	-	-	0.6	
		VDD=5V, IOL=15mA	-	-	1	
V _{OH}	Hレベル出力電圧 (I/OとしてのRESETピンを除く)	VDD=1.8V, IOH=1.5mA	1.44	-	-	V
		VDD=3V, IOH=7.5mA	2.4	-	-	
		VDD=5V, IOH=15mA	4	-	-	
V _{OL2}	Lレベル出力電圧 (I/OとしてのRESETピン)	VDD=1.8V, IOL=0.1mA	-	-	0.36	
		VDD=3V, IOL=0.25mA	-	-	0.6	
		VDD=5V, IOL=0.5mA	-	-	1	
V _{OH2}	Hレベル出力電圧 (I/OとしてのRESETピン)	VDD=1.8V, IOH=0.1mA	1.44	-	-	
		VDD=3V, IOH=0.25mA	2.4	-	-	
		VDD=5V, IOH=0.5mA	4	-	-	
I _{IH} /I _{IL}	I/Oピン入力漏れ電流 (I/OとしてのRESETピンを除く)	VDD=5.5V, High入力	-	<0.05	-	μA
		VDD=5.5V, Low入力	-	<0.05	-	
I _{total}	ピン群毎の最大結合吸い込み電流 (注1)		-	-	100	mA
	ピン群毎の最大結合吐き出し電流 (注1)		-	-	100	
t _{RISE}	上昇時間	VDD=3V, 負荷=20pF	-	2.5	-	ns
		VDD=5V, 負荷=20pF	-	1.5	-	
t _{FALL}	下降時間	VDD=3V, 負荷=20pF	-	2.0	-	ns
		VDD=5V, 負荷=20pF	-	1.3	-	
C _{PIN}	TOSCとTWIピンを除くI/Oピン容量		-	3	-	pF
	TOSCピン容量		-	5.5	-	
	TWIピン容量		-	10	-	
R _P	プルアップ抵抗		20	35	50	kΩ

注1: ピン群x (Px7～0)。全ての入出力ポートに対して結合した連続的な吸い込み/吐き出しの電流はこの限度を超えるべきではありません。

31.11. USART

図31-4. 主装置SPI動作でのUSART – 主装置動作でのタイミング必要条件

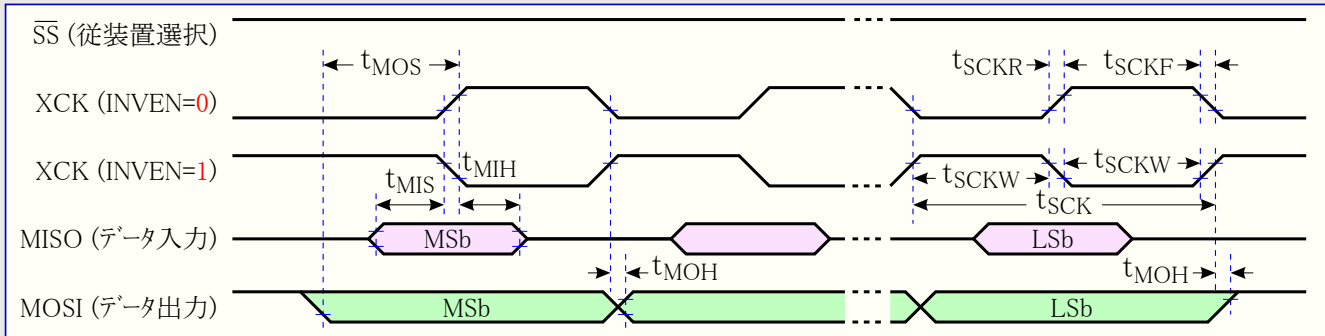


表31-16. 主装置SPI動作でのUSART – タイミング特性

シンボル	説明	条件	最小	代表	最大	単位
f_{SCK}	SCK周波数	主装置	–	–	10	MHz
t_{SCK}	SCK周期	主装置	100	–	–	
t_{SCKW}	SCK High/Low期間	主装置	–	$0.5 \times t_{SCK}$	–	
t_{SCKR}	SCK上昇時間	主装置	–	2.7	–	
t_{SCKF}	SCK下降時間	主装置	–	2.7	–	
t_{MIS}	入力データ 準備時間	主装置	–	10	–	ns
t_{MIH}	入力データ 保持時間	主装置	–	10	–	
t_{MOS}	SCK先行端対、出力データ 準備時間	主装置	–	$0.5 \times t_{SCK}$	–	
t_{MOH}	SCKからの出力遅延時間	主装置	–	1.0	–	

31.12. SPI

図31-5. SPI – 主装置動作でのタイミング必要条件

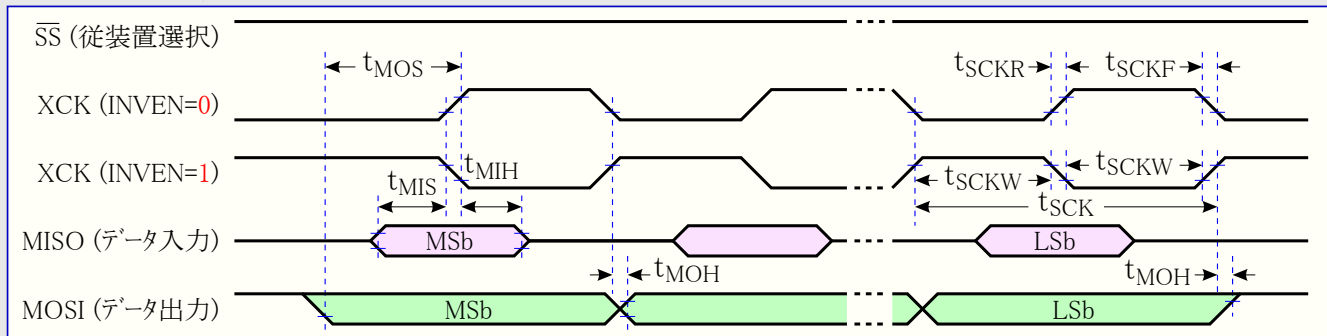


図31-6. SPI – 従装置動作でのタイミング必要条件

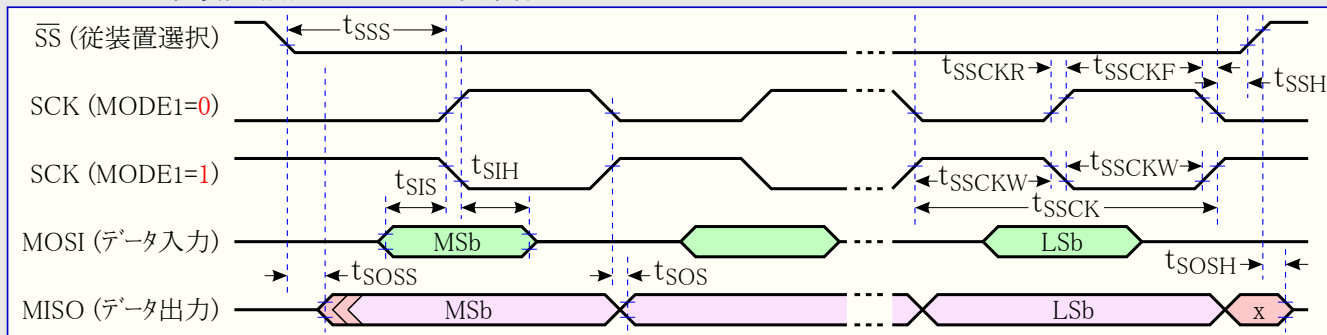


表31-17. SPI – タイミング特性

シンボル	説明	条件	最小	代表	最大	単位
f_{SCK}	SCKクロック周波数	主装置	–	–	10	MHz
t_{SCK}	SCK周期	主装置	100	–	–	ns
t_{SCKW}	SCK High/Low期間	主装置	–	$0.5 \times t_{SCK}$	–	
t_{SCKR}	SCK上昇時間	主装置	–	2.7	–	
t_{SCKF}	SCK下降時間	主装置	–	2.7	–	
t_{MIS}	入力データ準備時間	主装置	–	10	–	
t_{MIH}	入力データ保持時間	主装置	–	10	–	
t_{MOS}	SCK先行端対、出力データ準備時間	主装置	–	$0.5 \times t_{SCK}$	–	
t_{MOH}	SCKからの出力遅延時間	主装置	–	1.0	–	
f_{SSCK}	従装置SCKクロック周波数	従装置	–	–	5	MHz
t_{SSCK}	従装置SCK周期	従装置	$6 \times t_{CLK_PER}$	–	–	ns
t_{SSCKW}	SCK High/Low期間	従装置	$3 \times t_{CLK_PER}$	–	–	
t_{SSCKR}	SCK上昇時間	従装置	–	–	1600	
t_{SSCKF}	SCK下降時間	従装置	–	–	1600	
t_{SIS}	入力データ準備時間	従装置	0	–	–	
t_{SIH}	入力データ保持時間	従装置	$3 \times t_{CLK_PER}$	–	–	
t_{SSS}	SCK先行端に対する \overline{SS} ↓ 準備時間	従装置	–	t_{CLK_PER}	–	
t_{SSH}	SCK後行端からの \overline{SS} Low保持時間	従装置	–	t_{CLK_PER}	–	
t_{SOS}	SCKからの出力遅延時間	従装置	–	8.0	–	ns
t_{SOH}	SCKからの出力保持時間	従装置	–	13	–	
t_{SOSS}	\overline{SS} ↓ からの出力準備時間	従装置	–	11	–	
t_{SOSH}	\overline{SS} ↑ からの出力保持時間	従装置	–	8.0	–	

(訳注) 表31-17.の t_{SOH} は図31-6.で対応するシンボル記載がありません。

31.13. TWI

図31-7. TWI - タイミング必要条件

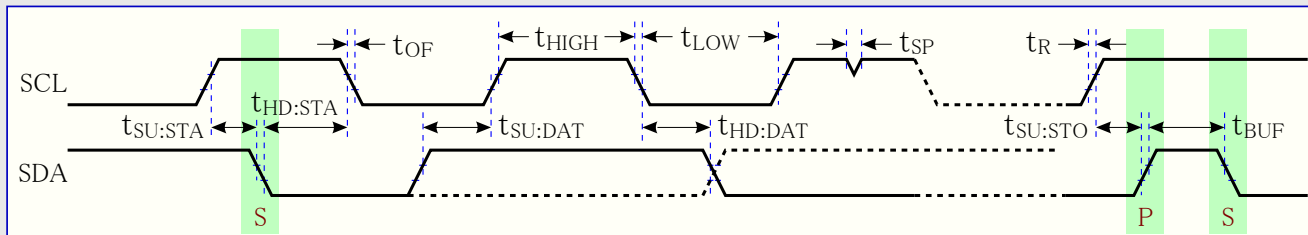


表31-18. TWI - タイミング特性 (注)

シンボル	説明	条件	最小	代表	最大	単位
f_{SCL}	SCLクロック周波数	最大周波数は10MHzのシステムクロックが必要で、同様にVDD=2.7~5.5VとT=-40~105°Cを必要とします。	0	-	1000	kHz
V_{IH}	Highレベル入力電圧		$0.7 \times VDD$	-	-	V
V_{IL}	Lowレベル入力電圧		-	-	$0.3 \times VDD$	
V_{HYS}	シュミットトリガ入力ヒステリシス電圧		$0.1 \times VDD$	-	$0.4 \times VDD$	
V_{OL}	Lowレベル出力電圧	$I_{OL}=20mA$, 高速動作+	-	-	$0.2 \times VDD$	mA
		$I_{OL}=3mA$, 標準動作, VDD>2V	-	-	0.4	
		$I_{OL}=3mA$, 標準動作, VDD≤2V	-	-	$0.2 \times VDD$	
I_{OL}	Lowレベル出力電流	$V_{OL}=0.4V$, $f_{SCL} \leq 400kHz$	3	-	-	pF
		$f_{SCL} \leq 1MHz$	20	-	-	
			-	-	-	
C_B	各バス線に対する容量性負荷	$f_{SCL} \leq 100kHz$	-	-	400	ns
		$f_{SCL} \leq 400kHz$	-	-	400	
		$f_{SCL} \leq 1MHz$	-	-	550	
t_R	SDAとSCL両方の出力上昇時間	$f_{SCL} \leq 100kHz$	-	-	1000	ns
		$f_{SCL} \leq 400kHz$	20	-	300	
		$f_{SCL} \leq 1MHz$	-	-	120	
t_{OF}	出力下降時間($V_{IHmin} \rightarrow V_{ILmax}$)	$10pF < \text{バス線容量} < 400pF$, $f_{SCL} \leq 400kHz$	$20 \times (VDD/5.5V)$	-	300	pF
		$f_{SCL} \leq 1MHz$	$20 \times (VDD/5.5V)$	-	120	
t_{SP}	入力濾波による尖頭雑音消去		0	-	50	μA
I_I	入力電流(ピン単位)	$0.1 \times VDD < V_I < 0.9 \times VDD$	-	-	1	
C_I	ピン入力容量		-	-	10	Ω
R_p	プルアップ抵抗値	$f_{SCL} \leq 100kHz$	$(VDD - V_{OL(max)})/I_{OL}$	-	$1000ns/(0.8473 \times C_B)$	
		$f_{SCL} \leq 400kHz$	-	-	$300ns/(0.8473 \times C_B)$	
		$f_{SCL} \leq 1MHz$	-	-	$120ns/(0.8473 \times C_B)$	
$t_{HD:STA}$	(再送)開始条件保持時間	$f_{SCL} \leq 100kHz$	4.0	-	-	μs
		$f_{SCL} \leq 400kHz$	0.6	-	-	
		$f_{SCL} \leq 1MHz$	0.26	-	-	
		開始条件	-	2.1	-	T_{SCL}
		再送開始条件	-	3.1	-	
t_{LOW}	SCLクロックLowレベル時間	$f_{SCL} \leq 100kHz$	4.7	-	-	μs
		$f_{SCL} \leq 400kHz$	1.3	-	-	
		$f_{SCL} \leq 1MHz$	0.5	-	-	
t_{HIGH}	SCLクロックHighレベル時間	$f_{SCL} \leq 100kHz$	4.0	-	-	μs
		$f_{SCL} \leq 400kHz$	0.6	-	-	
		$f_{SCL} \leq 1MHz$	0.26	-	-	
$t_{SU:STA}$	再送開始条件準備時間	$f_{SCL} \leq 100kHz$	4.7	-	-	T_{SCL}
		$f_{SCL} \leq 400kHz$	0.6	-	-	
		$f_{SCL} \leq 1MHz$	0.26	-	-	
		-	-	3	-	
$t_{HD:DAT}$	データ保持時間	$f_{SCL} \leq 100kHz$	0	-	3.45	μs
		$f_{SCL} \leq 400kHz$	0	-	0.9	
		$f_{SCL} \leq 1MHz$	0	-	0.45	
$t_{SU:DAT}$	データ準備時間	$f_{SCL} \leq 100kHz$	250	-	-	ns
		$f_{SCL} \leq 400kHz$	100	-	-	
		$f_{SCL} \leq 1MHz$	50	-	-	
$t_{SU:STO}$	停止条件準備時間	$f_{SCL} \leq 100kHz$	4	-	-	μs
		$f_{SCL} \leq 400kHz$	0.6	-	-	
		$f_{SCL} \leq 1MHz$	0.26	-	-	
		-	-	2	-	T_{SCL}

次頁へ続く

表31-18 (続き). TWI - タイミング特性 (注)

シンボル	説明	条件	最小	代表	最大	単位
t _{BUF}	停止条件→開始条件間 バス開放時間	f _{SCL} ≤ 100kHz	4.7	-	-	μs
		f _{SCL} ≤ 400kHz	1.3	-	-	
		f _{SCL} ≤ 1MHz	0.5	-	-	
		-	-	2	-	T _{SCL}

注: これらのパラメータは設計指針のためだけで製造に於いて検査されていません。

表31-19. SDA保持時間 (注1,2)

シンボル	説明	条件			最小	代表	最大	単位
t _{HD:DAT}	データ保持時間		fCLK_PER=5MHz	SDAHOLD='00'	–	800	–	ns
				SDAHOLD='01'	830	850	950	
				SDAHOLD='02'	830	850	950	
				SDAHOLD='03'	830	850	1270	
		主装置 (注3)	fCLK_PER=10MHz	SDAHOLD='00'	–	400	–	
				SDAHOLD='01'	430	450	550	
				SDAHOLD='02'	430	450	580	
				SDAHOLD='03'	430	550	1270	
			fCLK_PER=20MHz	SDAHOLD='00'	–	200	220	
				SDAHOLD='01'	230	250	350	
				SDAHOLD='02'	260	450	580	
				SDAHOLD='03'	380	600	1270	
		従装置 (注4)	全周波数	SDAHOLD='00'	90	150	220	
				SDAHOLD='01'	130	200	350	
				SDAHOLD='02'	260	400	580	
				SDAHOLD='03'	390	550	1270	

注1: これらの要素は設計の指針専用で、製造限度検査によって含まれません。

注2: SDAHOLDはSCL信号がLowとして検出された後のデータ保持時間です。実際の保持時間は、従って、構成設定された保持時間よりも長くなります。

注3: 主装置動作について、データ保持時間は以下の最大のものです。

- 4 × t_{CLK_PER} + 50ns (代表)
- SDAHOLD構成設定 + SCL濾波遅延

注4: 従装置動作について、保持時間は以下によって与えられます。

- SDAHOLD構成設定 + SCL濾波遅延

31.14. VREF

表31-20. 内部基準電圧特性

シンボル	説明	条件	最小	代表	最大	単位
t _{Start}	始動時間		-	25	-	μs
V _{DDINT055V}	INT055Vに対する電源電圧範囲		1.8	-	5.5	V
V _{DDINT11V}	INT11Vに対する電源電圧範囲		1.8	-	5.5	
V _{DDINT15V}	INT15Vに対する電源電圧範囲		1.9	-	5.5	
V _{DDINT25V}	INT25Vに対する電源電圧範囲		2.9	-	5.5	
V _{DDINT43V}	INT43Vに対する電源電圧範囲		4.75	-	5.5	

表31-21. ADCの内部基準電圧特性 (注1)

シンボル (注2)	説明	条件	最小	代表	最大	単位
INT11V	内部1.1V基準電圧	V _{DD} =1.8~3.6V,	-2.0	-	2.0	%
INT055V, INT15V, INT25V	内部0.55/1.5/2.5V基準電圧	T=0~105°C	-3.0	-	3.0	
INT055V, INT11V, INT15V, INT25V, INT43V	内部0.55/1.1/1.5/2.5/4.3V基準電圧	V _{DD} =1.8~5.5V, T=-40~105°C	-5.0	-	5.0	

注1: これらの値は特性付けに基づき、製造限度検査によって含まれません。

注2: シンボルのINT_{nn}VはVREF制御A(VREF.CTRLA)レジスタのADC0基準選択(ADC0REFSEL)ビット領域の各々の値を参照します。

表31-22. ACの内部基準電圧特性 (注1)

シンボル (注2)	説明	条件	最小	代表	最大	単位
INT055V,INT11V, INT15V,INT25V	内部0.55/1.1/1.5/2.5V基準電圧	VDD=1.8~3.6V, T=0~105°C	-3.0	-	3.0	%
INT055V,INT11V,INT15V, INT25V,INT43V	内部0.55/1.1/1.5/2.5/4.3V基準電圧	VDD=1.8~5.5V, T=-40~105°C	-5.0	-	5.0	

注1: これらの値は特性付けに基づき、製造検査限度によって含まれません。

注2: シンボルのINTnnVはVREF制御A(VREF.CTRLA)レジスタのADC0基準選択(ADC0REFSEL)とAC0基準選択(DAC0REFSEL)のビット領域の各々の値を参照します。

31.15. ADC

動作条件:

- VDD=1.8~5V
- 温度=-40~125°C
- デューティサイクル(DUTYCYC)=25%
- CLKADC=13×f_{ADC}、f_{ADC}は採取周波数(sps)
- 採取容量選択(SAMPCAP)は0.55V基準電圧に対して10pF(=0)、一方VREF≥1.1Vに対しては5pF(=1)に設定されます。
- 特記無き限り、VREF選択と採取速度の許された全ての組み合わせに対して適用

表31-23. 電源、基準電圧、入力範囲

シンボル	説明	条件	最小	代表	最大	単位
VDD	供給電圧		1.8	-	5.5	V
VREF	基準電圧	REFSEL=内部基準電圧	0.55	-	VDD-0.4	
		REFSEL=VDD	1.8	-	5.5	
C _{IN}	入力容量	SAMPCAP=5pF	-	5	-	pF
		SAMPCAP=10pF	-	10	-	
R _{IN}	入力抵抗		-	14	-	kΩ
V _{IN}	入力電圧範囲		0	-	VREF	V
I _{BAND}	入力帯域	1.1V≤VREF	-	-	57.5	kHz

表31-24. クロックとタイミングの特性

シンボル	説明	条件	最小	代表	最大	単位
f _{ADC}	採取速度	1.1V≤VREF	15	-	115	ksps
		1.1V≤VREF (8ビット分解能)	15	-	150	
		VREF=0.55V (10ビット分解能)	7.5	-	20	
CLKADC	クロック周波数	VREF=0.55V (10ビット分解能)	100	-	260	kHz
		1.1V≤VREF (10ビット分解能)	200	-	1500	
		1.1V≤VREF (8ビット分解能)	200	-	2000 (注)	
T _S	採取時間		2	2	33	CLKADC周期
T _{CONV}	変換時間(遅延)	採取時間=2CLKADC	8.7	-	50	μs
T _{START}	始動時間	内部VREF	-	22	-	

注: 1500kHzを超えるクロック周波数には50%デューティサイクルが必要とされます。

表31-25. 精度特性 (注2)

シンボル	説明	条件	最小	代表	最大	単位
Res	分解能		–	10	–	ビット
INL	積分非直線性誤差	REFSEL=内部基準電圧 VREF=0.55V, 7.7ksps	–	1.0	–	LSb
		15ksps	–	1.0	–	
		REFSEL=内部基準電圧 または VDD $1.1V \leq VREF$, 77ksps	–	1.0	–	
		$1.1V \leq VREF$, 115ksps	–	1.2	–	
DNL (注1)	微分非直線性誤差	REFSEL=内部基準電圧 VREF=0.55V, 7.7ksps	–	0.6	–	LSb
		REFSEL=内部基準電圧 または VDD 15ksps	–	0.4	–	
		$1.1V \leq VREF$, 77ksps	–	0.4	–	
		REFSEL=内部基準電圧 $1.1V \leq VREF$, 115ksps	–	0.6	–	
EABS	絶対精度(誤差)	REFSEL=VDD $1.1V \leq VREF$, 115ksps	–	0.6	–	LSb
		REFSEL=VDD 15ksps	–	0.4	–	
		REFSEL=内部基準電圧, $VREF=1.1V$, VDD=1.8~3.6V T=0~105°C	–	3	–	
		T=-40~125°C	–	3	–	
EGAIN	利得誤差	REFSEL=内部基準電圧	–	2	–	LSb
		REFSEL=内部基準電圧	–	3	–	
		REFSEL=内部基準電圧, $VREF=1.1V$, VDD=1.8~3.6V T=0~105°C	–	5	–	
		T=-40~125°C	–	5	–	
EOFF	変位(オフセット)誤差	REFSEL=VDD	–	2	–	LSb
		REFSEL=内部基準電圧	–	5	–	

注1: 1 LSb以下のDNL誤差は消失符号なしでの単調伝達関数を保証します。

注2: これらの値は特性付けに基づき、製造限度検査によって含まれません。

31.16. TEMPSENSE

動作条件:

- VDD=3V
- 別の言及を除き、TA=25°C

表31-26. 温度感知器、精度特性

シンボル	説明	条件	最小	代表	最大	単位
VDD	供給電圧		1.8	–	5.5	V
TACC	感知器精度 (注1,2)	TA=25°C	–	±3	–	°C
TRES	変換分解能	10ビット	–	0.55	–	
tCNV	変換時間	1MHz ADCクロック	–	13	–	µs

注1: これらの値は特性付けに基づき、製造限度検査によって含まれません。

注2: 「代表特性」章で温度特性を見つけてください。

31.17. AC

表31-27. アナログ比較器特性

シンボル	説明	条件	最小	代表	最大	単位
V _{IN}	入力電圧		0	–	V _{DD}	V
C _{IN}	入力ピン容量	PA6	–	9	–	pF
		PA7, PB5, PB4	–	5	–	
V _{OFF}	入力変位(オフセット)電圧	0.7V < V _{IN} < (V _{DD} – 0.7V)	–30	±10	30	mV
		V _{IN} = 0V ~ V _{DD}	50	±30	50	
I _L	入力漏れ電流		–	5	–	nA
T _{START}	始動時間		–	1.3	–	μs
V _{HYS}	ヒステリシス	HYSMODE = '00' (OFF)	0	0	10	mV
		HYSMODE = '01'	0	10	30	
		HYSMODE = '10'	5	30	90	
		HYSMODE = '11'	12	55	190	
t _{PD}	伝搬遅延	V _{DD} ≥ 2.7V, 25mV過駆動	–	150	–	ns

31.18. UPDIタイミング

図31-8. ヒューズによって許可されたUPDIパットでのUPI許可手順

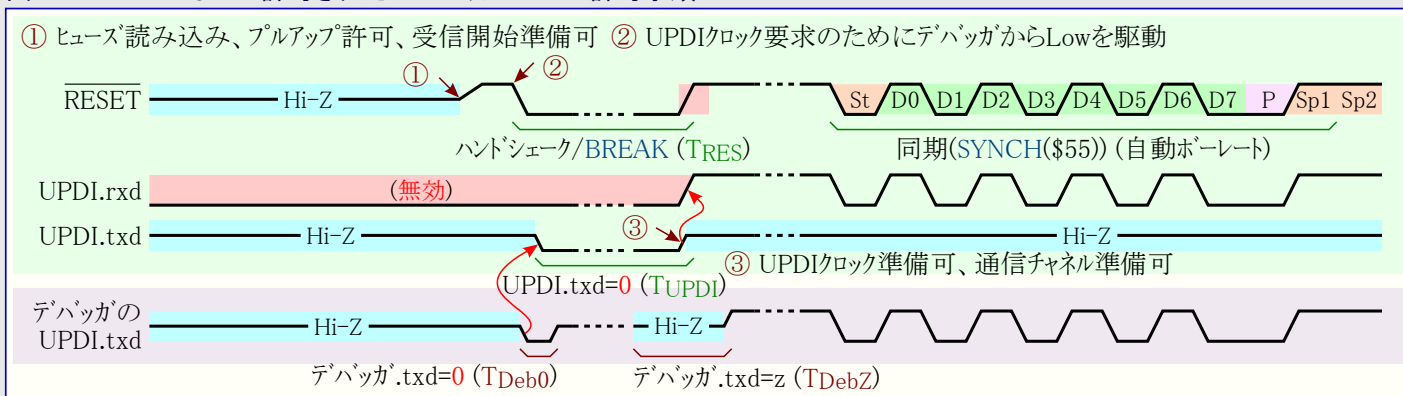


表31-28. UPDIタイミング特性 (注)

シンボル	説明	最小	最大	単位
T _{RES}	RESETでのハンドシェイク/BREAKの持続時間	10	200	μs
T _{UPDI}	UPDI.txd=0の持続時間	10	200	
T _{Deb0}	デバugg.txd=0の持続時間	0.2	1	
T _{DebZ}	デバugg.txd=z(Hi-Z)の持続時間	200	14000	

注: これらの要素は設計の指針専用で、製造限度検査によって含まれません。

表31-29. UPDI最大ビット速度対VDD (注)

シンボル	説明	条件	最大	単位
f _{UPDI}	UPDIホーレート	V _{DD} 1.8 ~ 5.5V	225	kbps
		V _{DD} 2.2 ~ 5.5V	450	
		V _{DD} 2.7 ~ 5.5V	900	

注: これらの要素は設計の指針専用で、製造限度検査によって含まれません。

31.19. プログラミング時間

フラッシュメモリとEEPROMに対する代表的なプログラミング時間については次表をご覧ください。

表31-30. メモリプログラミング仕様

シンボル	説明	最小	代表 (+)	最大	単位	条件
データ用EEPROMメモリ仕様						
EEE(*)	データEEPROMバイト耐久性	100000	–	–	消去/書き回数	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
tEE_RET	保持特性	–	40	–	年	$T_A = 55^{\circ}\text{C}$
tEE_PBC	ページ緩衝部解消時間 (PBC)	–	7	–	CLKCPU数	
tEE_EEER	EEPROM全体消去時間 (EEER)	–	4	–		
tEE_WP	ページ書き込み時間 (WP)	–	2	–		
tEE_ER	ページ消去時間 (ER)	–	2	–	ms	
tEE_ERWP	ページ消去/書き込み時間 (ERWP)	–	4	–		
プログラム用フラッシュメモリ仕様						
EFL(*)	フラッシュメモリセル耐久性	10000	–	–	消去/書き回数	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
tFL_RET	保持特性	–	40	–	年	$T_A = 55^{\circ}\text{C}$
VFL_UPDI	チップ消去操作VDD	VBODLEVEL0 (注1)	–	VDDMAX	V	
tFL_PBC	ページ緩衝部解消時間 (PBC)	–	7	–	CLKCPU数	
tFL_CHER	チップ消去時間 (CHER)	–	4	–		
tFL_WP	ページ書き込み時間 (WP)	–	2	–		
tFL_ER	ページ消去時間 (ER)	–	2	–		
tFL_ERWP	ページ消去/書き込み時間 (ERWP)	–	4	–	ms	
tFL_UPDI	UPDIでのチップ消去時間	–	150	–		16Kバイトフラッシュメモリ
		–	80	–		8Kバイトフラッシュメモリ

†: “代表”列のデータは別の定めがない限り、 $T_A = 25^{\circ}\text{C}$ と $V_{DD} = 3.0\text{V}$ です。これらの要素は設計指針用だけで検査されません。

*: これらの要素は特性付けされますが、製造で検査されません。

注1: チップ消去の間、BODLEVEL0で構成設定された低電圧検出器(BOD)がONを強制されます。 V_{DD} 供給電圧がBODLEVEL0に対するVBOD未満の場合、消去の試みは失敗するでしょう。

32. 代表特性

32.1. 消費電力

32.1.1. 活動動作消費電流

図32-1. 活動動作消費電流 対 周波数 (1MHz~20MHz) T=25°C (EXTCLK)

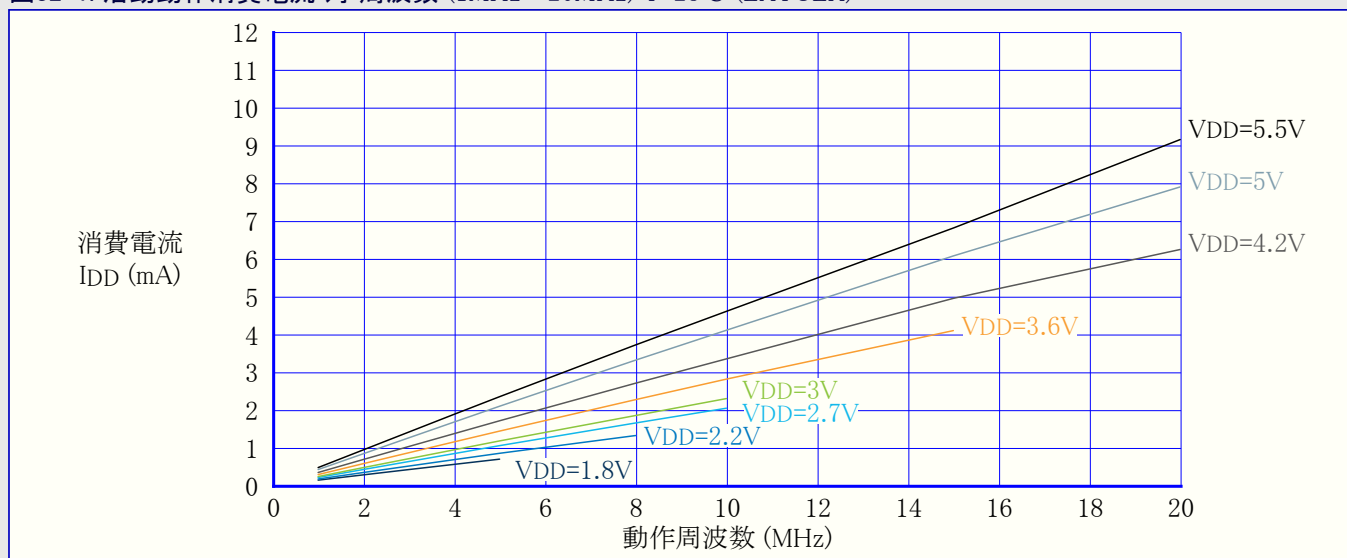


図32-2. 活動動作消費電流 対 周波数 (100kHz~1MHz) T=25°C (EXTCLK)

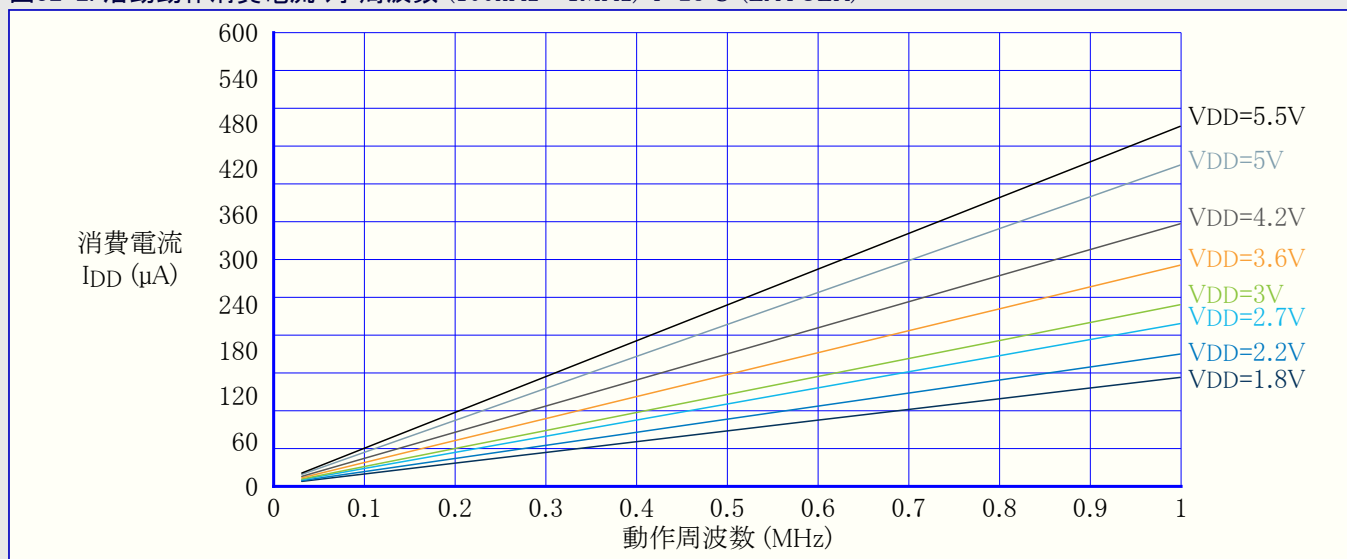


図32-3. 活動動作消費電流 対 温度 (OSC20M, $f=20\text{MHz}$)

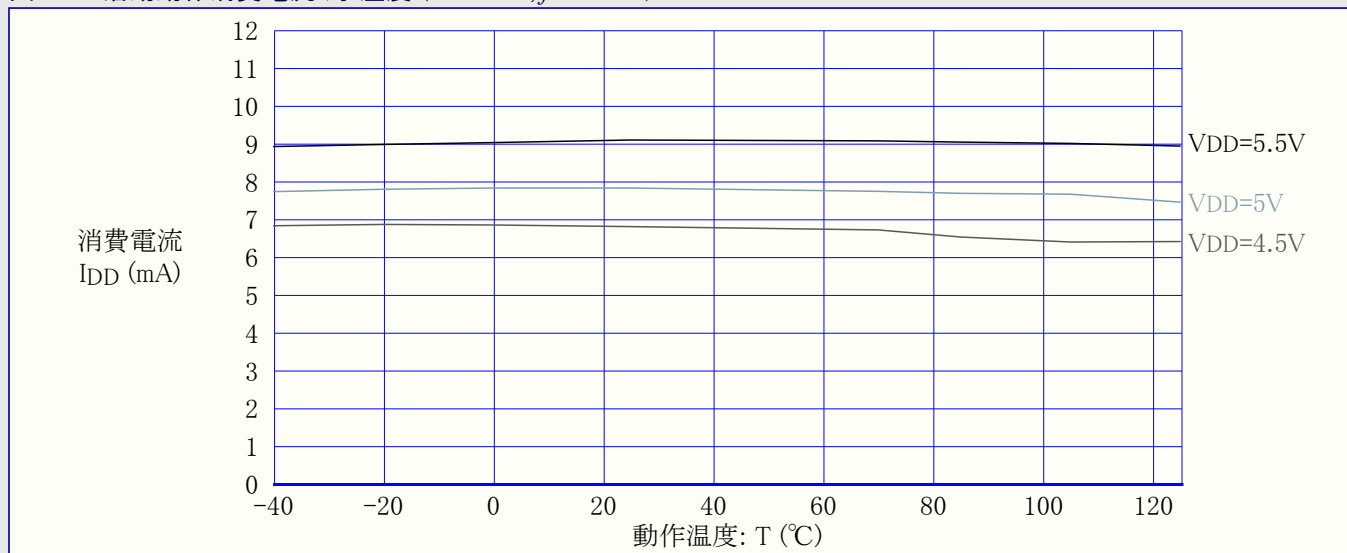


図32-4. 活動動作消費電流 対 動作電圧 (OSC20M, $f=1.25\sim 20\text{MHz}$) $T=25^\circ\text{C}$

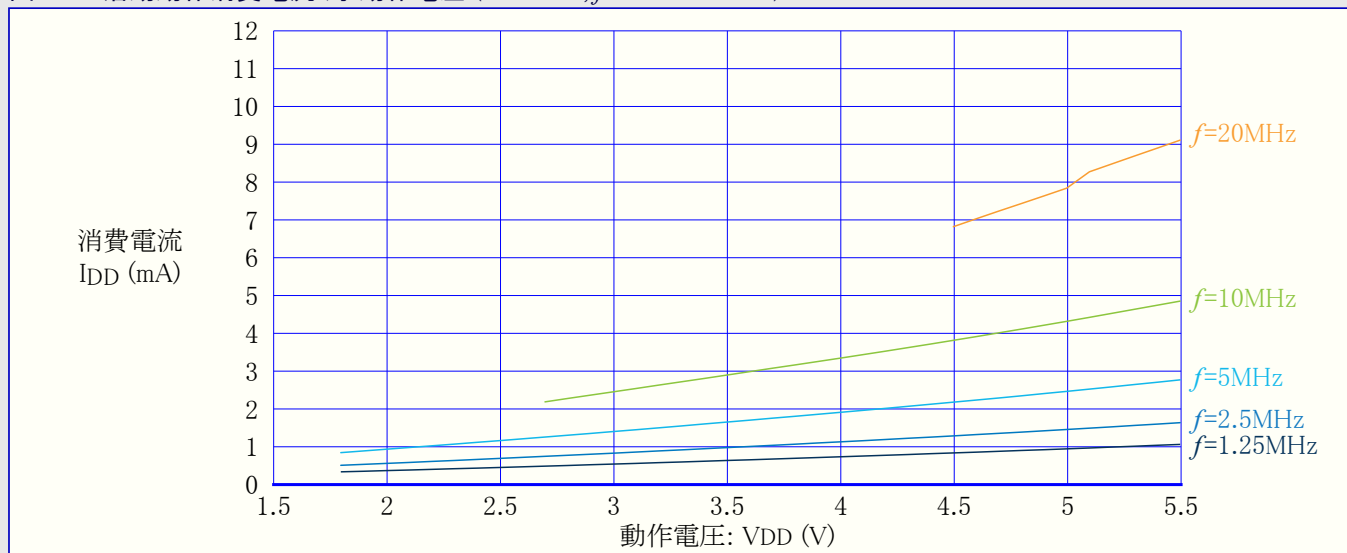
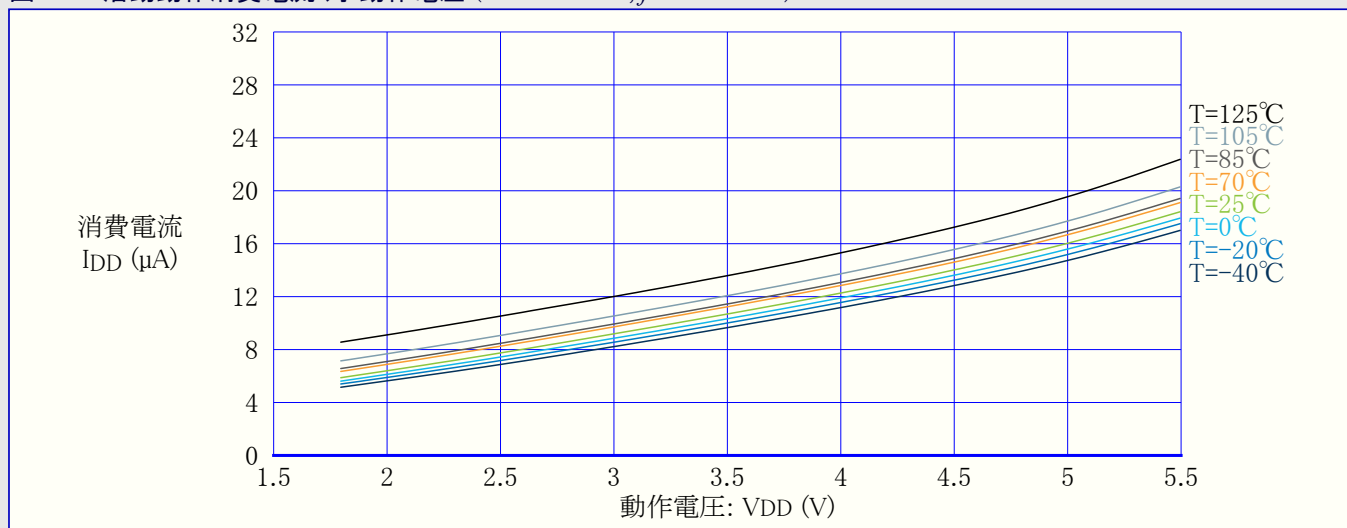


図32-5. 活動動作消費電流 対 動作電圧 (OSCULP32K, $f=32.768\text{kHz}$)



32.1.2. アイドル動作消費電流

図32-6. アイドル動作消費電流 対 周波数 (1MHz~20MHz) T=25°C (EXTCLK)

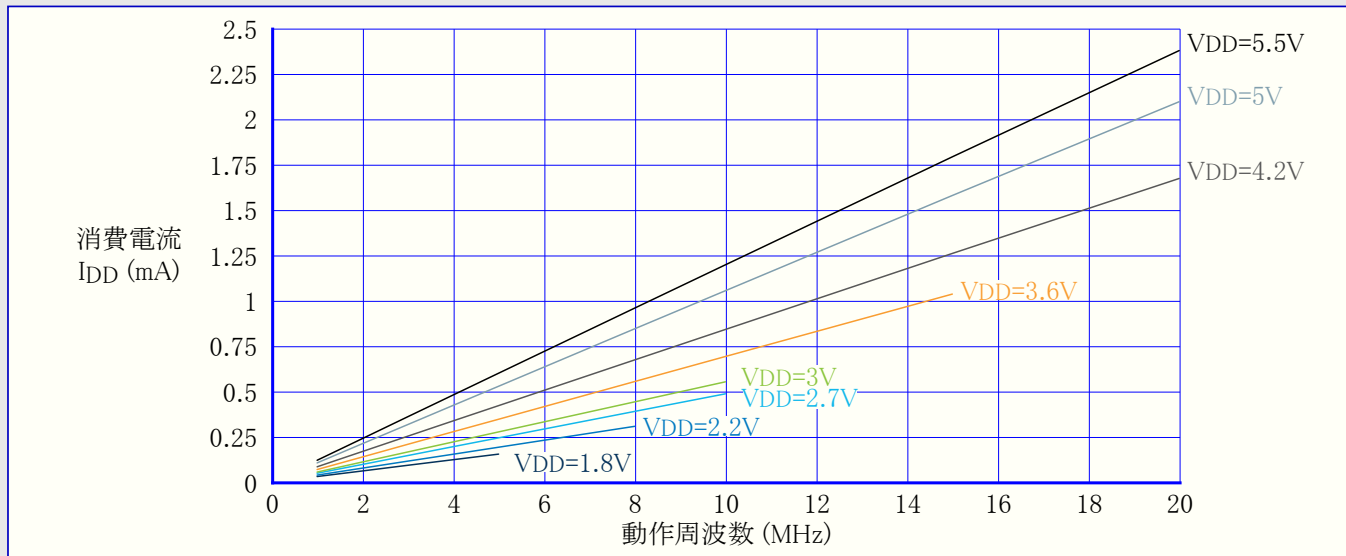


図32-7. アイドル動作消費電流 対 周波数 (100kHz~1MHz) T=25°C (EXTCLK)

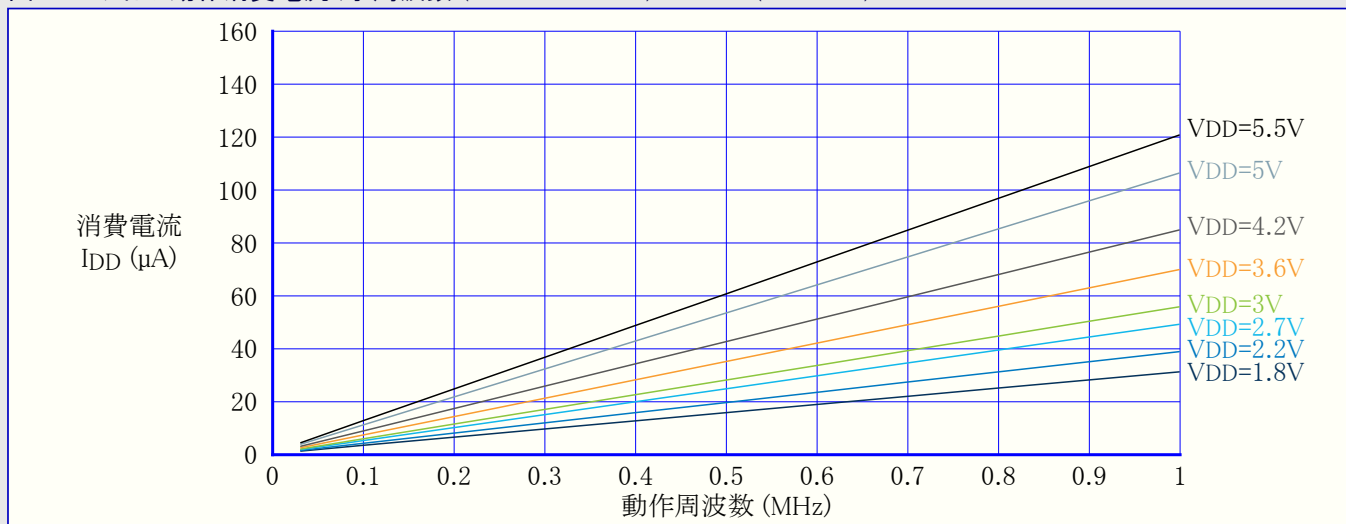


図32-8. アイドル動作消費電流 対 温度 (OSC20M, $f=20$ MHz)

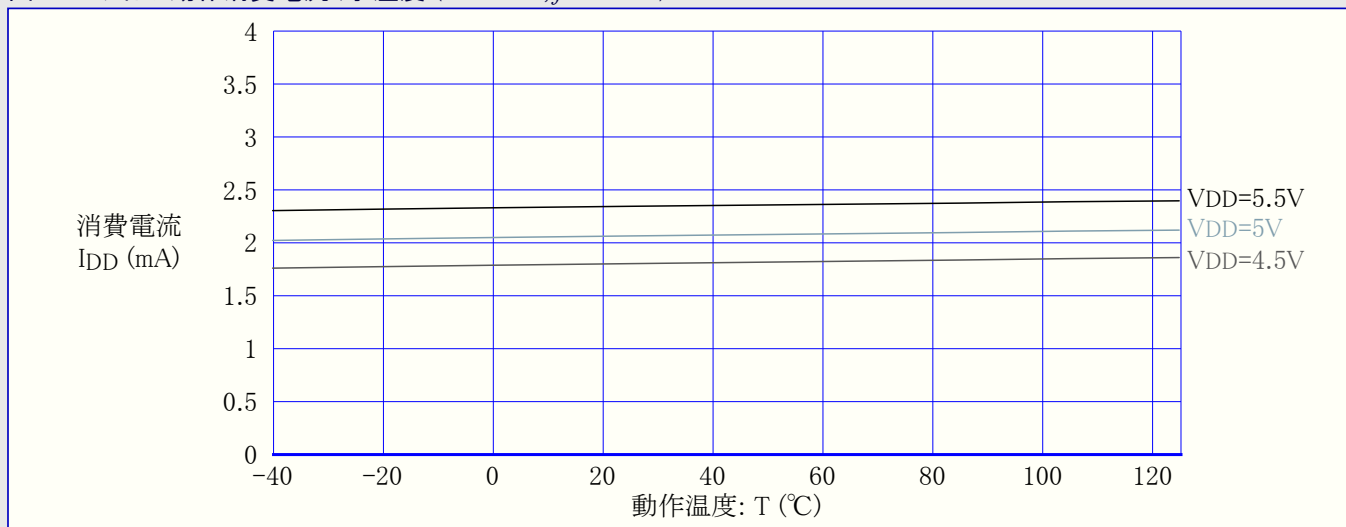
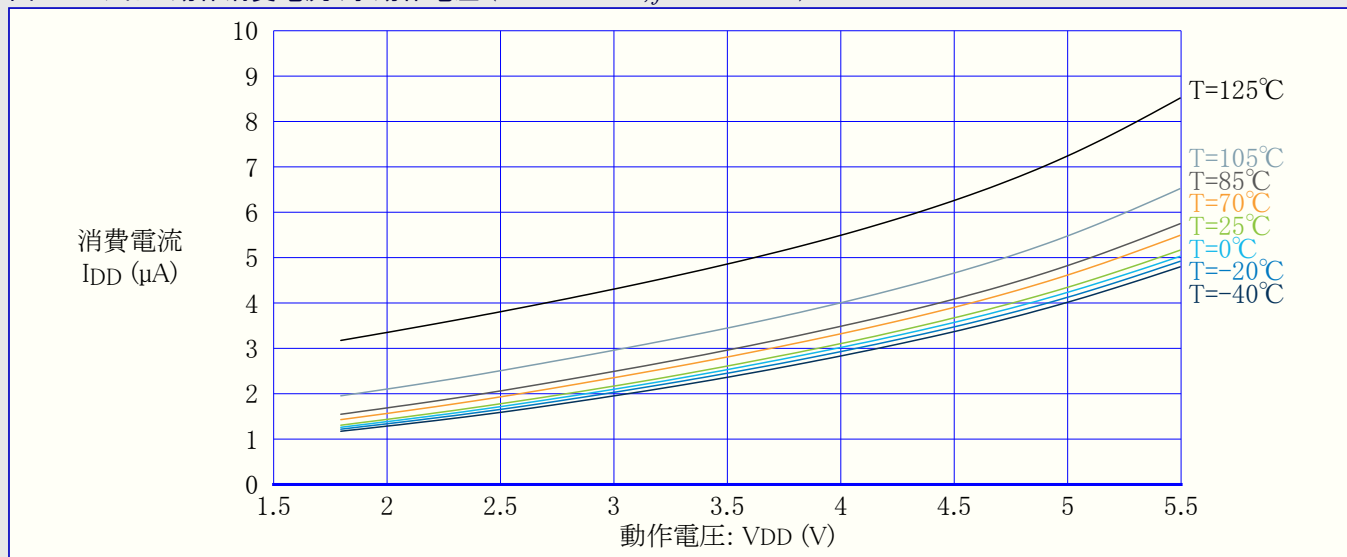


図32-9. アイドル動作消費電流 対 動作電圧 (OSCULP32K, $f=32.768\text{kHz}$)



32.1.3. スタンバイ動作消費電流

図32-10. スタンバイ動作消費電流 対 動作電圧 (内部OSCULP32KでRTC走行)

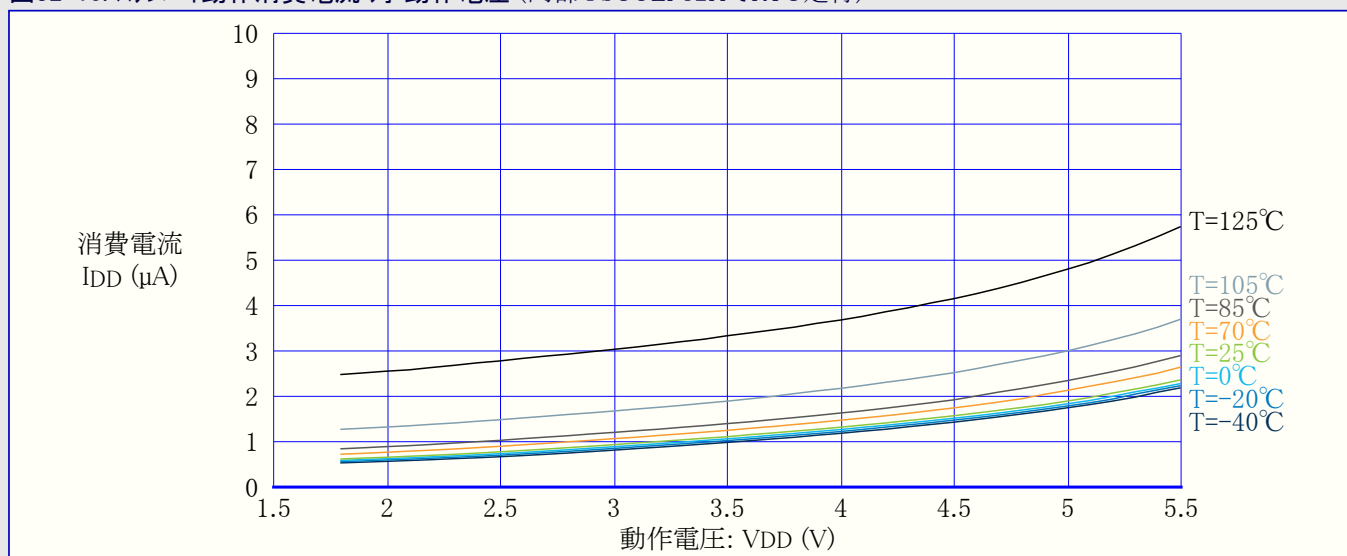


図32-11. スタンバイ動作消費電流 対 動作電圧 (125kHzで採取動作BOD走行)

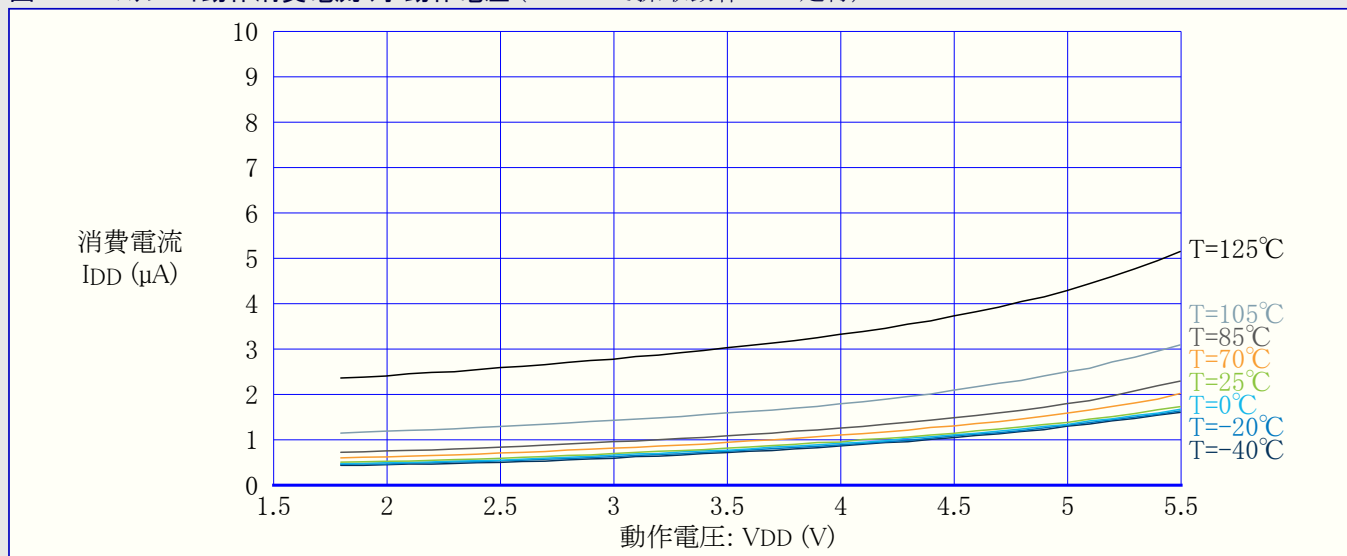
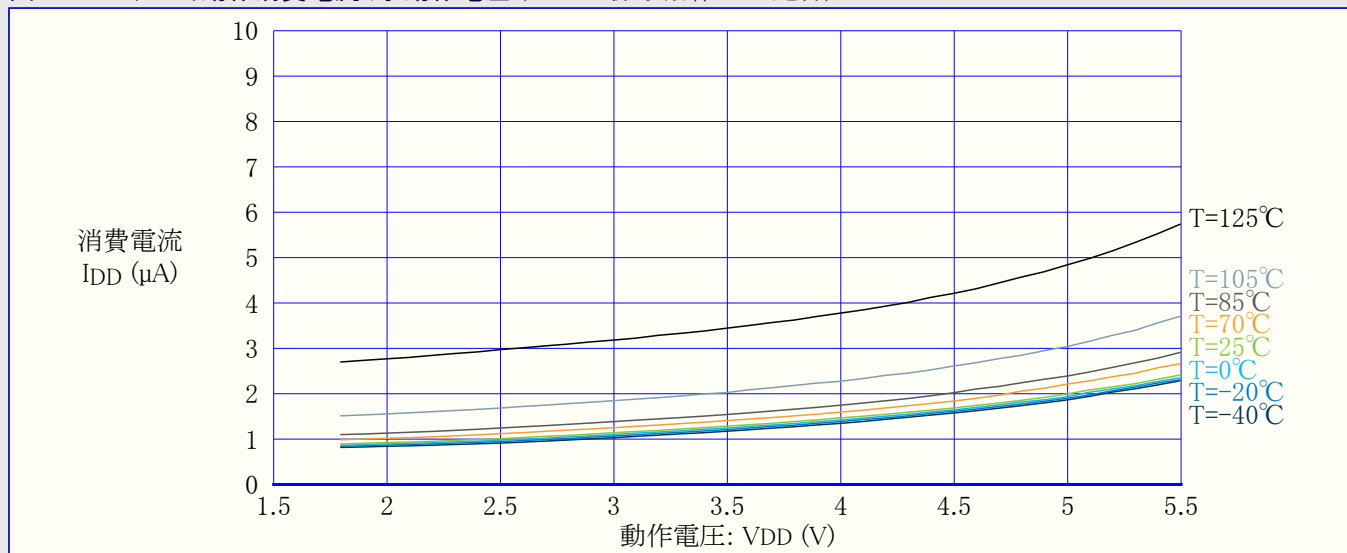


図32-12. スタンバイ動作消費電流 対 動作電圧 (1kHzで採取動作BOD走行)



32.1.4. パワーダウْن動作消費電流

図32-13. パワーダウْن動作消費電流 対 温度 (全機能禁止)

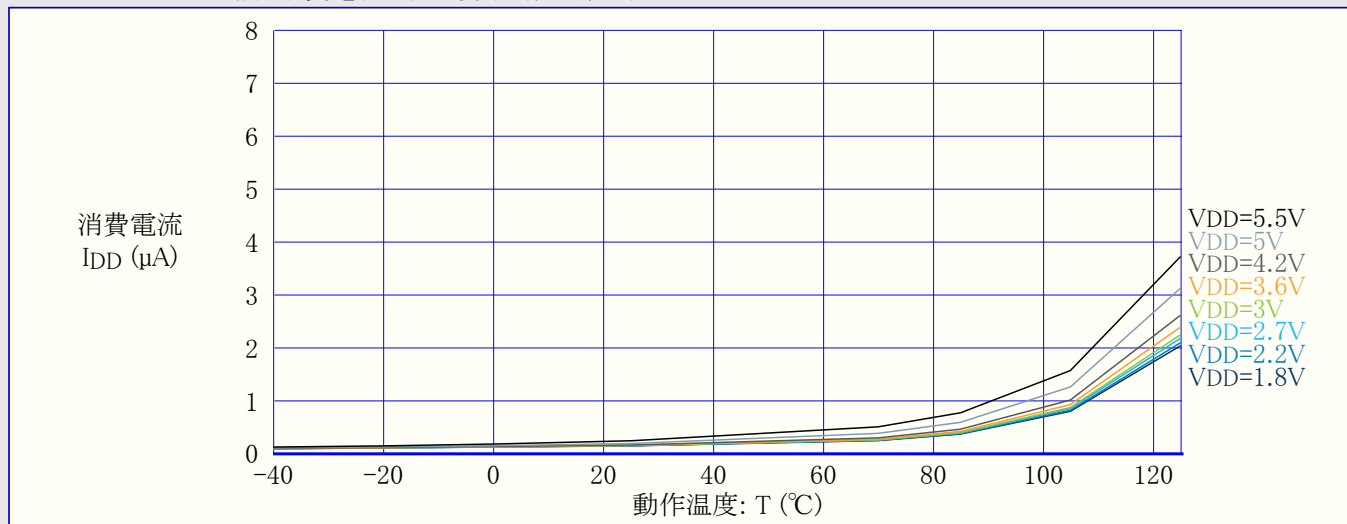
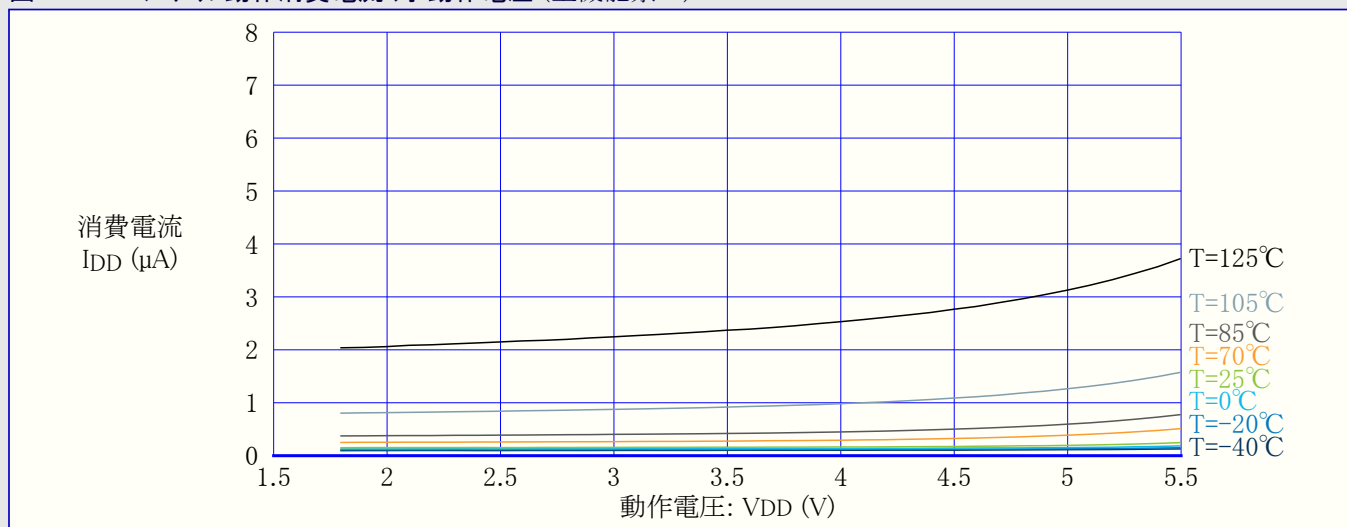


図32-14. パワーダウْن動作消費電流 対 動作電圧 (全機能禁止)



32.2. GPIO (汎用入出力)

32.2.1. GPIO入力特性

図32-15. I/Oピン入力ヒステリシス電圧 対 動作電圧

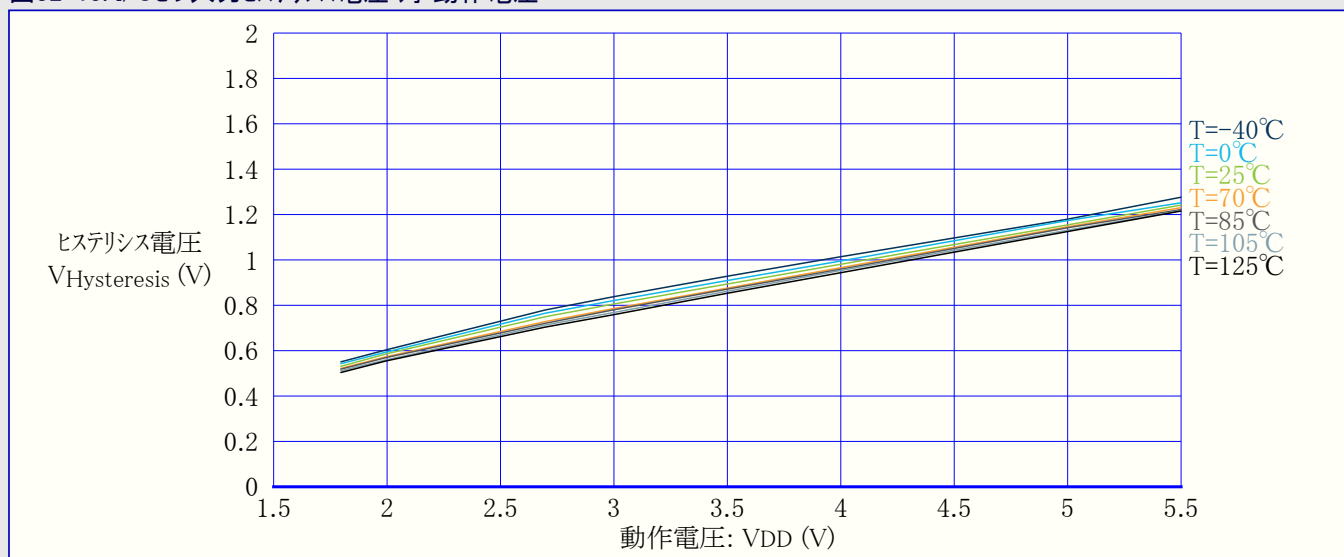
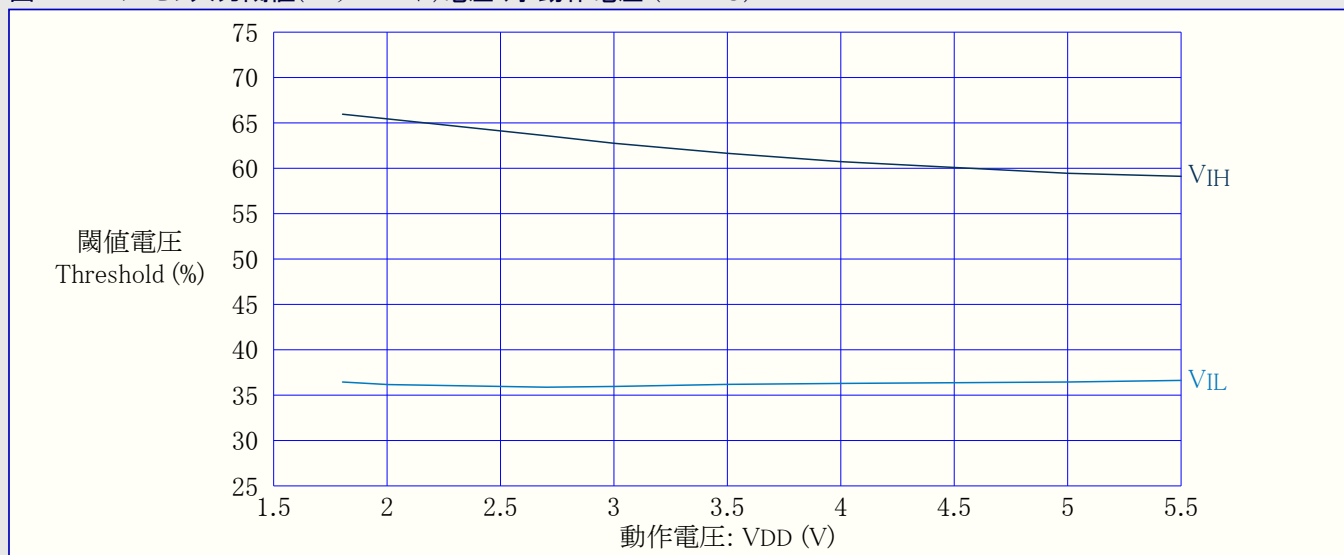
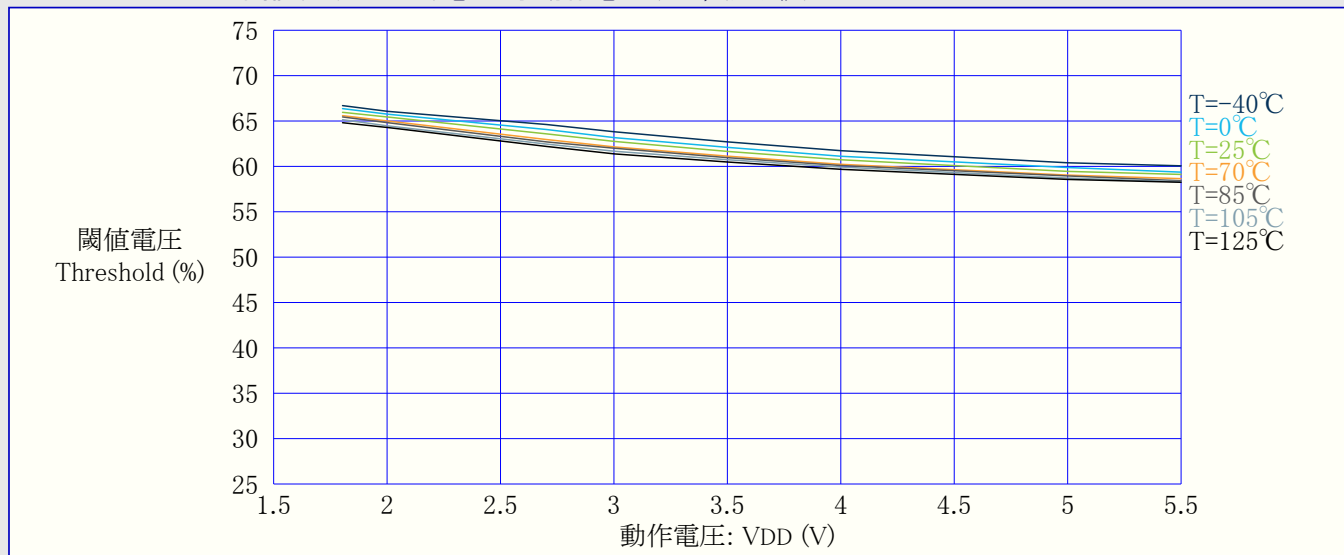
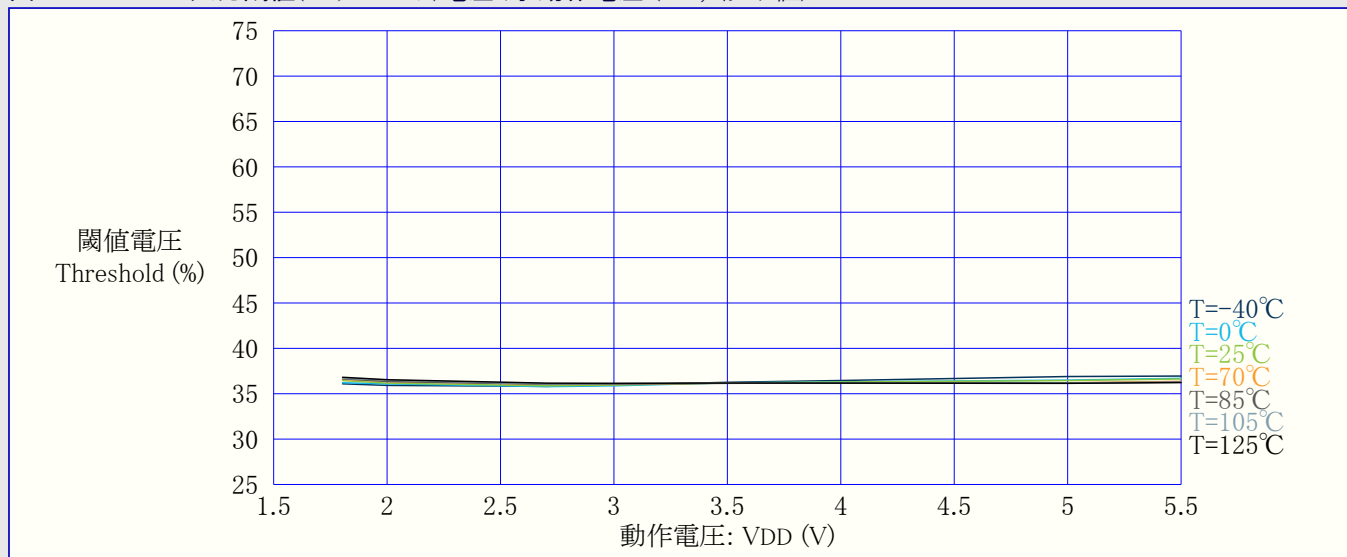
図32-16. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 ($T = 25^{\circ}\text{C}$)図32-17. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , I読み値)

図32-18. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)



32.2.2. GPIO出力特性

図32-19. I/Oピン出力電圧 対 吸い込み電流 (VDD=1.8V)

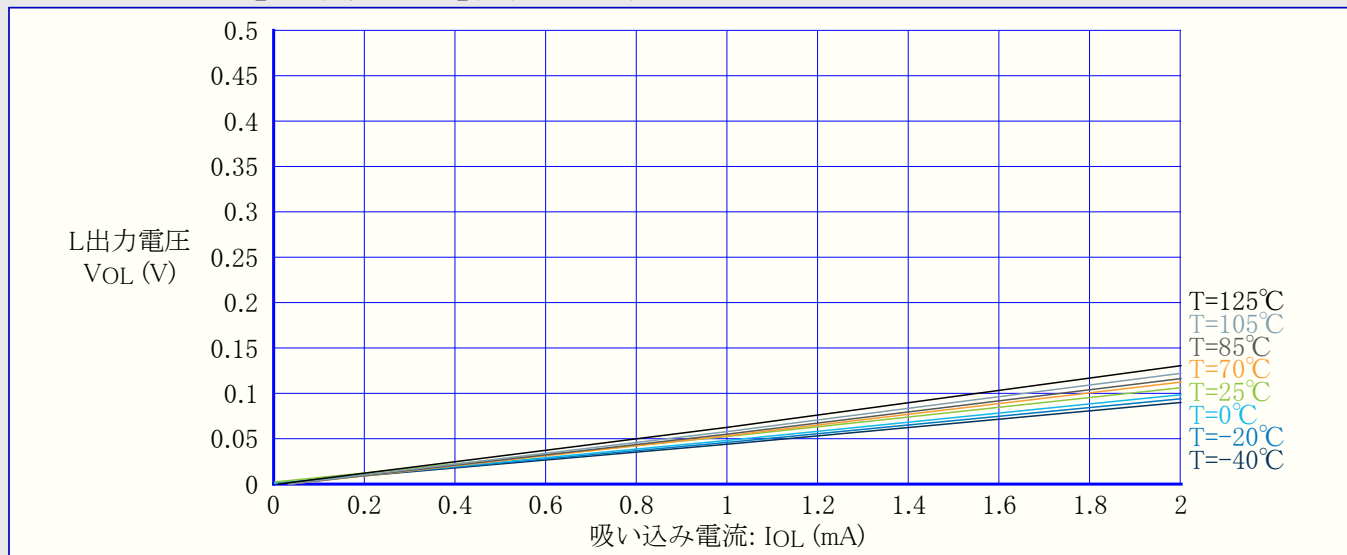


図32-20. I/Oピン出力電圧 対 吸い込み電流 (VDD=3V)

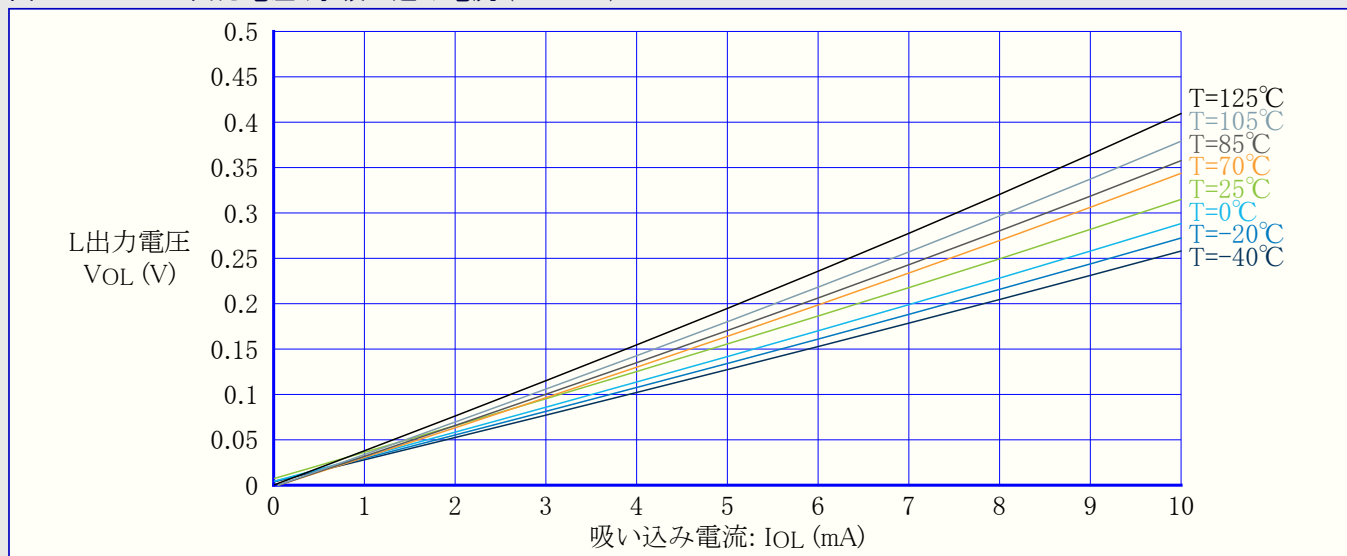


図32-21. I/Oピン出力電圧 対 吸い込み電流 (VDD=5V)

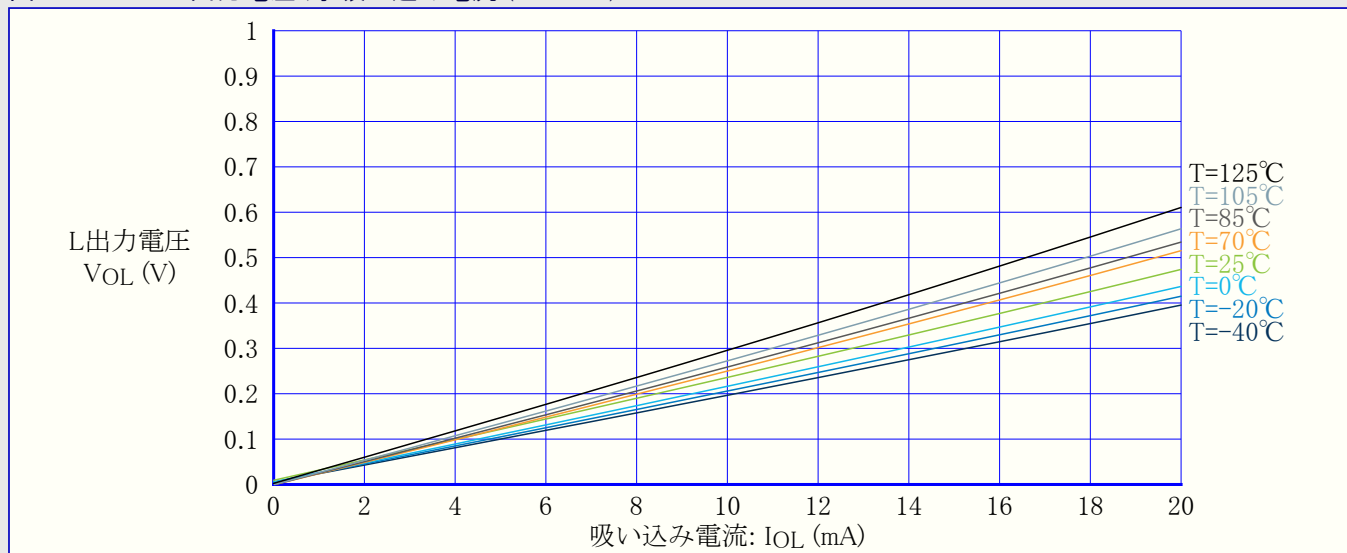


図32-22. I/Oピン出力電圧 対 吸い込み電流 ($T=25^{\circ}C$)

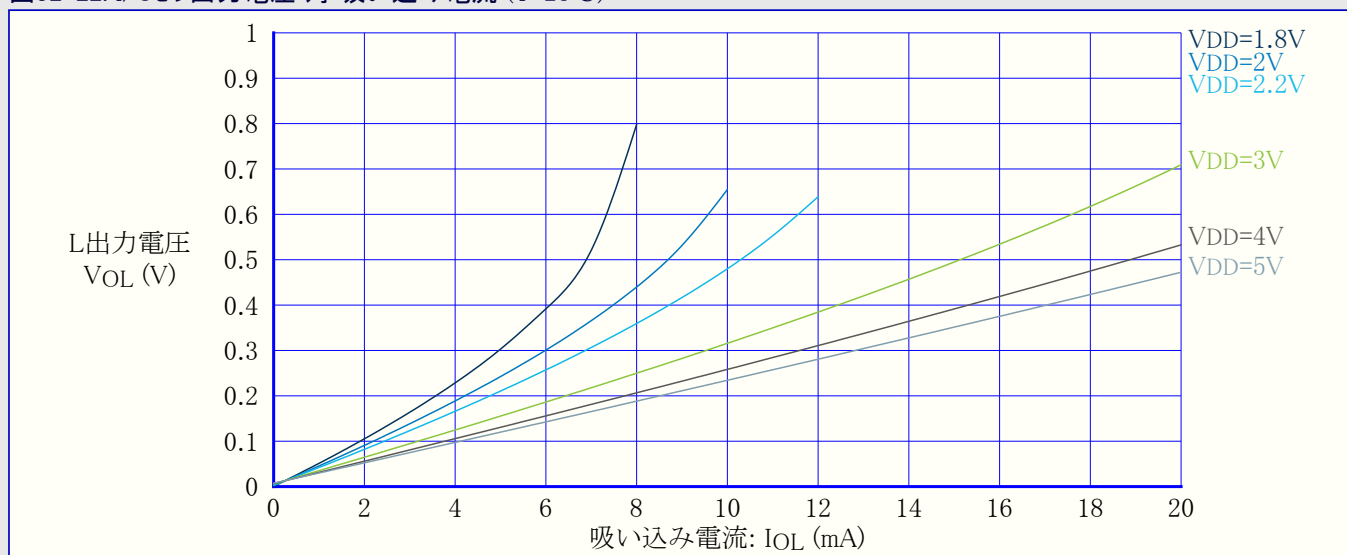


図32-23. I/Oピン出力電圧 対 吐き出し電流 (VDD=1.8V)

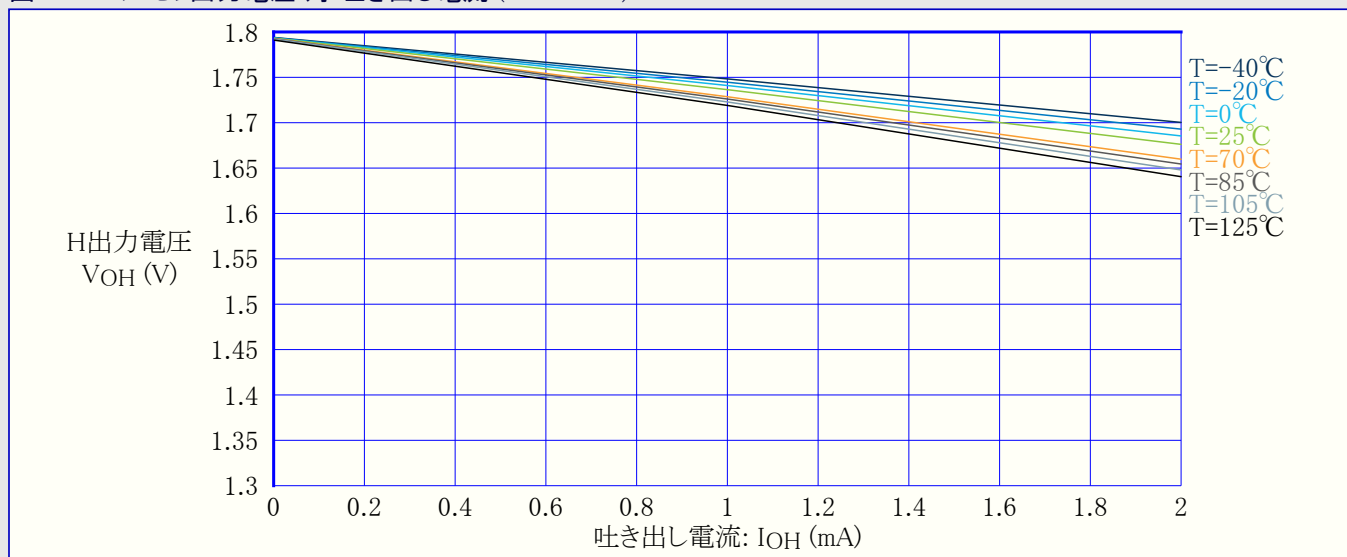


図32-24. I/Oピン出力電圧 対 吐き出し電流 (VDD=3V)

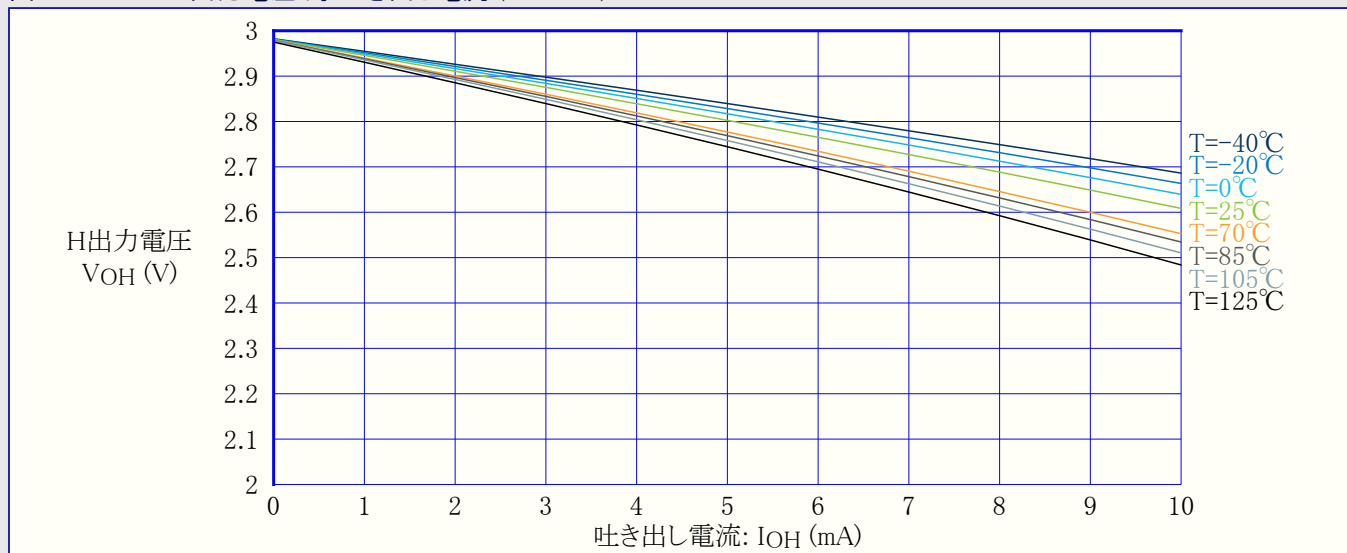


図32-25. I/Oピン出力電圧 対 吐き出し電流 (VDD=5V)

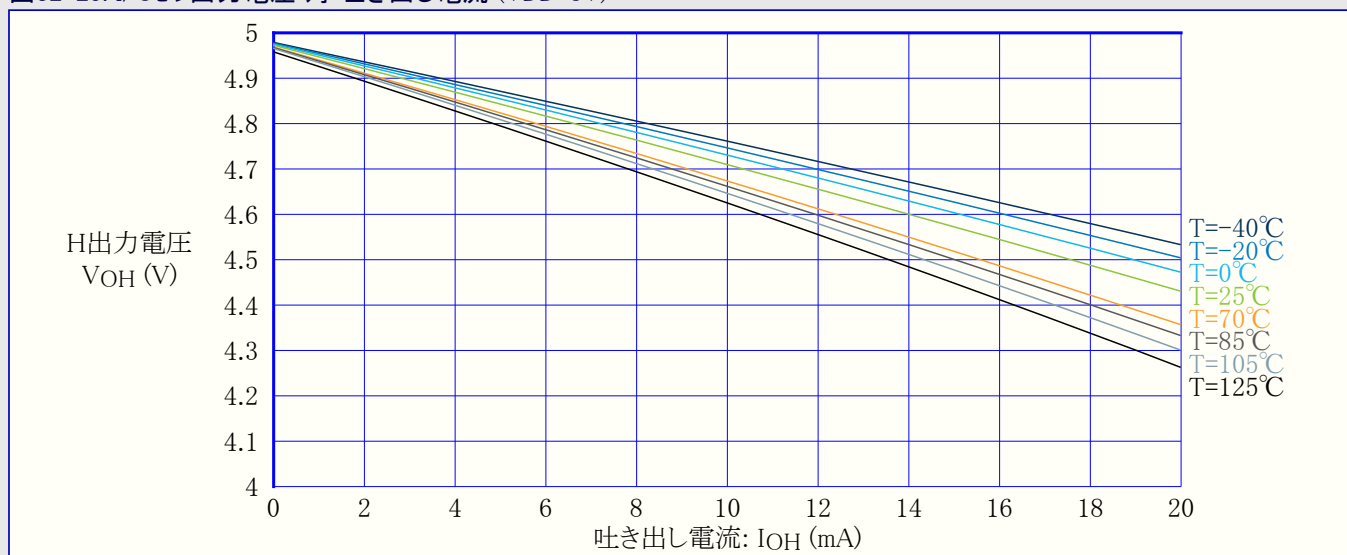
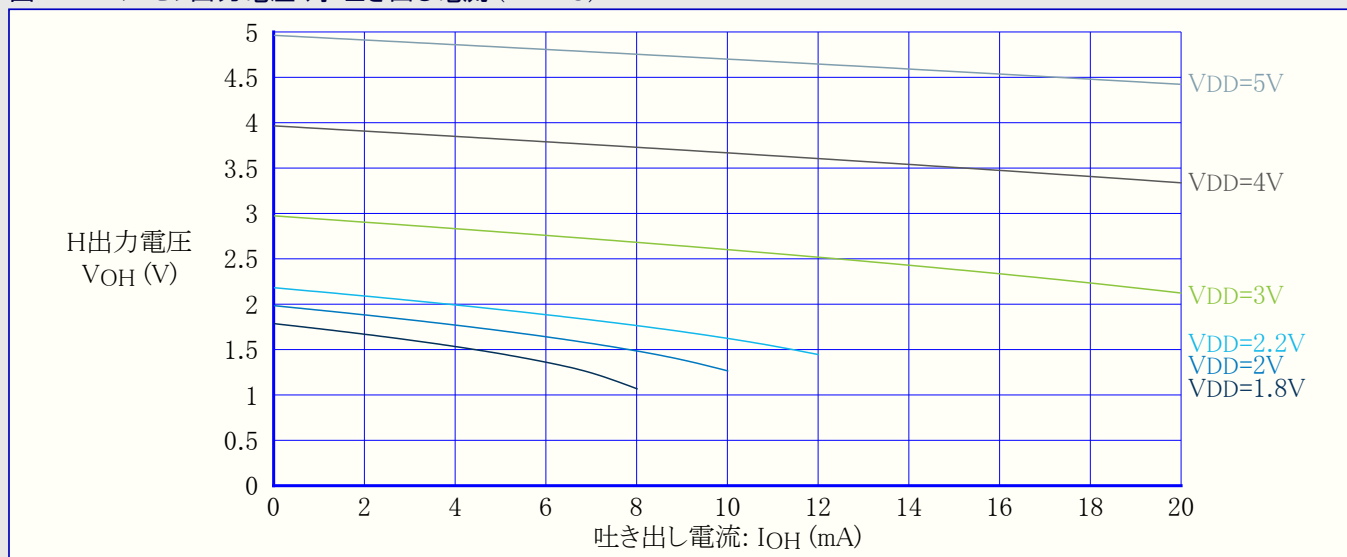


図32-26. I/Oピン出力電圧 対 吐き出し電流 (T=25°C)



32.2.3. GPIOプルアップ特性

図32-27. I/Oピンプルアップ抵抗電流 対 入力電圧 (VDD=1.8V)

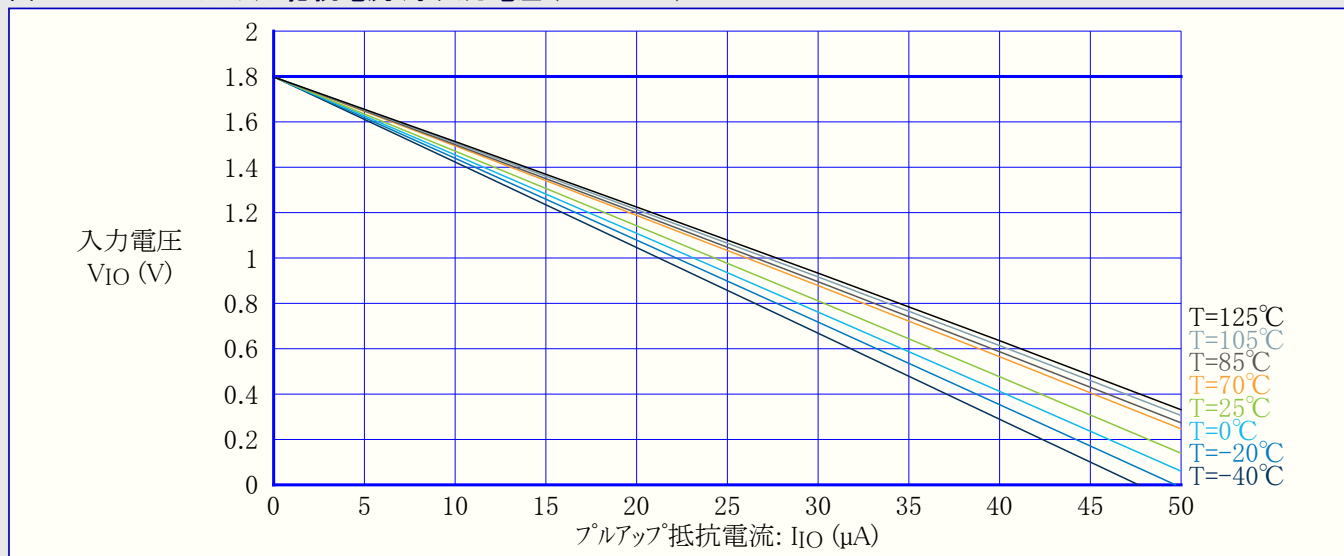


図32-28. I/Oピンプルアップ抵抗電流 対 入力電圧 (VDD=3V)

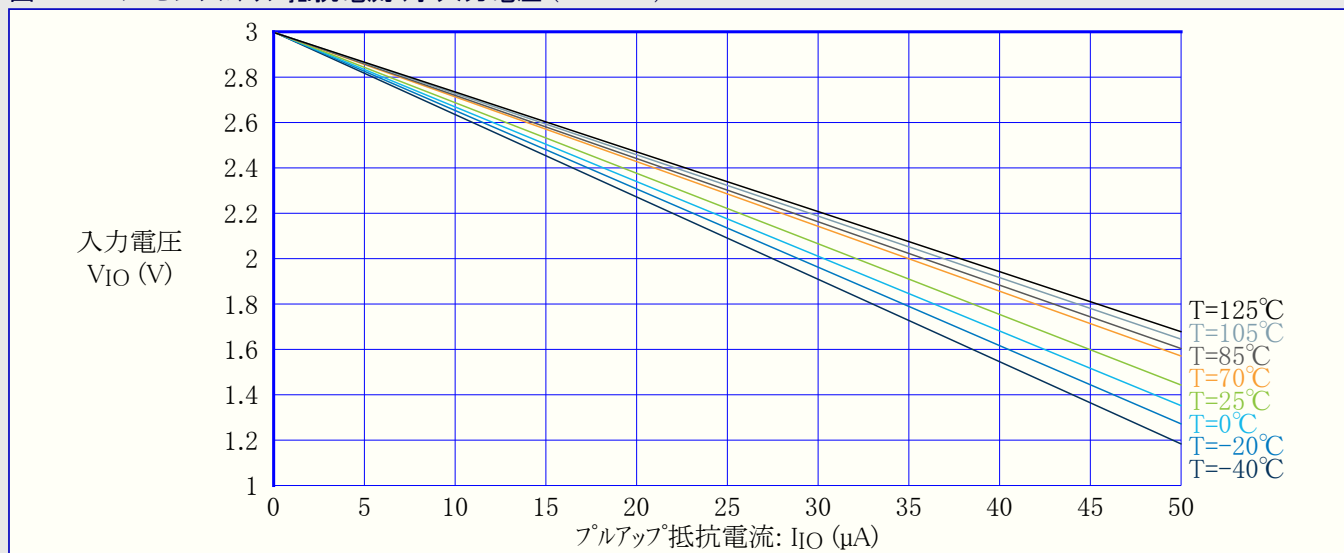
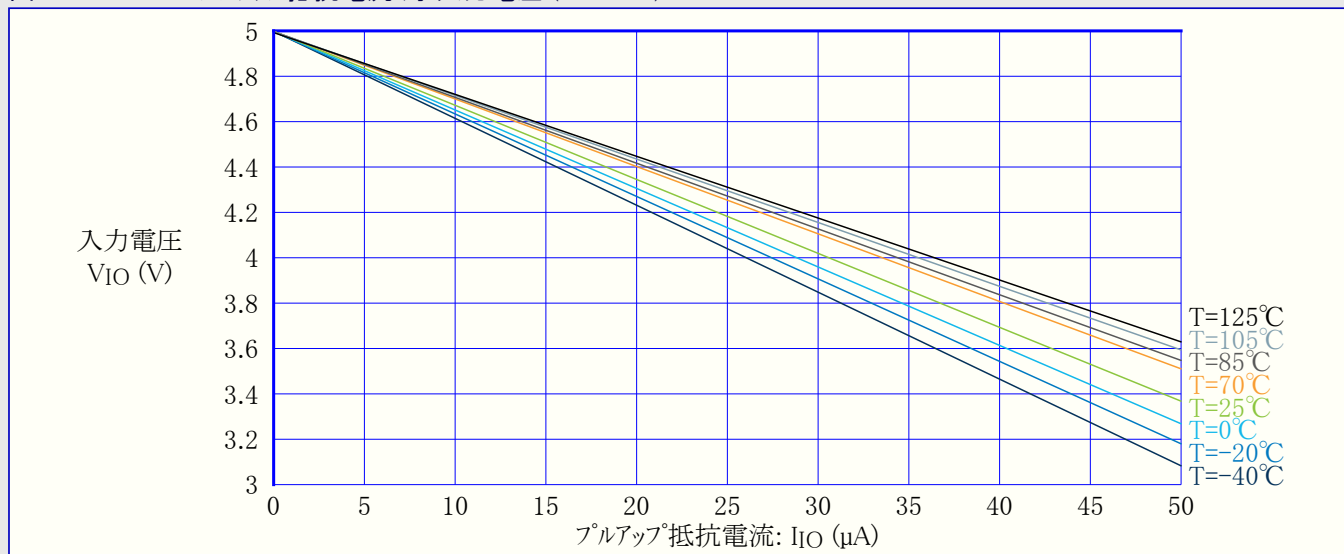


図32-29. I/Oピンプルアップ抵抗電流 対 入力電圧 (VDD=5V)



32.3. VREF特性

図32-30. 内部0.55V基準電圧 対 動作温度

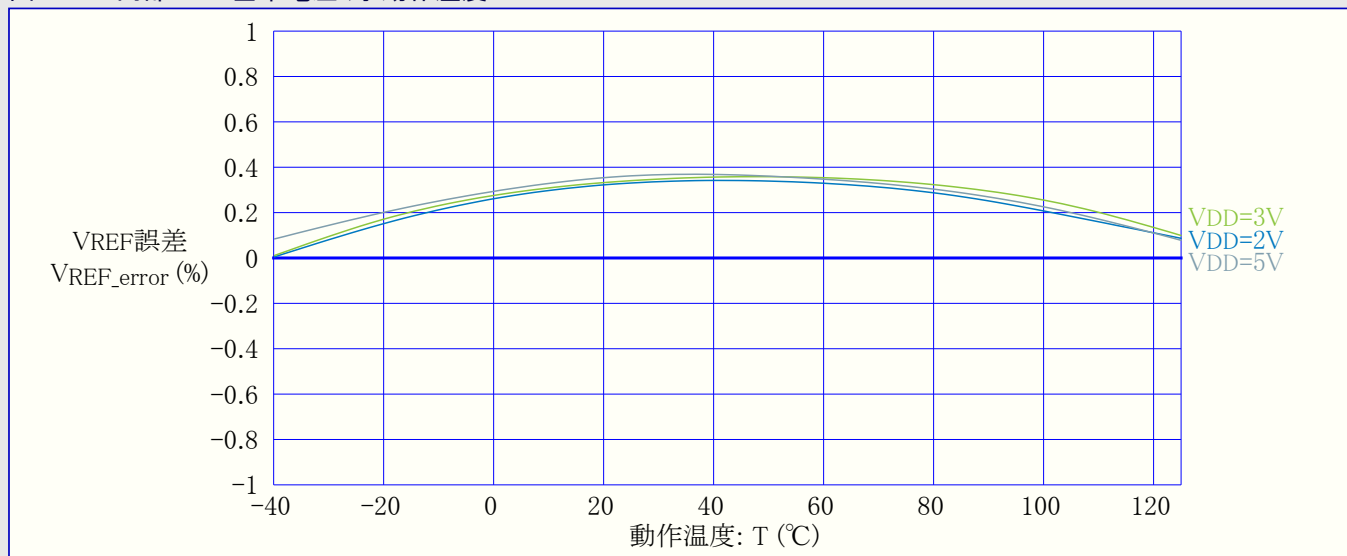


図32-31. 内部1.1V基準電圧 対 動作温度

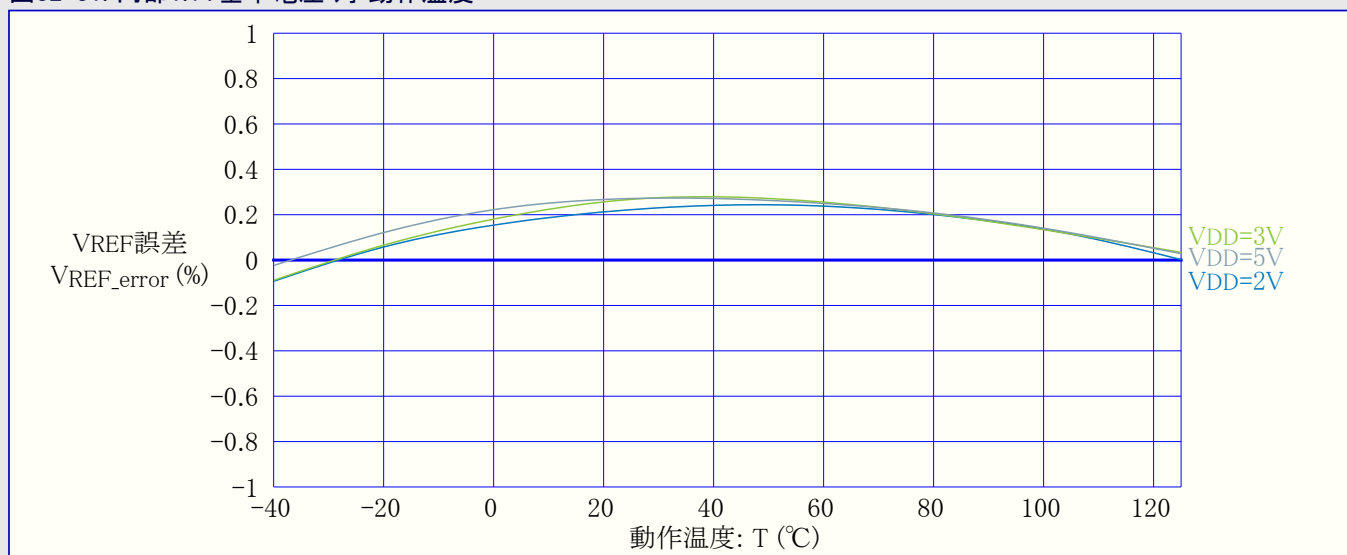


図32-32. 内部2.5V基準電圧 対 動作温度

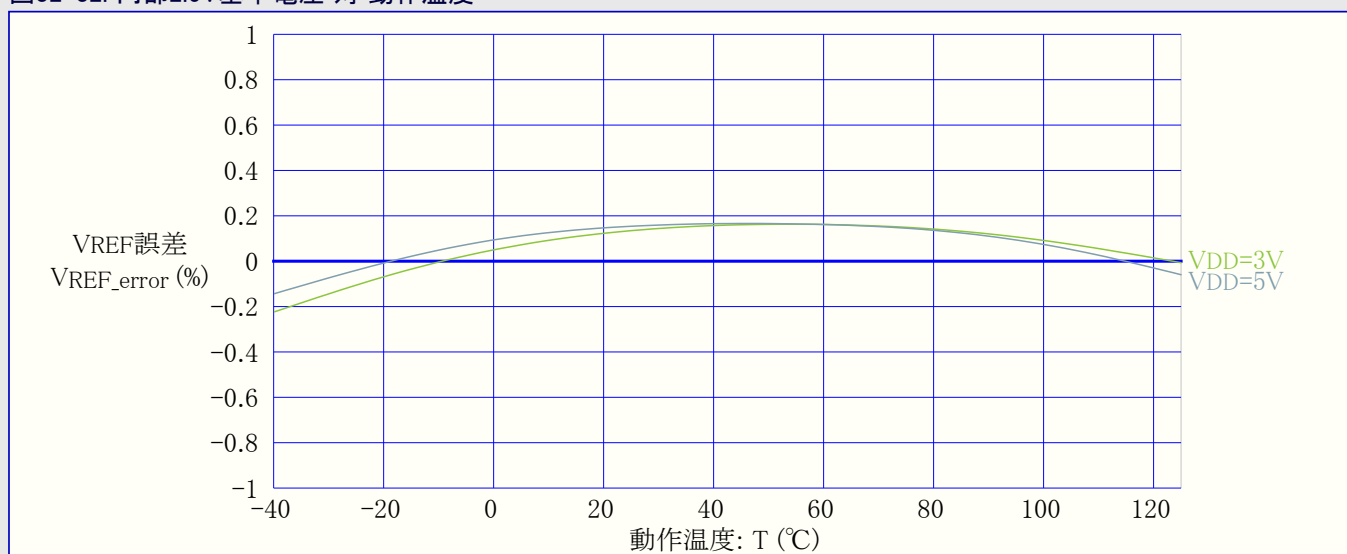
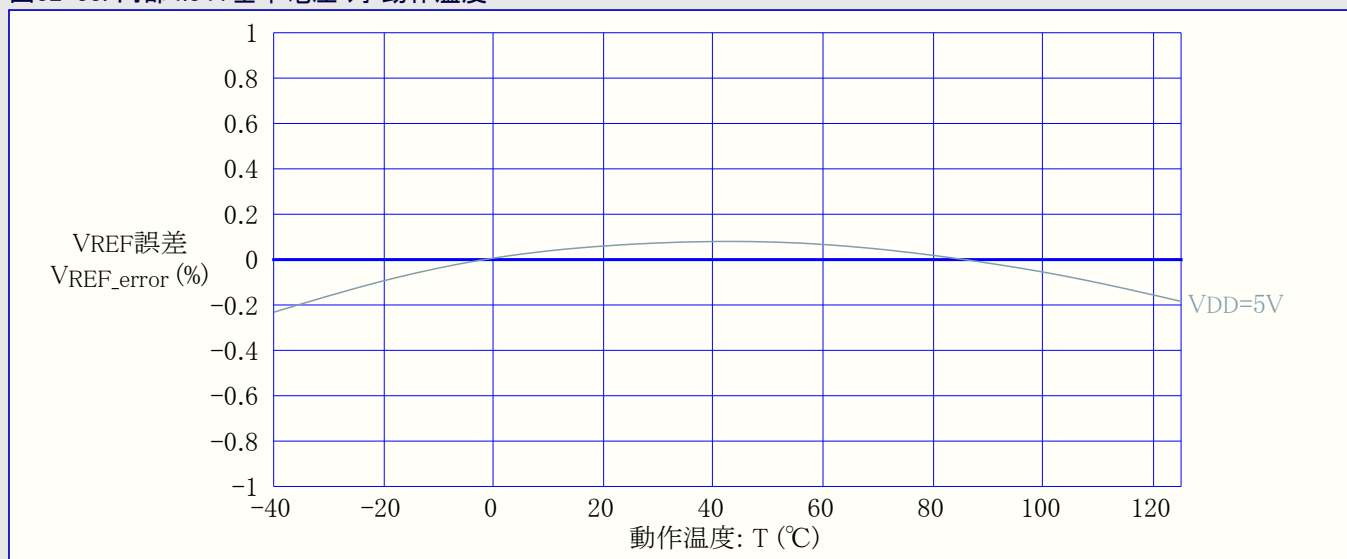


図32-33. 内部4.34V基準電圧 対 動作温度



32.4. BOD特性

32.4.1. BOD電流 対 動作電圧

図32-34. 低電圧検出器(BOD)電流 対 動作温度 (継続動作許可)

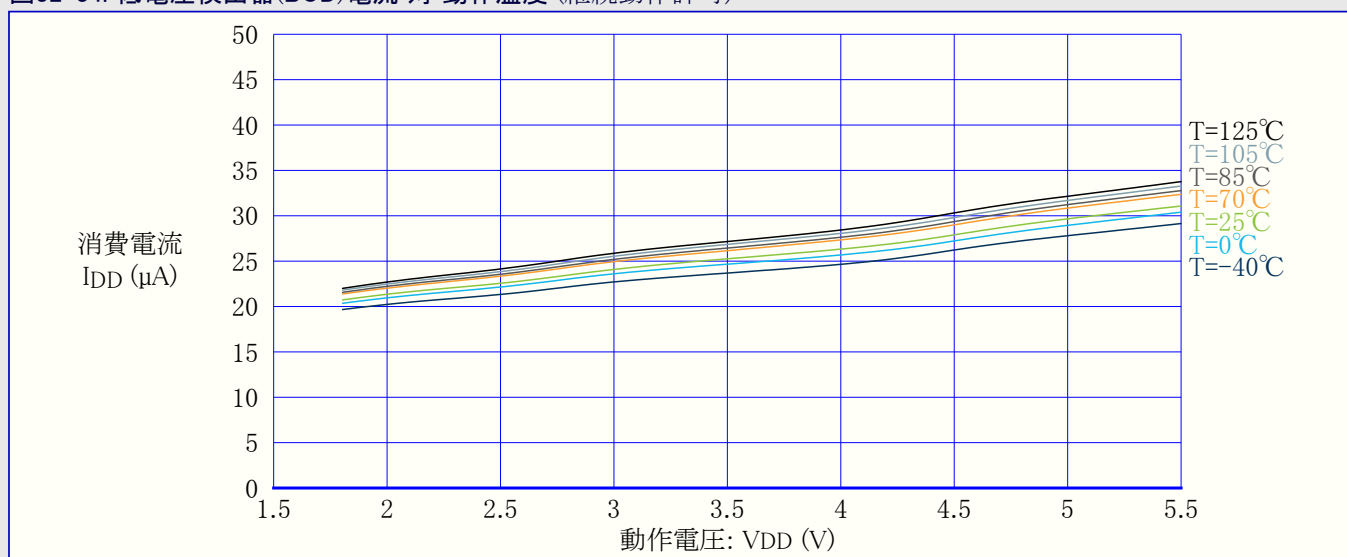


図32-35. 低電圧検出器(BOD)電流 対 動作温度 (125Hzでの採取動作)

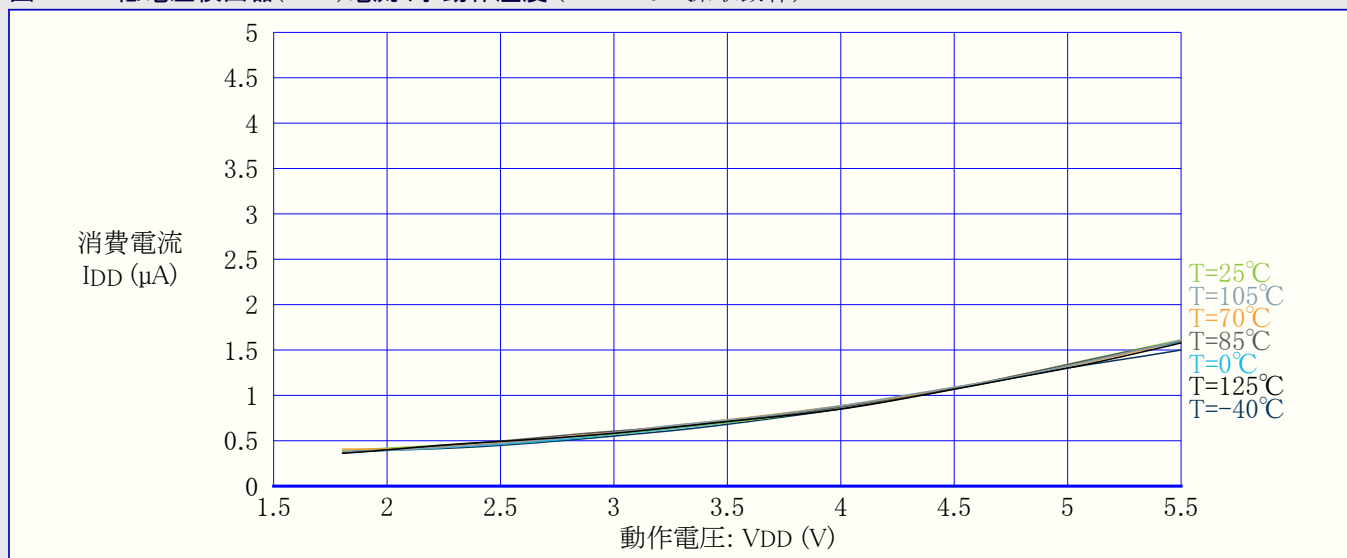
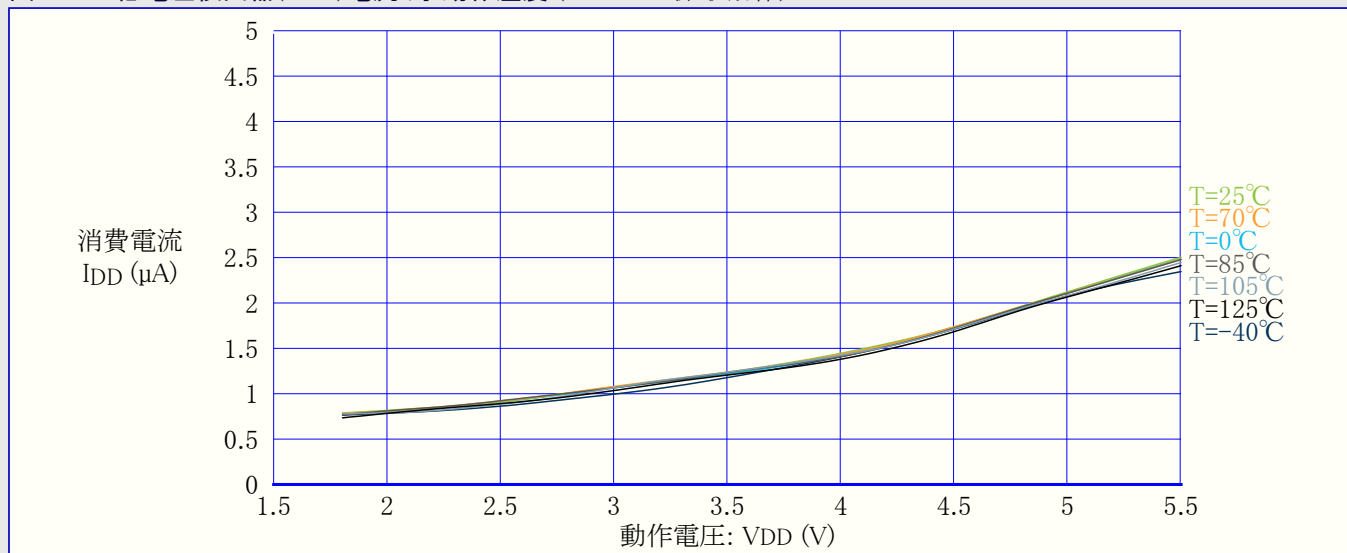


図32-36. 低電圧検出器(BOD)電流 対 動作温度 (1kHzでの採取動作)



32.4.2. BOD閾値 対 動作温度

図32-37. 低電圧検出器(BOD)閾値 対 動作温度 (BOD基準1.8V)

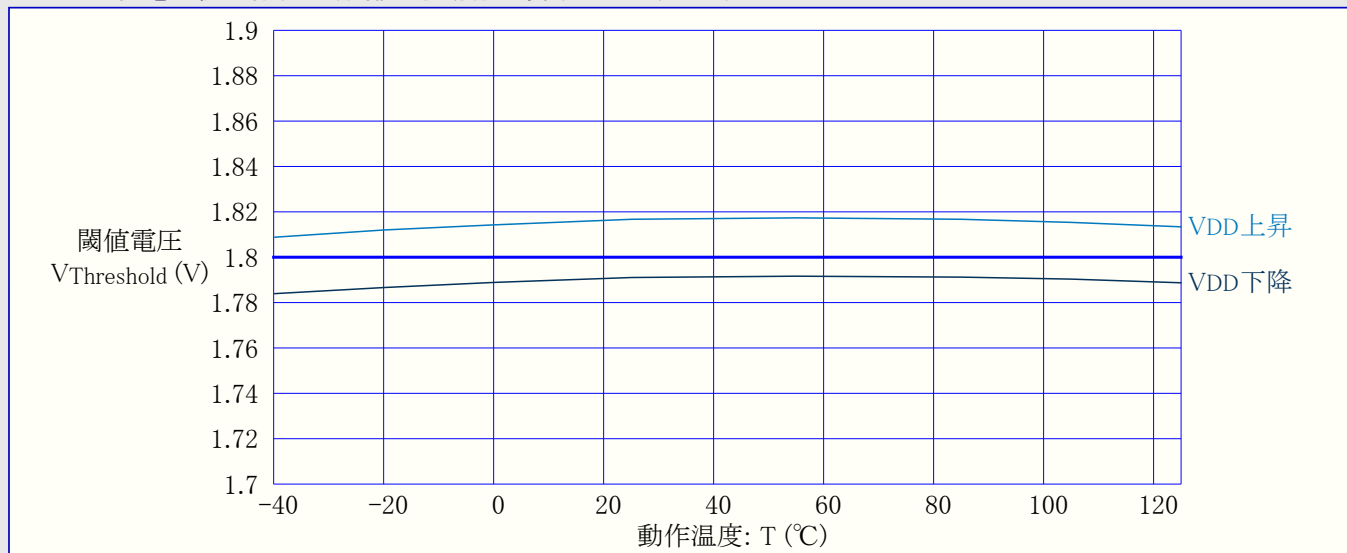


図32-38. 低電圧検出器(BOD)閾値 対 動作温度 (BOD基準2.6V)

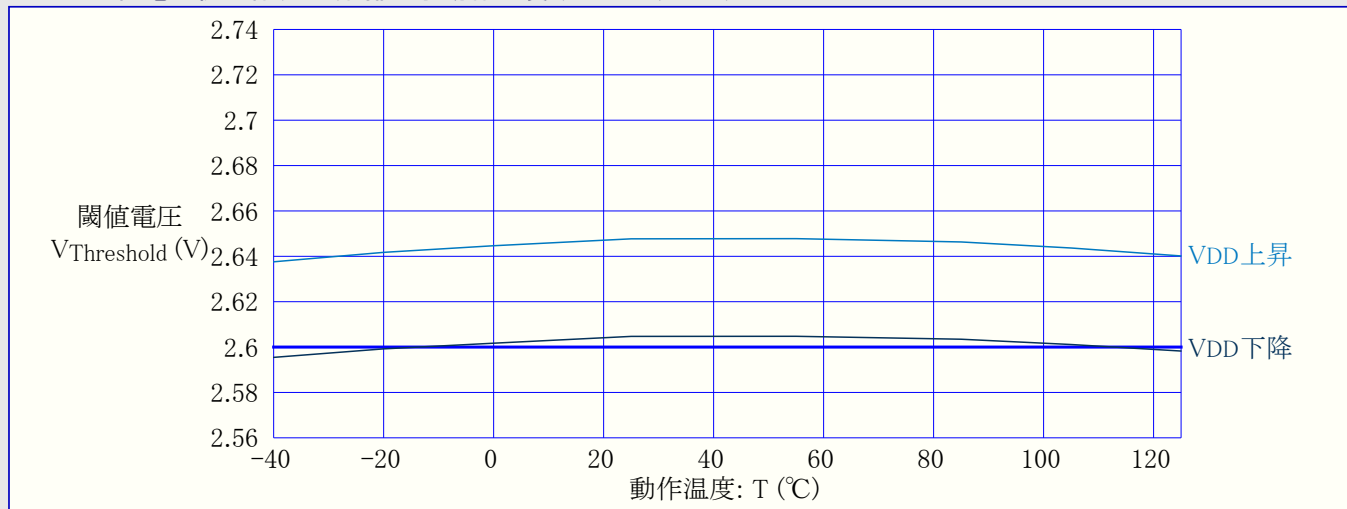
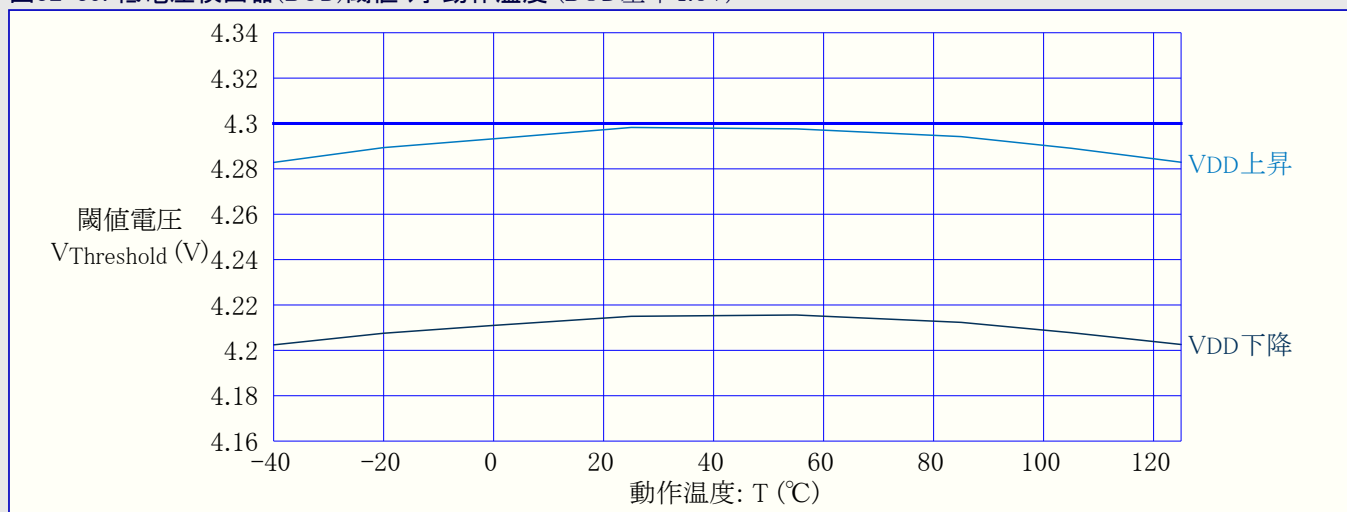


図32-39. 低電圧検出器(BOD)閾値 対 動作温度 (BOD基準4.3V)



32.5. ADC特性

図32-40. 絶対精度 対 動作電圧 (REFSEL=内部基準電圧, 115ksps, $T=25^{\circ}C$)

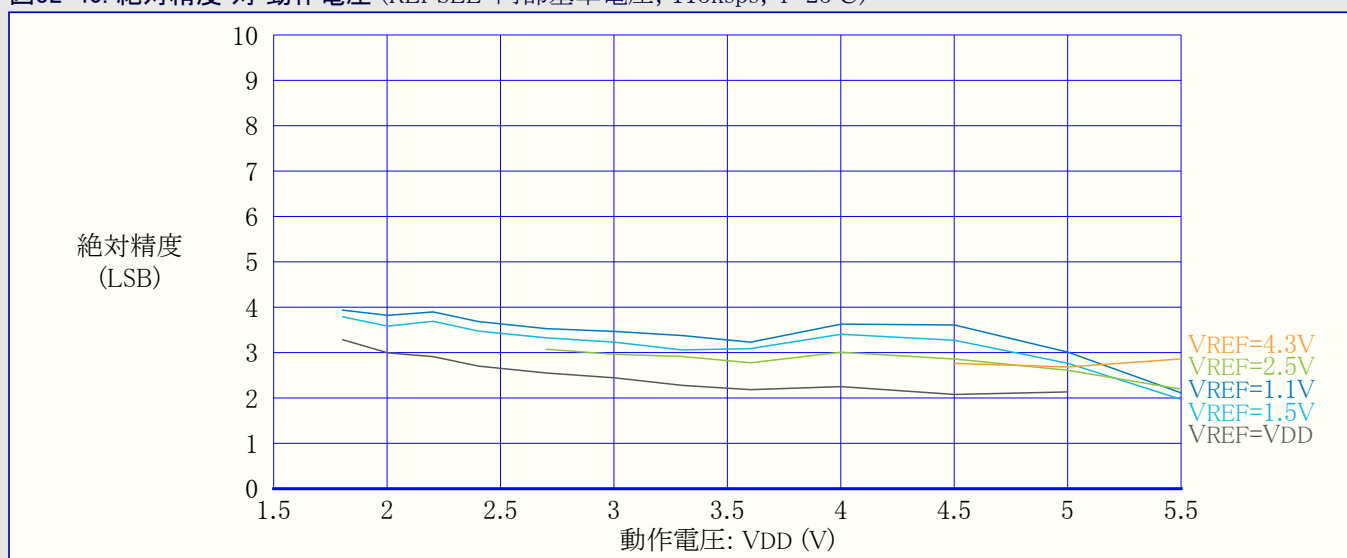


図32-41. 絶対精度 対 V_{REF} (REFSEL=内部基準電圧, $V_{DD}=5V$, 115ksps)

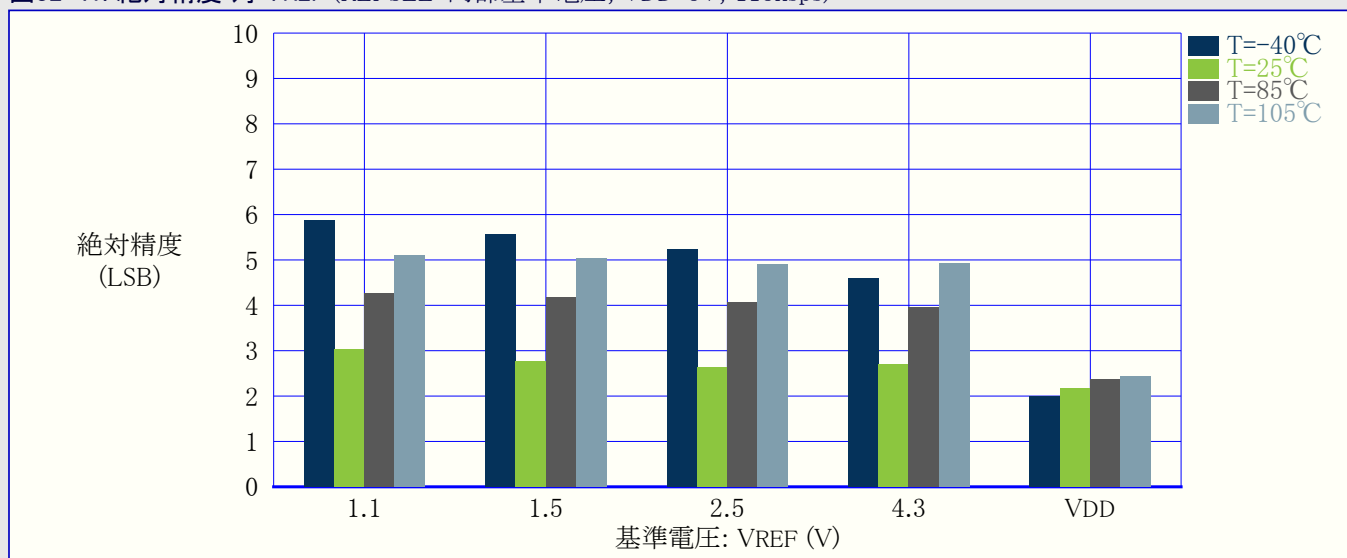


図32-42. 微分性誤差(DNL) 対 動作電圧 (REFSEL=内部基準電圧, 115ksps, T=25°C)

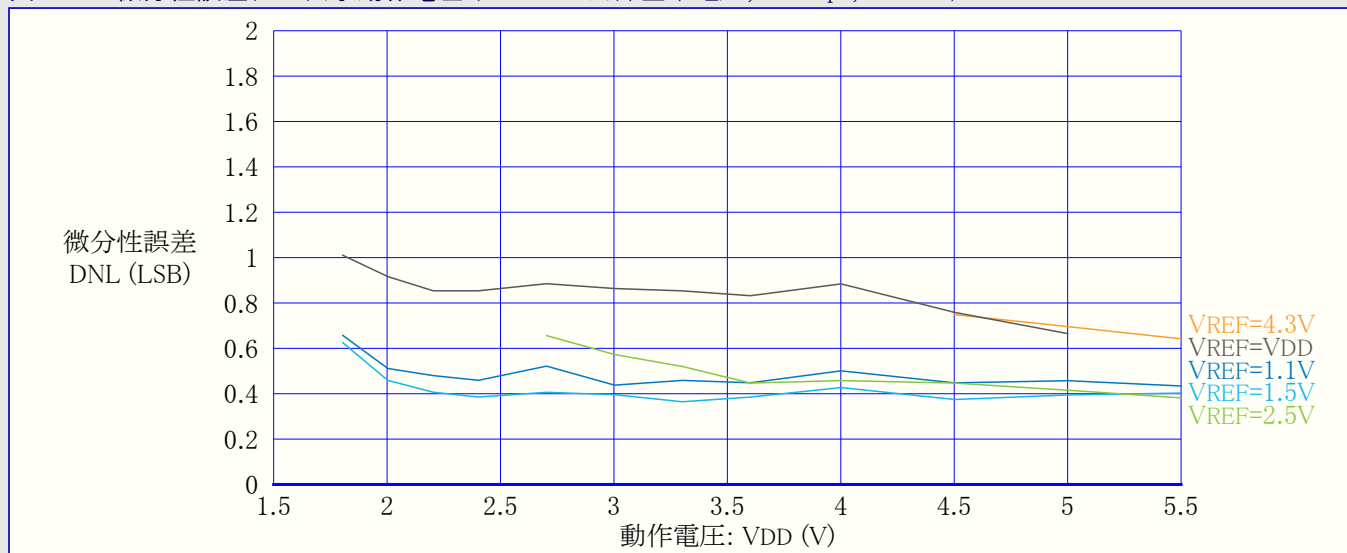


図32-43. 微分性誤差(DNL) 対 VREF (REFSEL=内部基準電圧, VDD=5V, 115ksps)

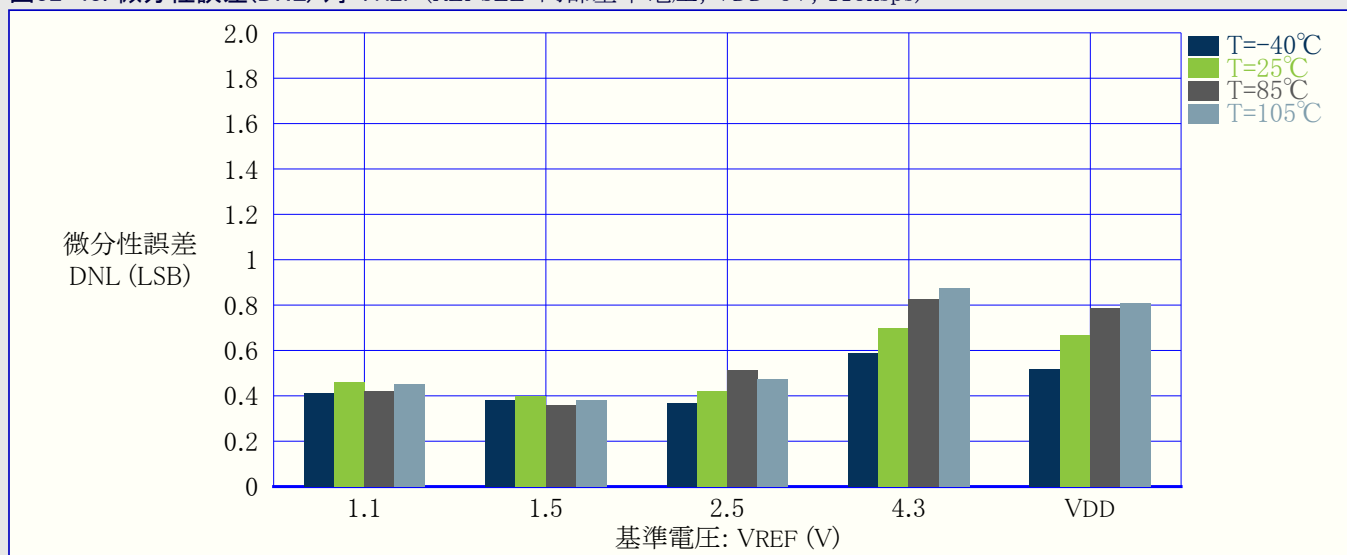


図32-44. 利得誤差 対 動作電圧 (REFSEL=内部基準電圧, 115ksps, T=25°C)

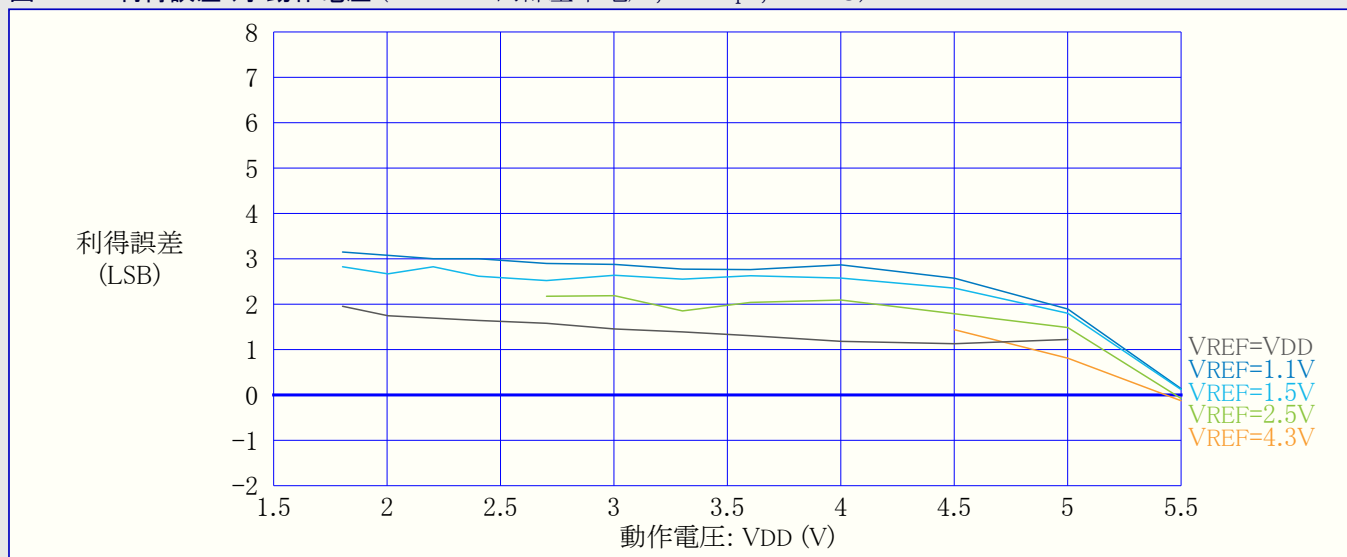


図32-45. 利得誤差 対 VREF (REFSEL=内部基準電圧, VDD=5V, 115ksps)

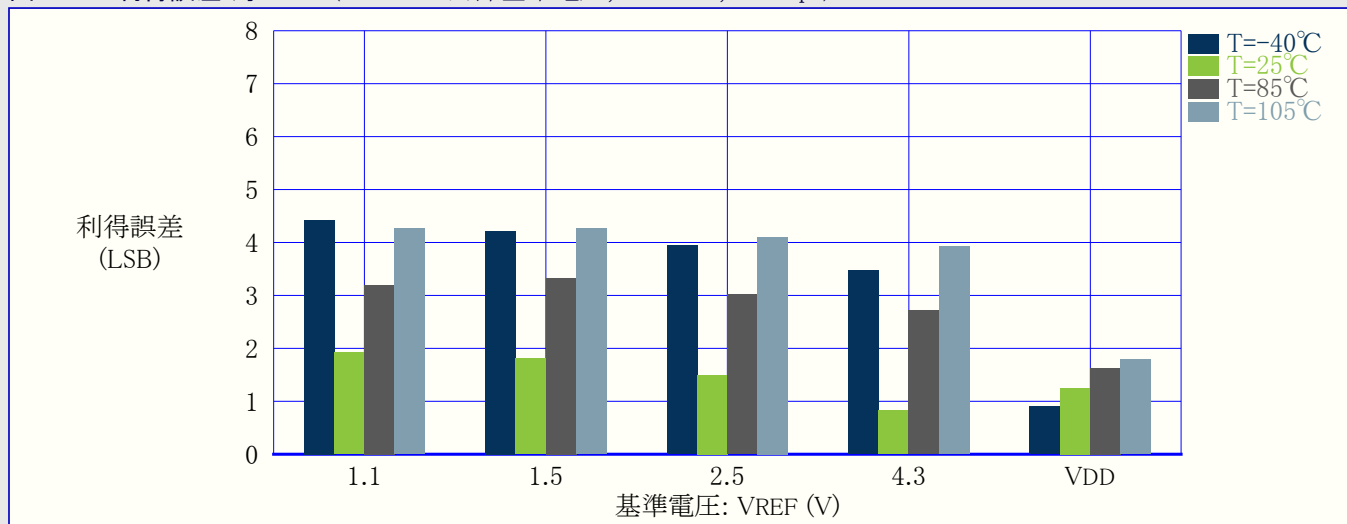


図32-46. 積分性誤差(INL) 対 動作電圧 (REFSEL=内部基準電圧, 115ksps, T=25°C)

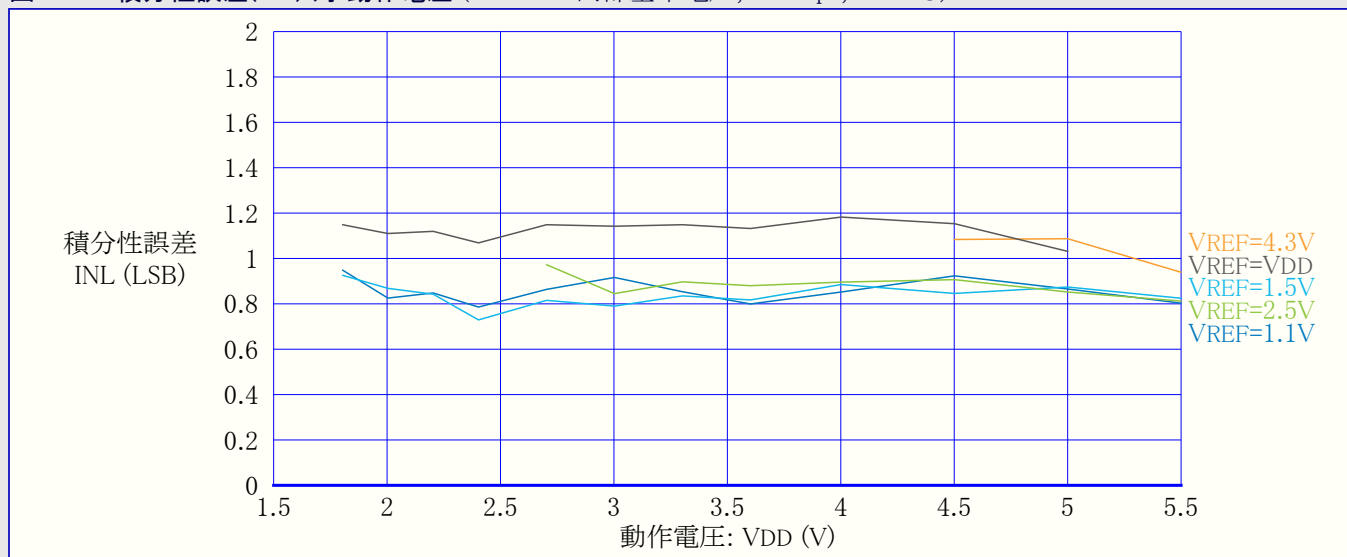


図32-47. 積分性誤差(INL) 対 VREF (REFSEL=内部基準電圧, VDD=5V, 115ksps)

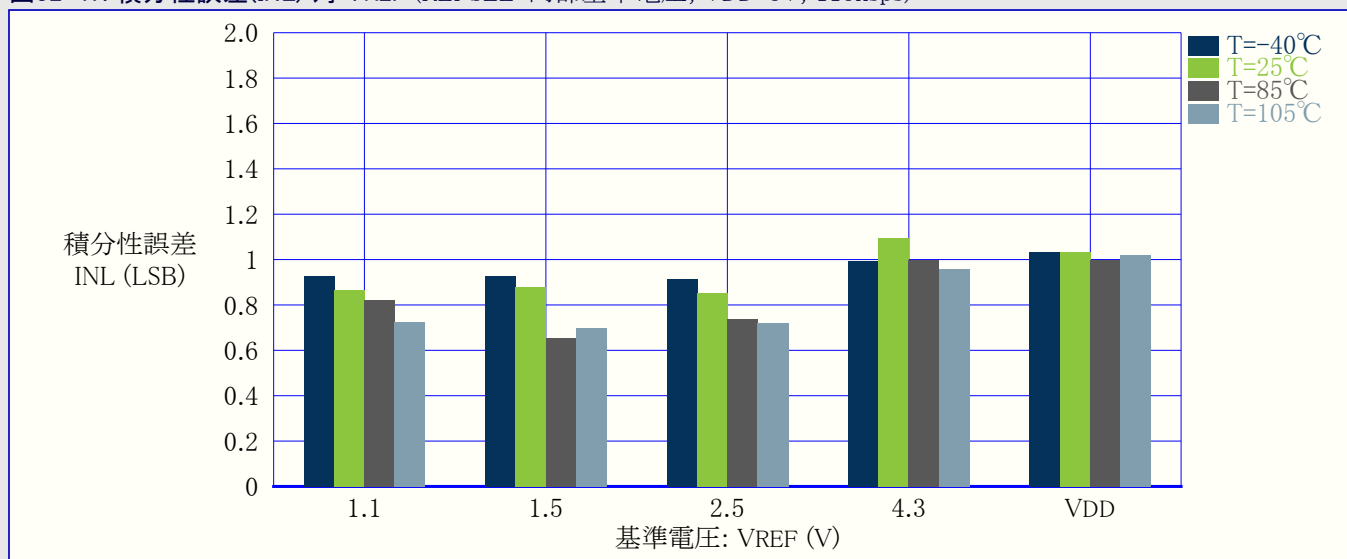


図32-48. 変位(オフセット)誤差 対 動作電圧 (REFSEL=内部基準電圧, 115kps, T=25°C)

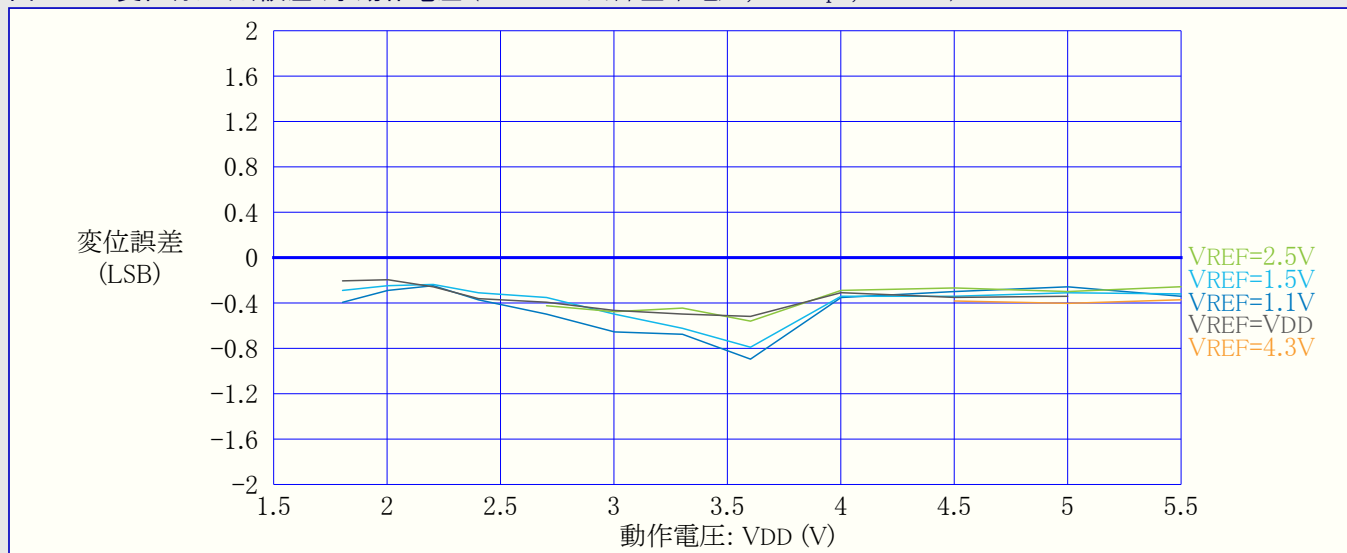
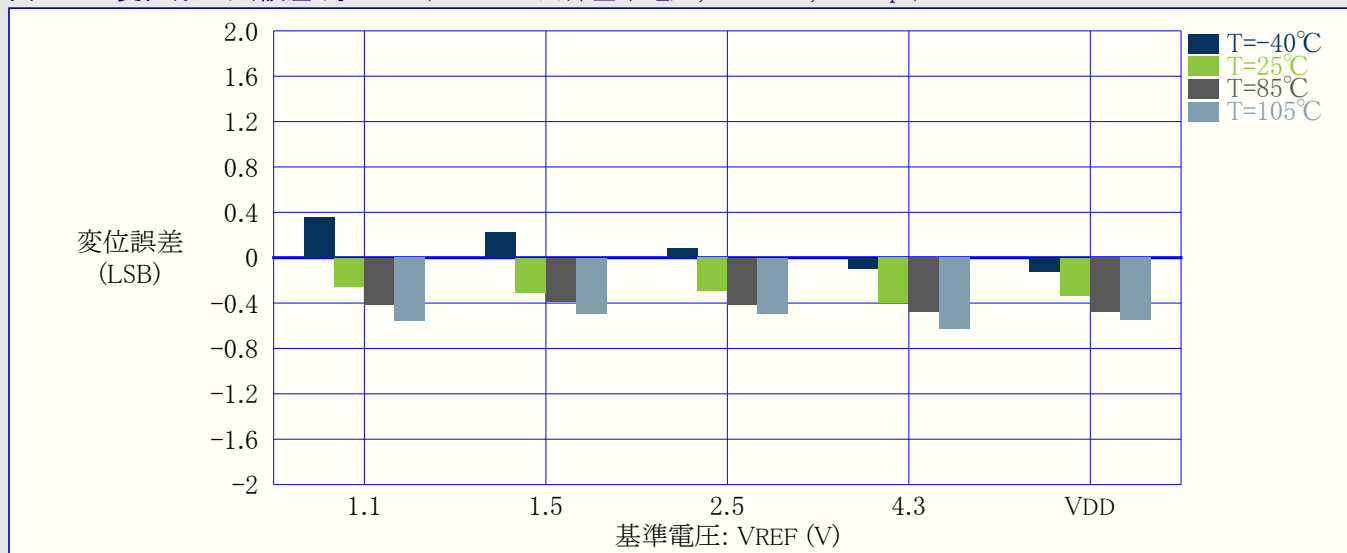
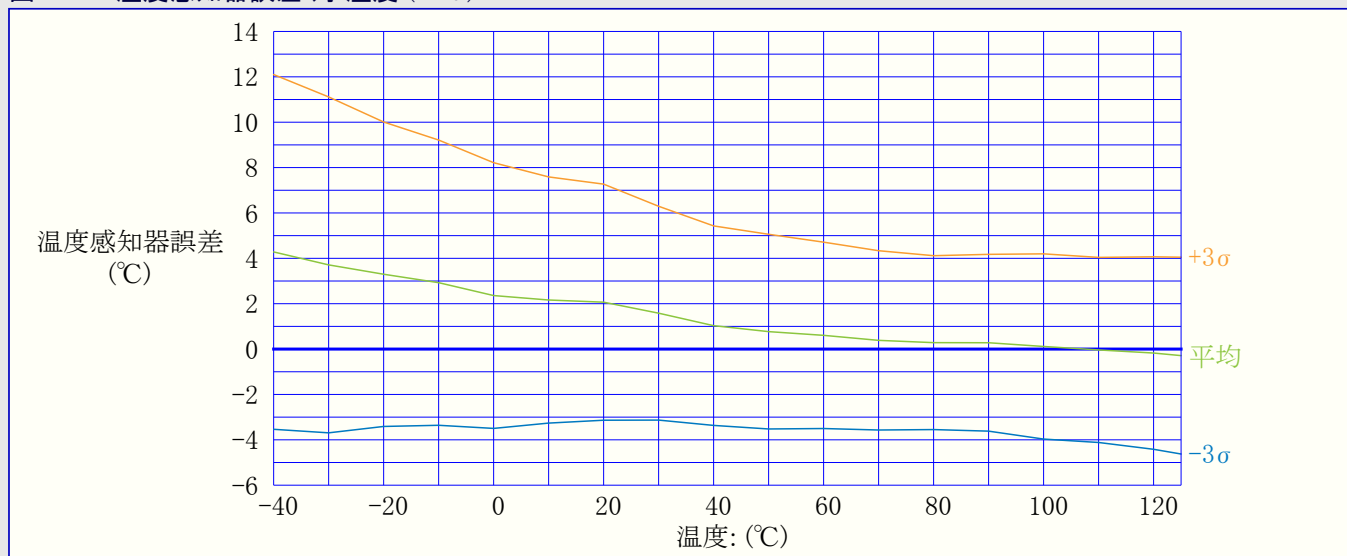


図32-49. 変位(オフセット)誤差 対 VREF (REFSEL=内部基準電圧, VDD=5V, 115kps)



32.6. TMPSENSE特性

図32-50. 温度感知器誤差 対 温度 ($\pm 3\sigma$)



32.7. AC特性

図32-51. ヒステリシス電圧 対 同相入力電圧 (10mV設定、VDD=5V)

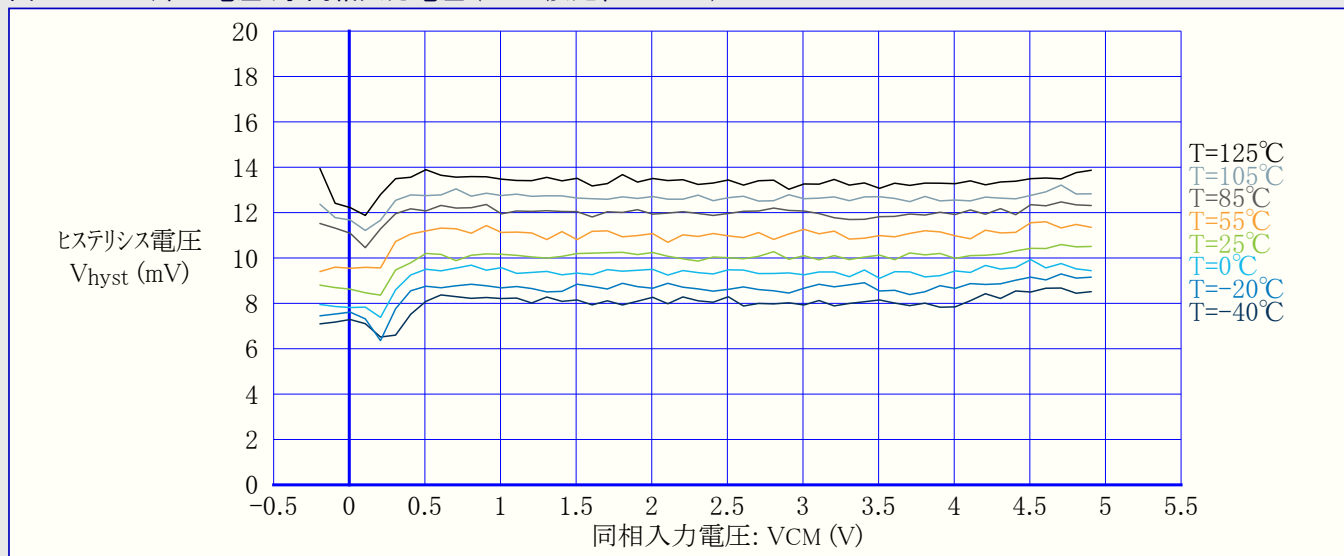
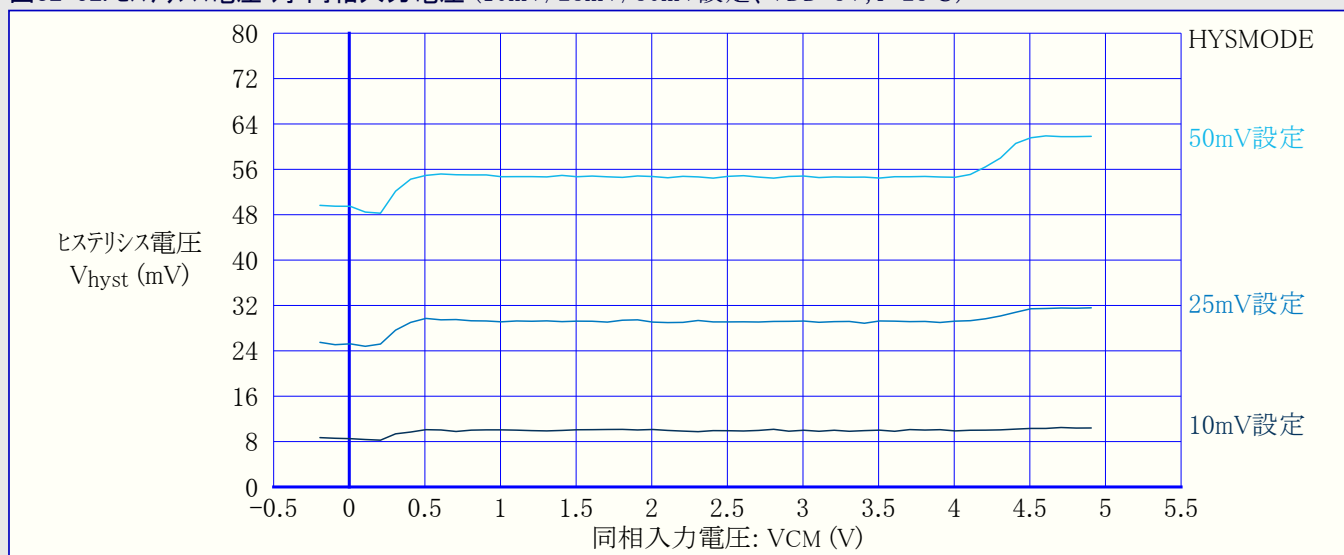
図32-52. ヒステリシス電圧 対 同相入力電圧 (10mV/25mV/50mV設定、VDD=5V, $T=25^{\circ}\text{C}$)

図32-53. 変位(オフセット)電圧 対 同相入力電圧 (10mV設定、VDD=5V)

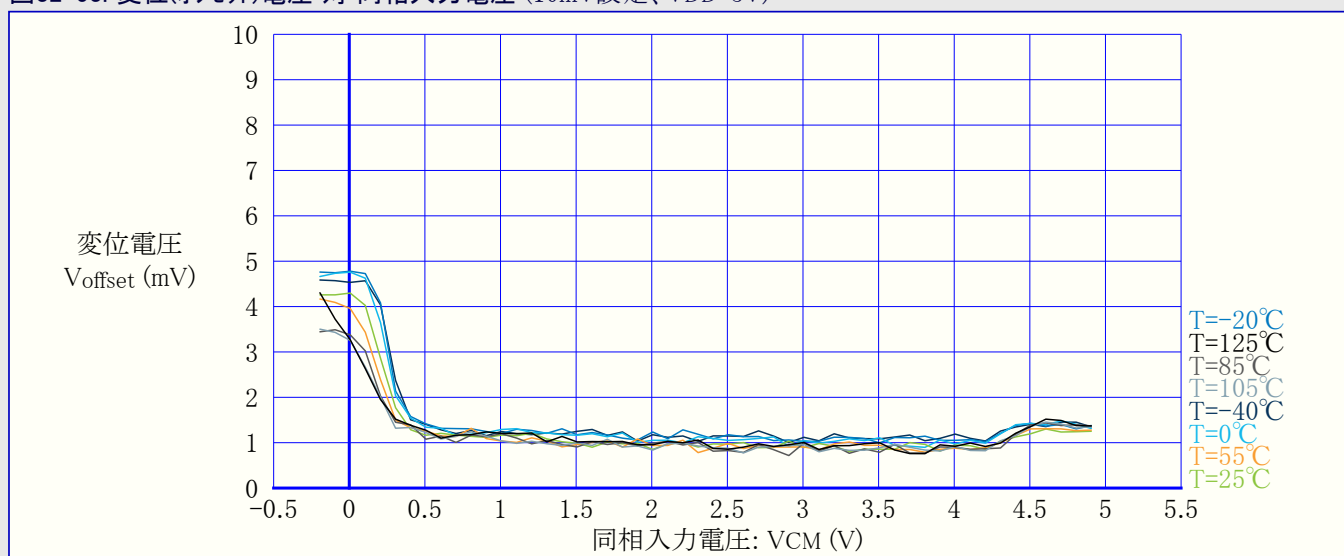


図32-54. 変位(オフセット)電圧 対 同相入力電圧 (10mV/25mV/50mV設定、VDD=5V、T=25°C)

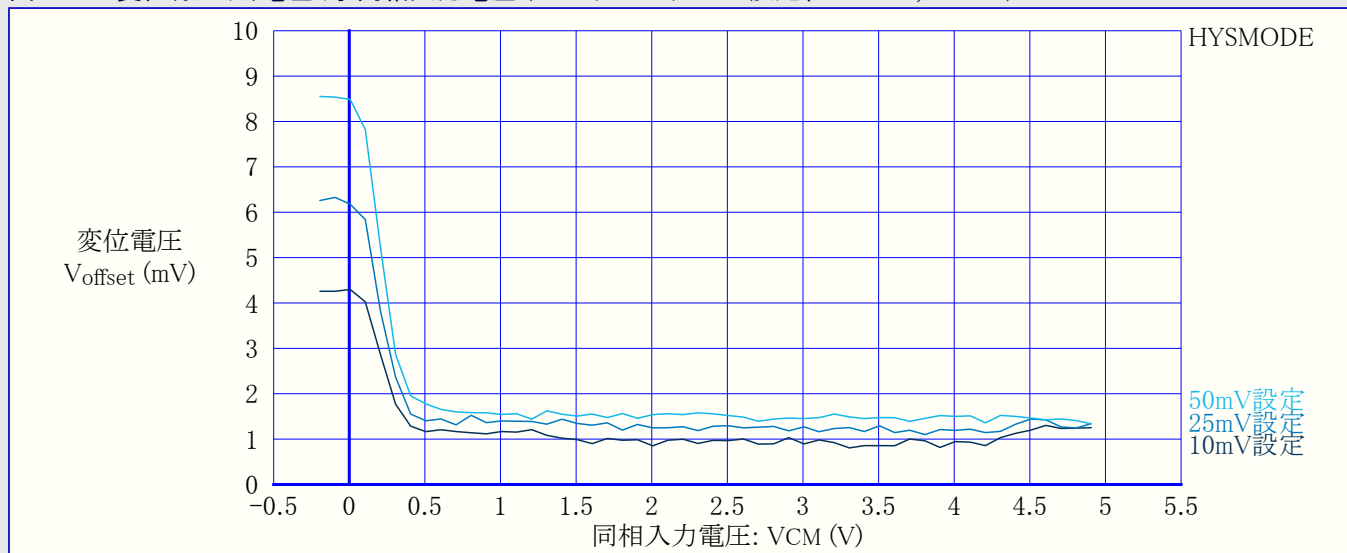


図32-55. 伝搬遅延 対 同相入力電圧 (下降正入力、VOD=25mV、T=25°C)

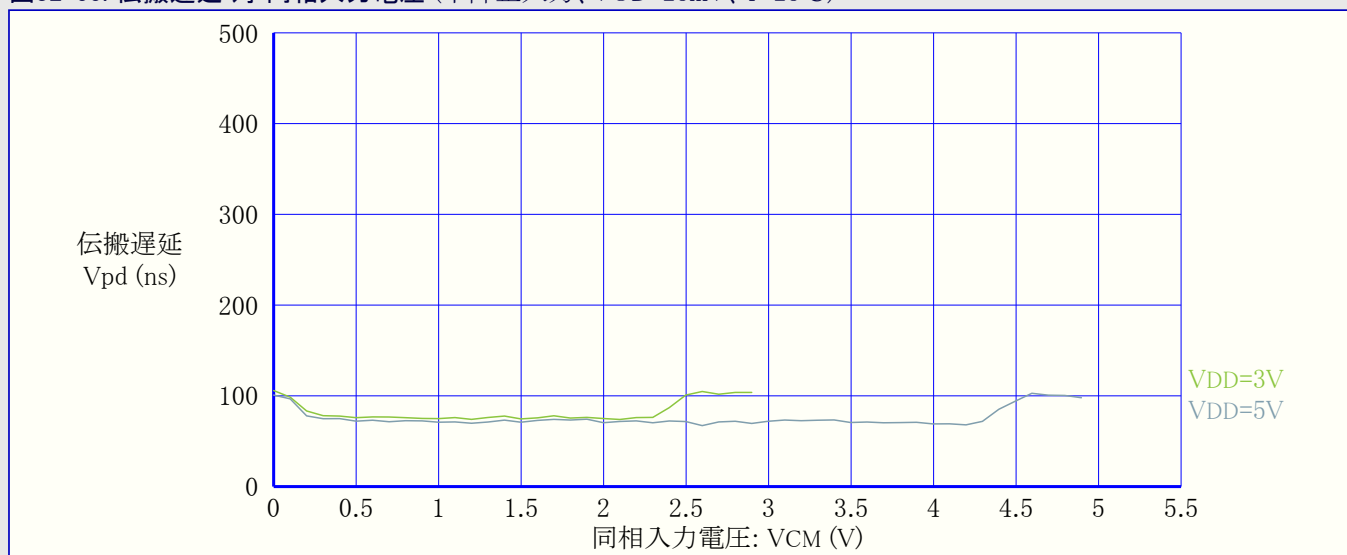
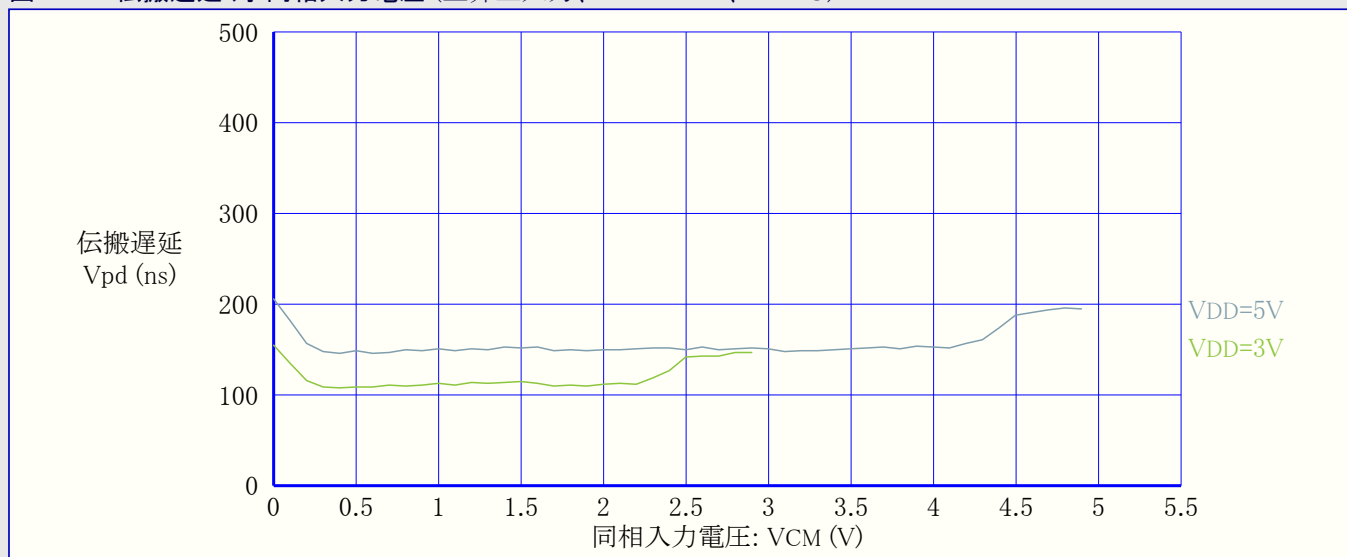


図32-56. 伝搬遅延 対 同相入力電圧 (上昇正入力、VOD=30mV、T=25°C)



32.8. OSC20M特性

図32-57. OSC20M内部発振器：校正段階変量 対 校正値 (VDD=3V)

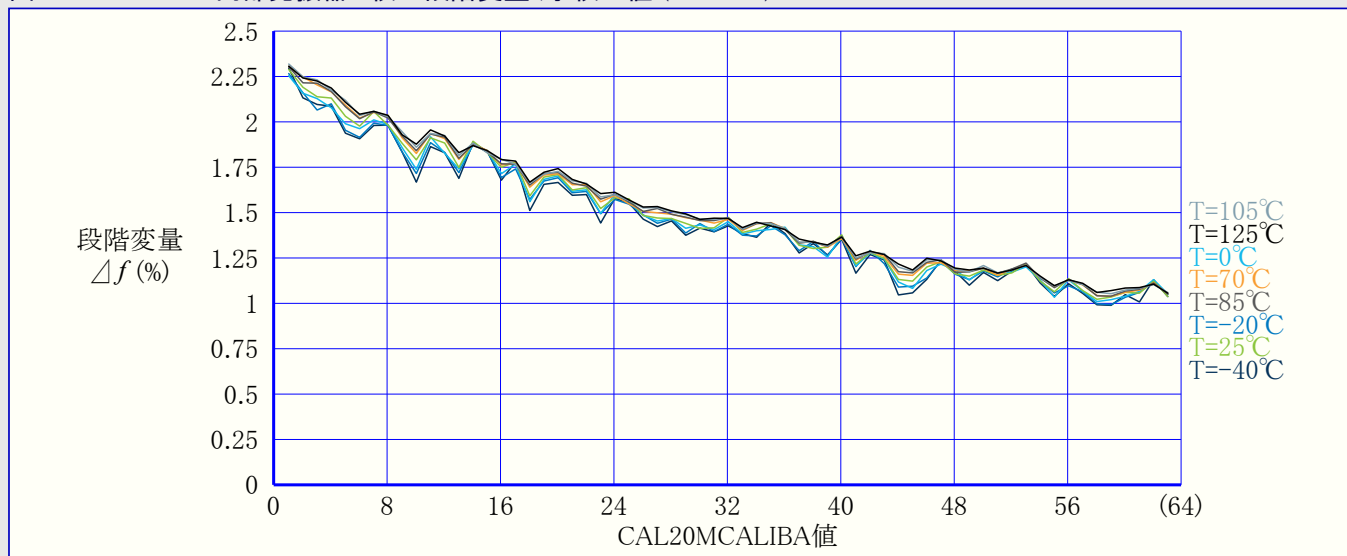


図32-58. OSC20M内部発振器：周波数 対 校正値 (VDD=3V)

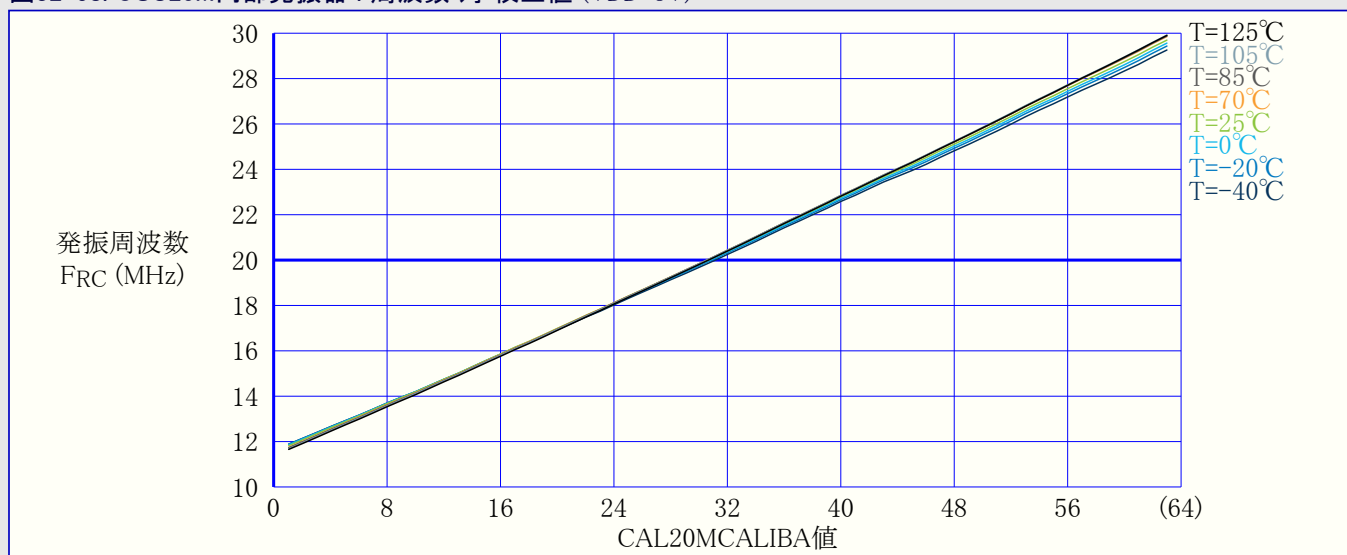


図32-59. OSC20M内部発振器：周波数 対 動作温度

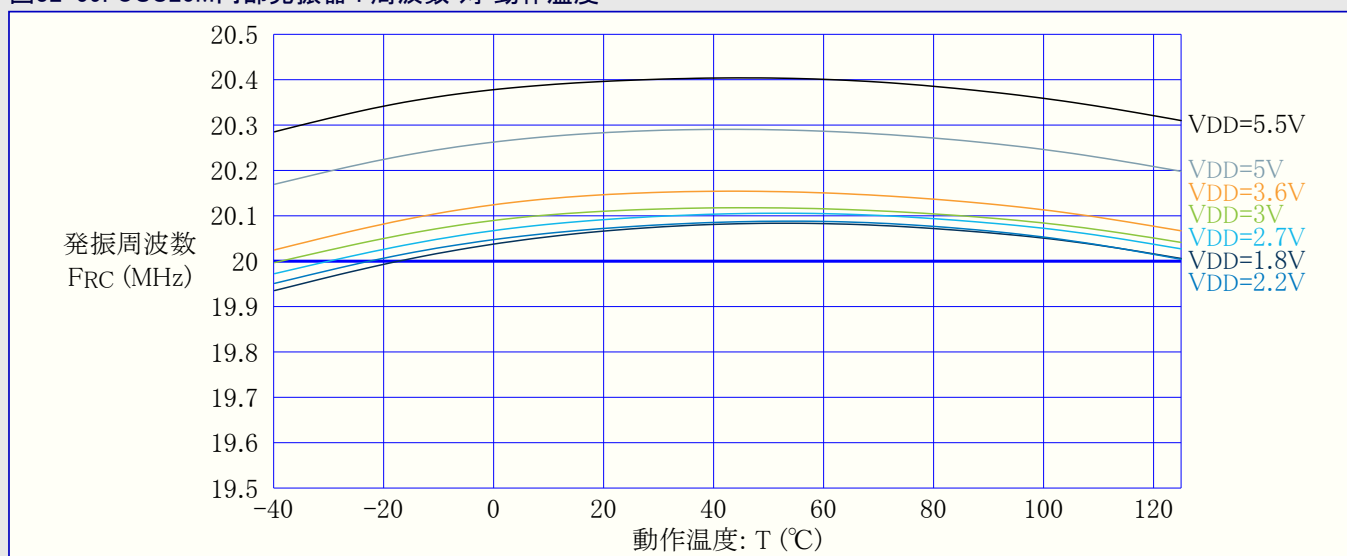
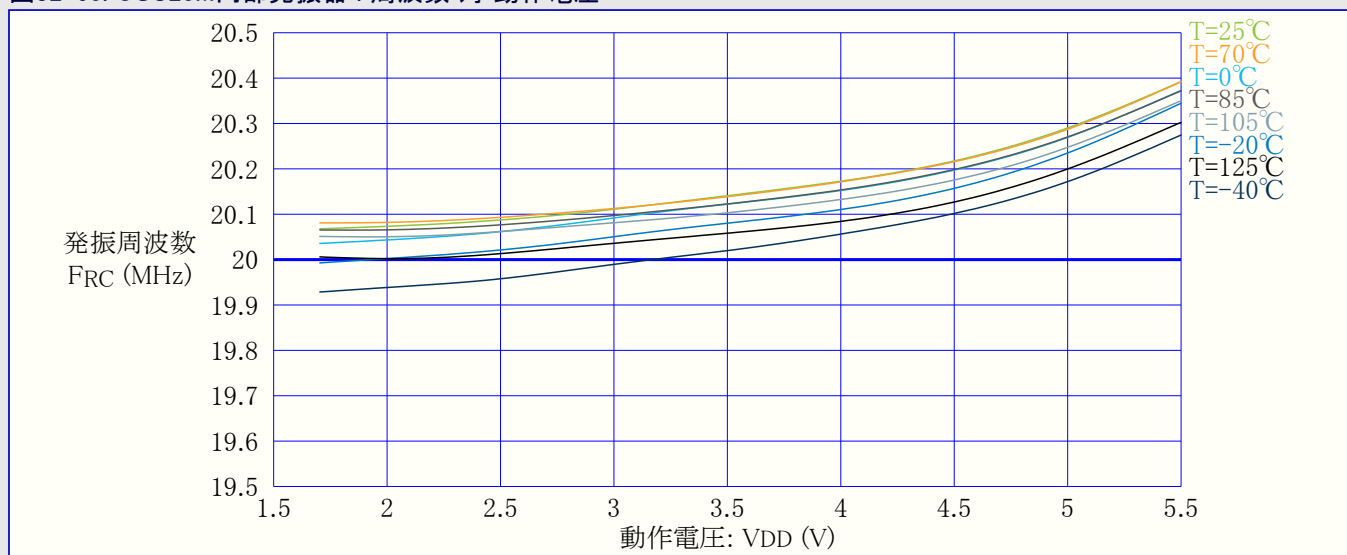


図32-60. OSC20M内部発振器：周波数 対 動作電圧



32.9. OSCULP32K特性

図32-61. OSCULP32K内部発振器：周波数 対 動作温度

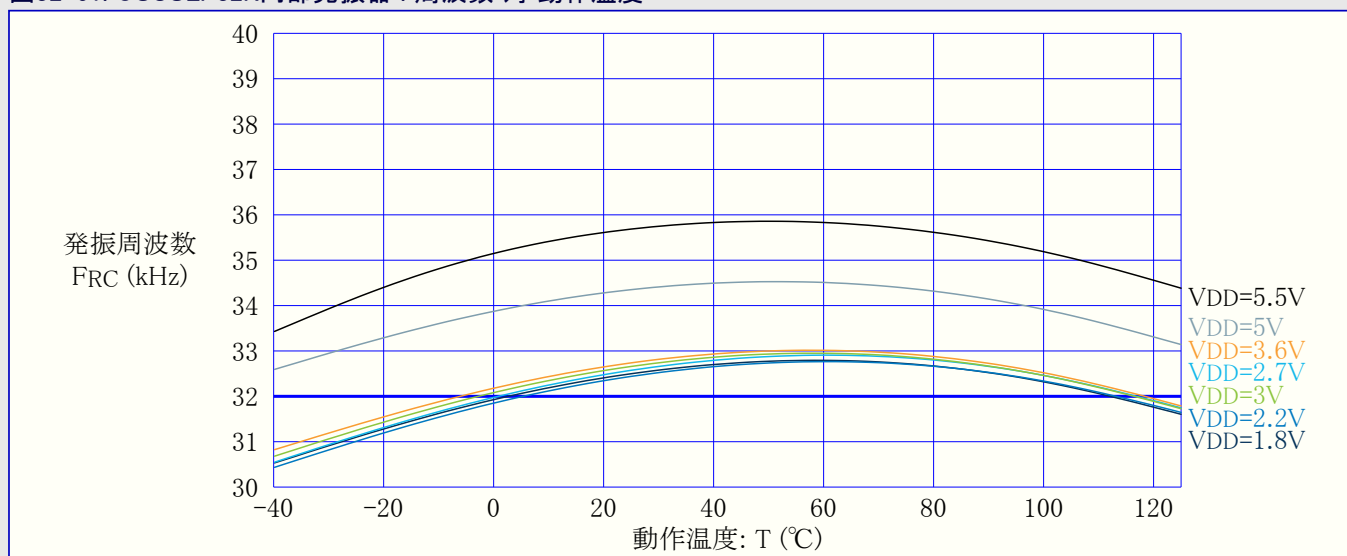
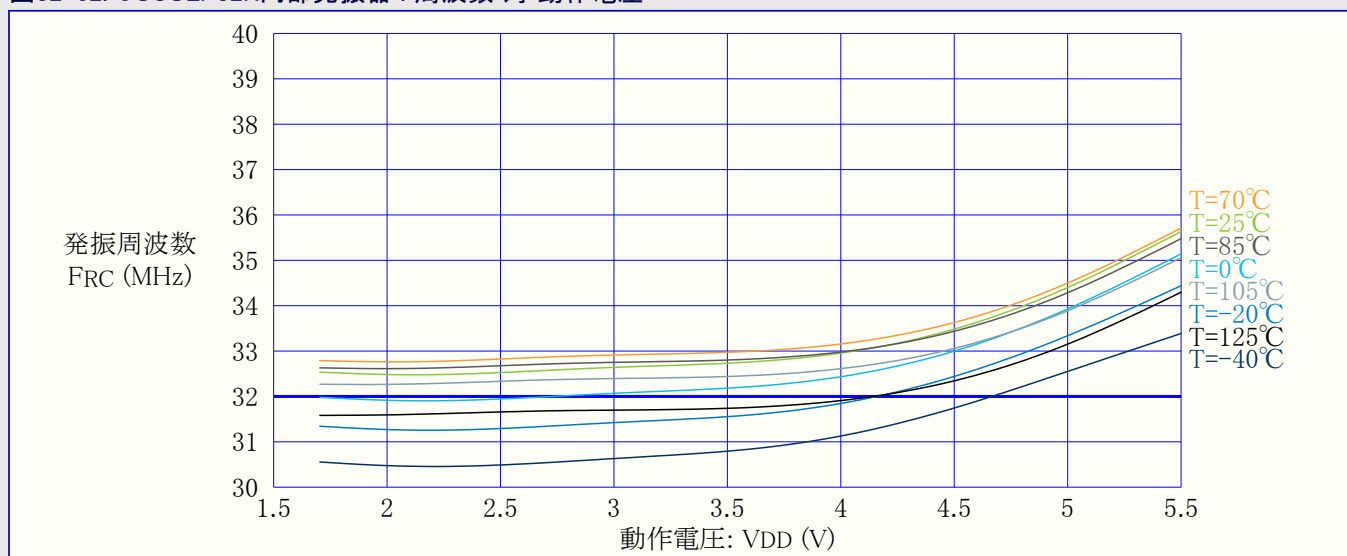
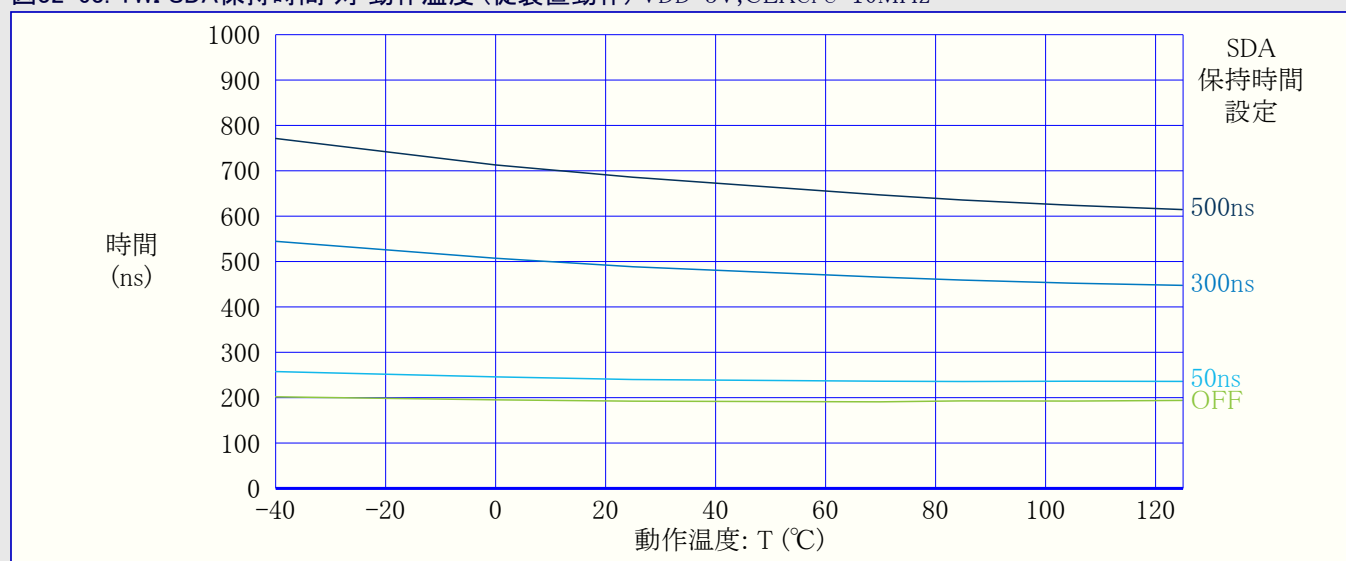


図32-62. OSCULP32K内部発振器：周波数 対 動作電圧



32.10. TWI SDA保持タイミング

図32-63. TWI SDA保持時間 対 動作温度 (従装置動作) VDD=3V,CLKCPU=10MHz



33. 命令一式要約

命令一式要約は[www/microchip.com/DS40002198](http://www.microchip.com/DS40002198)に置かれた「AVR命令一式手引書」の一部です。このデータシートで文書化されたデバイスに関する詳細についてはAVRxtと呼ばれるCPU版を参照してください。

34. 規定

34.1. 数字表記法

表34-1. 数字表記法

シンボル	説明
165	10進数値
0b0101	2進数値 (訳注:本書ではCコード例内以外では不使用)
'0101'	明白な場合に接頭辞で与えられる2進数値 (訳注:本書では基本的に赤字で表現)
0x3B24	16進数値 (訳注:本書ではCコード例内以外では不使用、代わりに\$接頭辞で「\$3B24」形式で表記)
x	未知またはどうでもよい値を表す。
Z	信号またはバスのどちらかに対して高インピーダンス(浮き)状態を表す。(訳注:本書では「Hi-Z」と表記)

34.2. メモリの大きさと形式

表34-2. メモリの大きさとビット速度

シンボル	説明
Kバイト	キロバイト ($2^{10}=1024$ バイト)
Mバイト	メガバイト ($2^{20}=1024$ Kバイト)
Gバイト	ギガバイト ($2^{30}=1024$ Mバイト)
b	ビット (2進数値の'0'または'1') (訳注:本書では不使用、直接「ビット」と表記)
B	バイト (8ビット) (訳注:本書では不使用、直接「バイト」と表記)
1kビット/s	1,000ビット/s速度 (1,024ビット/sではない)
1Mビット/s	1,000,000ビット/s速度
1Gビット/s	1,000,000,000ビット/s速度
word	16ビット (訳注:本書では「語」と表記)

34.3. 周波数と時間

表34-3. 周波数と時間

シンボル	説明
kHz	1kHz= 10^3 Hz=1,000Hz
MHz	1MHz= 10^6 Hz=1,000,000Hz
GHz	1GHz= 10^9 Hz=1,000,000,000Hz
ms	1ms= 10^{-3} s=0.001秒
μs	1μs= 10^{-6} s=0.000001秒
ns	1ns= 10^{-9} s=0.000000001秒

34.4. レジスタとビット

表34-4. レジスタとビットの簡略記法

シンボル	説明
R/W	読み書きアクセス可能なレジスタビット。このビットに対して読み書きすることができます。
R	読み込み専用アクセス可能なレジスタビット。このビットを読むことだけです。書き込みは無視されます。
W	書き込み専用アクセス可能なレジスタビット。このビットを書くことだけです。このビットの読み込みは未定義の値を返します。
ビット領域	ビット名は大文字で支援されます(例:INTMODE)。
ビット領域[n:m]	ビットn~m(n>m)のビットの組。(訳注:本書では不使用、「FIELDn~m」形式で表記) (例:PINA[3:0](不使用)=PINA3~0(本書表記)=(PINA3,PINA2,PINA1,PINA0)
予約	予約されたビット、ビット領域、ビット領域値は使われず、将来に使うために予約されます。将来のデバイスとの互換性のため、そのレジスタが書かれ時に予約ビットに常に'0'を書いてください。予約ビットは読む時に常に'0'を返します。
周辺機能n	少数の周辺機能の実体が存在する場合、周辺機能名は1つの実体を識別するために単一番号によって後続されます。例:USARTnはUSART単位部の全実体の集合で、一方でUSART3はUSART単位部の1つの特定実体を指定します。
周辺機能x	少数の周辺機能の実体が存在する場合、周辺機能名は1つの実体を識別するために単一大文字(A~Z)によって後続されます。例:PORTxはPORT単位部の全実体の集合で、一方でPORTBはPORT単位部の1つの特定実体を指定します。
リセット	電源ONリセット後のレジスタの値。これはデバッグ制御レジスタを除き、周辺機能のソフトウェアリセットを実行した後の周辺機能のレジスタの値でもあります。
SET/CLR/TGL	SET/CLR/TGL接尾辞を持つレジスタは「読み-変更-書き」操作を行うことなく、レジスタ内のビットの設定(1)と解除(0)に使用者に許します。各SET/CLR/TGLレジスタはそれが影響を及ぼすレジスタと対にされます。レジスタ対の両レジスタは読む時に同じ値を返します。 例: PORT周辺機能に於いて、OUTとOUTSETのレジスタがこのようなレジスタ対を形成します。OUTの内容はOUTSETへの書き込みによって変更されます。OUTとOUTSETの読み込みは同じ値を返します。 CLRレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを解除(0)します。 SETレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを設定(1)します。 TGLレジスタ内のビットへの'1'書き込みは両レジスタで対応するビットを反転します。

34.4.1. ヘッド ファイルからのレジスタ アクセス

供給したCヘッド ファイルでレジスタをアドレス指定するには以下の規則が適用されます。

1. レジスタは<周辺機能実体名>.<レジスタ名>、例えば、CPU.SREG、USART2.CTRLA、PORTB.DIRによって識別されます。
2. 周辺機能名は「周辺機能と基本構造」章の「[周辺機能単位部アドレス配置](#)」で与えられます。
3. <周辺機能実体名>は周辺機能名の何れかのnまたはxを正しい実体識別子で置き換えることによって得られます。
4. 周辺機能レジスタに予め定義された値を割り当てる時に、その値は次のような規則に従って構築されます。

<周辺機能名>_<ビット領域名>_<ビット領域値>_gc

<周辺機能名>は<周辺機能実体名>ですが、どの実体識別子も取り去られます。

<ビット領域値>は周辺機能レジスタのビット領域を記述する「レジスタ説明」章内の表の「名称」列で見つけることができます。

例34-1. レジスタ割り当て

```
// EVSYSチャネル0はTCB3のOVF事象によって駆動されます。
EVSYS.CHANNEL0 = EVSYS_CHANNEL0_TCB3_OVF_gc;

// USART0のRXMODEは2倍速伝送を使います。
USART0.CTRLB = USART_RXMODE_CLK2X_gc;
```

注: 違う動作形態に於いて異なるレジスタ一式を持つ周辺機能に対して、<周辺機能実体名>と<周辺機能名>は動作形態名が後続されなければならない、例えば以下です。

```
// 標準(SINGLE)動作のTCA0は周波数動作で波形生成器を使います。
TCA0.SINGLE.CTRL=TCA_SINGLE_WGMODE_FRQ_gc;
```

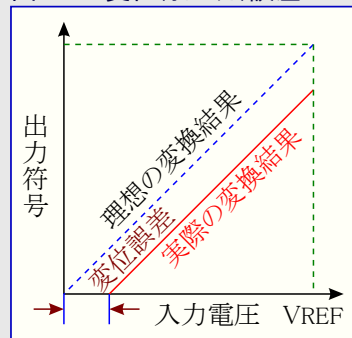
34.5. ADCパラメータ定義

理想 n ビットシングルエンドA/D変換はGNDとVREF間を 2^n 段階(LSB)で電圧を直線的に変換します。最低値符号は'0'として読まれ、最高値符号は 2^n-1 として読まれます。いくつかの項目は理想的な動きからの偏差を記述します。

変位(オフセット)誤差

理想遷移点(差0.5 LSB)と比べた最初の遷移(\$000から\$001)の偏差です。理想値: 0 LSB

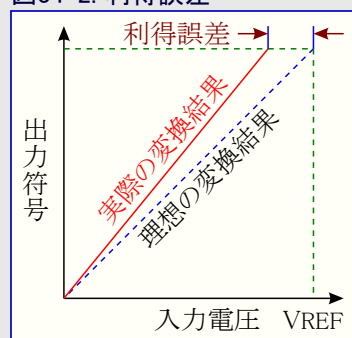
図34-1. 変位(オフセット)誤差



利得誤差

変位(オフセット)誤差補正後、利得誤差は理想遷移(最大1.5 LSB以下)と比べた最後の遷移(例えば、10ビットADCについては\$3FEから\$3FF)の偏差として見出されます。理想値: 0 LSB

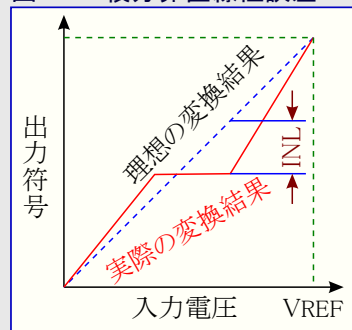
図34-2. 利得誤差



積分非直線性誤差 (INL)

変位(オフセット)誤差と利得誤差の補正後、INLは何れかの符号に対する理想遷移と比べた実際の遷移の最大偏差です。理想値: 0 LSB

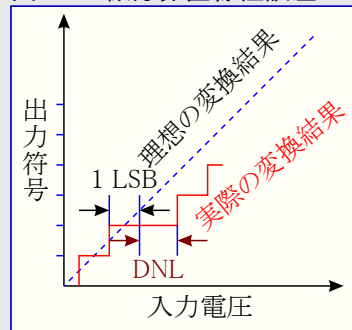
図34-3. 積分非直線性誤差



微分非直線性誤差 (DNL)

理想符号幅(1 LSB)から実際の符号幅(隣接する2つの遷移間の間隔)の最大偏差です。理想値: 0 LSB

図34-4. 微分非直線性誤差



量子化誤差

有限数の符号への入力電圧の量子化のため、入力電圧範囲(1 LSB幅)は同じ値に符号化します。常に ± 0.5 LSB

絶対精度

何れかの符号に対して理想遷移点と比べた(非補正の)実際の遷移の最大偏差です。これは全ての前述の誤差の複合作用です。理想値: ± 0.5 LSB

35. 注文情報

・利用可能な注文任意選択は以下によって見つけることができます。

- 以下の製品頁リンクの1つでのクリック
 - ・ [ATtiny804製品頁](#)
 - ・ [ATtiny806製品頁](#)
 - ・ [ATtiny807製品頁](#)
 - ・ [ATtiny1604製品頁](#)
 - ・ [ATtiny1606製品頁](#)
 - ・ [ATtiny1607製品頁](#)
- microchipdirect.comで製品名による検索
- 最寄りの販売代理店へのお問い合わせ

35.1. 製品情報

注: 利用可能な注文符号の最新情報については製品頁で見つかる「ATtiny804/806/807/1604/1606/1607シリコン障害とデータシート説明」(www.microchip.com/DS80000951)を参照してください。

注文符号 (注1)	フラッシュ/SRAM	ピン数	最大CPU速度	供給電圧	外囲器形式 (注2,3)	温度範囲
ATtiny804-SSNR		14	20MHz	1.8~5.5V	SOIC	-40°C~105°C
ATtiny804-SSN						
ATtiny804-SSFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny804-SSF						
ATtiny806-MNR	8KB/512B	20	20MHz	1.8~5.5V	VQFN	-40°C~105°C
ATtiny806-MN						
ATtiny806-MFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny806-MF						
ATtiny806-SNR		20	20MHz	1.8~5.5V	SOIC	-40°C~105°C
ATtiny806-SN						
ATtiny806-SFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny806-SF						
ATtiny807-MNR		24	20MHz	1.8~5.5V	VQFN	-40°C~105°C
ATtiny807-MN						
ATtiny807-MFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny807-MF						
ATtiny1604-SSNR		14	20MHz	1.8~5.5V	SOIC	-40°C~105°C
ATtiny1604-SSN						
ATtiny1604-SSFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny1604-SSF						
ATtiny1606-MNR	16KB/1KB	20	20MHz	1.8~5.5V	VQFN	-40°C~105°C
ATtiny1606-MN						
ATtiny1606-MFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny1606-MF						
ATtiny1606-SNR		20	20MHz	1.8~5.5V	SOIC	-40°C~105°C
ATtiny1606-SN						
ATtiny1606-SFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny1606-SF						
ATtiny1607-MNR		24	20MHz	1.8~5.5V	VQFN	-40°C~105°C
ATtiny1607-MN						
ATtiny1607-MFR			16MHz	2.7~5.5V		-40°C~125°C
ATtiny1607-MF						

注1: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全。

注2: テープとリール、チューブまたはトレイ梱包媒体で利用可能。

注3: 外囲器外形図は「36. 外囲器図」章で見つけることができます。

36. 外圍器図

36.1. オンライン外圍器図

最新の外圍器図については、

1. www.microchip.com/packagingへ行ってください。
2. 外圍器形式特定頁、例えばVQFNへ行ってください。
3. 最新の外圍器図を見つけるために図番号と型式を探してください。

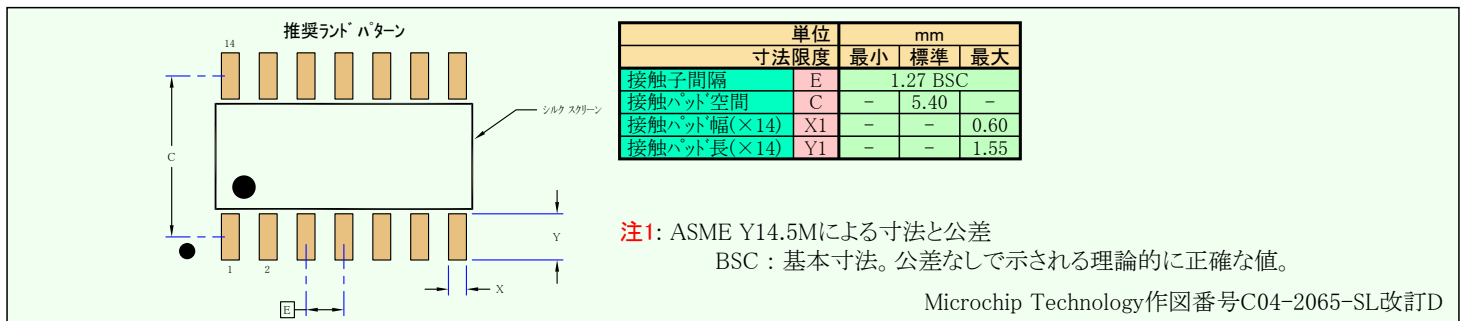
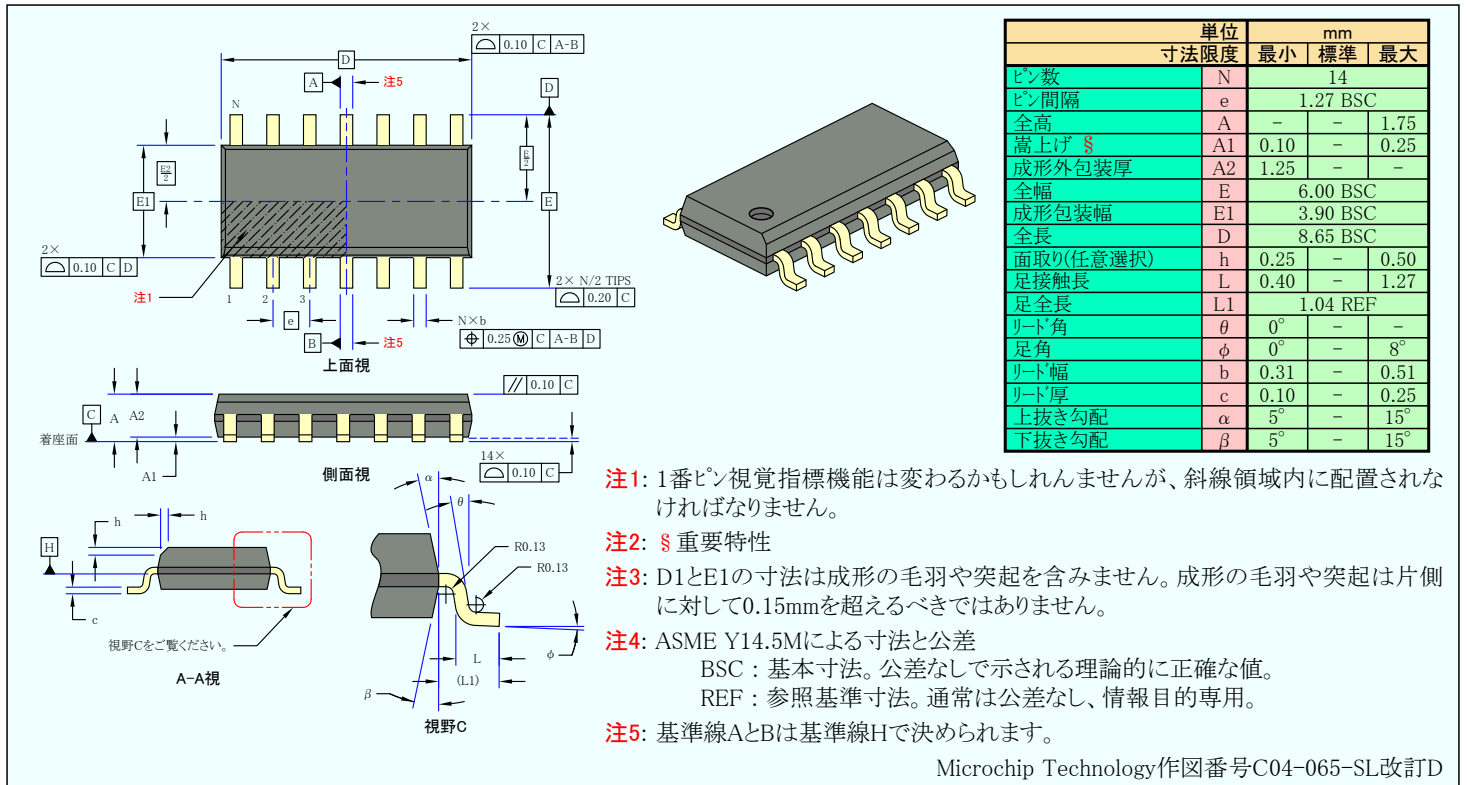
表36-1. 図番号

ピン数	外圍器型式	図番号	型式
14	SOIC	C04-00065	SL
20		C04-00094	SO
24	VQFN	C04-21380	REB
		C04-21386	RLB

注: 最新の外圍器図については<http://www.microchip.com/packaging>に置かれたMicrochip外圍器仕様をご覧ください。

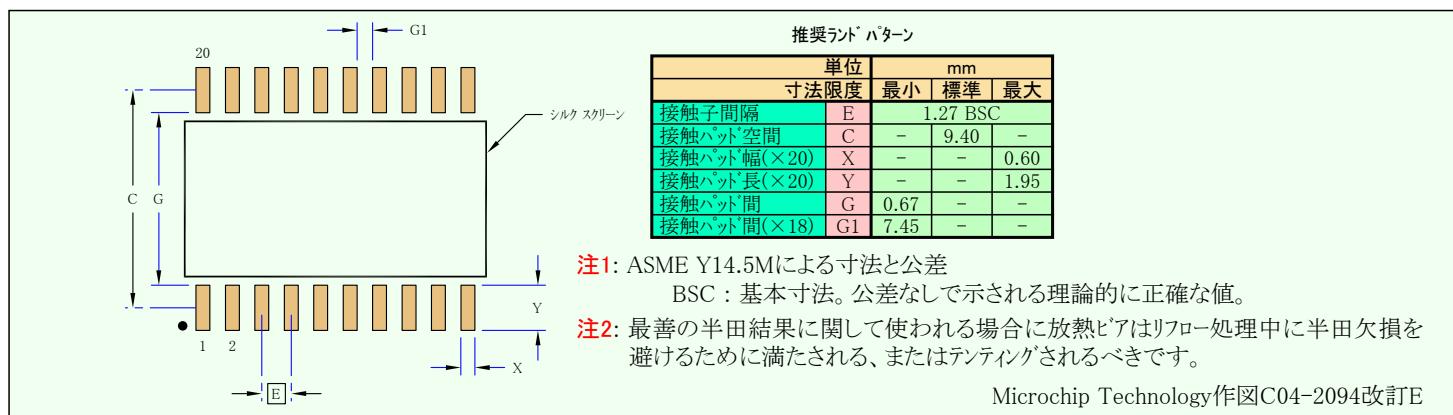
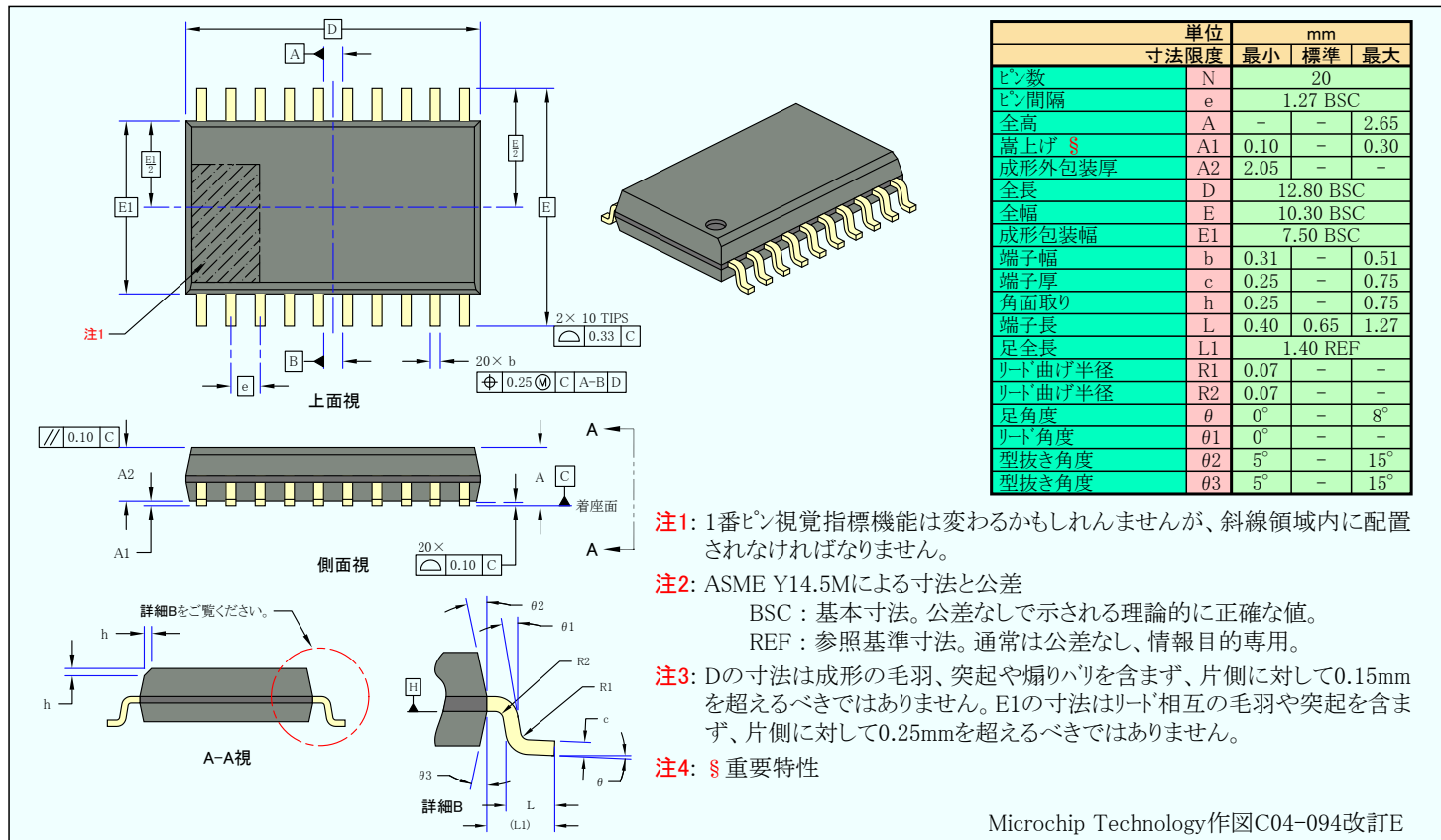
36.2. 14リード[®]SOIC

14リード[®] プラスティック小型外形(SL) – 狭幅3.90mm本体 [SOIC]



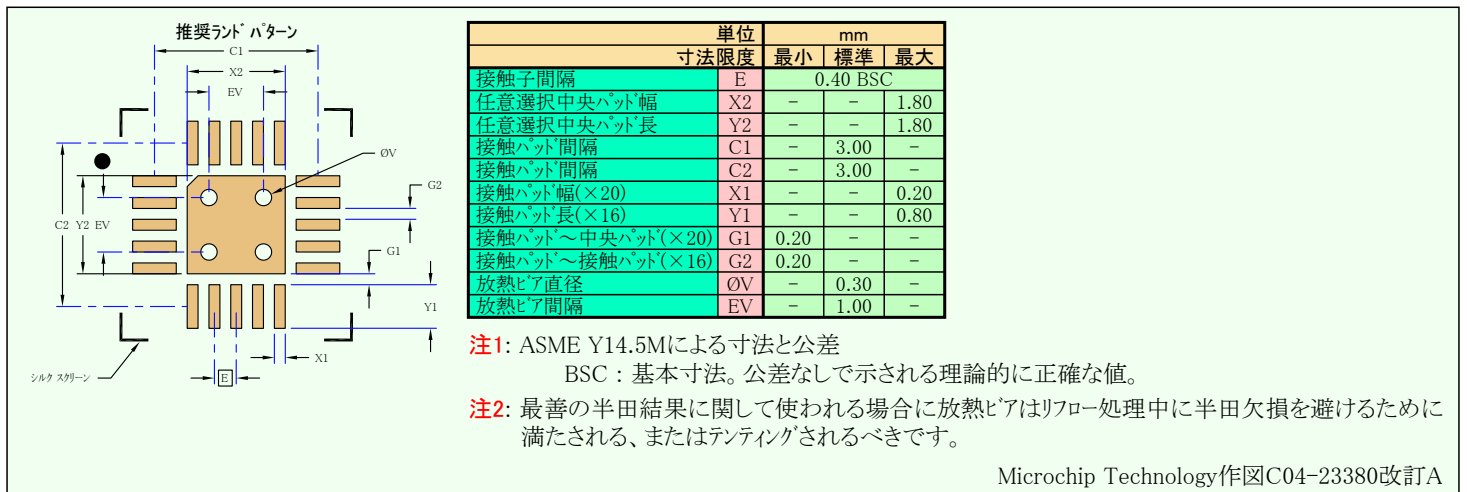
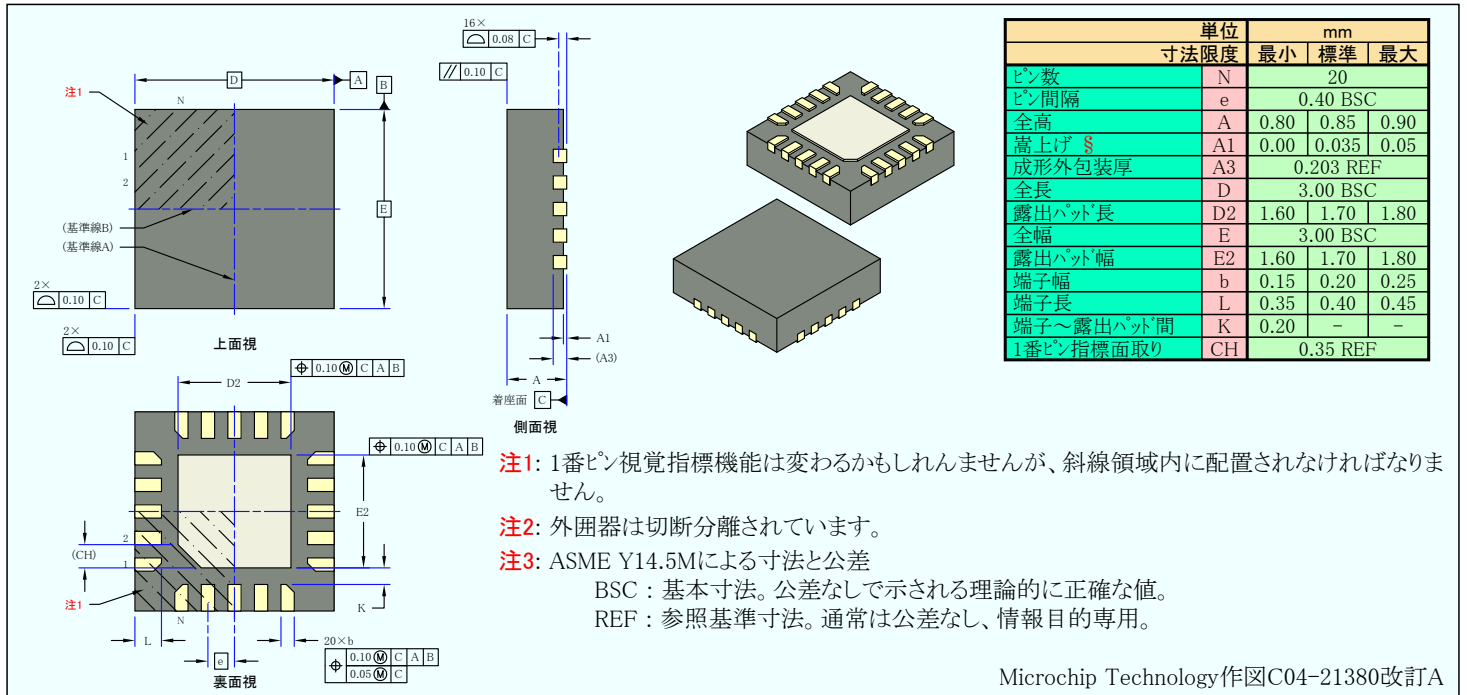
36.3. 20リード[®]SOIC

20リード[®] プラスティック小型外形(SO) – 広幅7.50mm本体 [SOIC]



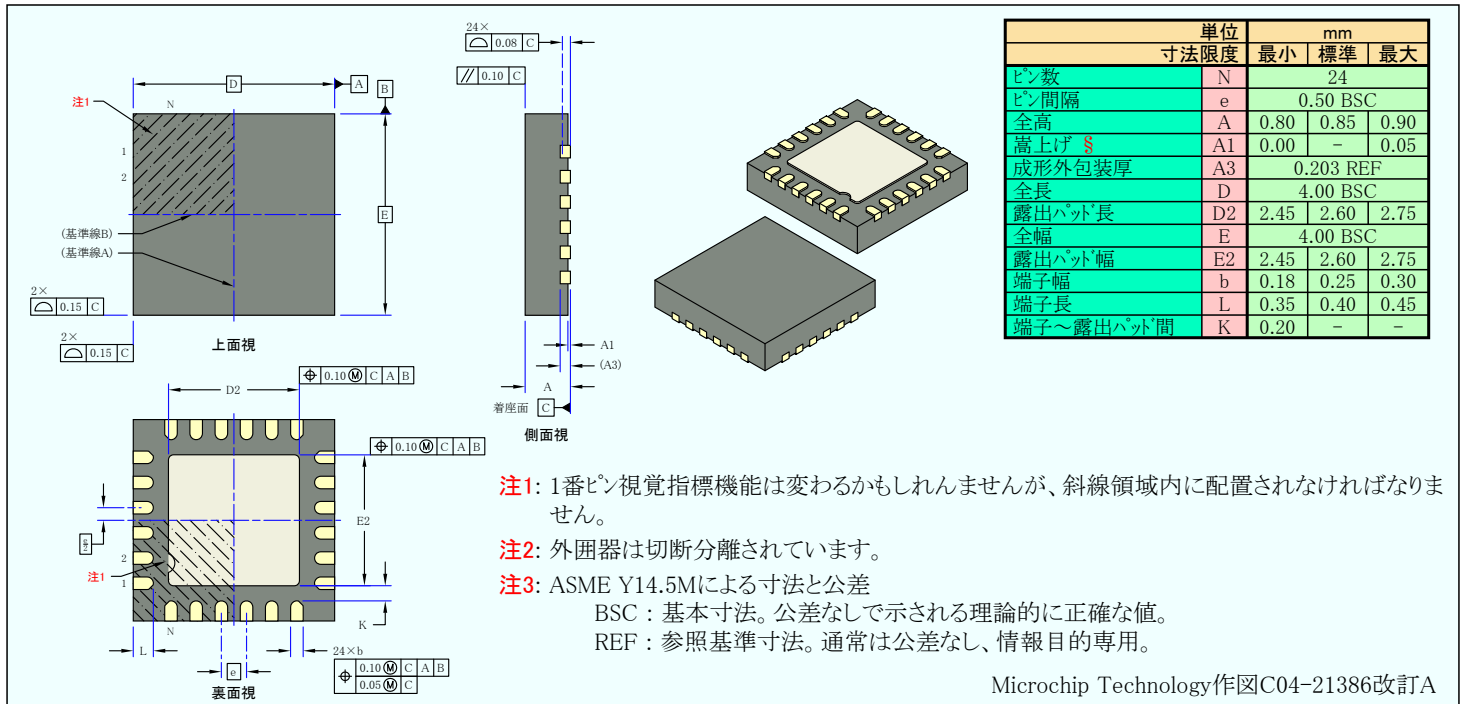
36.4. 20パッドVQFN

20パッド極薄プラスチック4方向平板リットなし外囲器(REB) - 3×3mm本体 [VQFN] 1.7mm露出パッド付き (Atmel伝承全般外囲器符号ZCJ)



36.5. 24パッドVQFN

24パッド極薄プラスチック4方向平板リードなし外周器(RLB) - 4×4mm本体 [VQFN] (Atmel伝承全般外周器符号ZHA)



36.6. 熱的考察

36.6.1. 熱抵抗データ

右表は外圍器に依存する熱抵抗データを要約します。

表36-2. 熱抵抗データ

ピン数	外圍器型式	θ_{JA} [°C/W]	θ_{JC} [°C/W]
14	SOIC	58	26
20		44	21
24	VQFN	79.7	36
		60.6	25

36.6.2. 接合部温度

°Cでの平均チップ接合部温度の T_J は以下の式から得ることができます。

式1. $T_J = T_A + (P_D \times \theta_{JA})$

式2. $T_J = T_A + (P_D \times (\theta_{HEATSINK} + \theta_{JC}))$

ここで、

- θ_{JA} =接合部/周囲間の外圍器熱抵抗(°C/W)、[表36-2](#)をご覧ください。
- θ_{JC} =接合部/ケース間熱抵抗の外圍器熱抵抗(°C/W)、[表36-2](#)をご覧ください。
- $\theta_{HEATSINK}$ =外部冷却装置の熱抵抗(°C/W)特性
- P_D =デバイス消費電力(W)
- T_A =周囲温度(°C)

最初の式から、使用者はチップの推定寿命を得て、冷却装置が必要か否かを定めることができます。冷却装置がチップに取り付けられなければならない場合、°Cでの平均チップ接合部温度の T_J の結果を計算するのに2つ目の式が使われるべきです。

使用電力はシステム消費電力と入出力単位部消費電力を共に加算することによって計算することができます。容量性負荷を持つピンから引き出される電流は(1ピンに対して)次のように推定することができます。

$$I_{CP} \approx V_{DD} \times C_{load} \times f_{SW}$$

ここで、 C_{load} =ピン負荷容量、 f_{SW} =入出力ピンの平均切り替え周波数

37. 障害情報

37.1. 障害 – ATtiny804/806/807/1604/1606/1607

障害情報はATtiny804/806/807/1604/1606/1607シリコン障害とデータシート説明(www.microchip.com/DS80000951)で見つけることができます。

(訳注) 本書では上記文書の内容も含みます。

37.2. シリコン問題要約

凡例

- 障害は適用されません。
- × 障害が適用されます。

周辺機能	簡単な説明	改訂	シリコン改訂の有効性				
			A				
デバイス	37.3.1. 校正值の自動設定を妨げるFUSE.OSCCFGのOSCLOCKヒューズの'1'書き込み		×				
	37.4.1. ADC自由走行動作禁止後に実行される1つの余分な測定		×				
ADC	37.4.2. ADCを禁止すると立往生する保留中の事象		×				
	37.4.3. 1.5MHzを超えるCLKADCとVDD<2.7Vで低下するADC性能		×				
	37.4.4. 1.5MHzを超えるCLKADCと25%デューティサイクル設定で保証できないADC機能		×				
CCL	37.5.1. OUTENが'1'に設定されることを必要とする連結動作でのLUT接続		×				
	37.5.2. 機能しないDラッチ		×				
	37.5.3. 単一LUT構成変更にCCLの禁止が必要		×				
RTC	37.6.1. RTC禁止がPITを停止		×				
	37.6.2. RTC.CTRLAレジスタへのどの書き込みもRTCとPITの前置分周器をリセット		×				
TCA	37.7.1. NORMALとFRQの動作で計数方向をリセットする再始動		×				
TCB	37.8.1. TCBの再始動を強制しないTCA再始動指令		×				
	37.8.2. 選んだクロック周期を超えなければならない最小事象持続期間		×				
	37.8.3. 8ビットPWM動作で16ビットレジスタとして機能するCCMPとCNTのレジスタ		×				
USART	37.9.1. 送信部禁止時に解除されないTxDピン無効化		×				
	37.9.2. TxDが出力として構成設定される時に動かないオープンドレイン動作		×				
	37.9.3. 活動動作で意図せず許可され得るフレーム開始検出		×				

DS40002312A - 310頁

38. データシート改訂履歴

注: データシートの改訂はダイ改訂とデバイス変種(注文番号の最後の文字)と無関係です。

38.1. 改訂A – 2021年4月

章	変更
文書	<ul style="list-style-type: none"> ・ 初回文書公開 <p>この文書で記述されたデバイスに対する内容は</p> <ul style="list-style-type: none"> ・ ATtiny804/1604データシート ・ ATtiny806/1606データシート ・ ATtiny807/1607データシート <p>から</p> <ul style="list-style-type: none"> ・ ATtiny804/806/807/1604/1606/1607データシート (本文書) <p>に再構築されました。</p> <p>更なる詳細については「38.2. 追補 – 廃止された改訂履歴」を参照してください。</p> <p>以下の項目は廃止された文書の最新改訂と本文書間の変更を参照しています。</p> <ul style="list-style-type: none"> ・ 文書をMicrochip編集規格に更新 ・ データシートを通して使われる用語を更新 <ul style="list-style-type: none"> – Masterをhostに置換 (訳注: 日本語に対しては無効/無視) – Slaveをclientに置換 (訳注: 日本語に対しては無効/無視) ・ 関連リンクを削除 ・ 「頭字語と略語」章を削除 ・ 「命令一式要約」章の内容削除。本章は今や代わりに外部の命令一式手引書を参照します。 ・ 周辺機能部分からデバイス特定情報を削除 ・ 周辺機能部分内でシステム依存性に関連する部分を再構築
デバイス	<ul style="list-style-type: none"> ・ 本文書で文書化されたデバイスに適応するために再構成/変更されたデバイス特定情報 <ul style="list-style-type: none"> – 特徴 – ピン配置 – 入出力多重化と考察 – 注文情報 – 外圍器図 ・ 構成図更新 ・ 更新されたピン配置図 <ul style="list-style-type: none"> – 14リードSOIC – 20リードSOIC – 20パッドVQFN – 24パッドVQFN ・ メモリ <ul style="list-style-type: none"> – 「ヒューズ説明」項を工場書き込みされた既定値で更新 ・ 周辺機能と基本構造 <ul style="list-style-type: none"> – 「周辺機能アドレス配置」表更新 – 「割り込みベクタ配置」表更新 ・ 外圍器図 <ul style="list-style-type: none"> – 「図番号」表更新 – MSL番号削除 – 「熱的考察」章を「外圍器図」章内に移動
AVR CPU	<ul style="list-style-type: none"> ・ 「特徴」項更新 ・ 「AVR CPU基本構造」図後の重複した情報を除去 ・ 算術論理演算論理回路部(ALU)がレジスタ ファイルの作業レジスタに対する動作を行うことを強調 ・ スタック ポインタ命令表を追加 ・ 以下の項で文書を再構築して改善 <ul style="list-style-type: none"> – レジスタ ファイル – X,Y,Zレジスタ – 16ビットレジスタのアクセス ・ 「チップ上デバッグ能力」項を追加 ・ 状態レジスタ(SREG)でビット名を更新 <ul style="list-style-type: none"> – 「ビット複写記憶」から「転送ビット」へ – 「符号ビット」から「符号フラグ」へ

[次頁へ続く](#)

[前頁](#)から続く

章	変更
NVMCTRL	<ul style="list-style-type: none"> ・「NVMCTRL構成図」図更新 ・「フラッシュ領域の構成設定」表更新 ・「構成設定変更保護」項を更新 ・「リセット後の書き込みアクセス」項を追加
CLKCTRL	<ul style="list-style-type: none"> ・MCLKCTRLAレジスタのCLKOUTビット領域を更新
SLPCTRL	<ul style="list-style-type: none"> ・「休止動作活動概要」表を更新
RSTCTRL	<ul style="list-style-type: none"> ・図追加 <ul style="list-style-type: none"> – MCU始動、VDDに繋がれたRESET – 低電圧検出リセット – 外部リセット特性 – ウォッチドッグ リセット – ソフトウェア リセット ・「リセットによって影響を及ぼされる領域」項を追加
CPUINT	<ul style="list-style-type: none"> ・「最小割り込み応答時間」表を追加 ・以下に対するビット領域説明を更新 <ul style="list-style-type: none"> – CTRLA.IVSEL – LVL0PRI.LVL0PRI ・文書とその構造の全般的な改善
EVSYS	<ul style="list-style-type: none"> ・レジスタ名更新 <ul style="list-style-type: none"> – ASYNCCHからASYNCCHnへ – SYNCCHからSYNCCHnへ – ASYNCUSERからASYNCUSERnへ – SYNCUSERからSYNCUSERnへ ・ビット領域説明更新 <ul style="list-style-type: none"> – ASYNCCHn.ASYNCCH
PORT	<ul style="list-style-type: none"> ・「構成図」図更新 ・「信号説明」表更新 (注) ・「周辺機能優先」項を追加 ・「非同期感知ピン特性」項を追加 ・「利用可能な割り込みベクタと供給元」表で変位を除去 ・「PORTxでの事象生成部」表を追加 ・文書とその構造の全般的な改善
BOD	<ul style="list-style-type: none"> ・「構成図」図更新 ・「利用可能な割り込みベクタと供給元」表の変位を除去 ・ビット領域説明表に名称列を追加 <ul style="list-style-type: none"> – CTRLA.AVTIVE – CTRLA.SLEEP – INTCTRL.VLMCFG
WDT	<ul style="list-style-type: none"> ・「クロック」項を追加 ・ビット領域説明での値を更新 <ul style="list-style-type: none"> – CTRLA.WINDOW – CTRLA.PERIOD
TCA	<ul style="list-style-type: none"> ・「構成図」図更新 ・「タイマ/カウンタ クロック論理回路」図更新 ・「信号説明」表更新 ・「変位式概要」表追加 ・「上昇計数時の変位」図追加 ・「波形出力反転」図追加 ・「単一傾斜パルス幅変調」図更新 ・「分割動作での単一傾斜パルス幅変調」図追加 ・「分割動作タイマ/カウンタ構成図」図更新 ・「TCAでの事象生成部表」追加 ・「TCAでの事象使用部表」追加 ・「標準動作で利用可能な割り込みベクタと供給元」と「分割動作で利用可能な割り込みベクタと供給元」の表で変位を除去

[次頁](#)へ続く

前頁から続く

章	変更
TCA	<ul style="list-style-type: none"> • CTRLB.WGMODEビット領域用の表を1つの表に結合 • 文書とその構造の全般的な改善
TCB	<ul style="list-style-type: none"> • 「構成図」図更新 • 「タイマ/カウンタ クロック論理回路」図追加 • 図更新 <ul style="list-style-type: none"> – 「周期的割り込み動作」 – 「制限時間検査動作」 – 「事象での捕獲動作」 – 「計数捕獲周波数測定動作」 – 「計数捕獲パルス幅測定動作」 – 「計数捕獲周波数/パルス幅測定動作」 – 「単発動作」 – 「8ビットPWM動作」 • 「TCBでの事象生成部」表追加 • 「TCBでの事象使用部と利用可能事象活動」表追加 • 「利用可能な割り込みベクタと供給元」表の変位を除去 • ビット領域説明表に名称列を追加 <ul style="list-style-type: none"> – CTRLA.CLKSEL – CTRLB.CNTMODE
RTC	<ul style="list-style-type: none"> • 「構成図」図更新 • 「RTCでの事象生成部」表追加 • 「利用可能な割り込みベクタと供給元」表の変位を除去 • 文書とその構造の全般的な改善
USART	<ul style="list-style-type: none"> • 以下にTxD緩衝部についての情報を追加 <ul style="list-style-type: none"> – 「構成図」図 – 「概要」項 – 「データ送信」項 • 「USARTでの事象生成部」表追加 • 「USARTでの事象使用部」表追加 • 「利用可能な割り込みベクタと供給元」表の変位を除去 • CTRLDレジスタを追加 • 文書とその構造の全般的な改善 • 用語を更新 <ul style="list-style-type: none"> – Masterをhostに置換 (訳注: 日本語に対しては無効/無視) – Slaveをclientに置換 (訳注: 日本語に対しては無効/無視)
SPI	<ul style="list-style-type: none"> • 「構成図」図更新 • 「SPIでの事象生成部」表追加 • 「利用可能な割り込みベクタと供給元」表の変位を除去 • 標準と緩衝の動作に対して「割り込み要求フラグ」レジスタを分離 • 文書とその構造の全般的な改善 • 用語を更新 <ul style="list-style-type: none"> – Masterをhostに置換 (訳注: 日本語に対しては無効/無視) – Slaveをclientに置換 (訳注: 日本語に対しては無効/無視)
TWI	<ul style="list-style-type: none"> • 「利用可能な割り込みベクタと供給元」表の変位を除去 • ビット領域説明表に名称列を追加 <ul style="list-style-type: none"> – CTRLA.FMPEN – MCTRLB.ACKACT – MCTRLB.MCMD • 文書とその構造の全般的な改善 • 用語を更新 <ul style="list-style-type: none"> – Masterをhostに置換 (訳注: 日本語に対しては無効/無視) – Slaveをclientに置換 (訳注: 日本語に対しては無効/無視)
CRCSCAN	<ul style="list-style-type: none"> • 「利用可能な割り込みベクタと供給元」表の変位を除去
CCL	<ul style="list-style-type: none"> • 「構成図」図追加 • 「参照表論理回路」項を「真理値表論理回路」に置換 • 「クロック元設定」項追加

次頁へ続く

[前頁から続く](#)

章	変更
CCL	・ TRUTHn.TRUTHnのビット領域説明を更新
AC	・ 「低電力動作」項を削除
ADC	<ul style="list-style-type: none"> ・ 「構成図」図更新 ・ 「定義」を「規定」の「ADCパラメータ定義」項に移動 ・ 「ADCタイミング図 - 自由走行変換」図追加 ・ 「利用可能な割り込みベクタと供給元」表の変位を除去 ・ CTRLA.FREERUNビット領域を追加 ・ CRTLA.MUXPOSビット領域説明更新
UPDI	<ul style="list-style-type: none"> ・ 図更新 <ul style="list-style-type: none"> - 「UPDIクロック領域」 - 「UPDI命令一式概要」 - 「LDS命令操作」 - 「STS命令操作」 - 「LD命令操作」 - 「ST命令操作」 - 「LDCS命令操作」 - 「STCS命令操作」 - 「REPEAT命令操作」 - 「LDとRPTでのバイト間遅延例」 ・ 項追加 <ul style="list-style-type: none"> - 「単線動作でのBREAK」 - 「SYNCHと単線動作でのSYNCH」 ・ UPDI周辺機能許可に関連する文書を拡張して改善 ・ UPDI周辺機能禁止に関連する文書を拡張して改善 ・ 「RESETピンの12V無効化でのUPDI許可」を「RESETピンの高電圧無効化でのUPDI許可」に改名 ・ 「LD命令で使われるREPEAT操作」図追加 ・ 「UPDIでの事象生成部」表追加 ・ 最終使用者にとって有用でないと考察された実装特有詳細を除去 ・ ビット領域説明更新: <ul style="list-style-type: none"> - STATUSB.PESIG - ASI_RESET_REQ.RSTREQ
電気的特性	<ul style="list-style-type: none"> ・ 「拡張温度範囲、-40～125℃の最高周波数対VDD」図追加 ・ 「消費電力」項に最大値追加 ・ 「周辺機能消費電力」表で数値を丸め ・ 「TWI - タイミング必要条件」図更新 ・ 「TWI - タイミング必要条件」表でtOFに対する数値を更新 ・ tHD:STA、tSU:STA、tSU:STO、tBUFに対する代表値追加 ・ 「SDA保持時間」表追加 ・ 「ADC」項で「精度特性」表更新 ・ 「TEMPSENSE」項追加 ・ 「AC」項で表更新 ・ 「UPDI最大ビット速度 対 VDD」表追加 ・ 「周辺機能接触制御器特性 - 動作定格」表置換
代表特性	<ul style="list-style-type: none"> ・ 「温度感知器誤差 対 温度$\pm 3\sigma$」図追加 ・ 「TWI SDA保持時間 対 温度」図追加

注: ATtiny804/1604データシート(DS40002028B)と比べた時にだけ適用する変更

38.2. 追補 – 廃止された改訂履歴

注: ピン数で編成された文書からの文書構造変更のため、参考として以下の文書履歴が提供されます。

- ATtiny804/1604データシート (DS40002028B)
- ATtiny806/1606データシート (DS40002029B)
- ATtiny807/1607データシート (DS40002030B)

38.2.1. ATtiny804/1604 – DS40002028

廃止された公布DS40002028A – 2018年5月

章	変更
文書全般	初回公開

廃止された公布DS40002028B – 2019年7月

章	変更
文書	・ 編集上の更新
デバイス	・ 序説 <ul style="list-style-type: none"> – 車載データシートについての注を追加 – 全てのtinyAVR 0及び1系データシートと合わせるために文章を変更 ・ 保持力寿命値更新
メモリ	・ データシート説明文書章追加
構成設定と使用者ヒューズ	・ 注文情報を移動
BOD – 低電圧検出器	・ 入出力多重化と考察を更新
TCA	・ リセットピン選択表を削除
USART	・ 概要の表から支援されないAUX列を削除
SPI	・ RSTPINCFG : GPIOにヒューズ設定した時にシステム リセット後の時間制限を説明
CRCSCAN	・ 最小値と最大値で特性付けされない基準を削除
UPDI	・ 電氣的特性に代表値と参照基準に対する注を追加
電氣的特性	・ 代替WOnピンについての注を追加
障害情報	・ 単線動作を明確化
注文情報	・ 送信部禁止についての文章を明確化
製品識別システム	・ CTRLBのRXMODEビットでのポー採取を32±6から16±3に逆戻り
外圍器図	・ SPI SSピンについての機能を明確化
	・ 欠けているMODEビット領域を追加
	・ システムリセット後の期間に禁止されるGPIO機能をmsからクロック周期数に変更
	・ 全般動作定格でチップ消去についての注を追加
	・ 障害情報を独立した文書へ移動 (訳注:本書では統合)
	・ 製品リンクと注文符号と共に更新
	・ チューブとトレイ梱包媒体で更新
	・ 外圍器図をMicrochip規格に更新

38.2.2. ATtiny806/1606 – DS40002029

廃止された公布DS40002029A – 2018年5月

章	変更
文書全般	初回公開

廃止された公布DS40002029B – 2019年7月

章	変更
文書	・ 編集上の更新
デバイス	・ 序説 <ul style="list-style-type: none"> – 車載データシートについての注を追加 – 全てのtinyAVR 0及び1系データシートと合わせるために文章を変更

[次頁へ続く](#)

前頁から続く

章	変更
デバイス	<ul style="list-style-type: none"> 保持力寿命値更新 データシート説明文書章追加 注文情報を移動 入出力多重化と考察を更新 リセットピン選択表を削除
メモリ	<ul style="list-style-type: none"> 概要の表から支援されないAUX列を削除
構成設定と使用者ヒューズ	<ul style="list-style-type: none"> RSTPINCFG：GPIOにヒューズ設定した時にシステムリセット後の時間制限を説明
BOD - 低電圧検出器	<ul style="list-style-type: none"> 最小値と最大値で特性付けされない基準を削除 電気的特性に代表値と参照基準に対する注を追加
TCA	<ul style="list-style-type: none"> 代替WOnピンについての注を追加
USART	<ul style="list-style-type: none"> 単線動作を明確化 送信部禁止についての文章を明確化 CTRLBのRXMODEビットでのポー採取を32±6から16±3に逆戻り
SPI	<ul style="list-style-type: none"> SPI SSピンについての機能を明確化
CRCSCAN	<ul style="list-style-type: none"> 欠けているMODEビット領域を追加
UPDI	<ul style="list-style-type: none"> システムリセット後の期間に禁止されるGPIO機能をmsからクロック周期数に変更
電気的特性	<ul style="list-style-type: none"> 全般動作定格でチップ消去についての注を追加
障害情報	<ul style="list-style-type: none"> 障害情報を独立した文書へ移動 (訳注:本書では統合)
注文情報	<ul style="list-style-type: none"> 製品頁リンクと注文符号と共に更新
製品識別システム	<ul style="list-style-type: none"> チューブとトレイ梱包媒体で更新
外圍器図	<ul style="list-style-type: none"> 外圍器図をMicrochip規格に更新

38.2.3. ATtiny807/1607 - DS40002030

廃止された公布DS40002030A - 2018年5月

章	変更
文書全般	初回公開

廃止された公布DS40002030B - 2019年7月

章	変更
文書	<ul style="list-style-type: none"> 編集上の更新
デバイス	<ul style="list-style-type: none"> 序説 <ul style="list-style-type: none"> 車載データシートについての注を追加 全てのtinyAVR 0及び1系データシートと合わせるために文章を変更 保持力寿命値更新 データシート説明文書章追加 注文情報を移動 入出力多重化と考察を更新 リセットピン選択表を削除
メモリ	<ul style="list-style-type: none"> 概要の表から支援されないAUX列を削除
構成設定と使用者ヒューズ	<ul style="list-style-type: none"> RSTPINCFG：GPIOにヒューズ設定した時にシステムリセット後の時間制限を説明
BOD - 低電圧検出器	<ul style="list-style-type: none"> 最小値と最大値で特性付けされない基準を削除 電気的特性に代表値と参照基準に対する注を追加
TCA	<ul style="list-style-type: none"> 代替WOnピンについての注を追加
USART	<ul style="list-style-type: none"> 単線動作を明確化 送信部禁止についての文章を明確化 CTRLBのRXMODEビットでのポー採取を32±6から16±3に逆戻り
SPI	<ul style="list-style-type: none"> SPI SSピンについての機能を明確化
CRCSCAN	<ul style="list-style-type: none"> 欠けているMODEビット領域を追加
UPDI	<ul style="list-style-type: none"> システムリセット後の期間に禁止されるGPIO機能をmsからクロック周期数に変更
電気的特性	<ul style="list-style-type: none"> 全般動作定格でチップ消去についての注を追加

次頁へ続く

[前頁](#)から続く

章	変更
障害情報	・ 障害情報を独立した文書へ移動 (訳注 :本書では統合)
注文情報	・ 製品頁リンクと注文符号と共に更新
製品識別システム	・ チューブとトレイ梱包媒体で更新
外圍器図	・ 外圍器図をMicrochip規格に更新

Microchipウェブ サイト

Microchipはwww.microchip.com/で当社のウェブ サイト経由でのオンライン支援を提供します。このウェブ サイトはお客様がファイルや情報を容易に利用可能にするのに使われます。利用可能な情報のいくつかは以下を含みます。

- ・ **製品支援** – データシートと障害情報、応用記述と試供プログラム、設計資源、使用者の手引きとハードウェア支援資料、最新ソフトウェア配布と保管されたソフトウェア
- ・ **全般的な技術支援** – 良くある質問(FAQ)、技術支援要求、オンライン検討グループ、Microchip設計協力課程会員一覧
- ・ **Microchipの事業** – 製品選択器と注文の手引き、最新Microchip報道発表、セミナーとイベントの一覧、Microchip営業所の一覧、代理店と代表する工場

製品変更通知サービス

Microchipの製品変更通知サービスはMicrochip製品を最新に保つのに役立ちます。加入者は指定した製品系統や興味のある開発ツールに関連する変更、更新、改訂、障害情報がある場合に必ず電子メール通知を受け取ります。

登録するにはwww.microchip.com/pcnへ行って登録指示に従ってください。

お客様支援

Microchip製品の使用者は以下のいくつかのチャネルを通して支援を受け取ることができます。

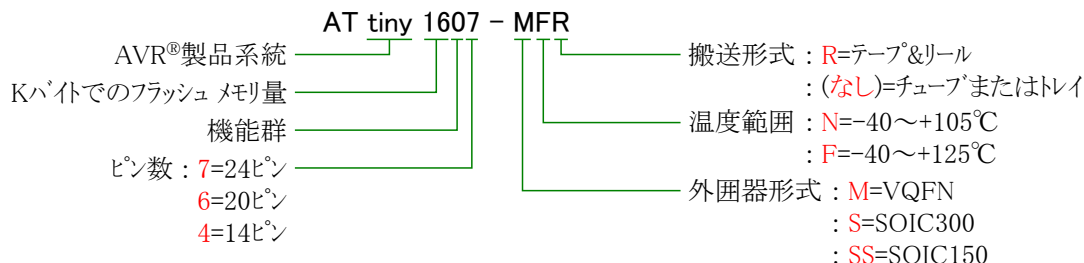
- ・ 代理店または販売会社
- ・ 最寄りの営業所
- ・ 組み込み解決技術者(ESE:Embedded Solutions Engineer)
- ・ 技術支援

お客様は支援に関してこれらの代理店、販売会社、またはESEに連絡を取るべきです。最寄りの営業所もお客様の手助けに利用できます。営業所と位置の一覧はこの資料の後ろに含まれます。

技術支援はwww.microchip.com/supportでのウェブ サイトを通して利用できます。

製品識別システム

注文する、または例えば、価格や納品の情報を得るには工場または一覧にされた販売代理店にお問い合わせください。



注: テープとリールの識別子は目録部品番号記述でだけ現れます。この識別子は注文目的に使われます。テープとリール選択で利用可能な外囲器についてはお客様のMicrochip販売代理店で調べてください。

Microchipデバイス コード保護機能

Microchipデバイスでの以下のコード保護機能の詳細に注意してください。

- ・ Microchip製品はそれら特定のMicrochipデータシートに含まれる仕様に合致します。
- ・ Microchipは意図した方法と通常条件下で使われる時に、その製品系統が安全であると考えます。
- ・ Microchipデバイスのコード保護機能を破ろうとする試みに使われる不正でおそらく違法な方法があります。当社はこれらの方法がMicrochipのデータシートに含まれた動作仕様外の方法でMicrochip製品を使うことが必要とされると確信しています。これらのコード保護機能を破ろうとする試みは、おそらく、Microchipの知的財産権に違反することなく達成することはできません。
- ・ Microchipはそのコードの完全性について心配されている何れのお客様とも共に働きたいと思えます。
- ・ Microchipや他のどの半導体製造業者もそのコードの安全を保証することはできません。コード保護は製品が”破ることができない”ことを当社が保証すると言うことを意味しません。コード保護は常に進化しています。Microchipは当社製品のコード保護機能を継続的に改善することを約束します。Microchipのコード保護機能を破る試みはデジタルミレニアム著作権法に違反するかもしれません。そのような行為があなたのソフトウェアや他の著作物に不正なアクセスを許す場合、その法律下の救済のために訴権を持つかもしれません。

法的通知

この刊行物に含まれる情報はMicrochip製品を使って設計する唯一の目的のために提供されます。デバイス応用などに関する情報は皆さまの便宜のためにだけ提供され、更新によって取り換えられるかもしれません。皆さまの応用が皆さまの仕様に合致するのを保証するのは皆さまの責任です。

この情報はMicrochipによって「現状そのまま」で提供されます。Microchipは非侵害、商品性、特定目的に対する適合性の何れの黙示的保証やその条件、品質、性能に関する保証を含め、明示的にも黙示的にもその情報に関連して書面または表記された書面または黙示の如何なる表明や保証もしません。

如何なる場合においても、Microchipは情報またはその使用に関連するあらゆる種類の間接的、特別的、懲罰的、偶発的または結果的な損失、損害、費用または経費に対して責任を負わないものとします。法律で認められている最大限の範囲で、情報またはその使用に関連する全ての請求に対するMicrochipの全責任は、もしあれば、情報のためにMicrochipへ直接支払った料金を超えないものとします。生命維持や安全応用でのMicrochipデバイスの使用は完全に購入者の危険性で、購入者はそのような使用に起因する全ての損害、請求、訴訟、費用からMicrochipを擁護し、補償し、免責にすることに同意します。他に言及されない限り、Microchipのどの知的財産権下でも暗黙的または違う方法で許認可は譲渡されません。

商標

Microchipの名前とロゴ、Microchipロゴ、Adaptec、AnyRate、AVR、AVRロゴ、AVR Freaks、BesTime、BitCloud、chipKIT、chipKITロゴ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiロゴ、MOST、MOSTロゴ、MPLAB、OptoLyzer、PacTime、PIC、picoPower、PICSTART、PIC32ロゴ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTロゴ、Super Flash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国と他の国に於けるMicrochip Technology Incorporatedの登録商標です。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、Hyper Light Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusロゴ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、Vite、WinPath、ZLは米国に於けるMicrochip Technology Incorporatedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certifiedロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simple MAP、SimpliPHY、SmartBuffer、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect、ZENAは米国と他の国に於けるMicrochip Technology Incorporatedの商標です。

SQTPは米国に於けるMicrochip Technology Incorporatedの役務標章です。

Adaptecロゴ、Frequency on Demand、Silicon Storage Technology、Symmcomは他の国に於けるMicrochip Technology Inc.の登録商標です。

GestICは他の国に於けるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. KGの登録商標です。

ここで言及した以外の全ての商標はそれら各々の会社の所有物です。

© 2021年、Microchip Technology Incorporated、米国印刷、不許複製

品質管理システム

Microchipの品質管理システムに関する情報についてはwww.microchip.com/qualityを訪ねてください。

日本語© HERO 2024.

本データシートはMicrochipのATtiny804/806/807/1604/1606/1607英語版データシート(DS40002312A-2021年4月)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。

世界的な販売とサービス

米国	亜細亜/太平洋	亜細亜/太平洋	欧州
本社 2355 West Chandler Blvd. Chandler, AZ 85224-6199 Tel: 480-792-7200 Fax: 480-792-7277 技術支援: www.microchip.com/support ウェブアドレス: www.microchip.com アトランタ Duluth, GA Tel: 678-957-9614 Fax: 678-957-1455 オースチン TX Tel: 512-257-3370 ボストン Westborough, MA Tel: 774-760-0087 Fax: 774-760-0088 シカゴ Itasca, IL Tel: 630-285-0071 Fax: 630-285-0075 ダラス Addison, TX Tel: 972-818-7423 Fax: 972-818-2924 デトロイト Novi, MI Tel: 248-848-4000 ヒューストン TX Tel: 281-894-5983 インディアナポリス Noblesville, IN Tel: 317-773-8323 Fax: 317-773-5453 Tel: 317-536-2380 ロサンゼルス Mission Viejo, CA Tel: 949-462-9523 Fax: 949-462-9608 Tel: 951-273-7800 ローリー NC Tel: 919-844-7510 ニューヨーク NY Tel: 631-435-6000 サンホセ CA Tel: 408-735-9110 Tel: 408-436-4270 カナダ - トロント Tel: 905-695-1980 Fax: 905-695-2078	オーストラリア - シドニー Tel: 61-2-9868-6733 中国 - 北京 Tel: 86-10-8569-7000 中国 - 成都 Tel: 86-28-8665-5511 中国 - 重慶 Tel: 86-23-8980-9588 中国 - 東莞 Tel: 86-769-8702-9880 中国 - 広州 Tel: 86-20-8755-8029 中国 - 杭州 Tel: 86-571-8792-8115 中国 - 香港特別行政区 Tel: 852-2943-5100 中国 - 南京 Tel: 86-25-8473-2460 中国 - 青島 Tel: 86-532-8502-7355 中国 - 上海 Tel: 86-21-3326-8000 中国 - 瀋陽 Tel: 86-24-2334-2829 中国 - 深圳 Tel: 86-755-8864-2200 中国 - 蘇州 Tel: 86-186-6233-1526 中国 - 武漢 Tel: 86-27-5980-5300 中国 - 西安 Tel: 86-29-8833-7252 中国 - 廈門 Tel: 86-592-2388138 中国 - 珠海 Tel: 86-756-3210040	インド - ハンガロール Tel: 91-80-3090-4444 インド - ニューデリー Tel: 91-11-4160-8631 インド - プネー Tel: 91-20-4121-0141 日本 - 大阪 Tel: 81-6-6152-7160 日本 - 東京 Tel: 81-3-6880-3770 韓国 - 大邱 Tel: 82-53-744-4301 韓国 - ソウル Tel: 82-2-554-7200 マレーシア - クアラルンプール Tel: 60-3-7651-7906 マレーシア - ペナン Tel: 60-4-227-8870 フィリピン - マニラ Tel: 63-2-634-9065 シンガポール Tel: 65-6334-8870 台湾 - 新竹 Tel: 886-3-577-8366 台湾 - 高雄 Tel: 886-7-213-7830 台湾 - 台北 Tel: 886-2-2508-8600 タイ - バンコク Tel: 66-2-694-1351 ベトナム - ホーチミン Tel: 84-28-5448-2100	オーストラリア - ウェルズ Tel: 43-7242-2244-39 Fax: 43-7242-2244-393 デンマーク - コペンハーゲン Tel: 45-4485-5910 Fax: 45-4485-2829 フィンランド - エスポー Tel: 358-9-4520-820 フランス - パリ Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79 ドイツ - ガルピング Tel: 49-8931-9700 ドイツ - ハーネ Tel: 49-2129-3766400 ドイツ - ハイムブロン Tel: 49-7131-72400 ドイツ - カールスルーエ Tel: 49-721-625370 ドイツ - ミュンヘン Tel: 49-89-627-144-0 Fax: 49-89-627-144-44 ドイツ - ローゼンハイム Tel: 49-8031-354-560 イスラエル - ラーナナ Tel: 972-9-744-7705 イタリア - ミラノ Tel: 39-0331-742611 Fax: 39-0331-466781 イタリア - パドバ Tel: 39-049-7625286 オランダ - デルフト Tel: 31-416-690399 Fax: 31-416-690340 ノルウェー - トロンハイム Tel: 47-72884388 ポーランド - ワルシャワ Tel: 48-22-3325737 ルーマニア - ブカレスト Tel: 40-21-407-87-50 スペイン - マドリード Tel: 34-91-708-08-90 Fax: 34-91-708-08-91 スウェーデン - イェテボリ Tel: 46-31-704-60-40 スウェーデン - ストックホルム Tel: 46-8-5090-4654 イギリス - ウォーキングハム Tel: 44-118-921-5800 Fax: 44-118-921-5820