

特徴

- 高性能、低消費AVR[®] 8ビット マイクロ コントローラ
- RISC構造

- ・強力な**119命令**(多くは1周期で実行)
- ・32個の1バイト長**汎用レジスタ**
- ・完全なステティック動作

- データメモリと不揮発性プログラムメモリ

- ・実装書き換え(ISP)可能な2Kバイト(1K語)**フラッシュメモリ**内蔵 (10,000回の書き換え可能)
- ・実装書き換え可能な128バイトの**EEPROM** (100,000回の書き換え可能)
- ・128バイトの内蔵**SRAM**
- ・プログラム用フラッシュメモリとデータ用EEPROM保護用の設定可能な**施錠機能**

- 内蔵周辺機能

- ・独立した前置分周器付き**8ビットタイマ/カウンタ**
- ・独立した前置分周器付き (独立した比較レジスタでの2つの高周波数**PWM出力**)
高速**8ビットタイマ/カウンタ** (非重複反転PWM出力ピン)
- ・開始条件検出器付き**多用途直列インターフェース**
- ・10ビット **A/D変換器** (11のシングルエンド入力チャネル
8つの差動入力チャネル
可変増幅(×1, ×20)付き7つの差動入力チャネル)
- ・**アナログ比較器**
- ・**外部割り込み**
- ・11ピンでの**ピン変化割り込み**
- ・設定可能な専用発振器付き**ウォッチドッグタイマ**

- 特殊マイクロコントローラ機能

- ・**アイドル、A/D変換雑音低減、パワーダウン、スタンバイ**の4つの**低消費動作**
- ・電源ONリセット回路と設定可能な**低電圧検出器(BOD)**
- ・外部及び内部の**割り込み**
- ・SPIポート経由の**実装書き込み**
- ・**校正付き内蔵RC発振器**

- 動作電圧

- ・2.7~5.5V (ATtiny26L)
- ・4.5~5.5V (ATtiny26)

- 動作速度

- ・0~8MHz (ATtiny26L)
- ・0~16MHz (ATtiny26)

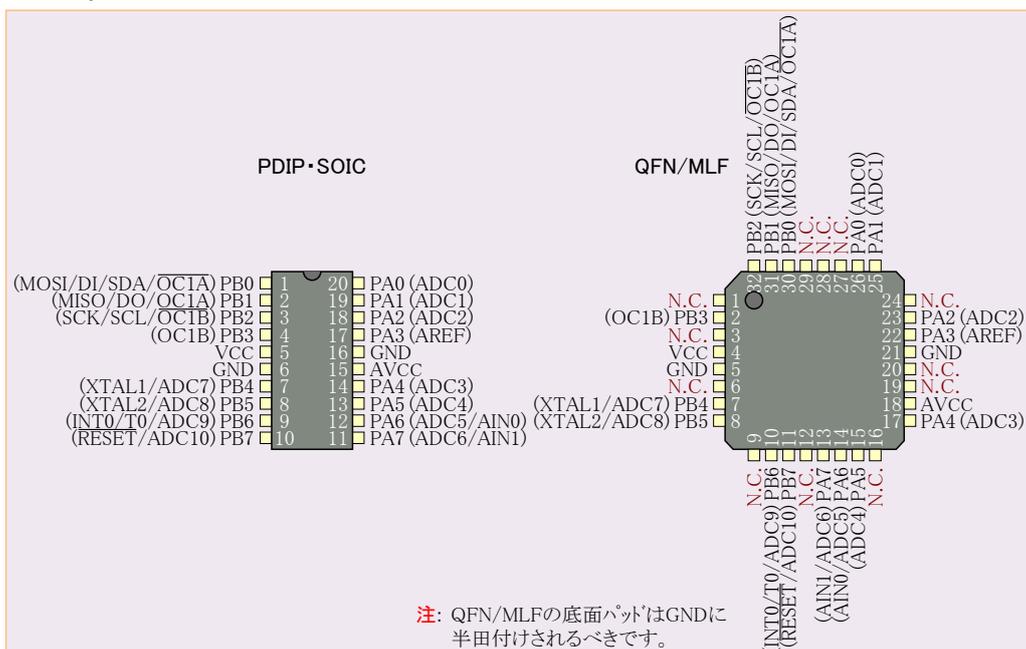
- 消費電力 (25°C, 代表値)

- ・16MHz, 5V, 活動動作: 15mA (ATtiny26)
- ・1MHz, 3V, 活動動作: 0.70mA (ATtiny26L)
- ・1MHz, 3V, アイドル動作: 0.18mA (ATtiny26L)
- ・パワーダウン動作: 1µA未満

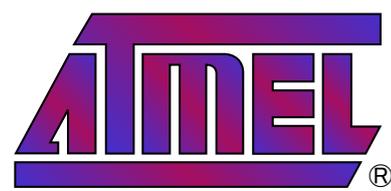
- I/Oと外圍器

- ・16ビットの**設定可能なI/O**
- ・20ピンPDIP、20リードSOIC、32ピンQFN/MLF

ピン配置



本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。



8ビット **AVR[®]**
マイクロコントローラ
実装書き換え可能な
2Kバイト
フラッシュメモリ内蔵

ATtiny26
ATtiny26L

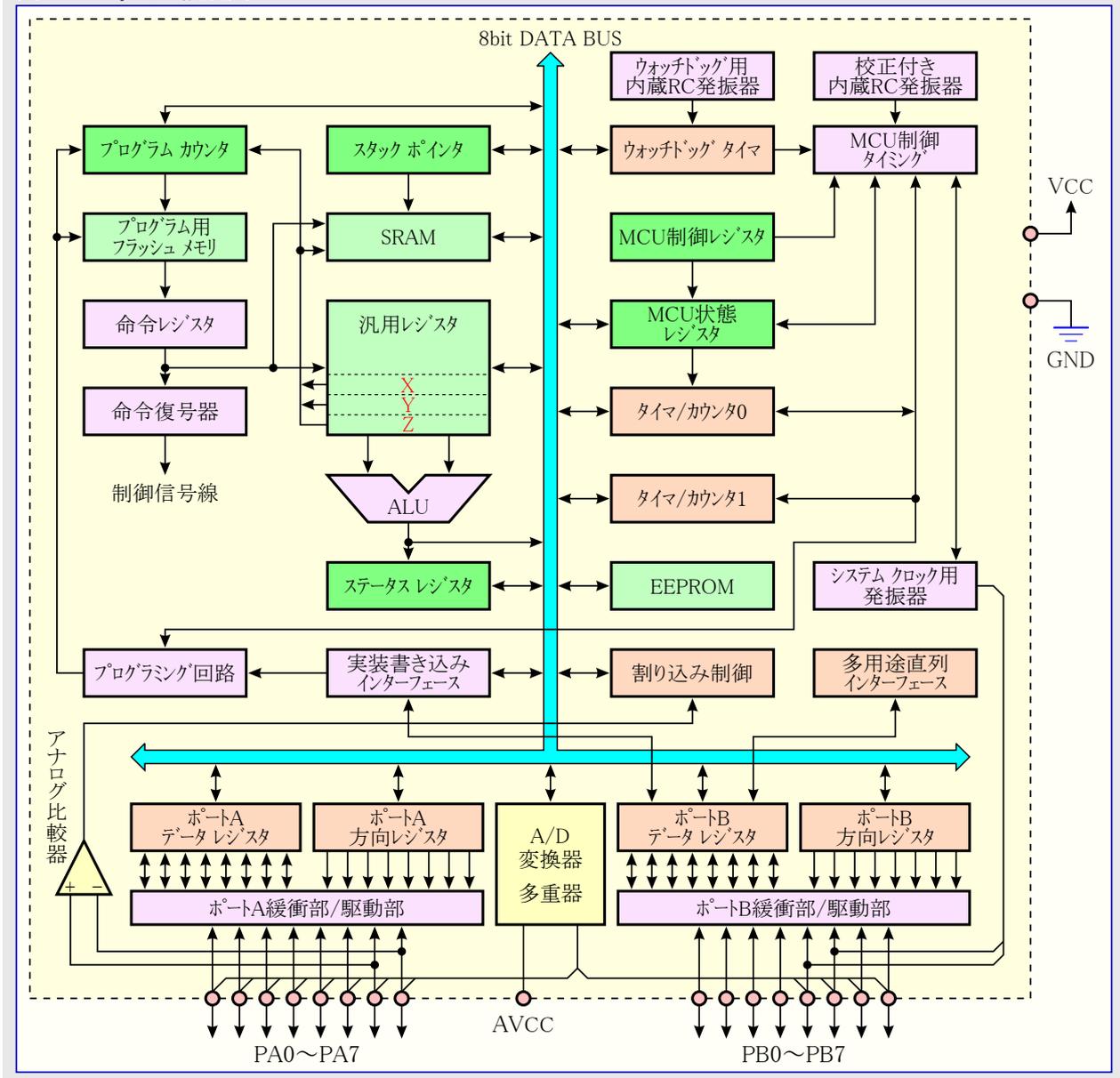


概要

ATtiny26/LはAVR RISC構造の低消費CMOS 8ビットマイクロコントローラです。1周期で実行する強力な命令はMHzあたり1MIPSに達し、実行速度対電力消費の最適化が容易に行えます。

AVRは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。この構造の結果は現状のCISC型マイクロコントローラよりも10倍速い単位処理量向上を成し遂げる更に優れたコード効率です。ATtiny26/Lには11のシングルエンドチャンネルと8つの差動チャンネルまでの高精度A/D変換器があります。7つの差動チャンネルには選択的な20倍利得があります。この7つ中の4つの差動チャンネルが選択的な利得を持ち、(両入力として)同時に使えます。ATtiny26/Lには2つの独立した出力の高周波数8ビットPWMもあります。この2つのPWM出力には同期整流に理想的な非重複反転出力ピンがあります。ATtiny26/Lの多用途直列インターフェース(USI)はTWI(2線直列インターフェース)やSMバスインターフェースの効率的なソフトウェア実装を許します。これらの特徴は高度な統合型蓄電池充電器や調光器への応用、数ある応用の中で、低価格帯温度調節器、炎検出器を許します。

図1. ATtiny26/L構成図



ATmega26/Lは2Kバイトのフラッシュメモリ、128バイトEEPROM、128バイトSRAM、16本までの汎用入出力線、32個の汎用作業レジスタ、2つの8ビットタイマ/カウンタ(内1つはPWM出力付き)、内部と外部の発振器、内部及び外部割り込み、設定変更可能なウォッチドッグタイマ、2つの差動電圧入力利得段付き11チャンネルの10ビットA/D変換器、ソフトウェア選択可能な4つの低消費動作機能を提供します。アイドル動作では動作を停止しますが、タイマ/カウンタと割り込みシステムに継続機能(動作)を許します。ATtiny26/LにはA/D変換雑音低減専用のA/D変換雑音低減動作もあります。この休止形態ではA/D変換部だけが機能します。パワーダウン動作はレジスタ内容を保護しますが、発振器を停止して、以降のハードウェアリセットか外部割り込みまでチップのその他全機能を禁止します。スタンバイ動作はパワーダウン動作と同様ですが、外部発振器が許可されます。ピン変化特性(機能)はパワーダウン動作での最低消費電力の特徴を保ちつつ、外部事象に対する高速応答性をATtiny26/Lで可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モリシックチップ上のフラッシュメモリと強化した8ビットRISC型CPUの組み合わせにより、ATtiny26/Lは多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。

ATtiny26/L AVRはマクロアセンブラ、デバッガ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全な専用のプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

デジタル電源ピン。

GND

接地ピン。

AVCC

AVCCはポートAとA/D変換器用供給電圧(電源)ピンです。例えA/D変換が使われなくても、外部的にVCCへ接続されるべきです。A/D変換が使われる場合、VCCから低域通過濾波器を通して接続されるべきです。A/D変換操作の詳細については59頁をご覧ください。

PA7~PA0 (ポートA)

ポートAは8ビット汎用入出力ポートです。PA7~0は(ビット毎に選択される)内蔵プルアップ抵抗を提供できます。ポートAには28頁の「ポートAの交換機能」で記述されるように、A/D変換やアナログ比較器のアナログ入力、ピン変化割り込みとしての交換機能があります。

PB7~PB0 (ポートB)

ポートBは8ビット汎用入出力ポートです。PB6~0は(ビット毎に選択される)内蔵プルアップ抵抗を提供できます。PB7はリセットとして使われなければ、入出力ピンです。PB7をリセットに替え入出力ピンとして使うにはRSTDISBLヒューズをプログラム(0)してください。ポートBには30頁の「ポートBの交換機能」で記述されるように、A/D変換器、クロック、タイマ/カウンタ、USI、SPIプログラミング、ピン変化割り込みとしての交換機能があります。

外部リセットはPB7/RESETピンのLowレベルにより生成されます。例えクロックが走行(動作)していなくても500ns/5V(訳注:修正、原文は50ns/5V)より長いリセットパルスはリセットを生成します。より短いパルスはリセットの生成が保証されません。

XTAL1

発振器反転増幅器への入力と内部クロック操作回路への入力。

XTAL2

発振器反転増幅器からの出力。

一般情報

資料

包括的なデータシート、応用記述、開発ツール群は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

コード例

この資料はデバイスの様々な部分の使用法を手短かに示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

AVR CPU コア

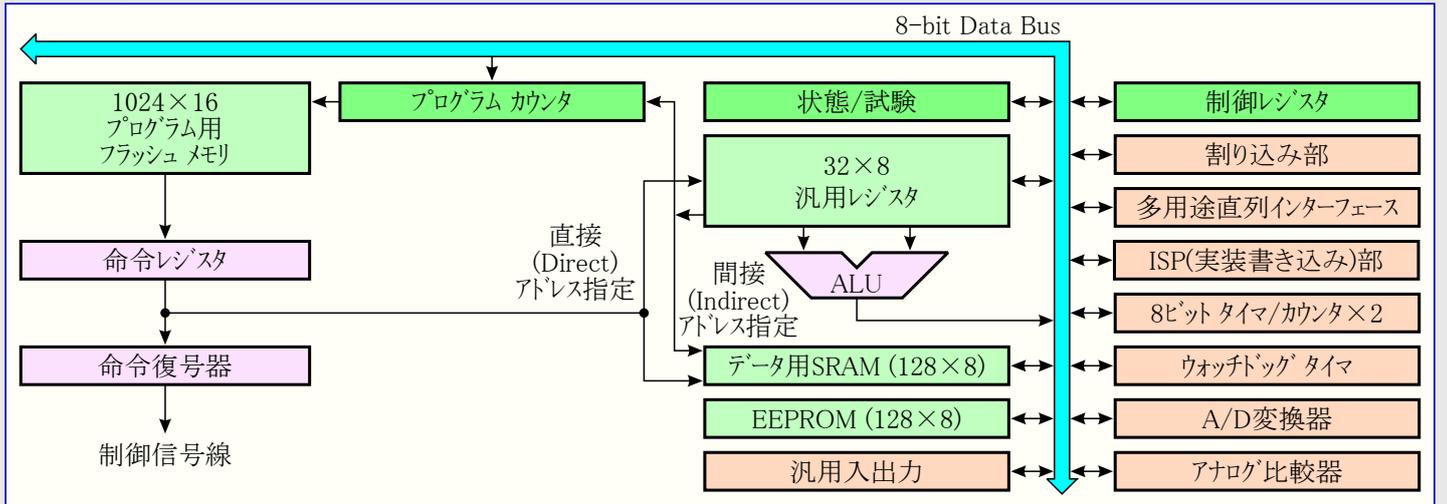
構造概要

高速レジスタファイルの概念は1クロック周期アクセス時間の32個の8ビット長汎用レジスタを含みます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力されて、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタはデータ空間についてアドレス計算が効率的に行える、3つの16ビット長間接アドレスポインタとして使えます。3つのアドレスポインタの1つは定数表参照用アドレスポインタとしても使われます。これらの付加機能レジスタは16ビット長のXレジスタ、Yレジスタ、Zレジスタです。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図2はATtiny26/L AVR強化RISCマイクロコントローラの構造を示します。

図2. ATtiny26/L AVR 強化RISC構造



付加的なレジスタ操作として、通常のメモリアドレス指定をレジスタファイルにも使えます。実際にはレジスタファイルがデータ空間の最下位32ビット(\$00~\$1F)に割り当てられ、通常のメモリ位置としてのアクセスができることによって行えます。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、A/D変換器、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルに後続するデータ空間位置\$20~\$5Fとしてアクセスできます。

AVRのメモリとバスはプログラム用とデータ用に各々分離されたハーバード構造で構成されています。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

プログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で1Kアドレス空間全てがアクセスされます。AVRの多くの命令は16ビット1語の形式です。全てのプログラムメモリのアドレスに16または32ビット命令を配置できます。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAMへ効果的に割り当てられ、スタック容量はSRAM容量とSRAM使用量でのみ制限されます。プログラムではリセット時の初期化ルーチンで(サブルーチンや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。8ビットのSPはI/O空間にあり、読み書き可能です。C言語で書かれたプログラムについてはスタック容量がリンクファイルで宣言されなければなりません。より多くの情報についてはC使用者の手引きを参照してください。

128バイトのデータSRAMはAVR構造で支援される5つの異なるアドレス指定種別で容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、その他I/O機能としてのCPU周辺機能用の64アドレスを含みます。AVR構造のメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の全割り込み許可(Dビット)があります。全ての割り込み要因はプログラムメモリの先頭に割り込みベクタ表として、個別の割り込みベクタがあります。各割り込みはこの割り込みベクタ表の位置に従った優先順位です。下位側割り込みベクタアドレスが高い優先順位です。

汎用レジスタ ファイル

図3は32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI, SUBI, CPI, ANDI, ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC, SUB, CP, AND, OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

図3.で示されるように、各レジスタはデータメモリ領域の先頭からの32アドレスに配置されています。レジスタファイルは物理的にSRAMのような配置構成ではなく、この特別な構成のため、X,Y,Zレジスタを指標とする任意のレジスタ指定のような、非常に柔軟なアクセスができます。

図3. AVR CPU 汎用レジスタ構成図

	7	0	アドレス		
汎用 レジスタ ファイル	R0		\$00		
	}				
	R15		\$0F		
	R16		\$10		
	}				
	R26		\$1A	Xレジスタ	下位ハイト
	R27		\$1B		上位ハイト
	R28		\$1C	Yレジスタ	下位ハイト
	R29		\$1D		上位ハイト
	R30		\$1E	Zレジスタ	下位ハイト
	R31		\$1F		上位ハイト

Xレジスタ, Yレジスタ, Zレジスタ

レジスタR26～R31には通常の汎用用途以外にいくつかの付加機能があります。これらのレジスタはデータ空間の**間接アドレス指定**ポインタにもなります。この3つの間接アドレス用レジスタX,Y,Zは図4.で定義されます。

これらのアドレスレジスタは**定数変位付き**、**自動増加/減少付き**のアドレス指定が行えます(これらの概要は個別命令を参照してください)。

図4. X,Y,Zレジスタ構成図

	15	(上位)		(下位)	0
Xレジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Yレジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
Zレジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は1クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。

■ ステータスレジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3F(\$5F)で、次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは許可されるべき割り込みに対して設定(1)されなければなりません。そして個別割り込み許可制御は一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の割り込み許可レジスタで行われます。全割り込み許可ビットが解除(0)されると、GIMSKとTIMSK値と無関係にどの割り込みも許可されません。このビットは割り込みが起きてしまった後、ハードウェアによって解除(0)され、後続の割り込みを許可するため、割り込み処理のRETI命令によって設定(1)されます。ビットは「命令一式参考書」で記述されるようにSEIやCLI命令で応用(プログラム)によって設定(1)や解除(0)もできます。

■ ビット6 - T : ビット変数 (Bit Copy Storage)

このTビットはBLD(Bit Load)命令とBST(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

■ ビット5 - H : ハーフキャリーフラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については命令要約を参照してください。

■ ビット4 - S : 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については命令要約を参照してください。

■ ビット3 - V : 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については命令要約を参照してください。

■ ビット2 - N : 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については命令要約を参照してください。

■ ビット1 - Z : ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については命令要約を参照してください。

■ ビット0 - C : キャリーフラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については命令要約を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアにより操作しなければなりません。(訳注:共通性のため本注意追加)

■ スタックポインタ (Stack Pointer) SP

ATtiny26/LのスタックポインタはI/O空間位置\$3D(\$5D)で8ビットレジスタとして実装されます。ATtiny26/Lが224(\$E0)位置を持つため、8ビットが使われます。

ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SP
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

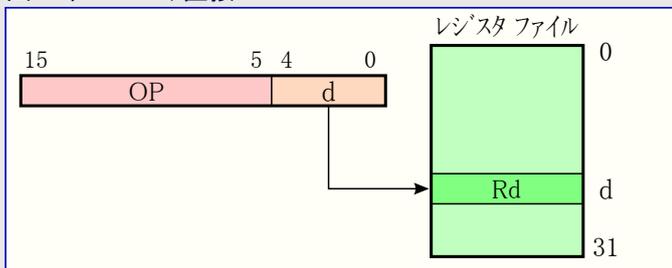
スタックポインタはサブルーチンと割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック領域は、割り込みの許可や、何れかのサブルーチン呼び出しが実行される前にプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するために設定されなければなりません。スタックポインタは、PUSH命令でデータがスタック上に格納されるとき-1され、サブルーチン呼び出しや割り込みでアドレスがスタック上に格納されるとき-2されます。POP命令でデータをスタックから引き出すとき+1され、サブルーチンからの復帰(RET命令)や割り込みからの復帰(RETI命令)でアドレスをスタックから引き出すとき+2されます。

プログラム及びデータ空間に対するアドレス指定種別

ATtiny26/L AVR強化RISCマイクロ コントローラはプログラム フラッシュ メモリ、SRAM、レジスタ ファイル、I/Oデータ メモリのアクセス用に強力で効率的なアドレス指定種別を支援します。本項はAVR構造によって支援される各アドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

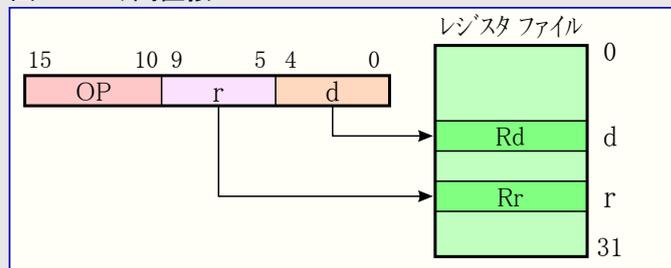
図5. 単一レジスタ直接



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

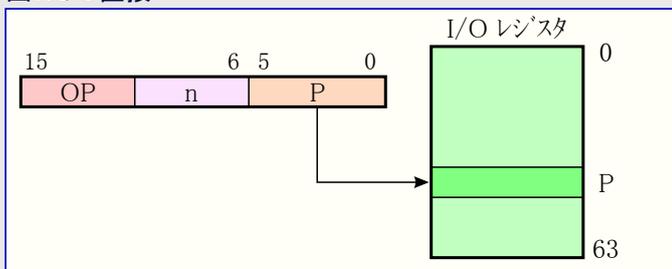
図6. レジスタ間直接



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

I/O直接

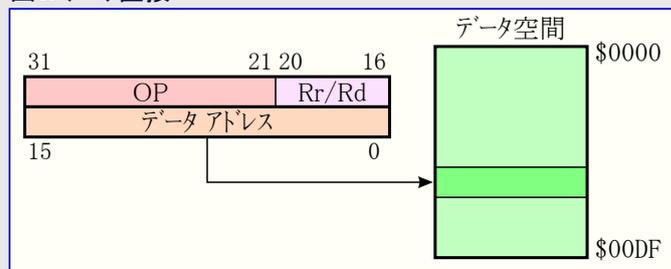
図7. I/O直接



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn (Rn)を示します。

データ直接

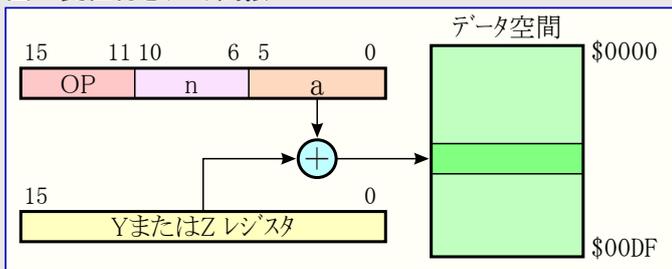
図8. データ直接



オペランドは2語命令の下位16ビットでデータ空間のアドレス位置を示し、Rr/Rdは転送元または転送先となるレジスタを示します。

変位付きデータ間接

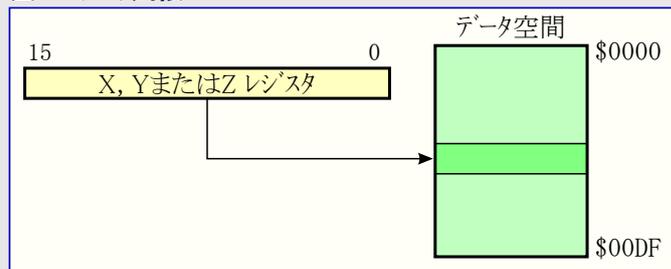
図9. 変位付きデータ間接



オペランド アドレスは、YまたはZレジスタの内容と命令語内の6ビット値aを加算した値となり、他方が転送元または転送先となるレジスタn(Rn)を示します。

データ間接

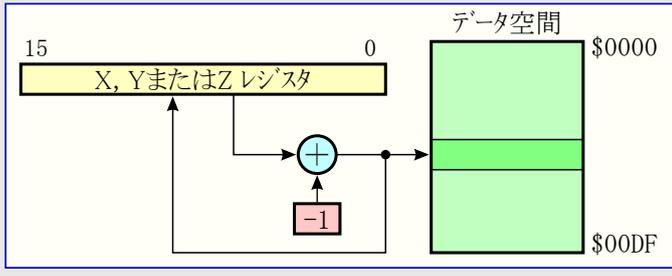
図10. データ間接



オペランド アドレスは、X, YまたはZレジスタの内容となります。

事前減少付きデータ間接

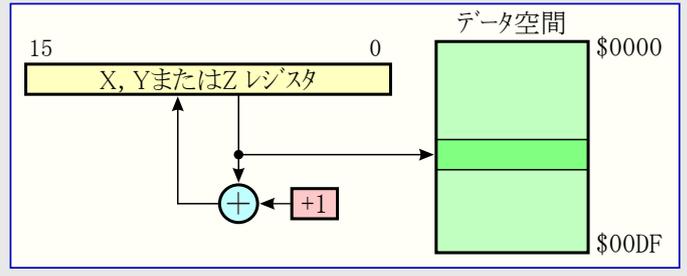
図11. 事前減少付きデータ間接



X,YまたはZレジスタはアクセス動作前に内容が減少されます。オペランドアドレスは減少されたX,YまたはZレジスタの内容となります。

事後増加付きデータ間接

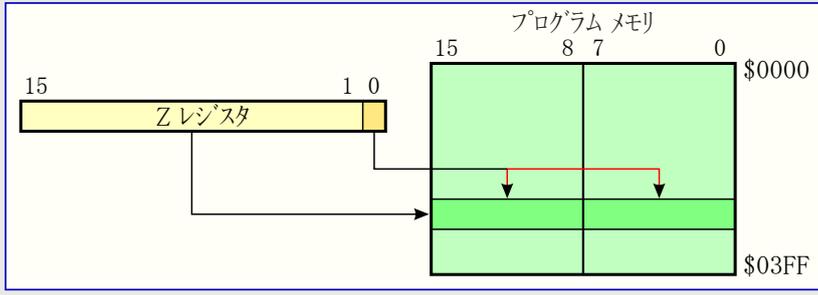
図12. 事後増加付きデータ間接



X,YまたはZレジスタはアクセス動作後に内容が増加されます。オペランドアドレスは増加される前のX,YまたはZレジスタの内容となります。

LPM命令による定数アドレス指定

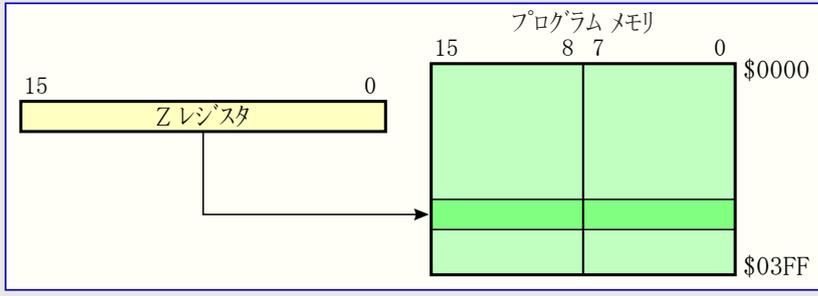
図13. プログラム空間定数アドレス指定



バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0~1Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

JMP, ICALL命令によるプログラム間接アドレス指定

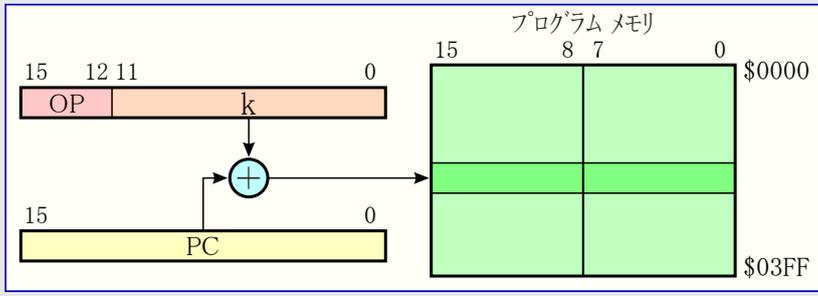
図14. プログラム空間間接アドレス指定



プログラムはZレジスタの内容のアドレスから実行が継続されます。(PCにZレジスタの内容を設定します。)

RJMP, RCALL命令によるプログラム相対アドレス指定

図15. プログラム相対アドレス指定



プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048~2047です。

注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

メモリ

AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})により駆動されます。内部クロック分周は使われません。

図16.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部についての好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図17.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で、2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

データ用内蔵SRAMアクセスは図18.で記載されるように2 clk_{CPU} 周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定して、T2で実際のアクセスが行われます。次の(T1)は次の命令のT1です。

図16. 命令の取得と実行の並列動作

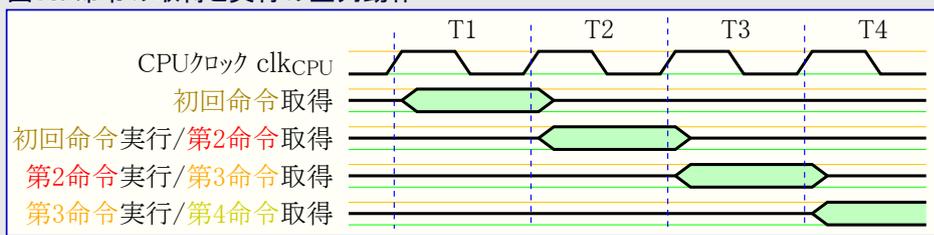


図17. 1周期ALU命令

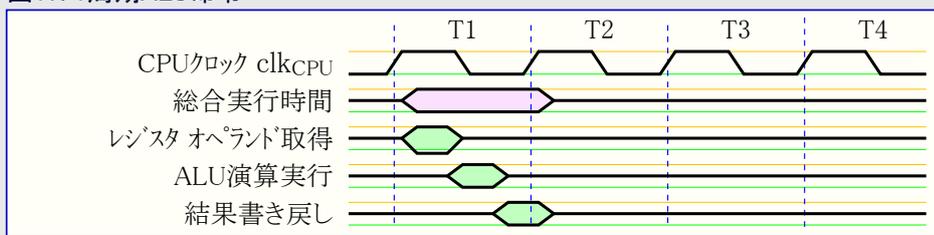
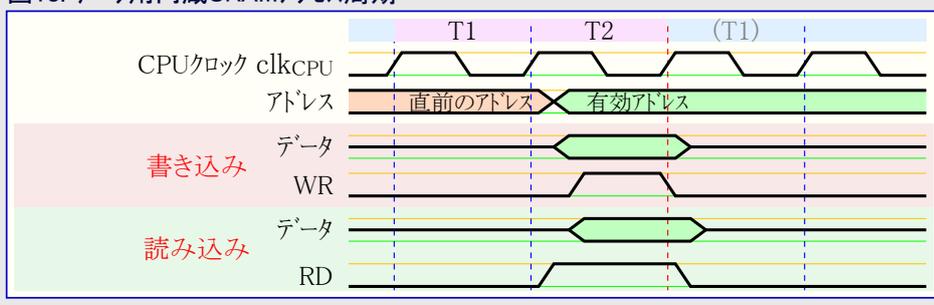


図18. データ用内蔵SRAMアクセス周期



実装書き換え(ISP: In-System Program)可能なプログラム用フラッシュメモリ

ATtiny26/Lはプログラム格納用に実装書き換え可能な2Kバイトのフラッシュメモリをチップ上に含みます。全ての命令が16または32ビット語のため、フラッシュメモリは1K×16ビットとして構成されています。フラッシュメモリは少なくとも10,000回再書き込みの耐久性があります。ATtiny26/Lのプログラムカウンタ(PC)は10ビット幅で、従ってプログラムメモリ内の1024アドレスを指定します。フラッシュメモリ書き込みの詳細記述については67頁の「メモリプログラミング」をご覧ください。各種プログラムメモリアドレス指定種別については7頁の「プログラム及びデータ空間に対するアドレス指定種別」をご覧ください。

データ用SRAM

図19.はATtiny26/Lのデータメモリの構成を示します。

下位224データメモリ位置は汎用レジスタファイル、I/Oレジスタ、内蔵データSRAMを指定します。最初の96位置はレジスタファイルとI/Oレジスタ、次の128位置がデータ用内蔵SRAMを指定します。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つのアドレス指定種別がデータメモリ空間を網羅します。レジスタファイル内のレジスタR26～R31が間接アドレス指定時のポインタレジスタです。

直接アドレス指定は全てのデータアドレス空間に届きます。変位付き間接アドレス指定はYまたはZレジスタで与えられる基準アドレスから届く63アドレス位置が特徴です。

事前減少付き間接、事後増加付き間接アドレス指定を使う時はアドレスレジスタX,YまたはZが使われ、自動的に減少または増加されます。

ATtiny26/Lの32個の汎用レジスタ、64個のI/Oレジスタ、128バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全て直接的にアクセス可能です。

各アドレス指定種別の詳細記述については7頁の「プログラム及びデータ空間に対するアドレス指定種別」をご覧ください。

図19. データ空間とSRAMの配置

		アドレス
レジスタ ファイル	R0	\$0000
	R1	\$0001
	}	
	R30	\$001E
	R31	\$001F
I/O レジスタ	\$00	\$0020
	\$01	\$0021
	}	
	(赤字は I/O アドレス)	\$3E
	\$3F	\$005F
内蔵 SRAM	\$0060	\$0060
	\$0061	\$0061
	}	
	\$00DE	\$00DE
	\$00DF	\$00DF

EEPROMアクセス

EEPROMをアクセスするレジスタはI/O空間でアクセスできます。

代表的な書き込み(訳注:原書はアクセス時間は8.3msです。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。EEPROMが新規データを受け入れる準備ができているときに起動するために、特別なEEPROM操作可割り込みが設定できます。

実行中のEEPROM書き込み動作は例えリセット条件が起きても完了(最後まで実行)します。

不測のEEPROM書き込みを防ぐため、2段階の手順に従わなければなりません。この詳細については「**EEPROM制御レジスタ(EECR)**」の記述を参照してください。

EEPROMが書かれるとき、CPUは次の命令が実行される前に2クロック周期停止されます。

EEPROMが読まれるとき、CPUは次の命令が実行される前に4クロック周期停止されます。

■ EEPROMアドレスレジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	–	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R/W							
初期値	0	不定							

■ ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6~0 – EEAR6~0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEAR)は128バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは0~127間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれなければなりません。

■ EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~0 – EEDR7~0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

■ EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	–	–	EERIE	EEMWE	EEWE	EERE	EECR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	不定	0	

■ ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの**1**書き込みは**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(**1**)されているなら、EEPROM操作可割り込みを許可します。EERIEの**0**書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは**EEWE**が解除(**0**)されていると継続する割り込みを発生します。

■ ビット2 – EEMWE : EEPROM主書き込み許可 (EEPROM Master Write Enable)

EEMWEビットはEEPROM書き込み許可(EEWE)ビットの**1**設定がEEPROM書き込みの原因となるかどうかを決めます。EEMWEが設定(**1**)される時、EEWEの**1**設定は選択されたアドレスのEEPROMにデータを書きます。EEMWEが**0**の場合、EEWEの**1**設定は無効です。EEMWEがソフトウェアによって設定(**1**)されてしまうと、4クロック周期後にハードウェアがこのビットを**0**に解除します。EEPROM書き込み手順については「**書き込み許可(EEWEビット)**」の記述をご覧ください。

■ ビット1 - EEW: EEPROM書き込み許可 (EEPROM Write Enable)

このEEPROM書き込み許可信号(EEWE)はEEPROMへの書き込みスローブです。アドレスとデータが適切に設定されると、EEPROMへこの値を書き込むために、このEEWEビットを設定(1)しなければなりません。論理1がEEWEに書かれるとき、EEPROM主書き込み許可(EEMWE)ビットは設定(1)されなければならない、そうしないと、EEPROM書き込みは行われません。EEPROMを書く時は次の手順に従うべきです(手順2と3の順番は重要ではありません)。

1. EEPROM書き込み許可(EEWE)ビットが0になるまで待機します。
2. 今回のEEPROMアドレスをEEPROMアドレスレジスタ(EEAR)に書きます。(任意、省略可)
3. 今回のEEPROMデータをEEPROMデータレジスタ(EEDR)に書きます。(任意、省略可)
4. EEPROM制御レジスタ(EECR)のEEPROM主書き込み許可(EEMWE)ビットに論理1を書きます。(EEMWEビットに論理1が書けるためには、同一周期内でEEWEビットは0が書かれなければなりません。)
5. EEMWE設定後4クロック周期内に、EEPROM書き込み許可(EEWE)ビットへ論理1を書きます。

警告: 手順4と5.間の割り込みは、EEPROM主書き込み許可が時間超過となるため、書き込み周期失敗になります。EEPROMをアクセスする割り込み処理ルーチンが他のEEPROMアクセスで割り込み、EEARまたはEEDRを変更すると、割り込まれたEEPROMアクセスが失敗する原因になります。これらの問題を防ぐため、手順2.~5.の間中、ステータスレジスタ(SREG)の全割り込み許可(I)ビットは解除(0)されていることが推奨されます。

書き込み時間(代表値8.3ms)が経過してしまうと、EEWEビットは自動的に解除(0)されます。次のバイトを書く前に、このビットをポーリングして0まで待機できます。EEWEが設定(1)されてしまうと、次の命令が実行される前に、CPUは2周期停止されます。

■ ビット0 - EERE: EEPROM読み込み許可 (EEPROM Read Enable)

このEEPROM読み込み許可信号(EERE)はEEPROMへの読み込みスローブです。EEARに適切なアドレスが設定されると、このEEREビットを設定(1)しなければなりません。EEREビットが自動的に解除(0)されると、求められたデータがEEDR内にあります。EEPROM読み込みアクセスは1命令で行われるので、EEREビットのポーリングは必要ありません。EEREが設定(1)されてしまうと、次の命令が実行される前にCPUは4周期停止されます。

読み込み操作を始める前に使用者はEEWEビットをポーリングすべきです。新規データまたはアドレスがEEPROM I/Oレジスタに書かれるときに書き込み動作が実行中の場合、書き込み動作は阻止され、結果が不定にされます。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。表1.はCPUからのEEPROMアクセスに対する代表的な書き込み時間を示します。(訳注: 共通性のため本文章追加)

(訳注) 表1.内のtyp値(8.5ms)と文章内の代表値(8.3ms)が矛盾しています。

表1. EEPROM書き込み時間

項目	校正付き内蔵RC発振器周期数 (注)	Typ
EEPROM書き込み(CPU)	8448	8.5ms

注: CKSELヒューズ設定と無関係に1MHzが使われます。

パワーダウン休止動作中のEEPROM書き込み

EEPROM書き込み動作が活動中にパワーダウン休止動作へ移行すると、EEPROM書き込み動作が継続し、EEPROM書き込み時間が過ぎ去ってしまう前に完了します。しかし、書き込み動作が完了されると、発振器が動作を継続し、結果としてデバイスはパワーダウン動作へ完全に移行しません。従ってパワーダウンへ移行する前に、EEPROM書き込み動作が完了される(EEWE=0)ことの確認が推奨されます。(訳補: パワーダウン移行後もEEPROM書き込みは正常に完了するが、その後発振器が止まらないことへの注意)

EEPROMデータ化けの防止

電源電圧が低すぎる時のCPUやEEPROMの動作特性により、低VCCの期間中、EEPROMデータが化けてしまいます。これらはEEPROMを使った基板レベルの問題と同じで、同じ設計上の解決法が適用されるべきです。

EEPROMデータ化けが発生する低電源電圧は、2つの場合が想定できます。1つ目は、EEPROM書き込み動作に必要な最低電圧以下の場合で、2つ目は、CPUが命令を実行するのに必要な最低電圧以下の場合です。

次の推奨設計(内の1つで充分)により、EEPROMのデータ化けは容易に避けることができます。

- 不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内蔵低電圧検出器(BOD)を許可することにより行えます。一致しない場合、外部低VCCリセット保護回路が適用できます。
- 低VCCの時間中、AVRコアをパワーダウン休止動作に保ちます。これはCPUを命令の復号と実行を試みないように防ぎ、不測の書き込みからEEPROMレジスタを保護する効果があります。
- ソフトウェアからメモリ内容を変更できることが必要とされない場合、フラッシュメモリに定数を格納します。フラッシュメモリはCPUにより更新されることができないので、データ化けの問題はありません。

I/Oメモリ (レジスタ)

ATtiny26/LのI/O領域定義は表2.で示されます。

表2. ATtiny26/L I/Oレジスタ

アドレス	レジスタ名	機能
\$3F (\$5F)	SREG	ステータスレジスタ Status Register
\$3D (\$5D)	SP	スタックポインタ Stack Pointer Low
\$3B (\$5B)	GIMSK	一般割り込み許可レジスタ General Interrupt MaSK register
\$3A (\$5A)	GIFR	一般割り込み要求フラグレジスタ General Interrupt Flag register
\$39 (\$59)	TIMSK	タイマ/カウンタ割り込み許可レジスタ Timer/Counter Interrupt MaSK register
\$38 (\$58)	TIFR	タイマ/カウンタ割り込み要求フラグレジスタ Timer/Counter Interrupt Flag register
\$35 (\$55)	MCUCR	MCU制御レジスタ MCU Control Register
\$34 (\$54)	MCUSR	MCU状態レジスタ MCU Status Register
\$33 (\$53)	TCCR0	タイマ/カウンタ0制御レジスタ Timer/Counter 0 Control Register
\$32 (\$52)	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNTER 0 (8bit)
\$31 (\$51)	OSCCAL	発振校正レジスタ OSCillator CALibration Register
\$30 (\$50)	TCCRIA	タイマ/カウンタ1制御レジスタA Timer/Counter 1 Control Register A
\$2F (\$4F)	TCCRIB	タイマ/カウンタ1制御レジスタB Timer/Counter 1 Control Register B
\$2E (\$4E)	TCNT1	タイマ/カウンタ1 カウンタ Timer/CouNTER 1 (8bit)
\$2D (\$4D)	OCR1A	タイマ/カウンタ1比較Aレジスタ Timer/Counter 1 Oouput Compare Register A
\$2C (\$4C)	OCR1B	タイマ/カウンタ1比較Bレジスタ Timer/Counter 1 Oouput Compare Register B
\$2B (\$4B)	OCR1C	タイマ/カウンタ1比較Cレジスタ Timer/Counter 1 Oouput Compare Register C
\$29 (\$49)	PLLCSR	PLL制御/状態レジスタ PLL Control and Status Register
\$21 (\$41)	WDTCR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$1E (\$3E)	EEAR	EEPROMアドレスレジスタ EEPROM Address Register
\$1D (\$3D)	EEDR	EEPROMデータレジスタ EEPROM Data Register
\$1C (\$3C)	EECR	EEPROM制御レジスタ EEPROM Control Register
\$1B (\$3B)	PORTA	ポートA出力データレジスタ Data Register, Port A
\$1A (\$3A)	DDRA	ポートA方向レジスタ Data Direction Register, Port A
\$19 (\$39)	PINA	ポートA入力データレジスタ Input Pins, Port A
\$18 (\$38)	PORTB	ポートB出力データレジスタ Data Register, Port B
\$17 (\$37)	DDRB	ポートB方向レジスタ Data Direction Register, Port B
\$16 (\$36)	PINB	ポートB入力データレジスタ Input Pins, Port B
\$0F (\$2F)	USIDR	多用途直列インターフェース データレジスタ Universal Serial Interface Data Register
\$0E (\$2E)	USISR	多用途直列インターフェース 状態レジスタ Universal Serial Interface Status Register
\$0D (\$2D)	USICR	多用途直列インターフェース 制御レジスタ Universal Serial Interface Control Register
\$08 (\$28)	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register
\$07 (\$27)	ADMUX	A/D多重器選択レジスタ ADC Multiplexer Select Register
\$06 (\$26)	ADCSR	A/D変換制御/状態レジスタ ADC Contro and Status Register
\$05 (\$25)	ADCH	A/D変換データレジスタ上位バイト ADC Data Register High
\$04 (\$24)	ADCL	A/D変換データレジスタ下位バイト ADC Data Register Low

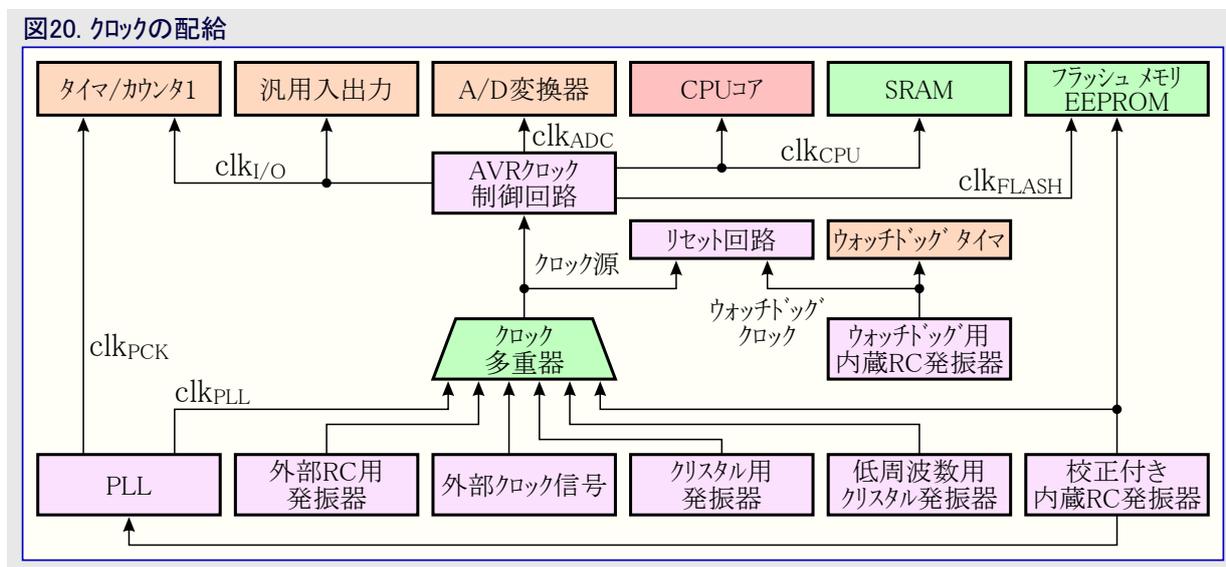
注: 予約と未使用の位置は、この表で示されていません。()内のアドレスはデータ空間の一部としてアクセスする場合のアドレスです。

ATtiny26/Lの全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

システム クロックとクロック選択

クロック系統とその配給

図20はAVR内の主要なクロック系統とその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、21頁の「電力管理と休止形態」で記述される各種休止形態使用により、使わない部分のクロックが停止できます。クロック系統は以下で詳述されます。



CPU クロック - clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統の部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

I/O クロック - $clk_{I/O}$

I/Oクロックはタイマ/カウンタ、USIのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路により検出されることに注意してください。

フラッシュ クロック - clk_{FLASH}

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。

A/D変換クロック - clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路により生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

高速周辺機能クロック - clk_{PCK}

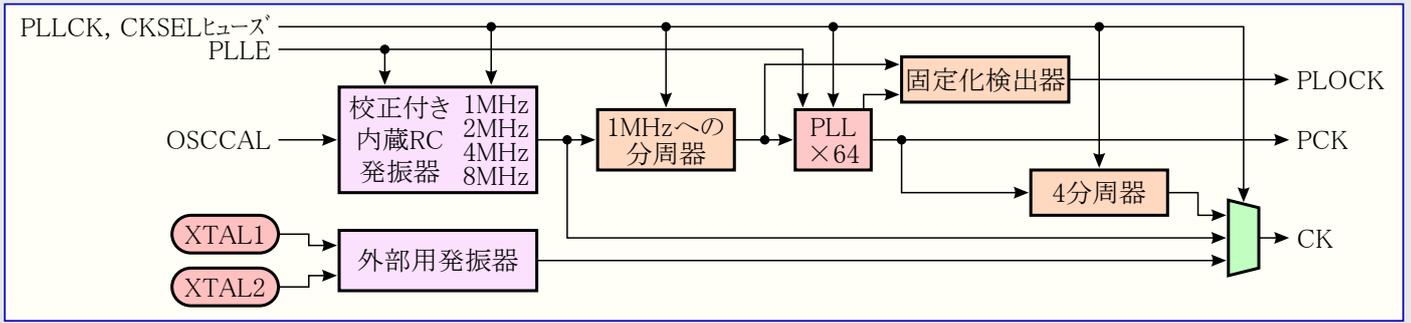
ATtiny26/Lの内部PLLは公称1MHz入力から64倍したクロック周波数を発生します。この1MHz PLL入力は必要としたなら1MHzへ自動的に分周される内蔵RC発振器の出力です。図21をご覧ください。PLL基準周波数が公称1MHzのとき、高速周辺機能クロックは64MHzです。高速周辺機能クロックまたはそれから分周したクロックはタイマ/カウンタ1に対するクロック元として選択できます。

PLLはこのRC発振器に固定化し、発振校正レジスタ(OSCCAL)経由のRC発振器調整は同時に高速周辺機能クロックも調整します。けれども分周したRC発振器が1MHzより高い周波数にされるのが可能でも、高速周辺機能クロックは(最悪の場合)70MHzで飽和し、最高周波数での発振に留まります。この場合のPLLがRC発振器クロックのどれにも固定化されないことに注意されるべきです。

従ってPLLの正しい動作範囲を保つため、1MHzより高い周波数にOSCCAL補正をしないことが推奨されます。内部PLLはPLL制御/状態レジスタ(PLLCSR)のPLL許可(PLLE)ビットが設定(1)またはPLLCKヒューズがプログラム(0)される時だけ許可されます。PLLCSRのPLL固定(LOCK)ビットはPLLが固定化されている時に設定(1)されます。

内部1MHz RC発振器とPLLはパワーダウンとスタンバイの休止形態でOFFへ切り替えられます。

図21. 高速周辺機能クロック(PCK)構成図



クロック元

このデバイスには右で示されるようにフラッシュヒューズビットにより選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で適切な単位部へ配給されます。表4.で示されるようにPB4(XTAL1)とPB5(XTAL2)ピンのI/Oピンとしての使用はクロック設定に依存して制限されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保證する起動時間に使われます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時完了に使われるウォッチドッグ(WD T)発振器の周期数は表5.で示されます。ウォッチドッグ発振器の周波数は「代表特性」で示されるように電圧依存です。

表5. ウォッチドッグ発振器の代表的計時完了値と周期数

VCC=3.0V	VCC=5.0V	周期数
4.3ms	4.1ms	4K (4096)
69ms	65ms	64K (65536)

既定のクロック元

このデバイスはCKSEL=0001, SUT=10, PLLCK非プログラム(1)で出荷されます。従って既定クロック元設定は最長起動時間の1MHz内蔵RC発振器です。この既定設定は全ての使用者が実装または並列書き込み器を使用して、それらを希望したクロック元設定にできることを保証します。

表3. クロック種別選択

クロック種別	PLLCK	CKSEL3~0
外部クリスタル発振子/セラミック振動子	1	1111~1010
外部低周波数クリスタル発振子	1	1001
外部RC発振	1	1000~0101
校正付き内蔵RC発振器	1	0100~0001
外部クロック信号	1	0000
PLLクロック (PCK/4=16MHz)	0	0001

注: 1=非プログラム、0=プログラム

表4. クロック種別対PB4,PB5の機能

クロック種別	PLLCK	CKSEL3~0	PB4	PB5
外部クロック信号	1	0000	XTAL1	I/O
校正付き内蔵RC発振器	1	0001	I/O	I/O
		0010		
		0011		
		0100		
外部RC発振	1	0101	XTAL1	I/O
		0110		
		0111		
		1000		
外部低周波数クリスタル発振子	1	1001	XTAL1	XTAL2
外部クリスタル/セラミック発振子	1	1010	XTAL1	XTAL2
		1011		
		1100		
		1101		
		1110		
		1111		
PLLクロック (PCK/4=16MHz)	0	0001	I/O	I/O

注: 1=非プログラム、0=プログラム

クリスタル用発振器

XTAL1とXTAL2は図22.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。セラミック振動子の最高周波数は12MHzです。このクロック種別を使うとき、CKOPTヒューズは常に非プログラム(1)にされるべきです。C1とC2は常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表6.で与えられます。セラミック振動子については、製造業者により与えられたコンデンサ値が使われるべきです。

発振器は示された周波数範囲で最適化された3つの異なる動作ができます。この動作は表6.で示されたCKSEL3~1ヒューズにより選択されます。

図22. クリスタル発振子接続図

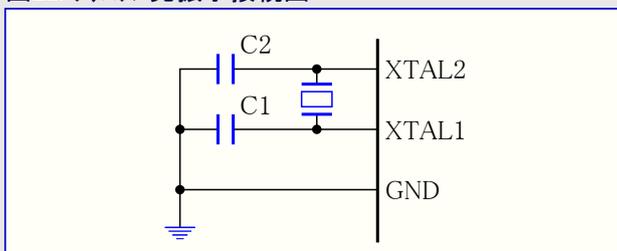


表6. クリスタル発振器動作

CKSEL3~1	周波数範囲	推奨C1,2容量
101 (注1)	0.4~0.9MHz	-
110	0.9~3.0MHz	12~22pF
111	3.0~16.0MHz	12~22pF
	16.0~ MHz	12~15pF

注1: この選択はクリスタル発振子ではなく、セラミック振動子でだけ使われるべきです。

CKSEL0ヒューズはSUT1,0ヒューズと共に、表7.で示される起動遅延時間を選択します。

表7. クリスタル発振子/セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258 × CK (注1)	4.1ms	外部セラミック振動子、高速上昇電源
	0 1	258 × CK (注1)	65ms	外部セラミック振動子、低速上昇電源
	1 0	1K × CK (注2)	-	外部セラミック振動子、低電圧検出リセット(BOD)許可
	1 1	1K × CK (注2)	4.1ms	外部セラミック振動子、高速上昇電源
1	0 0	1K × CK (注2)	65ms	外部セラミック振動子、低速上昇電源
	0 1	16K × CK	-	外部クリスタル発振子、低電圧検出リセット(BOD)許可
	1 0	16K × CK	4.1ms	外部クリスタル発振子、高速上昇電源
	1 1	16K × CK	65ms	外部クリスタル発振子、低速上昇電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

低周波数クリスタル用発振器

デバイスに対するクロック元として時計用32.768kHzクリスタルを使うには、PLLCKヒューズ=1、CKSEL3~0ヒューズを'1001'に設定することにより低周波数クリスタル発振器が選択されなければなりません。クリスタルは図22.で示されるように接続されるべきです。CKOPTヒューズのプログラム(0)により、使用者はXTAL1とXTAL2の内部容量(コンデンサ)を許可でき、それにより外部コンデンサの必要がなくなります。内部容量は36pFの公称値です。

この発振器が選択されると、起動時間は表8.で示されるようにSUTヒューズにより決定されます。

表8. 低周波数クリスタル発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	1K × CK (注1)	4.1ms	高速上昇電源または低電圧検出リセット(BOD)許可
0 1	1K × CK (注1)	65ms	低速上昇電源
1 0	32K × CK	65ms	起動時周波数の安定重視
1 1			(予約)

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。

外部RC発振器

タイミングに鈍感な応用に対しては図23.で示される外部RC設定が使えます。周波数は式 $f=1/(3RC)$ により大まかに推測されます。Cは最低22pFであるべきです。CKOPTヒューズのプログラム(0)により、使用者はXTAL1とGND間の36pF内部容量を許可でき、それにより外部コンデンサの必要がなくなります。

この発振器は示された周波数範囲で各々最適化された4つの異なる種別で動作できます。この動作は表9.で示されるようにCKSEL3~0ヒューズにより選択されます。

この発振器が選択されると起動時間は表10.で示されるようにSUTヒューズにより決定されます。

図23. 外部RC接続図

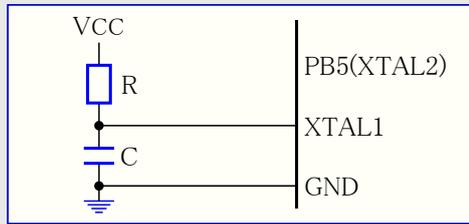


表9. 外部RC発振器動作

CKSEL3~0	周波数範囲 (MHz)
0 1 0 1	0.1~0.9
0 1 1 0	0.9~3.0
0 1 1 1	3.0~8.0
1 0 0 0	8.0~12.0

表10. 外部RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	18×CK	-	低電圧検出(BOD)リセット許可
0 1	18×CK	4.1ms	高速上昇電源
1 0	18×CK	65ms	低速上昇電源
1 1	6×CK (注1)	4.1ms	高速上昇電源または低電圧検出(BOD)リセット許可

注1: この選択はデバイスの最高周波数付近で動作するときに使われるべきではありません。

校正付き内蔵RC発振器

校正された内蔵RC発振器は決められた1.0, 2.0, 4.0, 8.0MHzクロックを供給します。全ての周波数は5V, 25°Cでの公称値です。このクロックは表11.で示されるようにCKSELヒューズのプログラミングによりシステムクロックとして選択できます。選択したならば、外部部品なしで動作します。このクロック選択を使うとき、CKOPTヒューズは常に非プログラム(1)にされるべきです。リセット中、ハードウェアが発振校正レジスタ(OSCCAL)に校正値バイトを設定し、これによりRC発振器を自動的に校正します。5V, 25°Cで1.0MHz発振器周波数が選択され、この校正は公称周波数±3%以内の周波数を与えます。atmel.com/avrで利用可能な応用記述に記載された実行時校正法の使用で、与えられたどのVCCと温度でも±1%の精度を達成することができます。この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については67頁の「校正バイト」項をご覧ください。

この発振器が選択されると、起動時間は表12.で示されるようにSUTヒューズにより決定されます。PB4(XTAL1)とPB5(XTAL2)は標準I/Oポートとして使えます。

表11. 校正付き内蔵RC発振器動作

CKSEL3~0	公称周波数 (MHz)
0 0 0 1 (注1)	1.0
0 0 1 0	2.0
0 0 1 1	4.0
0 1 0 0	8.0

注1: デバイスはこの選択で出荷されます。

表12. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	-	低電圧検出リセット(BOD)許可
0 1	6×CK	4.1ms	高速上昇電源
1 0 (注1)	6×CK	65ms	低速上昇電源
1 1			(予約)

注1: デバイスはこの選択で出荷されます。

■ 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

■ ビット7~0 - CAL7~0 : 発振校正値 (Oscillator Calibration Value)

このアドレスへの校正ビット書き込みは発振器周波数の偏差処理を省くために内蔵発振器を調整します。リセット中、識別列上位バイト(アドレス\$00)に配置される1MHz校正値が発振校正レジスタ(OSCCAL)内へ自動的に設定されます。内蔵RC発振器が他の周波数で使われる場合、校正値は手動で設定されなければなりません。これは初めに書き込み器により識別列を読み、そしてその後フラッシュメモリまたはEEPROMに校正値を保存することにより行えます。その後この値はソフトウェアにより読まれ、OSCCALに設定できます。OSCCALが0の時に最低利用可能周波数が選択されます。このレジスタへ0以外の値を書くことは内蔵発振器の周波数を増加します。このレジスタへの\$FF書き込みは最高使用可能周波数にします。校正付き発振器はフラッシュメモリとEEPROMのアクセス時間に使われます。フラッシュメモリまたはEEPROMが書かれる場合、公称周波数より上へ10%を越えて校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。この発振器は1.0、2.0、4.0、8.0MHzへの校正が意図されることに注意してください。表13.で示されるような他の値への調整は保証されません。

表13. 内蔵RC発振器周波数範囲

OSCCAL値	公称周波数に対する割合	
	最小	最大
\$00	50 %	100 %
\$7F	75 %	150 %
\$FF	100 %	200 %

外部クロック信号

外部クロック元からデバイスを駆動するためにXTAL1は図24.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためにCKSELヒューズは'0000'にプログラム(設定)されなければなりません。CKOPTヒューズのプログラム(0)により、使用者はXTAL1とGND間の36pF内部容量を許可できます。

このクロック元が選択されると、起動時間は表14.で示されるようにSUTヒューズにより決定されます。

図24. 外部クロック信号駆動接続図

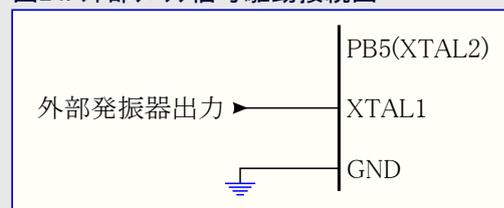


表14. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	-	低電圧検出(BOD)リセット許可
0 1	6×CK	4.1ms	高速上昇電源
1 0	6×CK	65ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれることを保証することが必要とされます。

高速PLLクロック (PLLCLK)

周辺(機能)タイマ/カウンタ1の使用に対してシステムクロック元に関し、(校正付き内蔵)RC発振器にロックした公称64MHzクロック速度を供給する内部PLLです。PLLCKヒューズのプログラム(0)によりシステムクロック元として選択されると、4分周されます。このクロック種別が使われるとき、CKSEL3~0ヒューズは'0001'に設定されなければなりません。このクロック種別は安全な動作を保証するため4.5~5.5V動作時だけ使えます。システムクロック周波数は16MHz(64MHz/4)です。このクロック種別を使うとき、起動遅延時間は表15.で示されるようにSUTヒューズにより決定されます。14頁の図21.「高速周辺機能クロック(PCK)構成図」もご覧ください。

表15. 高速PLLクロック(PLLCK=0)用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	1K×CK	-	低電圧検出リセット(BOD)許可
0 1	1K×CK	4.1ms	高速上昇電源
1 0	1K×CK	65ms	低速上昇電源
1 1	16K×CK	-	

システム制御とリセット

ATtiny26/Lは4つのリセット元を提供します。

- ・ **電源ONリセット** …… 供給電圧が**電源ONリセット閾値電圧(V_{POT})**以下のとき、MCUはリセットされます。
- ・ **外部リセット** …… PB7/RESETピンをI/Oピンに替え外部リセットとして使うには、**RSTDISBLヒューズ**を非プログラム(1)にします。LowレベルがRESETピンで500ns(訳補:電圧,温度依存)より多く存在すると、MCUはリセットされます。
- ・ **ウォッチドッグリセット** …… ウォッチドッグが許可され、ウォッチドッグ タイマ時間が経過すると、MCUはリセットされます。
- ・ **低電圧検出(BOD)リセット** …… 供給電圧(VCC)が**低電圧リセット閾値電圧(V_{BOT})**以下のとき、MCUはリセットされます。

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、その後にアドレス\$0000からプログラム実行が始まります。アドレス\$0000に配置される命令は、きつとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムで決して割り込みを許可しないならば、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図25.はATtiny26/Lに関するリセット論理を示します。表16.はATtiny26/Lに関するリセット回路の電気的特性とタイミングを示します。

図25. リセット回路構成

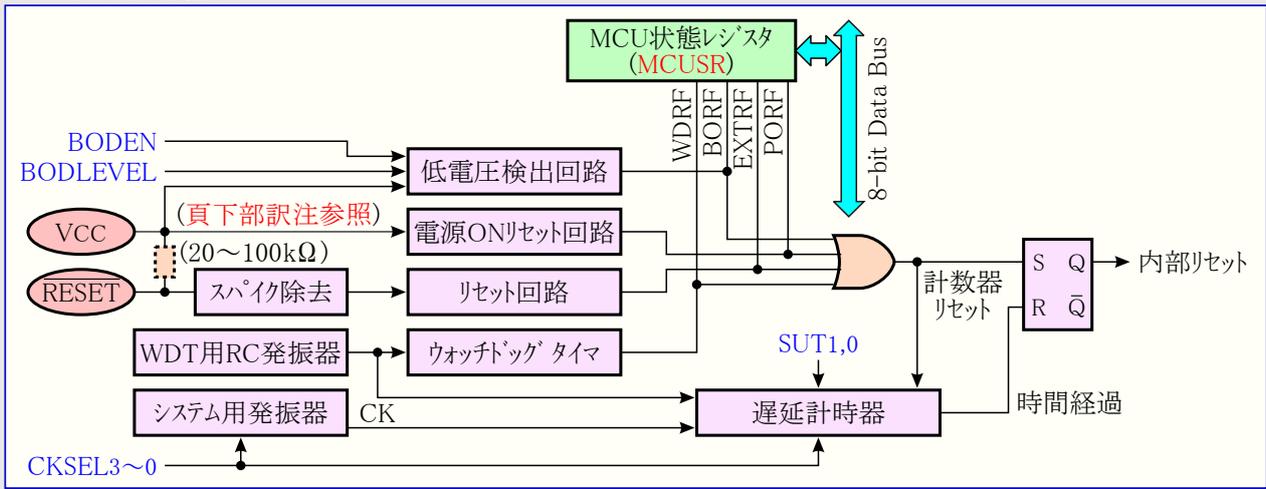


表16. リセット電気的特性

シンボル	項目	最小	代表	最大	単位	
V _{POT}	上昇時電源ONリセット閾値電圧		1.4	2.3	V	
	下降時電源ONリセット閾値電圧 (注1)		1.3	2.3		
V _{RST}	RESETピン閾値電圧	0.2VCC		0.9VCC		
t _{RST}	リセットパルス幅	1.5			μs	
V _{BOT}	低電圧検出スレッシュホールド電圧 (注2)	BODLEVEL=非プログラム(1)	2.4	2.7	2.9	V
		BODLEVEL=プログラム(0)	3.7	4.0	4.5	
t _{BOT}	最小低電圧検出時間	BODLEVEL=非プログラム(1)		2		μs
		BODLEVEL=プログラム(0)		2		
V _{HYST}	低電圧検出ヒステリシス電圧		130		mV	

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

注2: V_{BOT}はいくつかのデバイスについて公称最小動作電圧以下かもしれません。この状態のデバイスについて、そのデバイスは製造検査中にVCC=V_{BOT}へ落として検査されます。これはVCCがマイクロコントローラの正しい動作がもはや保証されない電圧へ落ちる前に低電圧(BOD)リセットが起きることを保証します。この検査はATtiny26LについてはBODLEVEL=1、ATtiny26についてはBODLEVEL=0を使って実行されます。ATtiny26に対してBODLEVEL=1は適用できません。

13頁の「システムクロックとクロック選択」からリセットからの起動時間をご覧ください。CPUがパワーダウン動作から起動するとき、起動時間のクロック計数(CK)部だけが使われます。ウォッチドッグ発振器は起動時間の実時間部のタイミングに使われます。

(訳注) 図25.でRESETピンのプルアップは原書の同図には存在しませんが、原書の「電気的特性」にその値が記載されています。これは常時有り、またはRSTDISBLヒューズで有無切り替えの2つが予測されます。

電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は表16.で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

パワーONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(V_{POT})への到達はVCC上昇後にデバイスがどのくらいリセットを保つかを決める遅延カウンタ(タイマ)を起動します。遅延カウンタの計時完了時間はCKSELヒューズを通して使用者によって定義できます。遅延時間についての各種選択は13頁の「システムクロックとクロック選択」で示されます。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図26. 内蔵電源ONリセット (RESETはVCCに接続)

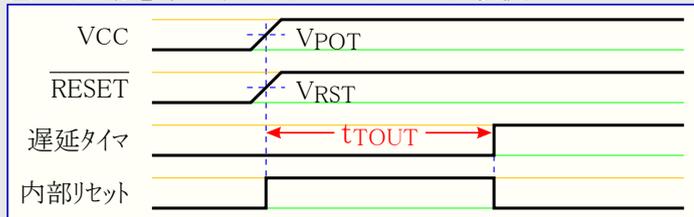
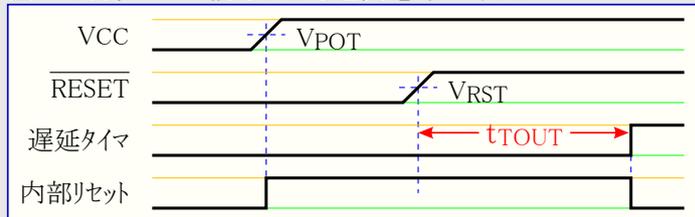


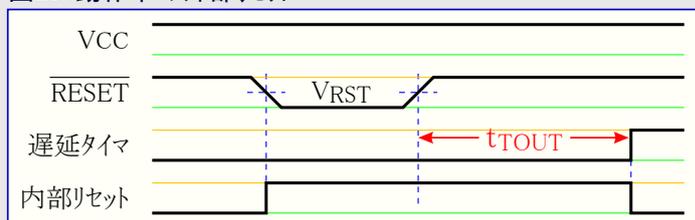
図27. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。例えばクロックが動いていなくても、最小パルス幅(表16.参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセットの生成が保証されません。印加された信号の上昇がリセット閾値電圧(V_{RST})に達すると(遅延タイマが起動され)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

図28. 動作中の外部リセット

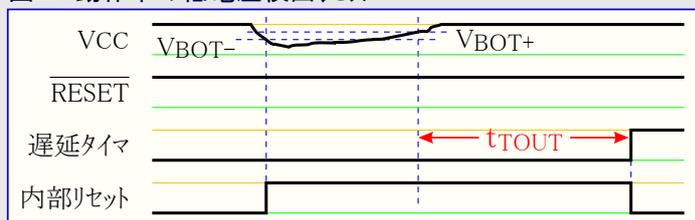


低電圧(ブラウンアウト)検出

ATtiny26/Lには固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BOD回路はBODENヒューズによって許可/禁止ができます。BODが許可(BODEN=プログラム(0))され、VCCが起動電圧以下の値に下降すると(図29.の V_{BOT-})、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図29.の V_{BOT+})、低電圧リセットは遅延後に非活性(無効)にされます。この遅延はPOR信号の遅延と同じ方法で使用者によって定義されます。BODの起動電圧はBODLEVELヒューズによって2.7V(非プログラム(1))または4.0V(プログラム(0))を選択できます。起動電圧はスパイク対策BODを保証するために130mVのヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+}=V_{BOT+}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT-}-V_{HYST}/2$ と解釈すべきです。(訳注:共通性のため本行追加)

BOD回路は電圧が表16.で与えられる t_{BOD} 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

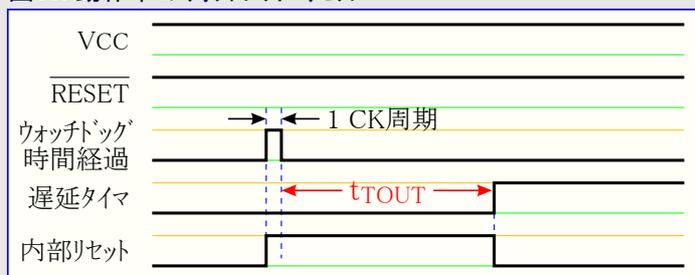
図29. 動作中の低電圧検出リセット



ウォッチドッグリセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグタイマ操作の詳細については48頁を参照してください。

図30. 動作中のウォッチドッグリセット



■ MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	-	-	-	-	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 - WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット2 - BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット1 - EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット0 - PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うには、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、リセット元はリセット フラグを調べることにより得られます。

電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、これによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

4つの休止形態の何れかに移行するにはMCU制御レジスタ(MCUCR)の**休止許可(SE)ビット**が論理1を書かれ、**SLEEP**命令が実行されなければなりません。MCUCRの**休止種別選択(SM1,0)ビット**は**SLEEP**命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、スタンバイ)のどれかを選びます。一覧については表17をご覧ください。MCUが休止形態中に許可した割り込みが起こればMCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そして**SLEEP**命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変更されません。休止形態中にリセットが起これば、MCUは起動し、リセットベクタから実行します。

22頁の表19はATtiny26/Lの各種クロック系統とその配給を示します。この図は適切な休止形態を選択する助けになります。

■ MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは一般的なMCU機能に関する制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - PUD : プルアップ禁止 (Pull-up Disable)

このビットが設定(1)されると、例えばDDxnとPORTxnレジスタがプルアップを許可することに設定(DDxn=0, PORTxn=1)されても、I/Oポートの(全)プルアップは禁止されます。この機能についてより多くの詳細に関しては25頁の「[ピンの設定](#)」をご覧ください。

■ ビット5 - SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるため、休止許可(SE)ビットは設定(1)されなければなりません。プログラムの書き手の目的外でMCUが休止形態へ移行するのを避けるため、**SLEEP**命令の実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

■ ビット4,3 - SM1,0 : 休止種別 (Sleep Mode Bits 1,0)

これらのビットは右表で示されるように4つの利用可能な休止形態の1つを選択します。

表17. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	スタンバイ動作

詳細については以降の各休止動作を参照してください。

■ ビット2 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット1,0 - ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、INT0外部ピンによって活性(有効)にされます。割り込みを活性(有効)にするINT0外部ピンの動きは右表で定義されます。

表18. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
0	1	INT0ピンのレベル変化で発生。
1	0	INT0ピンの下降端で発生。
1	1	INT0ピンの上昇端で発生。

注: ISC01,00ビットの変更時、INT0はGIMSKで割り込み許可ビットの解除(0)によって禁止されなければなりません。さもなければこれらのビット変更時に割り込みが起き得ます。

アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、アナログ比較器、A/D変換器、多用途直列インターフェース(USI)、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れやUSIの開始条件検出や溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、USIの開始条件検出、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、USI開始条件検出割り込み、EEPROM操作可割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけがA/D変換雑音低減動作からMCUを起動できます。

パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作で外部発振器が停止される一方、外部割り込み、USI開始条件検出、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、USI開始条件検出割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は基本的に生成した全てのクロックを停止し、非同期部の動作だけを許します。

パワーダウン動作から起動するとき、起動条件が起きてから起動の効果が現れるまで遅延があります。これは停止されてしまっている後の再始動と安定になることをクロックに許します。この起動(遅延)時間は14頁の「クロック元」で記述されるように、リセット遅延時間を定義するのと同じCKSELヒューズによって定義されます。

パワーダウン動作からの復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。

MCUが起動して実行を始める前に起動復帰条件が消滅すると、例えばINT0のLowレベルが充分長く保持されないと、起動復帰の原因となる割り込みは実行されません。

スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選択され、且つSM1,0ビットが'11'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

表19. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲				動作発振器 主クロック 供給元	復帰起動要因 (割り込み)				
	clk CPU	clk FLASH	clk IO	clk ADC		INT0 ピン変化	USI開始 条件検出	EEPROM 操作可	A/D変換 完了	その他 I/O
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	○ (注2)	○	○	○	
パワーダウン						○ (注2)	○			
スタンバイ (注1)					○	○ (注2)	○			

注1: クロック元として外部クリスタル発振子またはセラミック振動子が選択された場合にだけ推奨されます。

注2: INT0はレベル割り込みだけです。

消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる際に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みる際に、特別な考慮を必要とするでしょう。

A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電のため休止形態の何れかへ移行する前に、A/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については59頁の「[A/D変換器](#)」を参照してください。

アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないならば禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については57頁の「[アナログ比較器](#)」を参照してください。

低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODENヒューズにより許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については19頁の「[低電圧検出\(BOD\)](#)」を参照してください。

内部基準電圧

内部基準電圧(表20参照)は低電圧検出器(BOD)、アナログ比較器、A/D変換器により必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に、使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。

表20. 内部基準電圧特性

シンボル	項目	最小	代表	最大	単位
V _{BG}	基準電圧	1.15	1.18	1.40	V
t _{BG}	起動時間		40	70	μs
I _{BG}	消費電流		10		μA

ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないならば、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については48頁の「[ウォッチドッグ タイマ](#)」を参照してください。

ポートピン

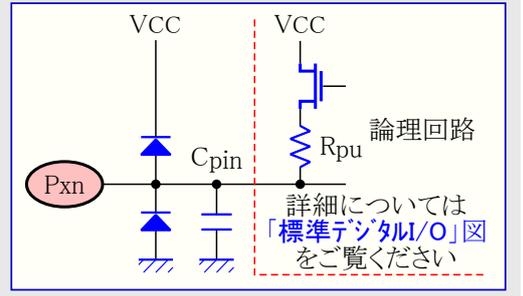
休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないことを保証することです。I/Oクロック(clkI/O)とA/D変換クロック(clkADC)の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路により電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については26頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を使うでしょう。

入出力ポート

序説

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード-モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポートピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止するときにも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)能力の両方で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図31.で示されるようにVCCとGNDの両方に保護ダイオードを持っています。

図31. 入出力ピン等価回路



本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTx_nがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は33頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットは設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

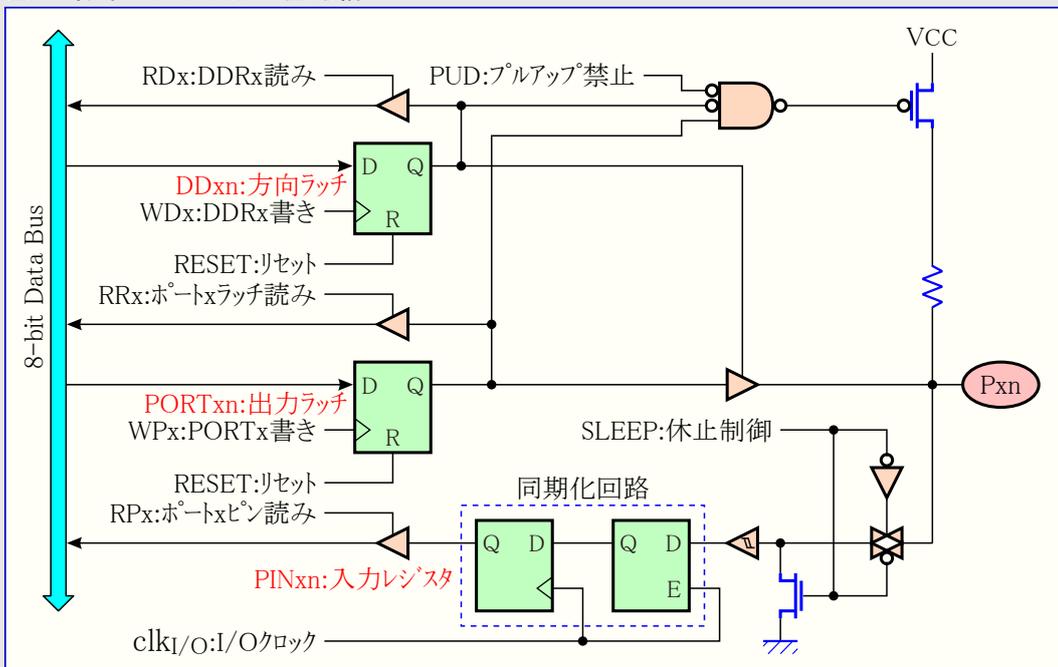
標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は27頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図32.は、ここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図32. 標準デジタル入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。

ピンの設定

各ポートピンは3つのレジスタビット、**DDxn**、**PORTxn**、**PINxn**から成ります。33頁の「I/Oポート用レジスタ」で示されるようにDDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxnビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットは、そのピンの方向を選択します。DDxnが論理**1**を書かれるとPxnは出力ピンとして設定されます。DDxnが論理**0**を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定されるとき、PORTxnが論理**1**を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるには、PORTxnが論理**0**を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定されるとき、PORTxnが論理**1**を書かれると、そのポートピンはHigh(**1**)に駆動されます。そのピンが出力ピンとして設定されるとき、PORTxnが論理**0**を書かれると、そのポートピンはLow(**0**)に駆動されます。

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないならば、全ポートの全プルアップを禁止するために、**MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビット**が設定(**1**)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表21.はピン値に対する制御信号の一覧を示します。

表21. ポートピンの設定

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図32.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロック端付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図33.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(図33.で)システムクロックの最初の上昇端の直ぐ後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は、出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻すとき、図34.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図33. 外部供給ピン値読み込み時の同期化

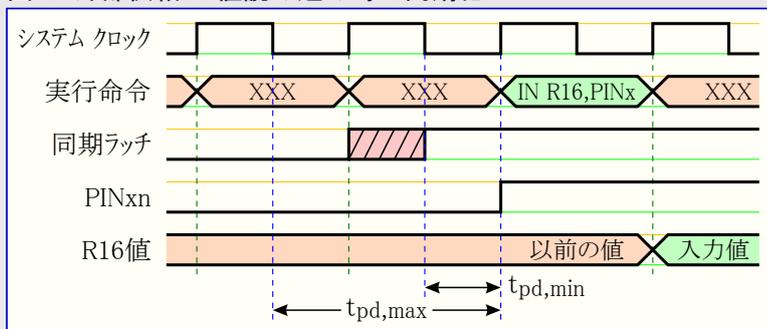
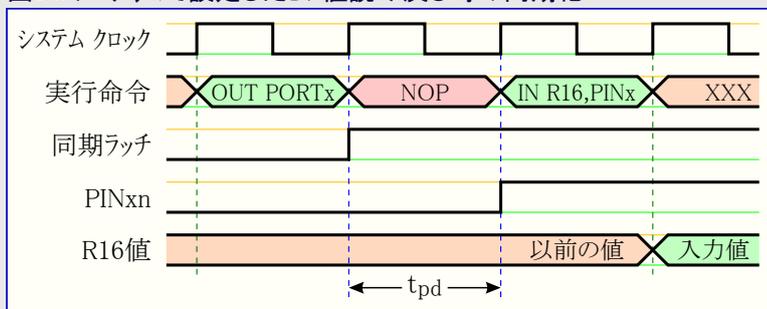


図34. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートピンの0と1をHigh出力、2と3をLow出力、6と7をプルアップ指定として4～7を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

```

~
LDI R16, (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0) ;プルアップとHigh値を取得
LDI R17, (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0) ;出力ビット値を取得
OUT PORTB, R16 ;プルアップとHigh値を設定
OUT DDRB, R17 ;入出力方向を設定
NOP ;同期化遅延対処
IN R16, PINB ;ピン値読み戻し
~
;

```

C言語プログラム例

```

unsigned char i;
~
PORTB = (1<<PB7) | (1<<PB6) | (1<<PB1) | (1<<PB0); /* */
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0); /* プルアップとHigh値を設定 */
_NOP(); /* 入出力方向を設定 */
i = PINB; /* 同期化遅延対処 */
~ /* ピン値読み戻し */
/* */

```

注: アセンブリ言語プログラムについてはプルアップがピン0,1,6,7に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使われます。

デジタル入力許可と休止形態

図32.で示されるように、デジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図で**SLEEP**と印された信号は、入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**、**スタンバイ動作**、**A/D雑音低減動作**でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないならば、**SLEEP**は他のピンについてと同様に有効です。**SLEEP**は27頁の「**交換ポート機能**」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端、または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開するとき、これら休止形態でのクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定されます。

未接続ピン

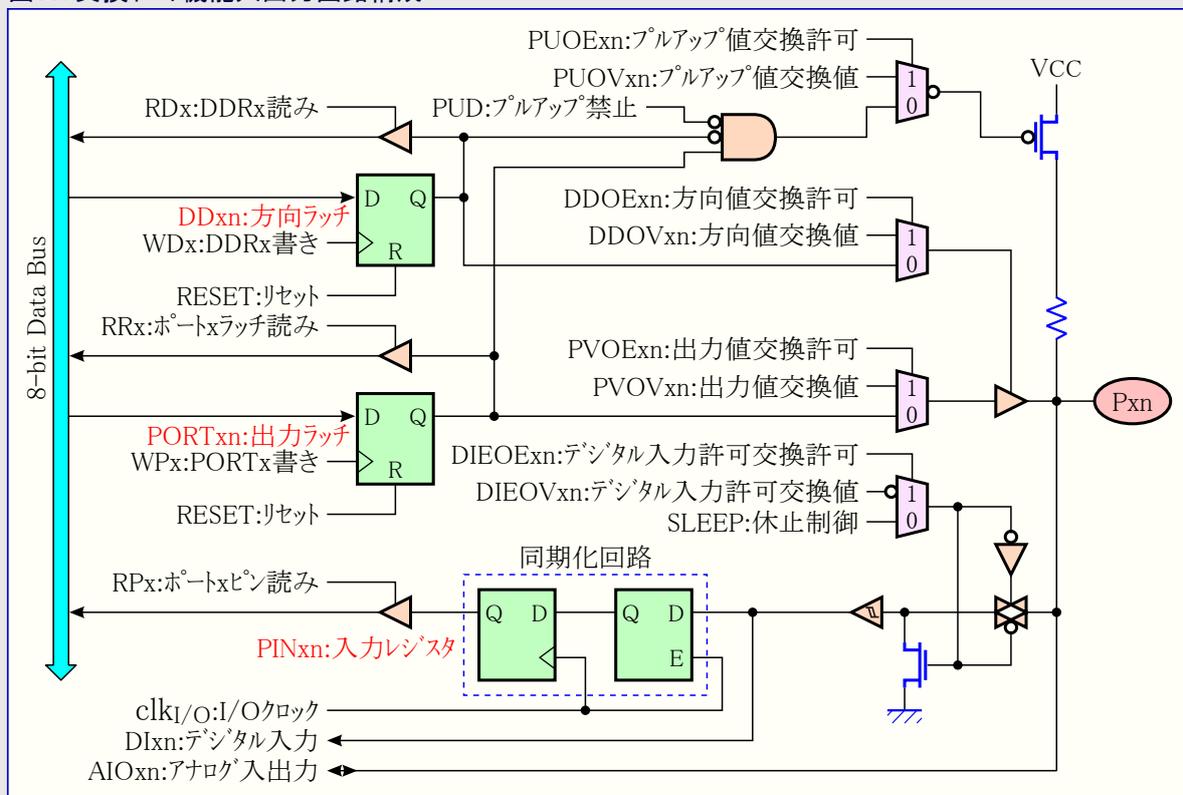
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例えば上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要ならば、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図35.は単純化された図32.でのポートピン制御信号が交換機能により、どう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。

図35. 交換ポート機能入出力回路構成



注: WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表22.は重複(交換)信号の機能一覧を示します。図35.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表22. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONならば、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。さらに先の詳細については交換機能の記述を参照してください。

■ MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは一般的なMCU機能に対する制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット2 - PUD : プルアップ禁止 (Pull-up Disable)

このビットが設定(1)されると、例えばDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては25頁の「[ピン](#)の設定」をご覧ください。

ポートAの交換機能

ポートAには表23.で示されるようにA/D変換器とアナログ比較器用のアナログ入力、ピン変化割り込みとしての交換機能があります。いくつかのポートAピンが出力として設定される場合、(A/D)変換が進行中の時にそれらを切り替えないことが重要です。これは変換の結果を誤らせるかもしれません。A/D変換器は59頁の「[A/D変換器](#)」で記述されます。アナログ比較器は57頁の「[アナログ比較器](#)」で記述されます。ピン変化割り込みは例えそのピンが出力として設定されても、割り込みが許可され、それが交換機能によって遮蔽(マスク)されなければ、PA7,PA6,PA3ピンで起動します。38頁の「[ピン変化割り込み](#)」での詳細をご覧ください。

表23. ポートAピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PA7	ADC6 (A/D変換チャンネル6入力)	PA4	ADC3 (A/D変換チャンネル3入力)
	AIN1 (アナログ比較器反転入力)		PA3
	PCINT1 (ピン変化1群割り込み)	PCINT1 (ピン変化1群割り込み)	
PA6	ADC5 (A/D変換チャンネル5入力)	PA2	ADC2 (A/D変換チャンネル2入力)
	AIN0 (アナログ比較器非反転入力)		PA1
	PCINT1 (ピン変化1群割り込み)	ADC0 (A/D変換チャンネル0入力)	
PA5	ADC4 (A/D変換チャンネル4入力)	PA0	

• ADC6/AIN1/(PCINT1) - ポートA ビット7 : PA7

ADC6, AIN1 : A/D変換チャンネル6入力、アナログ比較器反転入力。A/D変換器またはアナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽はアナログ比較器です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPA7ピンで許可されます。

• ADC5/AIN0/(PCINT1) - ポートA ビット6 : PA6

ADC5, AIN0 : A/D変換チャンネル5入力、アナログ比較器非反転入力。A/D変換器またはアナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽はアナログ比較器です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPA6ピンで許可されます。

• ADC4 - ポートA ビット5 : PA5

ADC4 : A/D変換チャンネル4入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

• ADC3 - ポートA ビット4 : PA4

ADC3 : A/D変換チャンネル3入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

• AREF/(PCINT1) - ポートA ビット3 : PA3

AREF : A/D変換用外部基準電圧。このピンがA/D多重器選択レジスタ(ADMUX)のREFS0ビットの設定(1)により、外部基準電圧またはAREFピンでの外部コンデンサとの内部基準電圧(2.56V)として使われると、プルアップと出力駆動部はPA3で禁止されます。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽はA/D変換器用基準電圧としてのピン使用です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPA3ピンで許可されます。

• ADC2 – ポートA ビット2 : PA2

ADC2 : A/D変換チャンネル2入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

• ADC1 – ポートA ビット1 : PA1

ADC1 : A/D変換チャンネル1入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

• ADC0 – ポートA ビット0 : PA0

ADC0 : A/D変換チャンネル0入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

表24.と表25.はポートAの交換機能を27頁の図35.で示される交換信号に関連付けます。これらはPA7, PA6, PA3でデジタル入力を変更します。PA3の出力とプルアップ駆動部も無効にされます。

表24. ポートA7~4の交換機能用交換信号

信号名	PA7/ADC6/AIN1/PCINT1	PA6/ADC5/AIN0/PCINT1	PA5/ADC4	PA4/ADC3
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DIEOE	ACSR[ACD]・PCINT1許可	ACSR[ACD]・PCINT1許可	0	0
DIEOV	1	1	0	0
DI	PCINT1入力	PCINT1入力	-	-
AIO	ADDC6入力/AIN1入力	ADDC5入力/AIN0入力	ADDC4入力	ADDC3入力

表25. ポートA3~0の交換機能用交換信号

信号名	PA3/AREF/PCINT1	PA2/ADC2	PA1/ADC1	PA0/ADC0
PUOE	ADMUX[REFS0]	0	0	0
PUOV	0	0	0	0
DDOE	ADMUX[REFS0]	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DIEOE	ADMUX[REFS0]・ PCINT1許可	0	0	0
DIEOV	1	0	0	0
DI	PCINT1入力	-	-	-
AIO	A/D基準電圧入力	ADDC2入力	ADDC1入力	ADDC0入力

注: PCINT1割り込みは38頁の「ピン変化割り込み」で記述されるように全割り込み許可(I)ビットが許可され、GIMSKでPCIE1ビットが設定(1)され、そのピンの交換機能が禁止される場合にだけ許可されます。

(訳注) 論理反転は赤色のバーで示しました。

ポートBの交換機能

ポートBにはA/D変換器、クロック、タイマ/カウンタ、USI、SPIプログラミング、ピン変化割り込みについての交換機能があります。A/D変換器は59頁の「A/D変換器」で、クロックは13頁の「システムクロックとクロック選択」で、タイマ/カウンタは39頁の「タイマ/カウンタ」で、USIは49頁の「多用途直列インターフェース (USI)」で記述されます。ピン変化割り込みは例えそのピンが出力として設定されても、割り込みが許可され、それが交換機能で遮蔽されなければ、PB7~0ピンで起動します。38頁の「ピン変化割り込み」での詳細をご覧ください。プログラミング動作でのピン機能は67頁の「メモリプログラミング」で記述されます。交換機能は表26.で示されます。

表26. ポートBピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PB7	ADC10 (A/D変換チャンネル10入力) RESET (外部リセット入力) PCINT1 (ピン変化1群割り込み)	PB3	OC1B (タイマ/カウンタ1 PWM-B非反転出力, 比較B一致出力) PCINT0 (ピン変化0群割り込み)
PB6	ADC9 (A/D変換チャンネル9入力) INT0 (外部割り込み0 入力) T0 (タイマ/カウンタ0 外部クロック入力) PCINT1 (ピン変化1群割り込み)	PB2	SCK (3線動作USI 直列クロック入出力) SCL (2線動作USI 直列クロック入出力 (注)) OC1B (タイマ/カウンタ1 PWM-B反転出力) PCINT0 (ピン変化0群割り込み)
PB5	ADC8 (A/D変換チャンネル8入力) XTAL2 (システムクロック発振器出力) PCINT1 (ピン変化1群割り込み)	PB1	DO (3線動作USI 直列データ出力) OC1A (タイマ/カウンタ1 PWM-A非反転出力, 比較A一致出力) PCINT0 (ピン変化0群割り込み)
PB4	ADC7 (A/D変換チャンネル7入力) XTAL1 (システムクロック発振器(外部)入力) PCINT1 (ピン変化1群割り込み)	PB0	DI (3線動作USI 直列データ入力) SDA (2線動作USI 直列データ 入出力 (注)) OC1A (タイマ/カウンタ1 PWM-A反転出力) PCINT0 (ピン変化0群割り込み)

注: オープンドレイン出力

交換ピン設定は次のとおりです。

• ADC10/ $\overline{\text{RESET}}$ /(PCINT1) – ポートB ビット7 : PB7

ADC10 : A/D変換チャンネル10入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

RESET : 外部リセット入力はLow活性(有効)で、RSTDISBLヒューズの非プログラム(1)によって許可されます。このピンがRESETピンとして使われると、プルアップが活性(有効)にされ、出力駆動部とデジタル入力は非活性(無効)にされます。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽はRESETとしてのピン使用です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB7ピンで許可されます。

• ADC9/INT0/T0/(PCINT1) – ポートB ビット6 : PB6

ADC9 : A/D変換チャンネル9入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

INT0 : 外部割り込み0入力。外部割り込み元として扱えるPB6ピンは一般割り込み許可レジスタ(GIMSK)のINT0ビットを設定(1)することによって許可されます。

T0 : タイマ/カウンタ0外部クロック入力はタイマ/カウンタ0制御レジスタ(TCCR0)のCS02とCS01ビットを設定(1)することによって許可されます。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は、外部Lowレベル割り込み元0(INT0)とタイマ/カウンタ0外部クロック入力(T0)です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB6ピンで許可されます。

• ADC8/XTAL2/(PCINT1) – ポートB ビット5 : PB5

ADC8 : A/D変換チャンネル8入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

XTAL2 : システムクロック発振器ピン2。内蔵校正可能RC発振器、外部クロック、PLLクロックを除く全てのチップクロック元用クロックピンとして使われます。クロックピンとして使われると、このピンはI/Oピンとして使えません。チップクロック元として内蔵校正可能RC発振器、外部クロック、またはPLLクロックを使うと、PB5は通常のI/Oピンとして取り扱います。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、ピン変化割り込みが許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は、XTAL2出力です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB5ピンで許可されます。

• ADC7/XTAL1/(PCINT1) – ポートB ビット4 : PB4

ADC7 : A/D変換チャネル7入力。A/D変換器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

XTAL1 : システムクロック発振器ピン1。内蔵校正可能RC発振器とPLLクロックを除く全てのチップクロック元用クロックピンとして使われます。クロックピンとして使われると、このピンはI/Oピンとして使えません。チップクロック元として内蔵校正可能RC発振器またはPLLクロックを使うと、PB4は通常のI/Oピンとして取り扱います。

PCINT1 : ピン変化1群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、**ピン変化割り込み**が許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽はXTAL1入力です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB4ピンで許可されます。

• OC1B/(PCINT0) – ポートB ビット3 : PB3

OC1B : タイマ/カウンタ1の比較B一致出力。PB3ピンはタイマ/カウンタ1の比較B一致用出力として扱えます。PB3ピンはこの機能を扱うために出力として設定(**DDB3=1**)されなければなりません。このOC1BピンはPWM動作用出力ピンでもあります。

PCINT0 : ピン変化0群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、**ピン変化割り込み**が許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は比較一致出力OC1Bです。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB3ピンで許可されます。

• SCK/SCL/ $\overline{\text{OC1B}}$ /(PCINT0) – ポートB ビット2 : PB2

SCK : **3線動作USI**のクロック入出力。**SPI**が許可されると、このピンは入力として設定されます。3線動作USIでの**DDB2**ビットは主装置動作に対して出力、従装置動作に対して入力と、ピンの方向を制御します。

SCL : **2線動作USI**のクロック入出力(オープントレイン出力)。SCLピンは**DDB2**が設定(**1**)され且つ、**PORTB2**が解除(**0**)されるか、または**開始条件**が検出されると**Low**に引き込まれます。プルアップは2線動作USIで禁止されます。

$\overline{\text{OC1B}}$: タイマ/カウンタ1のPWM-B反転出力。PB2ピンはUSIが許可されなければ、タイマ/カウンタ1 PWM動作用反転出力として扱えます。PB2ピンはこの機能を扱うために出力として設定(**DDB2=1**)されなければなりません。

PCINT0 : ピン変化0群割り込みピン。ピン変化割り込みは全割り込み(I)が許可され、**ピン変化割り込み**が許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は反転比較一致出力 $\overline{\text{OC1B}}$ とUSIクロックSCK,SCLです。ピン変化割り込みが許可され、交換機能により遮蔽されなければ、休止形態でもデジタル入力はPB2ピンで許可されます。

• DO/OC1A/(PCINT0) – ポートB ビット1 : PB1

DO : 3線動作USIのデータ出力。データ出力(DO)は**PORTB1**値を無効にし、**データ方向(DDB1)**ビットが設定(**1**)されると、ポートが駆動されます。けれども**PORTB1**ビットは未だプルアップを制御し、方向が入力で**PORTB1**が設定(**1**)されるなら、プルアップを許可します。

OC1A : タイマ/カウンタ1の比較A一致出力。PB1ピンはタイマ/カウンタ1の比較A一致用出力として扱えます。PB1ピンはこの機能を扱うために出力として設定(**DDB1=1**)されなければなりません。このOC1Aピンは**プログラミング**またはUSIで使われないなら、タイマ/カウンタ機能のPWM動作用出力ピンでもあります。

PCINT0 : ピン変化0群割り込みピン。ピン変化割り込みは全割り込み(I)が許可されて、**ピン変化割り込み**が許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は比較一致出力OC1Aと3線動作USIでのデータ出力(DO)です。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、休止形態でもデジタル入力はPB1ピンで許可されます。

• DI/SDA/ $\overline{\text{OC1A}}$ /(PCINT0) – ポートB ビット0 : PB0

DI : 3線動作USIのデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンは入力として設定しなければなりません。

SDA : 2線動作USIのデータ入出力(オープントレイン出力)。直列データピンは双方向でオープントレイン出力を使います。SDAピンは出力としてこのピンを設定することにより許可されます。このピンは**DDB0**が設定(**1**)される時に**PORTB0**またはUSI移動レジスタ(出力)が**0**のとき、**Low**に引き込まれます。プルアップは2線動作USIで禁止されます。

OC1A : **タイマ/カウンタ1**のPWM-A反転出力。PB0ピンはプログラミングまたはUSIで使われないなら、タイマ/カウンタ1 PWM動作用反転出力として扱えます。PB0ピンはこの機能を扱うために出力として設定(**DDB0=1**)されなければなりません。

PCINT0 : ピン変化0群割り込みピン。ピン変化割り込みは**全割り込み(I)**が許可され、**ピン変化割り込み**が許可され、交換機能がこの割り込みを遮蔽しない時のピンで許可されます。交換機能の遮蔽は反転比較一致出力OC1AとUSIデータDI,SDAです。ピン変化割り込みが許可され、交換機能によって遮蔽されなければ、**休止形態**でもデジタル入力はPB0ピンで許可されます。

表27.と表28.はポートBの交換機能を27頁の図35.で示される交換信号に関連付けます。

表27. ポートB7~4の交換機能用交換信号

信号名	PB7/ADC10/ RESET/PCINT1	PB6/ADC9/INT0/ T0/PCINT1	PB5/ADC8/ XTAL2/PCINT1	PB4/ADC7/XTAL1
PUOE	RSTDISBL	0	PB5 I/O許可	PB4 I/O許可
PUOV	1	0	0	0
DDOE	RSTDISBL	0	PB5 I/O許可	PB4 I/O許可
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
DIEOE	RSTDISBL PCINT1許可	T0外部クロック・INT0許可 PCINT1許可	PB5 I/O許可 PCINT1許可	PCINT1許可 PB4 I/O許可 外部クロック許可
DIEOV	RSTDISBL・PCINT1許可	0	PB5 I/O許可・ PCINT1許可	PCINT1許可・ PB4 I/O許可 外部クロック許可
DI	PCINT1入力	INT0, T0, PCINT1入力	PCINT1入力	外部クロック, PCINT1入力
AIO	ADC10入力/リセット入力	ADC9入力	ADC8入力/XTAL2出力	ADC7入力/XTAL1入力

注: RSTDISBLヒューズ(Low有効)は18頁の「システム制御とリセット」章で記述されます。

- PCINT1割り込みは38頁の「ピン変化割り込み」で記述されるように全割り込み許可(I)ビットが許可され、GIMSKでPCIE1ビットが設定(1)され、そのピンの交換機能が禁止される場合にだけ許可されます。
- PB4 I/O許可、PB5 I/O許可、外部クロック許可は14頁の「クロック元」で記述されるようにPLLCKとCKSELヒューズで与えられます。
- INT0(外部Lowレベル割り込み)許可は38頁の「外部割り込み」で記述されるように全割り込み許可(I)が許可され、且つGIMSKでINT0ビットが設定(1)される場合に許可されます。
- 外部クロック(T0外部クロック)禁止でのタイマ/カウンタ0の操作は40頁の「8ビット タイマ/カウンタ0」で記述されます。

(訳注) 論理反転は赤色のバーで示しました。

表28. ポートB3~0の交換機能用交換信号

信号名	PB3/OC1B/PCINT0	PB2/SCK/SCL/ OC1B/PCINT0	PB1/DO/OC1A/PCINT0	PB0/DI/SDA/OC1A
PUOE	0	2線USI	0	2線USI
PUOV	0	0	0	0
DDOE	0	2線USI	0	2線USI
DDOV	0	(USI SCL保持 PORTB2)・ DDB2	0	(SDA PORTB0)・DDB0
PVOE	OC1B許可	2線USI・DDB2 OC1B許可	3線USI OC1A許可	2線USI・DDB0 OC1A許可
PVOV	OC1B	(2線USI・DDB2)・OC1B	3線USI・DO 3線USI・OC1A許可・OC1A	(2線USI・DDB0)・ OC1A許可・OC1A
DIEOE	OC1B許可・PCINT0許可	(2線USI 3線USI OC1B許可)・PCINT0許可 USI開始割り込み許可	(3線USI OC1A許可)・ PCINT0許可	(2線USI 3線USI OC1A許可)・PCINT0許可 USI開始割り込み許可
DIEOV	1	1	1	1
DI	PCINT0入力	SCK, SCL, PCINT0入力	PCINT0入力	SDA, PCINT0入力
AIO	-	-	-	-

注: タイマ/カウンタ1比較一致出力の許可とタイマ/カウンタ1 PWM出力OC1A/OC1BとOC1A/OC1Bは41頁の「8ビット タイマ/カウンタ1」で記述されます。

- PCINT0割り込みは38頁の「ピン変化割り込み」で記述されるように全割り込み許可(I)ビットが許可され、GIMSKでPCIE0ビットが設定(1)され、そのピンの交換機能が禁止される場合にだけ許可されます。
- 2線と3線のUSI動作は49頁の「多用途直列インターフェース (USI)」で記述されます。
- USIに関する移動クロック(SCL)保持は49頁の「多用途直列インターフェース (USI)」で記述されます。
- USI開始割り込みは49頁の「多用途直列インターフェース (USI)」で記述されるように全割り込み許可(I)ビットが許可され、USICRでUSISIEビットが設定(1)される場合に許可されます。
- データ出力(DO)は3線動作USIで有効で、その操作は49頁の「多用途直列インターフェース (USI)」で記述されます。
- 2線動作USIでのSDAと3線動作USIでのDIデータピンの操作は49頁の「多用途直列インターフェース (USI)」で記述されます。

(訳注) 論理反転は赤色のバーで示しました。

I/Oポート用レジスタ

■ ポートA出カレジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ポートA入カレジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

■ ポートB出カレジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

■ ポートB入カレジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定								

割り込み

ATtiny26/Lは11種の割り込み元を提供します。これらの割り込みと独立したリセットのベクタはプログラム メモリ空間内に各々独立したプログラム ベクタを持ちます。全ての割り込みは個別の許可ビットを割り当てられ、割り込みを許可するため、**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**と共に設定(1)されなければなりません。

プログラム メモリ空間の最下位アドレスはリセットと割り込みのベクタとして自動的に定義されています。ベクタの完全な一覧は**表29**で示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

ATtiny26の割り込みベクタ

表29. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	PIN_CHG	I/Oピンレベル変化
4	\$003	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
5	\$004	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
6	\$005	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
7	\$006	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
8	\$007	USL_STRT	多用途直列インターフェース開始条件検出
9	\$008	USL_OVF	多用途直列インターフェース計数器溢れ
10	\$009	EE_RDY	EEPROM 操作可
11	\$00A	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
12	\$00B	A/D変換器 ADC	A/D変換完了

リセットと割り込みベクタ アドレスに対する最も代表的かつ一般的な設定を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP PIN_CHG	;I/Oピンレベル変化
\$003		RJMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$004		RJMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$005		RJMP TIM_OVF1	;タイマ/カウンタ1溢れ
\$006		RJMP TIM_OVF0	;タイマ/カウンタ0溢れ
\$007		RJMP USI_STRT	;多用途直列インターフェース開始条件検出
\$008		RJMP USI_OVF	;多用途直列インターフェース計数器溢れ
\$009		RJMP EE_RDY	;EEPROM 操作可
\$00A		RJMP ANA_COMP	;アナログ比較器出力遷移
\$00B		RJMP ADC	;A/D変換完了
;			
\$00C	RESET:	LDI R16, LOW (RAMEND)	;RAM最終アドレスを取得
\$00D		OUT SP, R16	;スタック ポインタを初期化
		}	;以下、I/O初期化など

割り込みの扱い

ATtiny26/Lには一般割り込み許可レジスタ(GIMSK)とタイマ/カウンタ割り込み許可レジスタ(TIMSK)の2つの8ビット割り込み許可レジスタがあります。

割り込みが起こると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われなことに注意してください。これはソフトウェアによって操作しなければなりません。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で、実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(2バイト)がスタック上に保存(プッシュ)され、スタックポインタが減少(-2)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起こると、割り込みが扱われる前にその命令が完了されます。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(2バイト)が回復(ポップ)されてスタックポインタが増加(+2)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜ける時は常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に1つ以上の命令を実行します。ステータスレジスタ(SREG)が割り込みまたはサブルーチンのどちらでもAVRハードウェアによって操作されないことに注意してください。SREGの保存を必要とするルーチンについて、これは使用者ソフトウェアによって行われなければなりません。

■ 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	-	INT0	PCIE1	PCIE0	-	-	-	-	GIMSK
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとINT0ビットが共に設定(1)で、INT0ピンの割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット1と0(ISC01,ISC00)は外部割り込みがINT0ピンの上昇端、下降端、ピン変化、またはLowレベルのどれで活性に(起動)されるかを定義します。例えばINT0ピンが出力として設定されてもこのピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはプログラムメモリアドレス\$001から実行されます。38頁の「外部割り込み」もご覧ください。

■ ビット5 - PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとPCIE1ビットが共に設定(1)で、ピン変化割り込みがPB7~4,PA7~6,PA3アナログピンで許可されます。交換機能が割り込みを遮蔽(禁止)する場合を除き、先に記載したピンのどの変化も割り込みを起こします。ピン変化割り込み要求に対応する割り込みはプログラムメモリアドレス\$002から実行されます。38頁の「ピン変化割り込み」もご覧ください。

■ ビット4 - PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとPCIE0ビットが共に設定(1)で、ピン変化割り込みが、PB3~0デジタルピンで許可されます。交換機能が割り込みを遮蔽(禁止)する場合を除き、先に記載したピンのどの変化も割り込みを起こします。ピン変化割り込み要求に対応する割り込みはプログラムメモリアドレス\$002から実行されます。38頁の「ピン変化割り込み」もご覧ください。

■ ビット3~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	-	INTF0	PCIF	-	-	-	-	-	GIFR
Read/Write	R	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上の出来事が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが共に設定(1)ならば、MCUはアドレス\$001の割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1書き込みによって解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

■ ビット5 - PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

PB7~0, PA7~6, PA3ピン上の出来事が割り込み要求を起動すると、PCIFが設定(1)になります。PCIE1はPB7~4, PA7~6, PA3アナログピンからの割り込みを許可します。PCIE0はPB3~0デジタルピンの割り込みを許可します。ピン変化割り込み許可ビットのPCIE0とPCIE1が設定(1)されないなら、これらはこのフラグも遮蔽します。例えばPCIE0が解除(0)されると、PB3~0のピン変化はPCIFを設定(1)しません。交換機能がピンで許可される場合、PCIFは(対応する)個別ピンから遮蔽されます。ステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化n群割り込み許可(PCIE1/0)ビットが共に設定(1)なら、MCUはアドレス\$002の割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行される時に解除(0)されます。代わりに、このフラグは論理1書き込みによって解除(0)できます。38頁の「ピン変化割り込み」もご覧ください。

■ ビット4~0 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register) TIMSK

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	-	OCIE1A	OCIE1B	-	-	TOIE1	TOIE0	-	TIMSK
Read/Write	R	R/W	R/W	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare A Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとOCIE1Aビットが共に設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。比較A一致が起こると、ベクタ\$003での対応する割り込みが実行されます。このタイマ/カウンタ1の比較フラグ(OCF1A)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

■ ビット5 - OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output Compare B Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとOCIE1Bビットが共に設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。比較B一致が起こると、ベクタ\$004での対応する割り込みが実行されます。このタイマ/カウンタ1の比較フラグ(OCF1B)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

■ ビット4,3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 - TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとTOIE1ビットが共に設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こると、(ベクタ\$005での)対応する割り込みが実行されます。溢れ(TOV1)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

■ ビット1 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとTOIE0ビットが共に設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こると、(ベクタ\$006での)対応する割り込みが実行されます。溢れ(TOV0)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register) TIFR

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	-	OCF1A	OCF1B	-	-	TOV1	TOV0	-	TIFR
Read/Write	R	R/W	R/W	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 - OCF1A : 比較A割り込み要求フラグ (Output Compare Interrupt Flag1A)

タイマ/カウンタ1と比較Aレジスタ(OCR1A)内のデータ値間で比較一致が起きると、OCF1Aビットが設定(1)されます。OCF1Aは対応する割り込み処理ベクタを実行する時にハードウェアによって解除(0)されます。代わりにOCF1Aはこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)の比較A割り込み許可(OCIE1A)ビットとOCF1Aが設定(1)なら、タイマ/カウンタ1比較A一致割り込みが実行されます。

■ ビット5 - OCF1B : 比較B割り込み要求フラグ (Output Compare Interrupt Flag1B)

タイマ/カウンタ1と比較Bレジスタ(OCR1B)内のデータ値間で比較一致が起きると、OCF1Bビットが設定(1)されます。OCF1Bは対応する割り込み処理ベクタを実行する時にハードウェアによって解除(0)されます。代わりにOCF1Bはこのフラグへの論理1書き込みにより、同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、TIMSKの比較B割り込み許可(OCIE1B)ビットとOCF1Bが設定(1)なら、タイマ/カウンタ1比較B一致割り込みが実行されます。

■ ビット4,3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 - TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Interrupt Flag)

タイマ/カウンタ1溢れが起きると、TOV1が設定(1)されます。TOV1は対応する割り込み処理ベクタを実行する時にハードウェアによって解除(0)されます。代わりにTOV1はこのフラグへの論理1書き込みによって同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、TIMSKのタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビットとTOV1が設定(1)なら、タイマ/カウンタ1溢れ割り込みが実行されます。

■ ビット1 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起きると、TOV0が設定(1)されます。TOV0は対応する割り込み処理ベクタを実行する時にハードウェアによって解除(0)されます。代わりにTOV0はこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとTOV0が設定(1)なら、タイマ/カウンタ0溢れ割り込みが実行されます。

■ ビット0 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

外部割り込み

外部割り込みはINT0ピンによって起動されます。許可したなら例えINT0ピンが出力として設定されても、この割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、ピン変化(両端)、またはLowレベルのどれかで起動できます。これはMCU制御レジスタ(MCUCR)の仕様で示されるように設定されます。外部割り込みがされ且つレベル起動として設定されると、そのピンがLowに保持される限り、割り込みは(連続的に)起動します。

変化したレベルはウォッチドッグ用発振器クロックによって2度採取され、両採取が必要としたレベルなら、MCUは起動復帰します。ウォッチドッグ用発振器の周期は公称1μs(3V,25°C)です。「**代表特性**」内で示されるようにウォッチドッグ用発振器の周波数は電圧依存です。

ピン変化割り込み

ピン変化割り込みは割り込みが許可され、ピンの交換機能が割り込みを遮蔽(禁止)しないなら、ポートBとPA7,6,3の何れかのI/Oピンでの何れかの変化によって起動されます。一般割り込み許可レジスタ(GIMSK)のPCIE1はPB7~4,PA7,6,3ピンからの割り込みを許可します。PCIE0はPB3~0デジタルピンの割り込みを許可します。

ピン変化割り込みは2つの点で他の割り込みと違います。1つ目はピン変化n群割り込み許可(PCIE1とPCIE0)ビットが設定(1)されない、要求フラグも遮蔽(マスク)します。多くの割り込みでの通常動作は要求フラグが常に活性(有効)で、割り込みの実行は割り込み許可(ビット)により遮蔽(禁止)されるだけです。

2つ目として、交換機能として設定されるどのピンについても、ピン変化割り込みが禁止されることに注意してください。例えばAREF、AIN0とAIN1、OC1A、OC1A、OC1B、OC1B、ヒューズが選択したクロック種別によってXTAL1またはXTAL2、タイマ/カウンタ0のクロック入力、RESET機能として設定されたピンからのピン変化割り込みは生成されません。ピン変化割り込みを遮蔽(マスク)する交換機能と、その機能がどう許可されるかについては表30をご覧ください。例えばPB0のピン変化割り込みは2線動作USI、3線動作USIまたはタイマ/カウンタ1反転比較出力が許可される時に禁止されます。

割り込みが許可されると、出力として設定されるピンの変化でも割り込みを起動します。この特徴はソフトウェア割り込みの生成する方法を提供します。ピンの動きが他の割り込み、例えば外部割り込みを起動しても、ピン変化割り込みが起動することにも注目してください。これは1つの外部事象が様々な割り込みを引き起こすかもしれないことを意味します。

プログラムしたヒューズの値は0で、非プログラムは1です。各々の行が交換機能を許可し、故に(また)その行の機能が(関連する他の)機能を許可します。

表30. 交換機能と許可法

ピン	交換機能	交換機能設定用のレジスタ/ヒューズ [ビット]名 (注1)	ビットまたはヒューズ値 (注2)
PA3	AREF	ADMUX [REFS0]	1
PA6	アナログ比較器	ACSR [ACD]	0
PA7			
PB0	2線動作USI	USICR [USIWM1]	1
	3線動作USI	USICR [USIWM1,USIWM0]	01
	タイマ/カウンタ1比較A/PWM	TCCRIA [COM1A1,COM1A0,PWM1A]	011
PB1	3線動作USI	USICR [USIWM1,USIWM0]	01
	タイマ/カウンタ1比較A/PWM	TCCRIA [COM1A1]	1
		TCCRIA [COM1A0]	1
PB2	2線動作USI	USICR [USIWM1]	1
	3線動作USI	USICR [USIWM1,USIWM0]	01
	タイマ/カウンタ1比較B/PWM	TCCRIA [COM1B1,COM1B0,PWM1B]	011
PB3	タイマ/カウンタ1比較B/PWM	TCCRIA [COM1B1]	1
		TCCRIA [COM1B0]	1
PB4	XTAL1 クロック元	ヒューズ [PLLCK,CKSEL3~0]	1, 0 0 0 0
		ヒューズ [PLLCK,CKSEL3~0]	1, 0101~1111
PB5	XTAL2 クロック元	ヒューズ [PLLCK,CKSEL3~0]	1, 1001~1111
PB6	INT0 外部割り込み(Lレベル)	GIMSK [INT0], MCUCR [ISC01,ISC00]	1, 00
	T0 タイマ/カウンタ0外部クロック	TCCR0 [CS02,CS01]	1 1
PB7	RESET	ヒューズ [RSTDISBL]	1

注1: 各行は機能を許可するビットまたはヒューズを表します。

注2: ヒューズ値の0はプログラム、1は非プログラムです。

タイマ/カウンタ

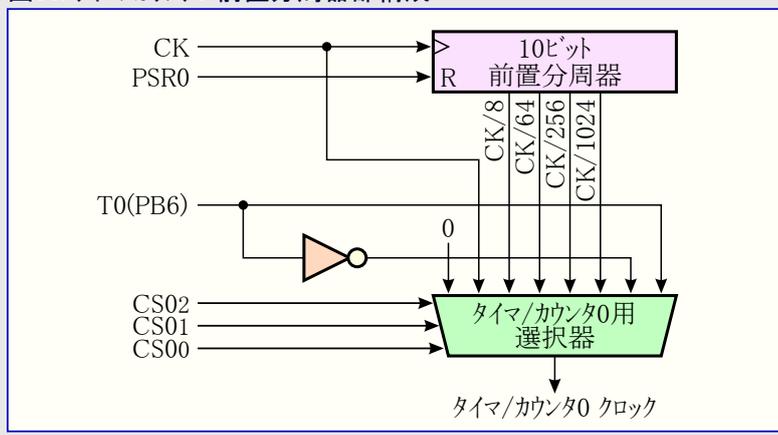
ATtiny26/Lは2つの汎用8ビットタイマ/カウンタ(タイマ/カウンタ0と1)を提供します。タイマ/カウンタには独立した前置分周器からの独立した前置分周選択があります。タイマ/カウンタ0はCKが基準時間クロックです。タイマ/カウンタ1には同期動作と非同期動作の2つのクロック動作があります。同期動作は基準時間クロックとしてシステムクロック(CK)を使い、非同期動作は基準時間クロックとして高速周辺機能クロック(PCK)を使います。

タイマ/カウンタ0 前置分周器

図36.はタイマ/カウンタ0の前置分周器部を示します。

4つの前置分周した選択はCKが発振器(システム)クロックのCK/8, CK/64, CK/256, CK/1024です。CK、外部クロック元と停止もクロック元として選択できます。

図36. タイマ/カウンタ0 前置分周器部構成

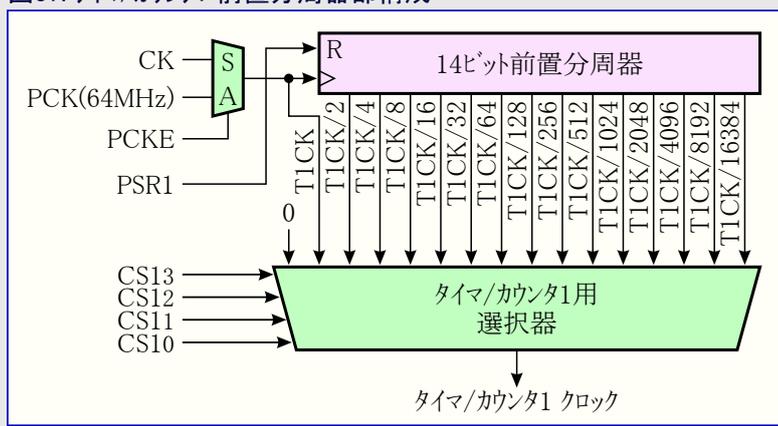


タイマ/カウンタ1 前置分周器

図37.はタイマ/カウンタ1の前置分周器部を示します。

タイマ/カウンタ1のクロック選択は同期動作でCK~CK/16384と停止、非同期動作でPCK~PCK/16384と停止の内の1つです。クロック選択は44頁のタイマ/カウンタ1制御レジスタB(TCCR1B)と表34.で記述されます。TCCR1BのPSR1ビットの設定(1)はこの前置分周器をリセットします。PLL制御/状態レジスタ(PLLCSR)のPCKEビットは非同期動作を許可します。

図37. タイマ/カウンタ1 前置分周器部構成



8ビット タイマ/カウンタ0

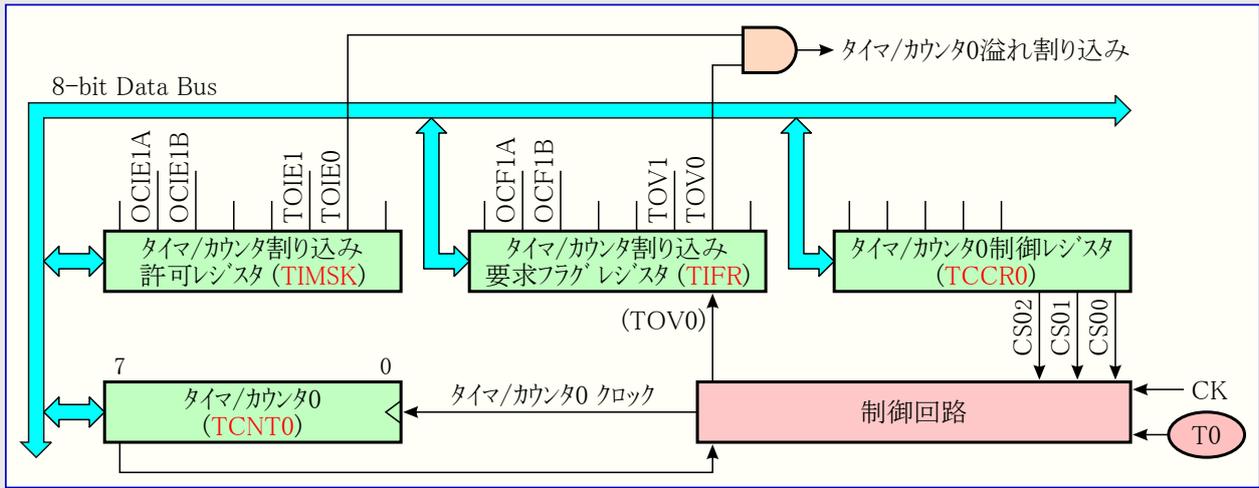
図38.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0はCK、前置分周したCK、または外部ピンからのクロック元を選択できます。加えて、タイマ/カウンタ0制御レジスタ(TCCR0)の仕様で記述されるように停止できます。溢れ状態フラグ(TOV0)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)にあります。制御信号(ビット)はタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0の割り込み許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの適正な採取を保証するため、2つの外部クロック遷移間の最小時間は少なくとも1内部CPUクロック周期でなければなりません。外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図38. タイマ/カウンタ0構成図



■ タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	-	-	-	-	PSR0	CS02	CS01	CS00	TCCR0
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 - PSR0 : 前置分周器0 リセット (Prescaler Reset Timer/Counter0)

このビットが設定(1)されると、タイマ/カウンタ0の前置分周器がリセットされます。操作(リセット)が実行された後、このビットはハードウェアによって解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読まれます。

■ ビット2~0 - CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

クロック選択0ビット2~0はタイマ/カウンタ0の前置分周元を定義します。

停止状態はタイマ/カウンタの許可/禁止機能を提供します。前置分周される動作ではCK発振器クロックから直接的に分周されます。外部ピン動作が使われる場合、対応する設定(DDxn=0)が実際のデータ方向レジスタで行われなければなりません。

表31. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK (CPUクロック)
0	1	0	CK/8 (CPUクロックの8分周)
0	1	1	CK/64 (CPUクロックの64分周)
1	0	0	CK/256 (CPUクロックの256分周)
1	0	1	CK/1024 (CPUクロックの1024分周)
1	1	0	外部T0(PB6)ピンの下降端
1	1	1	外部T0(PB6)ピンの上昇端

■ タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

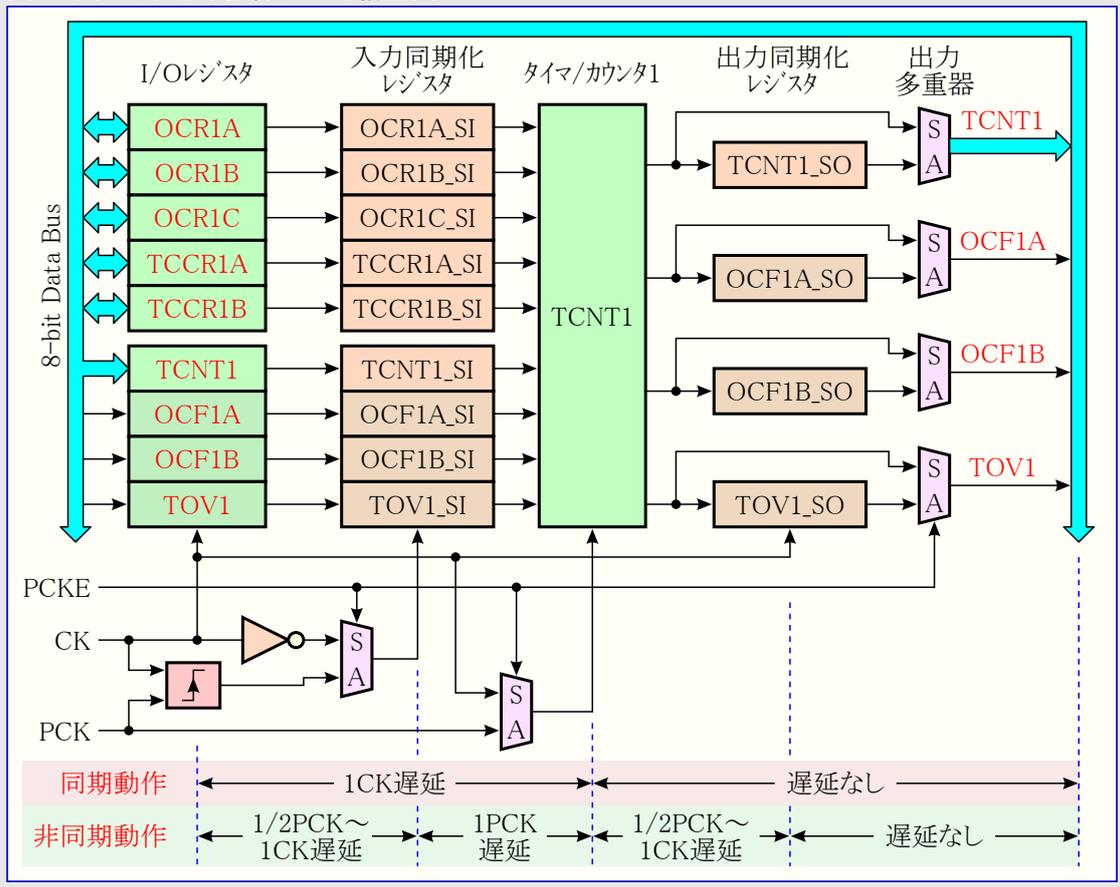
タイマ/カウンタ0は読み書き可能な上昇カウンタとして実現されます。クロック供給元があり、タイマ/カウンタが書かれると、書き込み動作の次に来るタイマ/カウンタクロック周期で計数を開始/継続します。

8ビット タイマ/カウンタ1

タイマ/カウンタ1には2つのクロック動作、同期動作と非同期動作があります。同期動作は基準時間クロックとしてシステムクロック(CK)を、非同期動作は基準時間クロックとして高速周辺機能クロック(PCK)を使います。PLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットはそれが設定(1)されると非同期動作を許可します。タイマ/カウンタ1の一般的な操作は非同期動作で記述され、同期動作での操作はこれら2つの動作種別間に違いがある時だけ言及されます。図39.はタイマ/カウンタ1同期化レジスタ構成図とレジスタ間の同期化遅延を示します。全クロックゲート詳細がこの図で示されないことに注意してください。タイマ/カウンタ1レジスタ値はカウンタ動作に影響を及ぼす前に、入力同期化遅延を引き起こす内部同期化レジスタを通ります。TCCR1A, TCCR1B, OCR1A, OCR1B, OCR1Cはレジスタ書き込み後、正しく読み戻せます。読み戻し値は入出力同期化のため、タイマ/カウンタ1(TCNT1)とOCF1A, OCF1B, TOV1プラグについて遅らされます。

この単位部は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。タイマ/カウンタ1は64MHzまでのクロック速度を使う正確で高速な2つの8ビットPWMも支援できます。この動作でタイマ/カウンタ1と比較レジスタは重複しない反転と非反転出力の2つの自立型PWMとして取り扱います。この機能の詳細記述については46頁を参照してください。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてこの単位部を有効にします。

図39. タイマ/カウンタ1同期化レジスタ構成図

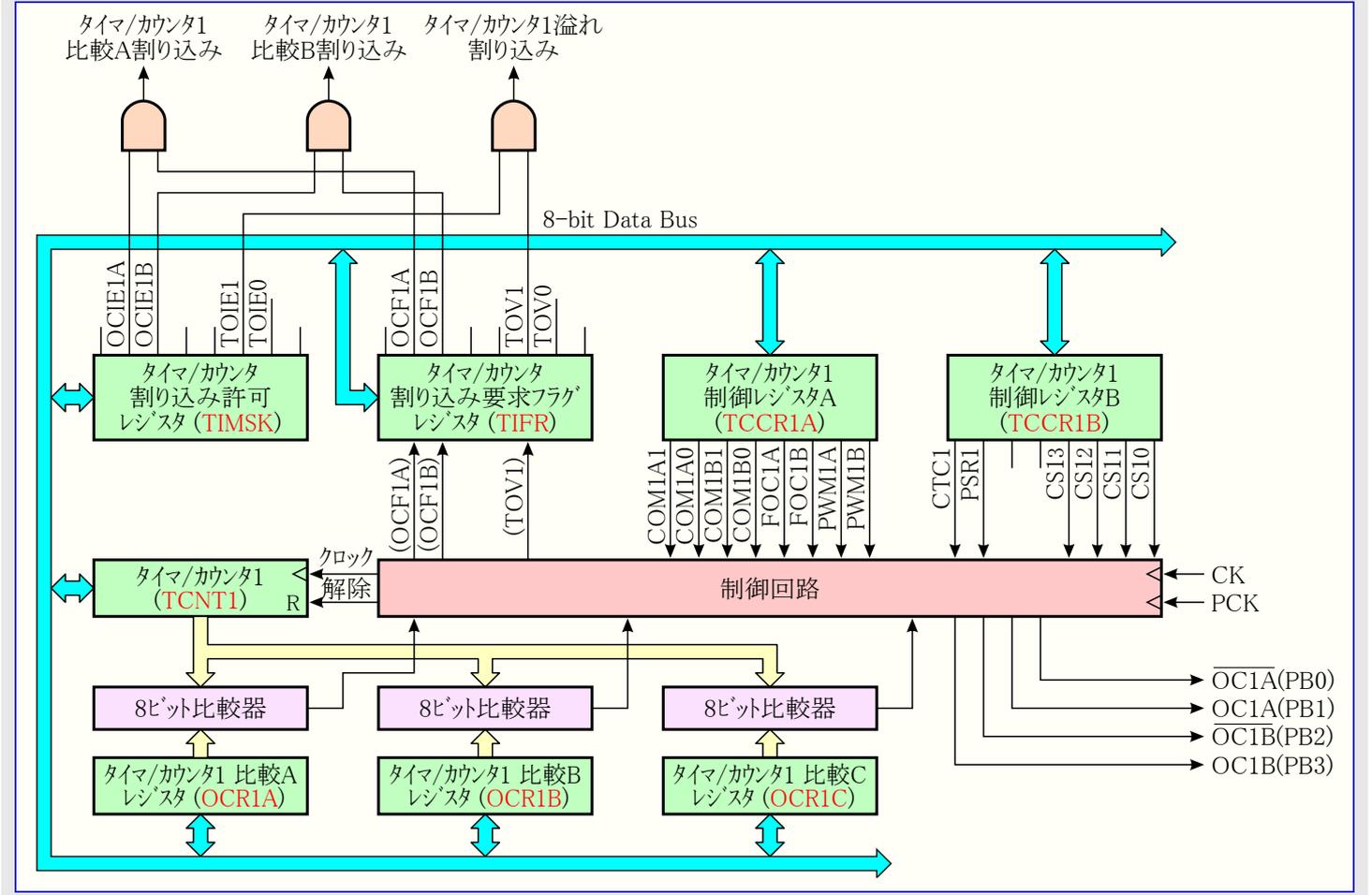


タイマ/カウンタ1と前置分周器は非同期動作での高速64MHzクロックで前置分周器が動作する一方、どのクロック元からでのCPU走行(動作)を許します。

システムクロック周波数がPCK周波数の1/2より低くなければならないことに注意してください。システムクロック周波数がPCKの2分周で生成される時だけ、システムクロック/PCKの比率は正確な1/2にできます。非同期タイマ/カウンタ1の同期化機構はシステムクロックがHighの時に最低2つのPCK端を必要とします。システムクロック周波数が高すぎる場合、データまたは制御値を失う危険があります。

次の図40.はタイマ/カウンタ1の構成図を示します。

図40. タイマ/カウンタ1構成図



3つの状態フラグ(溢れと比較一致)はタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)にあります。制御信号はタイマ/カウンタ1制御レジスタ(TCCR1AとTCCR1B)にあります。割り込みの許可/禁止設定はタイマ/カウンタ割り込み許可レジスタ(TIMSK)にあります。

タイマ/カウンタ1はタイマ/カウンタ1内容と比較されるデータ元として3つの比較レジスタ、OCR1A、OCR1B、OCR1Cを含みます。標準動作での出力比較機能は3つ全てが出力比較レジスタでの動作です。OCR1AはOC1A(PB1)ピンの動作を決め、標準動作とPWM動作で比較A割り込みを生成できます。同様にOCR1BはOC1B(PB3)ピンの動作を決め、標準動作とPWM動作で比較B割り込みを生成できます。OCR1Cはタイマ/カウンタ1の最大値、換言すると比較一致での解除値を保持します。溢れ割り込み(TOV1)はタイマ/カウンタ1値が\$FFから\$00、またはOCR1C(値)から\$00に計数する時に生成されます。この機能は標準とPWM動作の両方で同じです。反転PWM出力OC1AとOC1Bは標準動作で接続されません。

PWM動作でのOCR1AとOCR1Bはタイマ/カウンタ値が繰り返し比較されるデータ値を供給します。比較一致でPWM出力(OC1A, OC1A, OC1B, OC1B)が生成されます。PWM動作でのタイマ/カウンタは比較Cレジスタ(OCR1C)で指定した値まで上昇計数し、そして再び\$00から始めます。この特性は\$FFより小さい指定値に計数器最大値を制限させます。多くの前置分周器選択と共に柔軟なPWM周波数が提供されます。表37.は10kHz単位の20kHz~250kHzと50kHz単位の250kHz~500kHzのPWM周波数を得るためのOCR1C値とクロック選択の一覧を示します。より高いPWM周波数は分解能を犠牲にすれば得られます。

■ タイマ/カウンタ1制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare A Output Mode bit 1 and 0)

COM1A1とCOM1A0制御ビットは、**タイマ/カウンタ1(TCNT1)**で**比較Aレジスタ(OCR1A)**での比較一致に続く何れかの出力ピン動作を決めます。出力ピン動作はOC1A(PB1)ピンに影響を及ぼします。これは入出力ポートの交換機能ですので、出力ピンを制御するために対応する方向制御ビット(DDB1)が設定(1)されなければなりません。OC1Aが標準動作で接続されないことに注意してください。

PWM動作での、これらのビットは異なる機能を持ちます。詳細記述については46頁の**表35**を参照してください。

表32. 比較A出力選択

COM1A1	COM1A0	意味
0	0	OC1Aピン未使用 (ピン接続断)
0	1	OC1Aピングル(交互)出力
1	0	OC1Aピン Lowレベル出力
1	1	OC1Aピン Highレベル出力

■ ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare B Output Mode bit 1 and 0)

COM1B1とCOM1B0制御ビットは、**タイマ/カウンタ1(TCNT1)**で**比較Bレジスタ(OCR1B)**での比較一致に続く何れかの出力ピン動作を決めます。出力ピン動作はOC1B(PB3)ピンに影響を及ぼします。これは入出力ポートの交換機能ですので、出力ピンを制御するために対応する方向制御ビット(DDB3)が設定(1)されなければなりません。OC1Bが標準動作で接続されないことに注意してください。

PWM動作での、これらのビットは異なる機能を持ちます。詳細記述については46頁の**表35**を参照してください。

表33. 比較B出力選択

COM1B1	COM1B0	意味
0	0	OC1Bピン未使用 (ピン接続断)
0	1	OC1Bピングル(交互)出力
1	0	OC1Bピン Lowレベル出力
1	1	OC1Bピン Highレベル出力

■ ビット3 – FOC1A : OC1A強制変更 (Force Output Compare Match 1A)

このビットへの論理1書き込みは**比較A出力制御(COM1A1,COM1A0)ビット**で既に設定した値に従って比較一致出力ピンOC1A(PB1)を強制的に変更します。COM1A1とCOM1A0ビットがFOC1Aと同じ周期で書かれる場合、この新しい設定が使われます。この比較出力強制ビットはタイマ/カウンタ値と無関係にこの出力ピンを変更するために使えます。COM1A1とCOM1A0で設定した自動動作は比較一致が起きてしまったかのようにしますが、割り込みは生成されません。FOC1Aビットは常に0として読めます。PWM1Aビットが設定(1)されると、FOC1Aは行なわれ(実行され)ません。

■ ビット2 – FOC1B : OC1B強制変更 (Force Output Compare Match 1B)

このビットへの論理1書き込みは**比較B出力制御(COM1B1,COM1B0)ビット**で既に設定した値に従って比較一致出力ピンOC1B(PB3)を強制的に変更します。COM1B1とCOM1B0ビットがFOC1Bと同じ周期で書かれる場合、この新しい設定が使われます。この比較出力強制ビットはタイマ/カウンタ値と無関係にこの出力ピンを変更するために使えます。COM1B1とCOM1B0で設定した自動動作は比較一致が起きてしまったかのようにしますが、割り込みは生成されません。FOC1Bビットは常に0として読めます。PWM1Bビットが設定(1)されると、FOC1Bは行なわれ(実行され)ません。

■ ビット1 – PWM1A : PWM動作A許可 (Pulse Width Modulator A Enable)

このビットを設定(1)すると、**タイマ/カウンタ1**で比較器OCR1Aを基準とした**PWM動作**を許可し、**タイマ/カウンタ値**はOCR1C値との比較一致後のCPUクロック周期で\$00にリセットされます。

■ ビット0 – PWM1B : PWM動作B許可 (Pulse Width Modulator B Enable)

このビットを設定(1)すると、**タイマ/カウンタ1**で比較器OCR1Bを基準とした**PWM動作**を許可し、**タイマ/カウンタ値**はOCR1C値との比較一致後のCPUクロック周期で\$00にリセットされます。

■ タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	CTC1	PSR1	-	-	CS13	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - CTC1 : 一致解除許可 (Clear Timer/Counter1 on Compare Match)

CTC1制御ビットが設定(1)されると、**タイマ/カウンタ1(TCNT1)**は**比較Cレジスタ(OCR1C)**との比較一致後のCPUクロック周期で\$00にリセットされます。この制御ビットが解除(0)されると、**タイマ/カウンタ1**は計数を継続し、比較一致によって影響を及ぼされません。

■ ビット6 - PSR1 : 前置分周器1リセット (Prescaler Reset Timer/Counter1)

このビットが設定(1)されると、**タイマ/カウンタ1**の前置分周器がリセットされます。その動作(リセット)が実行された後、このビットはハードウェアによって解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読めます。

■ ビット5,4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3~0 - CS13~0 : クロック選択1 (Clock Select1, bit 3,2,1 and 0)

このクロック選択ビット3~0は**タイマ/カウンタ1**の前置分周元を定義します。

表34. タイマ/カウンタ1 前置分周器クロック選択

CS13	CS12	CS11	CS10	意味		CS13	CS12	CS11	CS10	意味	
				非同期動作	同期動作					非同期動作	同期動作
0	0	0	0	停止 (タイマ/カウンタ1動作停止)		1	0	0	0	PCK/128	CK/128
0	0	0	1	PCK	CK(CPUクロック)	1	0	0	1	PCK/256	CK/256
0	0	1	0	PCK/2	CK/2	1	0	1	0	PCK/512	CK/512
0	0	1	1	PCK/4	CK/4	1	0	1	1	PCK/1024	CK/1024
0	1	0	0	PCK/8	CK/8	1	1	0	0	PCK/2048	CK/2048
0	1	0	1	PCK/16	CK/16	1	1	0	1	PCK/4096	CK/4096
0	1	1	0	PCK/32	CK/32	1	1	1	0	PCK/8192	CK/8192
0	1	1	1	PCK/64	CK/64	1	1	1	1	PCK/16384	CK/16384

停止状態はタイマ/カウンタの許可/禁止機能を提供します。

■ タイマ/カウンタ1 (Timer/Counter1) TCNT1

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタは**タイマ/カウンタ1**の値を含みます。

タイマ/カウンタ1は読み書き可能な上昇カウンタとして実現されます。CPUの同期化のため、**タイマ/カウンタ1**内への**タイマ/カウンタ1**データ書き込みは同期動作で1CPUクロック周期、非同期動作で最大2CPUクロック周期遅らされます。

■ タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1A

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較Aレジスタ(OCR1A)は読み書き可能な8ビットのレジスタです。

この比較Aレジスタは**タイマ/カウンタ1(TCNT1)**と継続的に比較されるデータを含みます。比較一致での動作は**タイマ/カウンタ1制御レジスタA(TCCRA1A)**で指定されます。比較一致は**タイマ/カウンタ1**がOCR1A値へ計数する場合だけ起きます。TCNT1とOCR1Aを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後、**比較一致割り込み要求フラグ(OCF1A)**を設定(1)します。

■ タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B) OCR1B

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1B)は読み書き可能な8ビットのレジスタです。

この比較レジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタA(TCCR1A)で指定されます。比較一致はタイマ/カウンタ1がOCR1B値へ計数する場合だけ起きます。TCNT1とOCR1Bを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後、比較一致割り込み要求フラグ(OCF1B)を設定(1)します。

■ タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register C) OCR1C

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	OCR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

比較レジスタ(OCR1C)は読み書き可能な8ビットのレジスタです。

この比較レジスタはタイマ/カウンタ1(TCNT1)と継続的に比較されるデータを含みます。比較一致はタイマ/カウンタ1がOCR1C値へ計数する場合だけ起きます。TCNT1とOCR1Cを同一値に設定するソフトウェア書き込みは比較一致を生成しません。

タイマ/カウンタ1制御レジスタB(TCCR1B)でCTC1ビットが設定(1)されると、比較一致はTCNT1を解除(\$00)し、溢れ割り込み要求(TOV1)フラグを設定(1)します。このフラグは比較事象に続く同期化遅延後に設定(1)されます。

このレジスタは標準動作とPWM動作で同じ機能を持ちます。

■ PLL制御/状態レジスタ (PLL Control and Status Register) PLLCSR

ビット	7	6	5	4	3	2	1	0	
\$29 (\$49)	-	-	-	-	-	PCKE	PLLE	PLOCK	PLLCSR
Read/Write	R	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2 - PCKE : PCK許可 (PCK Enable)

PCKEビットはタイマ/カウンタ1のクロック元を変更します。設定(1)されると、非同期クロック動作が許可され、タイマ/カウンタ1のクロック元として高速64MHz PCKクロックが使われます。このビットが解除(0)されると、同期クロック動作が許可され、タイマ/カウンタ1のクロック元としてシステムクロック(CK)が使われます。このビットはPLLEビットが設定(1)される場合だけ設定(1)できます。PLLが固定化される、換言するとPLOCKビットが1の時にだけ、このビットを設定(1)するのが無難です。

■ ビット1 - PLLE : PLL許可 (PLL Enable)

PLLEが設定(1)されると、PLLが起動され、必要とされるなら、PLL基準クロックとして内蔵RC発振器が起動されます。システムクロック元としてPLLが選択されると、このビットに対する値は常に1です。

■ ビット0 - PLOCK : PLL固定化検出 (PLL Lock Detector)

PLOCKビットが設定(1)されると、PLLが基準クロックに固定化され、タイマ/カウンタ1に対するPCKの許可は安全です。PLL許可後、PLLが固定化するのに約64μs(代表値)/100μs(最悪値)かかります。

非同期動作に対するタイマ/カウンタ1の初期化

タイマ/カウンタ1を非同期動作へ変更するためには、先にPLLを許可し、PLOCKビットが設定(1)されるまでポーリングして、そしてその後にPCKEビットを設定(1)してください。

タイマ/カウンタ1 PWM動作

PWM動作が選択されると、**タイマ/カウンタ1(TCNT1)**と**比較レジスタ(OCR1C)**はOC1A(PB1)とOC1B(PB3)ピン出力での自由走行で不具合なしの(2出力)1対のPWM発生器を形成します。非重複反転出力も各々 $\overline{OC1A}$ (PB0)と $\overline{OC1B}$ (PB2)ピンで利用可能です。この非重複出力対(OC1A, $\overline{OC1A}$ とOC1B, $\overline{OC1B}$)は決して同時に両方を設定(High)しません。これは電力スイッチを直接的に駆動するのを許します。非重複時間は前置分周した1クロック周期で、High時間はLow時間よりも1周期短くなります。

非重複時間は上昇端の遅延、換言すると非同期動作で上昇端が前置分周した1周期+1PCK周期の遅延、下降端が1PCK周期の遅延によって生成されます。同期動作での上昇端は前置分周した1周期+1CK周期の遅延、下降端は1CK周期の遅延です。High時間はどちらの動作種別でも前置分周した1周期分短くなります。

計数器値が**比較Aレジスタ(OCR1A)**または**比較Bレジスタ(OCR1B)**の内容と一致すると、下の表35.で示されるように**タイマ/カウンタ1制御レジスタA(TCCR1A)**の**比較A出力選択(COM1A1,COM1A0)**または**比較B出力選択(COM1B1,COM1B0)**ビットに従ってOC1AとOC1B出力は設定(High)または解除(Low)されます。

タイマ/カウンタ1は\$00から比較レジスタ(OCR1C)で指定した値まで計数し、再び\$00から始める上昇計数器として動きます。OCR1Cとの比較一致は比較事象に続く同期化遅延後に**溢れ割り込み要求(TOV1)フラグ**を設定(1)します。

図41. 非重複出力対 (x=AまたはB)

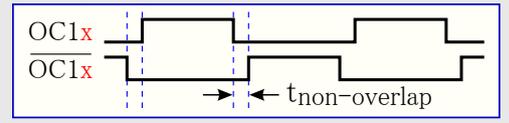


表35. PWM動作での比較出力選択 (x=AまたはB)

COM1x1	COM1x0	比較出力ピンへの影響	
0	0	OC1x: ピン接続断	$\overline{OC1x}$: ピン接続断
0	1	OC1x: 比較一致で解除(Low)、TCNT1=\$01後の1前置分周出力クロックで設定(High) OC1x: TCNT1=\$00で解除(Low)、比較一致後の1前置分周出力クロックで設定(High)	
1	0	OC1x: 比較一致で解除(Low)、TCNT1=\$01で設定(High)	$\overline{OC1x}$: ピン接続断
1	1	OC1x: TCNT1=\$00で解除(Low)、比較一致後の1前置分周出力クロックで設定(High)	$\overline{OC1x}$: ピン接続断

PWM動作でのOCR1AやOCR1Bの比較レジスタ書き込みはデータ値が初めに一時領域へ転送されることに注意してください。この値はタイマ/カウンタ1(TCNT1)がOCR1Cに達する時にOCR1AまたはOCR1Bにラッチ(設定)されます。これはOCR1AまたはOCR1Bの非同期の出来事での奇数長PWMパルス(不具合)の発生を防止します。この例については図42.をご覧ください。

書き込み(操作)からラッチ動作(実際に設定される)間の期間中、OCR1AまたはOCR1B読み込みは一時領域の内容を読みみます。これは最も最近書かれた値が常にOCR1AまたはOCR1Bの読み出しであることを意味します。

OCR1AとOCR1Bは\$00またはOCR1Cで指定した上限値を含むと、OC1A(PB1)またはOC1B(PB3)出力がCOM1A1/COM1A0またはCOM1B1/COM1B0の設定に従ってHighまたはLowに(更新/)保持されます。これは表36.で示されます。

PWM動作での**溢れ(TOV1)フラグ**は標準タイマ/カウンタ動作として設定(1)されます。タイマ/カウンタ1溢れ割り込みは標準タイマ/カウンタ動作のように正確に動作、換言すると**タイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット**と**全割り込み許可(I)ビット**が許可なら、TOV1が設定(1)されると(割り込みが)実行されます。これは比較フラグとその割り込みにも適用されます。

PWMの周波数はタイマ/カウンタ1 クロック周波数をOCR1C値+1で除算した値です。次式をご覧ください。

$$f_{PWM} = \frac{f_{TCK1}}{OCR1C+1}$$

分解能は何ビットがOCR1C値で表されることを必要とされるかを示します。これは次式によって計算されます。

$$\text{分解能}_{PWM} = \log_2(OCR1C+1)$$

図42. 同期/非同期OCR1xの効果

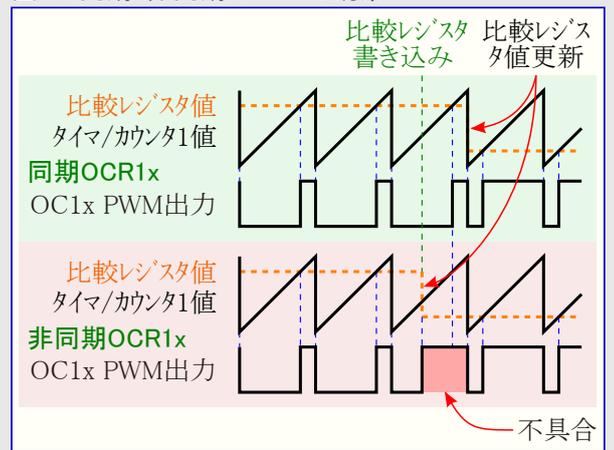


表36. 上限/下限値でのPWM出力 (x=AまたはB)

COM1x1	COM1x0	OCR1x	OC1x出力	$\overline{OC1x}$ 出力
0	1	\$00	L	H
		OCR1C	H	L
1	0	\$00	L	接続断
		OCR1C	H	接続断
1	1	\$00	H	接続断
		OCR1C	L	接続断

表37. 非同期動作での代表的なPWM周波数設定例

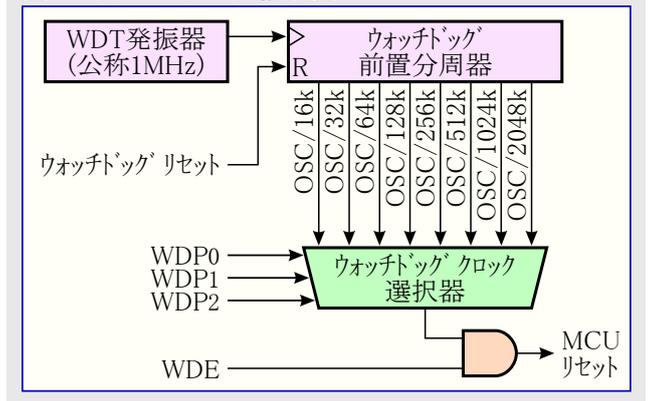
PWM周波数	PWM周期	OCR1C値	分解能 (ビット)	TCNT1クロック	CS13~0
20kHz	50.00μs	199	7.6	PCK/16	0 1 0 1
30kHz	33.33μs	132	7.1		
40kHz	25.00μs	199	7.6	PCK/8	0 1 0 0
50kHz	20.00μs	159	7.3		
60kHz	16.67μs	132	7.1		
70kHz	14.29μs	228	7.8	PCK/4	0 0 1 1
80kHz	12.50μs	199	7.6		
90kHz	11.11μs	177	7.5		
100kHz	10.00μs	159	7.3		
110kHz	9.09μs	144	7.2		
120kHz	8.33μs	132	7.1		
130kHz	7.69μs	245	7.9	PCK/2	0 0 1 0
140kHz	7.14μs	228	7.8		
150kHz	6.67μs	212	7.7		
160kHz	6.26μs	199	7.6		
170kHz	5.88μs	187	7.6		
180kHz	5.56μs	177	7.5		
190kHz	5.26μs	167	7.4		
200kHz	5.00μs	159	7.3		
250kHz	4.00μs	255	8.0	PCK	0 0 0 1
300kHz	3.34μs	212	7.7		
350kHz	2.86μs	182	7.5		
400kHz	2.50μs	159	7.3		
450kHz	2.22μs	141	7.1		
500kHz	2.00μs	127	7.0		

ウォッチドッグ タイマ

ウォッチドッグ タイマは1MHzで走行する独立したチップ上の発振器からクロック駆動されます。これはVCC=5Vでの代表値です。他のVCC電圧での代表値については「特性データ」をご覧ください。ウォッチドッグ タイマ前置分周器を制御することによって、ウォッチドッグ リセット間隔は16~2048msで調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8つの異なるクロック周期は、このリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny26/Lはリセットし、リセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては19頁を参照してください。

ウォッチドッグの予期せぬ禁止を防ぐため、ウォッチドッグが禁止されるとき、特別なOFFへの切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの記述を参照してください。

図43. ウォッチドッグ タイマ構成図



■ ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~5 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 - WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。安全レベル1と2では前置分周ビットを変更する時も、このビットが設定(1)されなければなりません。(注参照)

■ ビット3 - WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可(WDE)が論理1を書かれるとウォッチドッグ タイマが許可され、WDEが論理0を書かれるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ変更許可(WDCE)ビットが論理レベル1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

- ① 同じ操作(命令)内で、ウォッチドッグ変更許可(WDCE)ビットとウォッチドッグ許可(WDE)ビットに論理1を書きます。例えば禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
- ② 次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

■ ビット2~0 - WDP2~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

このWDP2~0ビットはウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表38.に示されます。

表38. ウォッチドッグ前置分周選択

WDP2	WDP1	WDP0	WDT発振周期数	代表的な計時完了周期	
				VCC=3.0V	VCC=5.0V
0	0	0	16K (16,384)	17.1ms	16.3ms
0	0	1	32K (32,768)	34.3ms	32.5ms
0	1	0	64K (65,536)	68.5ms	65ms
0	1	1	128K (131,072)	0.14s	0.13s
1	0	0	256K (262,144)	0.27s	0.26s
1	0	1	512K (524,288)	0.55s	0.52s
1	1	0	1024K (1,048,576)	1.1s	1.0s
1	1	1	2048K (2,097,152)	2.2s	2.1s

注: ウォッチドッグ発振器の周波数は電圧に依存します。ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周設定と一致するリセット周期を保証します。このリセット操作なしにウォッチドッグが許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

(訳注) WDCE内の安全レベルに対応する記述が他に存在しないため、このビットはWDT0Eとしての機能かもしれません。

多用途直列インターフェース (USI: Universal Serial Interface)

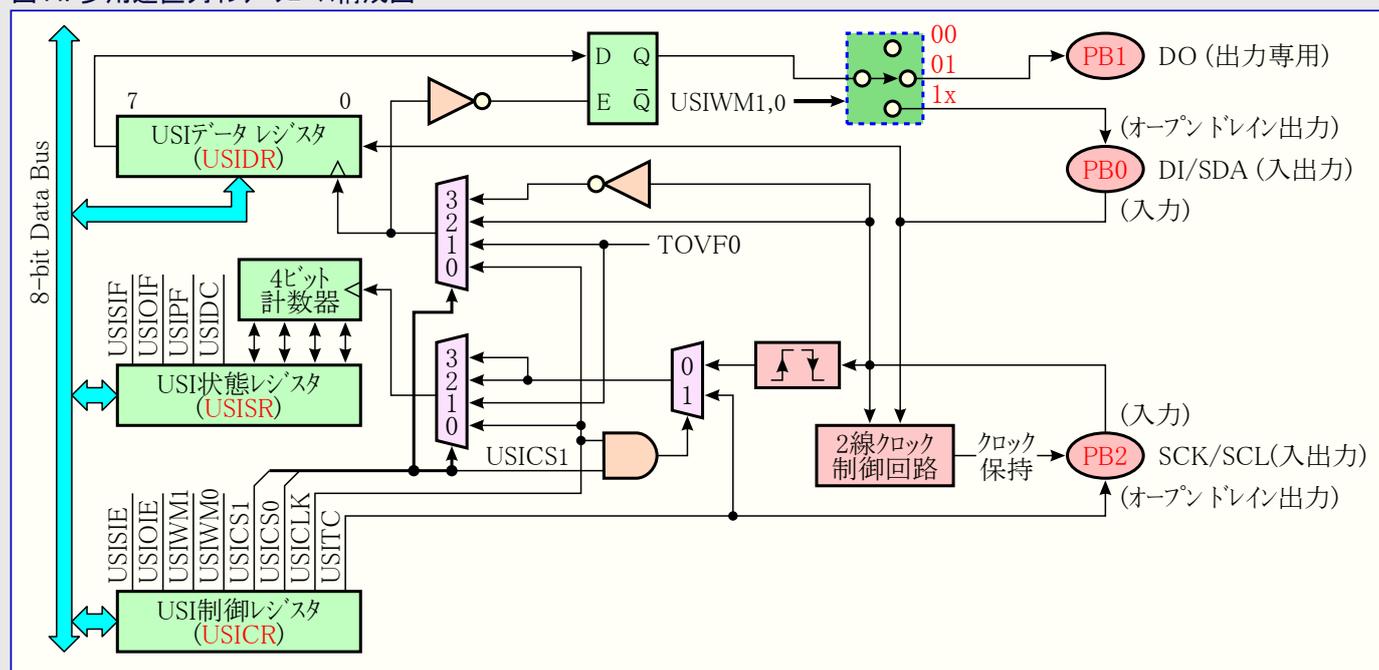
多用途直列インターフェース(USI)は直列通信で必要とされる基本的なハードウェア資源(機能)を提供します。最低限の制御ソフトウェアとの組み合わせで、USIはソフトウェアのみを元とした方法よりも少ないコード量と重要な高い転送レートを許します。プロセッサ負荷を最小とするために割り込みが含まれます。USIの主な特徴は次のとおりです。

- 2線同期データ転送 (主装置または従装置: $f_{SCLmax}=f_{CK}/16$)
- 3線同期データ転送 (主装置: $f_{SCKmax}=f_{CK}/2$, 従装置: $f_{SCKmax}=f_{CK}/4$)
- データ受信割り込み
- アイドル動作からの起動復帰
- 2線動作でのパワーダウン動作を含む全休止形態からの起動復帰
- 割り込み能力を持つ2線動作開始条件検出器

概要

USIの簡単化した構成図は図44.で示されます。

図44. 多用途直列インターフェース構成図



8ビットの移動レジスタ(USIDR)はデータバス経由で直接的にアクセス可能で、入って来るデータと出て行くデータを含みます。このレジスタは緩衝部を持たないので、データが失われないことを保証するためにデータは可能な限り早く読まなければなりません。最上位ビットは動作種別設定に依存して2つの出力ピンの1つに接続されます。トランスパレント(透過型)タッチは直列(移動)レジスタ出力と出力ピン間に挿入され、データの変更をデータ入力採取と逆のクロック端に遅らせます。直列入力(種別設定に拘らず、常にデータ入力(DI)ピンから採取されます。

4ビット計数器はデータバス経由で読み書き両方ができ、溢れ割り込みを生成できます。この計数器と直列(移動)レジスタは同じクロック元によって同時にクロック駆動されます。これは受信または送信したビット数を数え、転送完了時に割り込みの生成を計数器に許します。外部クロック元が選択されると、この計数器が両クロック端で計数することに注意してください。この場合、計数器はビット数ではなく、エッジ数を数えます。クロックは3つの異なるクロック元(SCKピン、タイマ/カウンタ0溢れ、ソフトウェア)から選択できます。

2線クロック制御部(回路)は2線バスで開始条件が検出される時に割り込みを発生できます。開始条件検出後、または計数器溢れ後、クロックピンをLowに保持することによって待ち状態を生成することもできます。

USI用 レジスタ

■ USI データレジスタ (USI Data Register) USIDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USIは直列(移動)レジスタの緩衝をしません、換言するとデータレジスタ(USIDR)をアクセスする時に直列レジスタは直接的にアクセスされます。レジスタが書かれるのと同じ周期で直列クロックが起こると、レジスタは書いた値を含み、移動は実行されません。(左)移動動作はUSIC S1,0ビット設定に従って実行されます。この移動動作は外部クロック端、**タイマ/カウンタ0溢れ**によって、またはUSICLKストローブビットを使うソフトウェアによって直接的に制御できます。2または3線動作種別が選択されない(USIWM1,0=00)時でも、外部データ入力(DI/SDA)と外部クロック入力(SCK/SCL)の両方が未だ移動レジスタによって使われ得ることに注意してください。

動作種別に従って使う出力ピン(DOまたはSDA)は出力ラッチを経由してデータレジスタの最上位ビット(ビット7)に接続されます。この出力ラッチは外部クロック元が選択される(USICS1=1)時に直列クロック周期の前半中が透過(トランスペアレント)で、内部クロック元が使われる(USICS1=0)時に定常的な透過です。ラッチが透過である限り、新規MSBが書かれると、出力は直ちに更新されます。このラッチは違う(逆の)クロック端でデータ入力が採取、データ出力が変更されるのを保証します。

移動レジスタからの出力データを許可するために、ピンに対応するデータ方向レジスタ(DDB1またはDDB2)が1に設定されなければならないことに注意してください。

■ USI状態レジスタ (USI Status Register) USISR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、計数値を含みます。

USISRで読み-変更-書き(リード-モディファイライト)操作を行う、例えばSBIまたはCBI命令の使用が、保留中の割り込み要求フラグを解除(0)することに注意してください。レジスタ内容はOUT命令を使う変更だけが推奨されます。

■ ビット7 - USISIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

2線動作が選択される時に**開始条件**が検出されると、USISIFフラグが設定(1)されます。出力禁止動作または3線動作が選択され、(USICS1,0=11かつUSICLK=0)または(USICS1,0=10かつUSICLK=0)の時にSCKピンのどのエッジもがこのフラグを設定(1)します。

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとUSI制御レジスタ(USICR)で**開始条件検出許可(USISIE)ビット**が設定(1)されている間にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSISIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの**開始条件保持**を解除(開放)します。開始条件検出割り込みは4つ全ての**休止形態**からプロセッサを起動します。

■ ビット6 - USIOIF : 計数器溢れ割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビット計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(1)ビットとUSICRで**計数器溢れ割り込み許可(USIOIE)ビット**が設定(1)されている間に本フラグが設定(1)されると、割り込みが生成されます。このフラグはUSIOIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は、2線動作でのSCLの**計数器溢れ保持**を解除(開放)します。計数器溢れ割り込みは**アイドル休止動作**からプロセッサを起動します。

■ ビット5 - USIPF : 停止条件検出フラグ (Stop Condition Flag)

2線動作が選択される時に**停止条件**が検出されると、USIPFフラグが設定(1)されます。このフラグはこのビットへの1書き込みによって解除(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は2線バス主装置調停の実装時に有用です。

■ ビット4 - USIDC : 出力データ衝突フラグ (Data Output Collision Flag)

移動レジスタのビット7(MSB)が物理ピン値と異なる時にこのビットは論理1です。このフラグは2線動作が使われる時にだけ有効です。この合図は2線バス主装置調停の実装時に有用です。

■ ビット3~0 - USICNT3~0 : 計数器値 (Counter Value)

これらのビットは現在の4ビット計数器値を反映します。この4ビット計数器値はCPUによって直接的に読み書きできます。

この4ビット計数器は外部クロック端検出器、**タイマ/カウンタ0溢れ**、USICLKまたはUSITCストローブビットを使うソフトウェアのどれかによって生成した各クロックに対して1つ増加します。このクロック元はUSICS1,0ビット設定に依存します。外部クロック動作に対してUSITCストローブビットへの書き込みによって生成されることをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元(USICS1=1)設定中のUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選択されている時でも、外部クロック入力(SCK/SCL)が未だ計数器によって使われることに注意してください。

■ USI 制御レジスタ (USI Control Register) USICR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロック ストローブを含みます。

■ ビット7 – USISIE : 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが**開始条件**検出割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSISIEビットが設定(1)される時に保留割り込みなら、これは直ちに実行されます。より多くの詳細については50頁の**開始条件検出割り込み要求フラグ(USISIF)**記述を参照してください。

2線動作が選択されると、USISIEは**開始条件**が検出された時に(1)に設定されます。出力禁止か3線動作(即ちUSIWM1=0)で、且つUSICS1,0=1x、USICLK=0のとき、SCKピンのどちらのエッジも本フラグを設定(1)します。

■ ビット6 – USIOIE : 計数器溢れ割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することが計数器溢れ割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSIOIEビットが設定(1)される時に保留割り込みなら、これは直ちに実行されます。より多くの詳細については50頁の**計数器溢れ割り込み要求フラグ(USIOIF)**記述を参照してください。

■ ビット5,4 – USIWM1,0 : 動作種別選択 (Wire Mode)

これらのビットは使用されるべき動作種別(2または3線動作)を設定します。基本的に出力の機能だけがこれらのビットによって影響を及ぼされます。データとクロック入力は選択した動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でも、移動レジスタと計数器は外部的にクロック駆動でき、入力データが採取されます。USI操作とUSIWM1,0間の関連は表39.で要約されます。

表39. USI操作とUSIWM1,0の関係

USIWM1	USIWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO,DI,SCKピンを使用。 データ出力(DO)ピンはこの動作で ポートB出力レジスタのPORTB1ビット を無視します。けれども対応する DDB1ビット は未だデータ方向を制御します。ポートピンが入力として設定(DDB1=0)されると、そのピンのプルアップはPORTB1ビットによって制御されます。 データ入力(DI)と直列クロック(SCK)ピンは標準ポート動作に影響を及ぼしません。主装置として動作する時にクロックパルスはデータ方向が出力に設定されている(DDB2=1)間のPORTB2ビットの交互切り替えによってソフトウェアで生成されます。USICRの USITCビット がこの目的に使えます。
1	0	2線動作。SDA(DI)とSCL(SCK)ピンを使用。(注1) 直列データ(SDA)と直列クロック(SCL)ピンは双方向でオープンドレイン出力駆動を使います。この出力駆動部はDDRbでDDB0とDDB2ビットの設定(=1)によって許可されます。 SDAピンに対して出力駆動部が許可されると、出力駆動部は移動レジスタの出力またはPORTBの PORTB0ビット が0なら、SDA線をLowに強制します。さもなければ、SDA線は駆動されません(換言すると開放されます)。SCLピン出力駆動部が許可されると、SCL線はPORTBのPORTB2ビットが0なら、または開始条件検出器によってLowを強制されます。さもなければ、SCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が 開始条件 を検出するとLowに保持されます。 開始条件検出フラグ(USISIF) の解除(0)がその線を開放します。SDAとSCLピン入力はこの動作の許可によって影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 SCL線は計数器溢れが起こる時にもLowへ保持され、 計数器溢れフラグ(USIOIF) が解除(0)されるまでLowに保持されることを除いて、上で記述される2線動作と同じ動作です。

注1: DIとSCKピンは動作種別間での混乱を避けるため、各々、直列データ(SDA)と直列クロック(SCL)に改称されます。

■ ビット3,2 – USICS1,0 : クロック選択 (Clock Source Select)

これらのビットは移動レジスタと計数器に対するクロック元を設定します。外部クロック元(SCK/SCL)を使う時にデータ出力ラッチはデータ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。タイマ/カウンタ0溢れまたはソフトウェア ストローブが選択されると、出力ラッチは透過で、従って出力は直ちに変更されます。USICS1,0ビットの解除(=00)がソフトウェア ストローブ選択を許可します。この選択を使う時のUSICLKビットへの1書き込みは移動レジスタと計数器の両方をクロック駆動します。外部クロック元(USICS1=1)に対してUSICLKビットはもはやストローブとして使われませんが、外部クロックとUSITCストローブビットによるソフトウェア クロック間を選択します。

表40.は移動レジスタと4ビット計数器に対して使われるクロック元とUSICS1,0、USICLK設定間の関連を示します。

表40. USICS1,0とUSICLK設定との関係

USICS1	USICS0	USICLK	移動レジスタ クロック元	4ビット計数器クロック元
0	0	0	クロックなし	クロックなし
		1	ソフトウェア クロック ストローブ (USICLK)	ソフトウェア クロック ストローブ (USICLK)
	1	X	タイマ/カウンタ0溢れ	タイマ/カウンタ0溢れ
1	0	0	外部クロック上昇端	外部クロック両端
	1		外部クロック下降端	
	0	1	外部クロック上昇端	ソフトウェア クロック ストローブ (USITC)
	1		外部クロック下降端	

■ ビット1 – USICLK : クロック ストローブ (Clock Strobe)

ソフトウェア ストローブ選択が選ばれるように行うことによってUSICS1,0ビットがゼロ(=00)に設定されるなら、このビット位置への1書き込みは移動レジスタを1段移動して計数器を1つ増加します。このクロック ストローブが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。移動レジスタ内に移動した値は直前の命令周期で採取されます。このビットは0として読まれます。

外部クロック元が選択される(USICS1=1)と、USICLK機能はクロック ストローブからクロック選択レジスタに変更されます。この場合のUSICLKビットの設定(=1)は4ビット計数器に対するクロック元としてのUSITCストローブを選びます(表40.参照)。

■ ビット0 – USITC : クロック値切り替え (Toggle Clock Port Pin)

このビット位置に1を書くことはSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORTB2値がピンで見られるべきなら、DDB2が出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なクロック生成を許します。このビットは0として読まれます。

外部クロック元が選択され(USICS1=1)、USICLKビットが1に設定されると、USITCストローブビットへの書き込みは直接的に4ビット計数器をクロック駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

機能説明

3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使われるピン名はDI,DO,SCKです。

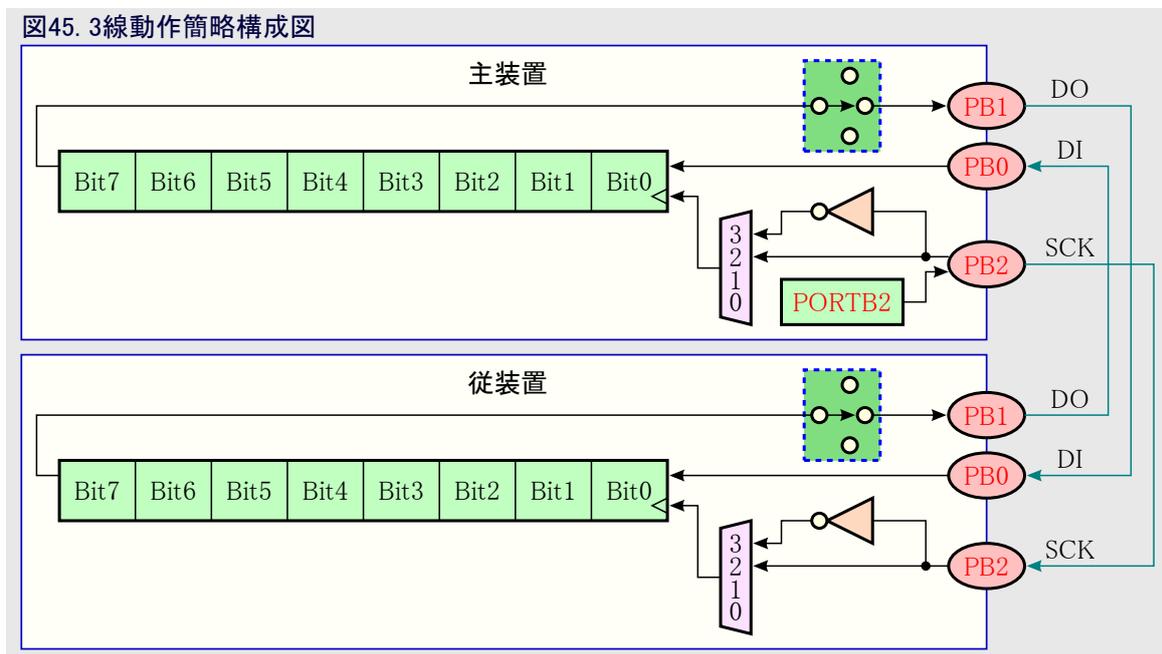
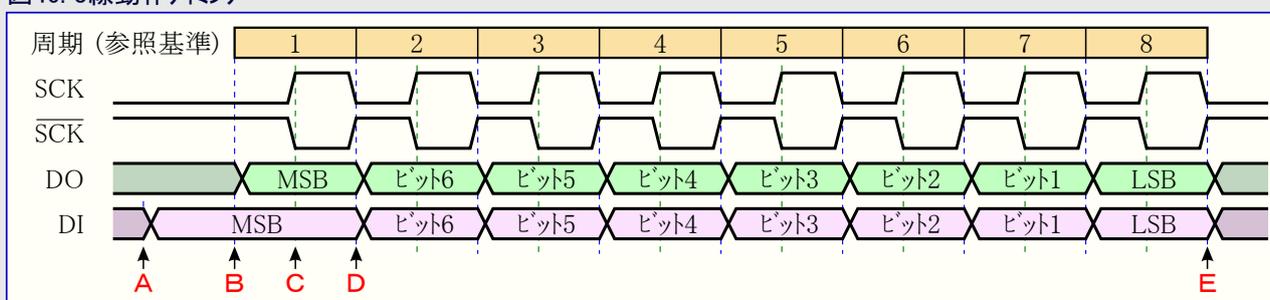


図45は3線動作での2つのUSI部（一方は主装置、他方は従装置）動作を示します。このような方法で連結された2つの移動レジスタは8 SCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(SCK)がUSIの4ビット計数器も増加(+1)します。従って**计数器溢れ割り込み要求フラグ(USIOIF)**は転送が完了される時を決めるのに使えます。このクロックはPORTBレジスタ経由のPB2ピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置ソフトウェアによって生成されます。

図46. 3線動作タイミング



3線動作タイミングは図46で示されます。図の最上部はSCK周期参照基準です。これらの各周期に対して1ビットがUSI移動レジスタ(USIDR)に移動されます。SCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つ移動)されます。外部クロック動作1(USICS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータを採取、上昇端で出力を変更します。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図46)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はデータ出力を設定し、使用規約に依存して出力駆動部を許可します(AとB)。この出力は直列データレジスタへの送信されるべきデータ書き込みによって設定します。出力の許可はポート方向レジスタの対応するビット設定によって行います。A点とB点はどんな特別な順番もありますが、両方共にデータが採取されるC点よりも最低1/2 SCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するために行わなければならないことです。4ビット計数器は0にリセットします。
2. 主装置はSCK線をソフトウェアで2度切り替えることによってクロックパルスを生成します(CとD)。主装置と従装置のデータ入力(DI)ピンのビット値は最初のエッジ(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビット計数器は両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロックパルス(換言すると16クロック端)後、計数器が溢れて転送完了を示します。転送したバイトデータは新規転送が開始され得るのに先立って直ぐに処置されなければなりません。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。

SPI主装置操作例

次のコードはSPI主装置としてのUSI部使用法を実際に示します。

アセンブリ言語プログラム例

```

SPIM:      OUT      USIDR, R16                ;送信データを設定
           LDI      R16, (1<<USIOIF)        ;USIOIFビットのみ1値を取得
           OUT      USISR, R16              ;フラグ解除/計数器初期化
           LDI      R16, (1<<USIWM0) | (1<<USICS1) | (1<<USICLK) | (1<<USITC) ;3線動作クロック生成値を取得
;
SPIM_LP:   OUT      USICR, R16                ;SCKクロック端発生
           SBIS     USISR, USIOIF            ;溢れでスキップ
           RJMP     SPIM_LP                 ;溢れまで継続
;
           IN       R16, USIDR              ;受信データを取得
           RET                                     ;呼び出し元へ復帰
    
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDOとSCKピンがDDRBで出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は従装置に転送され、転送が完了される時に従装置から受信したデータがR16レジスタに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求フラグ(USIOIF)を解除(0)し、USI4ビット計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端移動レジスタクロック、USITCスローブ計数、SCK出力交互切り替え(PORTB2)を設定します。この繰り返しは16回繰り返されます。

次のコードは最高速($f_{SCK}=f_{CK}/2$)でのSPI主装置としてのUSI部使用法を実際に示します。

アセンブリ言語プログラム例

```

SPIM_F:    OUT      USIDR, R16                ;送信データを設定
           LDI      R16, (1<<USIWM0) | (0<<USICS0) | (1<<USITC)        ;3線動作初期値を取得
           LDI      R17, (1<<USIWM0) | (0<<USICS0) | (1<<USITC) | (1<<USICLK) ;3線動作クロック生成値を取得
;
           OUT      USICR, R16                ;MSB転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット6転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット5転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット4転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット3転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット2転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;ビット1転送
           OUT      USICR, R17                ;
           OUT      USICR, R16                ;LSB転送
           OUT      USICR, R17                ;
;
           IN       R16, USIDR              ;受信データを取得
           RET                                     ;呼び出し元へ復帰
    
```

SPI従装置操作例

次のコードはSPI従装置としてのUSI部使用法を実際に示します。

```

アセンブリ言語プログラム例
init:   LDI    R16, (1<<USIWM0) | (1<<USICS1)      ;3線動作,外部クロック値を取得
        OUT    USICR, R16                        ;3線動作,外部クロック設定

SPIS:   OUT    USIDR, R16                        ;送信データを設定
        LDI    R16, (1<<USIOIF)                  ;USIOIFビットのみ1値を取得
        OUT    USISR, R16                        ;フラグ解除/計数器初期化
;
SPIS_LP: SBIS   USISR, USIOIF                    ;計数器溢れでスキップ
        RJMP  SPIS_LP                            ;計数器溢れまで継続
;
        IN    R16, USIDR                          ;受信データを取得
        RET                                       ;呼び出し元へ復帰
    
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDDRBでDOピンが出力、SCKピンが入力として設定される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は主装置に転送され、転送が完了される時に主装置から受信したデータがR16レジスタに格納されて戻ります。

最初の2命令は初期化用だけで、一度実行されることだけを必要とすることに注意してください。これらの命令は3線動作と上昇端移動レジスタクロックを設定します。この繰り返しはUSI計数器溢れフラグが設定(1)されるまで繰り返されます。

2線動作

USIの2線動作はI²C(TWI)バス規約に準拠していますが、出力のスレーブ制限と入力雑音濾波器がありません。この動作で使われるピン名はSCLとSDAです。

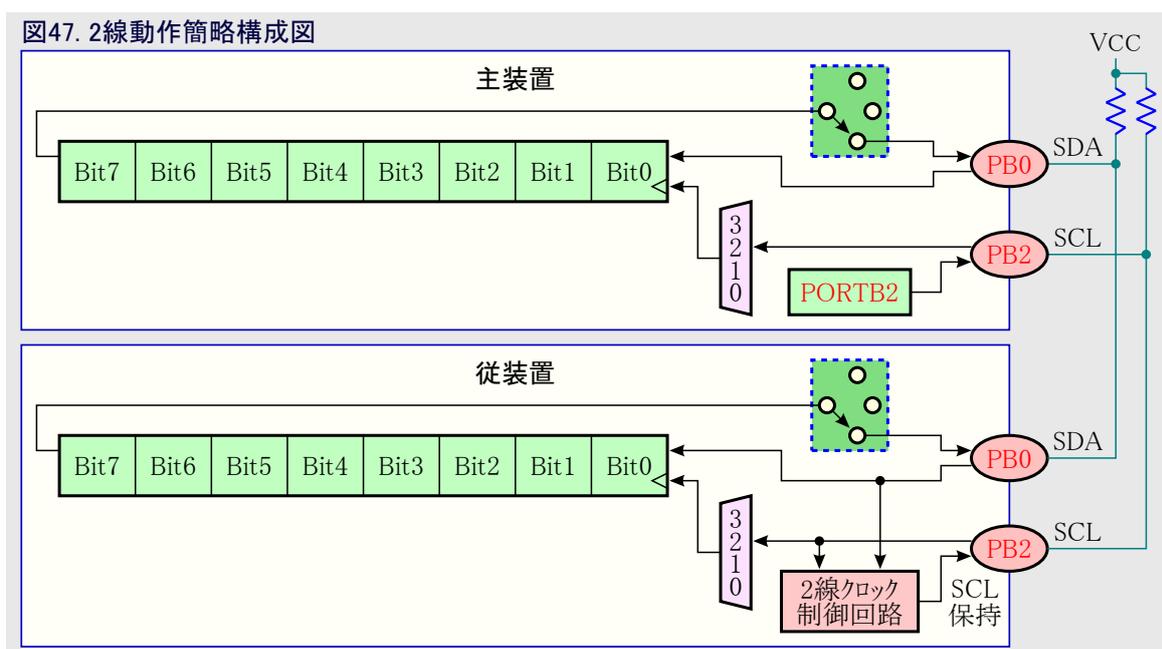


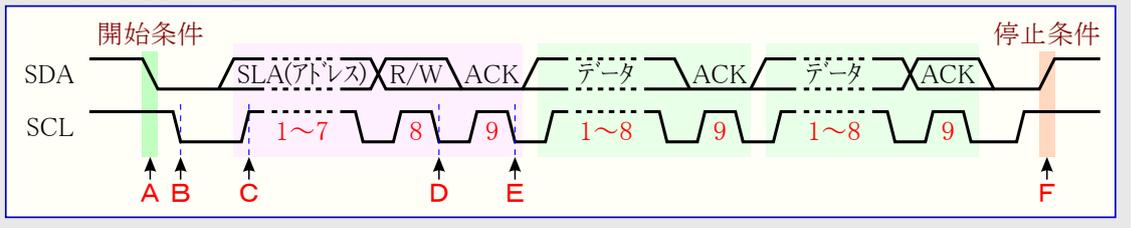
図47.は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。システム動作が使用通信構造に大きく依存するので示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列クロック生成と、従装置だけがクロック制御部(回路)を使うことです。クロック生成はソフトウェアで実行されなければなりません、移動動作は両装置で自動的に行われます。データの移動に関してこの動作種別で下降端でのクロックだけを実際に使うことに注意してください。従装置はSCLクロックをLowに強制することにより、転送の開始と終了で待機状態(ウェイト ステート)を挿入できます。これは(主装置が)上昇端を生成してしまった後、主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

このクロックが(4ビット)計数器も増加(+1)するので、**計数器溢れ(USIOIF)**は転送が完了されることを示すのに使えます。このクロックは主装置によるPORTBレジスタ経由のPB2(SCL)ピン交互切り替えによって生成されます。

データ方向は物理層によって与えられません。データの流れを制御するためにTWIバスで使ったような或る種の規約が実装されなければなりません。

このタイミング図(図48.)を参照すると、バス転送は次の手順を含みます。

図48. 代表的な2線動作タイミング



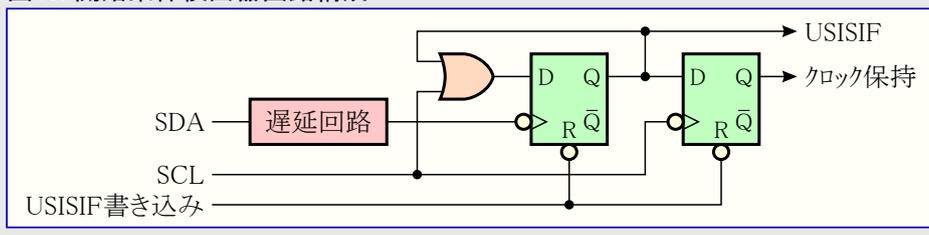
1. 開始条件は主装置によるSCL線High中のSDA線Low強制によって生成されます(A)。SDAは移動レジスタのビット7への0書き込み、またはPORTB0ビットを0に設定のどちらかによって強制実行できます。出力が許可されるにはDDB0ビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図49.参照)は開始条件を検出し、USISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で下降端を強制してしまった後、SCL線をLowに保持します(B)。これは、アドレスを受信するために移動レジスタを設定する前に、休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)し、開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定し、SCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取し、移動レジスタへ移動します。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れ、SCL線がLowを強制されます(D)。従装置は1つの主装置がアドレス指定してしまわない場合、SCL線を開放し、新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前に(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置か従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)、SCL線をLowに保持できます。
6. 主装置により停止条件(F)または新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。従装置はより多くのデータを受信できない場合、最後に受信したバイトデータに回答しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することによって、この動作を終了しなければなりません。

開始条件検出器

開始条件検出器は図49.で示されます。SDA線はSCL線の有効な採取を保証するために(50~300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使った規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使うとき、CKSELヒューズにより設定する発振器起動時間(13頁の「クロックシステムとその配給」参照)も考慮内に取り入れられなければなりません。より多くの詳細については50頁のUSISIFフラグ記述を参照してください。

図49. 開始条件検出器回路構成



USIでの代替使用

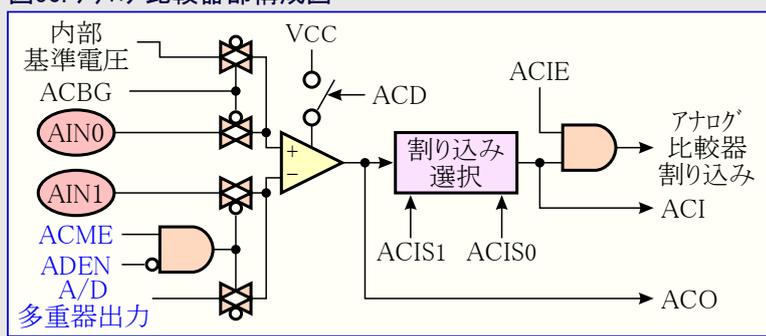
USI部が直列通信に使われないとき、柔軟な設計のため、代替処理を行うのに設定できます。

- 半二重非同期データ転送 3線動作での移動レジスタ使用により、ソフトウェアだけより簡潔で高性能のUART実装が可能です。
- 4ビット計数器 4ビット計数器は溢れ割り込みとの自立型計数器として使えます。この計数器が外部的にクロック駆動される場合、両クロック端が増加(+1)を発生することに注意してください。
- 12ビット計数器 USIの4ビット計数器とタイマ/カウンタ0の組み合わせは12ビット計数器とし使われることを許します。
- エッジ起動外部割り込み 4ビット計数器を最大値(\$F)に設定することにより、追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットは、この外部割り込みに対して使われます。この特徴(機能)はUSICS1ビットによって選択(=1)されます。
- ソフトウェア割り込み 4ビット計数器の溢れ割り込みはクロック ストローブによって起動するソフトウェア割り込みとして使えます。

アナログ比較器

アナログ比較器は非反転入力AIN0(PA6)ピンと反転入力AIN1(PA7)ピンの入力値を比較します。非反転AIN0(PA6)ピンの電圧が反転AIN1(PA7)ピンの電圧より高いとき、**ACSRのアナログ比較器出力(ACO)ビット**が設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は**図50**で示されます。

図50. アナログ比較器部構成図



■ アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	ACME	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

■ ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするためにいつでも設定(1)できます。ACDビットを変更するとき、ACSRで**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるときに割り込みが起こり得ます。

■ ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、非反転比較器入力として内部基準電圧(公称1.18V)を選択します。

■ ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力に直接的に接続されます。

■ ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRの**アナログ比較器割り込み条件(ACIS1, ACIS0)ビット**により定義した割り込み方法で起動するときに設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりに、このフラグへ論理1を書くことによってもACIは解除(0)されます。

■ ビット3 - ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

■ ビット2 - ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

ACMEビットが設定(1)され、A/D変換部がOFF(**ADCSRのADENビット**が0)に切り替えられていると、**58頁の表42**で示されるように、**A/D多重器選択レジスタ(ADMUX)のA/Dチャネル選択(MUX3~0)ビット**はアナログ比較器への反転入力を置換するための入力ピンを選びます。ACMEが解除(0)されるか、またはADENが設定(1)されると、AIN1(PA7)ピンがアナログ比較器の反転入力に印加されます。

■ ビット1,0 - ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを起動する比較器のどの出来事かを決めます。各種設定は**表41**で示されます。

表41. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: ACIS1, ACIS0ビットを変更するとき、ACSRでアナログ比較器割り込み許可(ACIE)ビットを解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更されるときに割り込みが起き得ます。

表42. アナログ比較器反転入力選択

ACME	ADEN	(注1) MUX3~0 (注3)	アナログ比較器反転入力	備考
0	x	x x x x	AIN1	
	1	x x x x		
1	0	0 0 0 0	ADC0	
		0 0 0 1	ADC1	
		0 0 1 0	ADC2	
		0 0 1 1	ADC3	
		0 1 0 0	ADC4	
		0 1 0 1	ADC5	(注2)
		0 1 1 0	ADC6	(注2)
		0 1 1 1	ADC7	
		1 0 0 0	ADC8	
		1 0 0 1	ADC9	
		1 0 1 0	ADC10	
		1 0 1 1	未定義	
		1 1 0 0	未定義	
		1 1 0 1	未定義	
		1 1 1 0	未定義	
1 1 1 1	未定義			

注1: MUX4はアナログ比較器入力選択に影響を及ぼしません。

注2: アナログ比較器が許可されると、PA6とPA7のピン変化割り込みは禁止されます。これはAIN0またはAIN1がアナログ比較器への入力として置換されてしまっているかどうかにかかわらず、起きます。

注3: MUX3~0選択は1クロック周期遅延後に有効です。

A/D変換器

特徴

- 10ビット分解能
- 絶対精度±2LSB
- 積分非直線性誤差0.5LSB
- 任意のオフセット消去(相殺)
- 変換時間13~260µs
- 11チャンネルのシングルエンド入力多重器内蔵
- 8チャンネルの差動入力チャンネル
- ×20の任意利得付き7つの差動入力チャンネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~AVCC A/D変換入力電圧範囲
- 選択可能な2.56V A/D変換基準電圧
- 連続と単独の変換動作
- A/D変換完了割り込み
- 休止形態雑音低減機能

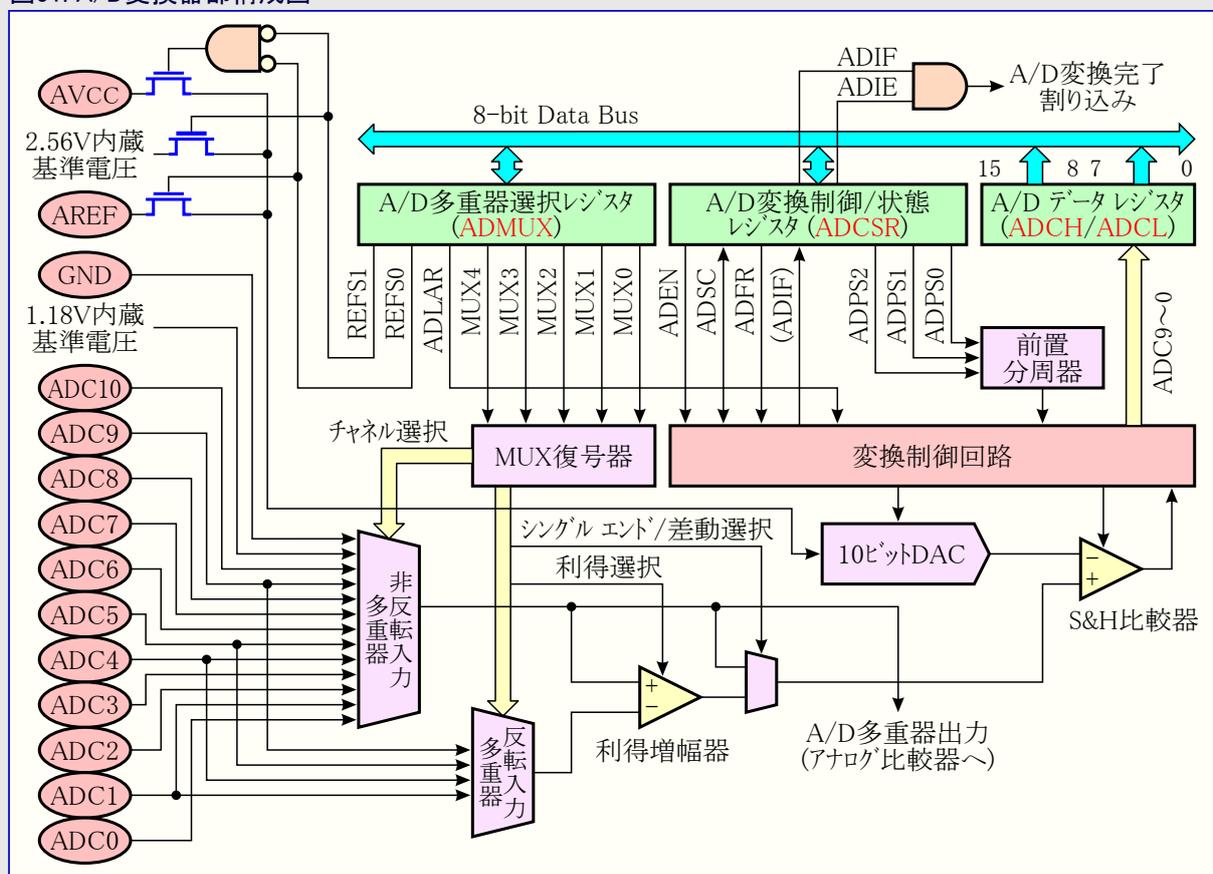
ATtiny26/Lは10ビット逐次比較A/D変換器が特徴です。このA/D変換器はポートAの7ピンとポートBの4ピンで構成する11のシングルエンド電圧入力を許す、11チャンネルアナログ多重器に接続されます。差動入力の7つはA/D変換前の差動入力電圧で0dB(×1)、26dB(×20)の増幅段を提供する設定変更可能な利得段が装備されます。これらは3つの差動アナログ入力チャンネル選択の4群です。各群内の全ての入力チャンネルは反転入力端子を共用し、一方他のADC入力是非反転入力端子として選択できます。シングルエンド電圧入力は0V(GND)が基準です。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図51.で示されます。

A/D変換部にはアナログ電源供給ピン(AVCC)があります。AVCCの電圧はVCCから±0.3Vより多く違ってはなりません。このピンの接続方法は66頁の「雑音低減技術」項をご覧ください。

公称2.56Vの内蔵基準電圧またはAVCCがチップ上で提供され、この基準電圧は雑音特性向上のため、コンデンサによりAREFピンで外部的にデカップ(雑音分離)できます。

図51. A/D変換器部構成図



操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はAREFピンの電圧-1LSBを表します。A/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,REFS0)ビットへの書き込みにより、任意でAVCCまたは内部2.56V基準電圧がAREFピンに接続できます。この内部基準電圧は雑音耐性を改善するためにAREFピンで外部コンデンサによってデカップ(雑音結合減少)のようにできます。

アナログ入力チャネルと差動利得はADMUXのチャネル選択(MUX4~0)ビットへの書き込みにより選択されます。GNDと固定基準電圧(公称1.18V内蔵基準電圧(V_{BG}))だけでなく、11ADC入力ピン(ADC10~0)のどれもがA/D変換器のシングルエンド入力として選択できます。ADC入力ピンの選択は差動利得増幅器への反転と非反転入力として選択できます。

差動チャネルが選択されると、差動利得段は選択した入力チャネル間の差電圧を選択した増幅率で増幅します。非反転入力端子上の電圧は反転入力端子上の電圧より高くなければならず、さもなければ利得段は0V(GND)に飽和します。その後この増幅した値はA/D変換器の入力になります。シングルエンドチャネルが使われると、利得増幅器全体が迂回(無視)されます。

A/D変換は単独変換と連続変換の2つで動作できます。単独変換動作での各変換は使用者によって始められなければなりません。連続変換動作でのA/D変換は継続的に採取とA/Dデータレジスタ(ADCH,ADCL)の更新を行います。A/D変換制御/状態レジスタ(ADCSR)の連続/単独変換動作選択(ADFR)ビットが2つの利用可能な動作間を選択します。

A/D変換部はADCSRのA/D許可(ADEN)ビットの設定(1)により(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されるとA/D変換部は電力を消費しないので、電力を節約する休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

変換はADCSRで変換開始(ADSC)ビットに論理1を書くことにより開始されます。このビットは変換が進行中である限り1に留まり、変換が完了されるとハードウェアにより0に設定されます。変換が進行中に違うデータ(入力)チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生じます。既定での結果は右揃え(16ビットの下位側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットの上位側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足りる。さもなければデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが先に、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

前置分周と変換タイミング

逐次比較回路は50~200kHzの入力クロック周波数が必要です。10ビットより低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために1MHz程に高くできます。

A/D変換部はシステムクロックを受け入れ可能なA/D変換クロック周波数に分周する前置分周器を含みます。

A/D変換制御/状態レジスタ(ADCSR)のA/Dクロック選択(ADPS2~0)ビットは100kHz以上のどんなチップクロックからも適当なA/D変換クロック周波数を生成するのに使われます。前置分周器はADCSRでA/D許可(ADEN)ビットの設定(1)によって、A/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0のとき、継続的にリセットされます。

ADCSRのA/D変換開始(ADSC)ビットの設定(1)によって変換を始めるとき、その変換は直後の変換クロック周期の上昇端で開始します。差動チャネルが選択されると、その変換はADENが設定(1)された後の変換クロック周期の他の全てのの上昇端だけで開始します。

通常の変換は13変換クロック周期で行います。或る場合でA/D変換部は初期化と最小オフセット誤差のためにより多くのクロック周期を必要とします。延長した変換は25変換クロック周期で行い、A/D変換部がON(ADCSRのADEN=1)に切り替えられた後の最初の変換で起きます。

差動入力チャネルを変更するとき、特別な注意が扱われるべきです。一旦差動入力チャネルが選択されてしまうと、利得段は新しい値に安定するのに125μs程度かかるかもしれません。従って変換は新規差動入力チャネル選択後の最初の125μs内に開始されるべきではありません。またはこの期間内に得た変換結果は破棄されるべきです。(A/D多重器選択レジスタ(ADMUX)のREFS1,0ビットの変更による)A/D変換器基準電圧変更後の最初の差動入力変換に対して、同じ設定(安定)時間が厳守されるべきです。

実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、延長した(初回)変換の開始後13.5変換クロック周期で行います。変換が完了すると、その結果はA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADFR=0)では同時にADCSRのA/D変換開始(ADSC)ビットが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。連続変換動作(ADFR=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。連続変換動作と200kHzの変換クロック周波数の使用は15k採取/秒に等価な最小変換時間65μsを与えます。変換時間の要約については表43をご覧ください。

図52. A/D変換前置分周器部構成

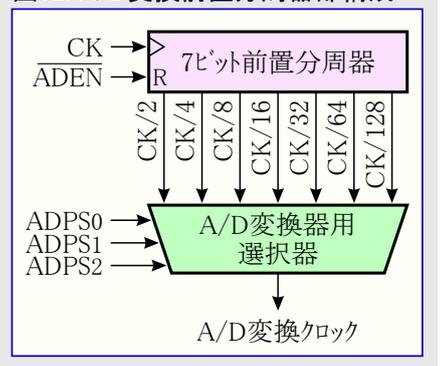


図53. 初回変換タイミング (単独変換動作)

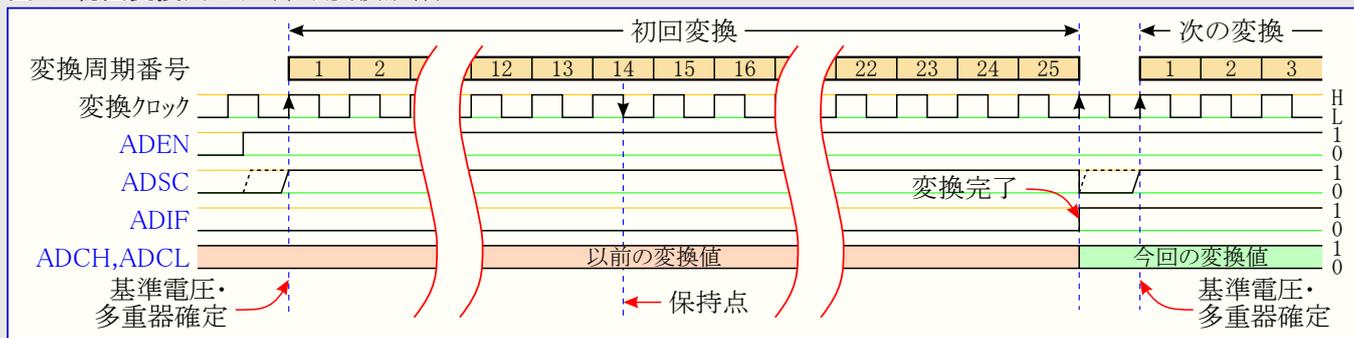


図54. 通常変換タイミング (単独変換動作)

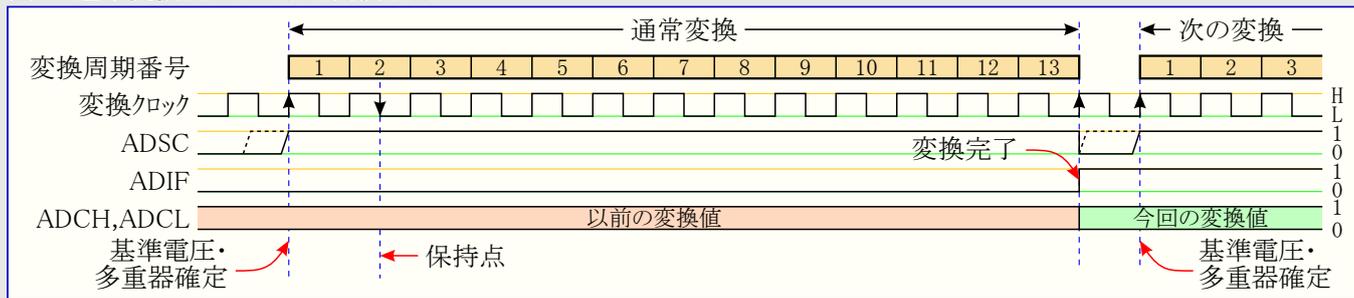


図55. 連続変換動作タイミング

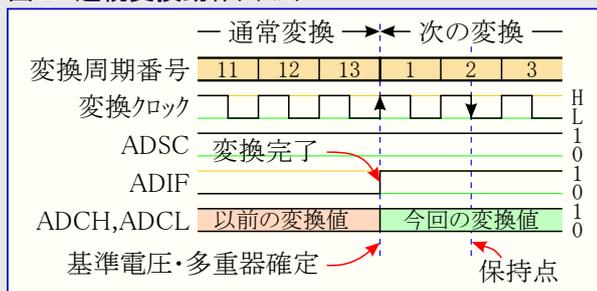


表43. A/D変換時間

変換種別	保持点	変換終了	総変換時間	変換時間(μs)
連続(初回)	13.5	25	25	125~500
単独(初回)	13.5	25	26	130~520
連続(通常)	1.5	13	13	65~260
単独(通常)	1.5	13	14	70~280

注: 変換時間を除く各値は変換開始からの変換クロック数です。

チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX4~0)ビットと基準電圧選択(REFS1,0)ビットはCPUが乱順にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うことを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRのADIF=1)前の最後の変換クロック周期で再開します。ADCSRの変換開始(ADSC)ビットが書かれた後の次の変換クロック上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

差動入力チャネルを変更するとき、特別な注意が求められるべきです。一旦差動入力チャネルが選択されてしまうと、この段は新しい値に安定するのに125μs程度かかるかもしれません。従って変換は新規差動入力チャネル選択後の最初の125μs内に開始されるべきではありません。または、この期間内に得た変換結果は破棄されるべきです。

基準電圧(ADMUXのREFS1,0)変更後の最初の差動変換についても同じ設定(後安定)時間が守られるべきです。

雑音低減機能

このA/D変換部はCPUコアと他の周辺I/Oが誘導した雑音を削減するためにA/D変換雑音低減動作(21頁の「電力管理と休止形態」参照)中の変換を可能にする雑音低減機能が特徴です。変換中に他の周辺I/Oが活性(有効)でなければならない場合、この動作がアイドル動作に対して等価的に動作します。この特性(機能)を使うには、次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)のを確認します。単独変換動作が選択(ADFR=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行します。一旦CPUが停止されてしまうと、A/D変換部は変換を開始します。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動し、A/D変換完了割り込みルーチンを実行します。

A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。

シングルエンド入力変換についての結果は次式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

V_{IN}は選択した入力ピン上の電圧で、V_{REF}は選択した基準電圧です(63頁の表45と表46参照)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。

差動入力チャネルが使用される場合の結果は次式で示されます。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 1024}{V_{REF}}$$

V_{POS}は非反転入力ピンの電圧、V_{NEG}は反転入力ピンの電圧、GAINは選択した倍率、V_{REF}は選択した基準電圧です。V_{POS}はV_{NEG}より高くなければならず、さもなければ変換値が\$000で飽和することに留意してください。図56は差動入力範囲のコード化を示します。

表44は差動入力チャネルの組(ADC_n-ADC_m)が利得(GAIN)、基準電圧(V_{REF})で選択される場合の出力コードの結果を示します。

図56. 差動入力計測範囲

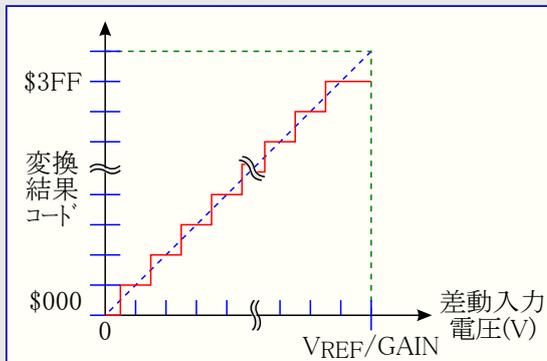


表44. 入力電圧と出力コードの関係

V _{ADCn}	読み出しコード*	対応する10進値
V _{ADCm} +V _{REF} /GAIN	\$3FF	1023
V _{ADCm} +(1023/1024)V _{REF} /GAIN	\$3FF	1023
V _{ADCm} +(1022/1024)V _{REF} /GAIN	\$3FE	1022
⋮	⋮	⋮
V _{ADCm} +(1/1024)V _{REF} /GAIN	\$001	1
V _{ADCm}	\$000	0

例: ADMUX=\$EB(ADC0とADC1差動20倍入力、V_{REF}=2.56V、左揃え)で、ADC0が400mV、ADC1が300mVの場合。
A/D変換値=1024×20×(400-300)÷2560=800=\$320
従って、ADCH=\$C8、ADCL=\$00、ADLAR=0ならば、ADCH=\$03、ADCL=\$20。

A/D変換用レジスタ

■ A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – REFS1,0 : 基準電圧選択 (Reference Select Bits 1, 0)

これらのビットは表45.で示されるようにA/D変換器の基準電圧を選びます。これらのビットが変換中に変更されると、その変更はこの変換が完了する(ADCSRのADIF=1)まで実施しません。使用者は最大精度を得るため、これらのビット変更後の最初の変換結果を無視すべきです。差動チャネルが使われる場合、A/D変換精度に影響を及ぼすので、AVCCの使用またはAVCC-0.2Vより高い外部AREFの使用は推奨されません。AREFピンに外部基準電圧が印加されている場合、内部基準電圧が使われてはなりません。

表45. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	AVCC (内部基準電圧とAREF(PA3)は切り離されます。)
0	1	AREFピンの外部基準電圧 (AVCCと内部基準電圧は切り離されます。)
1	0	内部2.56V基準電圧 (AVCCとAREF(PA3)は切り離されます。)
1	1	内部2.56V基準電圧 (AVCCは切断、AREF(PA3)にデカップ用コンデンサが接続できます。)

■ ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。ADLARが解除(0)されるなら、結果は右揃えにされます。ADLARが設定(1)されるなら、結果は左揃えにされます。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については65頁の「A/Dデータレジスタ」をご覧ください。

■ ビット4~0 – MUX4~0 : A/Dチャネル選択 (Analog Channel Select Bits 4~0)

これらのビットの値はA/D変換器にどのアナログ入力のリ組み合わせが接続されるかを選びます。これらのビットは差動チャネルに対する利得も選びます。詳細については表46.をご覧ください。これらのビットが変換中に変更される場合、その変更はこの変換が完了する(ADCSRのADIF=1)まで実施しません。

表46. アナログ入力チャネル選択

MUX4~0	シングルエンド入力	差動入力			MUX4~0	シングルエンド入力	差動入力		
		非反転入力	反転入力	利得			非反転入力	反転入力	利得
00000	ADC0				10000		ADC2	ADC3	×1
00001	ADC1				10001 (注)		ADC3	ADC3	×20
00010	ADC2				10010		ADC4	ADC3	×20
00011	ADC3				10011		ADC4	ADC3	×1
00100	ADC4				10100		ADC4	ADC5	×20
00101	ADC5				10101		ADC4	ADC5	×1
00110	ADC6				10110 (注)		ADC5	ADC5	×20
00111	ADC7				10111		ADC6	ADC5	×20
01000	ADC8				11000		ADC6	ADC5	×1
01001	ADC9				11001		ADC8	ADC9	×20
01010	ADC10				11010		ADC8	ADC9	×1
01011		ADC0	ADC1	×20	11011 (注)		ADC9	ADC9	×20
01100		ADC0	ADC1	×1	11100		ADC10	ADC9	×20
01101 (注)		ADC1	ADC1	×20	11101		ADC10	ADC9	×1
01110		ADC2	ADC1	×20	11110	1.18V(VBG)			
01111		ADC2	ADC1	×1	11111	0V(GND)			

注: オフセット測定専用です。66頁の「オフセット補償の仕組み」をご覧ください。

■ A/D変換 制御/状態レジスタ (ADC Control and Status Register) ADCSR

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – ADEN : A/D許可 (ADC Enable)

このビットに**1**を書くことがA/D変換部(動作)を許可します。**0**を書くことによりA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることは、その変換を(途中)終了します。

■ ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作では各変換を始めるため、このビットに論理**1**が書かれなければなりません。連続変換動作では最初の変換を始めるため、このビットに論理**1**が書かれなければなりません。A/D変換部が許可(ADEN=**1**)されてしまった後に初回のADSCが書かれてしまうか、またはA/D変換部が許可されると同時にADSCが書かれると、擬似変換が(本)変換開始に先行します。この擬似変換はA/D変換部の初期化を行います。

ADSCは変換が進行中である限り**1**として読みます。変換が完了すると**0**に戻ります。擬似変換が実変換に先立つとき、ADSCは実変換が完了するまで**1**に留まります。このビットへの**0**書き込みは無効です。

■ ビット5 – ADFR : 連続/単独変換動作選択 (ADC Free Running Select)

このビットが設定(**1**)されるとA/D変換器は連続変換動作で動作します。この動作種別でのA/D変換器は連続的な採取/変換とA/Dデータレジスタの更新を行います。このビットを解除(**0**)することは連続変換動作を終了します(単独変換動作にします)。

■ ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(**1**)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(**1**)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行するとき、ADIFはハードウェアによって解除(**0**)されます。代わりに、このフラグに論理**1**を書くことによってもADIFは解除(**0**)されます。ADCSRで読み-変更-書き(リード モディファイ ライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI, CBI命令が使われる場合にも適用されます。

■ ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが**1**を書かれ、SREGの全割り込み許可(I)ビットが設定(**1**)されていると、A/D変換完了割り込みが活性に(許可)されます。このビットが解除(**0**)されると、この割り込みは禁止されます(訳注:共通性のため本行追加)。

■ ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはXTAL(システム)周波数とA/D変換部への入力クロック間の分周値を決めます。

表47. A/D変換クロック選択 (CK=システム クロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

■ A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時									
ビット	15	14	13	12	11	10	9	8	
\$05 (\$25)	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ADLAR=1時									
ビット	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
ビット	7	6	5	4	3	2	1	0	
	ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこの2つのレジスタで得られます。差動チャンネルが使われると、結果は2の補数形式で表されます。A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えにされます。ADLARが解除(0)されると(既定)、結果は右揃えにされます。結果が左揃えにされ、且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足りる。さもなければADCLが先でその後にADCHが読まなければならない。

■ ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは変換での結果を表します。差動チャンネルについては63頁の表46.で示された利得補正後の絶対値です。シングルエンドチャンネルについては\$000が0V(アナログGND)を表し、\$3FFが選択した基準電圧-1LSBを表します。

複数チャネル変換走査

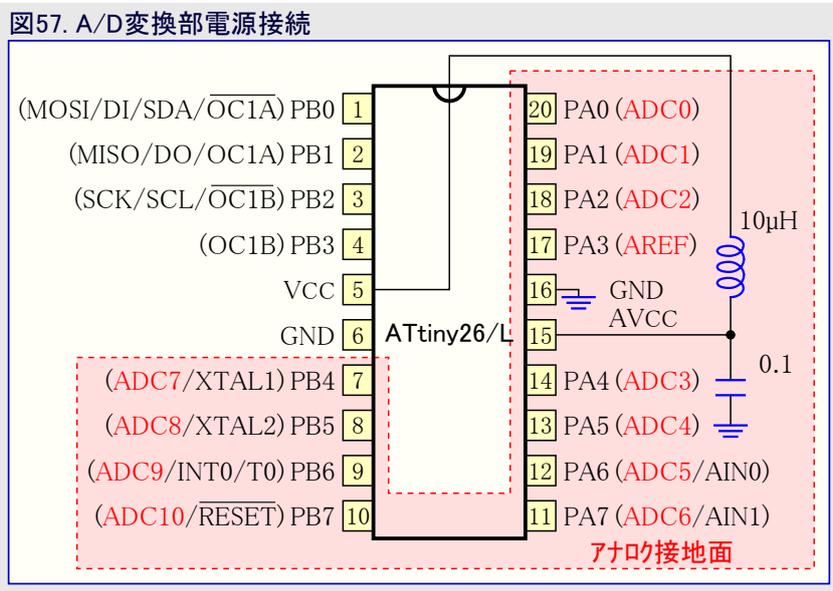
アナログ入力チャネルの変更(書き換え)は変換が完了されるまで常に遅らされるため、連続変換動作はA/D変換完了割り込みなしで複数チャネルの走査に使えます。通常、A/D変換完了割り込みがチャネル循環(変更)の実行に使われます。けれども使用者は次の事実を考慮すべきです。

一旦読まれるべき結果が準備されると割り込みは起動します。連続変換動作では割り込みが起動すると、次の変換は直ちに始まります。割り込み起動後にADMUXが変更される場合、次の変換は既に開始されてしまっており、古い(直前の)設定が使われず。

アナログ雑音低減技術

ATtiny26/L内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。精密な変換精度が必要な場合は次の技法を適用することによって雑音レベルが低減できます。

1. ATtiny26/Lのアナログ部と応用での全アナログ部品は基板上の分離したアナログGND面を持つべきです。このGND面は基板上の1点を経由してデジタルGNDに接続されます。
2. アナログ信号経路を可能な限り最短にしてください。アナログ信号線がアナログGND面上を走ることに注意し、高速スイッチング デジタル信号線から充分離すことを守ってください。
3. ATtiny26/LのAVCCピンは図57.で示されるようにLC濾波器を経由してデジタル供給電圧(VCC)に接続されるべきです。
4. CPUからの誘導雑音を低減するために、A/D変換の雑音低減機能を使ってください。
5. 何れかのADCポートピンがデジタル出力として使われる場合、これらが変換進行中に切り替わらないことが重要です。



オフセット補償の仕組み

利得段には差動測定のアナログオフセットをできるだけ無効にする組み込みオフセット補正回路があります。アナログ経路内の残留オフセットは両差動入力に対して同じチャネルを選択することにより直接的に計測できます。その後この残留オフセットは計測結果からソフトウェアで減算できます。このオフセット補正を基準としたソフトウェア手法の使用は、どのチャネルのオフセットも1LSB以下に減少できます。

メモリプログラミング

プログラムメモリとデータメモリ用施錠ビット

ATtiny26/Lは非プログラム(1)のままか、表49.で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表48. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表49. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列または並列プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズビットを書いてください。

識票バイト

全てのAtmel マイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は直列と並列の両方のプログラミング動作で、またデバイスが施錠されていても読めます。この3バイトは分離された空間に存在します。ATtiny26の識票バイトを右に示します。

- ① \$000 : \$1E 製造業者Atmelを示します。
- ② \$001 : \$91 フラッシュメモリ容量2Kバイトを示します。
- ③ \$002 : \$09 ②値\$91と合せ、ATtiny26を示します。

校正バイト

ATtiny26は内蔵RC発振器用に4つの異なる校正値を備えています。これらのバイトは1,2,4,8MHzの各々に対して、識票列のアドレス\$0000,\$0001,\$0002,\$0003の上位バイトにあります。リセット中、1MHz値がOSCCALレジスタへ自動的に設定されます。他の周波数が使われる場合、その校正値は手動で設定されなければなりません。詳細については17頁の「発振校正レジスタ (OSCCAL)」をご覧ください。

ヒューズ ビット

ATtiny26/Lには2つのヒューズ バイトがあります。表50と表51は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表50. ヒューズ上位バイト一覧

名称	ビット	意味	既定値
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
RSTDISBL(注2)	4	PB7がI/OピンかまたはRESETピンかを選択します。	1 (非プログラム) PB7はRESETピン
SPIEN (注1)	3	直列プログラミング許可。	0 (プログラム) 直列プログラミング許可
EESAVE	2	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL	1	低電圧検出器(BOD)検出電圧選択。	1 (非プログラム)
BODEN	0	低電圧検出器(BOD)許可。	1 (非プログラム) BOD禁止

注1: SPIENヒューズは直列プログラミングでアクセスできません。

注2: RSTDISBLヒューズをプログラム(0)すると、ヒューズ変更または更なるプログラミングを実行するために並列プログラミングが使われなければなりません。

表51. ヒューズ下位バイト一覧

名称	ビット	意味	既定値
PLLCK	7	内部クロックにPLL使用。	1 (非プログラム) PLL未使用
CKOPT (注3)	6	クロック発振器任意選択機能。	1 (非プログラム)
SUT1	5	起動時間選択。 (注1)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注2)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		0 (プログラム)
CKSEL0	0		1 (非プログラム)

注1: SUT1,0の既定値は最大起動時間になります。詳細については16頁の表12をご覧ください。

注2: CKSEL3~0の既定設定は1MHz校正付き内蔵RC発振器になります。詳細については14頁の表3をご覧ください。

注3: CKOPTヒューズ機能はCKSELヒューズ設定に従います。詳細については13頁の「システム クロックとクロック選択」をご覧ください。

ヒューズ ビットの状態はチップ消去により影響されません。施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。

ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは通常動作での電源投入でもラッチされません。

ページ容量

表52. フラッシュ メモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
1Kワード (2Kバイト)	16ワード	PC3~0	64	PC9~4	9

表53. EEPROMメモリのページ数とページの語数

全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
128バイト	4バイト	EEA1~0	32	EEA6~2	6

並列プログラミング

この項はATtiny26のプログラム用フラッシュメモリ、データ用EEPROM、メモリの**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低250nsと仮定されます。

信号名

本項でATtiny26のいくつかのピンは並列プログラミング中の機能を表す信号名で参照されます。**図58**と**表54**をご覧ください。後続の表で記載されないピンはピン名によって参照されます。

XA0とXA1ピンはXTAL1ピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は**表56**で示されます。

\overline{WR} または \overline{OE} パルス送出時、設定された指令が実行される動作を決めます。各種指令は**表57**で示されます。

図58. 並列プログラミング構成図

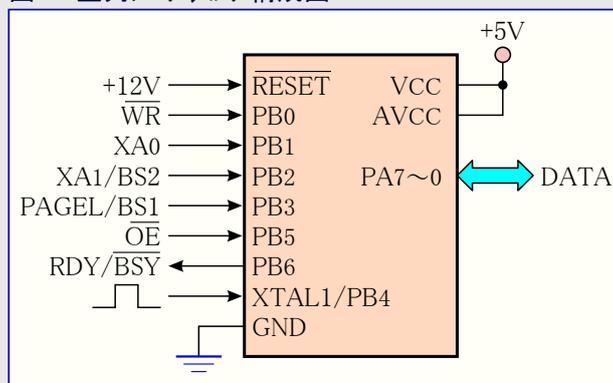


表54. 信号名とピン名の関係

信号名	ピン名	入出力	機能
\overline{WR}	PB0	入力	書き込みパルス(負論理)
XA0	PB1	入力	XTAL動作ビット0
XA1/BS2 (注)	PB2	入力	XTAL動作ビット1 / 上位/下位バイト選択2 (0:下位, 1:上位) (ヒューズビット用)
PAGEL/BS1 (注)	PB3	入力	ページ一時緩衝部に設定 / 上位/下位バイト選択1 (0:下位, 1:上位) (一般用)
\overline{OE}	PB5	入力	出力許可(負論理)
RDY/BSY	PB6	出力	0(Low) : 多忙(プログラミング中) 1(High) : 準備可(指令受付可)
DATA	PA7~0	入出力	双方向データバス (\overline{OE} =Low時出力)

注: このピンは2つの異なる制御信号に対して使われます。以降の記述で、通常1つの信号(名)だけが参照されます。例えば、「BS1に正パルスを与える」は「PAGEL/BS1に正パルスを与える」と同等です。

表55. プログラミング動作移行用ピン値

ピン名	シンボル	値
PAGEL/BS1	Prog_enable[3]	0
XA1/BS2	Prog_enable[2]	0
XA0	Prog_enable[1]	0
WR	Prog_enable[0]	0

表56. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指定)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指定)
1	0	指令取得
1	1	アイドル (動作なし)

注: XA1=1, XA0=1は非動作(アイドル)です。XTAL1がパルス駆動されない限り、指令、アドレス、データのレジスタは無変化に留まります。従ってBS2がXA1と多重されても、以降で記述されるようなBS2使用は問題ありません。BS2はヒューズ読み出し(\overline{OE} =Low)の時だけ利用(1)され、(この時に)XTAL1はパルス駆動されません。

表57. 指令バイトのビット符号化

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$11 (0001 0001)	EEPROM書き込み
\$08 (0000 1000)	識票バイト、校正バイト読み出し
\$04 (0000 0100)	ヒューズビット、施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し
\$03 (0000 0011)	EEPROM読み出し

並列プログラミング手順

並列プログラミング動作への移行

次に示す方法はデバイスを並列プログラミング動作にします。

注: ②～⑦は64ms以内に完了されなければなりません。

- ① 69頁の表55. で一覧されるProg_enableピン、RESET、VCCを(全て)0Vに設定します。
- ② VCC/AVCCとGND間に4.5～5.5Vを印加します。
- ③ 最低60μs待ちます。
- ④ (VCC/AVCCと同じ)4.5～5.5VをRESETピンへ印加します。
- ⑤ 最低20μs待ちます。
- ⑥ RESETピンに11.5～12.5Vを印加します。
- ⑦ 最低10μs待ちます。
- ⑧ ヒューズを内部クロック動作、8MHz内蔵RC発振器(CKSEL3～0=0100)、65ms遅延(SUT1,0=10)にプログラミングして(書いて)ください。施錠ビットがプログラム(0)されている場合、ヒューズを変更するのに先立ってチップ消去指令が実行されなければなりません。
- ⑨ デバイスの電源を落とすか、RESETピンをLow(0)に持つてくることによってプログラミング動作を抜けます。
- ⑩ プログラミング動作へ再移行するために①～⑦を繰り返し(再度実行)します。

効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

- ・複数のメモリ領域を読み書きする時に指令設定は一度だけ必要です。
- ・チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- ・アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識票バイト読み出しにも適用されます。

チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$80(1000 0000)に設定します。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これはチップ消去指令を設定します。
- ⑤ \overline{WR} に負パルスを与えます。これはチップ消去を開始します。RDY/ \overline{BSY} がLow(0)になります。
- ⑥ 次の指令を設定する前にRDY/ \overline{BSY} がHigh(1)になるまで待ちます。

フラッシュメモリ書き込み (図60.タイミングを参照)

フラッシュメモリはページで構成されます(68頁の表52.参照)。フラッシュメモリへ書く時にプログラムデータはページ緩衝部にラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

A. 「フラッシュメモリ書き込み」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$10(0001 0000)に設定します。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これはフラッシュメモリ書き込み指令を設定します。

B. アドレス下位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選択します。
- ③ DATAにアドレス下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ② DATAにデータ下位バイト(\$00~\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

- ① BS1をHigh(1)に設定します。これは上位バイトを選択します。
- ② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ③ DATAにデータ上位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

E. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B~Dを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュメモリ内のページをアドレス指定します。これは図59.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページアドレスに使われることに注意してください。

F. アドレス上位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
- ③ DATAにアドレス上位バイト(\$00~\$03)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

G. ページ書き込み

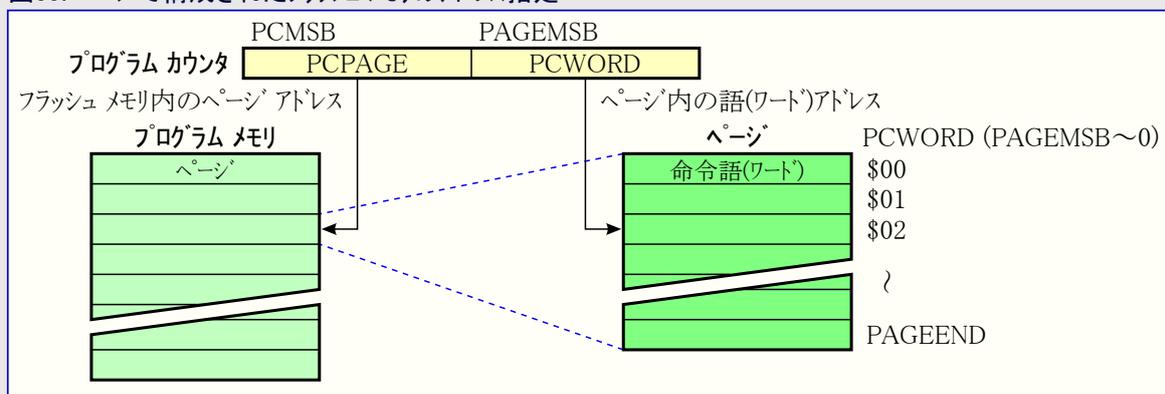
- ① BS1をLow(0)に設定します。
- ② \overline{WR} に負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/ \overline{BSY} がLow(0)になります。
- ③ RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

H. フラッシュメモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B~Gを繰り返し

I. ページ書き込み終了

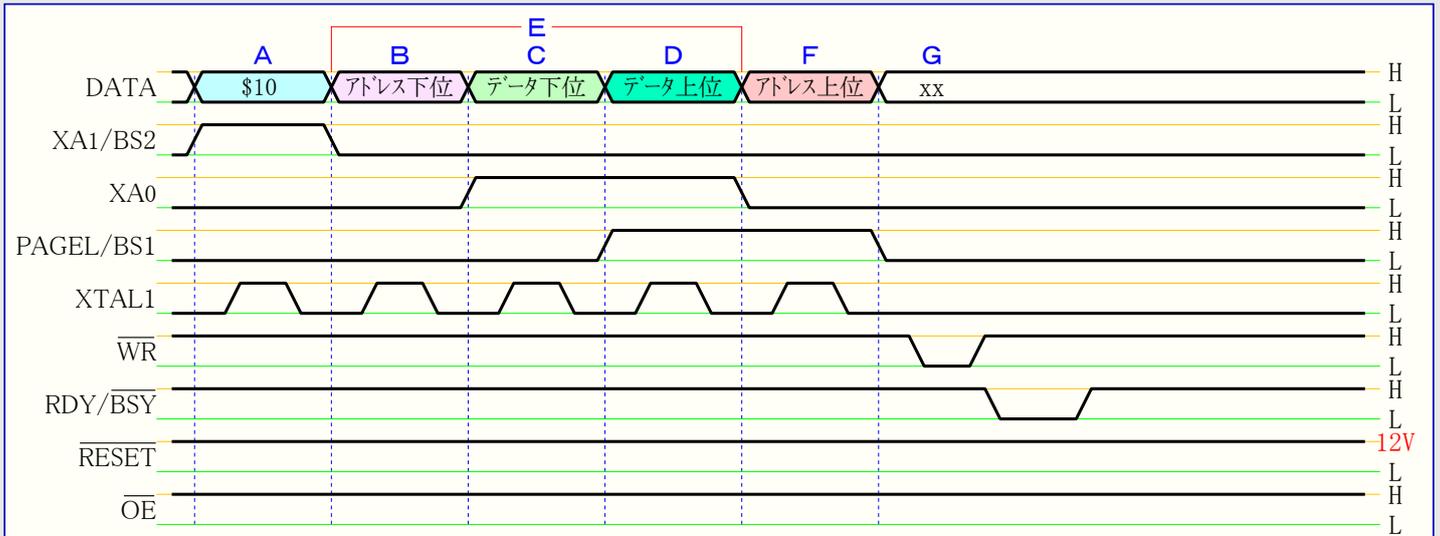
- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図59. ページで構成されたフラッシュメモリのアドレス指定



注: PCPAGEとPCWORDは68頁の表52.で一覧されます。

図60. フラッシュメモリ書き込みタイミング



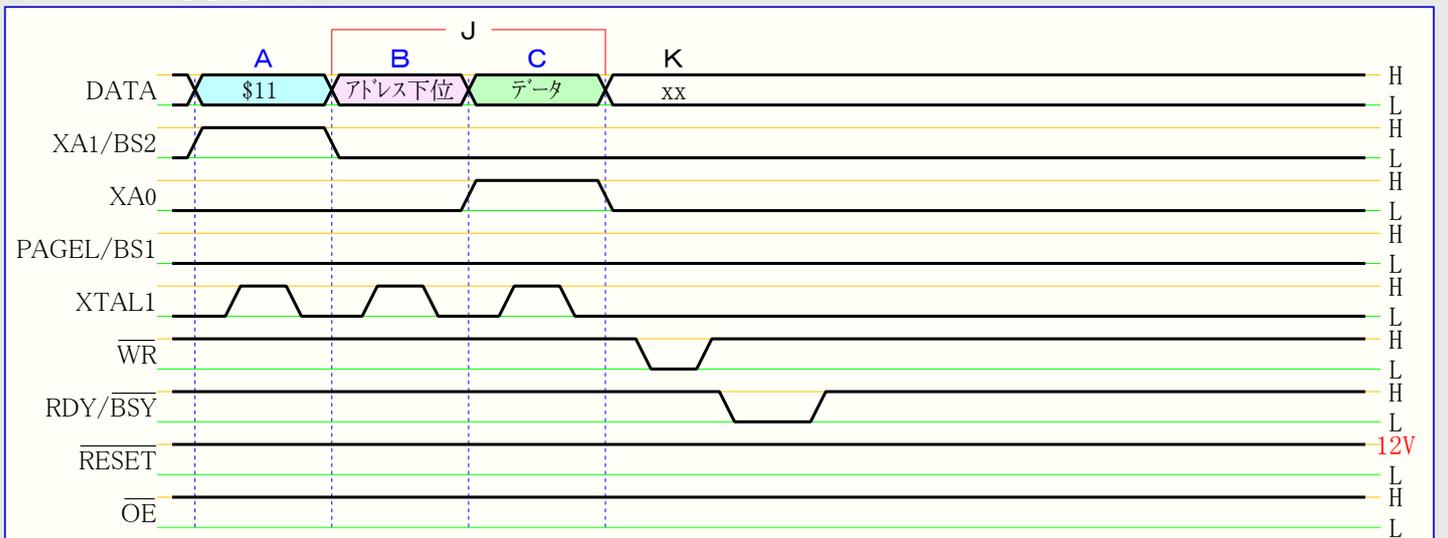
注: xx値は無関係です。A～Gは前記プログラミングを参照してください。

EEPROM書き込み

EEPROMはページで構成されます(68頁の表53参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。EEPROMデータメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については71頁の「フラッシュメモリの書き込み」を参照。図61. タイミング参照。)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス下位バイト(\$00～\$7F)を設定します。(「フラッシュメモリ書き込み」のBを参照)
3. データバイト(\$00～\$FF)を設定します。(「フラッシュメモリ書き込み」のCを参照)
- J. 緩衝部全体が満たされるまで2～3を繰り返します。
- K. EEPROMページ書き込み
 - ① BS1をLow(0)に設定します。
 - ② WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。
 - ③ 次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図61. EEPROM書き込みタイミング



フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. フラッシュメモリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス上位バイト(\$00~\$03)を設定します。(「フラッシュメモリ書き込み」のFを参照)
3. アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」のBを参照)
4. BS1をLow(0)、 \overline{OE} をLow(0)に設定します。フラッシュメモリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュメモリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス下位バイト(\$00~\$7F)を設定します。(「フラッシュメモリ書き込み」のBを参照)
3. BS1をLow(0)、 \overline{OE} をLow(0)に設定します。EEPROMのバイトデータが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

ヒューズ下位ビット書き込み

ヒューズ下位ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

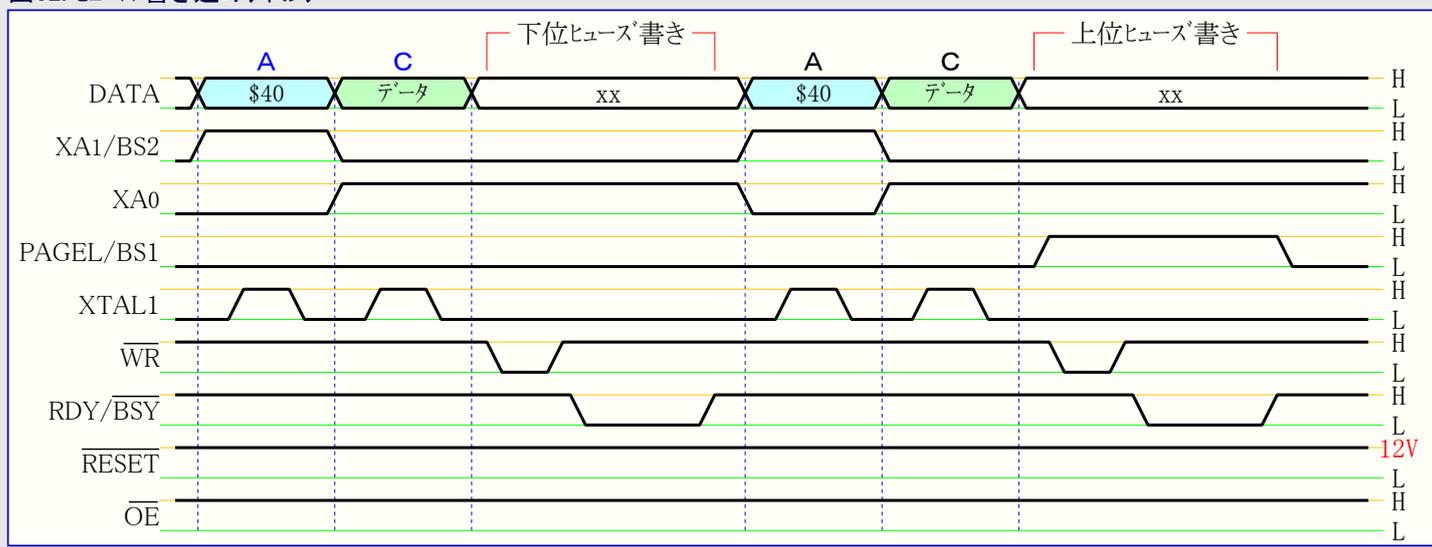
1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のCを参照)
3. BS1とBS2をLow(0)に設定します。
4. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。

ヒューズ上位ビット書き込み

ヒューズ上位ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. ヒューズビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. データ下位バイト(としてデータ)を設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュメモリ書き込み」のCを参照)
3. BS1をHigh(1)にし、BS2をLow(0)に設定します。
4. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。
5. BS1をLow(0)に設定します。これはデータ下位バイトを選択します。

図62. ヒューズ書き込みタイミング



施錠ビット書き込み

施錠ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. データ下位バイト(としてデータ)を設定します。0=プログラム,1=無変化です。(「フラッシュメモリ書き込み」のCを参照)
3. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。

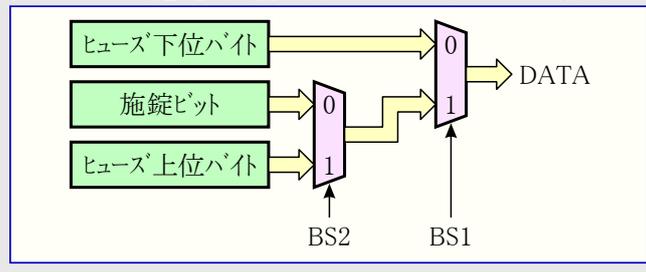
施錠ビットはチップ消去の実行によってのみ解除(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法は次のとおりです。(指令設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. BS1とBS2をLow(0)、 \overline{OE} をLow(0)に設定します。ヒューズ下位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
3. BS1とBS2をHigh(1)、 \overline{OE} をLow(0)に設定します。ヒューズ上位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
4. BS1をhigh(1)、BS2をLow(0)、 \overline{OE} をLow(0)に設定します。施錠ビットの状態が直ぐにDATAで読めます。(0=プログラム)
5. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

図63. ヒューズ、施錠ビット読み出し中のBS1, BS2との関係



識票バイト読み出し

識票バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリ書き込み」のBを参照)
3. BS1をLow(0)、 \overline{OE} をLow(0)に設定します。選択した識票バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

校正バイト読み出し

校正バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については71頁の「フラッシュメモリの書き込み」を参照)

1. 校正バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリ書き込み」のAを参照)
2. アドレス下位バイトに(\$00~\$03)を設定します。(「フラッシュメモリ書き込み」のBを参照)
3. BS1をHigh(1)、 \overline{OE} をLow(0)に設定します。校正バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

並列プログラミング特性

図64. 並列プログラミング タイミング (一般的な必要条件)

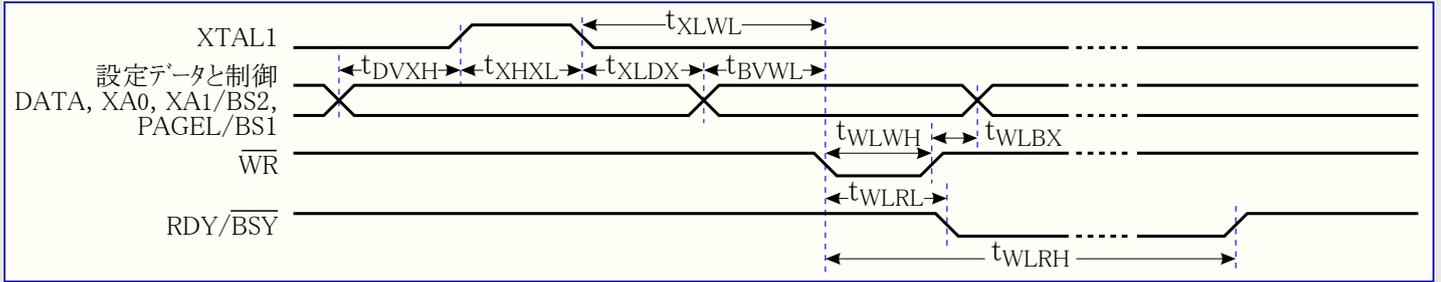
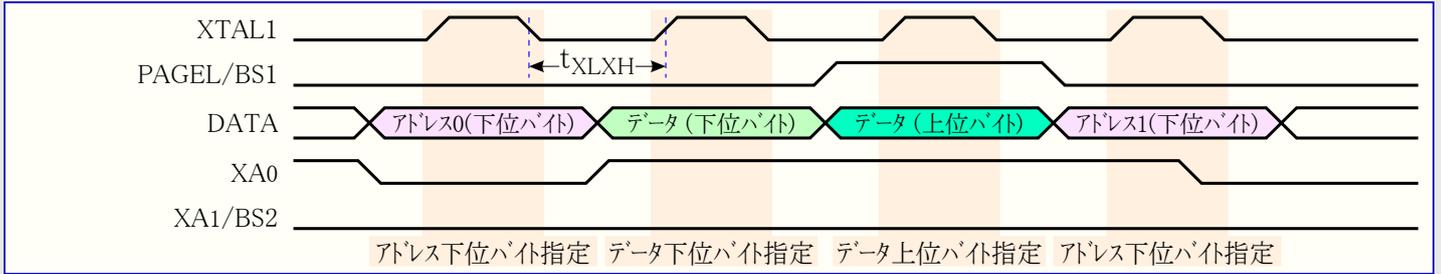
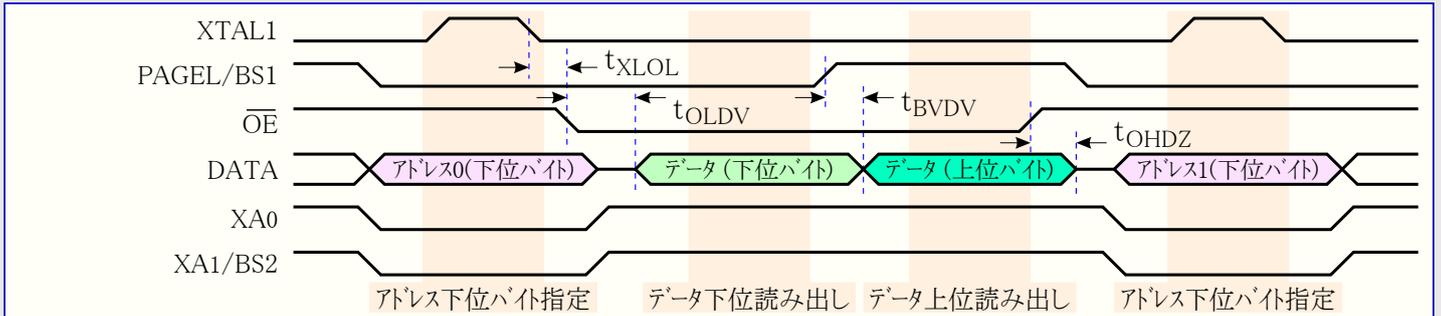


図65. 並列プログラミング タイミング (ページ設定での必要条件)



注: 図64.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は設定操作にも適用されます。

図66. 並列プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図64.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は読み出し操作にも適用されます。

表58. 並列プログラミング特性 (VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位	
VPP	プログラミング許可電圧	11.5		12.5	V	
I _{PP}	プログラミング許可電流			250	μA	
t _{DVXH}	XTAL1 ↑ に対するデータと制御の準備時間	67			ns	
t _{XLXH}	XTAL1 ↓ から次XTAL1 ↑ までの待機時間	200				
t _{XHXL}	XTAL1 Highパルス幅	150				
t _{XLDX}	XTAL1パルス ↓ 後のデータと制御の保持時間	67				
t _{XLWL}	XTAL1パルス ↓ 後のWR ↓ 待機時間	0				
t _{WL\overline{B}X}	WRパルス ↓ 後のBS1,BS2保持時間	67				
t _{BVWL}	WRパルス ↓ に対するBS1準備時間	67				
t _{WLWH}	WR Lowパルス幅	150				
t _{WLRL}	WRパルス ↓ 後のRDY/BSY ↓ 遅延時間	0		1		μs
t _{WLRH}	書き込み時間 (WR ↓ からRDY/BSY ↑) (注1)	3.7		4.5		ms
t _{WLRH\overline{C}E}	チップ消去時間 (WR ↓ からRDY/BSY ↑) (注2)	7.5		9		
t _{XLCL}	XTAL1パルス ↓ 後のOE ↓ 待機時間	0			ns	
t _{BVDV}	BS1有効からのDATA遅延時間	0		250		
t _{OLDV}	OE ↓ 後のDATA出力遅延時間			250		
t _{OH\overline{D}Z}	OE ↑ 後のDATA Hi-Z遅延時間			250		

注1: フラッシュメモリ、EEPROM、ヒューズビット、施錠ビット書き込み指令に対して有効です。

注2: チップ消去指令に対して有効です。

直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立って**プログラミング許可命令**が初めに実行されることを必要とします。**注意**、表59.でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使うとは限りません。直列プログラミングについての記述を通しては直列入力と直列出力を記述するのに各々MOSIとMISOが使われることに注意してください。

直列プログラミング用ピン配置

表59. 直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB0	入力	直列データ入力
MISO	PB1	出力	直列データ出力
SCK	PB2	入力	直列クロック

EEPROMをプログラミングするとき、自動消去周期が自動書き込み動作内に組み入れられ(直列プログラミングのみ)、**チップ消去命令**を初めに実行する必要があります。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFにします。

CKSELヒューズによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間 > 2CPUクロック周期	$f_{CK} < 12\text{MHz}$: High区間 > 2CPUクロック周期
$f_{CK} \geq 12\text{MHz}$: Low区間 > 3CPUクロック周期	$f_{CK} \geq 12\text{MHz}$: High区間 > 3CPUクロック周期

直列プログラミング手順

ATtiny26に直列データを書くとき、データはSCKの上昇端で行われ、ATtiny26から読むとき、データはSCKの下降端で行われます。タイミングの詳細については図68.、図69.、表62.をご覧ください。

直列プログラミング動作でのATtiny26のプログラミングと照合は次の手順が推奨されます(4バイト命令形式は表61.をご覧ください)。

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されることを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロック周期幅の正パルスを与えられなければなりません。

2. 最低20ms待ち、MOSIピンに**プログラミング許可命令**を送ることによって直列プログラミングを許可してください。

3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1ページ単位で書かれます。ページ容量は68頁の表52.で得られます。このメモリページはページ設定命令と共にアドレスの下位4+1ビットとデータを供給することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、データ上位バイトが与えられたアドレスに適用される前に、データ下位バイトが設定されなければなりません。(プログラムメモリ)のページはアドレスの上位6ビットを含む**ページ書き込み命令**の設定によって(フラッシュメモリ)に格納されます。**ホーリング**が使われない場合、使用者は次のページを行う前に最低tWD_FLASH(表60.参照)待たなければなりません。

注: 何れの(フラッシュ、EEPROM、施錠ビット、ヒューズ)書き込み操作が完了される前に**ホーリング**(読み)以外の命令が加えられると、不正な書き込みに終わるかもしれません(**訳注:**共通性のため原書の該当行に代わり本行追加)。

5. EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って、始めて自動的に消去されます。**ホーリング**が使われない場合、次のバイトを行う前に最低tWD_EEPROM(表60.参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

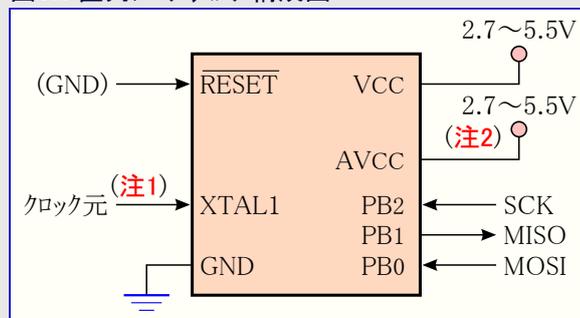
6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す**読み出し命令**を使うことによって照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順 (必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

図67. 直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、XTAL1ピンにクロック元を接続する必要はありません。

注2: $VCC - 0.3V < AVCC < VCC + 0.3V$ ですが、AVCCは常に2.7~5.5V内にすべきです。

フラッシュメモリのデータポーリング

フラッシュメモリにページが書かれつつある時の書かれているページ内のアドレス位置読み出しは値\$FFを与えます。デバイスが新規ページに対する準備ができると、書いた値が正しく読めます。これは次ページが書ける時を決めるのに使われます。ページ全体が同時に書かれ、ページ内のどのアドレスでもポーリングに使えることに留意してください。フラッシュメモリのデータポーリングは値\$FFに対して行えないので、この値を書く時に使用者は次ページを書く前に最低tWD_FLASH待たなければなりません。全ての場所が\$FFのチップ消去されたデバイスは\$FFデータのアドレスの書き込みを飛ばせます。tWD_FLASH値については表60をご覧ください。

EEPROMのデータポーリング

新規バイト(書き込み命令)が書かれてEEPROM内に書かれつつある時の書かれているアドレス位置読み出しは値\$FFを与えます。デバイスが新規バイトに対する準備ができると、書いた値が正しく読めます。これは次バイトが書ける時を決めるのに使われます。これは値\$FFに対して行えませんが、使用者は次のことを覚えておくべきです。全ての場所が\$FFのチップ消去されたデバイスは\$FFデータのアドレスの書き込みを飛ばせます。これはデバイスをチップ消去せずにEEPROMが書き換えられる場合には適用しません。この場合、データポーリングは値\$FFに対して使えず、次バイト書き込み前に最低tWD_EEPROM待たなければなりません。tWD_EEPROM値については表60をご覧ください。

表60. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	9.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

図68. 直列プログラミングバイト通信波形

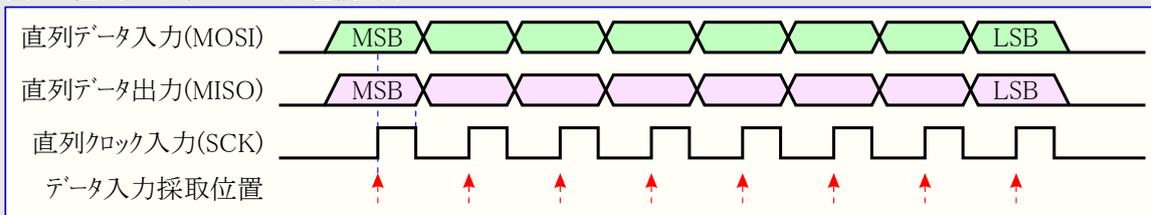


表61. 直列プログラミング命令一式

命令	命令形式				動作
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	1010 1100	0101 0011	xxxx xxxx	xxxx xxxx	RESET=Low後のプログラミングを許可します。
チップ消去	1010 1100	100x xxxx	xxxx xxxx	xxxx xxxx	フラッシュメモリ,EEPROM,施錠ビットを消去します。
フラッシュメモリ読み出し	0010 P000	xxxx xxHH	LLLL LLLL	RRRR RRRR	アドレスH:LのP(H/L)バイトを読み出します。
ページ一時緩衝部設定	0100 P000	xxxx xxxx	xxxx LLLL	WWWW WWWW	緩衝部アドレスLのP(H/L)バイトに書き込みます。
フラッシュページ書き込み	0100 1100	xxxx xxHH	LLLL xxxx	xxxx xxxx	アドレスH:Lのページに書き込みます。
EEPROM読み出し	1010 0000	xxxx xxxx	xLLL LLLL	RRRR RRRR	アドレスH:Lのバイトを読み出します。
EEPROM書き込み	1100 0000	xxxx xxxx	xLLL LLLL	WWWW WWWW	アドレスH:Lのバイトに書き込みます。
施錠ビット読み出し	0101 1000	0000 0000	xxxx xxxx	xxxx xxRR	施錠ビットを読み出します。
施錠ビット書き込み	1010 1100	111x xxxx	xxxx xxxx	1111 11WW	(67頁の表48.参照)に書き込みます。
ヒューズ下位読み出し	0101 0000	0000 0000	xxxx xxxx	RRRR RRRR	ヒューズ下位ビットを読み出します。
ヒューズ下位書き込み	1010 1100	1010 0000	xxxx xxxx	WWWW WWWW	(68頁の表51.参照)に書き込みます。
ヒューズ上位読み出し	0101 1000	0000 1000	xxxx xxxx	xxxR RRRR	ヒューズ上位ビットを読み出します。
ヒューズ上位書き込み	1010 1100	1010 1000	xxxx xxxx	xxxW WWWW	(68頁の表50.参照)に書き込みます。
識票バイト読み出し	0011 0000	xxxx xxxx	xxxx xxLL	RRRR RRRR	アドレスLの識票バイトを読み出します。
校正バイト読み出し	0011 1000	xxxx xxxx	0000 00LL	RRRR RRRR	アドレスLの校正バイトを読み出します。

H = アドレス上位バイトのビット L = アドレス下位バイトのビット P = 0=下位バイト、1=上位バイト
R = 読み出しデータ (MCU出力) W = 書き込みデータ (MCU入力) x = 0または1 (無意味/不定)

直列プログラミング特性

図69. 直列プログラミング タイミング

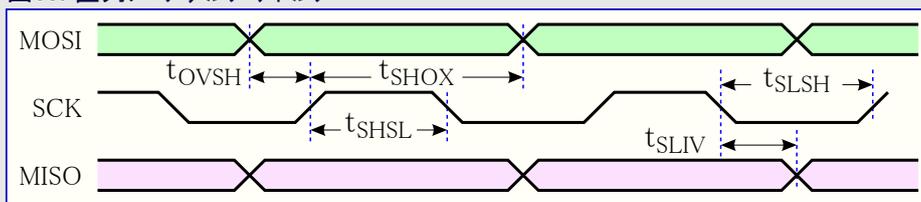


表62. 直列プログラミング特性 (特記条件を除いて、TA=-40°C~85°C, VCC=2.7~5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	2.7~5.5V	0	8	MHz
		4.5~5.5V	0	16	
tCLCL	発振器周期	2.7~5.5V	125		ns
		4.5~5.5V	62.5		
tSHSL	SCKパルスHレベル幅 (注1)	2tCLCL			
tSLSH	SCKパルスLレベル幅 (注1)	2tCLCL			
tOVSH	SCK↑に対するMOSI準備時間	tCLCL			
tSHOX	SCK↑に対するMOSI保持時間	2tCLCL			
tSLIV	SCK↓に対するMISO出力遅延時間		20		

注1: $f_{CK} < 12\text{MHz}$ 時 $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ 時 $3t_{CLCL}$ 。

電気的特性

絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=2.7V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位	
VIL	Lowレベル入力電圧	XTAL1, RESETを除く	-0.5		0.2VCC (注2)	V	
VIL1	Lowレベル入力電圧	XTAL1	-0.5		0.1VCC (注2)		
VIL2	Lowレベル入力電圧	RESET	-0.5		0.2VCC (注2)		
VIL3	Lowレベル入力電圧	I/OとしてのRESETピン	-0.5		0.2VCC (注2)		
VIH	Highレベル入力電圧	XTAL1, RESETを除く	0.6VCC (注3)		VCC+0.5		
VIH1	Highレベル入力電圧	XTAL1	0.8VCC (注3)		VCC+0.5		
VIH2	Highレベル入力電圧	RESET	0.9VCC (注3)		VCC+0.5		
VIH3	Highレベル入力電圧	I/OとしてのRESETピン	0.6VCC (注3)		VCC+0.5		
VOL	Lレベル出力電圧 (ポートA,B)	(注4)	IOL=20mA, VCC=5V		0.7	mV	
			IOL=10mA, VCC=3V		0.5		
VOH	Hレベル出力電圧 (ポートA,B)	(注5)	IOH=-20mA, VCC=5V	4.2		mV	
			IOH=-10mA, VCC=3V	2.3			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V (絶対値)			1	μA	
IiH	I/OピンHighレベル入力漏れ電流	確実なH/L範囲			1		
RRST	RESETピンプルアップ抵抗		20		100	kΩ	
RPU	I/Oピンプルアップ抵抗		20		100		
ICC	活動動作消費電流	ATtiny26L	VCC=3V, 1MHz		0.70 (注1)	mA	
			VCC=3V, 4MHz		2.5 (注1)		6
	ATtiny26	VCC=5V, 8MHz		8 (注1)	15		
		VCC=3V, 1MHz		0.18 (注1)			
	アイドル動作消費電流	ATtiny26L	VCC=3V, 4MHz		0.75 (注1)		2
			ATtiny26	VCC=5V, 8MHz			3.5 (注1)
パワーダウン動作消費電流	(注6)	VCC=3V, WDT許可		7.5 (注1)	15	μA	
		VCC=3V, WDT禁止		0.3 (注1)	3		
VACIO	アナログ比較器入力オフセット電圧	VCC=5V, Vin=VCC/2		<10	40	mV	
IACLK	アナログ比較器入力漏れ電流		-50		50	nA	
tACPD	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns	
		VCC=4.0V		500			

注1: 25°Cでの代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

(注4)~(注6)は次頁を参照してください。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで20mA、VCC=3Vで10mA)よりも多くの吸い込み電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOLの合計が400mAを超えるべきではありません。
2. ポートA0~A7のIOLの合計が300mAを超えるべきではありません。
3. ポートB0~B7のIOLの合計が300mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件よりも大きな吸い込み電流を流すことは保証されません。

注5: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで20mA、VCC=3Vで10mA)よりも多くの吐き出し電流を流すことができますが、次の条件を厳守しなければなりません。

1. 全ポートのIOHの合計が400mAを超えるべきではありません。
2. ポートA0~A7のIOHの合計が300mAを超えるべきではありません。
3. ポートB0~B7のIOHの合計が300mAを超えるべきではありません。

IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件よりも大きな吐き出し電流を流すことは保証されません。

注6: パワーダウン動作に対する最小電源電圧(VCC)は2.5Vです。

外部クロック特性

図70. 外部クロック駆動波形

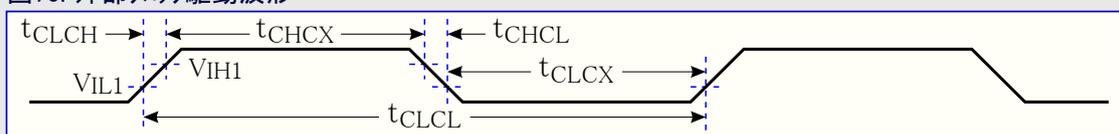


表63. 外部クロック特性

シンボル	項目	VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	8	0	16	MHz
tCLCL	クロック周期	125		62.5		ns
tCHCX	Highレベル時間	50		25		
tCLCX	Lowレベル時間	50		25		
tCLCH	上昇時間		1.6		0.5	μs
tCHCL	下降時間		1.6		0.5	
ΔtCLCL	隣接クロック周期間の変化率		2		2	%

注: 詳細については17頁の「外部クロック信号」を参照してください。

表64. 代表的な外部RC発振周波数

周波数 f	抵抗 R (kΩ)	容量 C (pF)
650kHz	33	22
2.0MHz	10	22

注: Rの範囲は3~100kΩ、Cは最小20pFとすべきです。表で与えられたCの値はピン容量を含みます。これは外圍器形状や基板配置で変化します。

A/D変換器特性

表65. A/D変換特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位	
シングル エンド 入力 変換	分解能			10		ビット	
	絶対精度 (INL,DNL,利得, オフセット,量子化 誤差を含む)	VCC=4V	変換クロック=200kHz		1		LSB
		VREF=4V	変換クロック=1MHz		2		
		雑音低 減動作	変換クロック=200kHz		1		
			変換クロック=1MHz		2		
	積分非直線性誤差(INL)	VCC=4V VREF=4V 変換クロック=200kHz			0.5		LSB
	微分非直線性誤差(DNL)				0.5		
	オフセット(ゼロ)誤差				0.5		
	利得誤差				0.75		
		変換クロック周波数		50		1000	kHz
		変換時間	連続変換動作	13		260	μs
	VREF	基準電圧		2.0		AVCC	V
	VIN	入力電圧		GND		VREF	V
	入力周波数帯域			38.5		kHz	
差動 入力 変換	分解能	VCC=5V VREF=4V 変換クロック=50~200kHz	×1			10	ビット
			×20			10	
	絶対精度 (オフセット,利得誤差校正後)		×1		24		LSB
			×20		27		
	積分非直線性誤差(INL)		×1		1.5		
			×20		2		
	オフセット(ゼロ)誤差	×1		4			
		×20		6			
	利得誤差	×1		2		%	
		×20		2.5			
		変換クロック周波数		50		200	kHz
		変換時間		65		260	μs
	VREF	基準電圧		2.0		AVCC-0.5	V
VIN	入力電圧		GND		VCC		
VDIFF	差動入力電圧差		0		VREF/利得		
	入力周波数帯域			4		kHz	
共通	A/D変換出力		0		1023	LSB	
	AVCC	アナログ供給電圧	VCC-0.3(注1)		VCC+0.3(注2)	V	
	VINT	内蔵2.56V基準電圧	2.4	2.7	2.9		
	RREF	基準電圧入力インピーダンス		32		kΩ	
	RAIN	アナログ入力インピーダンス		100		MΩ	

注1: AVCCの最小値は2.7Vです。

注2: AVCCの最大値は5.5Vです。

(訳注) 原書の表65.と表66.は表65.として統合しました。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

デバイスは検査範囲よりも高い周波数特性を示します。デバイスは注文番号が示す周波数よりも高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

活動動作消費電流

図71. 活動動作消費電流 対 周波数 (100kHz~1MHz)

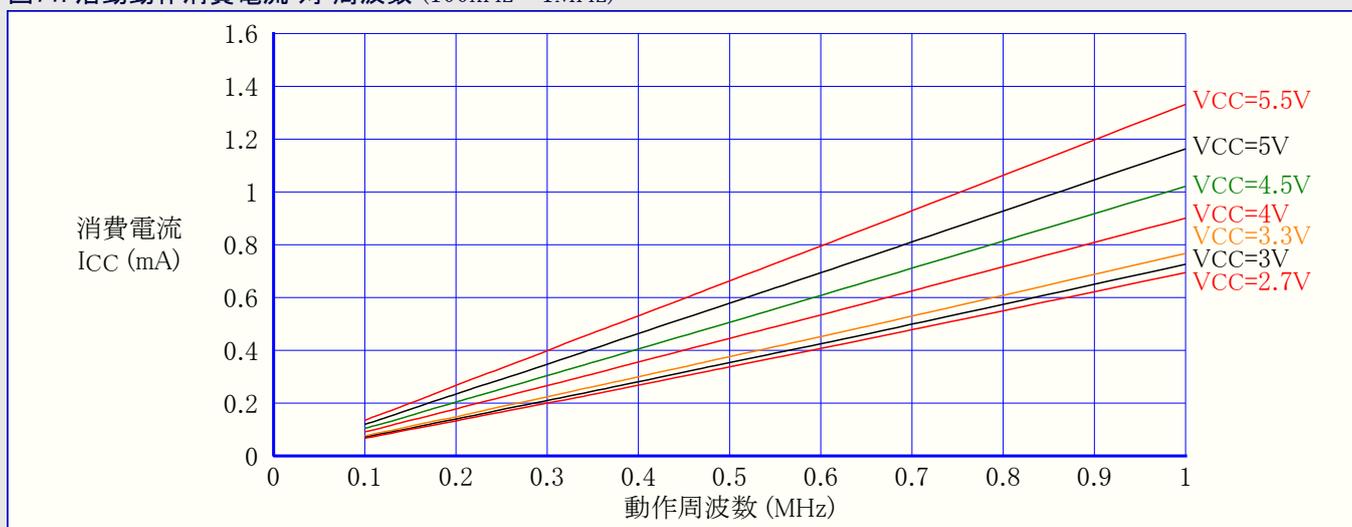


図72. 活動動作消費電流 対 周波数 (1MHz~20MHz)

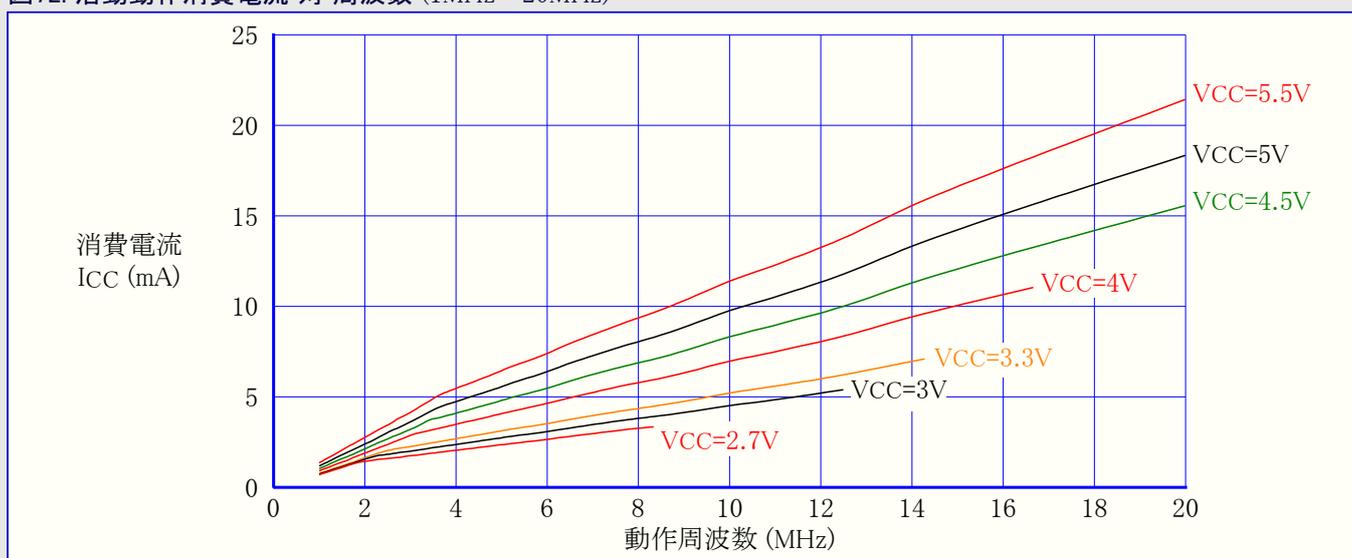


図73. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

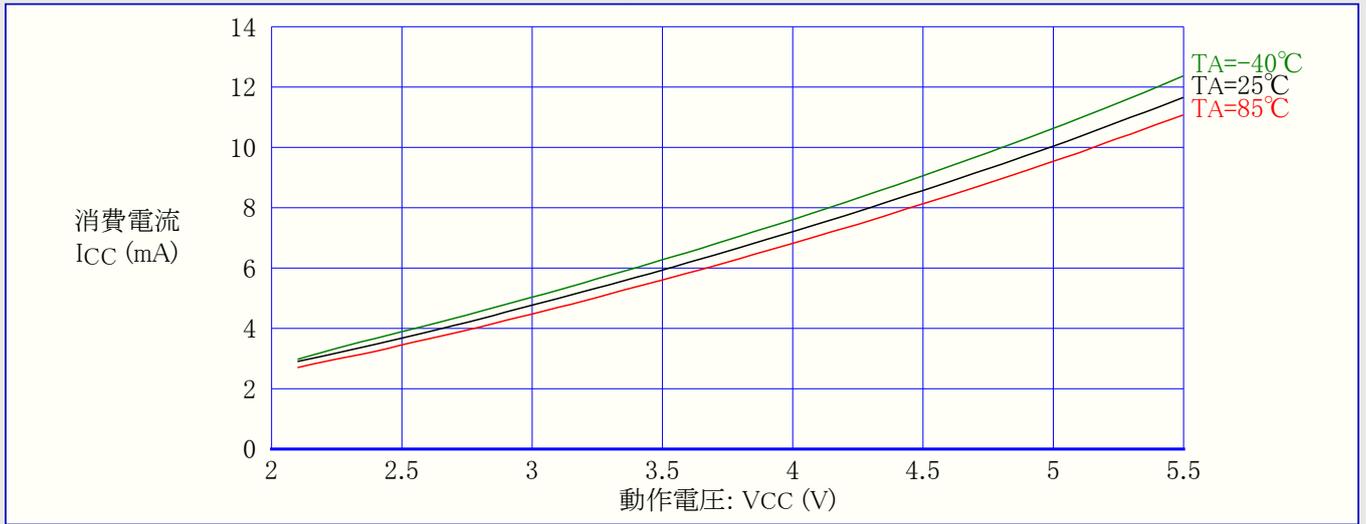


図74. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

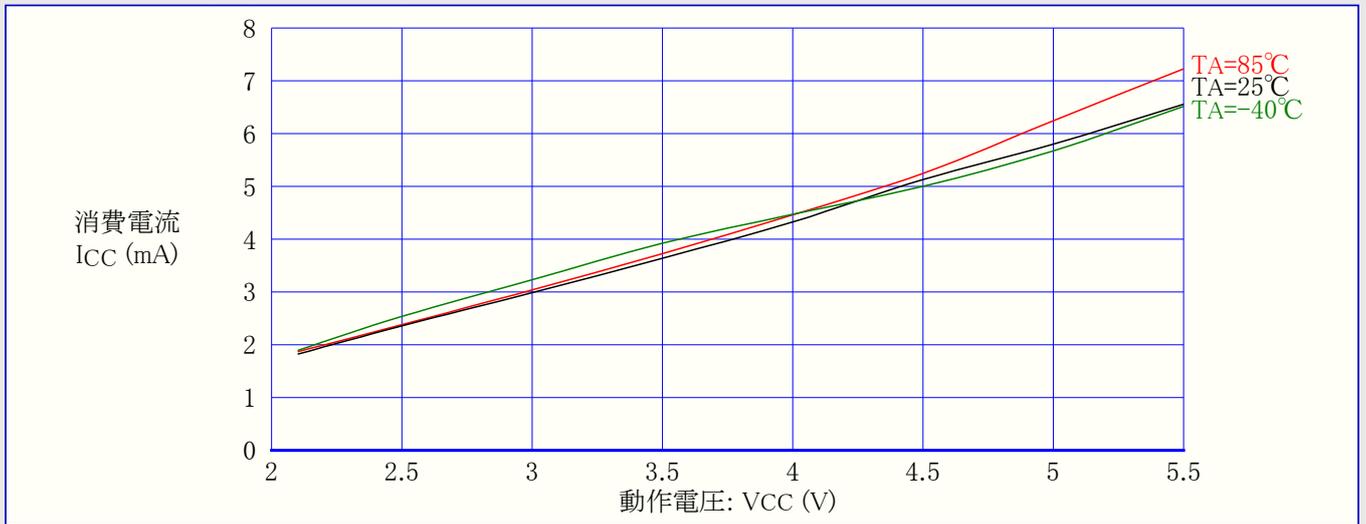


図75. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)

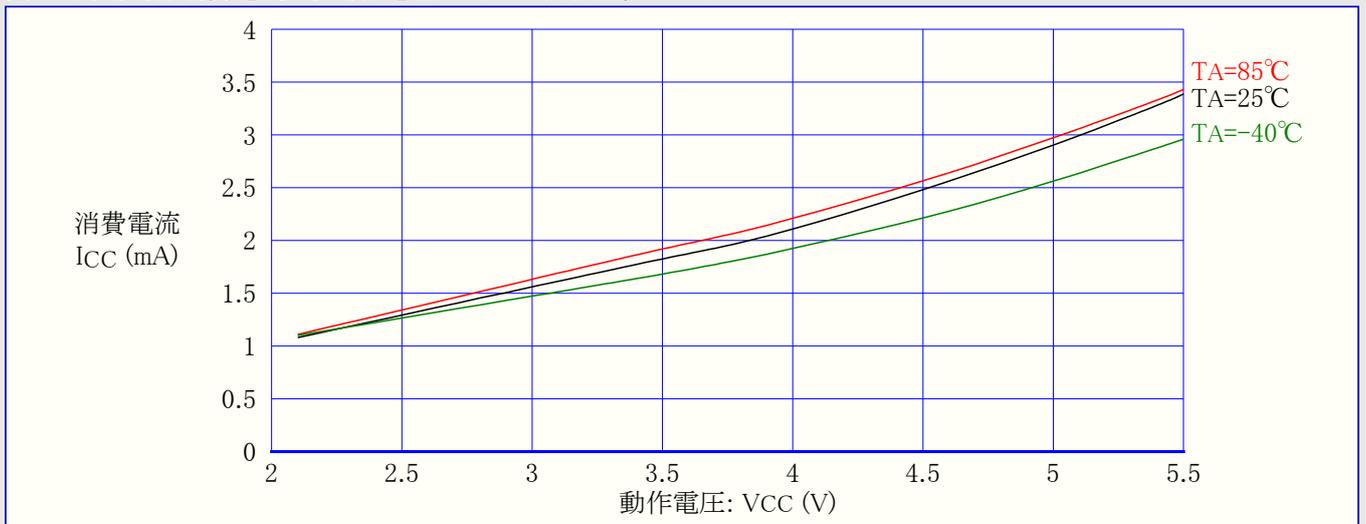


図76. 活動動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)

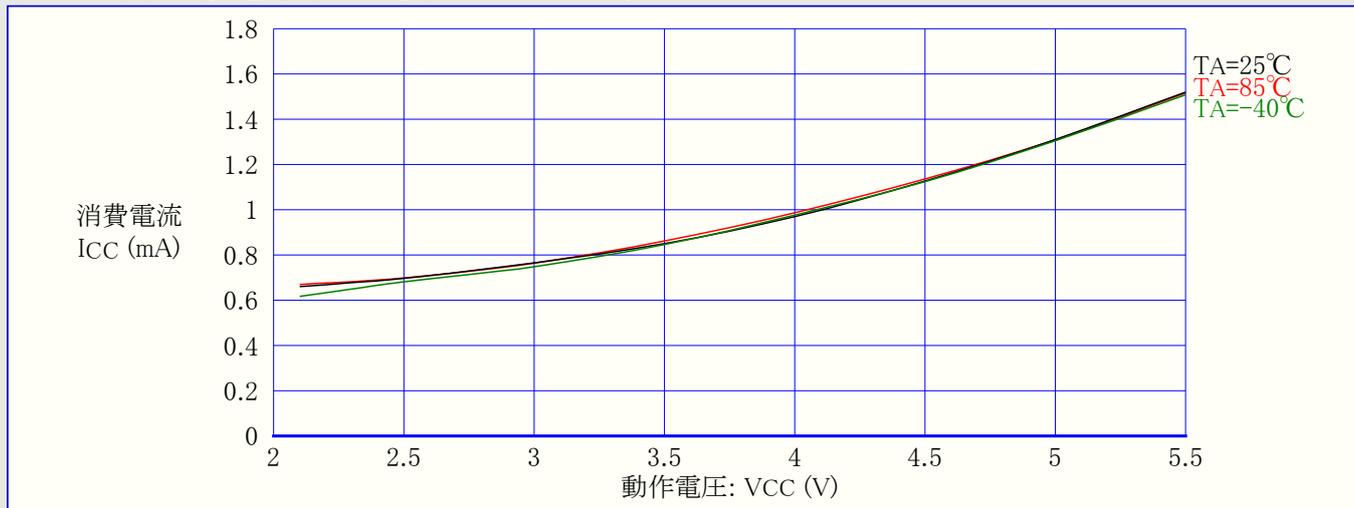


図77. 活動動作消費電流 対 動作電圧 (PLL発振器)

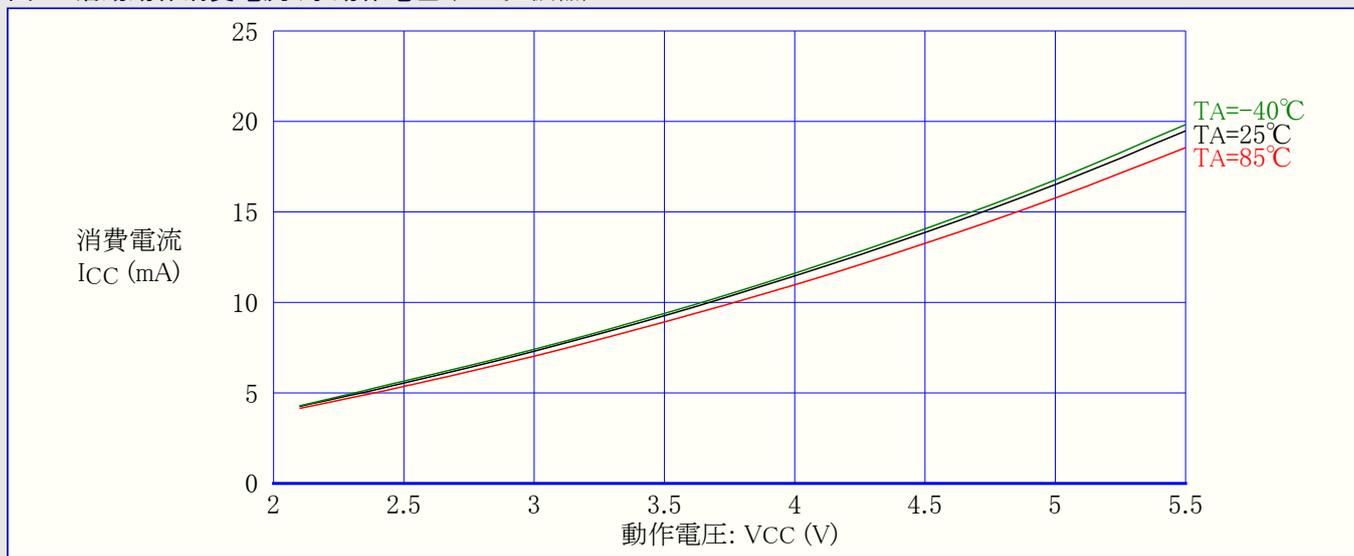
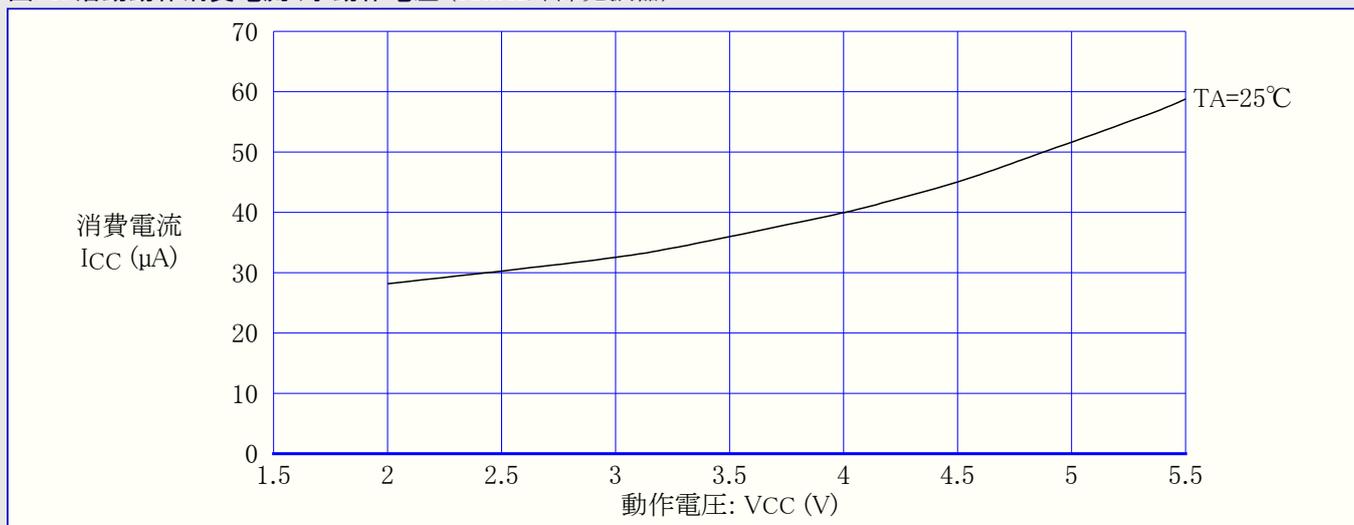


図78. 活動動作消費電流 対 動作電圧 (32kHz外部発振器)



アイドル動作消費電流

図79. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

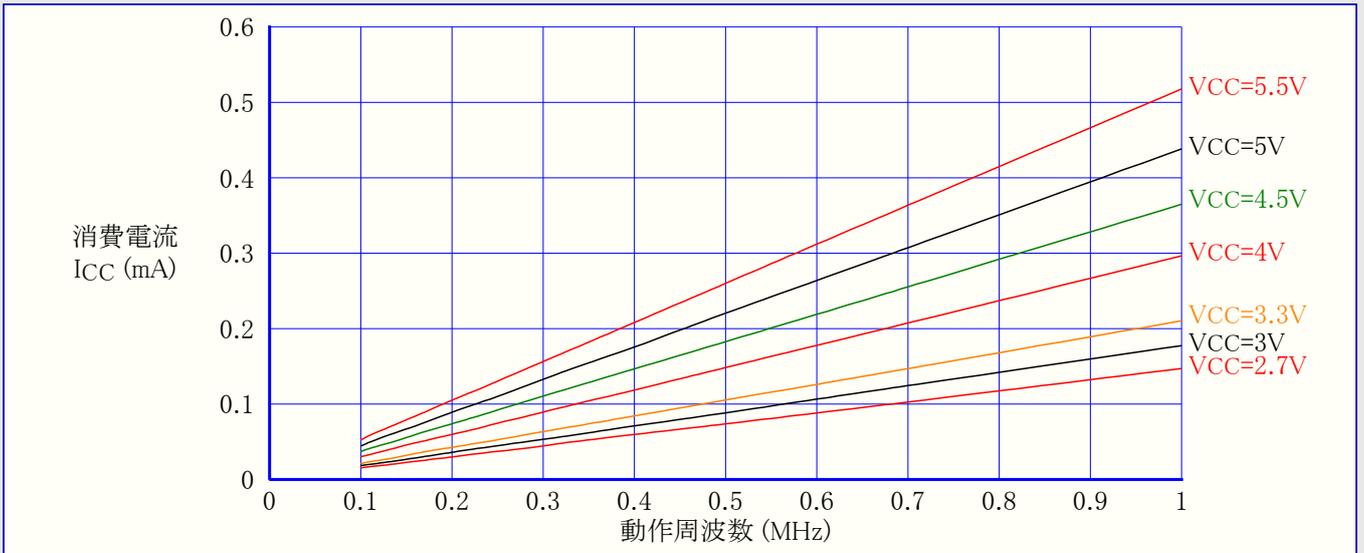


図80. アイドル動作消費電流 対 周波数 (1MHz~20MHz)

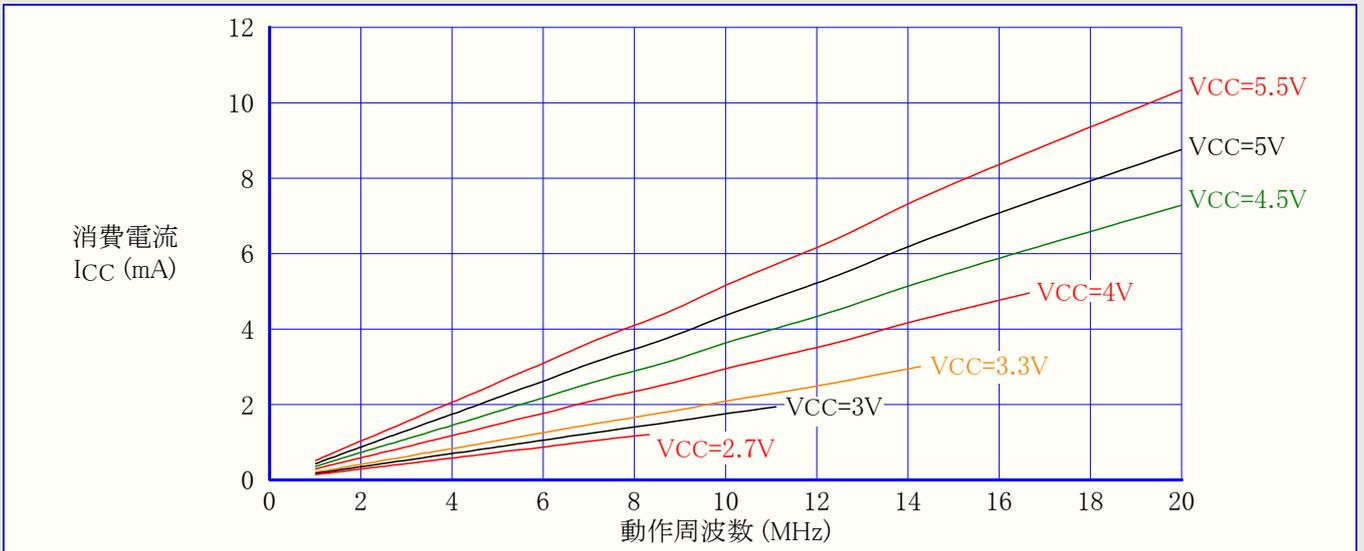


図81. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

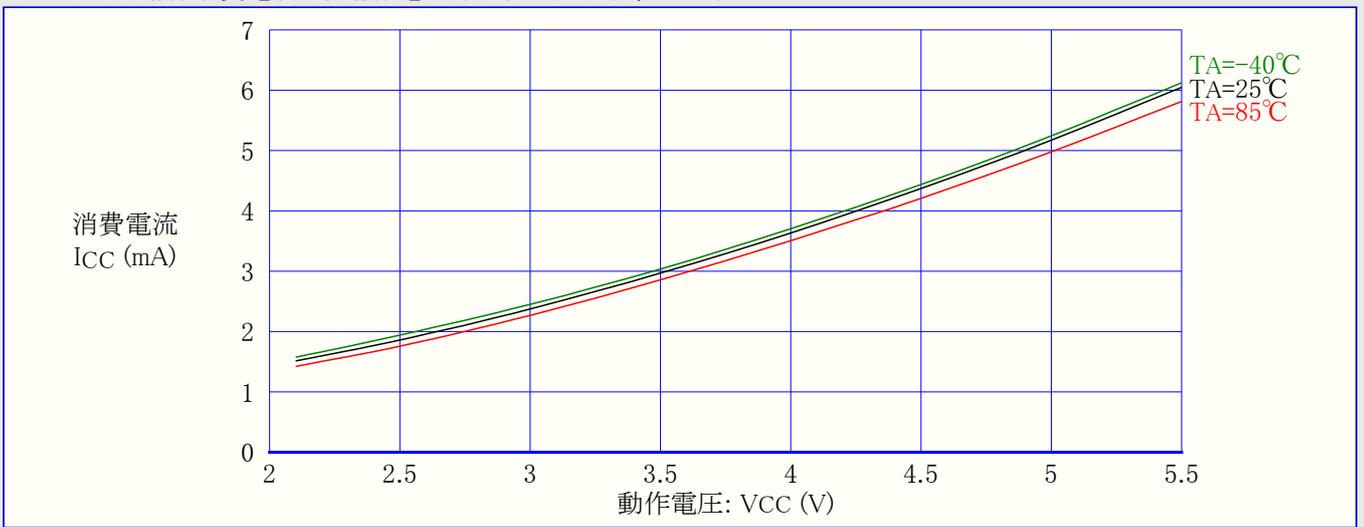


図82. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 4MHz)

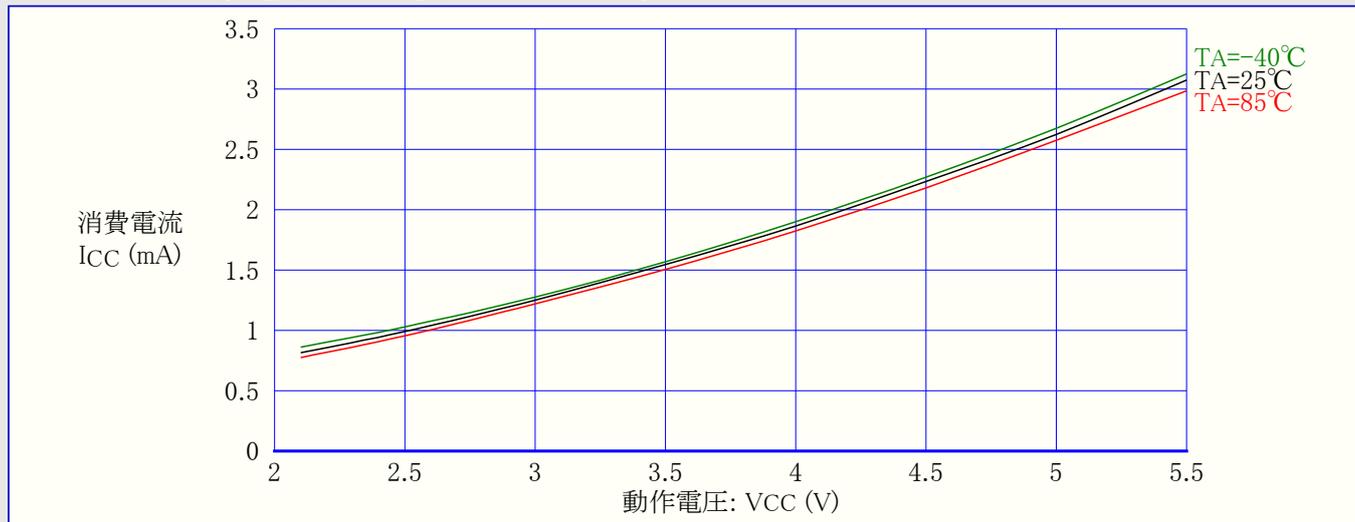


図83. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 2MHz)

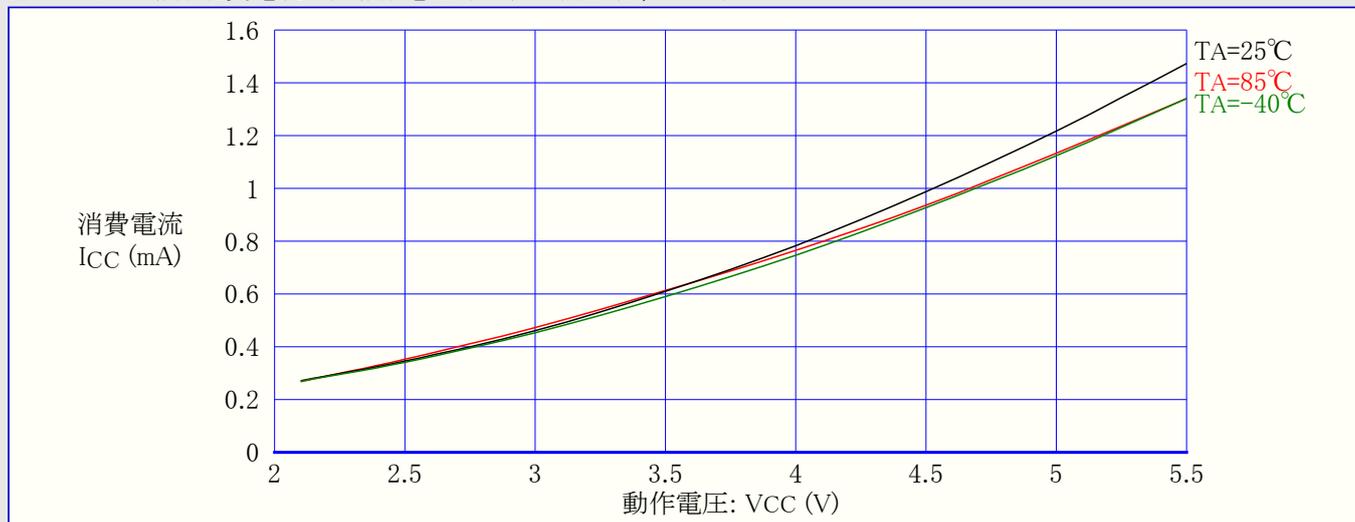


図84. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 1MHz)

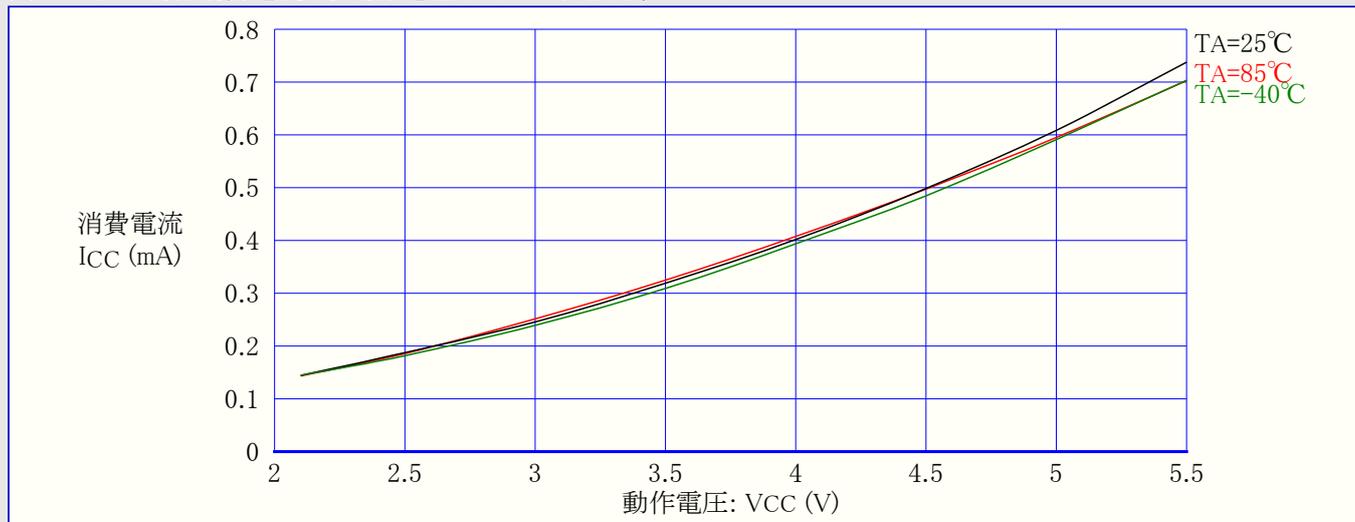


図85. アイドル動作消費電流 対 動作電圧 (PLL発振器)

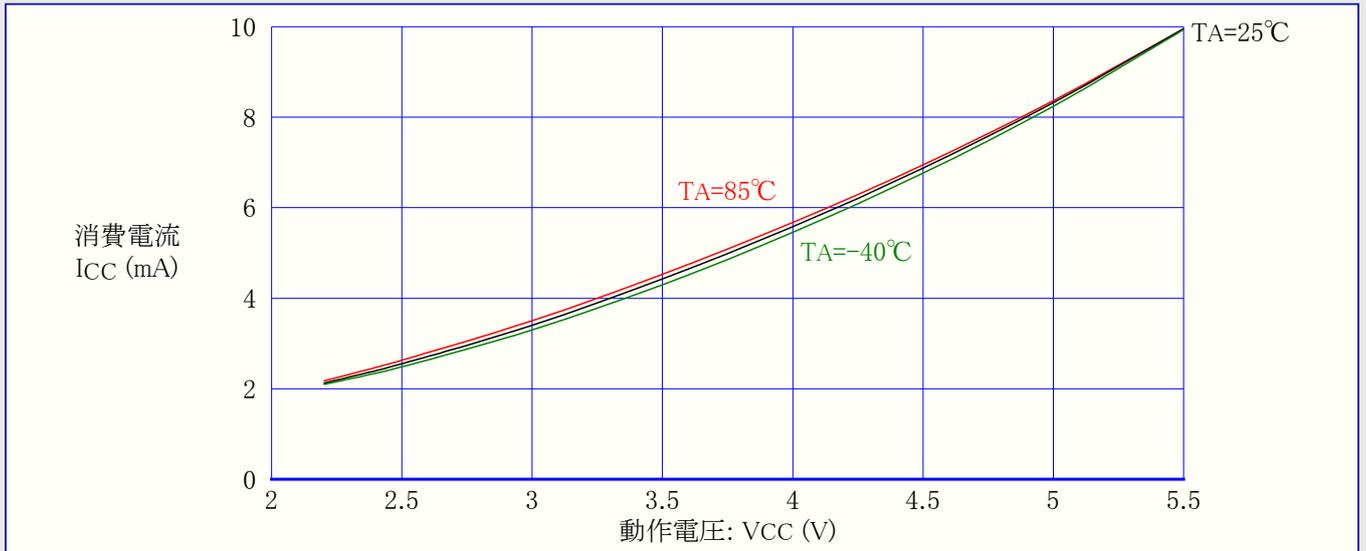
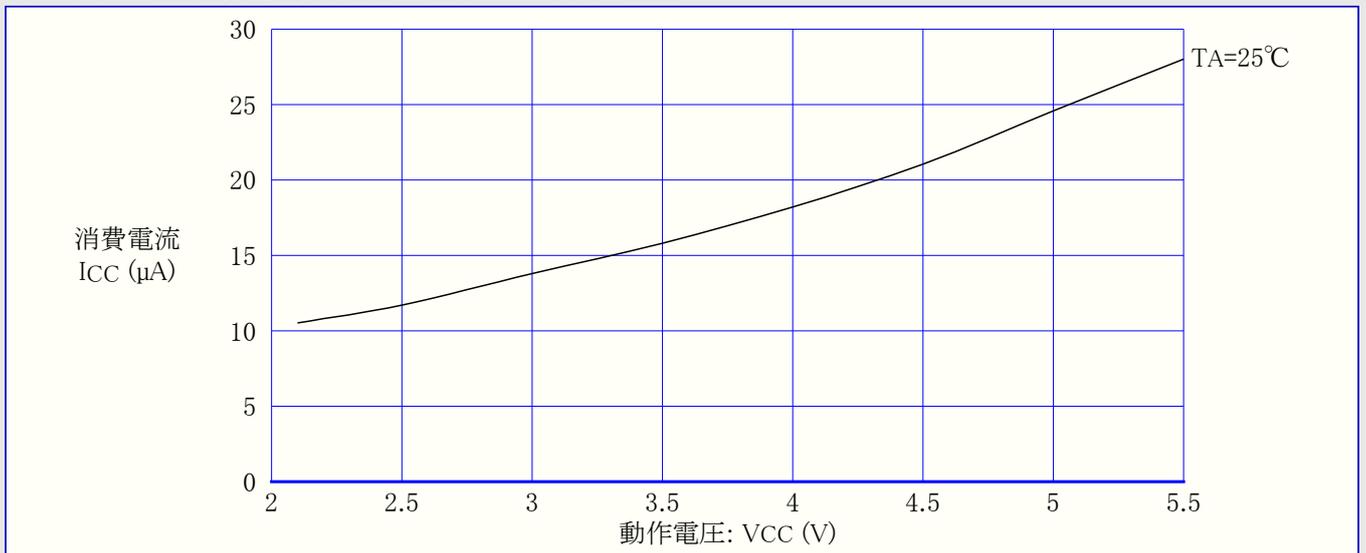


図86. アイドル動作消費電流 対 動作電圧 (32kHz外部発振器)



パワーダウン動作消費電流

図87. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

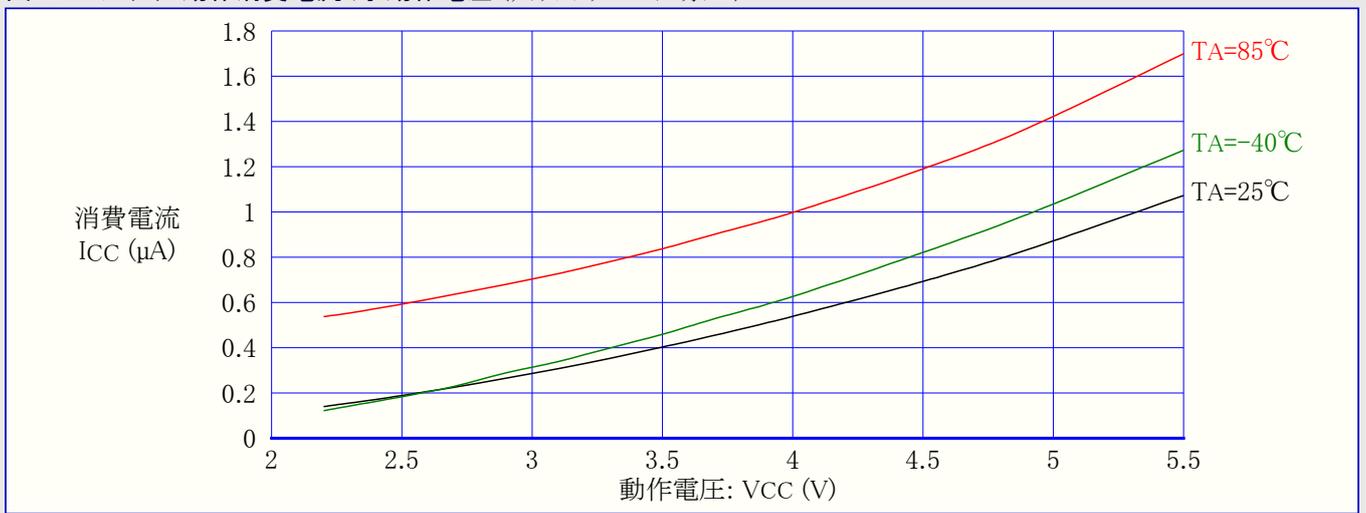
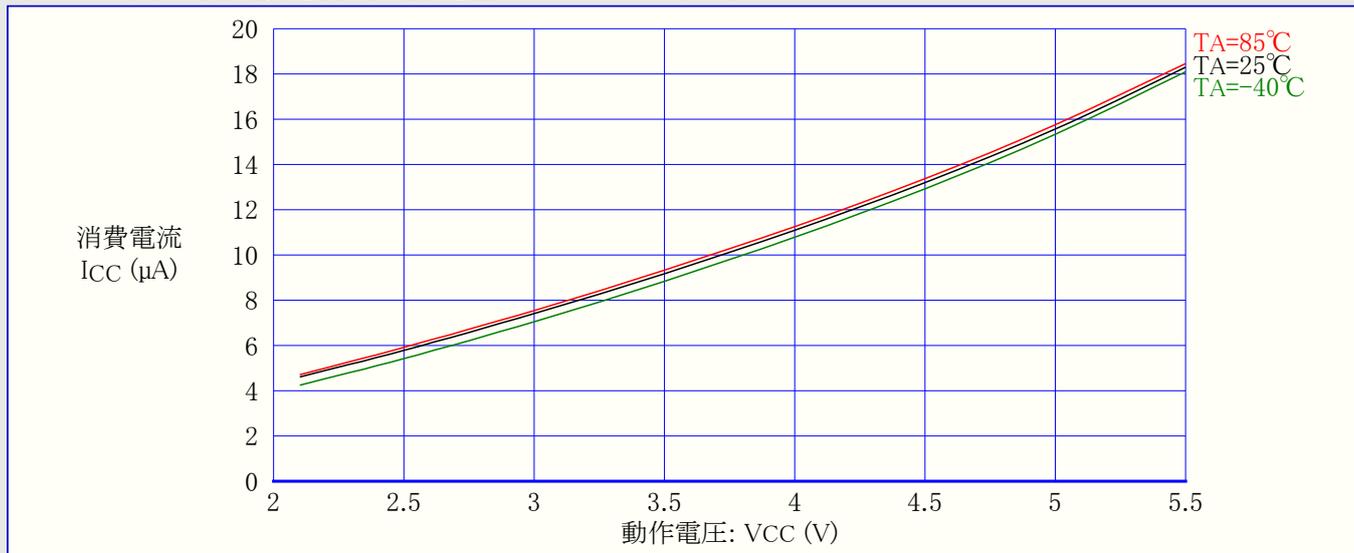


図88. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



スタンバイ動作消費電流

図89. スタンバイ動作消費電流 対 動作電圧 (455kHzセラミック振動子、ウォッチドッグ タイマ禁止)

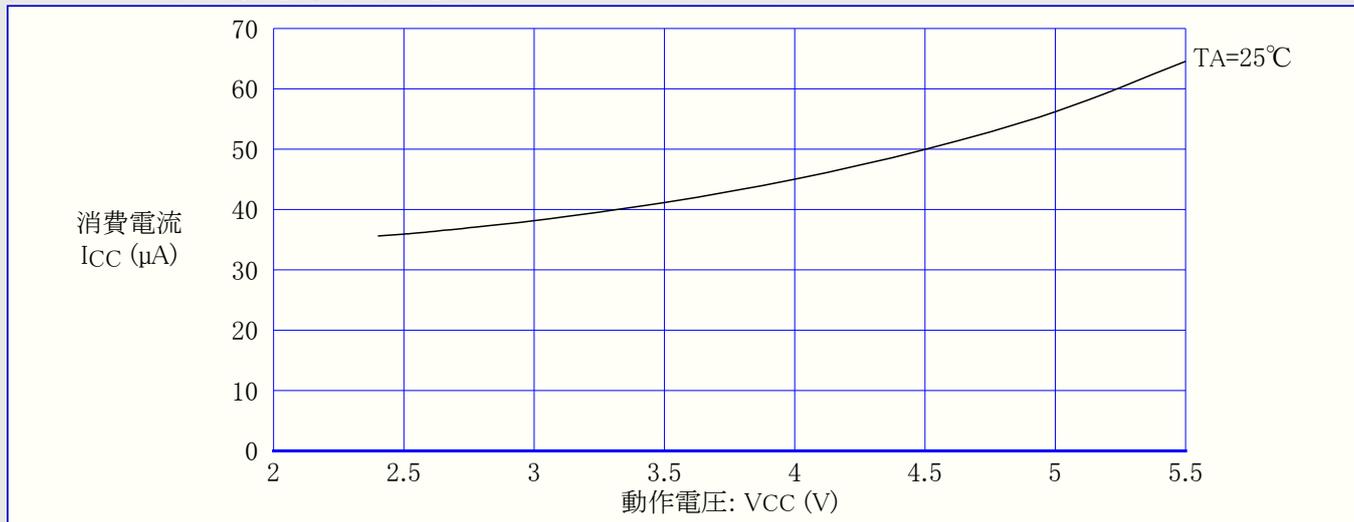


図90. スタンバイ動作消費電流 対 動作電圧 (1MHzセラミック振動子、ウォッチドッグ タイマ禁止)

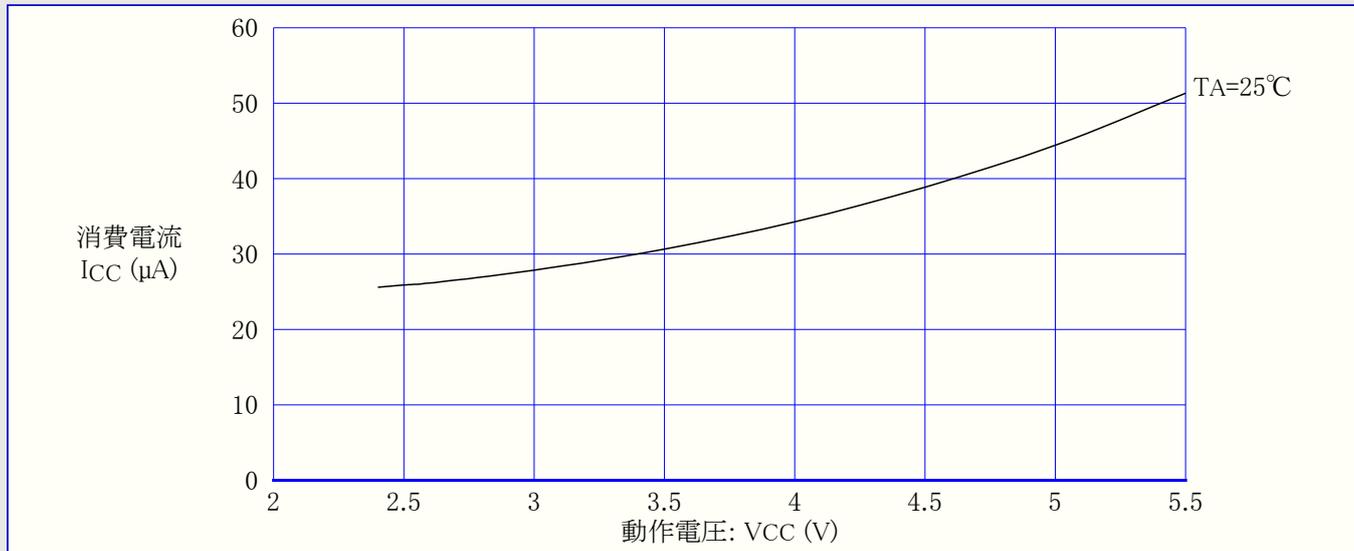


図91. スタンバイ動作消費電流 対 動作電圧 (2MHzセラミック振動子、ウォッチドッグ タイマ禁止)

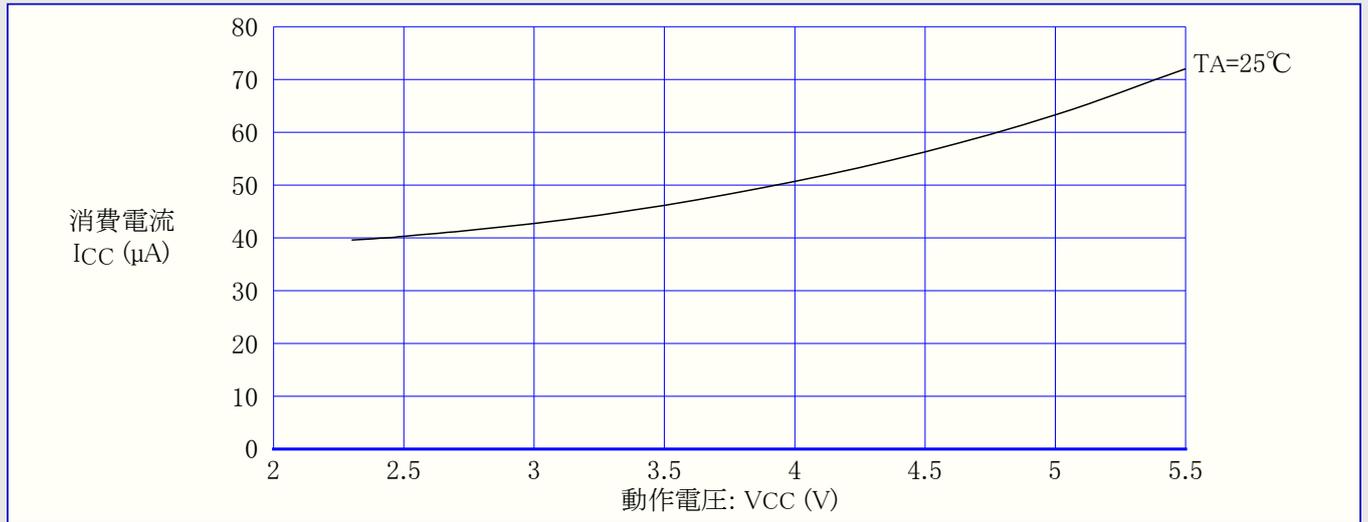


図92. スタンバイ動作消費電流 対 動作電圧 (2MHzクリスタル発振子、ウォッチドッグ タイマ禁止)

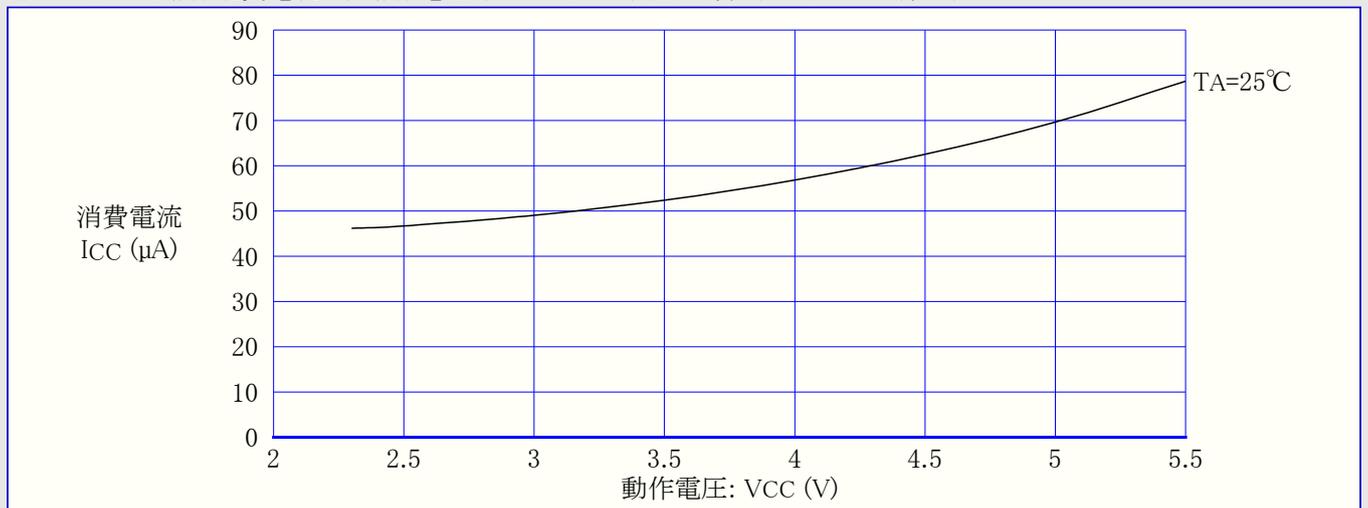


図93. スタンバイ動作消費電流 対 動作電圧 (4MHzセラミック振動子、ウォッチドッグ タイマ禁止)

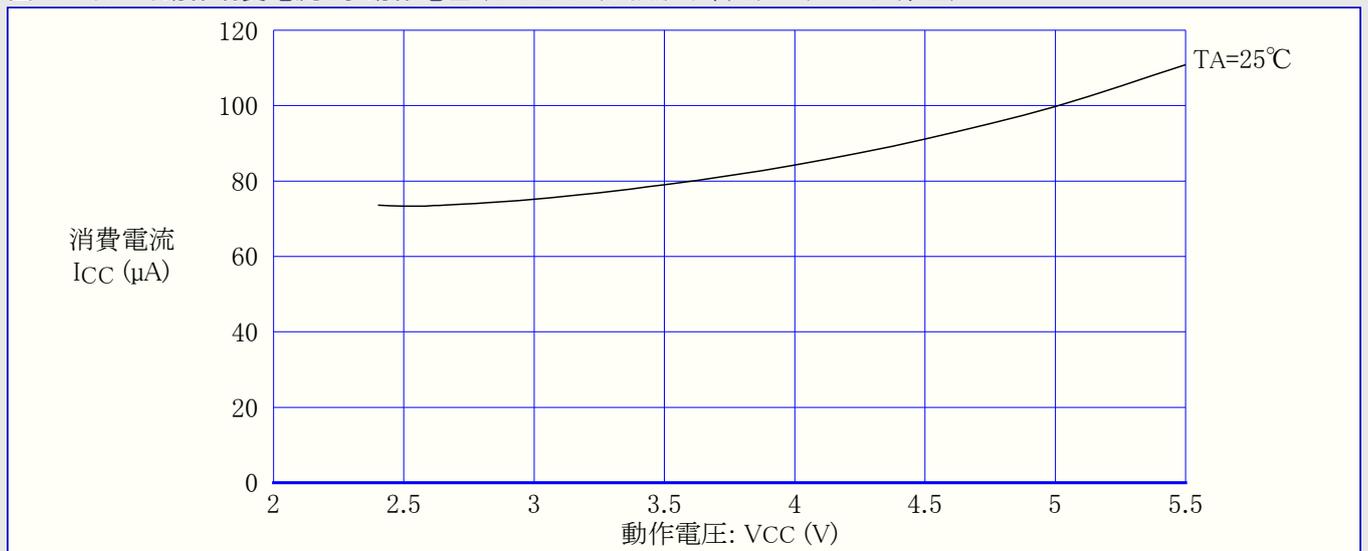


図94. スタンバイ動作消費電流 対 動作電圧 (4MHz水晶発振子、ウォッチドッグ タイマ禁止)

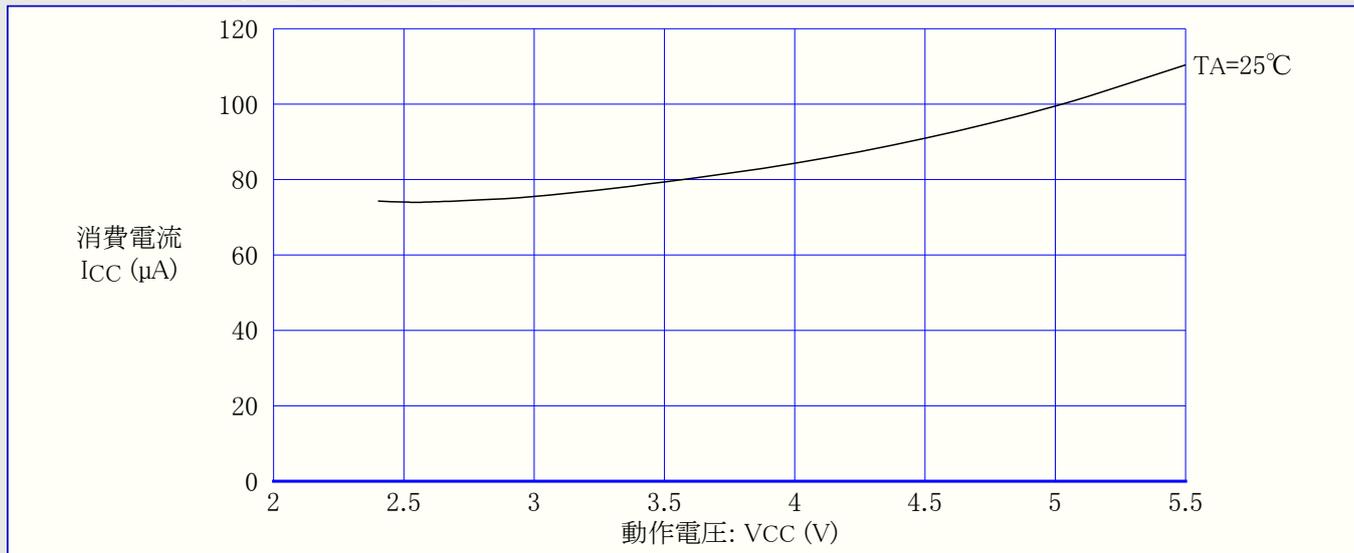


図95. スタンバイ動作消費電流 対 動作電圧 (6MHzセラミック振動子、ウォッチドッグ タイマ禁止)

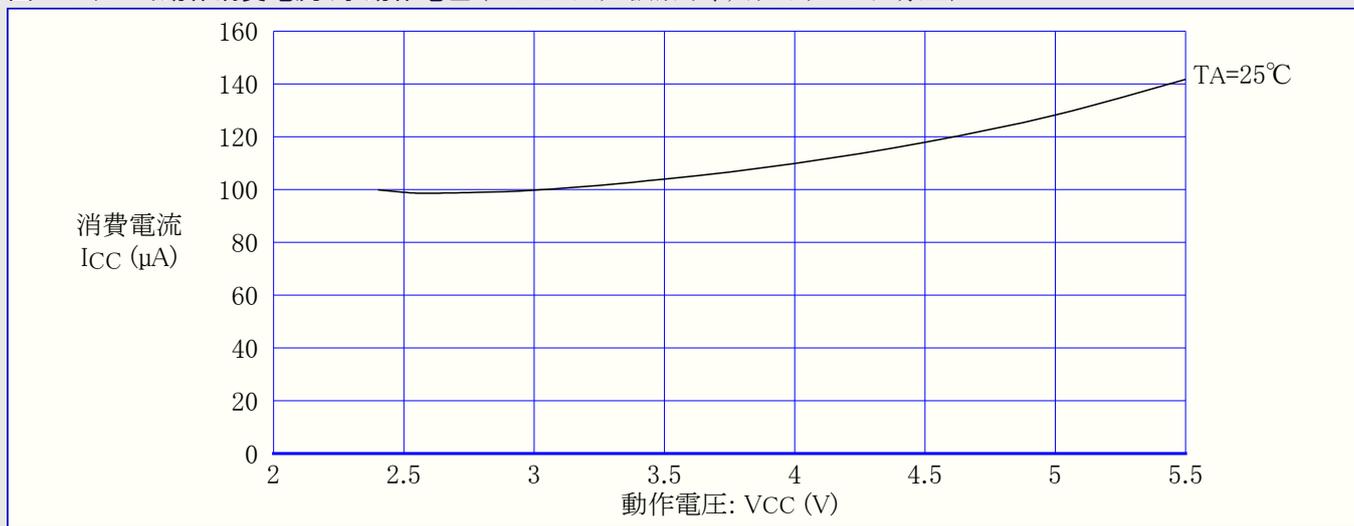
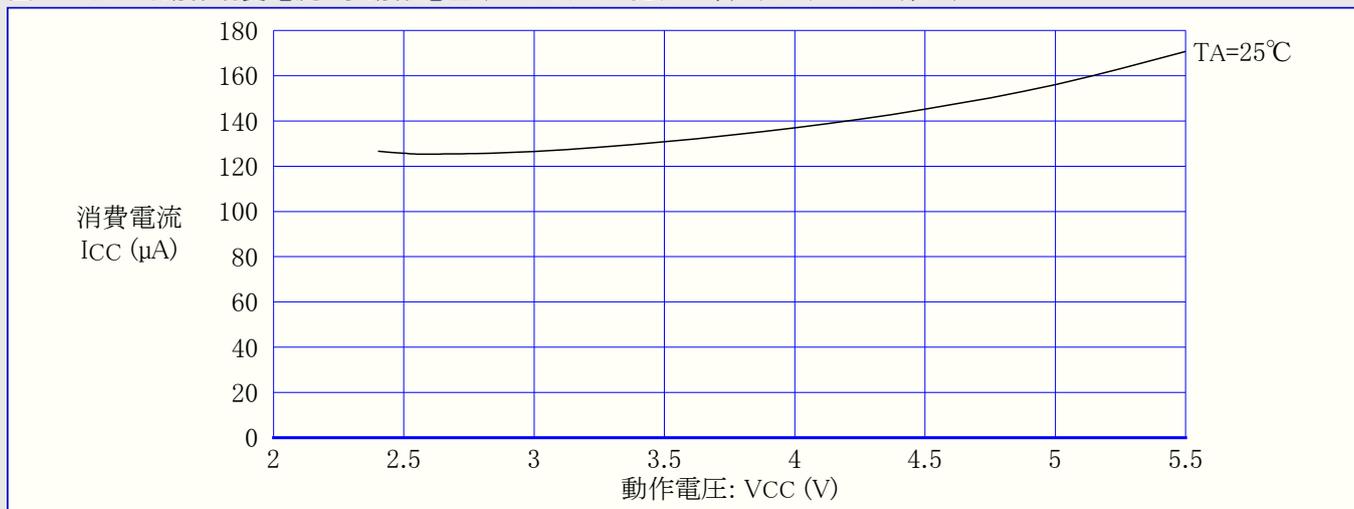


図96. スタンバイ動作消費電流 対 動作電圧 (6MHz水晶発振子、ウォッチドッグ タイマ禁止)



ピンプルアップ

図97. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

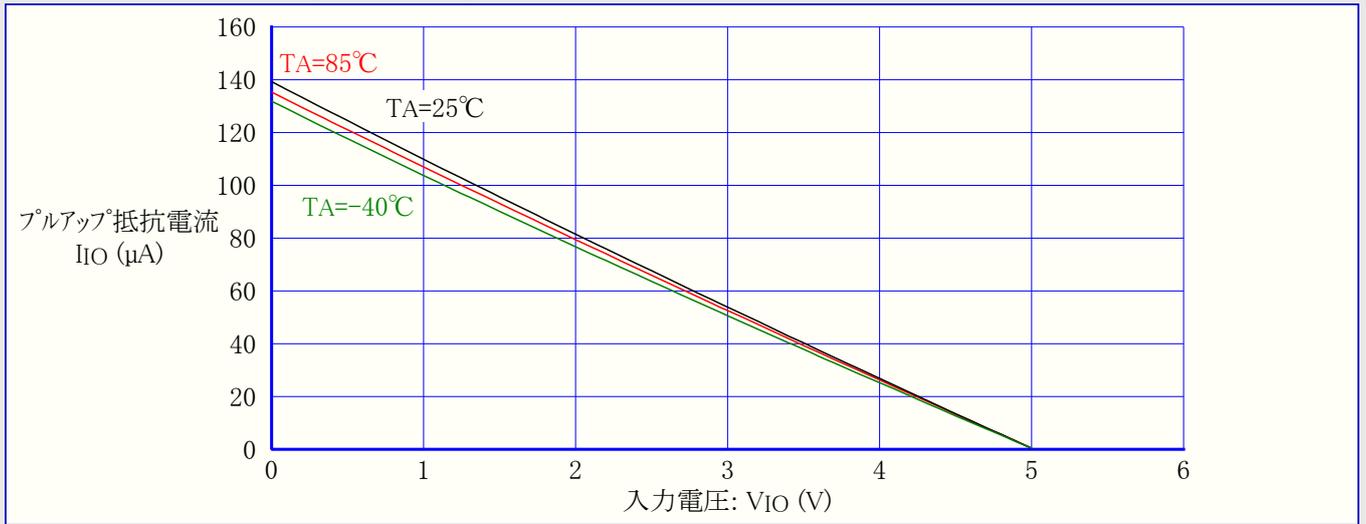


図98. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

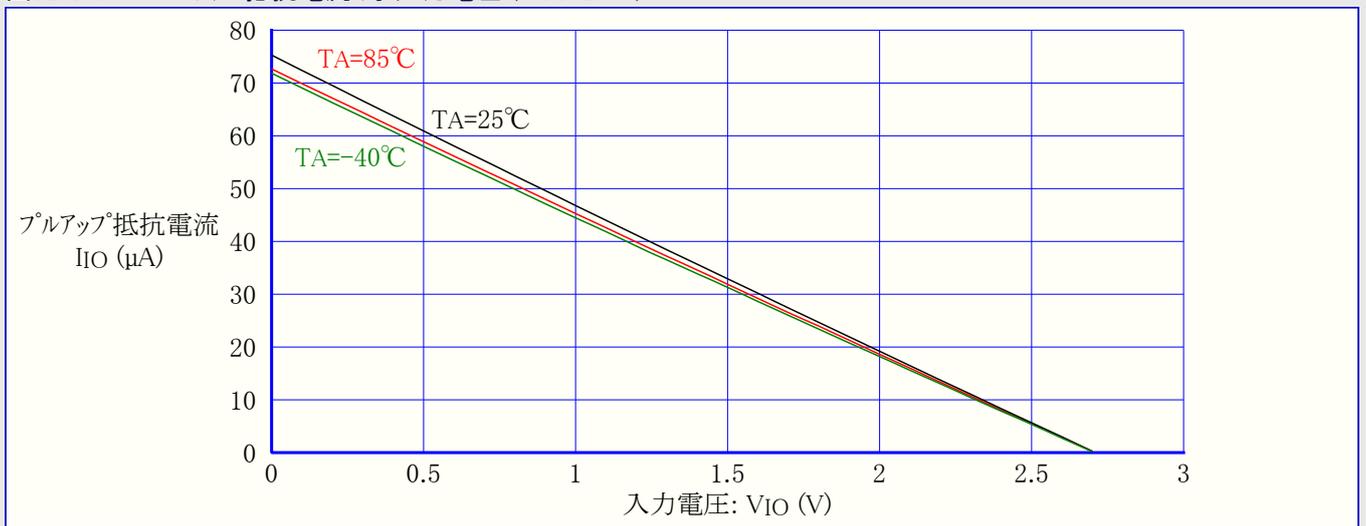


図99. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)

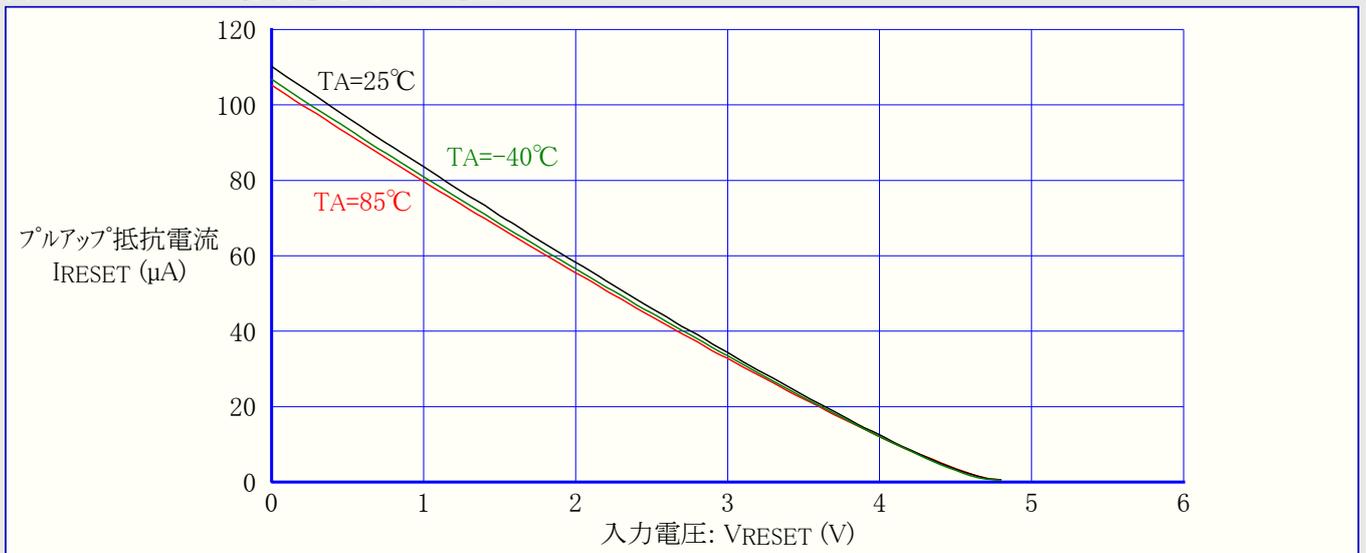
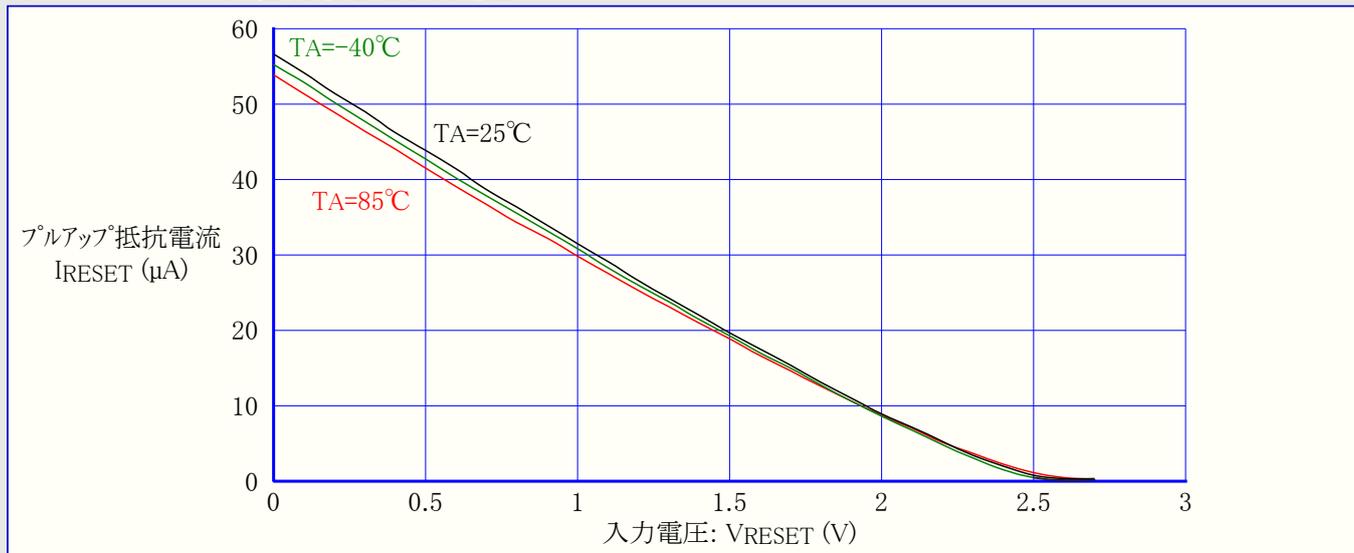


図100. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



ピン駆動能力

図101. I/Oピン 吐き出し電流 対 出力電圧 (VCC=5V)

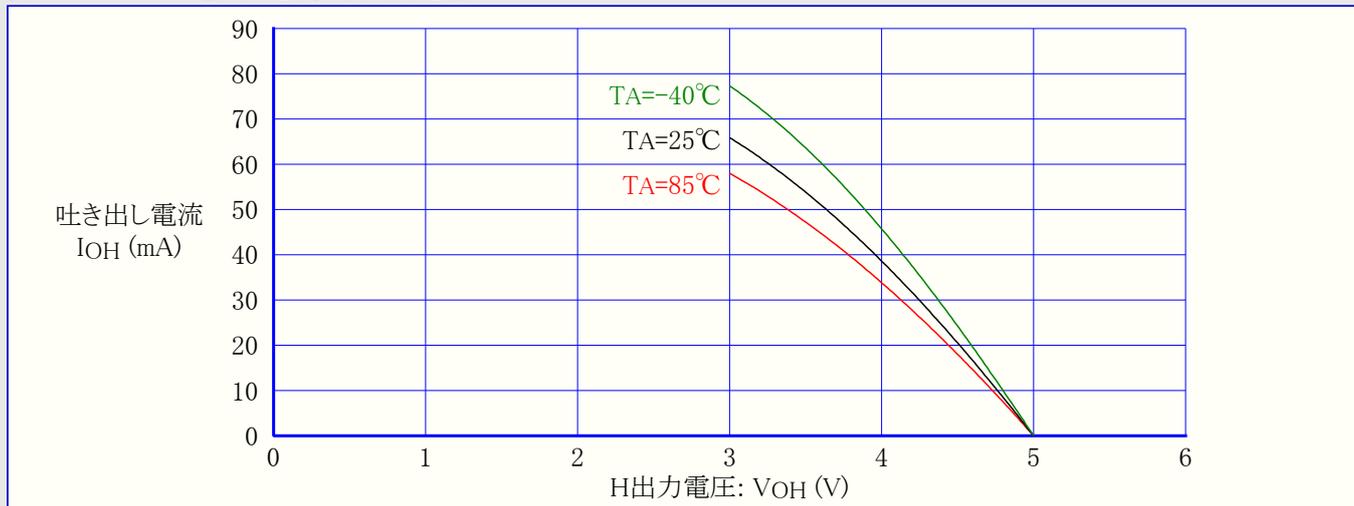


図102. I/Oピン 吐き出し電流 対 出力電圧 (VCC=2.7V)

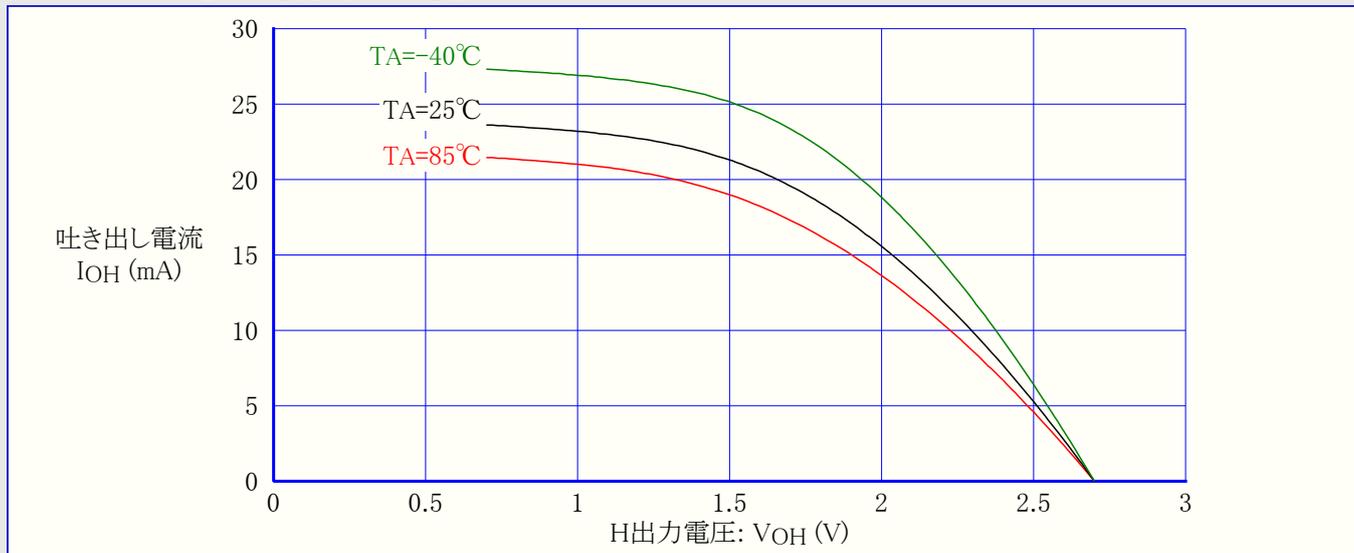


図103. I/Oピン 吸い込み電流 対 出力電圧 (VCC=5V)

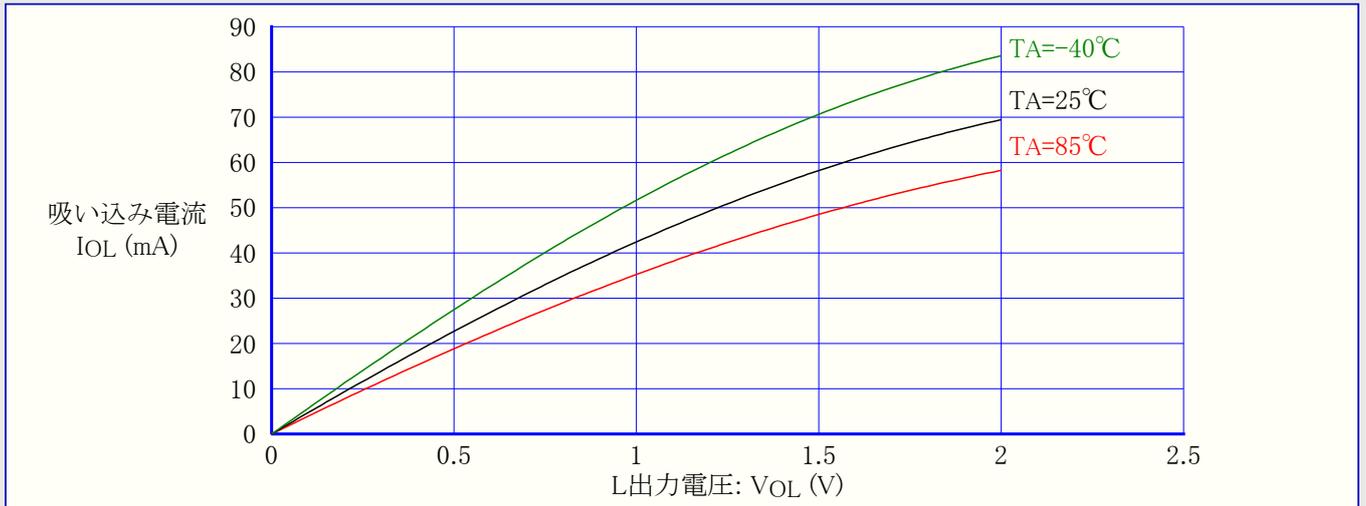


図104. I/Oピン 吸い込み電流 対 出力電圧 (VCC=2.7V)

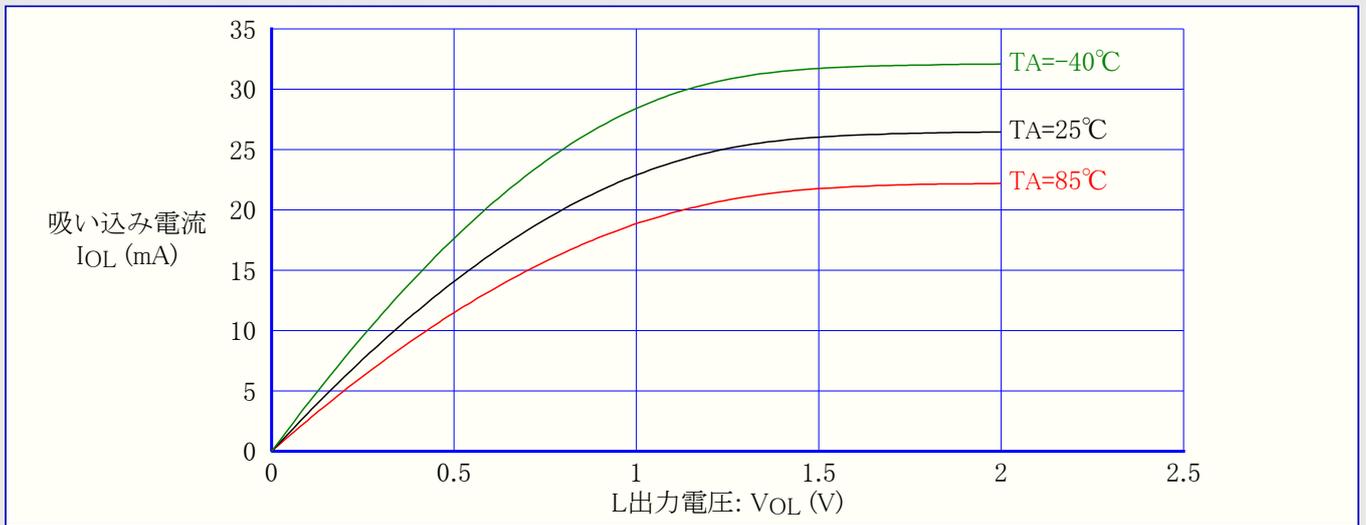


図105. I/OとしてのRESETピン 吐き出し電流 対 出力電圧 (VCC=5V)

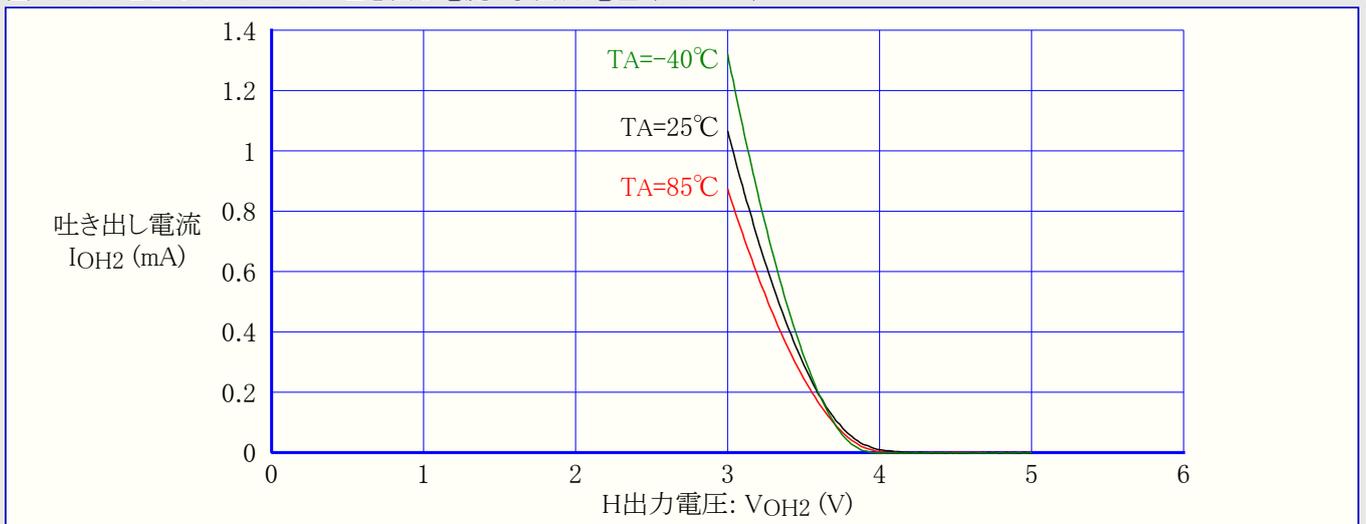


図106. I/OとしてのRESETピンの吐き出し電流 対 出力電圧 (VCC=2.7V)

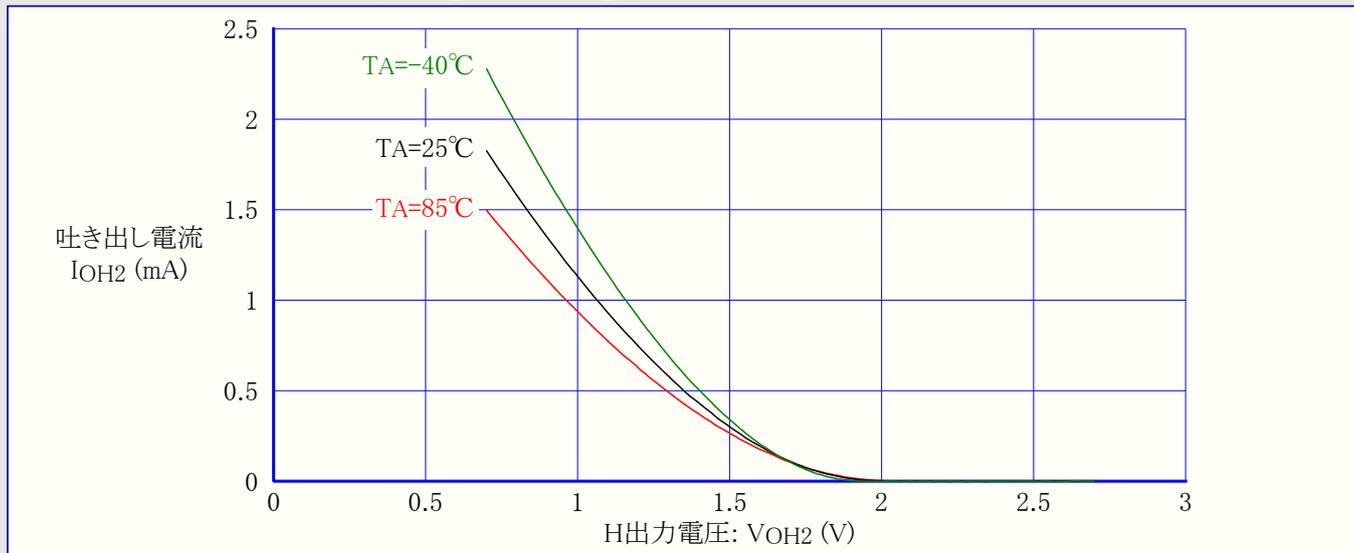


図107. I/OとしてのRESETピンの吸い込み電流 対 出力電圧 (VCC=5V)

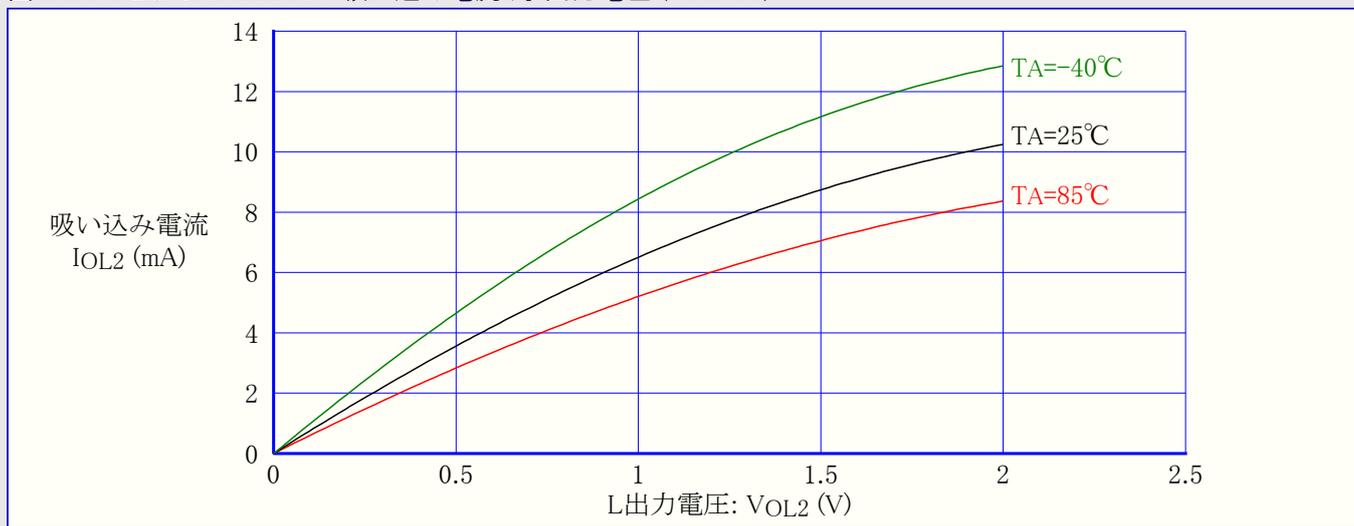
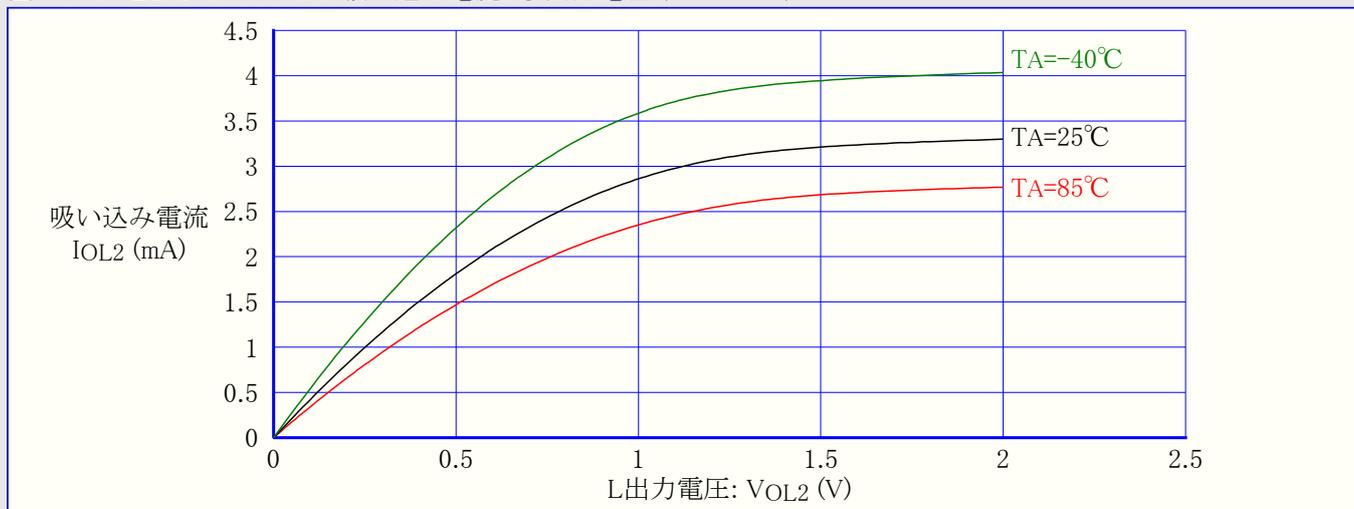


図108. I/OとしてのRESETピンの吸い込み電流 対 出力電圧 (VCC=2.7V)



ピン 閾値とヒステリシス

図109. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

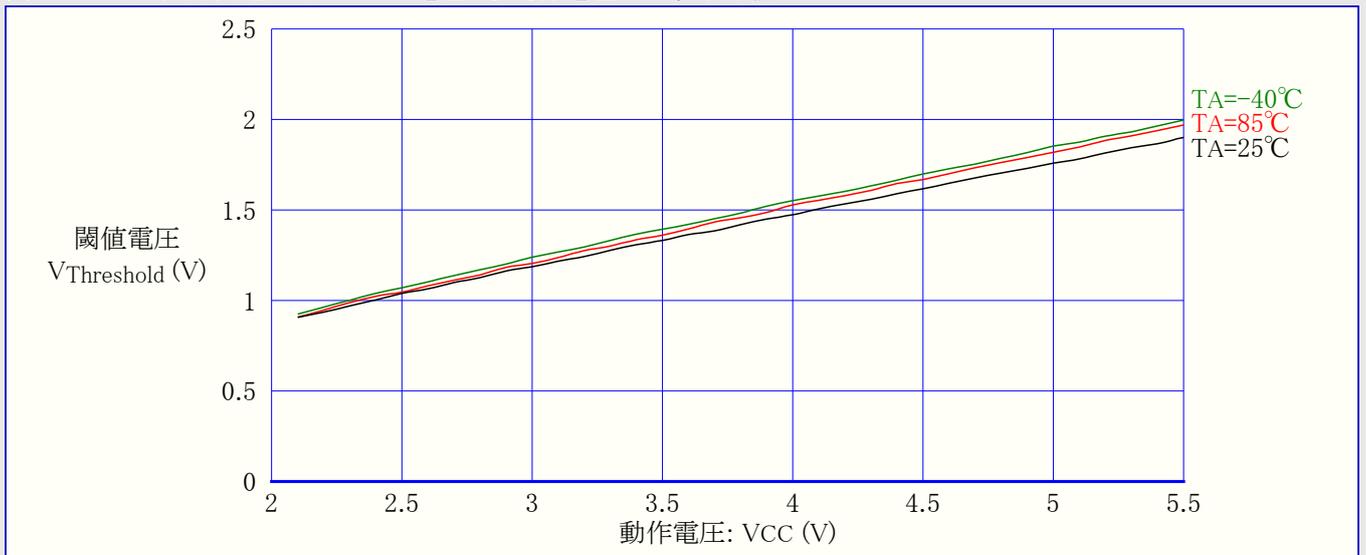


図110. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

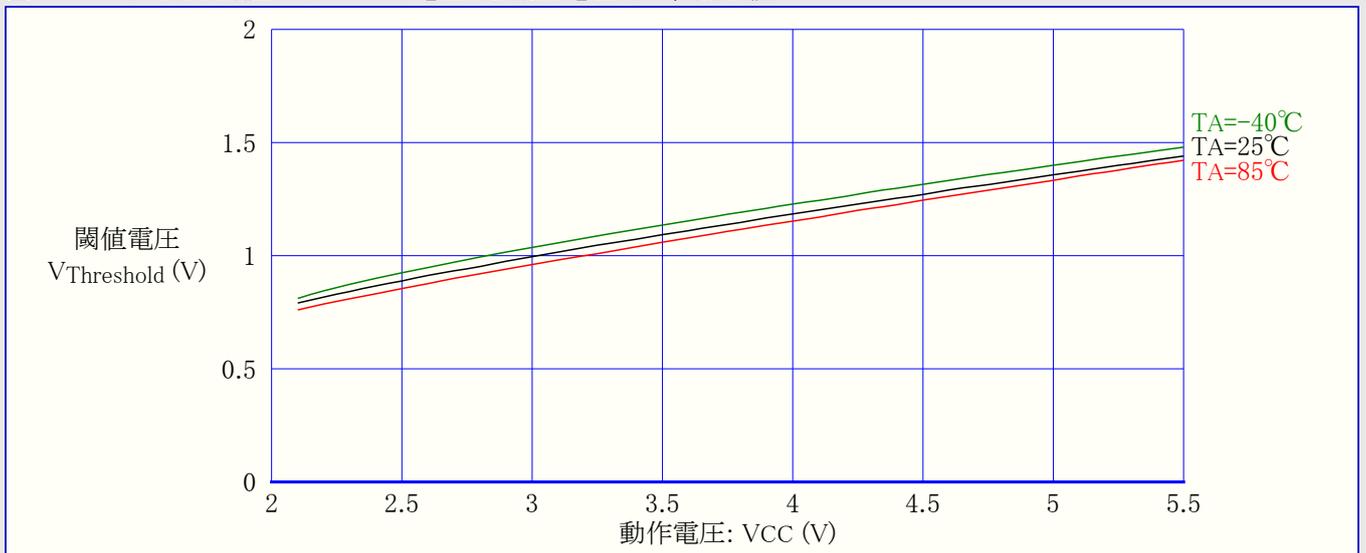


図111. I/Oピン入力ヒステリシス電圧 対 動作電圧

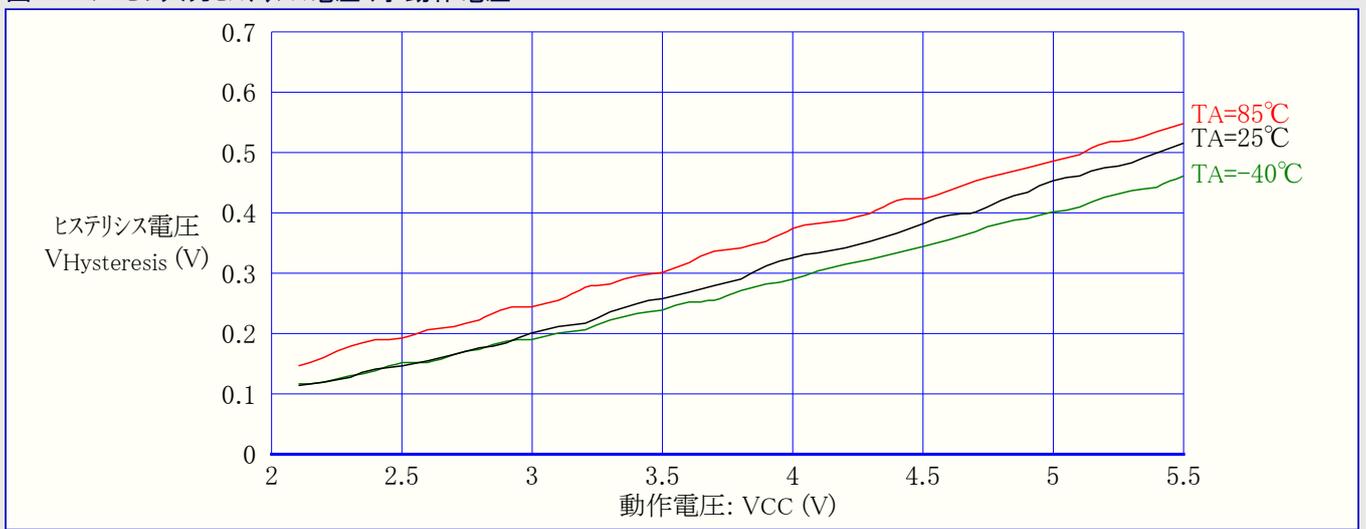


図112. I/OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

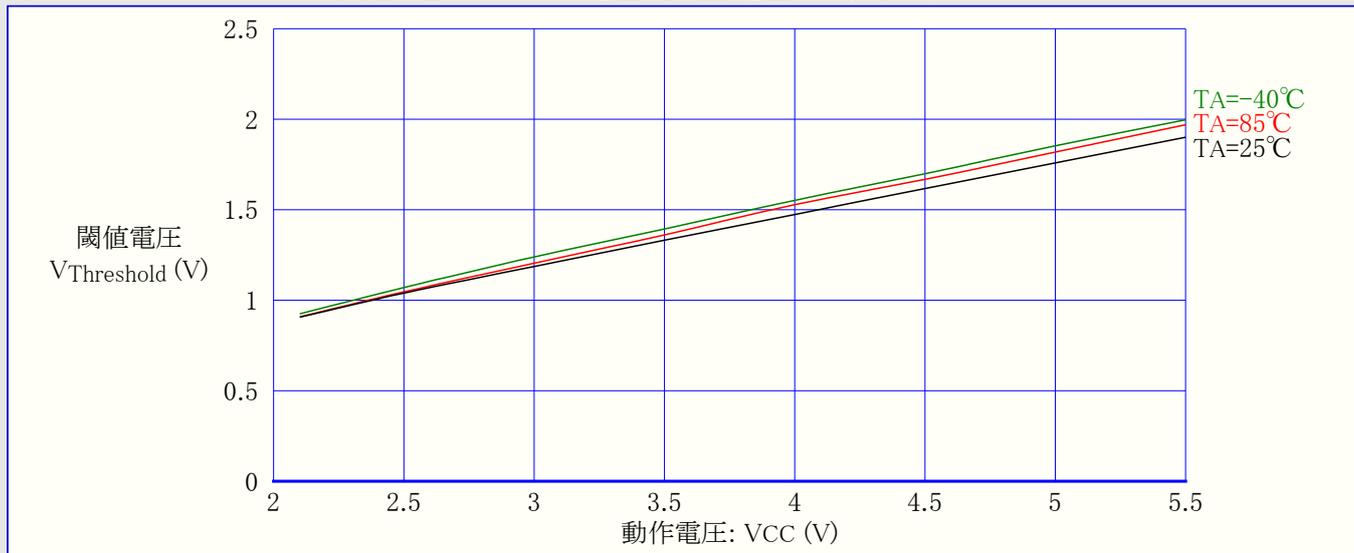


図113. I/OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

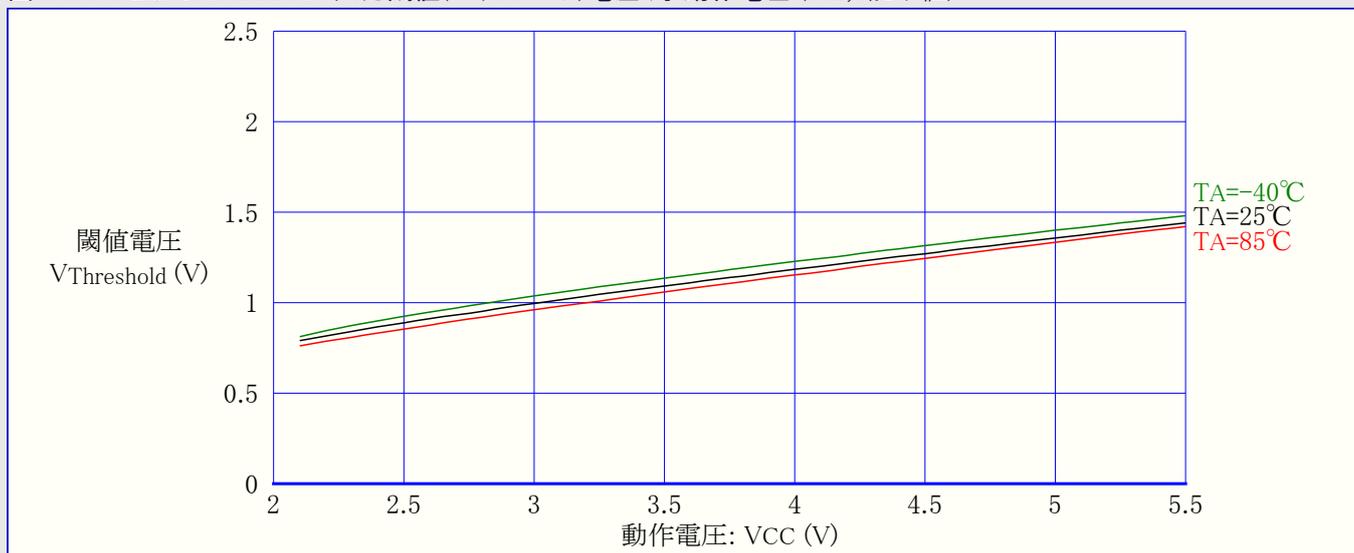


図114. I/OとしてのRESETピン入力ヒステリシス電圧 対 動作電圧

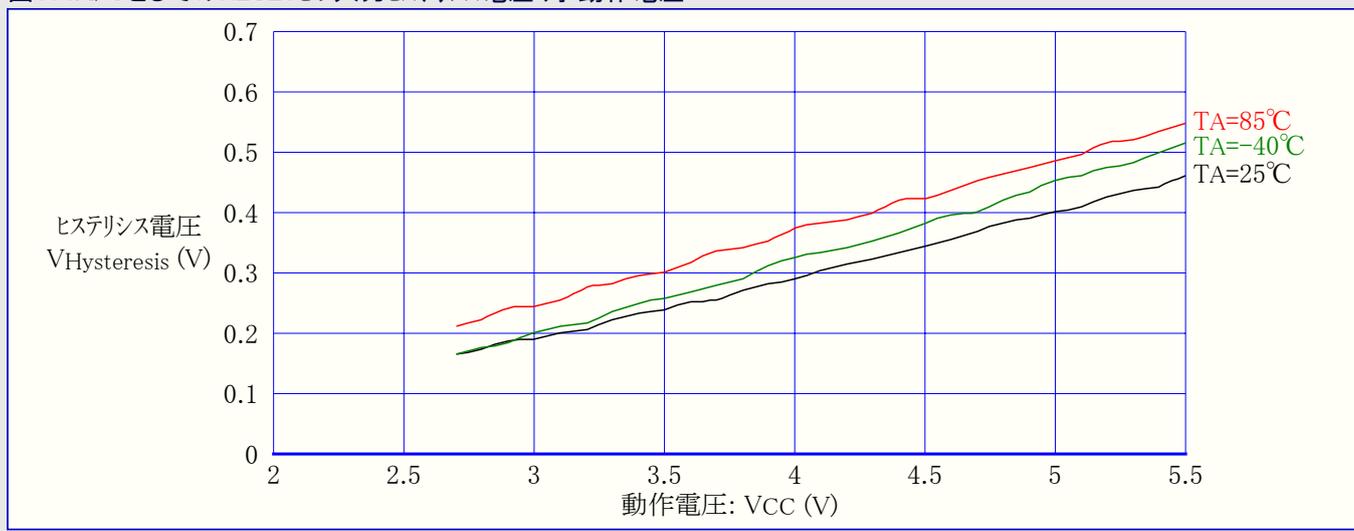


図115. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

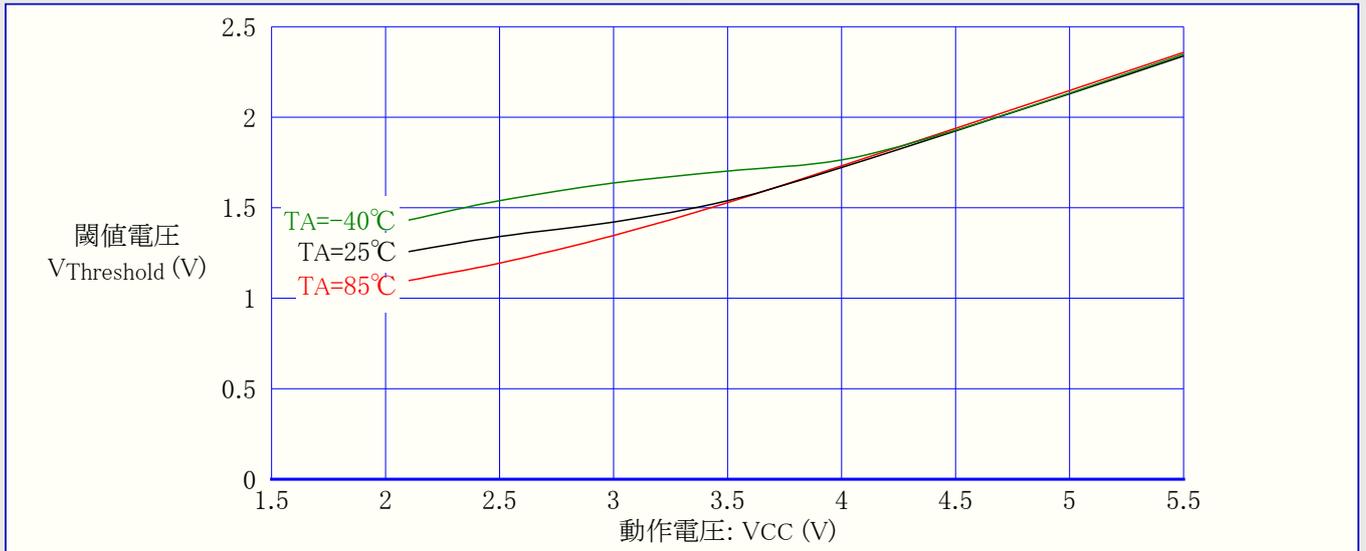


図116. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)

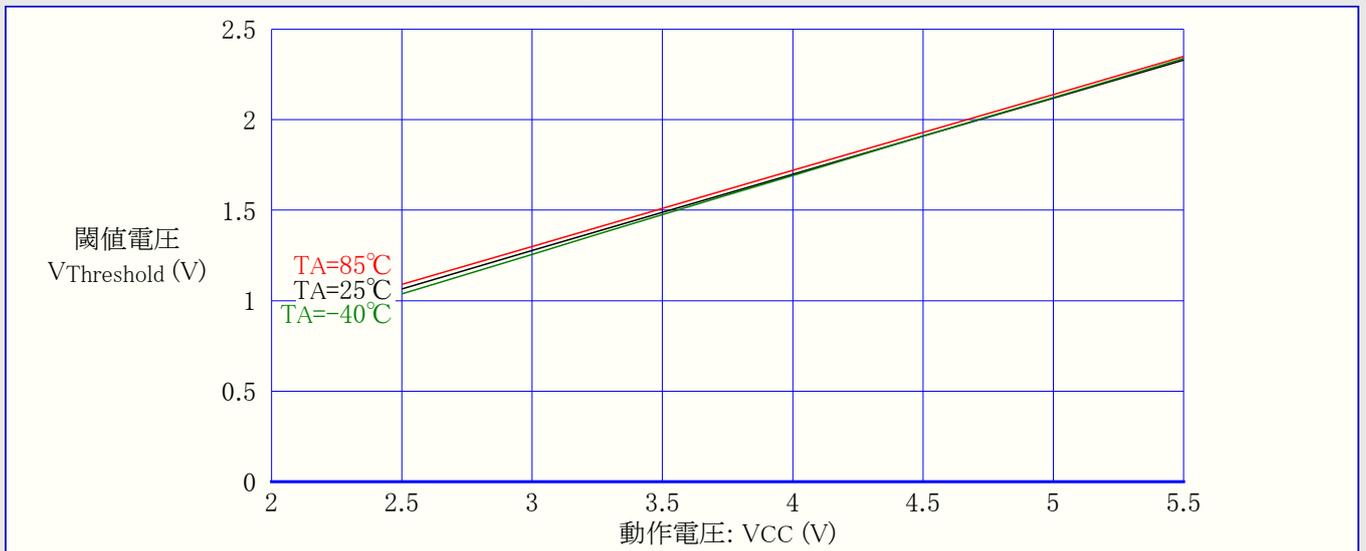
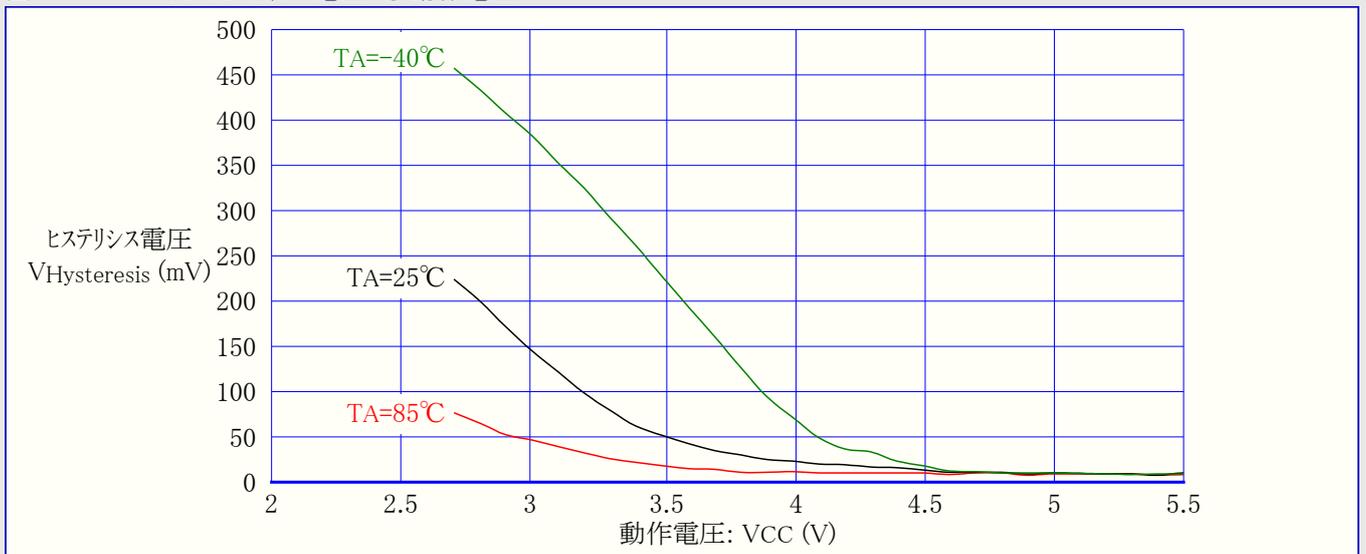


図117. RESET入力ヒステリシス電圧 対 動作電圧



低電圧検出器(BOD)閾値とアナログ比較器オフセット

図118. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.0V)

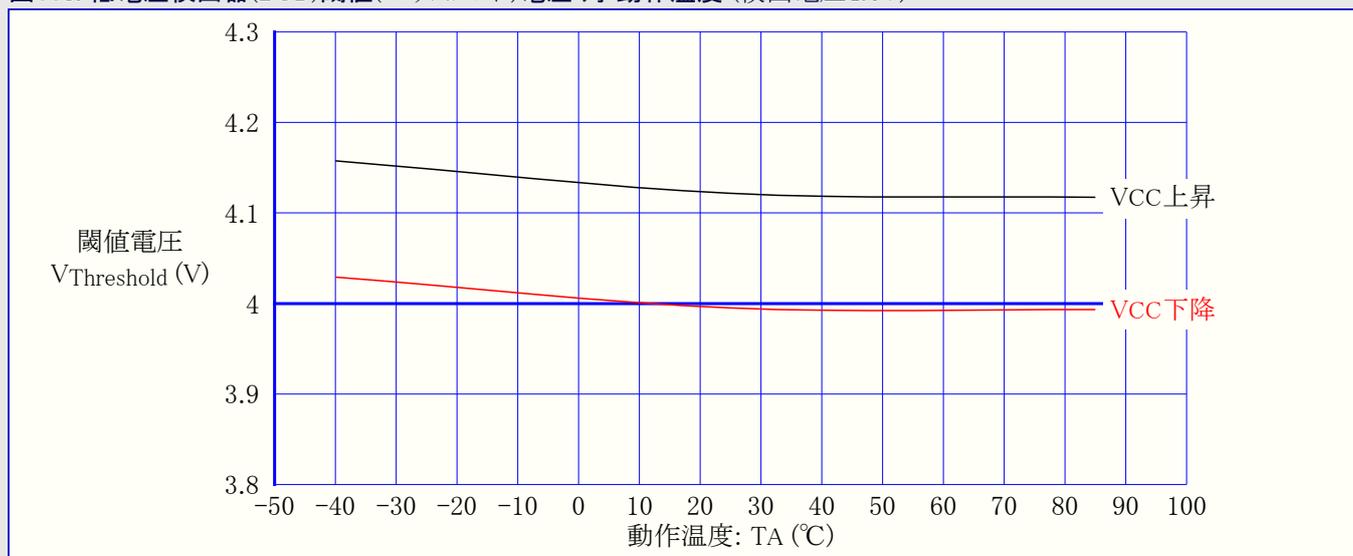


図119. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

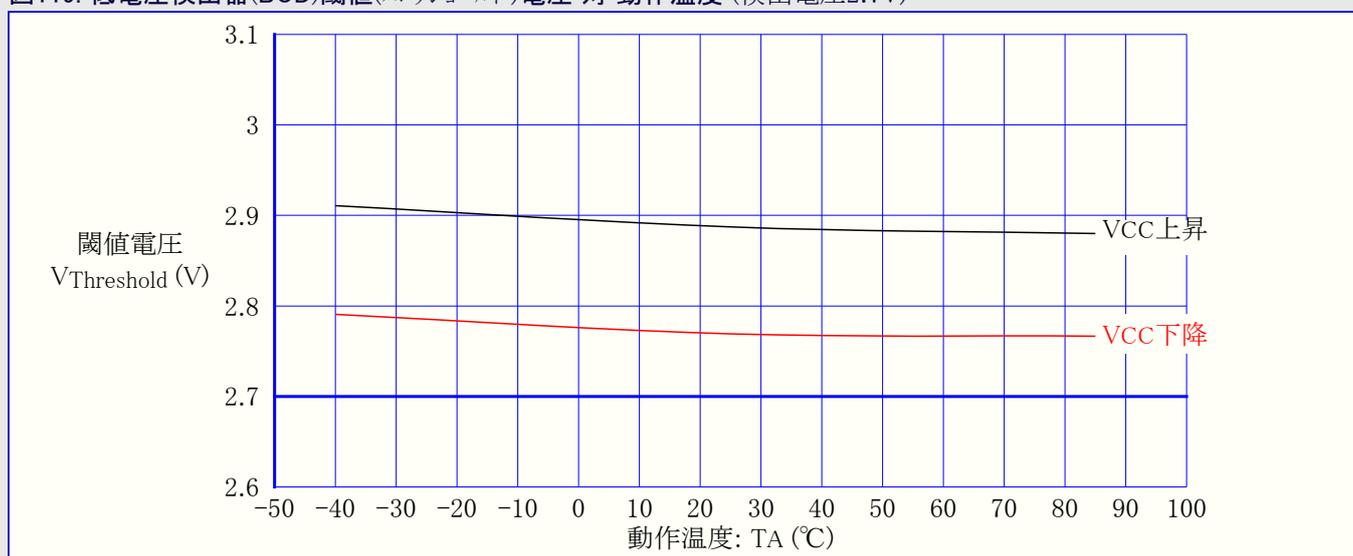


図120. 内部基準(バンドギャップ)電圧 対 動作電圧

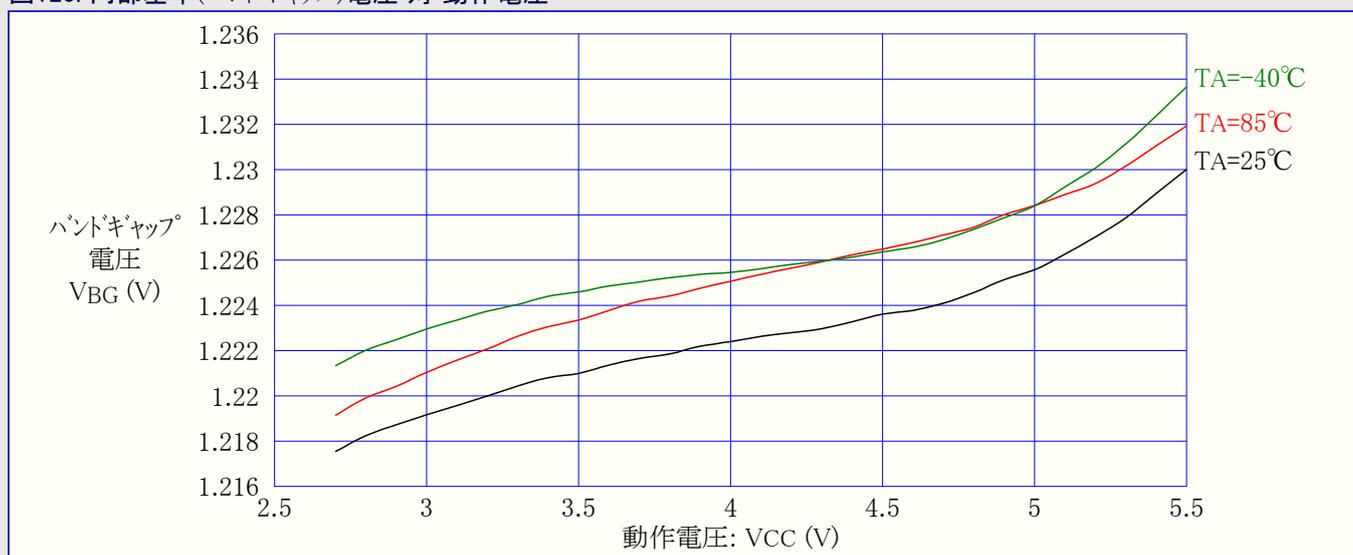


図121. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)

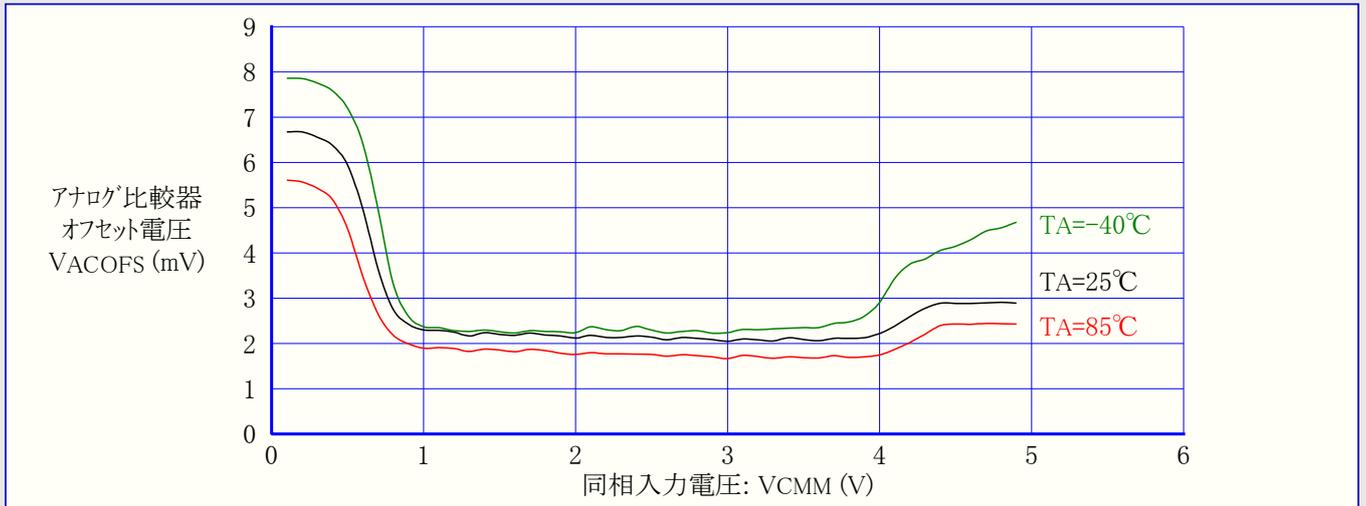
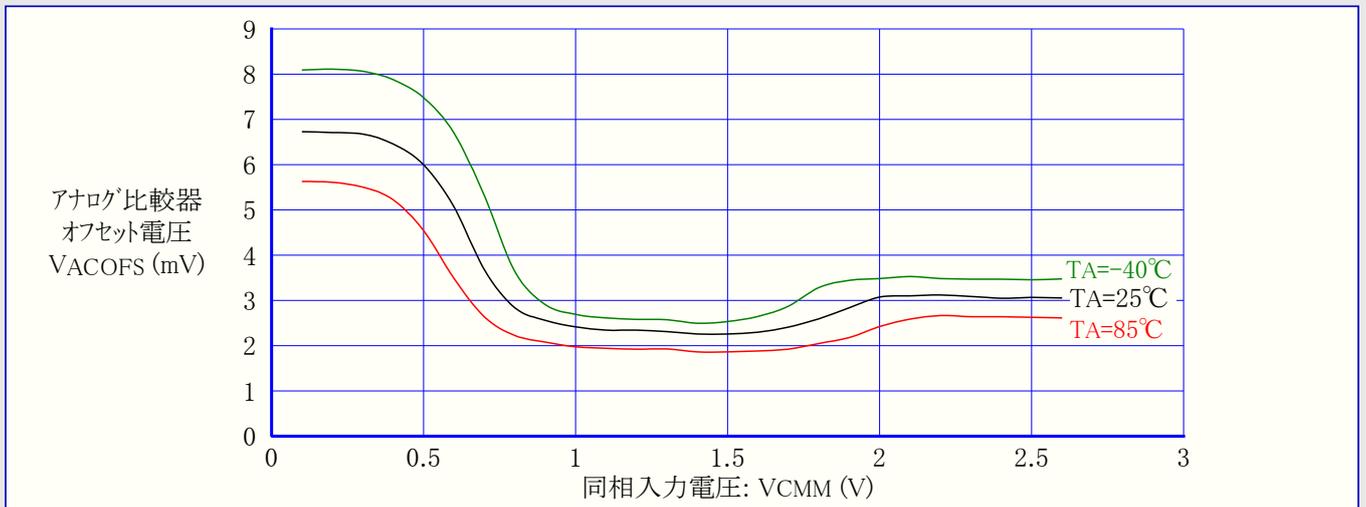


図122. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



内部発振器周波数

図123. ウォットバック発振器周波数 対 動作電圧

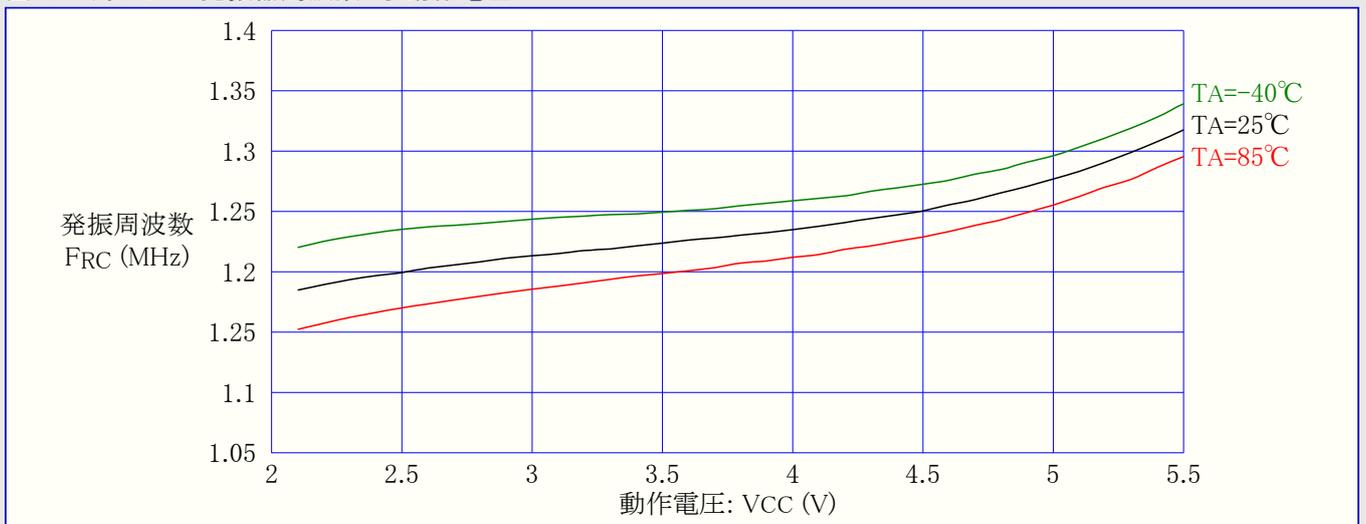


図124. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

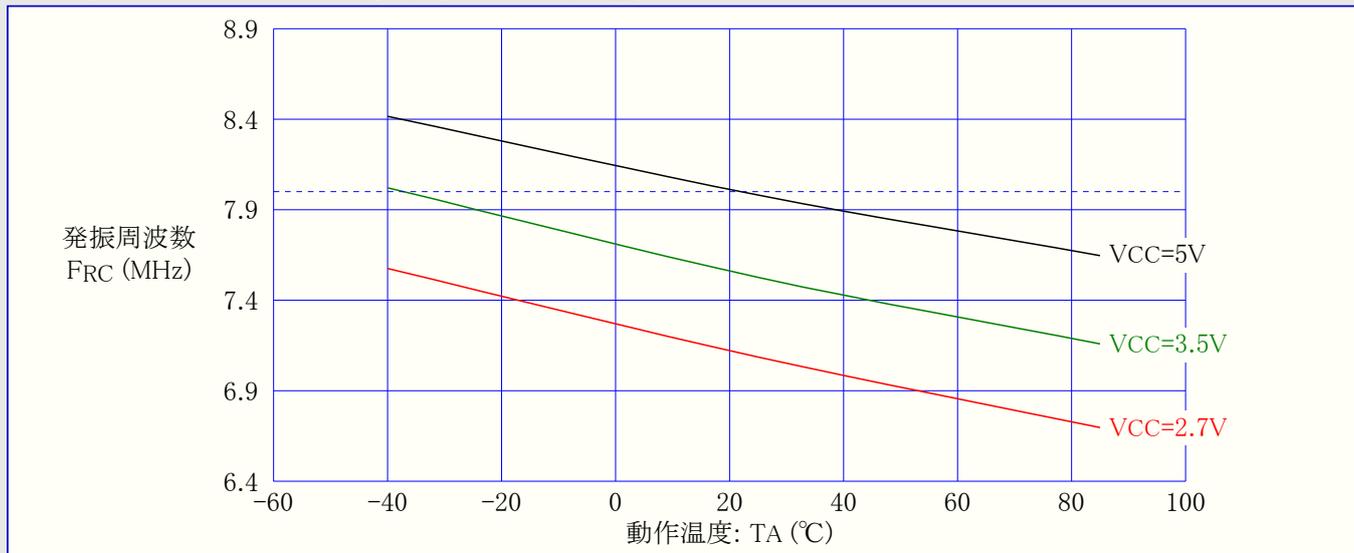


図125. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

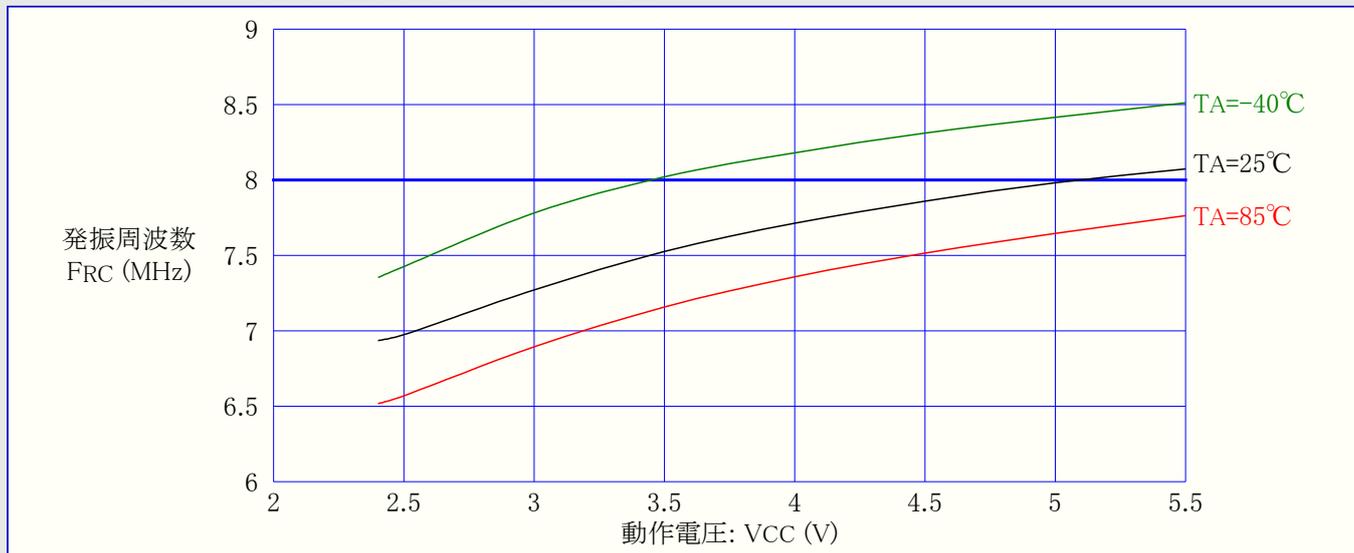


図126. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

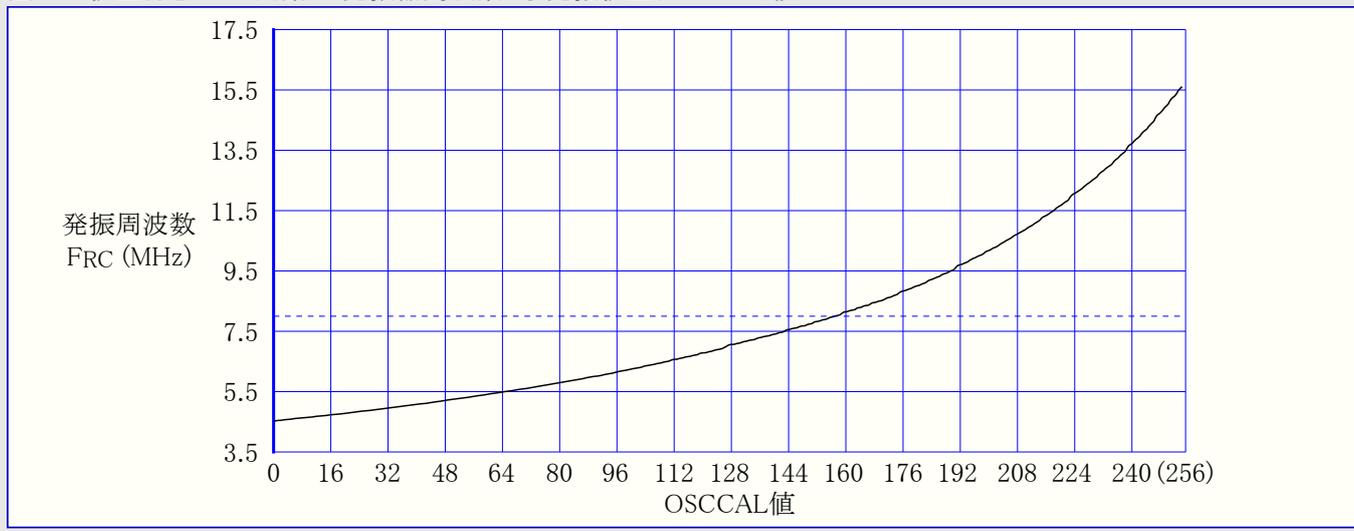


図127. 校正済み4MHz内蔵RC発振器周波数 対 動作温度

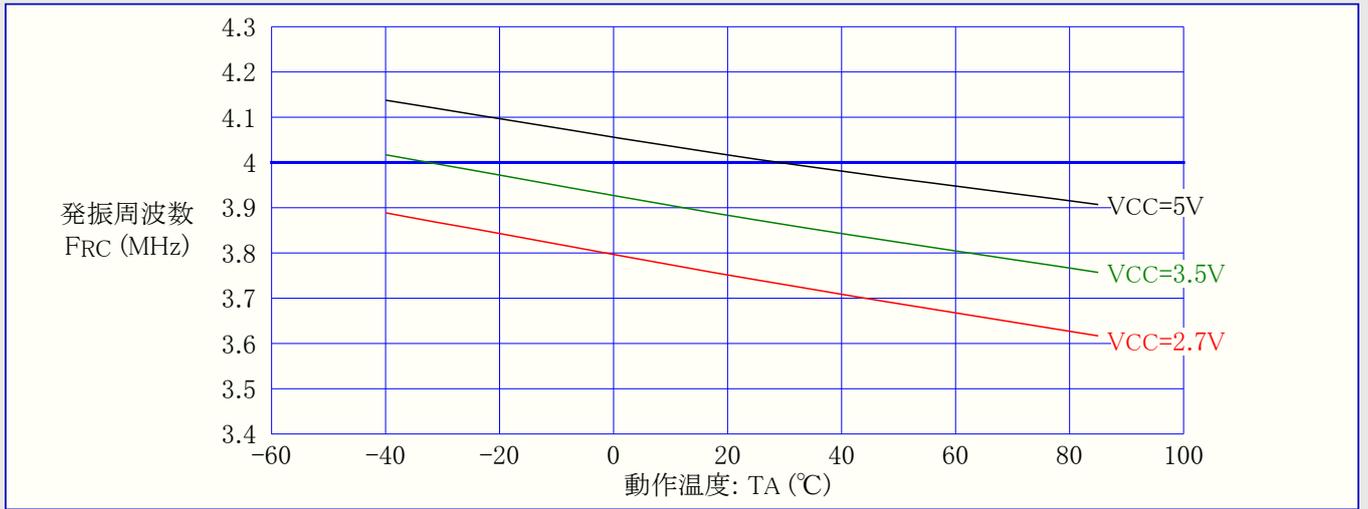


図128. 校正済み4MHz内蔵RC発振器周波数 対 動作電圧

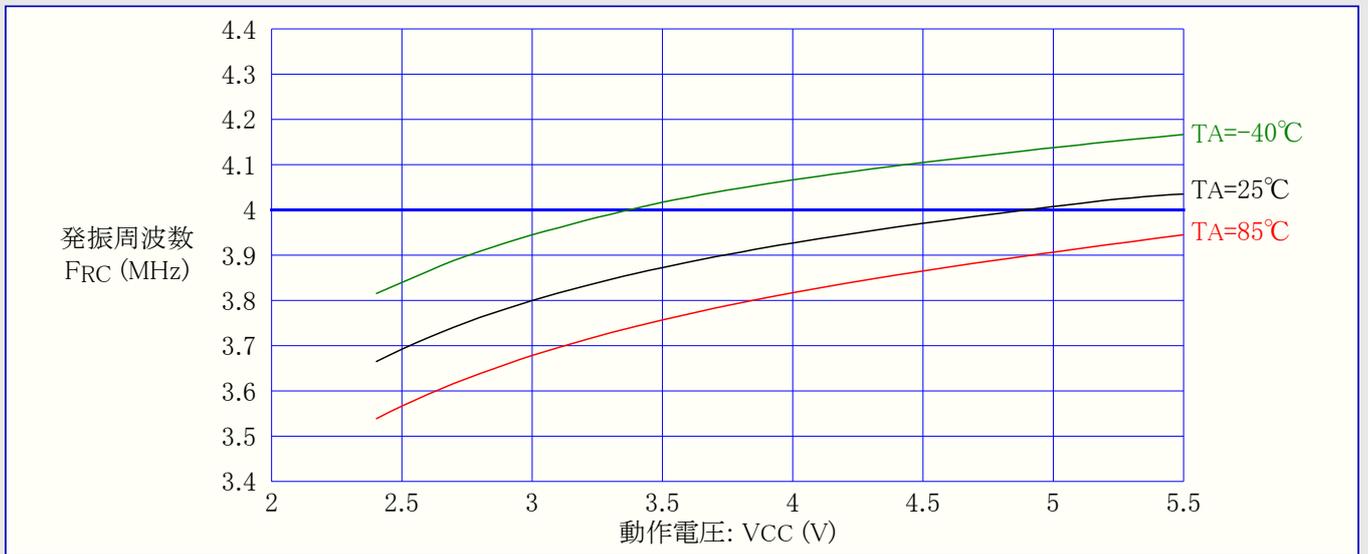


図129. 校正付き4MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

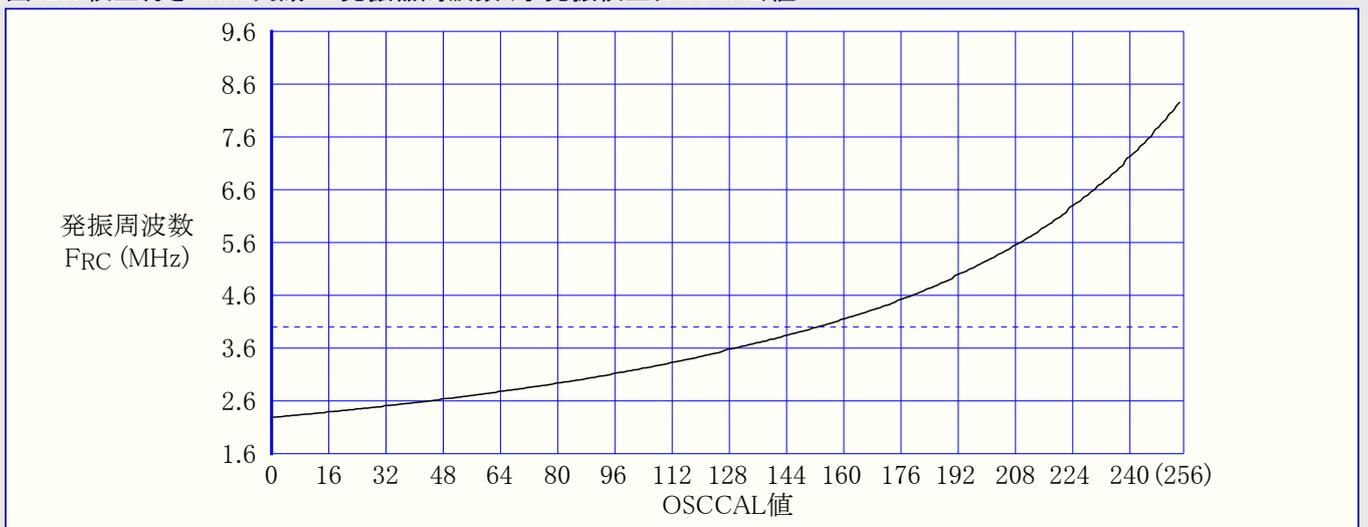


図130. 校正済み2MHz内蔵RC発振器周波数 対 動作温度

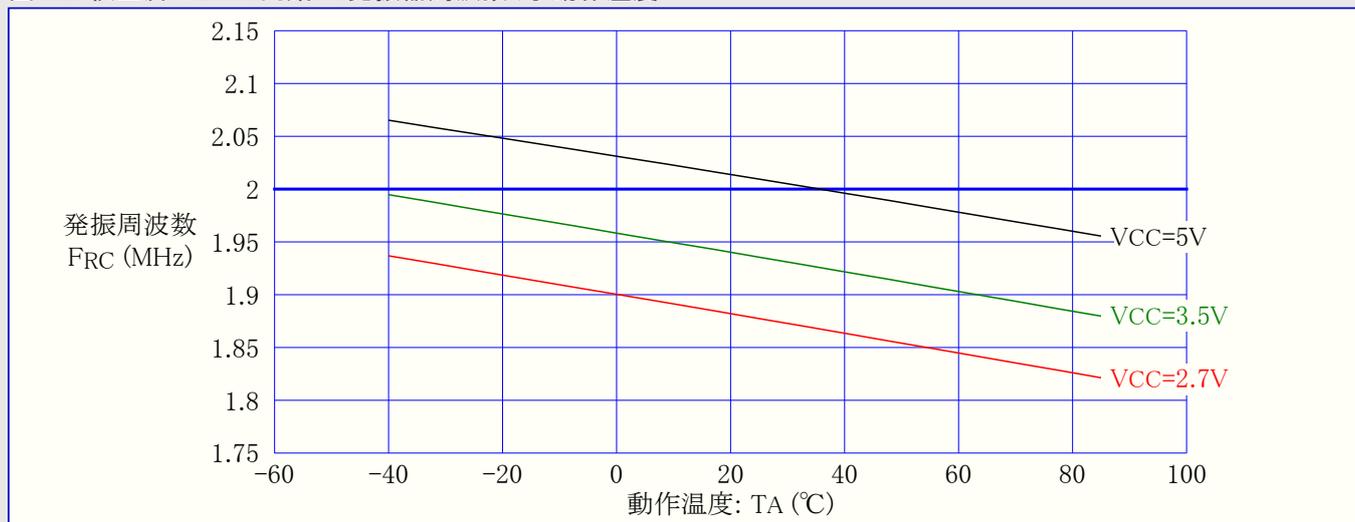


図131. 校正済み2MHz内蔵RC発振器周波数 対 動作電圧

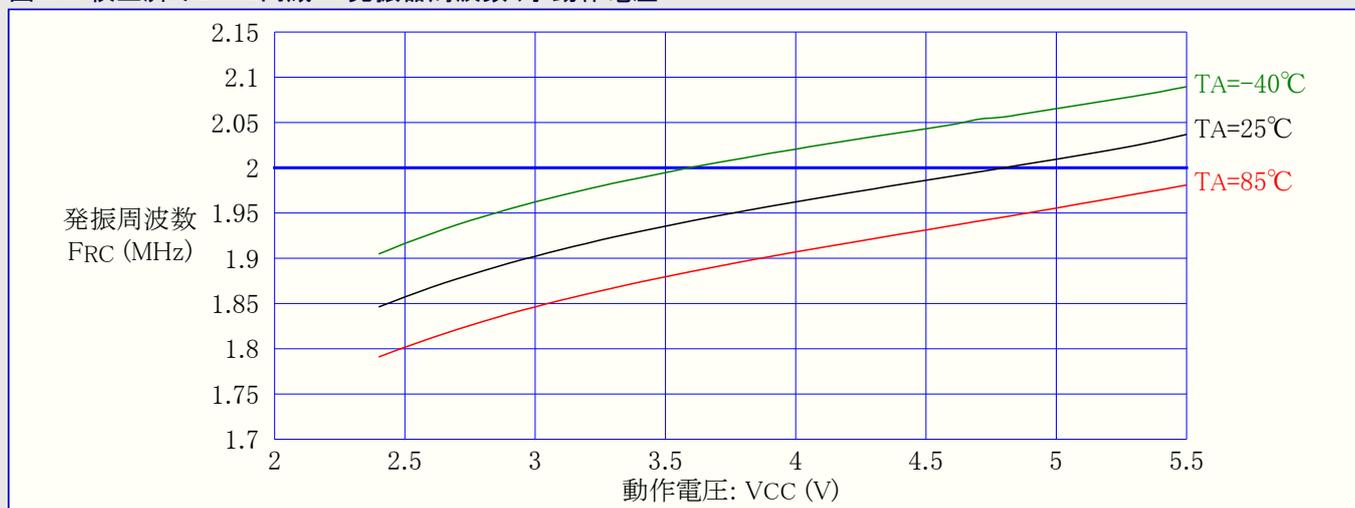


図132. 校正付き2MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値

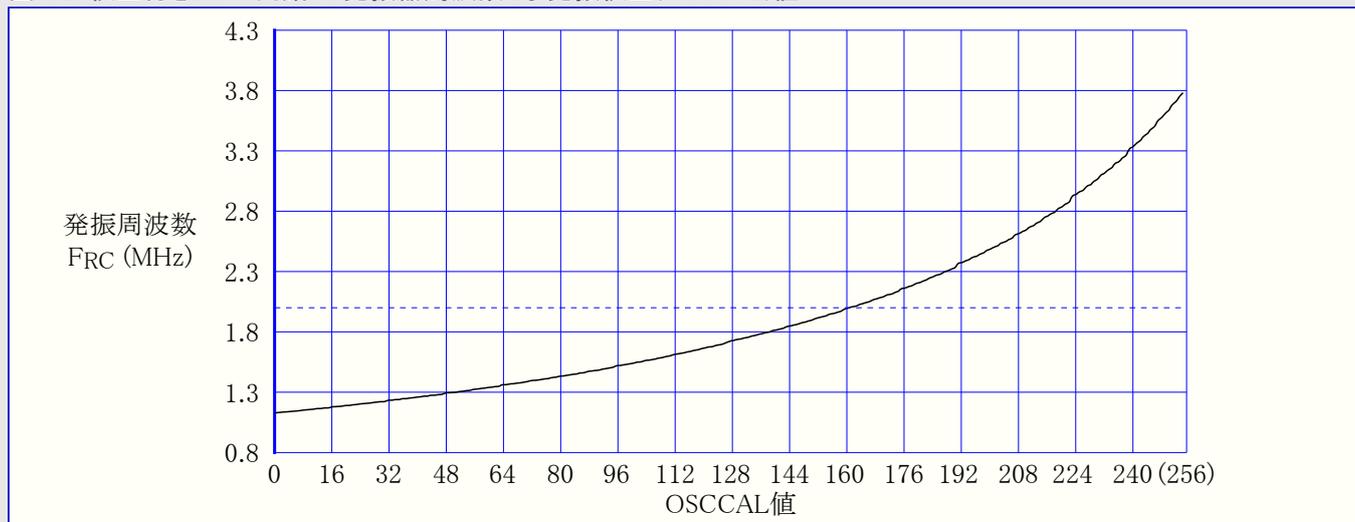


図133. 校正済み1MHz内蔵RC発振器周波数 対 動作温度

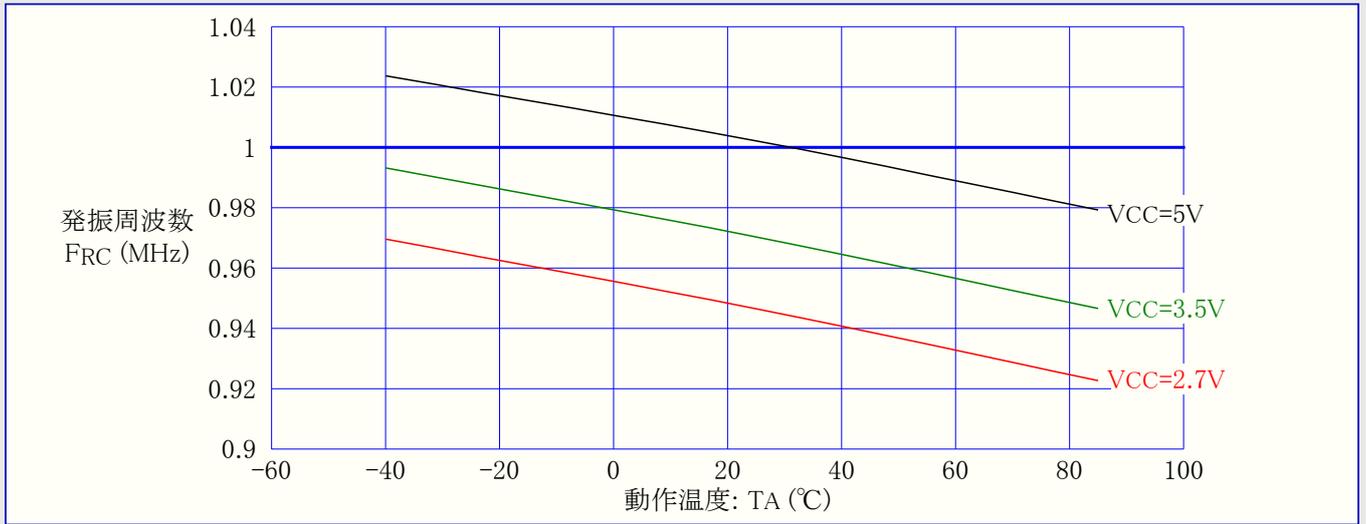


図134. 校正済み1MHz内蔵RC発振器周波数 対 動作電圧

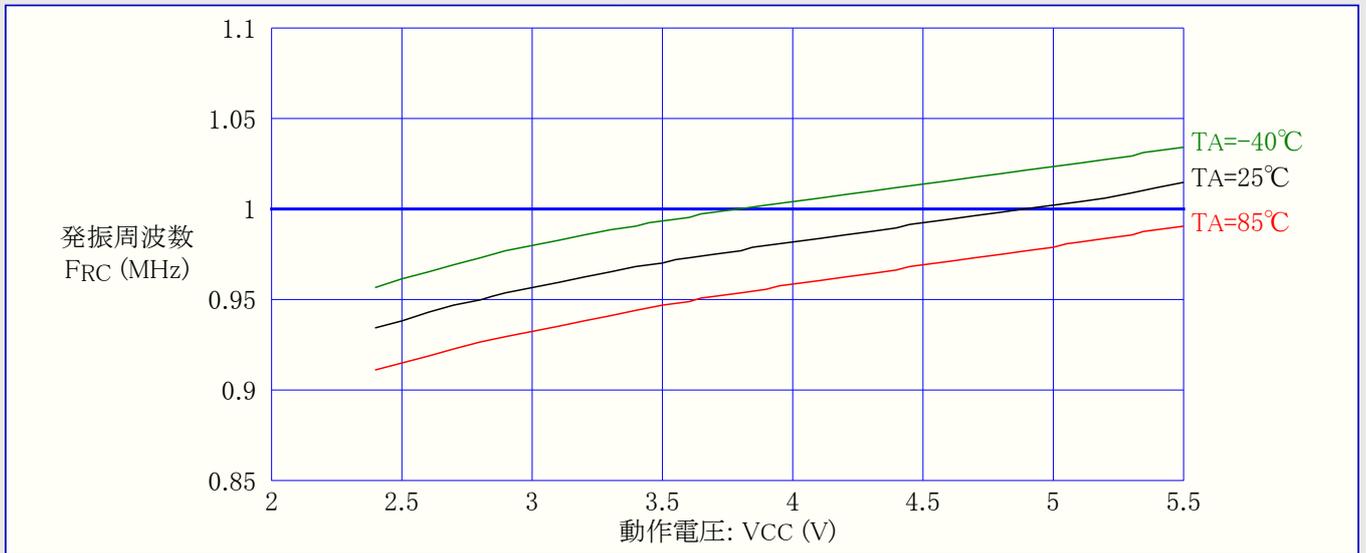
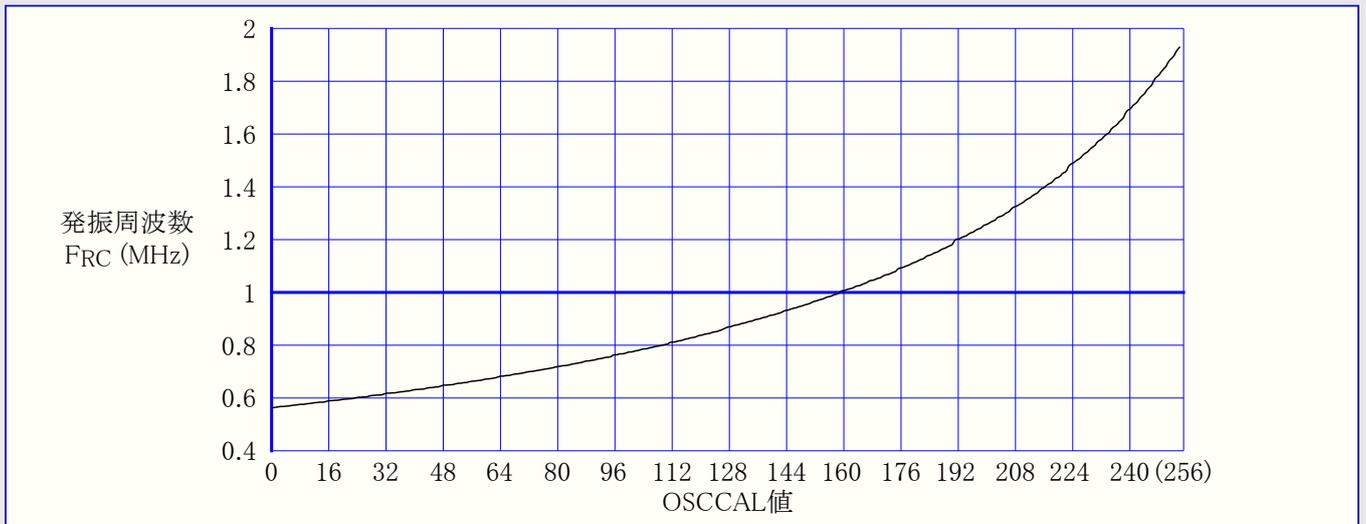


図135. 校正付き1MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



周辺機能部消費電流

図136. 低電圧検出器(BOD)消費電流 対 動作電圧

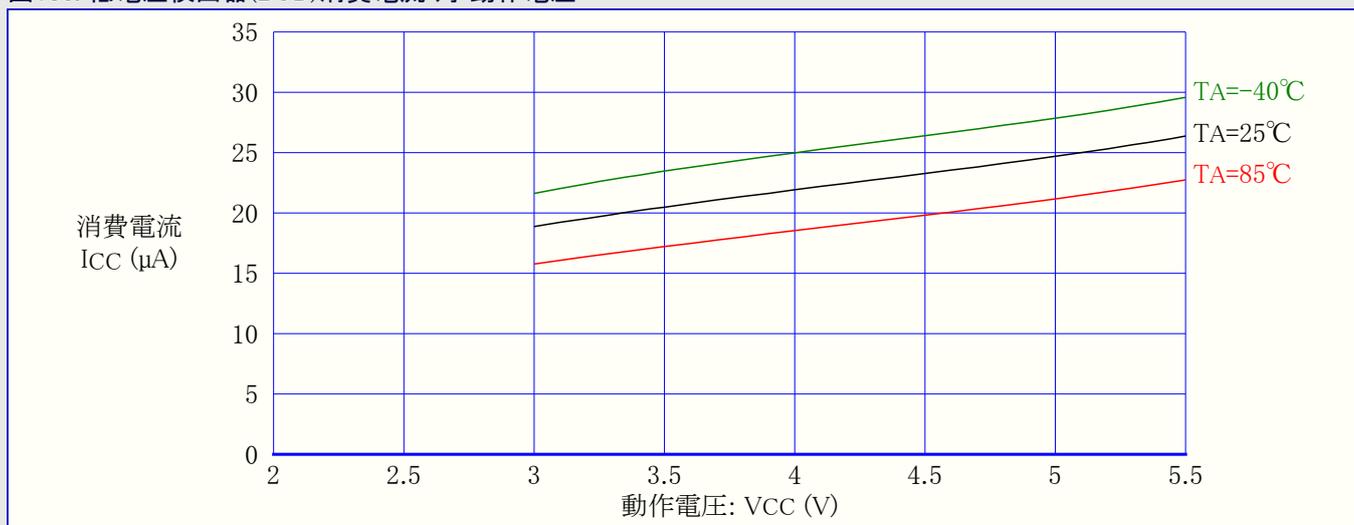


図137. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

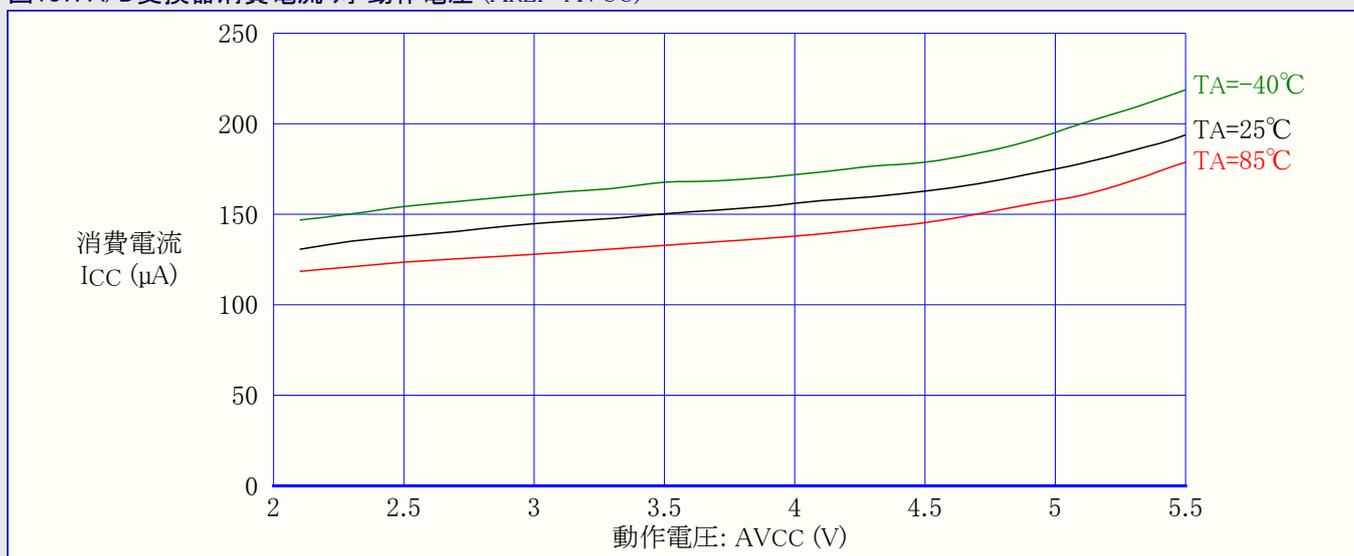


図138. 外部基準電圧(AREF)電流 対 動作電圧

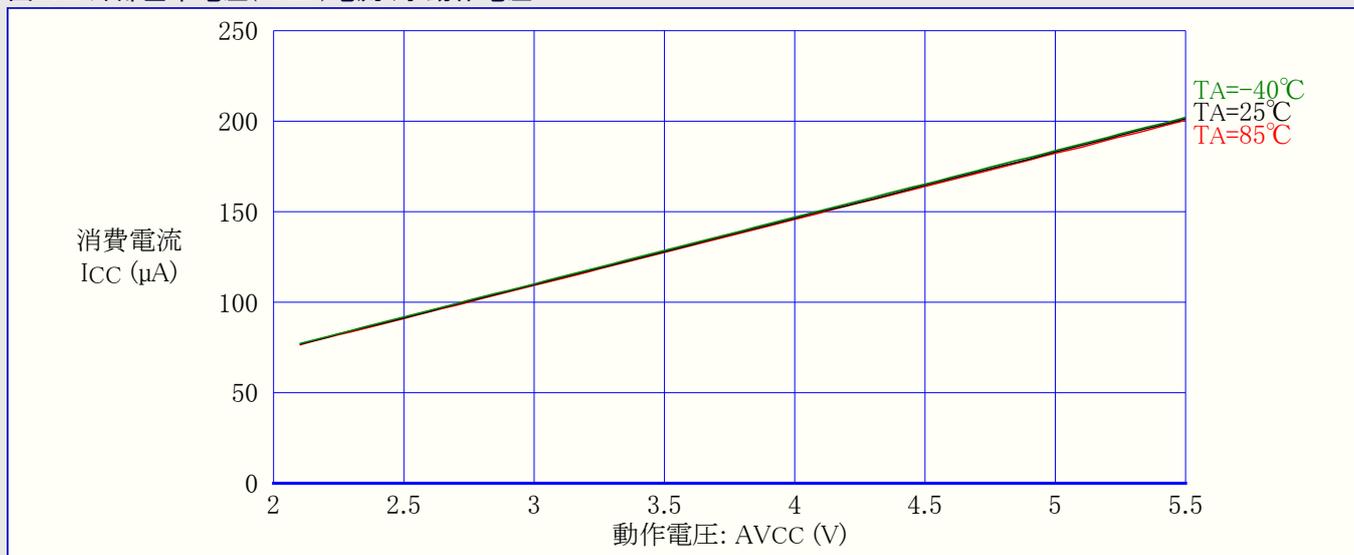


図139. アナログ比較器消費電流 対 動作電圧

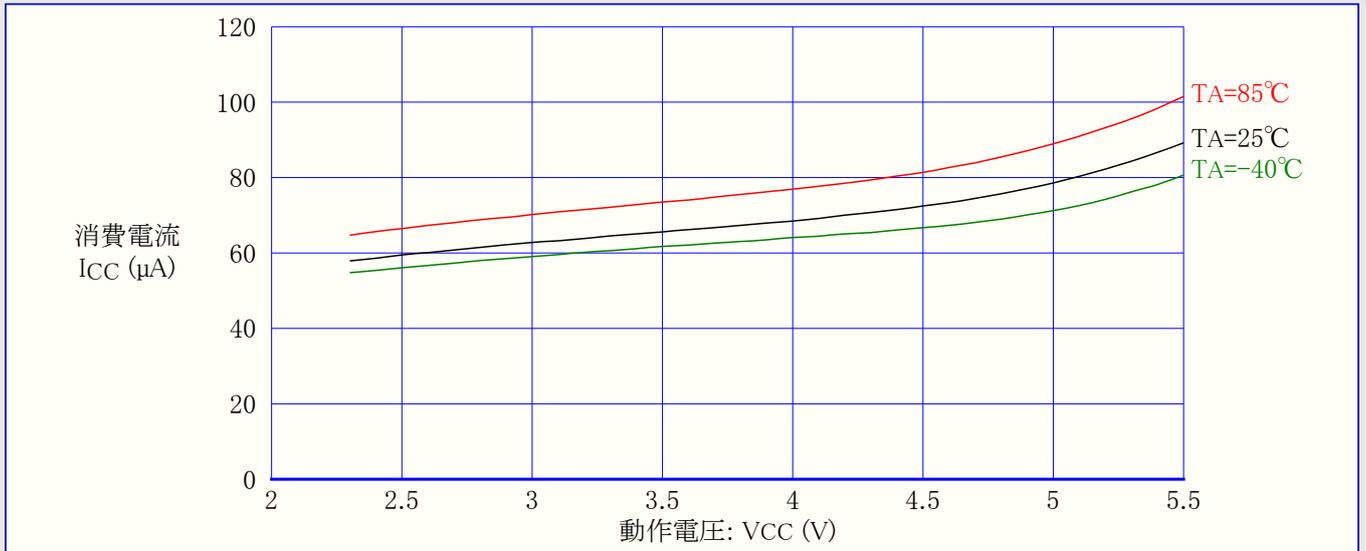
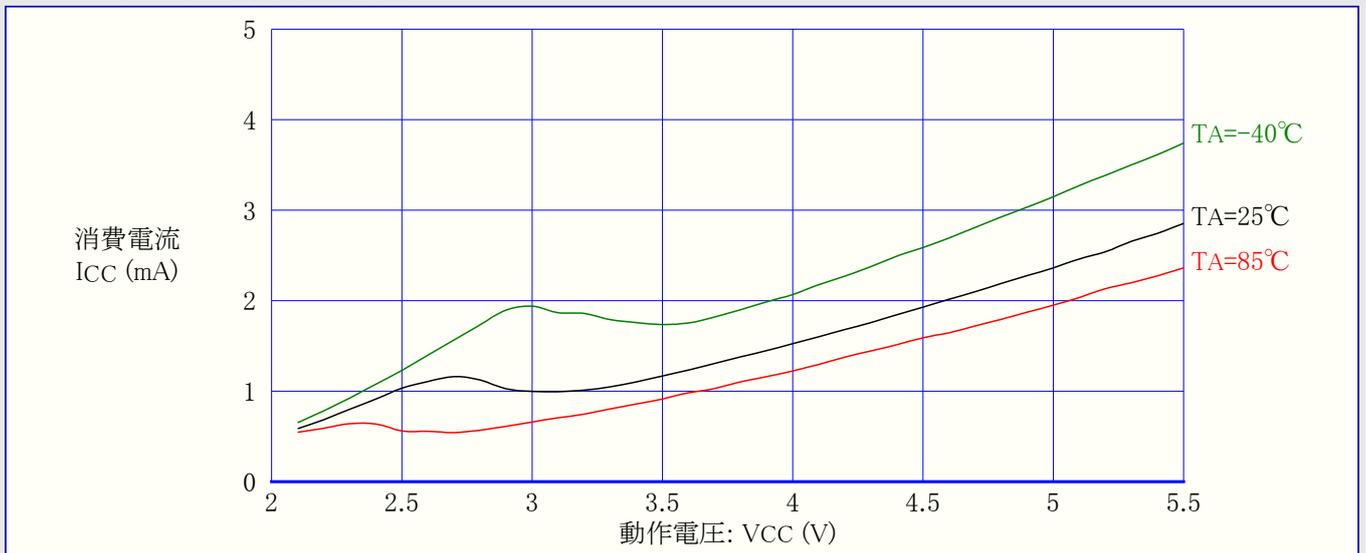


図140. プログラミング電流 対 動作電圧



リセット消費電流とリセットパルス幅

図141. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

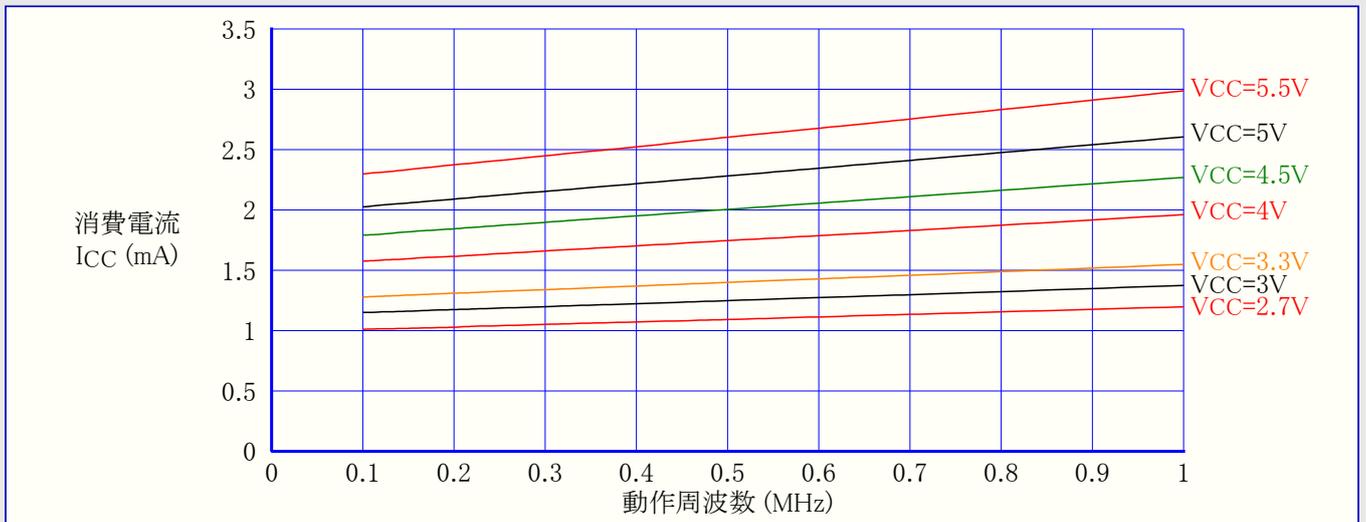


図142. リセット消費(供給)電流 対 周波数 (1MHz~20MHz、RESETプルアップ電流を除く)

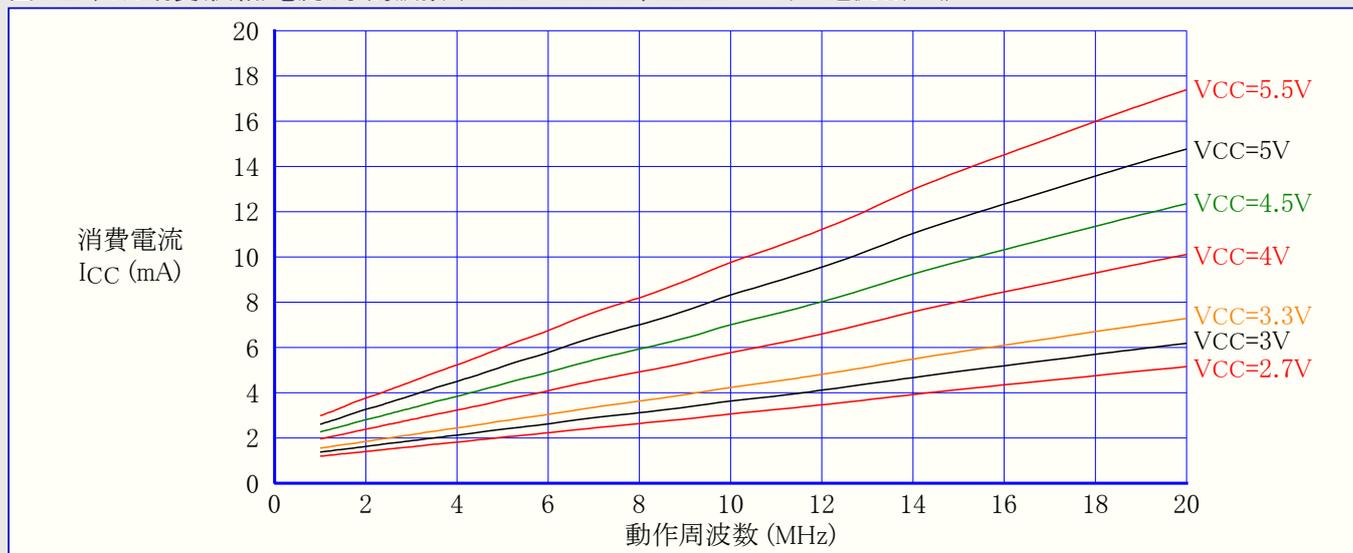
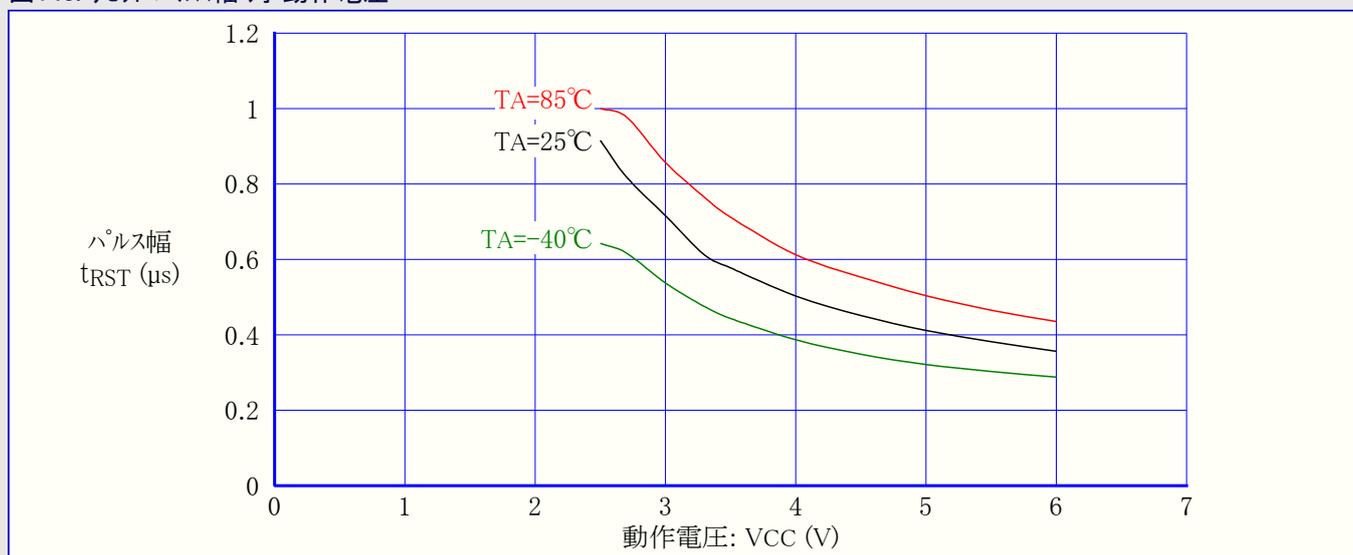


図143. リセットパルス幅 対 動作電圧





レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	予約									
\$3D (\$5D)	SP	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	6
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	-	INT0	PCIE1	PCIE0	-	-	-	-	35
\$3A (\$5A)	GIFR	-	INTF0	PCIF	-	-	-	-	-	36
\$39 (\$59)	TIMSK	-	OCIE1A	OCIE1B	-	-	TOIE1	TOIE0	-	36
\$38 (\$58)	TIFR	-	OCF1A	OCF1B	-	-	TOV1	TOV0	-	37
\$37 (\$57)	予約									
\$36 (\$56)	予約									
\$35 (\$55)	MCUCR	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	28,21
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	20
\$33 (\$53)	TCCR0	-	-	-	-	PSR0	CS02	CS01	CS00	40
\$32 (\$52)	TCNT0	タイマ/カウンタ0								41
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正レジスタ								17
\$30 (\$50)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	43
\$2F (\$4F)	TCCR1B	CTC1	PSR1	-	-	CS13	CS12	CS11	CS10	44
\$2E (\$4E)	TCNT1	タイマ/カウンタ1								44
\$2D (\$4D)	OCR1A	タイマ/カウンタ1 比較A レジスタ								44
\$2C (\$4C)	OCR1B	タイマ/カウンタ1 比較B レジスタ								45
\$2B (\$4B)	OCR1C	タイマ/カウンタ1 比較C レジスタ								45
\$2A (\$4A)	予約									
\$29 (\$49)	PLLCSR	-	-	-	-	-	PCKE	PLLE	PLOCK	45
\$28 (\$48)	予約									
\$27 (\$47)	予約									
\$26 (\$46)	予約									
\$25 (\$45)	予約									
\$24 (\$44)	予約									
\$23 (\$43)	予約									
\$22 (\$42)	予約									
\$21 (\$41)	WDTCSR	-	-	-	WDCE	WDE	WDP2	WDP1	WDP0	48
\$20 (\$40)	予約									
\$1F (\$3F)	予約									
\$1E (\$3E)	EEAR	EEPROM アドレスレジスタ (EEAR6~0)								10
\$1D (\$3D)	EEDR	EEPROM データレジスタ								10
\$1C (\$3C)	EEDR	-	-	-	-	EERIE	EEMWE	EERE	EERE	10
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	33
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	33
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	33
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	33
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	33
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	33
\$15 (\$35)	予約									
\$14 (\$34)	予約									
\$13 (\$33)	予約									
\$12 (\$32)	予約									
\$11 (\$31)	予約									
\$10 (\$30)	予約									
\$0F (\$2F)	USIDR	USI データレジスタ								50
\$0E (\$2E)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	50
\$0D (\$2D)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	51
\$0C (\$2C)	予約									
\$0B (\$2B)	予約									
\$0A (\$2A)	予約									
\$09 (\$29)	予約									
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACME	ACIS1	ACIS0	57
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	63
\$06 (\$26)	ADCSR	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	64
\$05 (\$25)	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								65
\$04 (\$24)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1~0)								
\$03 (\$23)	予約									
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

注: ・将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリアドレスは決して書かれるべきではありません。
 ・いくつかの状態ビットはそれらに論理1を書くことによって解除(0)されます。CBI, SBI命令はそのI/Oレジスタ内の全ビットを操作し、設定(1)として読んだどのフラグにも1を書き戻します。従ってフラグを解除(0)します。CBI, SBI命令は\$00~\$1FのI/Oレジスタだけで動作します。
 (訳注) 共通性のため上記注意を追加しました。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \text{\$FF} - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \text{\$00} - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\text{\$FF} - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\\$FF)	$Rd \leftarrow \text{\$FF}$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上(任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,T	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,V,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文コード [*] (注2,3)	外囲器	動作範囲
8	2.7~5.5V	ATtiny26L-8PU	20P3	工業用 (-40°C~85°C)
		ATtiny26L-8SU	20S	
		ATtiny26L-8SUR		
		ATtiny26L-8MU	32M1-A	
		ATtiny26L-8MUR		
16	4.5~5.5V	ATtiny26-16PU	20P3	工業用 (-40°C~85°C)
		ATtiny26-16SU	20S	
		ATtiny26-16SUR		
		ATtiny26-16MU	32M1-A	
		ATtiny26-16MUR		

注: このデバイスにはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄りのAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 符号は以下を示します。

- ・ U : 半光沢錫
- ・ R : テープとリール

外囲器形式

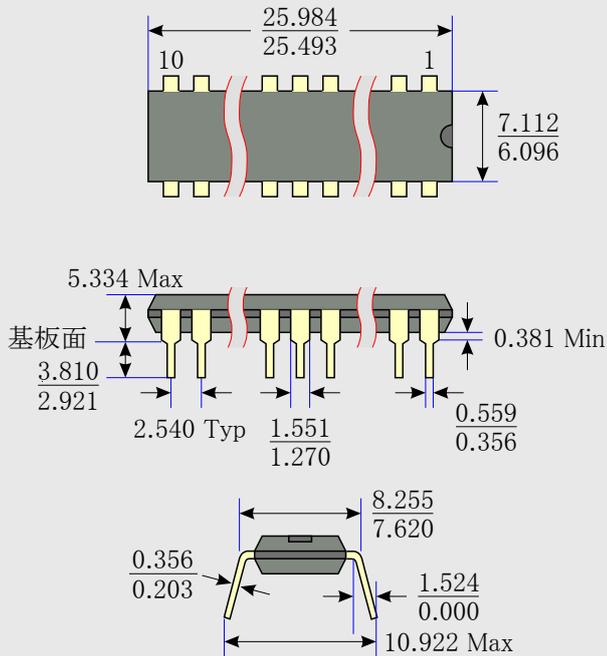
20P3	20ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
20S	20リード [*] 300mil幅 プラスティック小外形外囲器 (SOIC)
32M1-A	32パッド [*] 5×5×1mm 0.5mmピッチ 4方向平板リードなし/小リード [*] 枠外囲器 (QFN/MLF)

外圍器情報

20P3

20ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)

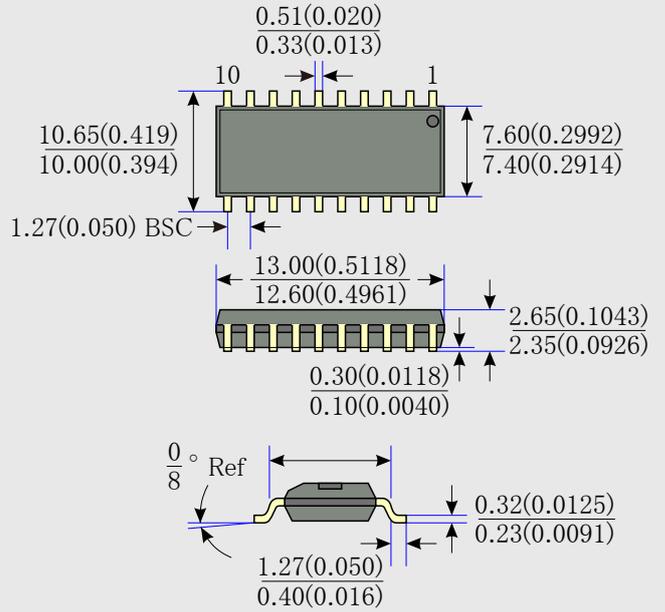
寸法: mm
JEDEC規格 MS-001 AD



20S

20リード 300mil幅 プラスティック小外形外圍器 (SOIC)

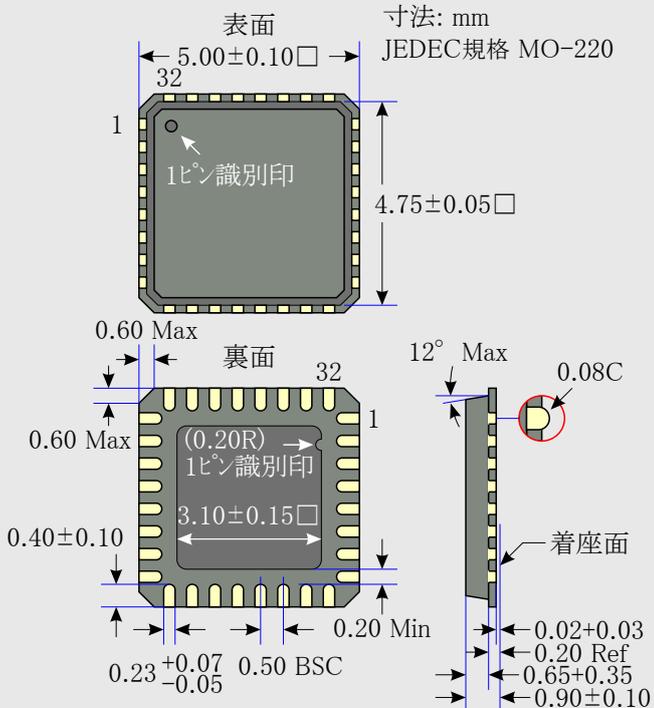
寸法: mm, ()内はインチ
JEDEC規格 MS-013 AC



32M1-A

32ピン 0.5mmピッチ 4方向平板リードなし/小リード枠外圍器 (QFN/MLF)

寸法: mm
JEDEC規格 MO-220



データシート改訂履歴

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

改訂1477A – 03/02

1. 初版

改訂1477B – 04/02

1. 13頁の「システム クロックとクロック選択」項目の「パワーセーブ休止動作への全ての参照を削除
2. 59頁の「A/D変換器」項目の「シングル エンド」と差動変換両方についての変換結果の読み方をより詳細に更新
3. 112頁の「注文情報」を更新、MLF外囲器情報を追加

改訂1477C – 09/02

1. フラッシュ メモリの書き換え可能回数(寿命)を1,000から10,000に変更

改訂1477D – 05/03

1. 113頁の「外囲器情報」を更新
2. 82頁の「A/D変換器特性」からADHSMを削除
3. 11頁で「パワーダウン休止動作中のEEPROM書き込み」項目を追加
4. 14頁で「既定のクロック種別」項目を追加
5. 45頁で「ビット0 – PLOCK : PLLロック検出」のPLLロック値を修正
6. 61頁で差動チャンネル選択時の変換時間についての情報を追加
7. 25頁でDDxn, PORTxn値を修正
8. 26頁で「未使用ピン」項目を追加
9. 68頁の表50.でRSTDISBLヒューズについての注意を追加
10. 72頁の図61.でDATA値を修正
11. 78頁の表60.でtWD_FUSE時間を追加
12. 82頁の「A/D変換器特性」の更新と差動チャンネル特性の追加
13. 82頁の「代表特性」を更新
14. 109頁からの「命令要約」でLPM Rd,ZとLPM Rd,Z+を追加

改訂1477E – 10/03

1. 「暫定」を削除
2. 1頁の「特徴」を更新
3. 1頁の「ピン配置」からSSOP外囲器参照を削除
4. 18頁の表16.でV_{RST}とt_{RST}を更新
5. 16頁の「校正付き内蔵RC発振器」を更新
6. 80頁の「電気的特性」でVOL, I_{IL}, I_{IH}, パワーダウンI_{CC}について「DC特性」を更新
7. 82頁の「A/D変換特性」でV_{INT}, I_{NL}, 利得誤差を更新、「絶対精度」での誤植修正
8. 83頁からの「代表特性」で図117.と図118.を更新、「ピン駆動能力」に図106.、「低電圧検出器(BOD)閾値とアナログ比較器オフセット」に図120., 図121., 図122.を追加
9. 109頁からの「命令要約」からLPM Rd,Z+を削除。本命令はATtiny26で支援されません。

改訂1477F – 12/04

1. 16頁の表9., 18頁の表16., 34頁の表29.を更新
2. 23頁の表20.を追加
3. 62頁の「チャンネル変更と基準電圧選択」を追加
4. 66頁の「オフセット補償の仕組み」を更新
5. 80頁の「電気的特性」を更新
6. 113頁で20P3に対する外囲器情報を更新
7. データシート内でいくつかの節を再配置(構成)

改訂1477G – 03/05

1. MLF外圍器を4方向平板リードなし/極小リード枠外圍器QFN/MLFに代替変更
2. 80頁の「電氣的特性」を更新
3. 112頁の「注文情報」を更新

改訂1477H – 04/06

1. 誤植を更新
2. 3頁で「資料」を追加
3. 18頁で「システム制御とリセット」で特徴を更新
4. 60頁で「前置文周と変換タイミング」を更新
5. 70頁で「並列プログラミング動作への移行」についての方法を更新

改訂1477I – 10/06

1. 115頁の「障害情報」を更新

改訂1477J – 10/06

1. 1頁に「新規設計は推奨されません」を追加

改訂1477K – 08/10

1. 表紙から「新規設計は推奨されません」の文章を削除
2. 111頁の「注文情報」にテープとリール品の番号を追加
3. 最終頁を更新

障害情報

この章の改訂番号はATtiny26/Lデバイスの改訂版を参照してください。

改訂B/C/D

- ・ **初回アナログ比較器変換が遅らされるかもしれない**

B/C/D

1. 初回アナログ比較器変換が遅らされるかもしれない (B/C/D)

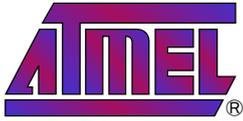
デバイスが低速上昇VCCで給電される場合、最初のアナログ比較器変換はいくつかのデバイスで予想よりも長くなるでしょう。

対策/対処

デバイスが給電またはリセットされたとき、最初の変換前にアナログ比較器を**禁止し、そして許可**してください。

目次

特徴	1	8ビット タイマ/カウンタ0	40
ピン配置	1	8ビット タイマ/カウンタ1	41
概要	2	ウォッチドッグ タイマ	48
構成図	2	多用途直列インターフェース (USI)	49
ピン説明	3	概要	49
一般情報	3	USI用レジスタ	50
資料	3	機能説明	53
コード例	3	USIでの代替使用	56
AVR CPU コア	4	アナログ比較器	57
構造概要	4	A/D変換器	59
汎用レジスタ ファイル	5	特徴	59
ALU (Arithmetic Logic Unit)	5	操作	60
ステータスレジスタ	6	前置分周と変換タイミング	60
スタックポインタ	6	チャネル変更と基準電圧選択	62
プログラム/データ空間に対するアドレス指定種別	7	雑音低減機能	62
メモリ	9	A/D変換の結果	62
実装書き換え可能なプログラム用フラッシュメモリ	9	A/D変換用レジスタ	63
データ用SRAMメモリ	9	複数チャネル変換走査	66
データ用EEPROMメモリ	10	アナログ雑音低減技術	66
I/Oメモリ (レジスタ)	12	オフセット補償の仕組み	66
システム クロックとクロック選択	13	メモリプログラミング	67
クロック系統とその配給	13	プログラムメモリとデータメモリ用施錠ビット	67
クロック元	14	識票バイト	67
既定のクロック元	14	校正バイト	67
クリスタル用発振器	15	ヒューズビット	68
低周波数クリスタル用発振器	15	ページ容量	68
外部RC発振器	16	並列プログラミング	69
校正付き内蔵RC発振器	16	並列プログラミング手順	70
外部クロック信号	17	直列プログラミング	77
高速PLLクロック	17	直列プログラミング手順	77
システム制御とリセット	18	電気的特性	80
電源ONリセット	19	絶対最大定格	80
外部リセット	19	DC特性	80
低電圧(ブラウンアウト)検出	19	外部クロック特性	81
ウォッチドッグリセット	19	A/D変換器特性	82
MCU状態レジスタ-MCUSR	20	代表特性	83
電力管理と休止形態	21	活動動作消費電流	83
MCU制御レジスタ-MCUCR	21	アイドル動作消費電流	86
アイドル動作	22	パワーダウン動作消費電流	88
A/D変換雑音低減動作	22	スタンバイ動作消費電流	89
パワーダウン動作	22	ピンプルアップ	92
スタンバイ動作	22	ピン駆動能力	93
消費電力の最小化	23	ピン閾値とヒステリシス	96
入出力ポート	24	低電圧検出器(BOD)閾値と アナログ比較器オフセット	99
序説	24	内部発振器周波数	100
標準デジタル入出力としてのポート	24	周辺機能部消費電流	105
交換ポート機能	27	リセット消費電流とリセットパルス幅	106
I/Oポート用レジスタ	33	レジスタ要約	108
割り込み	34	命令要約	109
割り込みベクタ	34	注文情報	111
割り込みの扱い	35	外圍器情報	112
外部割り込み	38	データシート改訂履歴	113
ピン変化割り込み	38	障害情報	115
タイマ/カウンタ	39		
タイマ/カウンタ0の前置分周器	39		
タイマ/カウンタ1の前置分周器	39		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-
Yvelines Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2008. 不許複製 Atmel®、ロコとそれらの組み合わせ、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2022.

本データシートはAtmelのATtiny26英語版データシート(改訂1477K-08/10)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。