

特徴

- AVR[®] RISC構造の利用
- AVR –高性能、低消費RISC構造
 - ・強力な**90命令**(多くは1周期で実行)
 - ・32個の1バイト長**汎用レジスタ**
 - ・4MHz時、4MIPSに達する高速動作
- 不揮発性プログラム用メモリ
 - ・プログラム用2Kバイト(1K語)**フラッシュメモリ**内蔵
 - 1000回の書き換えが可能
 - ・フラッシュメモリのプログラム保護用の設定可能な**施錠機能**
- 内蔵周辺機能
 - ・**Lowレベル入力**での**割り込み**と起動復帰
 - ・独立した前置分周器付き、1つの**8ビットタイマ/カウンタ**
 - ・**アナログ比較器**
 - ・設定可能な専用発振器付き**ウォッチドッグタイマ**
 - ・**設定可能な変調器**付き高電流LED駆動部
- 特殊マイクロコントローラ機能
 - ・アイドルとパワーダウンの2つの**低消費動作**
 - ・外部及び内部の**割り込み**
 - ・設定可能な起動時間の**電源ON/セット回路**
 - ・**校正付き内蔵RC発振器**
- 消費電流 (条件: 1MHz, 2V, 25°C)
 - ・活動動作 3.0mA
 - ・**アイドル動作** 1.2mA
 - ・**パワーダウン動作** 1μA未満
- I/Oと外圍器
 - ・11ビットの**設定可能なI/O**、8ビット入力、高電流LED駆動部
 - ・**28ピンPDIP**、**32リードSOIC**、**32パッドQFN/MLF**
- 動作電圧
 - ・1.8~5.5V (ATtiny28V)
 - ・2.7~5.5V (ATtiny28L)
- 動作速度
 - ・0~1.2MHz (ATtiny28V)
 - ・0~4MHz (ATtiny28L)

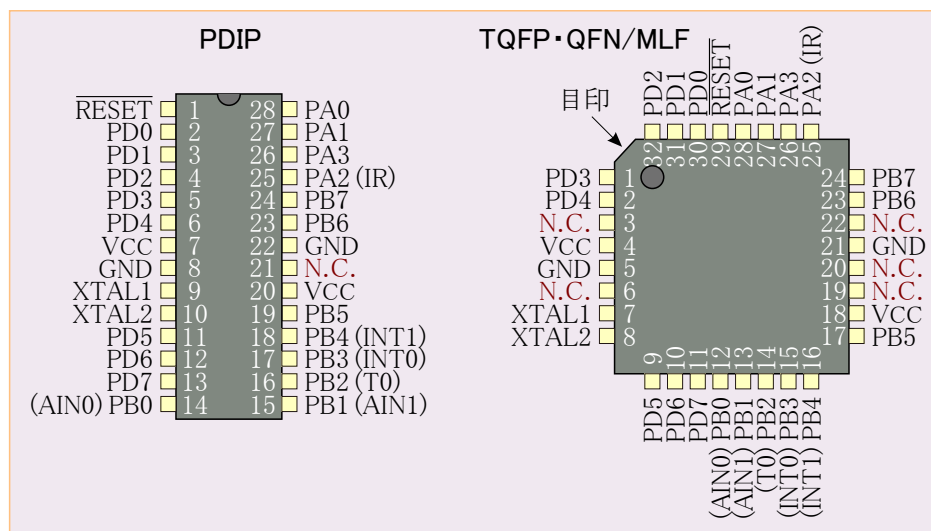
本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。



8ビット **AVR[®]**
 マイクロコントローラ
 2Kバイト
 フラッシュメモリ内蔵

ATtiny28L
 ATtiny28V

ピン配置



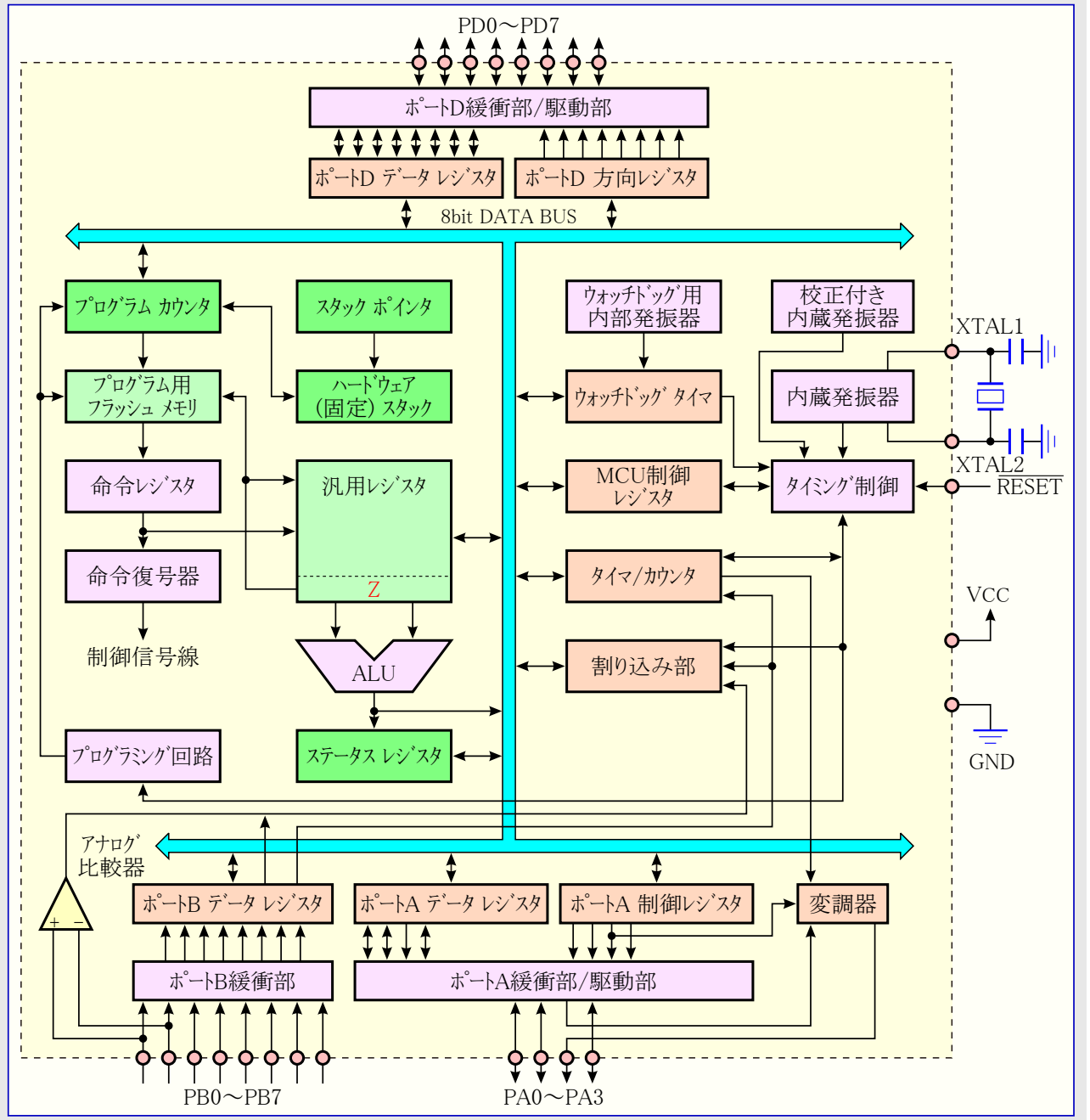
Rev. 1062H-07/06, 1062HJ6-04/22

概要

ATtiny28はAVR RISC構造の低消費CMOS 8ビット マイクロ コントローラです。1周期で実行する強力な命令はMHzあたり1MIPSにも達し、実行速度対電力消費の最適化が容易に行えます。AVRコアは32個の汎用レジスタと豊富な命令群を兼ね備えています。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロ コントローラに対して最大10倍の単位処理量向上効果があります。

構成図

図1. ATtiny28構成図



ATtiny28は2Kバイト フラッシュ メモリ、11本の汎用入出力線、8本の入力線、高電流LED駆動部、32個の汎用レジスタ、8ビット タイマ/カウンタ、内部及び外部割り込み、設定変更可能な内部発振器付きウォッチドッグ タイマ、ソフトウェアで選択できる2つの低消費動作を提供します。アイドル動作では動作を停止しますが、タイマ/カウンタと割り込み機能は有効で、動作を継続します。パワーダウン動作ではレジスタの内容は保護されますが、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を無効にします。Lowレベル入力での割り込みまたは起動復帰機能は、パワーダウン動作中の最低電力消費の特徴のままで、外部の出来事に対する高い応答性をATtiny28で可能にします。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。モノリシックチップ上のフラッシュメモリと、拡張された8ビットRISC型CPUの組み合わせによるAtmelのATtiny28は多くの組み込み制御の応用に対して高度な柔軟性と対費用効果をもたらす強力なマイクロコントローラです。ATtiny28 AVRはマクロアセンブラ、デバッグ、シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

ピン概要

VCC

電源ピン。

GND

接地ピン。

PA3～PA0 (ポートA)

ポートAは4ビットの双方向入出力ポートです。PA2は出力専用で、高電流LED駆動部として使えます。VCC=2.0VでPA2出力緩衝部は25mA、吸い込めます。PA3,1,0は(ビット単位で選択される)内蔵プルアップ抵抗付き双方向入出力ピンです。リセット条件が活性(有効)になると、例えばクロックが動作していなくても、ポートピンはHi-Zにされます。

PB7～PB0 (ポートB)

ポートBは(全ポートBピンについて選択される)内蔵プルアップ抵抗付き入力ポートです。8ビットの入力ポートです。PB0～7を内蔵プルアップが活性(有効)にされると、外部的にLowへ引かれるポートBピンには、吐き出し電流が流れます。

[18頁の一覧](#)で示されるように、ポートBはATtiny28の各種特殊機能も取り扱います。何れかの特殊機能が許可されると、対応するピンのプルアップは自動的に禁止されます。リセット条件が活性(有効)になると、例えばクロックが動作していなくても、ポートピンはHi-Zにされます。

PD7～PD0 (ポートD)

ポートDは8ビットの入出力ポートです。ポートピンは(ビット単位で選択される)内蔵プルアップ抵抗を供給できます。リセット条件が活性(有効)になると、例えばクロックが動作してなくても、ポートピンはHi-Zにされます。

XTAL1

発振用反転増幅器の入力。または外部発振入力。

XTAL2

発振用反転増幅器の出力。

RESET

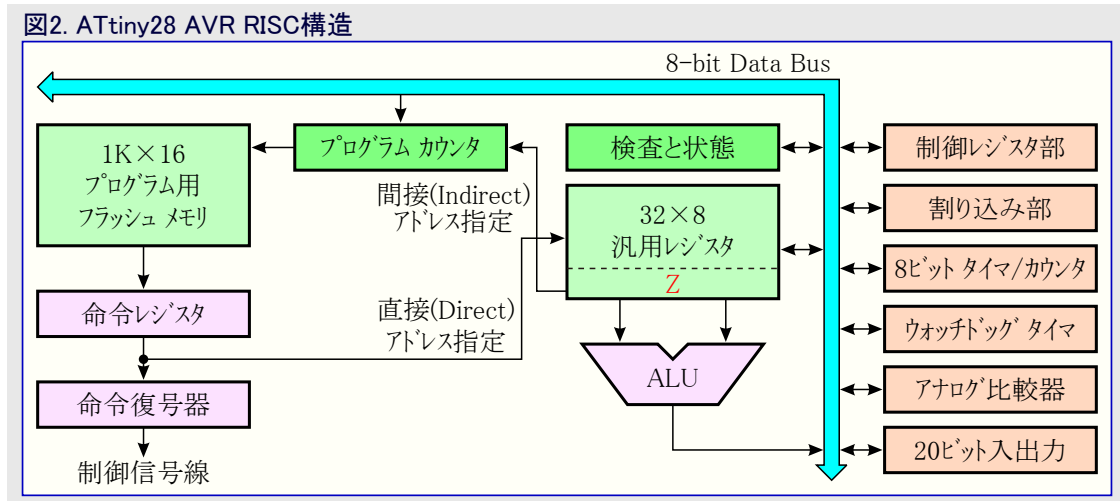
リセット入力。外部リセットはRESETピンのLowレベルにより生成されます。例えばクロックが動作していなくても、50nsより長いリセットパルスはリセットを生成します。より短いパルスはリセット生成が保証されません。

構造概要

1クロック周期アクセス時間の高速レジスタファイルには32個の8ビット長汎用レジスタが含まれます。これは1クロック周期中に1つのALU(Arithmetic Logic Unit)命令が実行されることを意味します。1クロック周期で、2つのオペランドはレジスタファイルから出力され、命令が実行され、その結果がレジスタファイルに書き戻されます。

32個中の2つのレジスタは間接メモリアクセス用16ビットポインタとして使えます。このポインタはZポインタ(レジスタ)と呼ばれ、レジスタファイルとプログラム用フラッシュメモリをアドレス指定できます。

ALUはレジスタ間、レジスタと定数間の算術及び論理操作を行います。単一レジスタ操作も同様にALUで実行されます。図2はATtiny28 AVR RISCマイクロコントローラの構造を示します。AVRのメモリとバスはプログラム用とデータ用に、各々分離されたハーバード構造で構成されます。プログラムメモリは2段のパイプラインでアクセスされます。1命令の実行中に、次の命令をプログラムメモリから事前取得します。この概念は全てのクロック周期で命令が実行されるのを可能にします。プログラムメモリは書き換え可能なフラッシュメモリです。



1Kアドレス空間全てがプログラムカウンタ(PC)相対の無条件分岐(RJMP)命令と呼び出し(RCALL)命令で直接的にアクセスされます。全てのAVR命令は単一の16ビット語形式で、プログラムメモリ内の全てのアドレスが単一の16ビット長命令を含むことを意味します。

割り込みやサブルーチン呼び出しでの戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。このスタックはサブルーチンと割り込み専用の深さ3段のハードウェアスタックです。

I/Oメモリ空間は制御レジスタ、タイマ/カウンタ、その他I/O機能など、CPU周辺機能用の64アドレスを含みます。AVR構造に於けるメモリ空間は全て規則的で直線的なメモリ配置です。

柔軟な割り込み部にはI/O空間の個別の制御レジスタとステータスレジスタ(SREG)の全割り込み許可(I)ビットがあります。各割り込みの全てにはプログラムメモリ先頭の割り込みベクタ表内に個別の割り込みベクタがあります。各割り込みは、この割り込みベクタ表の位置に従った優先順です。下位側割り込みベクタアドレスが高い優先順位です。

ALU (Arithmetic Logic Unit)

高性能なAVRのALUは、32個全ての汎用レジスタに直接接続され、動作します。レジスタファイル内のレジスタ間ALU操作は、1クロック周期内で実行されます。ALU操作は、算術演算、論理演算、ビット操作の3つの主な種類に大別されます。AVR製品系統のいくつかのマイクロコントローラはALUの算術演算部のハードウェア乗算器が特徴です。

サブルーチン、割り込み用スタック

ATtiny28はサブルーチンと割り込み用に深さ3段のハードウェア(固定)スタックを使います。このスタックは10ビット幅で、サブルーチンや割り込み実行中、プログラムカウンタ(PC)の戻りアドレスを格納します。

PC相対呼び出し(RCALL)命令や割り込み時、スタックレベル0にPCの戻りアドレスがプッシュ(格納)され、他のスタックレベル1,2のデータはスタック内で1段深くなります。RETやRETI命令が実行されると、スタックレベル0から戻りアドレスをPCにポップ(復帰)し、他のスタックレベル1,2のデータはスタック内で1段浅くなります。

3つを超えるサブルーチンや割り込みが続いて実行されると、スタックに書かれた最初の値が上書きされます。

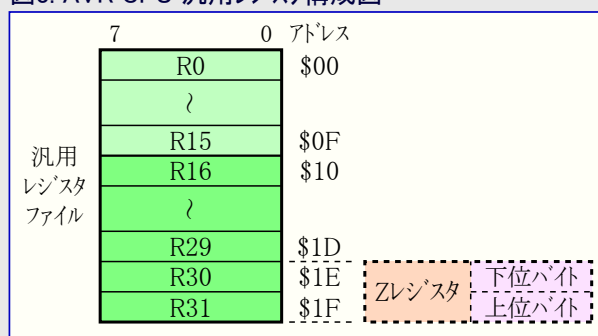
汎用レジスタ ファイル

図3.に32個の汎用レジスタの構成を示します。

全てのレジスタに対するレジスタ操作命令は**レジスタ直接指定**ができ、1周期でアクセスします。**SBCI,SUBI,CPI,ANDI,ORI**の5つの算術、論理定数演算命令と、定数をレジスタに設定する**LDI**命令だけは例外です。これらの命令はレジスタファイル後半のR16～R31に対してだけ適用されます。通常の**SBC,SUB,CP,AND,OR**や他の全てのレジスタ間、単一レジスタ操作命令はレジスタファイルの全レジスタに適用されます。

R30とR31レジスタはフラッシュ メモリとレジスタ ファイルの間接アクセスに使われる16ビット ポインタ(Zレジスタ)を形成します。レジスタ ファイルがアクセスされるとき、R31の内容はCPUによって破棄(無視)されます。

図3. AVR CPU 汎用レジスタ構成図



ステータス レジスタ

■ ステータス レジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は、I/O領域の\$3Fで、次のように定義されています。

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - I: 全割り込み許可 (Global Interrupt Enable)

この全割り込み許可ビットは割り込みを許可する場合、設定(1)しなければなりません。各割り込みの許可は、各制御レジスタで個別に行います。全割り込み許可ビットが解除(0)されると、個別に割り込みが許可されていても割り込みは発生しません。このビットは割り込み発生後、自動的に解除(0)され、後続の割り込みを許可するため、割り込み処理の**RETI**命令によって設定(1)されます。

■ ビット6 - T: ビット変数 (Bit Copy Storage)

このTビットは**BLD**(Bit Load)命令と**BST**(Bit Store)命令の転送元または転送先として使われます。BLD命令はTをレジスタファイルのレジスタのビットに複写し、BST命令はレジスタファイルのレジスタからビットをTに複写します。

■ ビット5 - H: ハーフキャリー フラグ (Half Carry Flag)

このHフラグはいくつかの算術演算命令でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については**命令要約**を参照してください。

■ ビット4 - S: 符号 (Sign Bit, S= N Ex-OR V)

このSフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については**命令要約**を参照してください。

■ ビット3 - V: 2の補数溢れフラグ (2's Complement Overflow Flag)

この2の補数溢れ(V)フラグは2の補数算術演算を補助します。詳細情報については**命令要約**を参照してください。

■ ビット2 - N: 負フラグ (Negative Flag)

このNフラグは算術及び論理演算の結果が負であること(MSB=1)を示します。詳細情報については**命令要約**を参照してください。

■ ビット1 - Z: ゼロフラグ (Zero Flag)

このZフラグは算術及び論理演算の結果がゼロ(0)であることを示します。詳細情報については**命令要約**を参照してください。

■ ビット0 - C: キャリー フラグ (Carry Flag)

このCフラグは算術及び論理演算でキャリーが発生したことを示します。詳細情報については**命令要約**を参照してください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と、割り込み処理ルーチンから復帰時の再設定が、自動的に行われないうことに注意してください。これはソフトウェアによって操作しなければなりません。

システム クロックとクロック選択

このデバイスは次のクロック元種別を持ち、表1.で示されるフラッシュ ヒューズ ビットによって選択できます。

各クロック種別についての各種選択は11頁の表5.で示されるように異なる起動時間を与えます。

表1. クロック選択

クロック種別	CKSEL3~0
外部クリスタル/セラミック発振子	1 1 1 1 ~ 1 0 1 0
外部低周波数クリスタル発振子	1 0 0 1 ~ 1 0 0 0
外部RC発振	0 1 1 1 ~ 0 1 0 1
内蔵RC発振	0 1 0 0 ~ 0 0 1 0
外部クロック信号	0 0 0 1 ~ 0 0 0 0

注: 1=非プログラム、0=プログラム

内蔵RC発振器

内蔵RC発振器は公称周波数1.2MHzで動作するチップ上の校正された発振器です。選択されたならば、デバイスは外付け部品なしで動作できます。このデバイスは、この種別が選択され、出荷されます。

(訳注) ATtiny28の内蔵RC発振周波数が改訂データシートで1.0MHzから1.2MHzに変更されています。

校正付き内蔵RC発振器

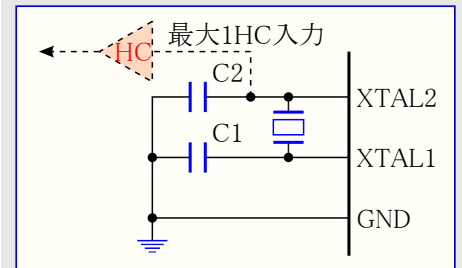
校正された内蔵RC発振器は3V, 25°Cで公称1.2MHz固定のクロックを提供します。このクロックはシステムクロックとして使えます。このクロックをシステムクロックとする選択方法の情報は「システムクロックとクロック選択」章をご覧ください。この発振器は発振校正レジスタ(OSCCAL)への校正值書き込みにより校正できます。この発振器がシステムクロックとして使われるときでも、ウォッチドッグタイマとリセット遅延には未だウォッチドッグ用発振器が使われます。予めプログラムされた校正值の使用法の詳細については30頁の「校正バイト」項をご覧ください。

クリスタル用発振器

図4.で示されるように、XTAL1とXTAL2はチップ上の発振器としての使用に設定できる反転増幅器の各々入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。INTCAPヒューズがプログラム(0)されると、代表値50pFの内部負荷容量(内蔵コンデンサ)がXTAL1/XTAL2とGND間にそれぞれ接続されます。

注: 外部デバイス用クロックとしてMCU発振器を使うときは、図で示されるようにHC緩衝器が接続されるべきです。

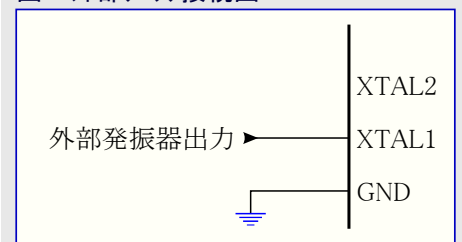
図4. 発振子接続図



外部クロック信号

外部クロック信号でデバイスを駆動するには、図5.で示されるようにXTAL1が駆動される間、XTAL2は未接続のままとすべきです。

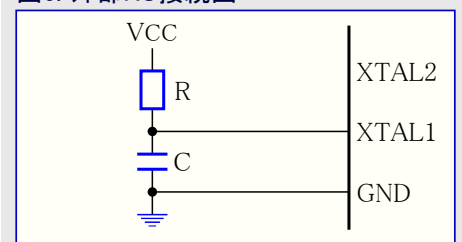
図5. 外部クロック接続図



外部RC発振器

タイミングに敏感でない応用については図6.で示される外部RC設定が使えます。RとCの選択法の詳細については36頁の表25.をご覧ください。

図6. 外部RC接続図



クロック用レジスタ

■ 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$00	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~0 - CAL7~0 : 発振校正値 (Oscillator Calibration Value)

発振周波数の偏差による処理を省くため、このアドレスへの校正バイト書き込みが内蔵RC発振器を調整します。OSCCALが0の時に利用可能な最低周波数が選択されます。このレジスタへの0以外の値書き込みが内蔵RC発振器周波数を増加します。このレジスタへの\$FF書き込みが利用可能最高周波数を与えます。表2.はOSCCALの範囲を示します。この発振器は1.2MHzへの校正を意図したもので、このため他の値への調整が保証されないことに注意してください。3V, 25℃で、予めプログラムされた校正バイトは公称周波数の±1%内の周波数を与えます。

表2. 内蔵RC発振器周波数範囲

OSCCAL値	最小	最大
\$00	0.6MHz	1.2MHz
\$7F	0.8MHz	1.7MHz
\$FF	1.2MHz	2.5MHz

(訳注) 内蔵RC発振周波数が改訂Eデータシートで1.0MHzから1.2MHzに変更されたために表も変更されました。

メモリ

I/O レジスタ

ATtiny28のI/O領域定義は表3.に示されます。

表3. ATtiny28 I/Oレジスタ

アドレス	レジスタ略名	レジスタ名称
\$3F	SREG	ステータス レジスタ Status Register
\$1B	PORTA	ポートA 出力データ レジスタ Data Register, Port A
\$1A	PACR	ポートA 制御レジスタ Port A Control Register
\$19	PINA	ポートA 入力データ レジスタ Input Pins, Port A
\$16	PINB	ポートB 入力データ レジスタ Input Pins, Port B
\$12	PORTD	ポートD 出力データ レジスタ Data Register, Port D
\$11	DDRD	ポートD 方向レジスタ Data Direction Register, Port D
\$10	PIND	ポートD 入力データ レジスタ Input Pins, Port D
\$08	ACSR	アナログ比較器 制御/状態レジスタ Analog Comparator Control and Status Register
\$07	MCUCS	MCU制御/状態レジスタ MCU Control and Status Register
\$06	ICR	割り込み制御レジスタ Interrupt Control Register
\$05	IFR	割り込み要求フラグ レジスタ Interrupt Flag register
\$04	TCCR0	タイマ/カウンタ0 制御レジスタ Timer/Counter 0 Control Register
\$03	TCNT0	タイマ/カウンタ0 カウンタ Timer/CouNter 0 (8bit)
\$02	MODCR	変調制御レジスタ Modulation Control Register
\$01	WDTCSR	ウォッチドッグ タイマ制御レジスタ WatchDog Timer Control Register
\$00	OSCCAL	発振器校正レジスタ Oscillator Calibration Register

注: 予約と未使用の位置は、この表で示されていません。

ATtiny28の全てのI/Oと周辺部はI/O空間に配置されています。各I/O位置は、I/O空間と32個の汎用レジスタ間のデータ移動を行うIN命令とOUT命令によりアクセスされます。アドレス\$00～\$1F範囲内のI/Oレジスタは、SBIとCBI命令を使う直接ビット アクセスが可能です。これらのレジスタでは、SBISとSBIC命令の使用により、単一ビット値の検査ができます。より詳細な内容は命令要約を参照してください。

将来のデバイスとの共通性を保つため、予約ビットに書く場合は0を書くべきです。予約済みI/Oアドレスは決して書かれるべきではありません。

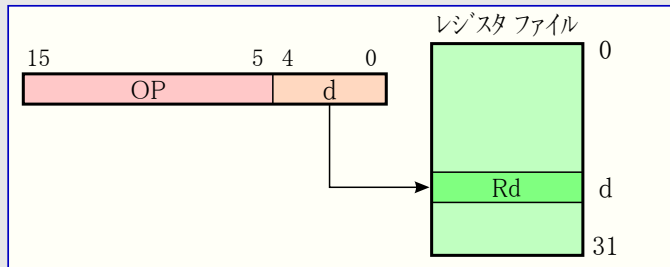
I/Oと周辺制御レジスタは次章で説明されます。

プログラム及びデータ空間に対するアドレス指定種別

ATtiny28 AVR RISCマイクロ コントローラは強力で効率的なアドレス指定種別を支援します。本項はATtiny28で支援される様々なアドレス指定種別を記述します。図内のOPは命令語の動作コード部を意味します。単純化のため、全ての図がアドレス指定ビットの正確な位置を示すとは限りません。

単一レジスタ(Rd)直接

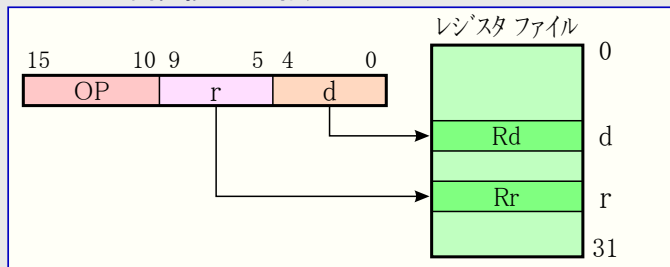
図7. 単一レジスタ直接アドレス指定



オペランドはレジスタd(Rd)を示します。

レジスタ間(Rd, Rr)直接

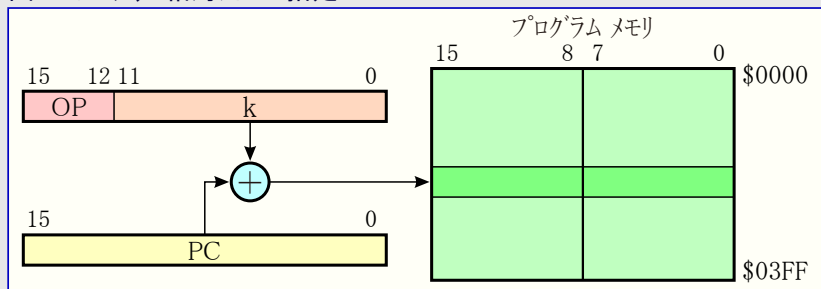
図9. レジスタ間直接アドレス指定



オペランドはレジスタr(Rr)とd(Rd)を示し、結果はレジスタd(Rd)に格納されます。

RJMP, RCALL命令によるプログラム相対アドレス指定

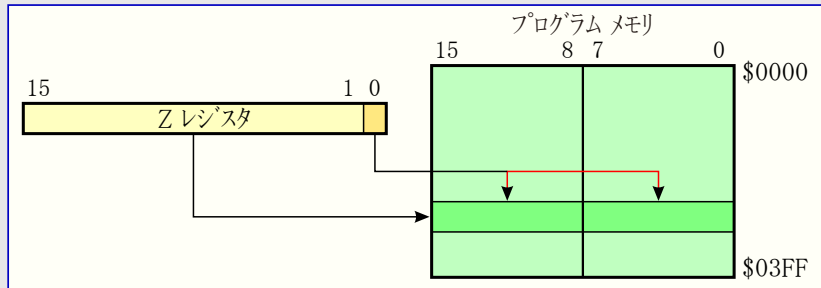
図11. プログラム相対アドレス指定



注: このPC値は事前取得の関係から次命令先頭(+1)を指しています。

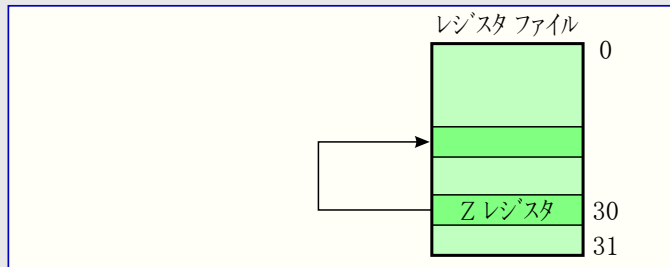
LPM命令による定数アドレス指定

図12. プログラム空間定数アドレス指定



レジスタ間接

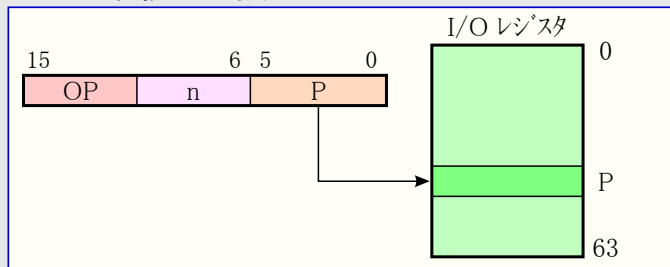
図8. レジスタ間接アドレス指定



オペランドはZレジスタ(R30)で示されるレジスタです。

I/O直接

図10. I/O直接アドレス指定



オペランドはI/OアドレスPと、転送元または転送先となるレジスタn(Rn)を示します。

プログラムはPC+k+1のアドレスから継続実行されます。相対値kは符号付きで、-2048～2047です。

バイト定数のアドレスはZレジスタの内容で示されます。上位15ビットが0～1Kの語(ワード)アドレスを指示し、最下位ビットがバイト位置を表し、LSB=0で下位バイト、LSB=1で上位バイトを示します。

メモリアクセスと命令実行タイミング

本項は命令実行についての一般的なアクセスタイミングの概念を記述します。

AVR CPUは外部クリスタルまたは内蔵RC発振器で直接的に発生されたシステムクロックφにより駆動されます。内部クロック分周は使われません。

図13.はハーバード構造と高速アクセスレジスタファイルの概念によって可能となる命令取得と命令実行の並列動作を示します。これは機能対費用、対クロック、対電源部での好結果に相当するMHzあたり1MIPSまでを得る基本的なパイプラインの概念です。

図14.はレジスタファイルに対する内部タイミングの概念を示します。2つのレジスタオペランドを使うALU操作は、転送先レジスタへの結果書き戻しを含め、単一クロック周期で実行されます。

図13. 命令の取得と実行の並列動作

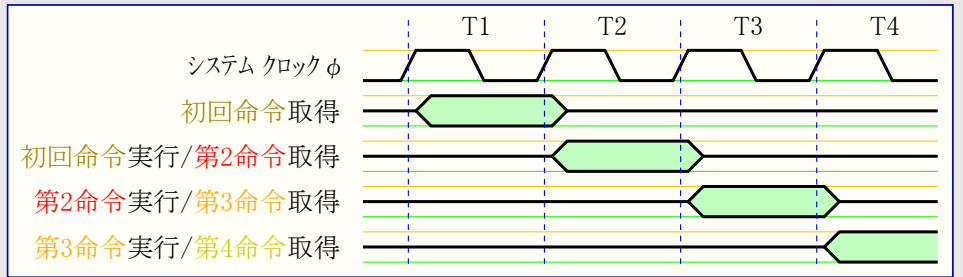
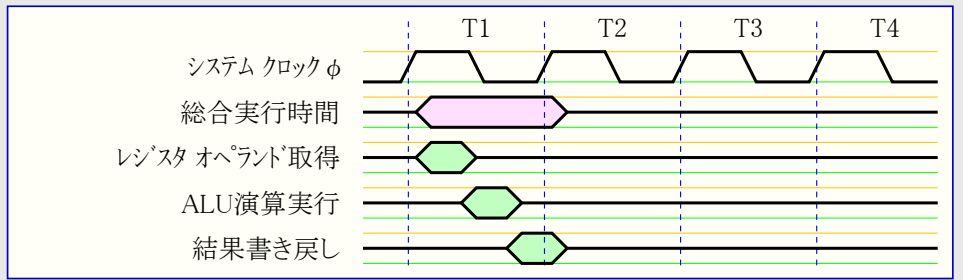


図14. 1周期ALU命令



プログラム用フラッシュメモリ

ATtiny28には、プログラム保存用に2Kバイトのフラッシュメモリが内蔵されています。全ての命令が単一の16ビット/1語のため、フラッシュメモリは1K×16ビットとして構成されています。フラッシュメモリは少なくとも1000回書き込みの耐久性があります。

ATtiny28のプログラムカウンタ(PC)は10ビット幅で、プログラムメモリ内の1K(語)アドレスを指定します。フラッシュメモリ書き込みの詳細な記述については30頁の「フラッシュメモリのプログラミング」をご覧ください。

休止形態種別

休止形態へ移行するには、MCU制御/状態レジスタ(MCUCS)の休止許可(SE)ビットが設定(1)され、SLEEP命令が実行されなければなりません。MCUCSの休止種別(SM)ビットが選択する休止形態(アイドル動作またはパワーダウン動作)は、SLEEP命令によって有効にされます。MCUが休止形態中に許可されている割り込みが発生すると、MCUが起動復帰します。CPUは4周期停止され、その後に割り込み処理ルーチンを実行し、そしてSLEEP命令の次から実行を再開します。レジスタファイルとI/Oレジスタの内容は無変化です。休止形態中にリセットが起ると、MCUは起動復帰し、リセットベクタから実行します。

アイドル動作

休止種別(SM)ビットが解除(0)されていると、SLEEP命令でMCUがアイドル動作へ移行し、CPUは停止しますが、タイマ/カウンタ、ウォッチドッグ、割り込み機構は継続して動作します。これはタイマ溢れのような内部割り込みやウォッチドッグのリセットだけでなく、外部で起動される割り込みからもMCUの起動復帰を可能にします。アナログ比較器割り込みからの起動復帰が必要とされない場合、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力削減になります。ACDビットが既定で設定(1)されていることに注意してください。

パワーダウン動作

休止種別(SM)ビットが設定(1)されていると、SLEEP命令でMCUがパワーダウン動作へ移行します。この動作では、外部発振器が停止され、一方、外部割り込みと(許可されていれば)ウォッチドッグは動作を継続します。外部リセット、(許可されていれば)ウォッチドッグリセット、または外部レベル割り込みだけがMCUを起動復帰できます。

パワーダウン動作からの起動復帰にレベルで起動された割り込みが使われる場合、MCUを起動するため、変更されたレベルは一定時間保持されなければならないことに注意してください。これはMCUの雑音不安定性を減らします。この起動時間はリセット遅延時間のCK計数部(表5.参照)と同じです。入力が2回のウォッチドッグ発振器周期で必要とされるレベルだと、MCUはパワーダウン動作から起動復帰します。起動時間が2つのウォッチドッグ発振器周期よりも短い場合、入力が起動時間の幅分、必要とされるレベルであれば、MCUは起動復帰します。起動時間が終了される前に起動復帰条件が消滅すると、MCUは対応する割り込みの実行を除いて、パワーダウン動作から起動復帰します。ウォッチドッグ発振器の周期は公称2.7μs(3V, 25°C)です。37頁の「代表特性」章で示されるように、ウォッチドッグ発振器の周波数は電圧に依存します。

パワーダウン動作から復帰するとき、起動復帰条件発生から起動復帰の効果が現れるまで遅延を伴います。これは停止されてしまっている後に、再開のためのクロックが許可され、安定状態になるためです。

システム制御とリセット

リセット元

ATtiny28には次の3つのリセット発生要素があります。

- ・ **電源ONリセット** 電源電圧が電源ONリセット閾値電圧(V_{POT})以下でリセットになります。
- ・ **外部リセット** RESETピンが50ns以上Lowレベルに保たれるとリセットになります。
- ・ **ウォッチドッグリセット** ウォッチドッグが許可され、ウォッチドッグ タイマ周期が経過するとリセットになります。

リセット中に、全てのI/Oレジスタは初期値が設定され、その後にアドレス\$000からプログラム実行が始まります。アドレス\$000に配置される命令はきつとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしよう。プログラムで決して割り込みを許可しないならば、割り込みベクタが使われず、これらの位置に通常のプログラムを配置できます。図15.の回路構成はリセット回路を示します。表4.はリセット回路のタイミングと電気的特性値を定義します。

図15. リセット回路構成

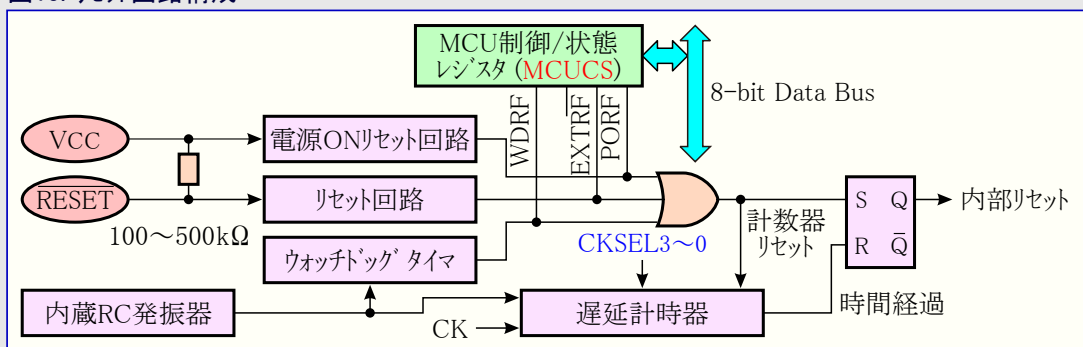


表4. リセット電気的特性

シンボル	項目	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	1.0	1.4	1.8	V
	下降時電源ONリセット閾値電圧 (注1)	0.4	0.6	0.8	
V _{RST}	RESETピン閾値電圧		0.6V _{CC}		

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

右表はリセットからの起動時間を示します。パワーダウン動作からは(表の)CK計数部だけが使われます。起動時間の実時間部のタイミングについては、ウォッチドッグ発振器が使われます。この実時間に対するウォッチドッグ発振器の計数値は表6.で示されます。

表6. ウォッチドッグ発振器の周期数

タイマ値	周期数
4.2ms	1K
67ms	16K

37頁の「代表特性」章で示されるようにウォッチドッグ発振器の周波数は電圧に依存します。

このデバイスはCKSEL3~0=0010で出荷されます。

表5. CKSELヒューズによるリセット遅延(起動時間)選択

CKSEL3~0	クロック種別	起動時間(t _{TOU}) V _{CC} =2.7V
0 0 0 0	外部クロック信号	4.2ms + 6 × CK
0 0 0 1		6 × CK
0 0 1 0	内蔵RC発振	67ms + 6 × CK
0 0 1 1		4.2ms + 6 × CK
0 1 0 0	外部RC発振	6 × CK
0 1 0 1		67ms + 6 × CK
0 1 1 0	外部RC発振	4.2ms + 6 × CK
0 1 1 1		6 × CK
1 0 0 0	外部低周波数 クリスタル発振	67ms + 32K × CK
1 0 0 1		67ms + 1K × CK
1 0 1 0	外部クリスタル発振 外部セラミック発振	67ms + 16K × CK
1 0 1 1		4.2ms + 16K × CK
1 1 0 0	外部クリスタル発振 外部セラミック発振	16K × CK
1 1 0 1		67ms + 1K × CK (注1)
1 1 1 0	外部クリスタル発振 外部セラミック発振	4.2ms + 1K × CK (注1)
1 1 1 1		1K × CK (注1)

注1: リセット遅延時間内のクロック数制限のため、セラミック振動子の使用が推奨されます。

電源ONリセット

電源ONリセット(POR)パルスは内蔵検出回路により生成されます。この検出電圧は公称1.4Vです。PORはVCCが検出電圧以下で必ず有効にされます。このPOR回路は供給電圧低下の検出だけでなく開始時のリセット起動にも使われます。

電源ONリセット回路は電源投入時のデバイスリセットを保証します。電源ONリセット閾値電圧(V_{POT})への到達は、VCC上昇後、デバイスがリセットを保持する遅延を決める遅延タイマ(カウンタ)を起動します。遅延タイマの計時完了時間はCKSELヒューズを通して使用者が定義できます。各遅延選択は表5.で示されます。VCCが検出電圧以下に低下するとき、リセット信号は遅延なしで再び有効にされます。図16.をご覧ください。

内蔵起動遅延時間で十分な場合、 \overline{RESET} は直接または外部プルアップ抵抗を介してVCCに接続できます。VCC印加後も、 \overline{RESET} ピンをLowレベルに保持することで、起動遅延時間は延長できます。このタイミング例については図17.を参照してください。

図16. 内蔵電源ONリセット (\overline{RESET} はVCCに接続)

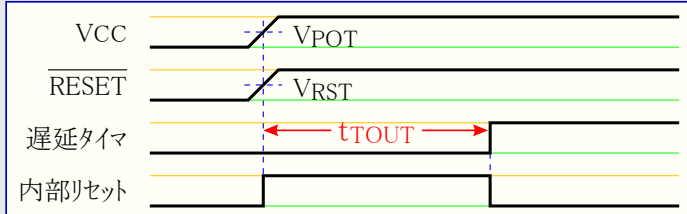
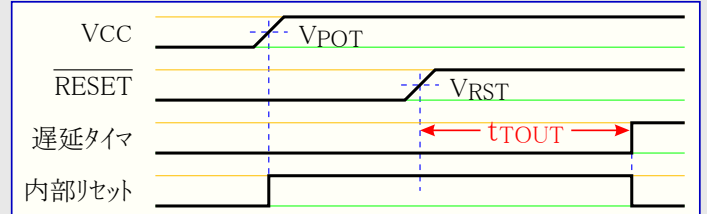


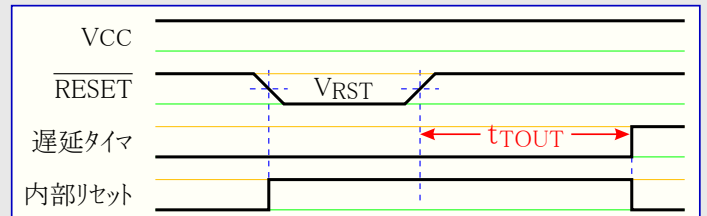
図17. 外部RESET信号による延長電源ONリセット



外部リセット

外部リセットは \overline{RESET} ピン上のLowレベルによって生成されます。例えばクロックが動いていなくても、50nsより長いリセットパルスはリセットを生成します。短すぎるパルスはリセットが保証されません。供給された信号の上昇がリセット閾値電圧(V_{RST})に達すると、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを起動します。

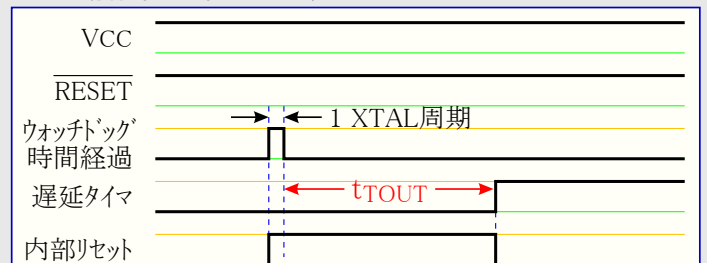
図18. 動作中の外部リセット



ウォッチドッグリセット

ウォッチドッグ時間経過で1XTAL周期幅の短いリセットパルスを生成します。このパルスの上昇端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ操作の詳細については25頁を参照してください。

図19. 動作中のウォッチドッグリセット



システム制御とリセット関係レジスタ

■ MCU制御/状態レジスタ (MCU Control and Status Register) MCUCS

MCU制御/状態レジスタは一般的なMCU機能についての制御と状態のビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$07	PLUPB	–	SE	SM	WDRF	–	EXTRF	PORF	MCUCS
Read/Write	R/W	R	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	内容参照	0	内容参照	内容参照	

■ ビット7 – PLUPB : ポートBプルアップ許可 (Pull Up Enable Port B)

PLUPBビットが設定(1)されると、全てのポートB入力ピンでプルアップ抵抗が許可されます。PLUPBビットが解除(0)されると、プルアップは禁止されます。ポートBの特殊機能の何れかが許可されると、PLUPBの値に関係なく、対応するプルアップが禁止されます。

■ ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行されるときにMCUを休止形態へ移行させるには、休止許可(SE)ビットが設定(1)されなければなりません。MCUの目的外休止形態移行を防ぐため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)することが推奨されます。

■ ビット4 – SM : 休止種別 (Sleep Mode)

このビットは利用可能な2つの休止形態種別を選択します。SMが解除(0)されると休止形態としてアイドル動作が選択されます。SMが設定(1)されると休止形態としてパワーダウン動作が選択されます。詳細については10頁の「[休止形態種別](#)」を参照してください。

■ ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

■ ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットか、このフラグへの論理0書き込みによって解除(0)されます。

■ ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットによって設定(1)されます。このビットは、このフラグへの論理0書き込みによって解除(0)されます。

リセット条件の確認に、これらのビットを使うため、プログラム内で出来るだけ早くMCUCSを読み、その後に解除(0)すべきです。他のリセットが起こる前に、このレジスタ(MCUCS)が解除(0)される場合、そのリセット元はこれらのリセットフラグを調べることによって得られます。

割り込み

リセットと割り込み

ATtiny28には5種類の割り込みがあります。これらの割り込みとリセットのベクタは、プログラムメモリ空間内に各々個別のベクタを持っています。全ての割り込みは、割り込みを許可するために、個別の許可ビットとステータスレジスタ(SREG)の全割り込み許可(I)ビットを設定(1)しなければなりません。

プログラムメモリ空間の最下位アドレスは、リセットと割り込みのベクタとして自動的に定義されています。このベクタの全一覧は表7.に示されます。この一覧が各割り込みの優先順位も決めます。下位アドレスがより高い優先順位です。リセットが最高優先順位で、以下、外部割り込み要求0(INT0)の順です。

表7. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$001	INT0	外部割り込み要求0
3	\$002	INT1	外部割り込み要求1
4	\$003	PINB_LOW	ポートB入力 Lowレベル
5	\$004	タイマ/カウンタ0 OVFO	タイマ/カウンタ0溢れ
6	\$005	ANA_COMP	アナログ比較器出力遷移

ATtiny28に於けるリセットと割り込みのベクタの最も代表的な設定例を次に示します。

アドレス	ラベル	命令	注釈
\$000		RJMP RESET	;各種リセット
\$001		RJMP EXT_INT0	;外部割り込み要求0
\$002		RJMP EXT_INT1	;外部割り込み要求1
\$003		RJMP PINB_LOW	;ポートB入力 Lowレベル
\$004		RJMP TIM_OVFO	;タイマ/カウンタ0溢れ
\$005		RJMP ANA_COMP	;アナログ比較器出力遷移
;			
\$006	RESET:	}	;以下、I/O初期化など

割り込みの扱い

ATtiny28には1つの8ビット割り込み制御レジスタ(ICR)があります。

割り込みが起ると、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)され、全ての割り込みが禁止されます。ソフトウェアは多重割り込みを許可するために、全割り込み許可(I)ビットを設定(1)できます。この全割り込み許可(I)ビットは、割り込みからの復帰(RETI)命令が実行されると設定(1)されます。

割り込み処理ルーチンを実行するために、プログラムカウンタが実際の割り込みベクタを指示するとき、割り込みを起こした対応する割り込み要求フラグを自動的に解除(0)します。いくつかの割り込み要求フラグは、そのフラグのビット位置に論理1を書くことによっても解除(0)できます。

対応する割り込み許可ビットが解除(0)されているときに割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、その割り込みが許可または、ソフトウェアで解除(0)されるまで保持されます。

全割り込み許可(I)ビットが解除(0)されているときに1つまたは多くの割り込み条件が発生すると、対応する割り込み要求フラグが設定(1)され、全割り込み許可(I)ビットが設定(1)されるまで保持されます。許可後、それらは優先順に実行されます。

外部レベル割り込みには割り込み要求フラグがなく、割り込み条件が有効でありさえすれば割り込み要求が保持されるだけなことに注意してください。

ステータスレジスタ(SREG)は割り込み処理ルーチンへの移行時の保存と割り込み処理ルーチンからの復帰時の再設定が自動的に行われないことに注意してください。これはソフトウェアによって操作しなければなりません。

割り込み応答時間

全ての許可された割り込みについての割り込み実行応答時間は最小4クロックです。割り込み要求フラグが設定(1)されてしまった後の4クロック周期で実際の割り込み処理ルーチン用の割り込みベクタアドレスが実行されます。この4クロック周期期間中、プログラムカウンタ(10ビット)がスタック上に保存(プッシュ)されます。通常、このベクタは割り込み処理ルーチンに対する無条件相対分岐(RJMP)命令で、この分岐に2クロック周期かかります。複数周期の命令実行中に割り込みが起ると、割り込みが扱われる前に、その命令が完了されます。MCUが休止形態の時に割り込みが起ると、割り込み応答時間が4クロック周期増やされます。

割り込み処理ルーチンからの復帰は4クロック周期要します。この4クロック周期中に、スタックからプログラムカウンタ(10ビット)が回復(ポップ)されてステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。割り込みを抜けるときは常に主(元)プログラムへ復帰し、保留されている割り込みが扱われる前に、1つ以上の命令を実行します。

外部割り込み

外部割り込みはINTnピンにより起動されます。許可されていれば、INTnピンが出力として設定されていても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。外部割り込みは上昇端、下降端、ピン変化(両端)、またはLowレベルで起動できます。これは[割り込み制御レジスタ\(ICR\)](#)についての詳細で説明されるように設定します。外部割り込みが許可され、レベル起動として設定されるとき、ピンがLowに保持されている限り、この割り込みは継続的に発生します。

外部割り込みは、割り込み制御レジスタ(ICR)についての詳細で説明されるように設定します。

Lowレベル入力割り込み

Lowレベル割り込みは、ポートBピンの何れかのLow設定により起動されます。けれども、ポートBピンの何れかが他の特殊機能に使われると、それらのピンは割り込みを起動しません。例えば[アナログ比較器](#)が許可されると、PB0とPB1のLowレベルは割り込みを起こしません。これは特殊機能T0、INT0、INT1についての場合も同様です。Lowレベル割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。この割り込みが許可されていると、ポートBピンの何れかがLowに保持されている限り、この割り込みが起動します。

割り込み用レジスタ

■ 割り込み制御レジスタ (Interrupt Control Register) ICR

ビット	7	6	5	4	3	2	1	0	
\$06	INT1	INT0	LLIE	TOIE0	ISC11	ISC10	ISC01	ISC00	ICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み1許可(INT1)ビットが、共に設定(1)でINT1ピンの割り込みが許可されます。[割り込み条件制御1のビット1と0\(ISC11,ISC10\)](#)が外部割り込みINT1ピンの動作を上昇端、下降端、ピン変化(両端)、またはLowレベルの何れか定義します。対応する外部割り込み1の割り込みはプログラムメモリアドレス\$002から実行されます。「[外部割り込み](#)」もご覧ください。

■ ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)と外部割り込み0許可(INT0)ビットが、共に設定(1)でINT0ピンの割り込みが許可されます。[割り込み条件制御0のビット1と0\(ISC01,ISC00\)](#)が外部割り込みINT0ピンの動作を上昇端、下降端、ピン変化(両端)、またはLowレベルの何れか定義します。対応する外部割り込み0の割り込みはプログラムメモリアドレス\$001から実行されます。「[外部割り込み](#)」もご覧ください。

■ ビット5 – LLIE : Lowレベル入力割り込み許可 (Low Level Input Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとLowレベル入力割り込み許可(LLIE)ビットが、共に設定(1)で、Lowレベル入力割り込みが活性化(許可)されます。Lowに引かれたポートBピンのどれもが割り込みを起こします。しかし、ポートBピンの何れかが他の特殊機能に使用されると、それらのピンは割り込みを起動しません。Lowレベル入力割り込み要求に対応する割り込みは、プログラムメモリアドレス\$003から実行されます。「[Lowレベル入力割り込み](#)」もご覧ください。

■ ビット4 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットが、共に設定(1)で、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言すると、[割り込み要求フラグレジスタ\(IFR\)のタイマ/カウンタ0溢れ割り込み要求フラグ\(TOV0\)](#)が設定(1)されると、対応する割り込み(ベクタ \$004)が実行されます。

■ ビット3,2 – ISC11,ISC10 : 外部割り込み1条件制御 (Interrupt Sense Control 1 bit1 and 0)

外部割り込み1は[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)と外部割り込み1許可(INT1)ビットが共に設定(1)されている場合の外部割り込み1(INT1)ピンによって起動されます。この割り込みを起動する外部割り込み1(INT1)ピンのエッジやレベルは表8.で定義されます。

注: ISC11/ISC10ビットを変更するとき、INT1はそれの許可ビットを解除(0)することによって禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起きます。

表8. 外部割り込み1(INT1)割り込み条件

ISC11	ISC10	割り込み発生条件
0	0	INT1ピンがLowレベルで発生。
	1	INT1ピンのレベル変化(両端)。
1	0	INT1ピンの下降端で発生。
	1	INT1ピンの上昇端で発生。

■ ビット1,0 – ISC01,ISC00 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み0許可(INT0)ビットが共に設定(1)されている場合の外部割り込み0 (INT0)ピンにより起動されます。この割り込みを起動する外部割り込み0(INT0)ピン上のエッジやレベルは表9. で定義されます。

注: ISC01/ISC00ビットを変更するとき、INT0はそれの許可ビットを解除(0)することによって禁止されなければなりません。さもなければ、これらのビットが変更されるときに割り込みが起きます。

表9. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンがLowレベルで発生。
	1	INT0ピンのレベル変化(両端)。
1	0	INT0ピンの下降端で発生。
	1	INT0ピンの上昇端で発生。

INTnピンの値はエッジ検出以前から採取比較されています。エッジ割り込みが選択されると、1CPUクロック周期より長く留まるパルスは割り込みを発生します。短すぎるパルスは割り込みの発生が保証されません。Lowレベル割り込みが選択されると、割り込みを発生するためには、現在実行中の命令の完了まで、Lowレベルが保持されなければなりません。許可されていれば、レベル起動割り込みはピンがLowに保持されている限り、割り込み要求を発生し続けます。

■ 割り込み要求フラグ レジスタ (Interrupt Flag Register) IFR

ビット	7	6	5	4	3	2	1	0	
\$05	INTF1	INTF0	–	TOV0	–	–	–	–	IFR
Read/Write	R/W	R/W	R	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag1)

INT1ピン上のエッジが割り込み要求を起こすとき、対応する割り込み要求フラグ(INTF1)が設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する割り込み制御レジスタ(ICR)の外部割り込み1許可(INT1)ビットが共に設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT1がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

■ ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag0)

INT0ピン上のエッジが割り込み要求を起こすとき、対応する割り込み要求フラグ(INTF0)が設定(1)になります。この時にステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する割り込み制御レジスタ(ICR)の外部割り込み0許可(INT0)ビットが共に設定(1)されていれば、MCUは割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが実行されると、解除(0)されます。このフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されるとき、このフラグは常に解除(0)されます。

■ ビット5 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット4 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Interrupt Flag)

タイマ/カウンタ0溢れが起こると、このTOV0ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0は自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと割り込み制御レジスタ(ICR)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビットとこのTOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

■ ビット3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

注: レジスタ内の個別フラグを解除(0)するためにSBI(I/Oレジスタのビット設定(1))命令の使用を試みるべきではありません。これはレジスタが初めに読まれ、そして修正され、最後に書かれ、従って設定(1)のフラグ全てに1を書くため、レジスタ内の全フラグを解除(0)する結果になります。IFRでのCBI(I/Oレジスタのビット解除(0))命令の使用は、指定されたビット以外の全ビットを解除(0)する結果になります。

入出力ポート

AVRの全てのポートは標準デジタルI/Oポートとして使われる時に真の読み-修正-書き(リード モデファイライト)動作を有します。これはCBIやSBI命令で、他の何れのピンの方向をも不測の変化なしにポートピンの1つの方向が変更できることを意味します。駆動(出力)値変更や、(入力として設定されている場合の)プルアップ抵抗の許可/禁止(有無)についても同じく適用されます。

ポートA

ポートAは4ビットのI/Oポートです。PA3, PA1, PA0は双方向で、一方PA2は出力だけです。パワーダウン動作(10頁の「休止形態種別」参照)へ移行するのに先立ってポートA出力レジスタ(PORTA)のPORTA2ビットは設定(1)されるべきです。

ポートAについては3つのI/Oメモリアドレス位置が、各々、データ出力レジスタ(PORTA), \$1B、データ方向レジスタ(DDRA), \$1A、データ入力レジスタ(PINA), \$19に割り当てられます。ポートAデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。他の出力ポートに比べ、ポートA出力は1追加クロック周期遅らされます。

PA0, PA1, PA3ポートピンには、個別に**選択可能なプルアップ抵抗**があります。PA0, PA1, PA3ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流が流れます。PA2は出力専用です。PA2出力緩衝部は25mA吸い込めますので、高電流LEDを直接駆動できます。この出力は変調もできます(詳細については26頁の「変調器」をご覧ください)。

ポートA 標準デジタル入出力

PA3, PA1, PA0は標準I/Oピンです。**ポートA制御レジスタ(PACR)のDDAnビット**がこれらのピンの入出力方向を選択します。DDAnが設定(1)されると、PAnは出力ピンとして設定されます。DDAnが解除(0)されると、PAnは入力ピンとして設定されます。**ポートA出力レジスタ(PORTA)のPORTAn**が設定(1)され、そのピンが入力ピンとして設定されている場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTAnが解除(0)されるか、またはそのピンが出力として設定されなければなりません。PA3, PA1, PA0でのDDAnとPORTAnの効果は表10.で示されます。ポートピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表10. ポートAピンに対するDDAnの関係

DDAn	PORTAn	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PAnに外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは3,1,0でビット番号を示します。

PA2の交換機能

PA2は組み込み高電流LED駆動部で常に出力ピンです。この出力信号はソフトウェアで設定変更可能な周波数で変調できます。より多くの詳細については26頁の「変調器」をご覧ください。

ポートA回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図20. ポートA回路構成 (PA0, PA1, PA3ピン)

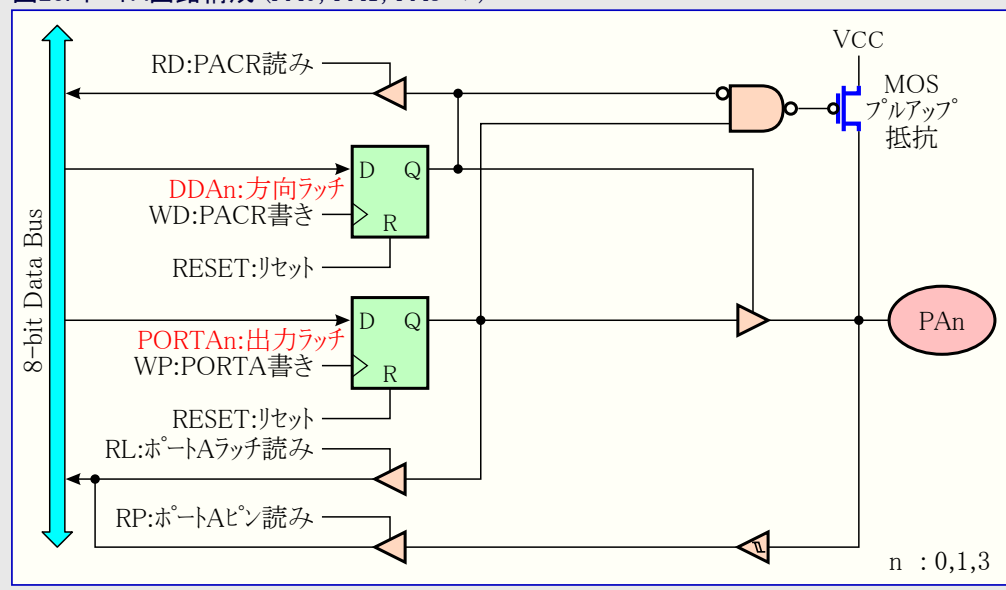
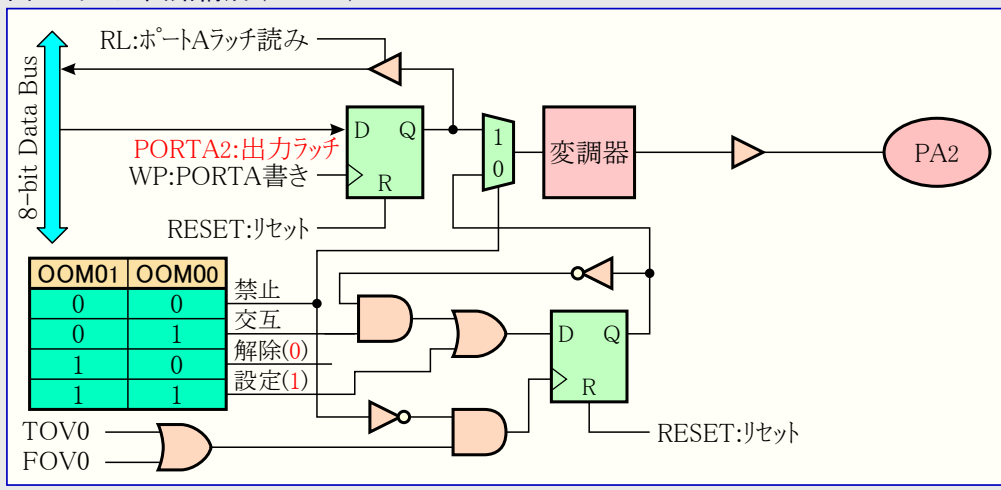


図21. ポートA回路構成 (PA2ピン)



ポートB

ポートBは8ビットの入力ポートです。

ポートBについては1つのI/Oメモリ アドレス位置が、データ入力レジスタ(PINB), \$16に割り当てられます。ポートBデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能です。

全てのポートピンには**全ポートピンを同時にONへの切り替えができるプルアップ**があります。ポートB特殊機能の何れかが許可されると、対応するプルアップは禁止されます。PB0～7ピンが入力として使われ、外部的にLowへ引き込まれるとき、内蔵プルアップ抵抗が有効化されていると、それらには吐き出し電流(I_{IL})が流れます。

ポートBピンの交換機能は表11.に示されます。

表11. ポートBピンの交換機能

ポートピン	交換機能
PB0	AIN0 (アナログ比較器非反転入力)
PB1	AIN1 (アナログ比較器反転入力)
PB2	T0 (タイマ/カウンタ0 外部クロック入力)
PB3	INT0 (外部割り込み0入力)
PB4	INT1 (外部割り込み1入力)

ポートB標準デジタル入力

デジタル入力ピンとして使われる時にポートBの8ピンは全て同じ機能です。

PB_n標準入力ピン:プルアップ抵抗をONに切り替えるには、MCU制御/状態レジスタ(MCUCS)のポートBプルアップ許可(PLUPB)ビットが設定(1)されなければなりません。このビットは全ポートBピンのプルアップを制御します。プルアップをOFFに戻すには、このビットが解除(0)されなければなりません。ポートBピンの何れかが交換機能に使われると、対応するピンのプルアップは禁止されます。ポートピンはリセット条件が有効になると、例えばクロックが動作していなくてもHi-Z状態にされます。

ポートBの交換機能

全てのポートBピンはLowレベル割り込みを起動できるLowレベル検出器に接続されます。詳細については15頁の「[Lowレベル入力割り込み](#)」をご覧ください。加えてポートBには次の交換機能があります。

INT1 – ポートB ビット4 : PB4

INT1 : PB4ピンはMCUへの外部割り込み1入力として扱えます。この割り込みの設定と許可法の詳細については、「[割り込みの扱い](#)」記述をご覧ください。この割り込みが許可されると、PB4のプルアップが禁止され、PB4はLowレベル割り込みを起こしません。

INT0 – ポートB ビット3 : PB3

INT0 : PB3ピンはMCUへの外部割り込み0入力として扱えます。この割り込みの設定と許可法の詳細については、「[割り込みの扱い](#)」記述をご覧ください。この割り込みが許可されると、PB3のプルアップが禁止され、PB3はLowレベル割り込みを起こしません。

T0 – ポートB ビット2 : PB2

T0 : タイマ/カウンタ0の外部クロック入力です。詳細については「[タイマ/カウンタ0](#)」の記述をご覧ください。T0がカウンタのクロック元として使われると、PB2のプルアップが禁止され、PB2はLowレベル割り込みを起こしません。

・ AIN1 – ポートB ビット1 : PB1

AIN1 : アナログ比較器の反転入力です。アナログ比較器が許可されると、このピンはアナログ比較器の反転入力としても扱います。アナログ比較器が許可されると、PB1とPB0のプルアップが禁止され、これらのピンはLowレベル割り込みを起こしません。

・ AIN0 – ポートB ビット0 : PB0

AIN1 : **アナログ比較器**の非反転入力です。アナログ比較器が許可されると、このピンはアナログ比較器の非反転入力としても扱います。アナログ比較器が許可されると、PB1とPB0のプルアップが禁止され、これらのピンはLowレベル割り込みを起こしません。

ポートB回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図22. ポートB回路構成 (PB0, PB1ピン)

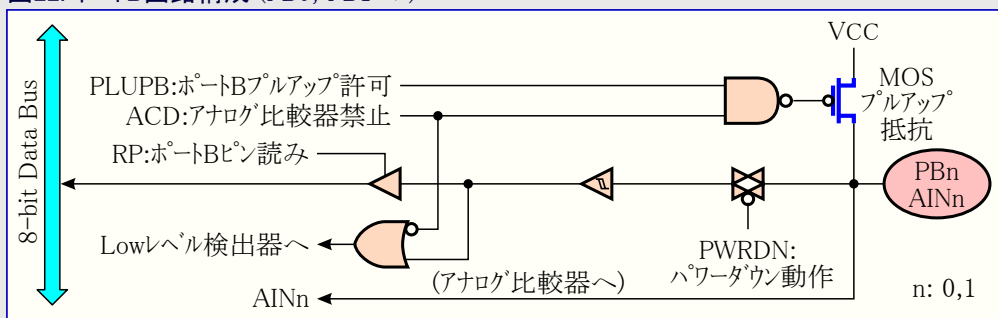


図23. ポートB回路構成 (PB2ピン)

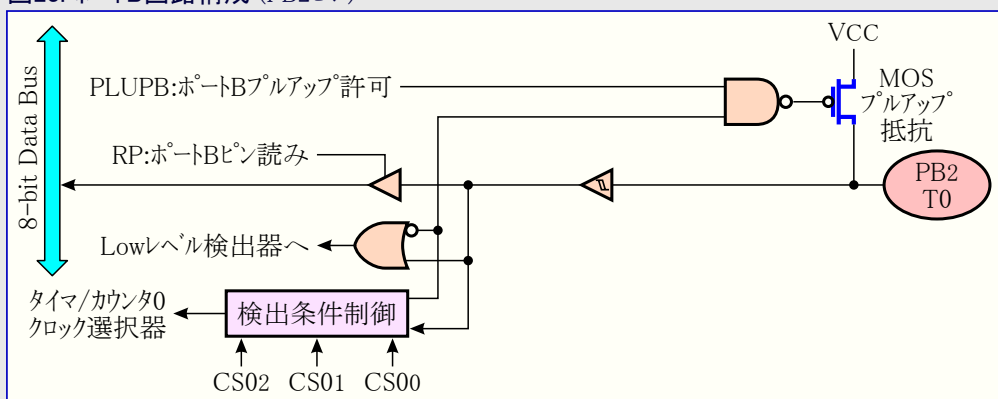


図24. ポートB回路構成 (PB3, PB4ピン)

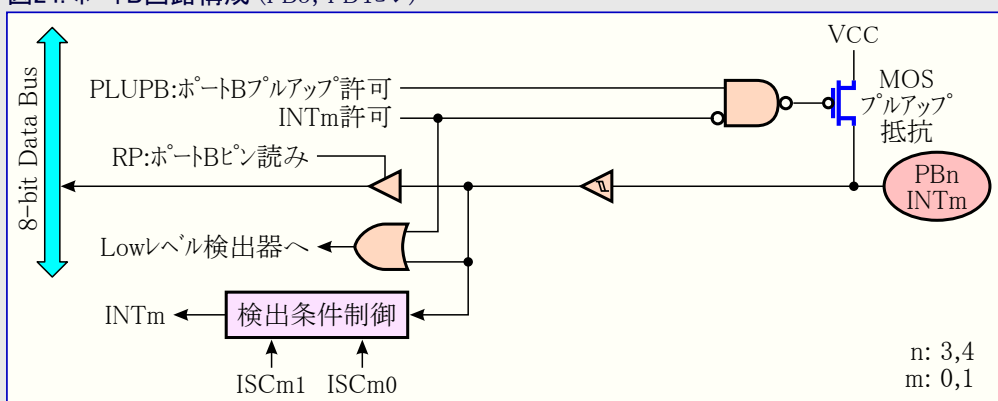
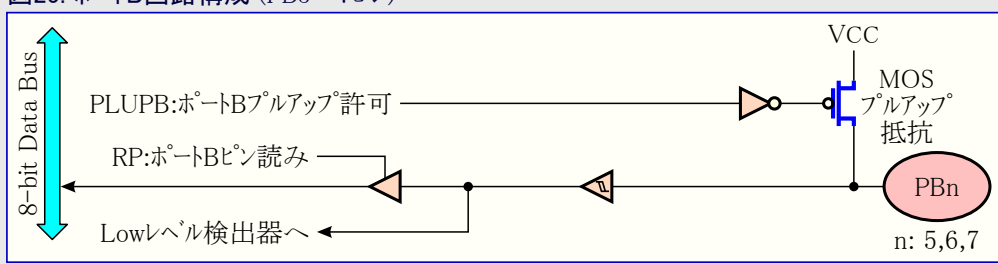


図25. ポートB回路構成 (PB5～7ピン)



ポートD

ポートDは個別に**選択可能な内蔵プルアップ抵抗**付きの8ビットの双方向I/Oポートです。

ポートDについては3つのI/Oメモリアドレス位置が各々、データ出力レジスタ(PORTD), \$12、データ方向レジスタ(DDRD), \$11、データ入力レジスタ(PIND), \$10に割り当てられます。ポートDデータ入力レジスタ(入力ピン)アドレスは読み込みのみ可能で、一方データ出力レジスタとデータ方向レジスタは読み書きが可能です。

ポートD出力緩衝部は10mAの吸い込み電流を流せます。入力として、内蔵プルアップ抵抗が有効化されていると、外部的に**Low**へ引き込まれるポートDピンには吐き出し電流が流れます。

ポートD 標準デジタル入出力

標準I/Oピンとして使われる時にポートDの8ピンは全て同じ機能動作です。

標準I/OピンPD_nは、**ポートD方向レジスタ(DDRD)のDDD_nビット**がそのピンの入出力方向を選択し、DDD_nが設定(**1**)されると、出力ピンとして設定されます。DDD_nが解除(**0**)されると、入力ピンとして設定されます。**ポートD出力レジスタ(PORTD)のPORTD_n**が設定(**1**)され、そのピンが出力ピンとして設定されている場合、MOSプルアップ抵抗が有効化されます。このプルアップ抵抗をOFFに切り替えるには、PORTD_nが解除(**0**)されるか、またはそのピンが出力として設定されなければなりません。ポートDピンはリセット条件が有効になると、例えクロックが動作していなくてもHi-Z状態にされます。

表12. ポートDピンに対するDDD_nの関係

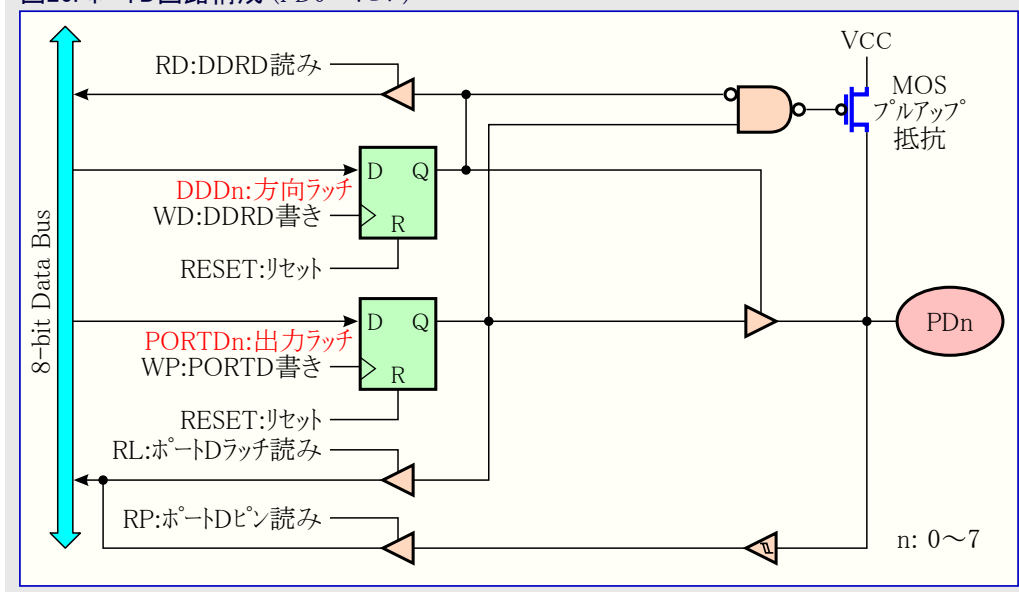
DDD _n	PORTD _n	入出力	プルアップ抵抗	備考
0	0	入力	なし	高インピーダンス (Hi-Z)
0	1	入力	あり	PD _n に外部からLowを入力すると吐き出し電流が流れます。
1	0	出力	なし	Low出力
1	1	出力	なし	High出力

注: nは7～0でビット番号を示します。

ポートD回路図

全てのポートピンが同期化されていることに注意してください。然しながら同期化ラッチは、図内に示されていません。

図26. ポートD回路構成 (PD₀～7ピン)



入出力ポート用レジスタ

■ ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B	—	—	—	—	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	0	0	

■ ポートA制御レジスタ (Port A Control Register) PACR

ビット	7	6	5	4	3	2	1	0	
\$1A	—	—	—	—	DDA3	PA2HC	DDA1	DDA0	PACR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット3 - DDA3 : PA3データ方向制御 (Data Direction PA3)

DDA3が設定(1)されるとき、対応するピンは出力ピンです。さもなければ、それは入力ピンです。

■ ビット2 - PA2HC : PA2高電流許可 (PORTA2 High Current Enable)

PA2HCビットが設定(1)されると、PA2出力ピンで付加駆動部が許可されます。これはVCC=1.8V(VOL=0.8V)で25mA吸い込むことが可能になります。PA2HCビットが解除(0)されると、VCC=1.8V(VOL=0.8V)で15mA吸い込めます。

■ ビット1,0 - DDA1,0 : PA1,0データ方向制御 (Data Direction PA1 and PA0)

DDAnが設定(1)されるとき、対応するピンは出力ピンです。さもなければ、それは入力ピンです。

■ ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19	—	—	—	—	PINA3	—	PINA1	PINA0	PINA
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	不定	0	不定	不定	

実際のポートA入力レジスタ(PINA)はレジスタではなく、このアドレスはポートA各ピンの物理的な値へのアクセスができます。ポートA出力レジスタ(PORTA)を読む時はポートA出力ラッチが読まれ、ポートA入力レジスタ(PINA)を読む時は、このピン上に存在する論理値が読めます。

■ ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートB入力レジスタ(PINB)はレジスタではなく、このアドレスはポートB各ピンの物理的な値へのアクセスができます。ポートB出力レジスタ(PORTB)を読む時はポートB出力ラッチが読まれ、ポートB入力レジスタ(PINB)を読む時は、このピン上に存在する論理値が読めます。

■ ポートD出力レジスタ (Port D Data Register) PORTD

ビット	7	6	5	4	3	2	1	0	
\$12	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	PORTD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートD方向レジスタ (Port D Data Direction Register) DDRD

ビット	7	6	5	4	3	2	1	0	
\$11	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	DDRD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ポートD入力レジスタ (Port D Input Address) PIND

ビット	7	6	5	4	3	2	1	0	
\$10	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	PIND
Read/Write	R	R	R	R	R	R	R	R	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

実際のポートD入力レジスタ(PIND)はレジスタではなく、このアドレスはポートD各ピンの物理的な値へのアクセスができます。ポートD出力レジスタ(PORTD)を読む時はポートD出力ラッチが読まれ、ポートD入力レジスタ(PIND)を読む時は、このピン上に存在する論理値が読めます。

タイマ/カウンタ0

ATtiny28には8ビット汎用タイマ/カウンタが1つあります。このタイマ/カウンタ0にはシステムクロックを分周する10ビット前置分周器があります。このタイマ/カウンタ0は内部クロックを基準とするタイマや、外部ピンに接続された起因信号によるカウンタなどの使用ができます。

タイマ/カウンタ前置分周器

図27.はタイマ/カウンタの前置分周器を示します。

前置分周器で分周された4つの異なる選択は、CKを発振器クロックとする、変調器搬送波出力、CK/64、CK/256、CK/1024です。CK、外部クロック信号、または停止もクロック元として選択できます。

図28.はタイマ/カウンタ0の構成図を示します。

8ビットのタイマ/カウンタ0はCK、分周されたCK、または外部ピンからクロック元を選択できます。加えて、**タイマ/カウンタ0制御レジスタ(TCCR0)**の詳細で説明されるように停止もできます。溢れ状態フラグ(TOV0)は**割り込み要求フラグレジスタ(IFR)**にあります。制御ビットはタイマ/カウンタ0制御レジスタ(TCCR0)にあります。タイマ/カウンタ0に関する割り込みの許可/禁止設定は**割り込み制御レジスタ(ICR)**内にあります。

タイマ/カウンタ0が外部的にクロック駆動される時、外部信号はCPUの発振器周波数で同期化されます。外部クロックの正しい採取を保証するには、外部クロックの2つの変移間の最小時間が、少なくとも1つの内部CPUクロック周期以上でなければなりません。この外部クロック信号は内部CPUクロックの上昇端で採取されます。

8ビットのタイマ/カウンタ0は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。同様に高前置分周(使用)機会では低速な目的やまれに動く正確なタイミングの目的についてタイマ/カウンタ0を有効にします。

図27. タイマ/カウンタ前置分周器部構成

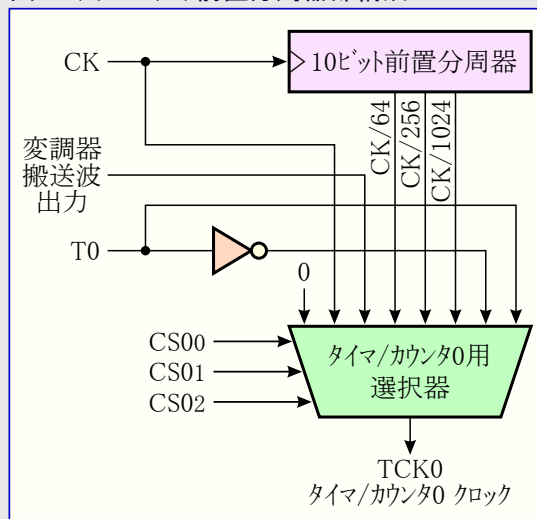
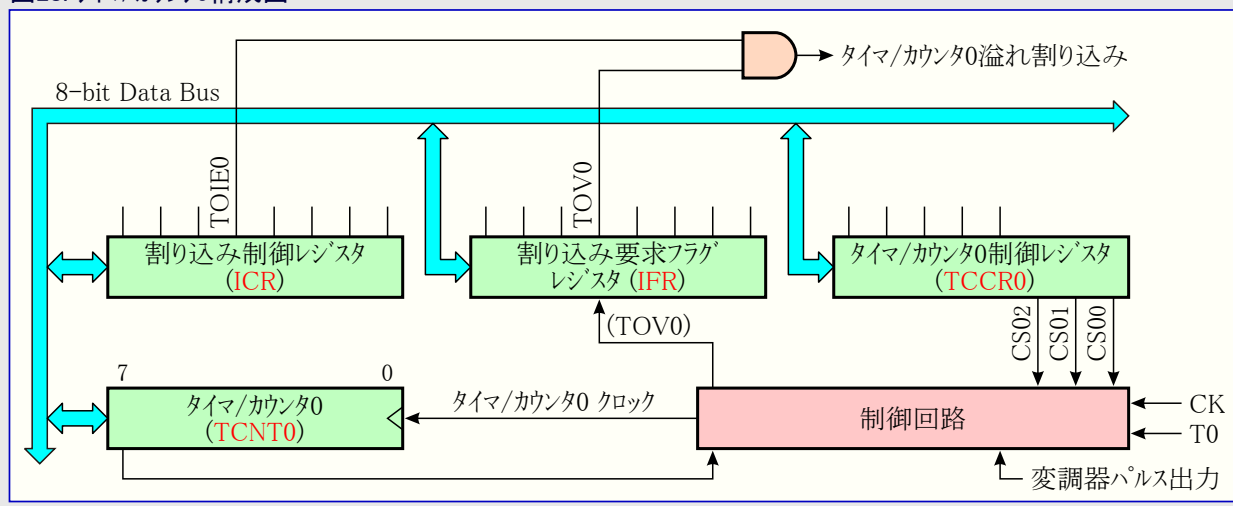


図28. タイマ/カウンタ0構成図



タイマ/カウンタ0用レジスタ

■ タイマ/カウンタ0制御レジスタ (Timer/Counter0 Control Register) TCCR0

ビット	7	6	5	4	3	2	1	0	
\$04	FOV0	–	–	OOM01	OOM00	CS02	CS01	CS00	TCCR0
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – FOV0 : 溢れ出力強制変更 (Force Overflow)

このビットへの論理1書き込みは溢れ出力選択(OOM01,OOM00)ビットで予め設定される値に従って、溢れ出力ピン(PA2)を強制的に変更します。OOM01とOOM00がFOV0と同一周期で書かれる場合、新規設定は次の溢れまたは強制的な溢れ発生まで無効です(無視されます)。溢れ強制ビットはタイマ/カウンタ溢れを待たずに出力ピンを変更するのに使えます。溢れが発生した場合と同様にOOM01とOOM00で設定された自動動作が起きますが、割り込みは生成されません。FOV0ビットは常に0として読み、このビットへの0書き込みは無効です。

■ ビット6,5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4,3 – OOM01,OOM00 : 溢れ出力選択 (Overflow Output Mode bits 1 and 0)

このOOM01とOOM00制御ビットはタイマ/カウンタ0(TCNT0)溢れまたは強制的な溢れに続く、何れかの出力ピン動作を決めます。出力ピン動作はPA2ピンに影響を及ぼします。制御設定は表13.に示されます。

表13. 溢れ(PA2)出力選択

OOM01	OOM00	意味
0	0	タイマ/カウンタ0切断(PA2は標準I/O)
0	1	PA2交互(トグル)動作
1	0	PA2解除(0) Lowレベル
1	1	PA2設定(1) Highレベル

■ ビット2~0 – CS02~0 : クロック選択0 (Clock Select0, bits 3,2,1 and 0)

このクロック選択0ビット2~0はタイマ/カウンタ0(TCNT0)に供給するクロックを定義します。

停止状態はタイマ/カウンタの許可/禁止機能を提供します。前置分周されたCK種別では発振器クロック(CK)から直接的に分周されます。タイマ/カウンタ0に外部ピン種別が使われると、例えばT0(PB2)が出力として設定されていても、このピン上の変移がタイマ/カウンタをクロック駆動します。この特徴が計数動作のソフトウェア制御を提供します。

表14. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0は動作停止)
0	0	1	CK
0	1	0	変調器搬送波出力
0	1	1	CK/64 (CPUクロックを64分周したクロック)
1	0	0	CK/256 (CPUクロックを256分周したクロック)
1	0	1	CK/1024 (CPUクロックを1024分周したクロック)
1	1	0	外部T0(PB2)ピンの下降端
1	1	1	外部T0(PB2)ピンの上昇端

■ タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$03	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

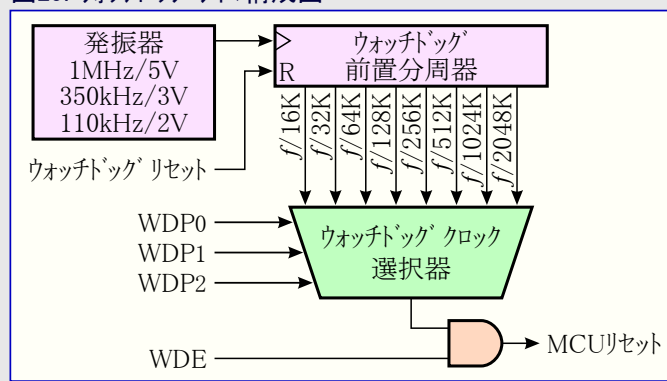
このタイマ/カウンタ0は、読み書きできる上昇カウンタとして実装されます。タイマ/カウンタ0が書かれ、クロック元が存在すると、タイマ/カウンタ0は書き込み動作の次に来るタイマ/カウンタ クロック周期で計数を開始/継続します。

ウォッチドッグ タイマ

ウォッチドッグ タイマは独立の内蔵発振器から駆動されます。ウォッチドッグ タイマの前置分周器を制御することにより、表15.で示されるようにウォッチドッグ リセット周期は調整できます。他の電源電圧での代表値については「代表特性」をご覧ください。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。8種の異なるクロック周期はリセット周期を決めるのに選択できます。WDR命令なしで、このリセット周期が経過すると、ATtiny28はリセットし、リセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては12頁を参照してください。

予期せぬウォッチドッグ 禁止を防止するため、ウォッチドッグ が禁止されるとき、特別なOFF切り替え手順に従わなければなりません。詳細についてはウォッチドッグ タイマ制御レジスタの記述を参照してください。

図29. ウォッチドッグ タイマ構成図



ウォッチドッグ タイマ用レジスタ

■ ウォッチドッグ タイマ制御レジスタ (Watchdog Timer Control Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$01	—	—	—	WDTOE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～5 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット4 – WDTOE : ウォッチドッグ 停止移行許可 (Watchdog Turn-off Enable)

ウォッチドッグ 許可(WDE)ビットが解除(0)されるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグ は禁止されません。一度設定(1)すると、4クロック周期後、ハードウェアがこのビットを0に解除します。ウォッチドッグ 禁止手順についてはWDEビットの記述を参照してください。

■ ビット3 – WDE : ウォッチドッグ 許可 (Watchdog Enable)

このWDEが設定(1)されるとウォッチドッグ タイマが許可され、解除(0)されるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ 停止移行許可(WDTOE)ビットが設定(1)されているときだけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作内で、WDTOEとWDEに論理1を書きます。禁止操作開始前が1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次の4クロック以内に、WDEへ論理0を書きます。これがウォッチドッグ を禁止します。

■ ビット2～0 – WDP2～0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 2,1 and 0)

WDP2～0はウォッチドッグ タイマが許可されるときウォッチドッグ タイマの前置分周を決めます。各前置分周値と対応する計時完了周期は表15.に示されます。

表15. ウォッチドッグ 前置分周選択

WDP2	WDP1	WDP0	WDT発振 周期数	代表的な計時完了周期		
				VCC=2.0V	VCC=3.0V	VCC=5.0V
0	0	0	16K	0.15s	47ms	15ms
0	0	1	32K	0.30s	94ms	30ms
0	1	0	64K	0.60s	0.19s	60ms
0	1	1	128K	1.2s	0.38s	0.12s
1	0	0	256K	2.4s	0.75s	0.24s
1	0	1	512K	4.8s	1.5s	0.49s
1	1	0	1024K	9.6s	3.0s	0.97s
1	1	1	2048K	19s	6.0s	1.9s

注: 37頁の「代表特性」章で示されるように、ウォッチドッグ 発振器の周波数は電圧に依存します。

ウォッチドッグ タイマが許可される前に、常にウォッチドッグ リセット(WDR)命令が実行されるべきです。これはウォッチドッグ タイマ前置分周器設定に一致するリセット周期を保証します。このリセット操作なしにウォッチドッグ が許可されると、ウォッチドッグ タイマは0から計数を開始しないかもしれません。

予期せぬMCUリセットを避けるため、ウォッチドッグ タイマ前置分周選択の変更前にはウォッチドッグ タイマが禁止されるかリセットされるべきです。

PA2は組み込まれた高電流LED駆動部で、常に出力ピンです。出力緩衝部は2.0Vで25mA吸い込みます。変調制御レジスタ(MODCR)のMCONFが0(000)のとき、変調はOFFに切り替えられ、このピンは一般の高電流出力ピンとして動作します。右の真理値表はポートA出力レジスタ(PORTA)のPORTA2とMCONFの各種設定の効果を示します。

PORTA2	MCONF2~0	PA2出力
0	0	0 (Low)
	1~7	変調出力
1	x	1 (High)

その後、PA2出力は次の周期の始めでLowに設定されます。変調された出力を停止するには、PORTA2ビットを設定(1)するか、または次の溢れでPA2を設定(1)するために溢れ出力選択(OOM01,OOM00)ビットを(11)に設定すべきです。変調中に変調制御レジスタ(MODCR)が変更されると、次の周期の始めで有効になって、不具合のない出力を生成します。以下の図30.と18頁の図21.をご覧ください。

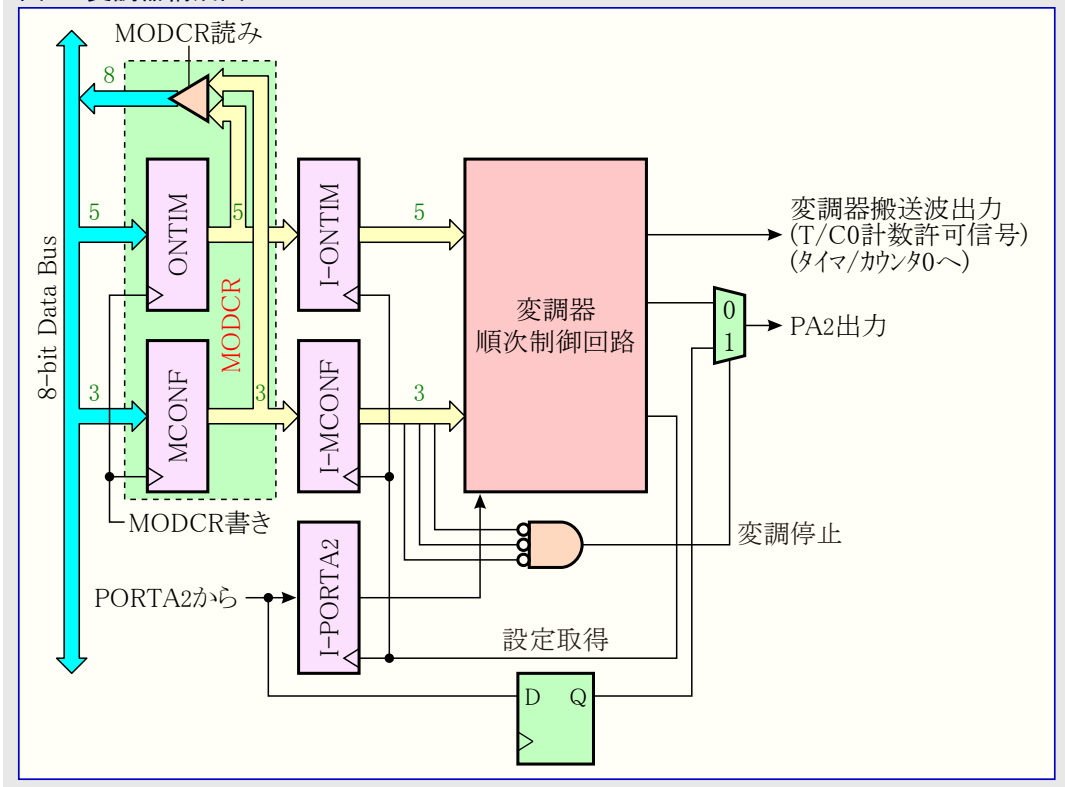
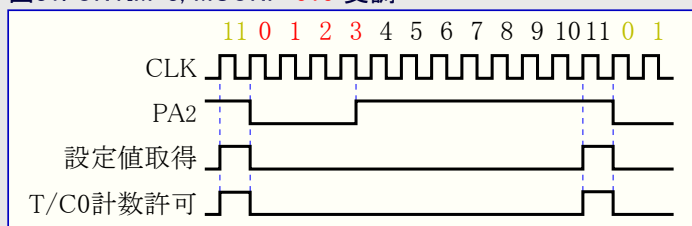


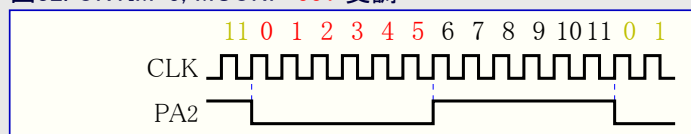
図31.～図34.は変調器からの出力例を示します。図31.は設定(値取得)許可信号とタイマ/カウンタ0への計数許可信号についてのタイミングも示します。

図31. ONTIM=3, MCONF=010 変調



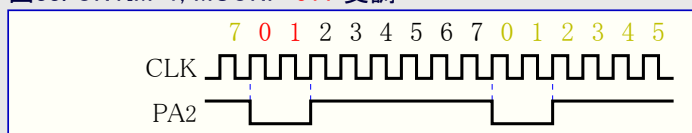
例:クロック周波数=455kHz,搬送波周波数=38kHz,デューティ33%

図32. ONTIM=5, MCONF=001 変調



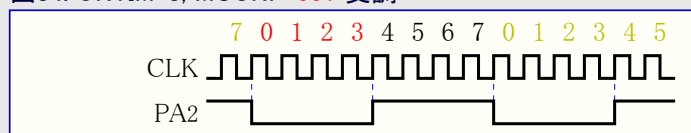
例:クロック周波数=455kHz,搬送波周波数=38kHz,デューティ50%

図33. ONTIM=1, MCONF=011 変調



例:クロック周波数=3.64MHz,搬送波周波数=455kHz,デューティ25%

図34. ONTIM=3, MCONF=001 変調



例:クロック周波数=3.64MHz,搬送波周波数=455kHz,デューティ50%

表17. 代表的な変調器設定

搬送波周波数	システム クロック周波数	周波数誤差 (%)	デューティ比 (%)	ONTIM値	MCONF値
38kHz	455kHz	0.2	25	2	0 1 1
			33	3	0 1 0
			50	5	0 0 1
			67	3	1 0 0
			75	2	1 0 1
	1MHz	1.2	50	12	0 0 1
	1.8432MHz	1.1	25	11	0 1 1
			33	15	0 1 0
			50	23	0 0 1
	2MHz	1.2	25	12	0 1 1
			50	25	0 0 1
	2.4576MHz	1.1	50	31	0 0 1
455kHz	3.2768MHz	2.0	25	21	0 1 1
	4MHz	1.2	25	25	0 1 1
	455kHz	0.0	50 (近似)	x	1 1 1
	1MHz	9.9	50	0	0 0 1
	1.82MHz	0.0	25	0	0 1 1
			50	1	0 0 1
	1.8432MHz	1.3	25	0	0 1 1
			50	1	0 0 1
	2MHz	9.9	25	0	0 1 1
			50	1	0 0 1
	2.4576MHz	10.0	33	1	0 1 0
			50	2	0 0 1
	3.2768MHz	10.0	25	1	0 1 1
			50	3	0 0 1
	3.64MHz	0.0	25	1	0 1 1
			50	3	0 0 1
	4MHz	9.9	25	1	0 1 1
			50	3	0 0 1

変調器用レジスタ

■ 変調制御レジスタ (Modulation Control Register) MODCR

ビット	7	6	5	4	3	2	1	0	
\$02	ONTIM4	ONTIM3	ONTIM2	ONTIM1	ONTIM0	MCONF2	MCONF1	MCONF0	MODCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～3 – ONTIM4～0 : ON時間 (Modulation On-time)

この5ビット値+1はPA2出力ピンが活性(Low)なクロック周期数を決めます。

■ ビット2～0 – MCONF2～0 : 変調形式選択 (Modulation Configuration bit 2,1 and 0)

これらの3ビットはON時間とOFF時間の関係(それによりデューティ比)を決めます。各設定は表18.で示されます。最小と最大の変調周期も、この表で示されます。最小変調周期はONTIMを0に設定することによって得られ、一方最大変調周期はONTIMを31に設定することで得られます。一般的な発振器と搬送波の周波数のいくつかについての設定値は表17.で示されます。発振器(システムクロック)周波数(f_{osc})と搬送波周波数($f_{carrier}$)の関連は次式で示されます。

$$f_{carrier} = \frac{f_{osc}}{\text{ON時間} + \text{OFF時間}}$$

MCONFが111に設定されると、搬送波周波数は発振器(システムクロック)周波数と等しくなります。

表18. 変調形式選択

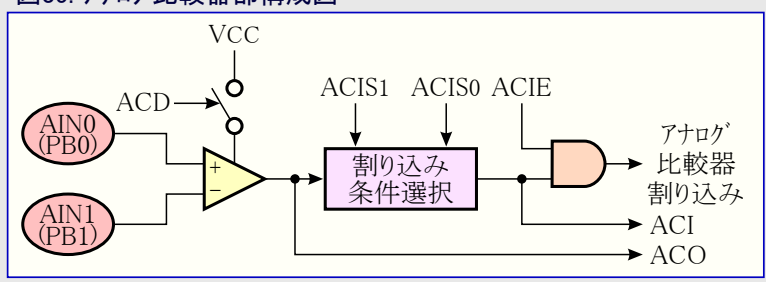
MCONF2～0	ON時間	OFF時間	デューティ比	最小周期	最大周期	備考
0 0 0	–	–	100%	–	–	無変調出力
0 0 1	ONTIM+1	ONTIM+1	50%	2×CK	64×CK	
0 1 0	ONTIM+1	2×(ONTIM+1)	33%	3×CK	96×CK	
0 1 1	ONTIM+1	3×(ONTIM+1)	25%	4×CK	128×CK	
1 0 0	2×(ONTIM+1)	ONTIM+1	67%	3×CK	96×CK	
1 0 1	3×(ONTIM+1)	ONTIM+1	75%	4×CK	128×CK	
1 1 0	(予約)					
1 1 1	–	–	(注)	1×CK	1×CK	高周波数出力

注: 高周波数動作種別での出力は、クロック信号でゲートされます。このためにON時間とOFF時間はMCUへのクロック入力に依存します。この動作種別から直接、他の動作種別へ変更すると、出力が小さな不具合を持つことにも注意してください。従って、この動作種別から変更する前に、PA2は変調された出力を停止する設定にすべきです。

アナログ比較器

アナログ比較器は非反転入力AIN0(PB0)と反転入力AIN1(PB1)の入力値を比較します。AIN0(PB0)非反転入力の電圧がAIN1(PB1)反転入力の電圧より高いと、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器出力(ACO)ビットを設定(1)します。この比較器出力はアナログ比較器専用の独立した割り込みを起動できます。比較器出力の上昇端、下降端、またはその両方での割り込み起動が選べます。この比較器とその周辺回路の構成図は図35.で示されます。

図35. アナログ比較器部構成図



アナログ比較器用レジスタ

■ アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$08	ACD	—	ACO	ACI	ACIE	—	ACIS1	ACIS0	ACSR
Read/Write	R/W	R	R	R/W	R/W	R	R/W	R/W	
初期値	1	0	不定	0	0	0	0	0	

■ ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが設定(1)されると、アナログ比較器への電力がOFFに切り替えられます。このビットはアナログ比較器をOFFにするため、何時でも設定(1)できます。このACDビットを変更するとき、[アナログ比較器 制御/状態レジスタ\(ACSR\)のアナログ比較器割り込み許可\(ACIE\)ビット](#)を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。アナログ比較器を使うには、使用者がこのビットを解除(0)しなければなりません。

■ ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

ACOは比較器出力へ直接、接続されています。

■ ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

比較器出力の動きが、[アナログ比較器割り込み条件\(ACIS1,ACIS0\)ビット](#)で定義された割り込み動作を起こす時に本ビットが設定(1)されます。アナログ比較器割り込み許可(ACIE)ビットが設定(1)され、[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)が設定(1)されていると、アナログ比較器割り込み処理ルーチンが実行されます。対応する割り込み処理ベクタを実行するとき、ACIは自動的に解除(0)されます。代わりに、このフラグへ論理1を書くことによって、ACIは解除(0)されます。

■ ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが設定(1)され、[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)が設定(1)されると、アナログ比較器割り込みが活性(有効)化されます。解除(0)されると、この割り込みは禁止されます。

■ ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットはアナログ比較器割り込みを引き起こす出来事を決めます。各設定は表19.に示されます。

表19. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

注: このACIS1,ACIS0ビットを変更するとき、[アナログ比較器制御/状態レジスタ\(ACSR\)のアナログ比較器割り込み許可\(ACIE\)ビット](#)を解除(0)することにより、アナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更されるとき、割り込みが起き得ます。

警告: このレジスタのACI以外のビットに対するCBIまたはSBI命令の使用は、ACIが1として読まれる場合に1が書き戻されるため、このフラグを解除(0)してしまいます。

メモリプログラミング

プログラムメモリ用施錠ビット

ATtiny28 MCUは非プログラム(1)のままか、表20.で示される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去でのみ1に消去できます。

表20. 施錠ビットの保護種別

保護番号	メモリ施錠ビット		保護種別
	LB1	LB2	
1	1	1	メモリ施錠機能は許可されません。
2	0	1	フラッシュメモリのプログラミング機能が禁止されます。(注)
3	0	0	保護種別2と同様、更に照合も禁止されます。

注: ヒューズビットの将来の書き込みも禁止されます。施錠ビットの書き込み前にヒューズビットを書いてください。

ヒューズビット

ATtiny28には5つのヒューズビット、INTCAPとCKSEL3~0があります。

- INTCAPヒューズがプログラム(0)されると、図4.のC1,C2と同様に内部負荷容量がXTAL1/XTAL2とGND間に接続されます。6ページの「クリスタル用発振器」をご覧ください。既定値は非プログラム(1)です。
- CKSEL3~0:使用のためのCKSEL3~0の組み合わせについては6ページの「表1. クロック選択」と11ページの「表5. CKSELヒューズによるリセット遅延(起動時間)選択」をご覧ください。既定値は'0010'(内蔵RC発振器、長起動時間)です。

ヒューズビットの状態はチップ消去による影響を受けません。

識票バイト

全てのAtmelマイクロコントローラはデバイス識別用に3バイトの識票符号を持ちます。この3バイトは他から分離された空間に存在します。

ATtiny28の識票符号を次に示します。

- ① \$00 : \$1E 製造業者Atmelを示します。
- ② \$01 : \$91 フラッシュメモリ容量2Kバイトを示します。
- ③ \$02 : \$07 ②値\$91と合せ、ATtiny28を示します。

校正バイト

ATtiny28には内蔵RC発振器用の1バイト校正値があります。このバイトは識票アドレス空間のアドレス\$000の上位バイトにあります。メモリプログラミング中に外部書き込み器はこの位置を読み、通常のプログラム用フラッシュメモリ内の選ばれた位置に書かなければなりません。起動時に使用者プログラムはこのフラッシュメモリ位置を読み、その値を発振校正レジスタ(OSCCAL)に書かなければなりません。

フラッシュメモリのプログラミング

AtmelのATtiny28は2Kバイトのプログラム用フラッシュメモリを提供します。

ATtiny28にはプログラム用内蔵フラッシュメモリが消去(全ビット=1)されてプログラムされる準備が整った状態で搭載されています。このデバイスは高電圧(12V)並列プログラミング動作を支援します。プログラミング中は+12Vピンから低電流(<1mA)が引き込まれるだけです。

ATtiny28のフラッシュメモリはバイト単位でプログラムされます。プログラミング中の供給電圧は表21.に従っていなければなりません。

表21. プログラミング中の供給電圧

デバイス	低電圧直列プログラミング	高電圧並列プログラミング
ATtiny28L/V	利用不可	4.5~5.5V

並列プログラミング

この章では、ATtiny28でのプログラム用フラッシュメモリ、**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。

信号名

この章ではATtiny28のいくつかのピンは並列プログラミング中の機能を示す信号名によって参照されます。**図36**と**表22**をご覧ください。**表22**で示されないピンはピン名で参照されます。

XA0とXA1ピンは、XTAL1ピンに正パルスが与えられる時に実行される動作を決めます。この規約は**表23**で示されます。

WRまたはOEパルス時、取得された指令が実行される動作を決めます。この指令は**表24**で示されるように各ビットで機能が示されるバイトです。

図36. 並列プログラミング構成図

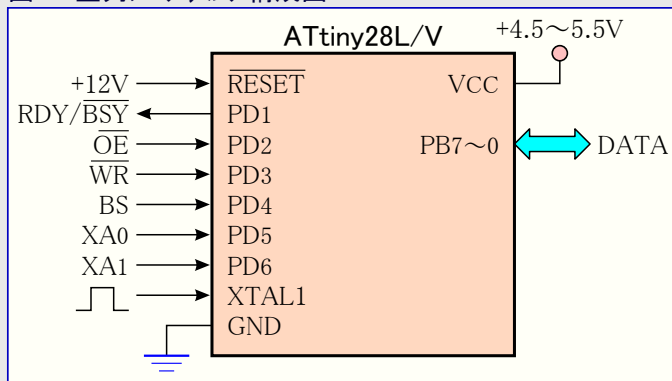


表22. 信号名とピン名の関係

信号名	ピン名	入出力	機能
RDY/BSY	PD1	出力	0: プログラミング多忙 1: 準備可(指令受付可)
OE	PD2	入力	出力許可(負論理)
WR	PD3	入力	書き込み(負論理)
BS	PD4	入力	上位/下位バイト選択 (0: 下位, 1: 上位)
XA0	PD5	入力	XTAL1動作ビット0
XA1	PD6	入力	XTAL1動作ビット1
DATA	PB7~0	入出力	データ (OE=L時出力)

表23. XA0とXA1の機能

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュメモリのアドレス取得 (上位/下位はBSで指示)
0	1	データ取得 (フラッシュ時の上位/下位はBSで指示)
1	0	指令取得
1	1	アイドル (動作なし)

表24. ビット規約による指令バイト

指令バイト	指令の機能
\$80 (1000 0000)	チップ消去
\$40 (0100 0000)	ヒューズビット書き込み
\$20 (0010 0000)	施錠ビット書き込み
\$10 (0001 0000)	フラッシュメモリ書き込み
\$08 (0000 1000)	識別バイト、校正バイト読み出し
\$04 (0000 0100)	ヒューズビットと施錠ビット読み出し
\$02 (0000 0010)	フラッシュメモリ読み出し

プログラミング動作への移行

次の方法がデバイスを並列プログラミング動作にします。

- ① **表21**に従った供給電圧をVCCとGND間に印加します。
- ② RESETとBSピンをLow(0)にし、最低100ns待機します。
- ③ RESETに11.5~12.5Vを印加します。RESETに+12V印加後100ns以内のどんなBSの動き(値)も、デバイスのプログラミング動作移行失敗の原因になります。

チップ消去

チップ消去指令はフラッシュメモリと**施錠ビット**を消去します。施錠ビットはフラッシュメモリが完全に消去されてしまうまで消去されません。チップ消去で**ヒューズビット**は変化しません。フラッシュメモリの再書き込み前にはチップ消去が実行されなければなりません。

チップ消去の手順を次に示します。

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$80(1000 0000)にします。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これで指令を設定します。
- ⑤ \overline{WR} に負パルスを与えます。これでチップ消去が始まります。RDY/ \overline{BSY} はLow(0)になります。
- ⑥ 新規指令を設定する前に、RDY/ \overline{BSY} がHigh(1)になるまで待機します。

フラッシュメモリ書き込み (図37.タイミングを参照)

A. フラッシュメモリ書き込み指令設定

- ① XA1をHigh(1)、XA0をLow(0)にします。これで指令取得が有効になります。
- ② BSをLow(0)にします。
- ③ DATAを\$10(0001 0000)にします。これはフラッシュメモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これでフラッシュメモリ書き込み指令を設定します。

B. 上位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをHigh(1)にします。これは上位バイト選択です。
- ③ DATAにアドレス上位バイト(\$00～\$03)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス上位バイトを設定します。

C. 下位アドレスバイト設定

- ① XA1をLow(0)、XA0をLow(0)にします。これでアドレス取得が有効になります。
- ② BSをLow(0)にします。これは下位バイト選択です。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これでアドレス下位バイトを設定します。

D. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ下位バイトを設定します。

E. データ下位バイト書き込み

- ① BSをLow(0)にします。これは下位バイト選択です。
- ② \overline{WR} に負パルスを与えます。これでバイトデータの書き込みが始まります。RDY/ \overline{BSY} はLow(0)になります。
- ③ 次バイト書き込みのため、RDY/ \overline{BSY} がHigh(1)になるまで待機します。

F. データ上位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)にします。これでデータ取得が有効になります。
- ② DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これでデータ上位バイトを設定します。

G. データ上位バイト書き込み

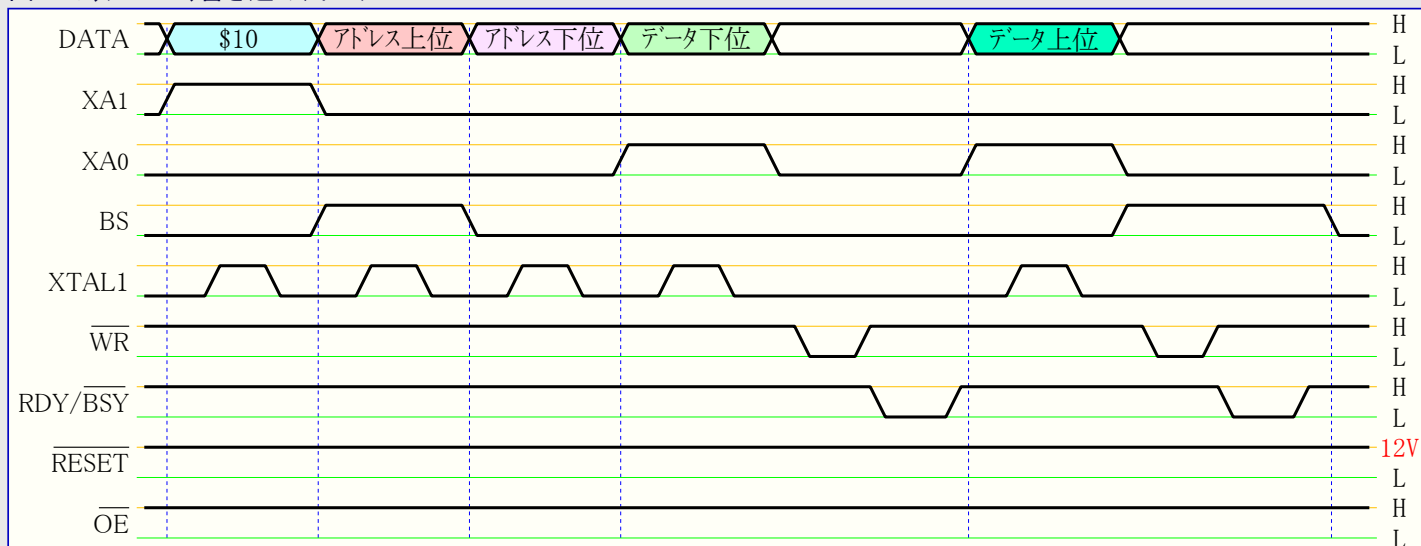
- ① BSをHigh(1)にします。これは上位バイト選択です。
- ② \overline{WR} に負パルスを与えます。これでバイトデータの書き込みが始まります。RDY/ \overline{BSY} はLow(0)になります。
- ③ 次バイト書き込みのため、RDY/ \overline{BSY} がHigh(1)になるまで待機します。

設定された指令とアドレスはプログラミング中、デバイス内に保持されます。効率的なプログラミングについて、以下が考慮されるべきです。

- ・複数のメモリ位置を読み書きする時に指令は一度の設定だけです。
- ・アドレス上位バイトはフラッシュメモリの新規256語(ワード)ページのプログラミング前に設定されることがだけです。
- ・チップ消去後のフラッシュメモリ全体の内容は\$FFなので、値\$FFのデータ書き込みは飛ばせます。

これらの考慮はフラッシュメモリと**識別バイト**の読み出しにも適用されます。

図37. フラッシュ メリ書き込みタイミング



(訳注) 原書での図37.と図38.は図37.として結合しました。

フラッシュ メリ読み出し

フラッシュ メリの読み出し方法を次に示します。(指令とアドレス設定の詳細については「フラッシュ メリ書き込み」を参照)

1. フラッシュ メリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュ メリ書き込み」のA.を参照)
2. アドレス上位バイト(\$00～\$03)を設定します。(「フラッシュ メリ書き込み」のB.を参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「フラッシュ メリ書き込み」のC.を参照)
 - ① BSをLow(0)、 \overline{OE} をLow(0)にします。これでフラッシュ メリ語(ワード)の下位バイトがDATAに読み出されます。
 - ② BSをHigh(1)にします。これでフラッシュ メリ語(ワード)の上位バイトがDATAに読み出されます。
 - ③ \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

ヒューズ ビット書き込み

ヒューズ ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュ メリ書き込み」を参照)

1. ヒューズ ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュ メリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メリ書き込み」のD.を参照)

ビット7～5	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。
ビット4	INTCAP ヒューズ ビット	
ビット3	CKSEL3 ヒューズ ビット	
ビット2	CKSEL2 ヒューズ ビット	
ビット1	CKSEL1 ヒューズ ビット	
ビット0	CKSEL0 ヒューズ ビット	

3. データ下位バイトを書き込みます。(「フラッシュ メリ書き込み」のE.を参照)

施錠ビット書き込み

施錠ビットの書き込み方法を次に示します。(指令とデータ設定の詳細については「フラッシュ メリ書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュ メリ書き込み」のA.を参照)
2. データ下位バイトを設定します。0=プログラム,1=無変化(状態維持)です。(「フラッシュ メリ書き込み」のD.を参照)

ビット2	施錠ビット2 (LB2)	
ビット1	施錠ビット1 (LB1)	
ビット7～3,0	1	これらのビットは予約されており、非プログラム(1)のままとすべきです。

3. データ下位バイトを書き込みます。(「フラッシュ メリ書き込み」のE.を参照)

施錠ビットはチップ消去の実行によってのみ消去(1)できます。

ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法を次に示します。(指令設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)

① BSを下表で示すように設定し、 \overline{OE} をLow(0)にします。これでヒューズビットまたは施錠ビットの状態がDATAに読み出されます。(読み出し値0はプログラムの意味です。)

ビット	BS=Low(0)	BS=High(1)
4	INTCAP ヒューズビット	
3	CKSEL3 ヒューズビット	
2	CKSEL2 ヒューズビット	施錠ビット2 (LB2)
1	CKSEL1 ヒューズビット	施錠ビット1 (LB1)
0	CKSEL0 ヒューズビット	

② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

識別バイトと校正バイト読み出し

識別バイトと校正バイトの読み出し方法を次に示します。(指令とアドレス設定の詳細については「[フラッシュメモリ書き込み](#)」を参照)

1. 識別バイト読み出し指令\$08(0000 1000)を設定します。(「[フラッシュメモリ書き込み](#)」のA.を参照)

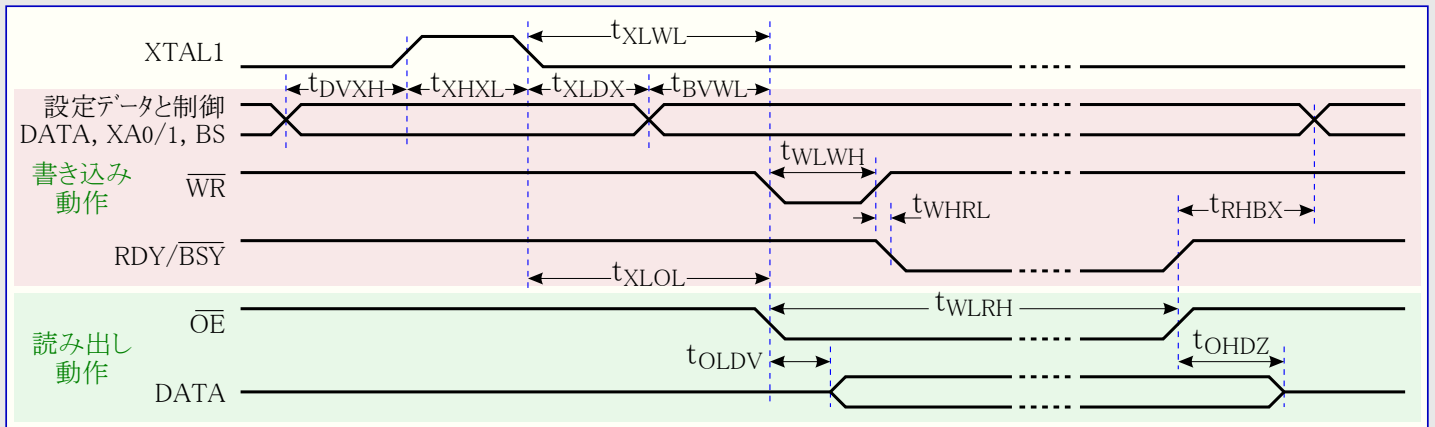
2. アドレス下位バイト(\$00~\$02)を設定します。校正バイトの場合は\$00。(「[フラッシュメモリ書き込み](#)」のC.を参照)

① 識別バイトはBS=Low(0)、校正バイトはBS=High(1)にし、 \overline{OE} をLow(0)にすると対応する値がDATAに読み出されます。

② \overline{OE} をHigh(1)にします。これでDATAはHi-Zになります。

並列プログラミング特性

図39. 並列プログラミング タイミング



表A. 並列プログラミング特性 (TA=25°C±10%, VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1に対するデータと制御の準備時間	67			ns
tXHL	XTAL1パルス幅	67			
tXLDX	XTAL1に対するデータと制御の保持時間	67			
tXLWL	XTAL1パルスの↓に対するWR↓待機時間	67			
tBVWL	BS(有効から)に対するWR↓待機時間	67			
tRHBX	RDY/BSY↑後のBS保持時間	67			
tWLWH	WRパルス幅	67			
tWLRH	WRパルス(↓)後のRDY/BSY↓遅延時間	0		2.5	μs
tWLRH	書き込み時間 (WR↓からRDY/BSY↑)	0.5	0.7	0.9	ms
tXLOL	XTAL1パルスの↓に対するOE↓待機時間	67			ns
tOLDV	OE↓に対するデータ出力遅延時間		20		
tOHDZ	OE↑に対するHi-Z遅延時間			20	

電気的特性

絶対最大定格 (警告)

動作温度	-40°C ~ +85/105°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-1.0V ~ VCC+0.5V
RESETピン許容電圧	-1.0V ~ +13.0V
最大動作電圧	6.0V
PA2を除く入出力ピン出力電流	40.0mA
PA2ピン出力電流	60.0mA
消費電流	300.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

DC特性

TA=-40°C~85°C, VCC=1.8V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表	最大	単位
VIL	Lowレベル入力電圧	XTALを除く	-0.5		0.3VCC (注1)	V
VIL1	Lowレベル入力電圧	XTAL	-0.5		0.1VCC (注1)	
VIH	Highレベル入力電圧	XTAL, RESETを除く	0.6VCC (注2)		VCC+0.5	
VIH1	Highレベル入力電圧	XTAL	0.7VCC (注2)		VCC+0.5	
VIH2	Highレベル入力電圧	RESET	0.85VCC (注2)		VCC+0.5	
VOL	Lレベル出力電圧 (ポートB,D) (注3)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
	PA2 Lレベル出力電圧 (注3)	IOL=25mA, VCC=2V			1.0	
VOH	Hレベル出力電圧 (ポートB,D) (注4)	IOH=-3mA, VCC=5V	4.3			
		IOH=-1.5mA, VCC=3V	2.3			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V			8.0	μA
IIH	I/OピンHighレベル入力漏れ電流	(確実なH/L範囲)			8.0	
RI/O	I/Oピンプルアップ抵抗		35		122	kΩ
ICC	活動動作消費電流	VCC=3V, 4MHz			3.0	mA
	アイドル動作消費電流			1.0	1.2	
	パワーダウン動作消費電流 (注5)(注6)	VCC=3V, WDT有効		9.0	15.0	μA
		VCC=3V, WDT禁止		<1	2.0	
VACIO	アナログ比較器入力オフセット電圧	VCC=5V, Vin=VCC/2			40	mV
IACLK	アナログ比較器入力漏れ電流		-50		50	nA
tACPD	アナログ比較器伝播遅延時間	VCC=2.7V		750		ns
		VCC=4.0V		500		

注1: Lowレベルの認識が保証される最高電圧です。

注2: Highレベルの認識が保証される最低電圧です。

注3: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで20mA、VCC=3Vで10mA)より多くの吸い込み電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOLの合計が300mAを超えるべきではありません。
2. ポートD0~D7とXTAL2のIOLの合計が100mAを超えるべきではありません。

IOLが検査条件を超える場合、VOLも仕様書での値を超えます。表の検査条件より大きな吸い込み電流を流すことは保証されません。

注4: 各I/Oポートは安定状態(非過渡時)に於いては、検査条件(VCC=5Vで3mA、VCC=3Vで1.5mA)より多くの吐き出し電流を流すことができますが、次の条件を厳守してください。

1. 全ポートのIOHの合計が300mAを超えるべきではありません。
2. ポートD0~D7とXTAL2のIOHの合計が100mAを超えるべきではありません。

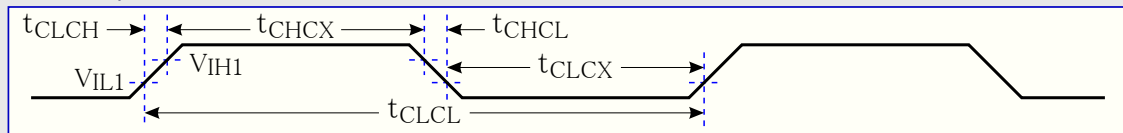
IOHが検査条件を超える場合、VOHも仕様書での値を超えます。表の検査条件より大きな吐き出し電流を流すことは保証されません。

注5: パワーダウン動作時の最小電源電圧(VCC)は1.5Vです。

注6: パワーダウン動作移行時、ポートA出力レジスタ(PORTA)のPORTA2ビットは設定(1)されるべきです。

外部クロック特性

図40. 外部クロック



表B. 外部クロック特性

シンボル	項目	VCC=1.8V~2.7V		VCC=2.7V~4.0V		VCC=4.0V~5.5V		単位
		最小	最大	最小	最大	最小	最大	
$1/t_{CLCL}$	クロック周波数	0	1.2	0	4	0	4	MHz
t_{CLCL}	クロック周期	833		250		250		ns
t_{CHCX}	Highレベル時間	333		100		100		
t_{CLCX}	Lowレベル時間	333		100		100		
t_{CLCH}	上昇時間		1.6		1.6		0.5	μ s
t_{CHCL}	下降時間		1.6		1.6		0.5	

表25. 外部RC発振周波数

周波数 f	抵抗 R (k Ω)	容量 C (pF)
100kHz	100	70
1.0MHz	31.5	20
4.0MHz	6.5	20

注: Rは3~100k Ω の範囲、Cは最小20pFであるべきです。

代表特性

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。全ての消費電流測定は全I/Oピンが入力として設定した内部プルアップ許可で行われています。電源幅振幅の方形波発振器がクロック源として使われています。

パワーダウン動作での消費電力はクロック選択と無関係です。

消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f(I/O\text{ピンの平均切り替え周波数})$ として推測できます。

デバイス検査範囲より高い周波数特性を示します。デバイスは注文番号が示す周波数より高い周波数での機能特性を保証されません。

ウォッチドッグタイマ許可のパワーダウン動作での消費電流とウォッチドッグタイマ禁止のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマにより引き込んだ(消費した)差電流を表します。

図41. 活動動作消費電流 対 周波数 (TA=25°C)

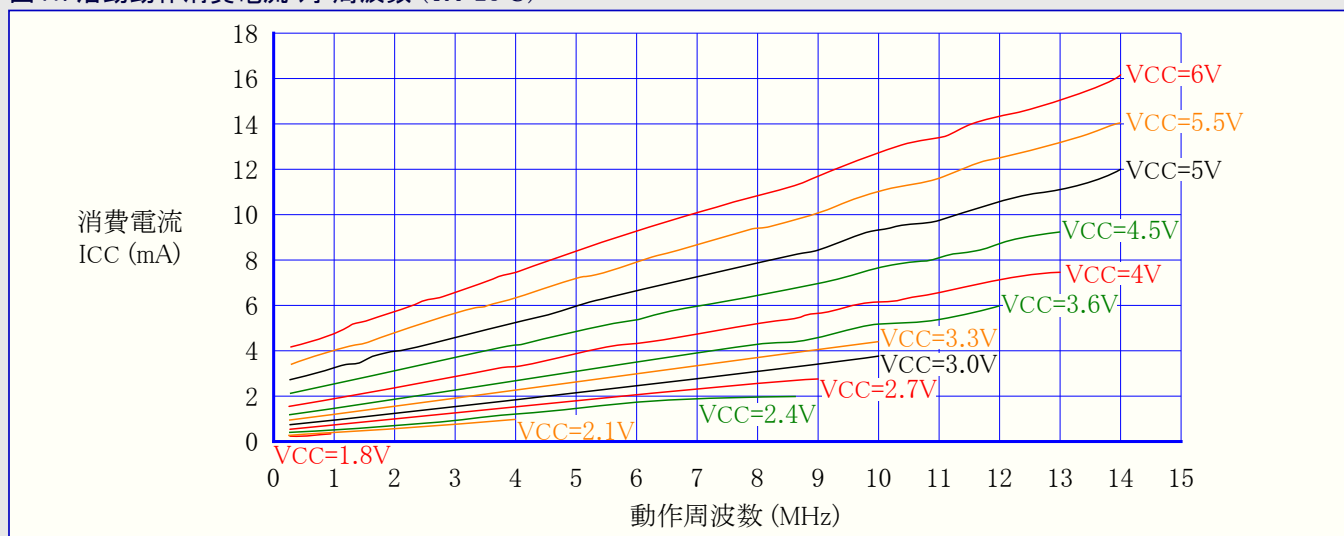


図42. 活動動作消費電流 対 動作電圧 (4MHz)

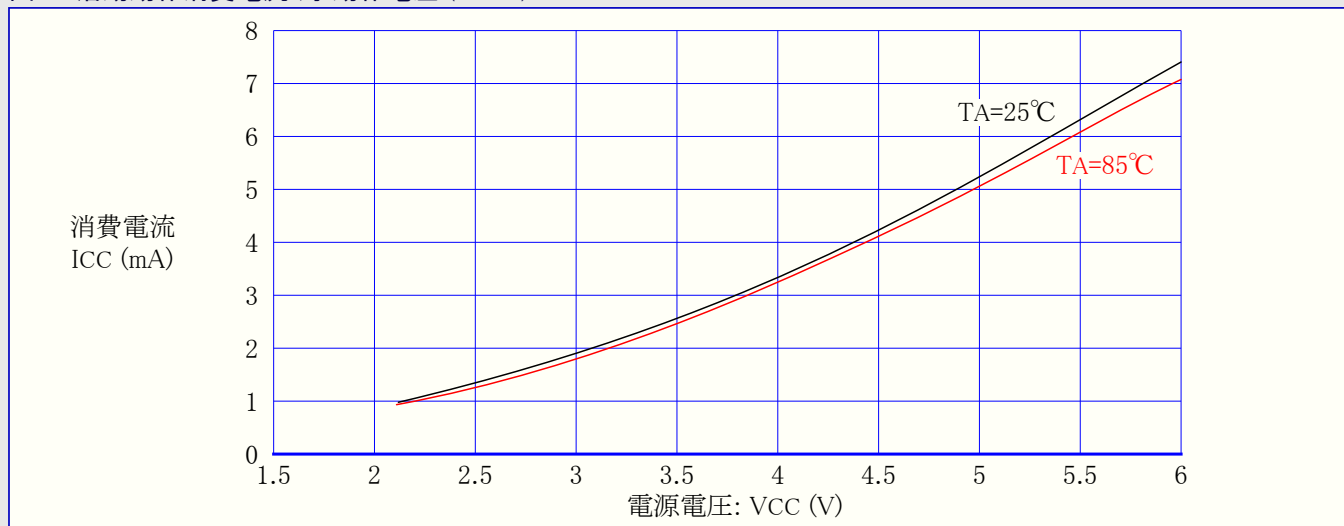


図43. 活動動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

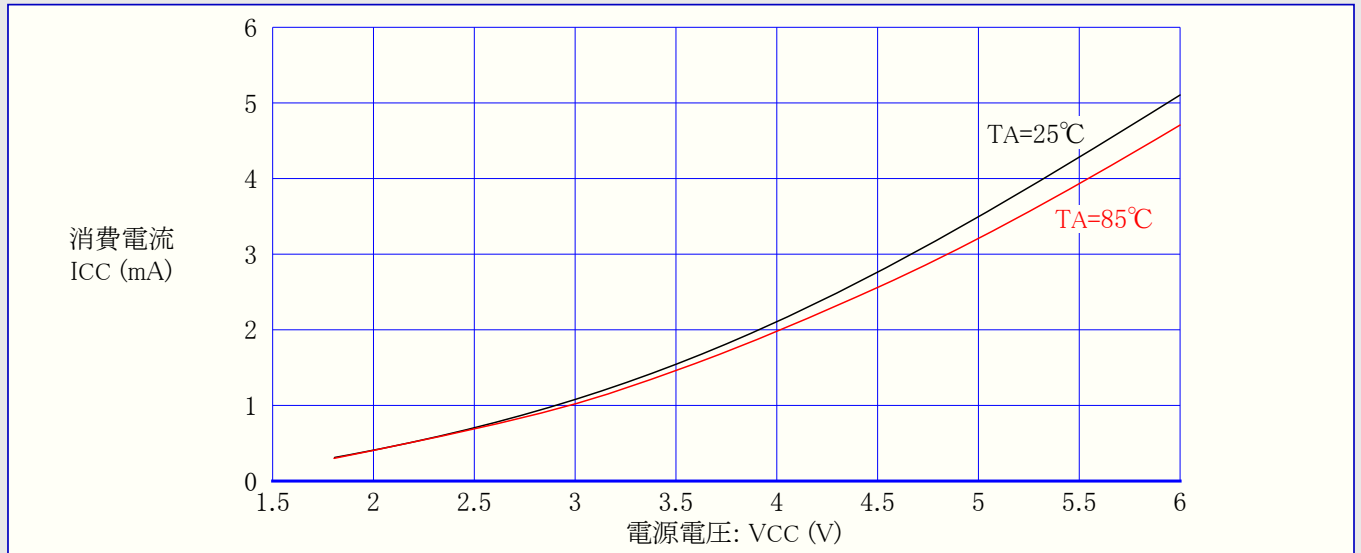


図44. 活動動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

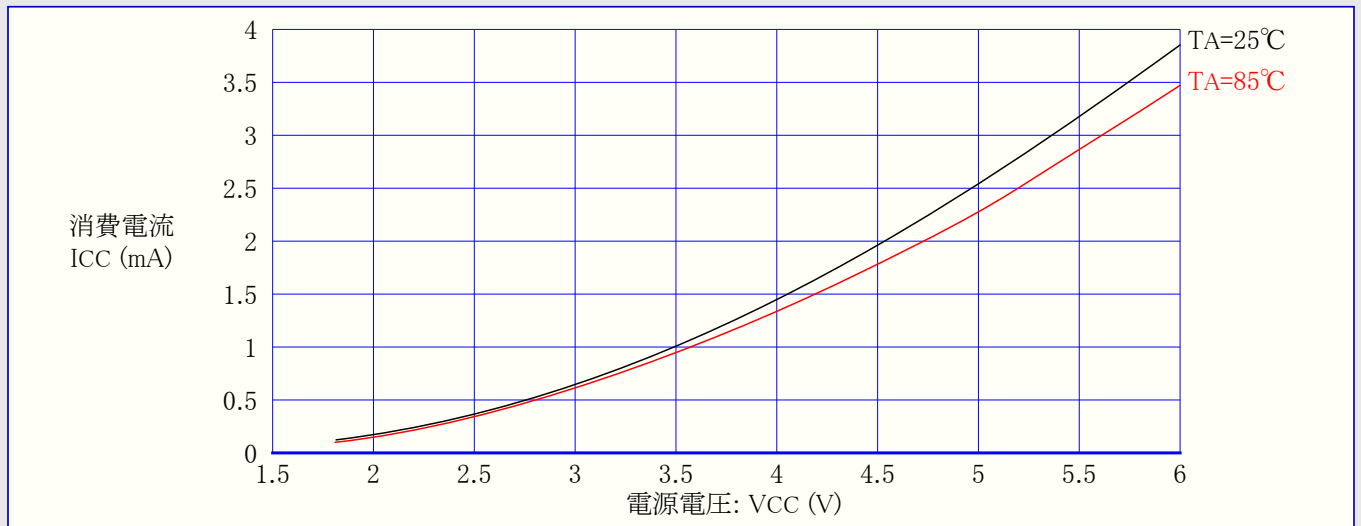


図45. アイドル動作消費電流 対 周波数 (TA=25°C)

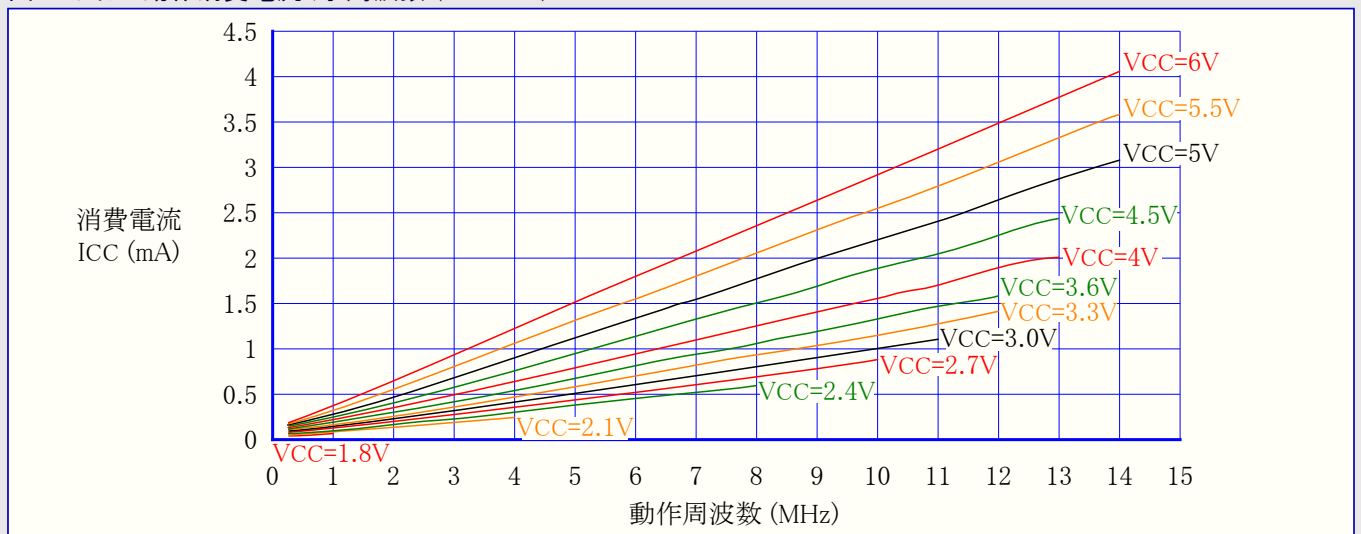


図46. アイドル動作消費電流 対 動作電圧 (4MHz)

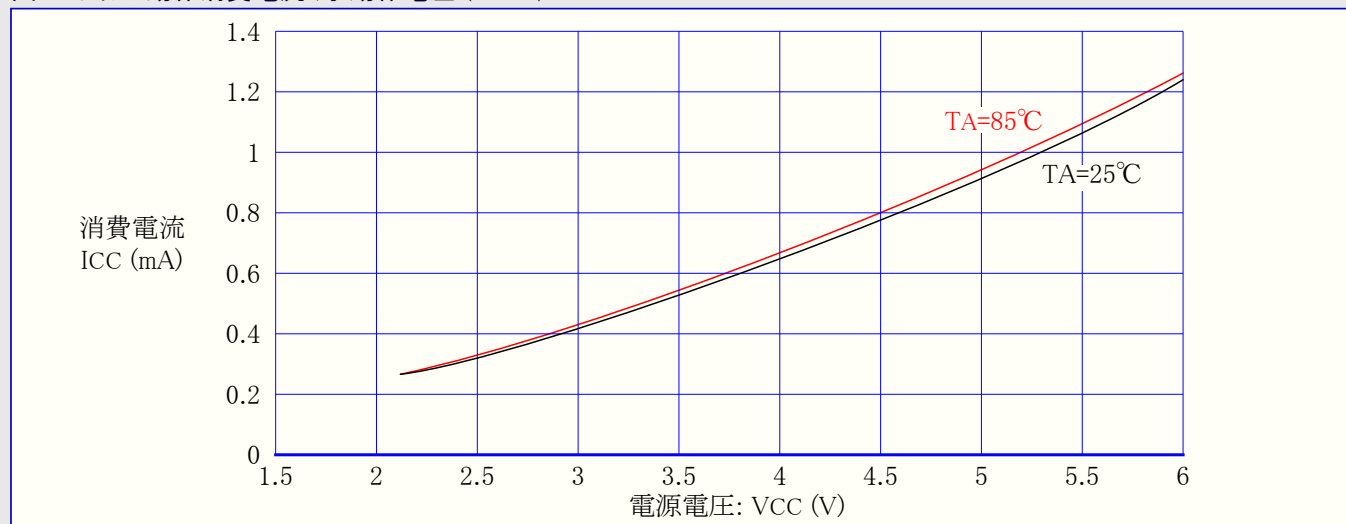


図47. アイドル動作消費電流 対 動作電圧 (1.2MHz内蔵RC発振器)

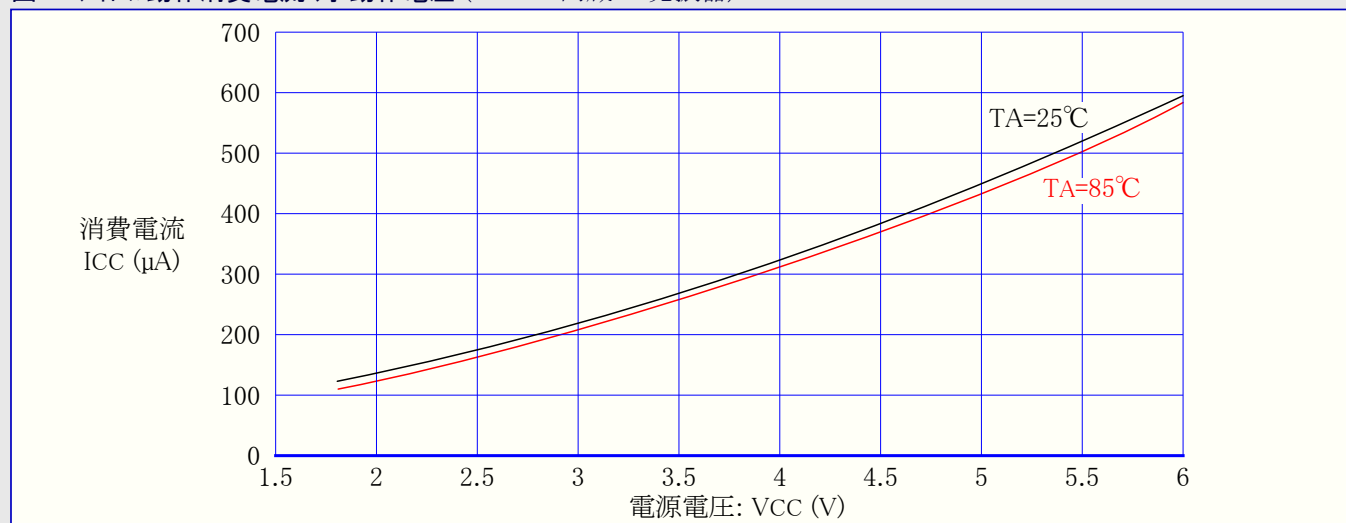


図48. アイドル動作消費電流 対 動作電圧 (外付け32kHzクリスタル)

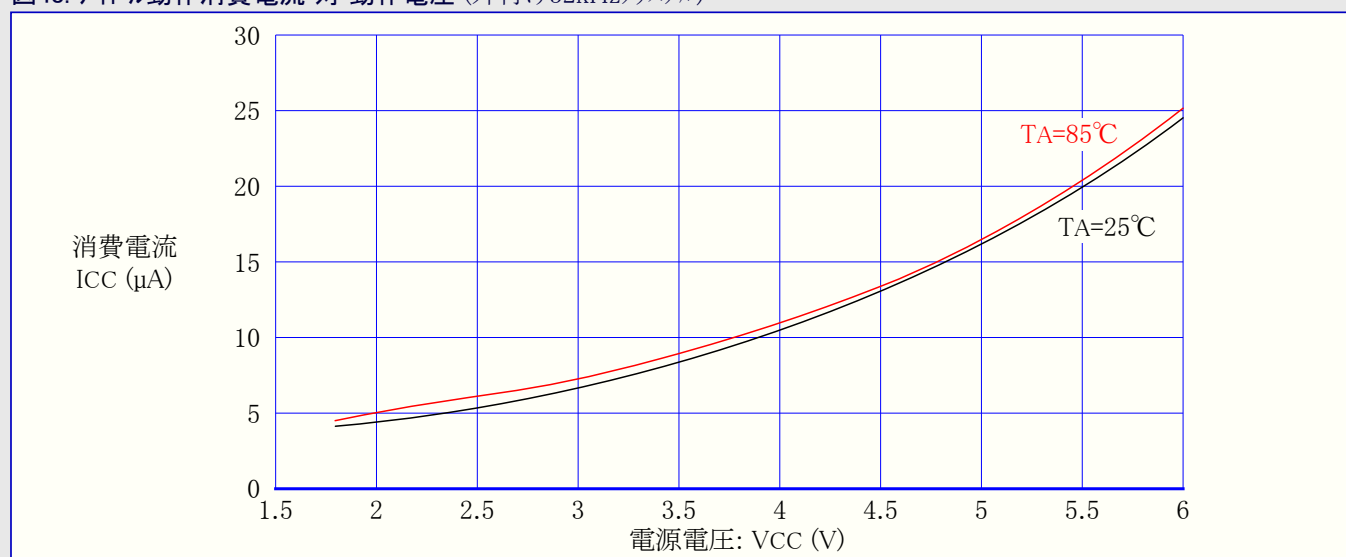


図49. パワーダウンス動作消費電流 対 動作電圧 (ウォッチドッグ タイム停止)

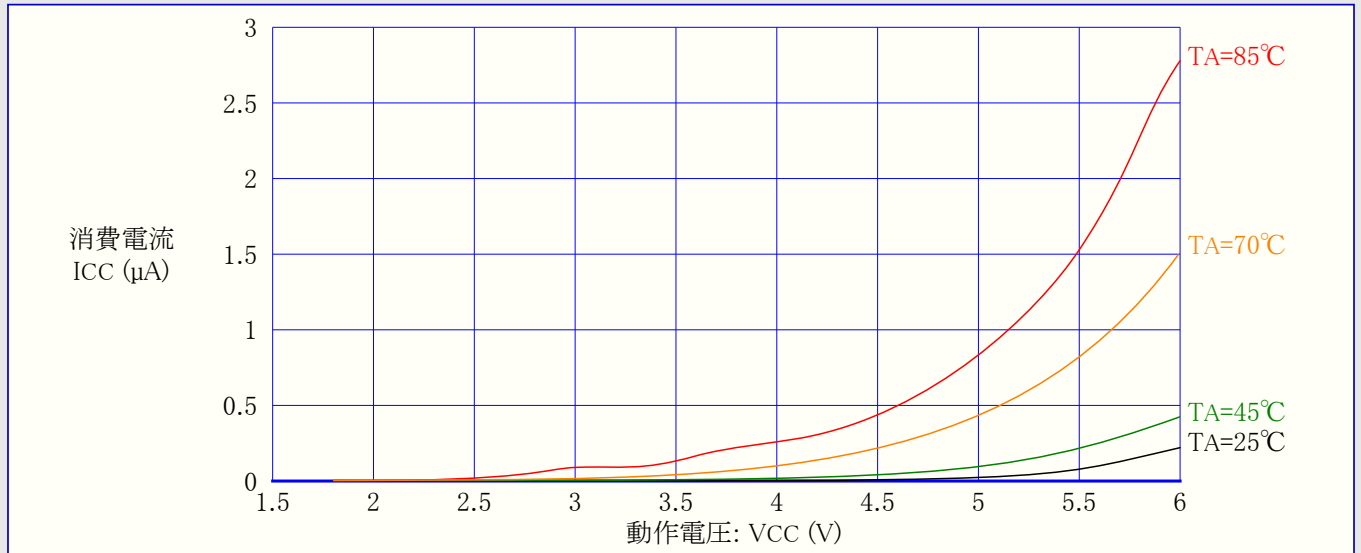


図50. パワーダウンス動作消費電流 対 動作電圧 (ウォッチドッグ タイム許可)

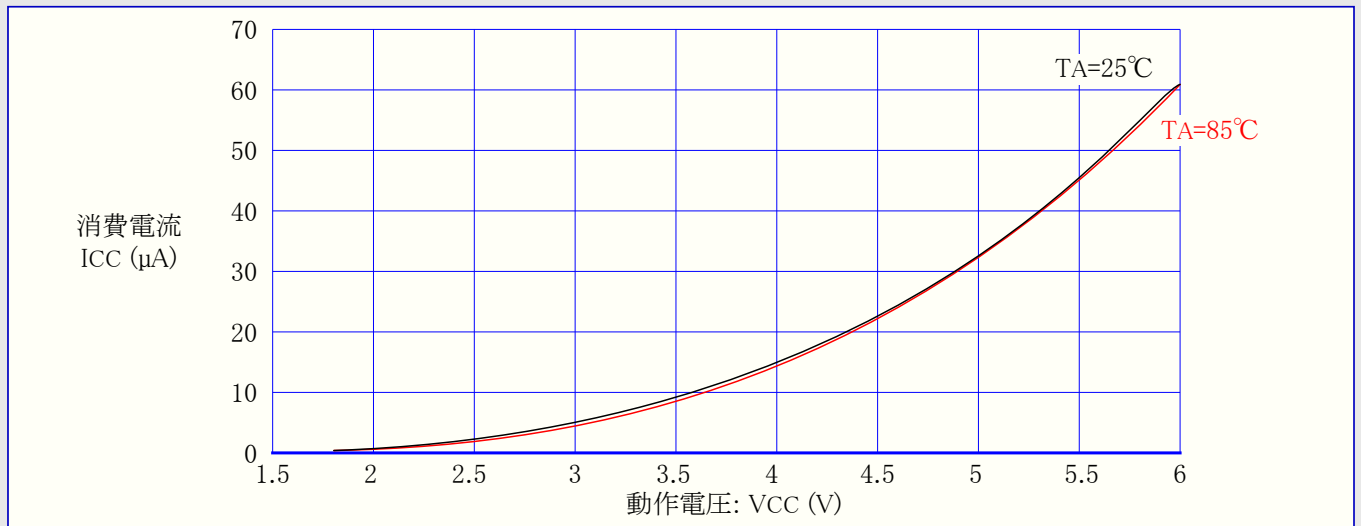
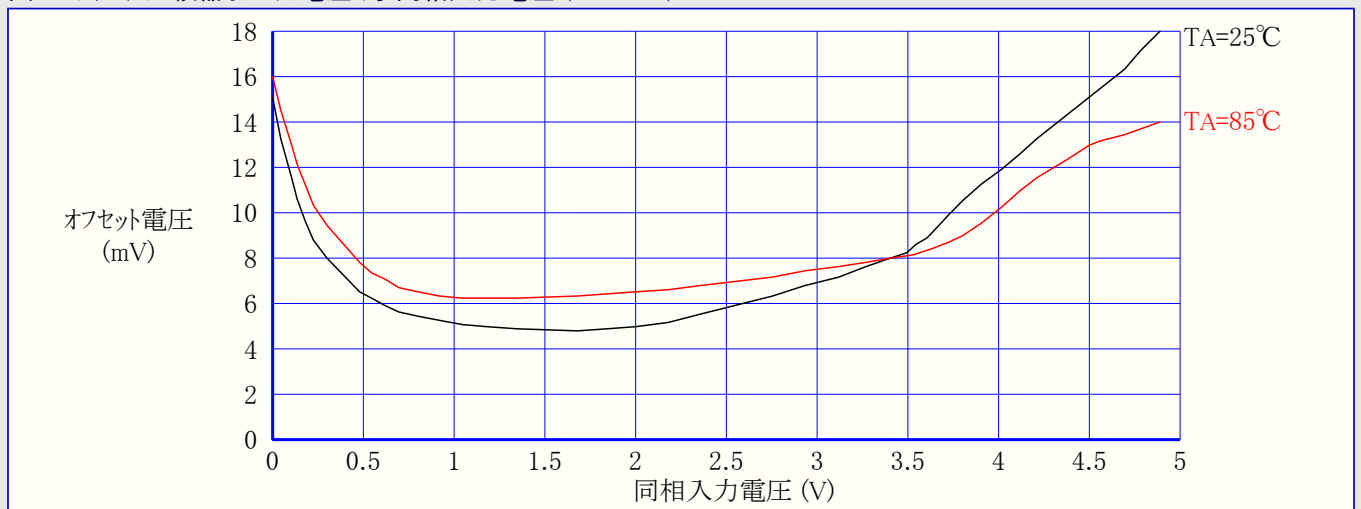
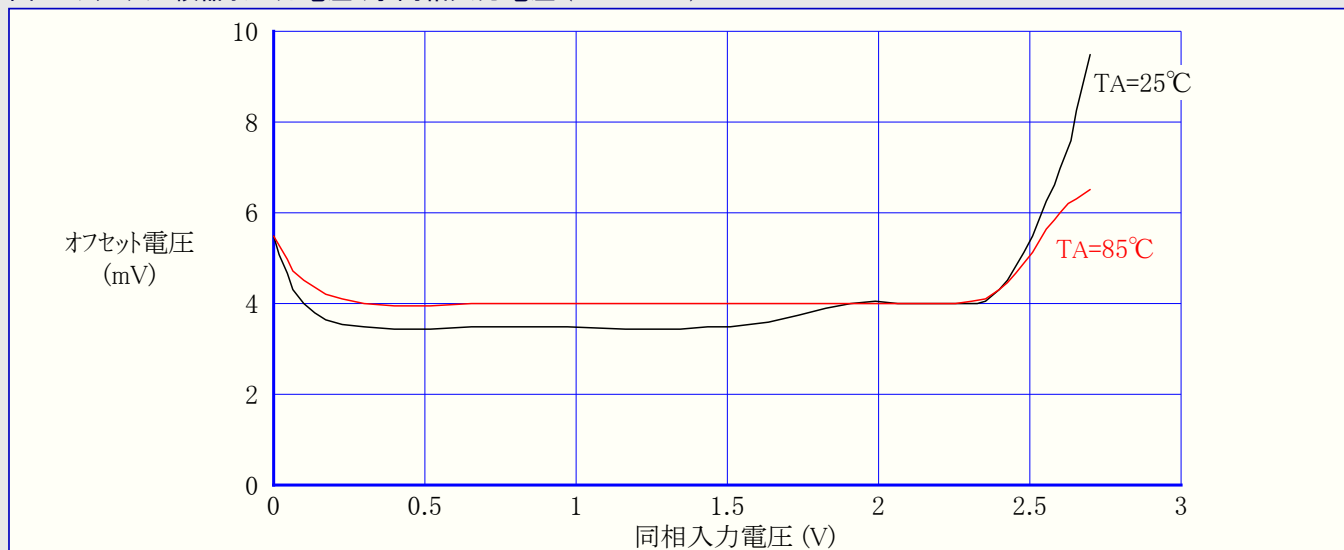


図51. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=5V)



注: オフセット電圧は絶対値です。

図52. アナログ比較器オフセット電圧 対 同相入力電圧 (VCC=2.7V)



注: オフセット電圧は絶対値です。

図53. アナログ比較器入力漏れ電流 対 入力電圧 (VCC=6V, TA=25°C)

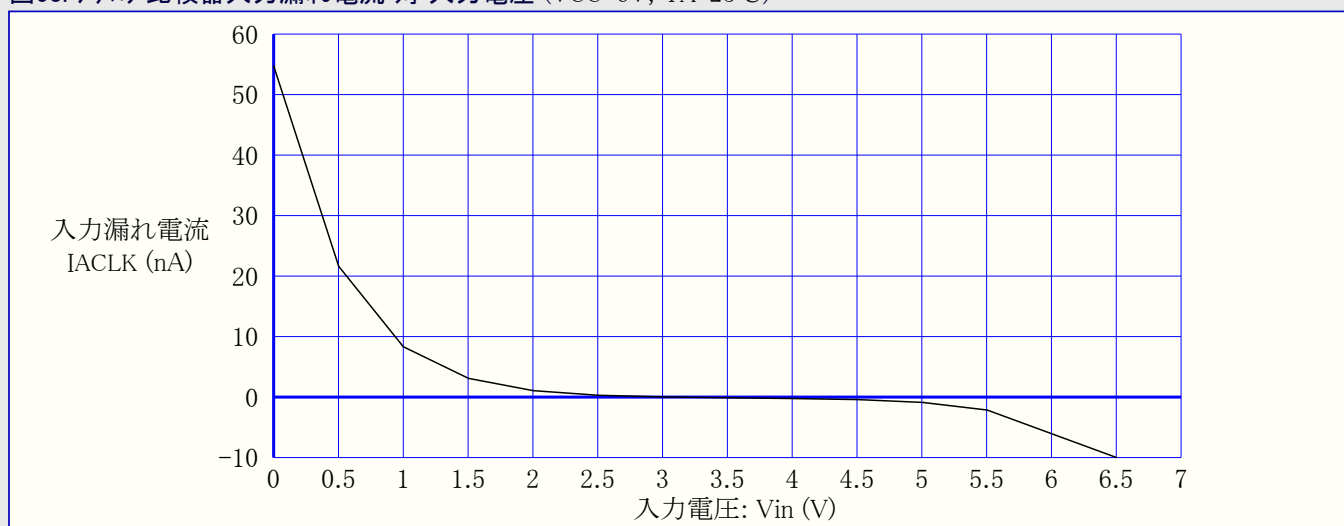


図54. 校正済み内蔵RC発振器周波数 対 動作電圧

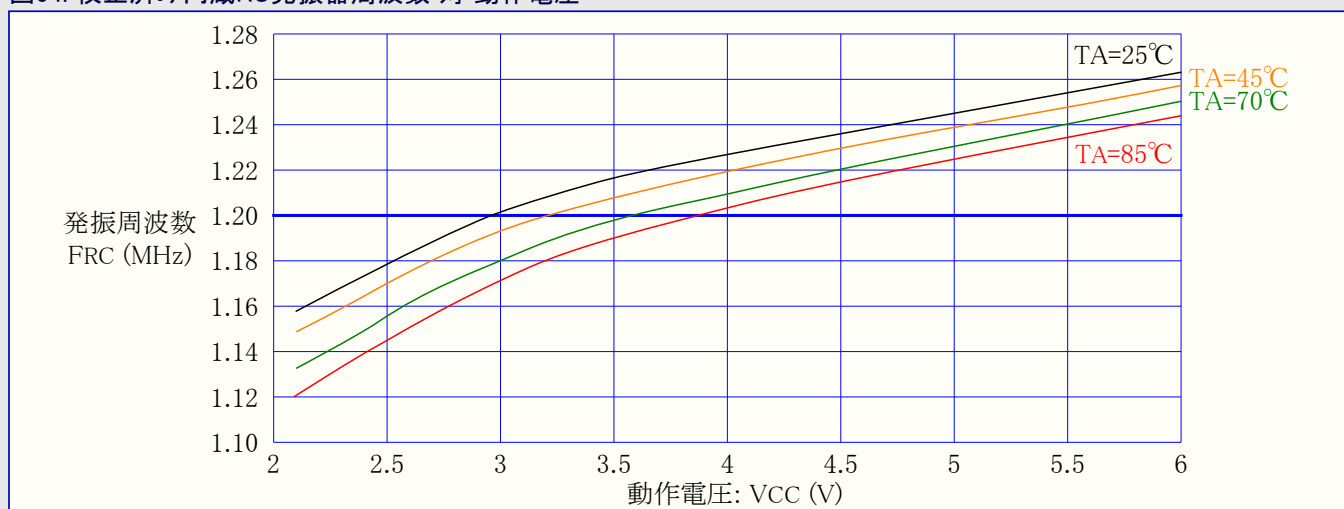


図55. ウォッチバック用発振器 発振周波数 対 動作電圧

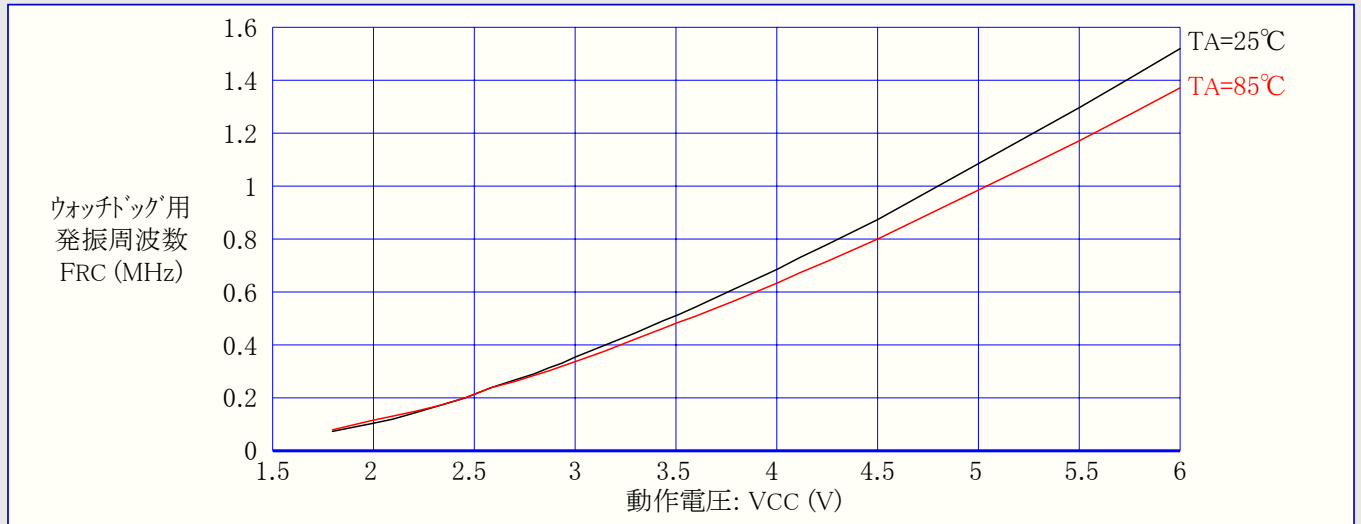
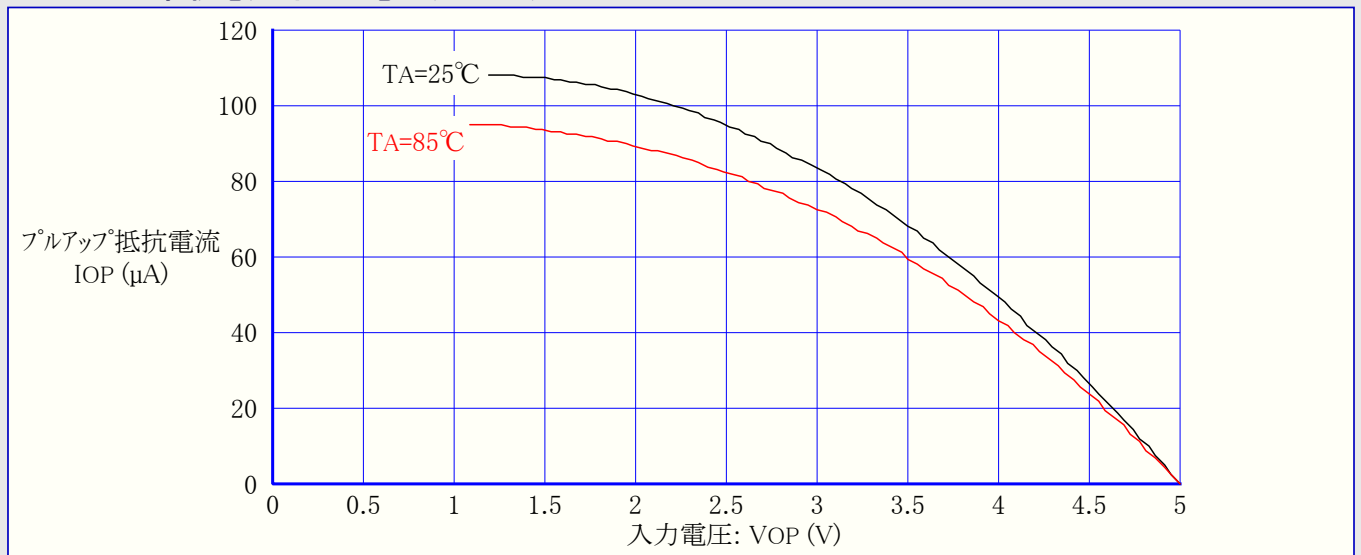
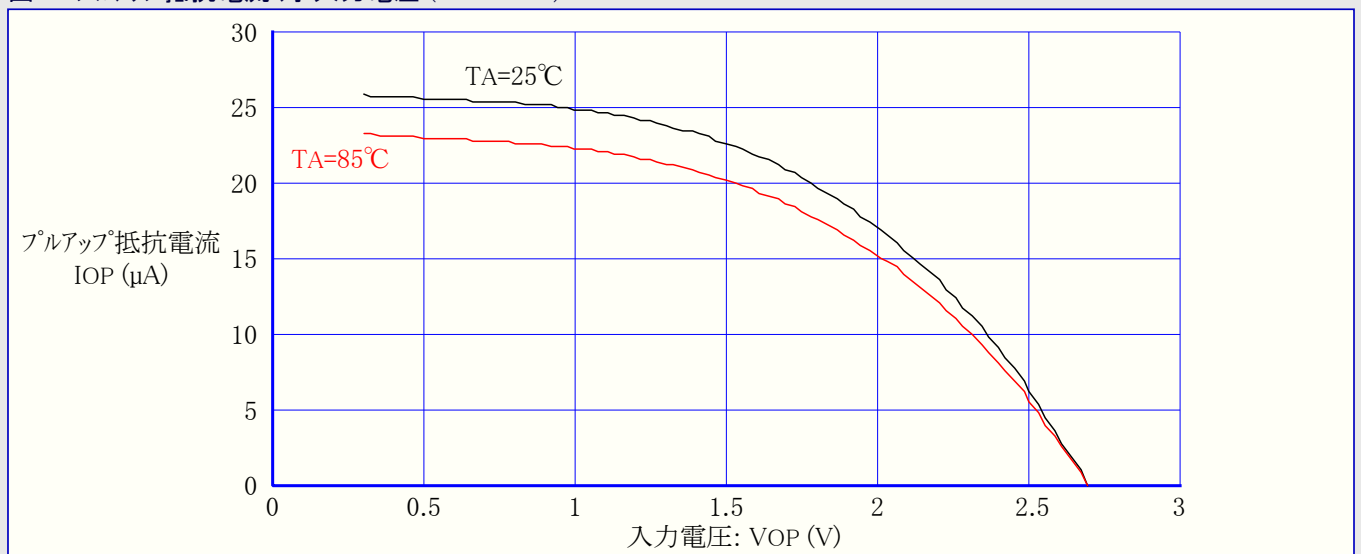


図56. プルアップ抵抗電流 対 入力電圧 (VCC=5V)



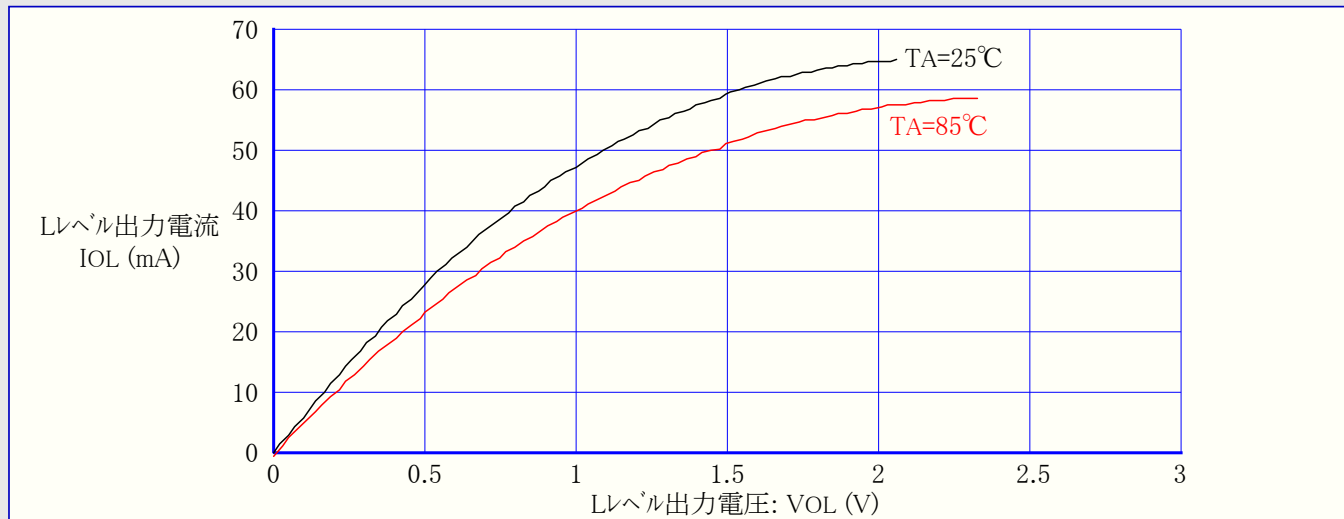
注: 測定は1ピン単位です。

図57. プルアップ抵抗電流 対 入力電圧 (VCC=2.7V)



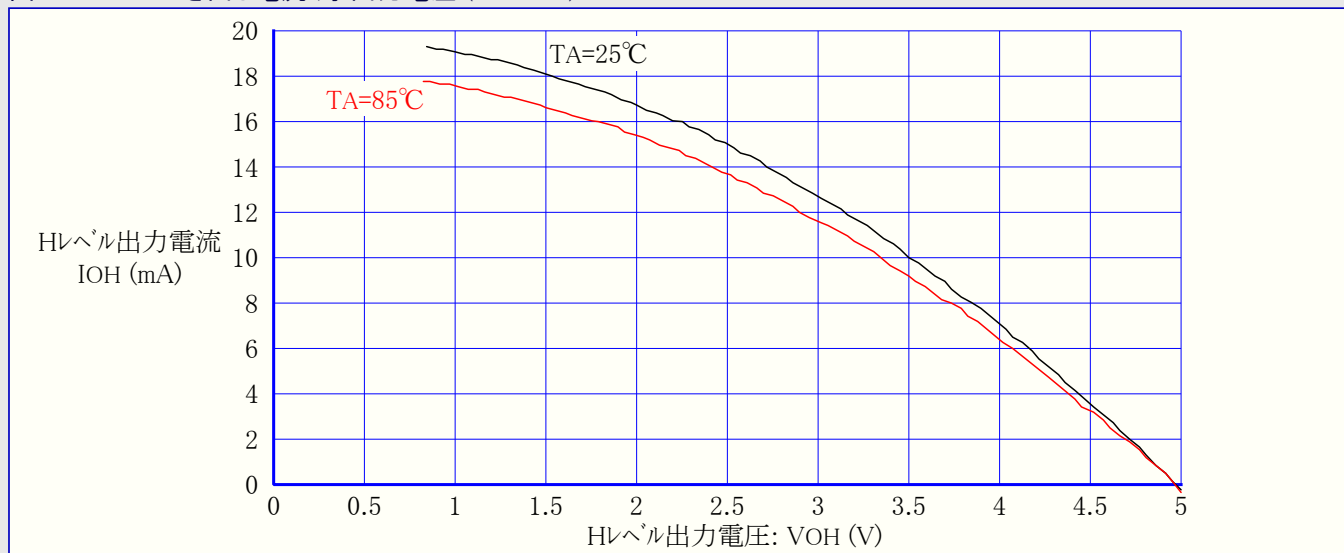
注: 測定は1ピン単位です。

図58. PA2を除くI/Oピン 吸い込み電流 対 出力電圧 (VCC=5V)



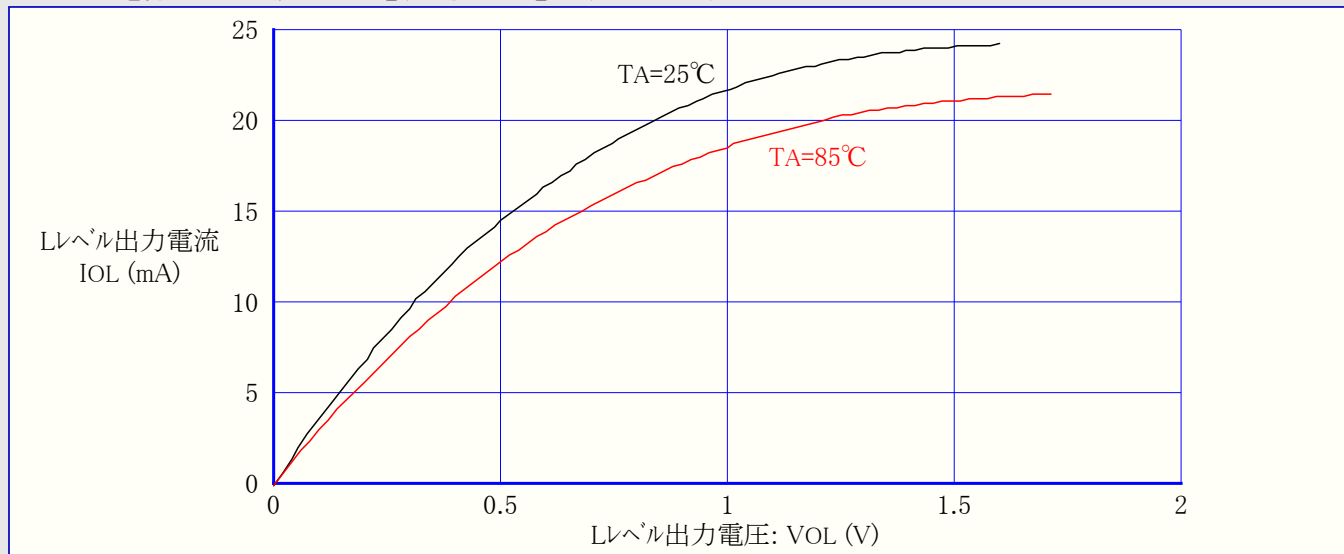
注: 測定は1ピン単位です。

図59. I/Oピン 吐き出し電流 対 出力電圧 (VCC=5V)



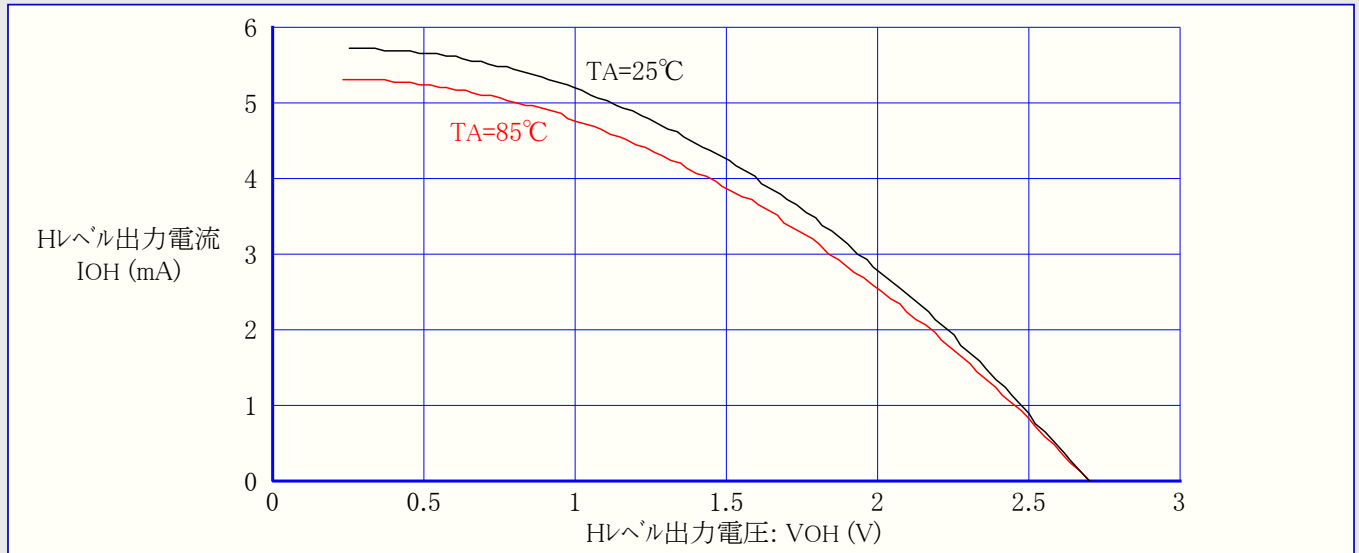
注: 測定は1ピン単位です。

図60. PA2を除くI/Oピン 吸い込み電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図61. I/Oピン 吐き出し電流 対 出力電圧 (VCC=2.7V)



注: 測定は1ピン単位です。

図62. PA2ピン 吸い込み電流 対 出力電圧 (TA=25°C)

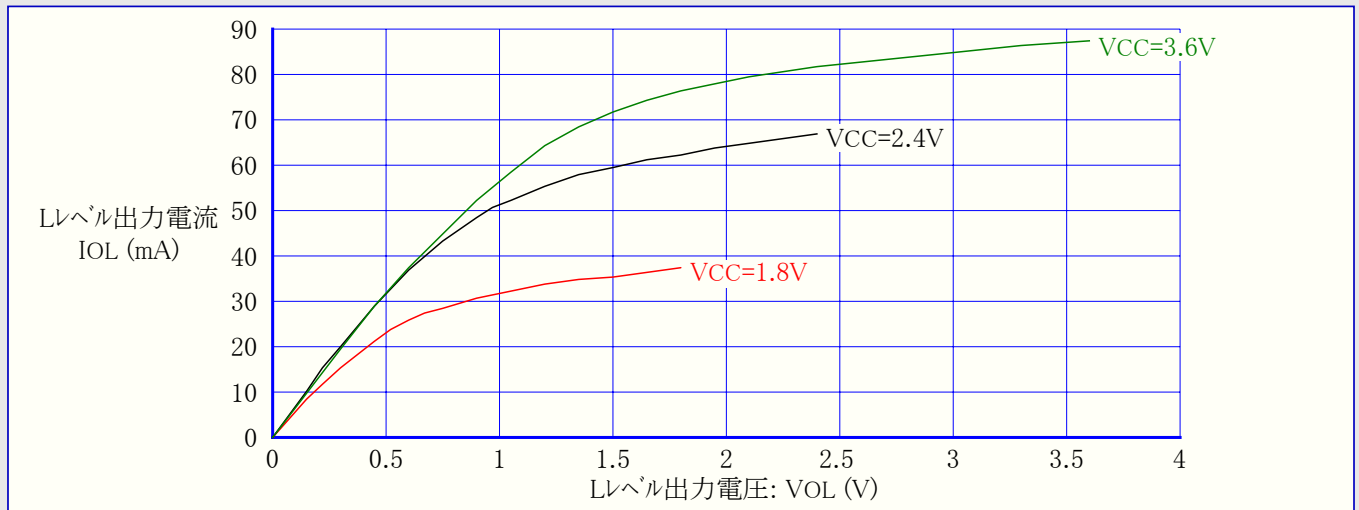


図63. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (TA=25°C)

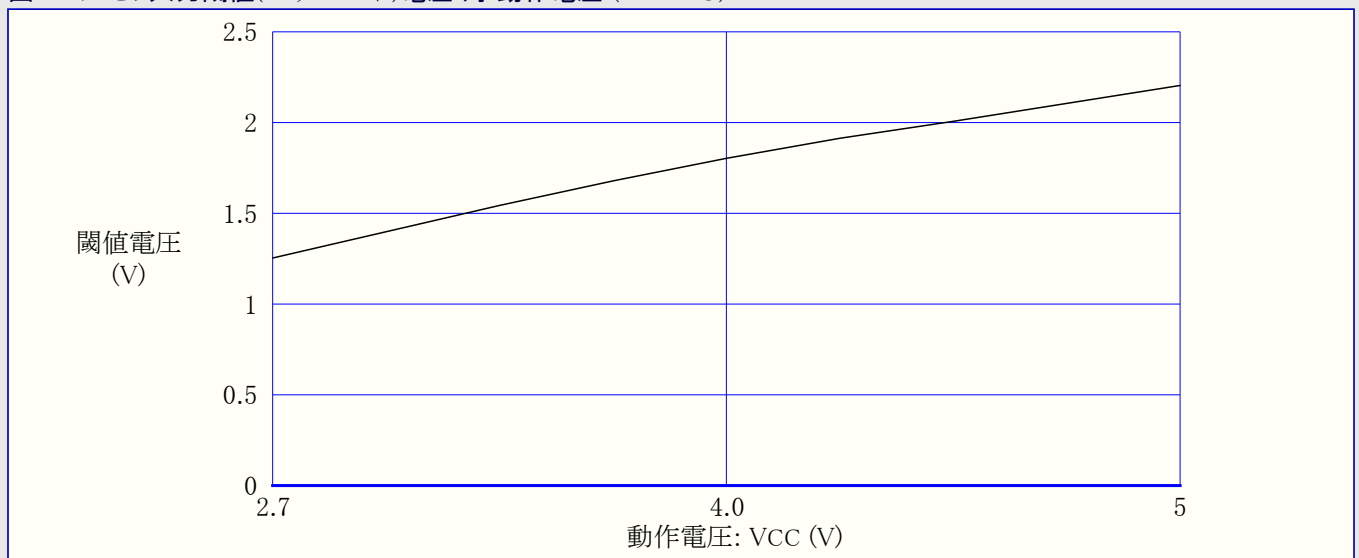
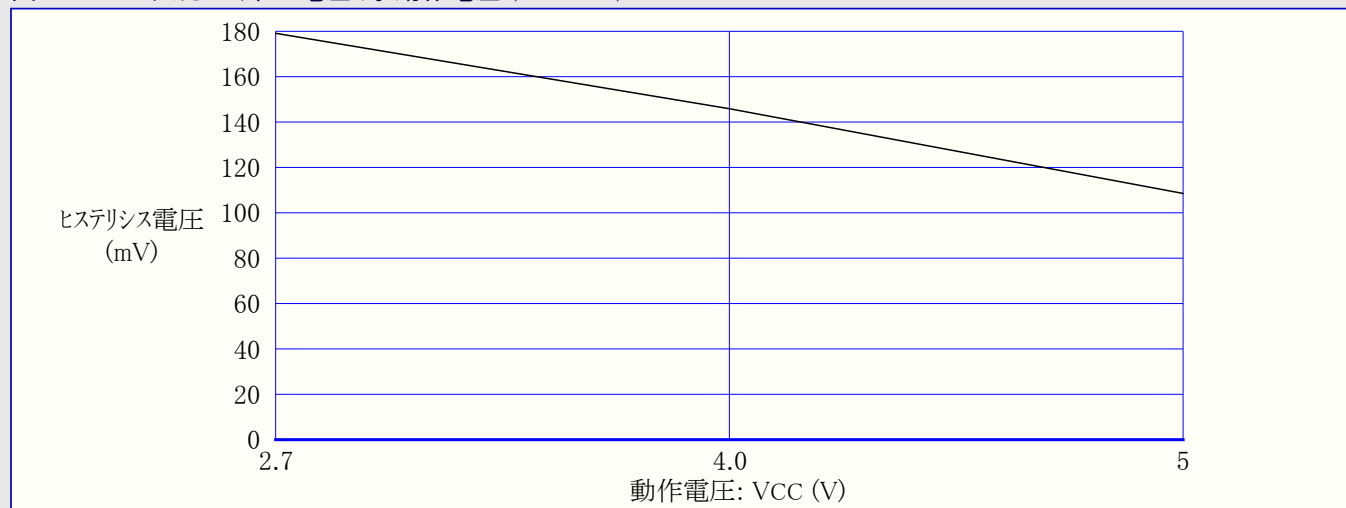


図64. I/Oピン入力ヒステリシス電圧 対 動作電圧 (TA=25°C)



レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F	SREG	I	T	H	S	V	N	Z	C	5
\$20～\$3E	予約									
\$1F	予約									
\$1E	予約									
\$1D	予約									
\$1C	予約									
\$1B	PORTA	–	–	–	–	PORTA3	PORTA2	PORTA1	PORTA0	21
\$1A	PACR	–	–	–	–	DDA3	PA2HC	DDA1	DDA0	21
\$19	PINA	–	–	–	–	PINA3	–	PINA1	PINA0	21
\$18	予約									
\$17	予約									
\$16	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	21
\$15	予約									
\$14	予約									
\$13	予約									
\$12	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	21
\$11	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	22
\$10	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	22
\$0F	予約									
\$0E	予約									
\$0D	予約									
\$0C	予約									
\$0B	予約									
\$0A	予約									
\$09	予約									
\$08	ACSR	ACD	–	ACO	ACI	ACIE	–	ACIS1	ACIS0	29
\$07	MCUCS	PLUPB	–	SE	SM	WDRF	–	EXTRF	PORF	13
\$06	ICR	INT1	INT0	LLIE	TOIE0	ISC11	ISC10	ISC01	ISC00	15
\$05	IFR	INTF1	INTF0	–	TOV0	–	–	–	–	16
\$04	TCCR0	FOV0	–	–	OOM01	OOM00	CS02	CS01	CS00	24
\$03	TCNT0	タイマ/カウンタ0								24
\$02	MODCR	ONTIM4	ONTIM3	ONTIM2	ONTIM1	ONTIM0	MCONF2	MCONF1	MCONF0	28
\$01	WDTCSR	–	–	–	WDTOE	WDE	WDP2	WDP1	WDP0	25
\$00	OSCCAL	内蔵RC発振器校正値								7

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約されたI/Oメモリ アドレスへは決して書くべきではありません。

- ・ いくつかの状態フラグは論理1を書くことによって解除(0)されます。CBIとSBI命令はI/Oレジスタ内の全ビットを操作し、設定(1)として読まれたどのフラグにも1が書き戻され、従ってフラグを解除(1)します。CBIとSBI命令は\$00～\$1FのI/Oレジスタでだけ動作します。

命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,C	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2$	I,T,H,S,V,N,Z,C	1/2
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数

P : I/Oレジスタ

Rd, Rr : 汎用レジスタ(R0~R31)

Z : Zレジスタ

b : ビット(0~7)

k : アドレス定数(7,12ビット)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7 \sim 4) \leftrightarrow Rd(3 \sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	1,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	1,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1

注文情報

速度(MHz)	電源電圧	注文コード*	外囲器	動作範囲
1.2	1.8~5.5V	ATtiny28V-1AC	32A	一般用 (0°C~70°C)
		ATtiny28V-1PC	28P3	
		ATtiny28V-1MC	32M1-A	
		ATtiny28V-1AI	32A	工業用 (-40°C~85°C)
		ATtiny28V-1AU (注2)	32A	
		ATtiny28V-1PI	28P3	
		ATtiny28V-1PU (注2)	28P3	
		ATtiny28V-1MI	32M1-A	
		ATtiny28V-1MU (注2)	32M1-A	
4	2.7~5.5V	ATtiny28L-4AC	32A	一般用 (0°C~70°C)
		ATtiny28L-4PC	28P3	
		ATtiny28L-4MC	32M1-A	
		ATtiny28L-4AI	32A	工業用 (-40°C~85°C)
		ATtiny28L-4AU (注2)	32A	
		ATtiny28L-4PI	28P3	
		ATtiny28L-4PU (注2)	28P3	
		ATtiny28L-4MI	32M1-A	
		ATtiny28L-4MU (注2)	32M1-A	

注: このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

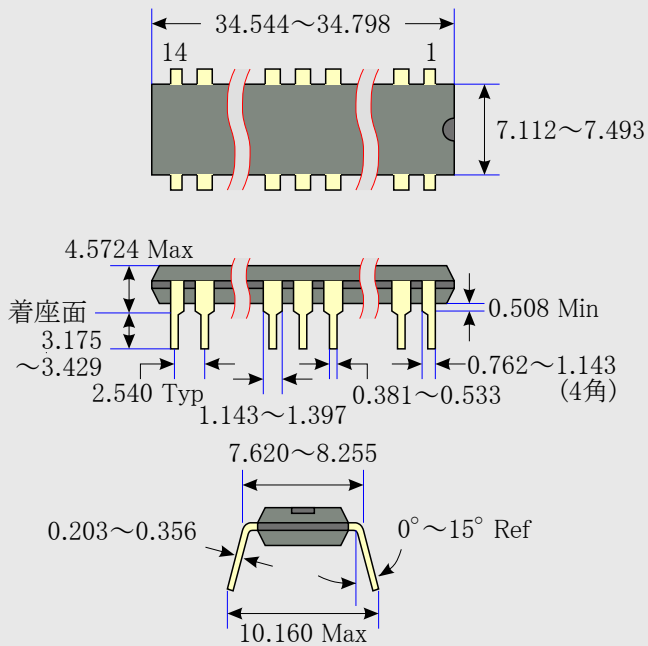
外囲器形式	
32A	32リード 1.0mm厚 プラスティック4方向平板外囲器 (TQFP)
28P3	28ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
32M1-A	32パッド 5×5×1mm厚 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

外圍器情報

28P3

28ピン 300mil幅 プラスチック2列直線外圍器 (PDIP)

寸法: mm

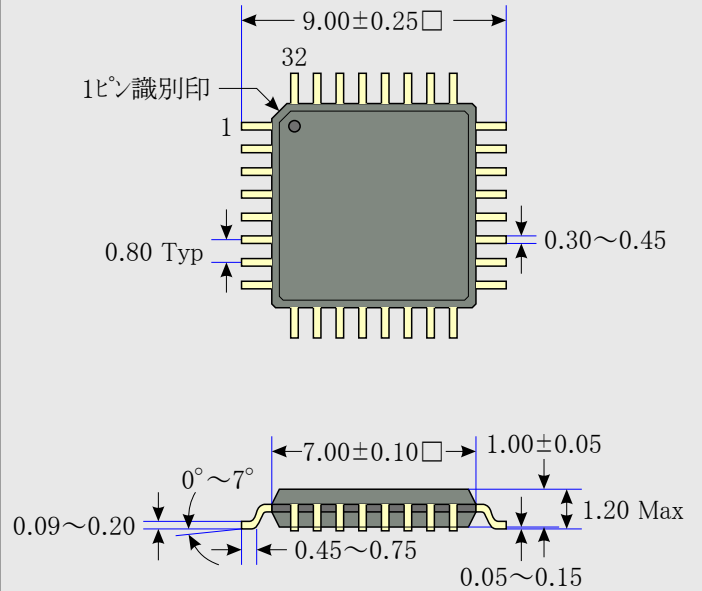


32A

32リード 0.8mmピッチ プラスチック4方向平板外圍器 (TQFP)

寸法: mm

JEDEC規格 MS-026 ABA

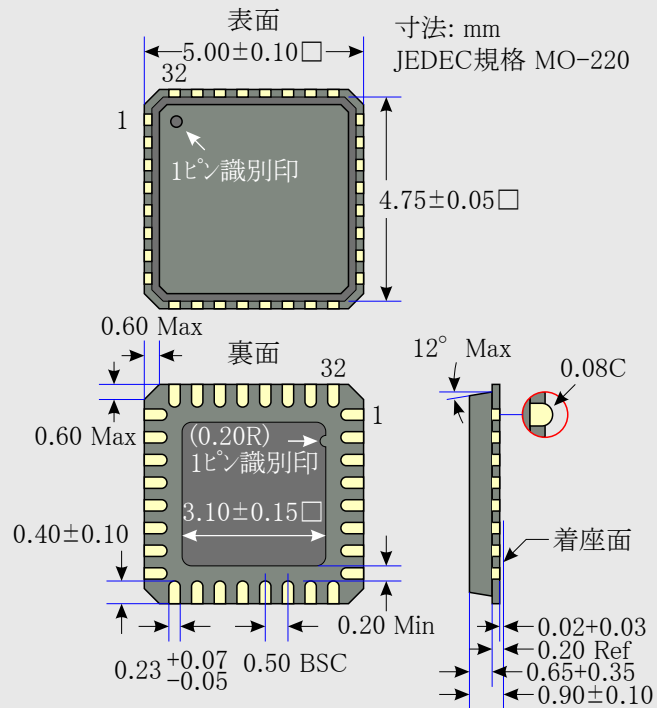


32M1-A

32ピン 0.5mmピッチ 4方向平板リードなし/小リード枠外圍器 (QFN/MLF)

寸法: mm

JEDEC規格 MO-220



データシート改訂履歴

この章内の参照頁番号は、この資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

改訂F – 2005年3月

1. 35頁の「電気的特性」を更新
2. MLF外囲器を4方向平板リットなし/小リット枠外囲器QFN/MLFに代替変更
3. 49頁の「注文情報」を更新

改訂G – 2006年1月

1. 17頁の「ポートA」に関する概要を更新
2. 35頁の「電気的特性」に注6を追加
3. 49頁の「注文情報」を更新
4. 52頁の「障害情報」を追加

改訂H – 2006年7月

1. 章構成更新
2. 49頁の「注文情報」を更新

障害情報

この章の改訂番号はATtiny28L/Vの改訂版を参照してください。

- ・なし

データシートの重要変更

- ・校正付き内蔵RC発振器の発振周波数は、1.0MHzではなく**1.2MHz**です。

目次

特徴	1	絶対最大定格	35
ピン配置	1	DC特性	35
概要	2	外部クロック特性	36
構成図	2	代表特性	37
ピン説明	3	レジスタ要約	46
構造概要	4	命令要約	47
ALU (Arithmetic Logic Unit)	4	注文情報	49
サブルーチン、割り込み用スタック	4	外圍器情報	50
汎用レジスタ ファイル	5	データシート改訂履歴	51
ステータス レジスタ	5	障害情報	52
システム クロックとクロック選択	6		
内蔵RC発振器	6		
校正付き内蔵RC発振器	6		
クリスタル用発振器	6		
外部クロック信号	6		
外部RC発振器	6		
クロック用レジスタ	7		
メモリ	8		
I/Oレジスタ	8		
プログラム/データ空間に対するアドレス指定種別	9		
メモリ アクセスと命令実行タイミング	10		
プログラム用フラッシュ メモリ	10		
休止形態種別	10		
アイドル動作	10		
パワーダウン動作	10		
システム制御とリセット	11		
リセット元	11		
システム制御とリセット関係レジスタ	13		
割り込み	14		
リセットと割り込み	14		
割り込みの扱い	14		
割り込み用レジスタ	15		
入出力ポート	17		
ポートA	17		
ポートB	18		
ポートD	20		
入出力ポート用レジスタ	21		
タイマ/カウンタ0	23		
タイマ/カウンタ0前置分周器	23		
タイマ/カウンタ0用レジスタ	24		
ウォッチドッグ タイマ	25		
ウォッチドッグ タイマ用レジスタ	25		
変調器	26		
変調器用レジスタ	28		
アナログ比較器	29		
アナログ比較器用レジスタ	29		
メモリプログラミング	30		
プログラム メモリ用施錠ビット	30		
ヒューズ ビット	30		
識票バイト	30		
校正バイト	30		
フラッシュ メモリのプログラミング	30		
並列プログラミング	31		
並列プログラミング特性	34		
電気的特性	35		



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 487-2600

国外営業拠点

Atmel Asia

Unit 1-5 & 16, 19/F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
Hong Kong
TEL (852) 2245-6100
FAX (852) 2722-1369

Atmel Europe

Le Krebs
8, Rue Jean-Pierre Timbaud
BP 309
78054 Saint-Quentin-en-Yvelines
Cedex
France
TEL (33) 1-30-60-70-00
FAX (33) 1-30-60-71-11

Atmel Japan

104-0033 東京都中央区
新川1-24-8
東熱新川ビル 9F
アトメル ジャパン株式会社
TEL (81) 03-3523-3551
FAX (81) 03-3523-7581

製造拠点

Memory

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

Microcontrollers

2325 Orchard Parkway
San Jose, CA 95131, USA
TEL 1(408) 441-0311
FAX 1(408) 436-4314

La Chanterrie
BP 70602
44306 Nantes Cedex 3
France
TEL (33) 2-40-18-18-18
FAX (33) 2-40-18-19-60

ASIC/ASSP/Smart Cards

Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-42-53-60-00
FAX (33) 4-42-53-60-01

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Scottish Enterprise Technology Park
Maxwell Building
East Kilbride G75 0QR
Scotland
TEL (44) 1355-803-000
FAX (44) 1355-242-743

RF/Automotive

Theresienstrasse 2
Postfach 3535
74025 Heilbronn
Germany
TEL (49) 71-31-67-0
FAX (49) 71-31-67-2340

1150 East Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906, USA
TEL 1(719) 576-3300
FAX 1(719) 540-1759

Biometrics

Avenue de Rochepleine
BP 123
38521 Saint-Egreve Cedex
France
TEL (33) 4-76-58-47-50
FAX (33) 4-76-58-47-60

文献請求

www.atmel.com/literature

© Atmel Corporation 2006.

Atmel製品は、ウェブサイト上にあるAtmelの定義、条件による標準保証で明示された内容以外の保証はありません。本製品は改良のため予告なく変更される場合があります。いかなる場合も、特許や知的技術のライセンスを与えるものではありません。Atmel製品は、生命維持装置の重要部品などのような使用を認めておりません。

本書中の®、™はAtmelの登録商標、商標です。

本書中の製品名などは、一般的に商標です。

© HERO 2022.

本データシートはAtmelのATtiny28英語版データシート(改訂1062H-07/06)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。他デバイスのデータシートとの共通性のために「校正付き内蔵RC発振器」位置を移動したことにより、表12が表8と表9間となり、表12に関して表番号が昇順ではありません。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に於ける存在しない図2.記述を修正したため、以降の図番号が原書に対して-1されています。