

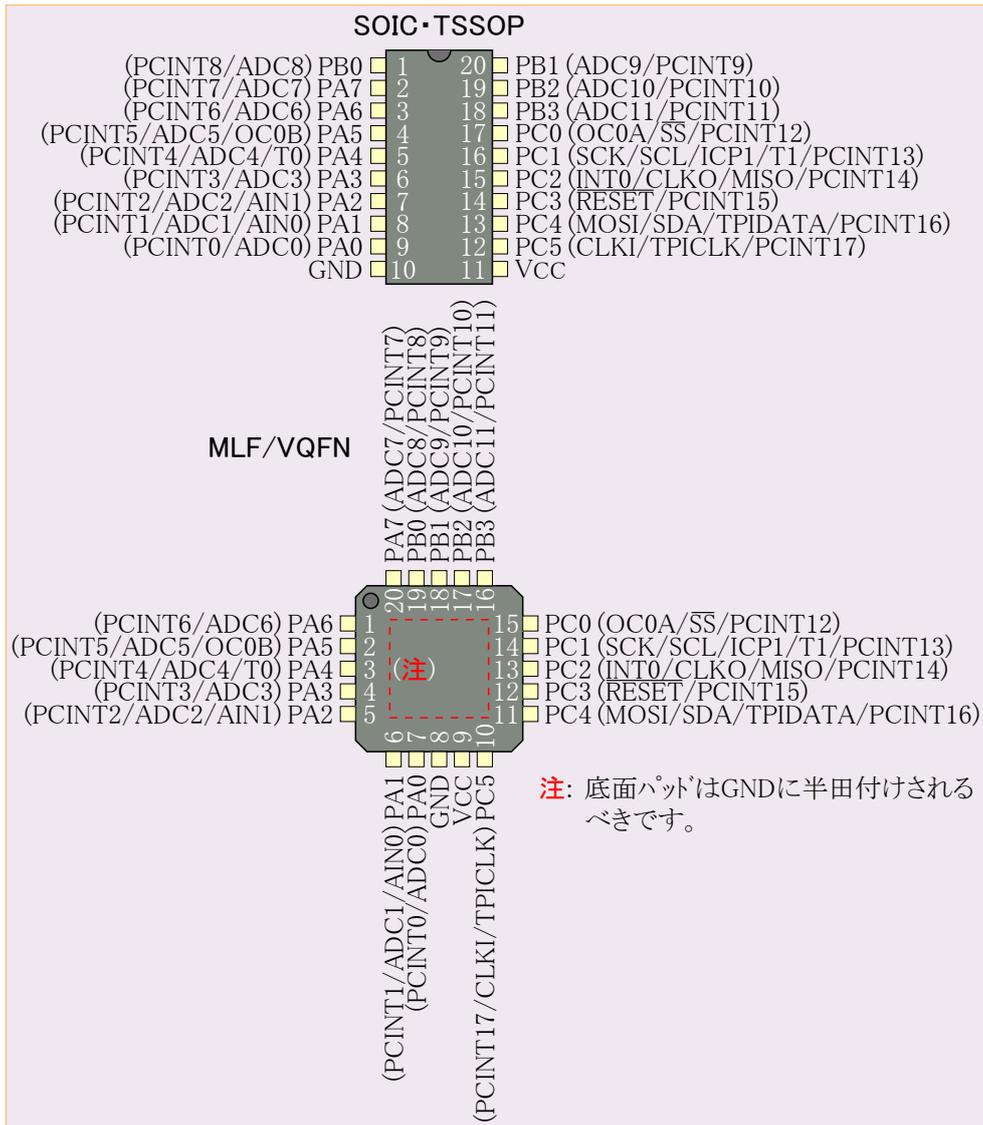
4Kバイト実装書き込み可能フラッシュメモリ付き  
Atmel 8ビット tinyAVR マイクロコントローラ

データシート

## 特徴

- 高性能、低消費AVR® 8ビット マイクロコントローラ
- 進化したRISC構造
  - 強力な**112命令**(多くは1クロック周期実行)
  - 16個の1バイト長**汎用レジスタ**
  - 完全なスタティック動作
  - 12MHz時、12MIPSに達する高速動作
- データ用メモリとプログラム用不揮発性メモリ
  - 実装書き換え可能な4Kバイト(2K語)**フラッシュメモリ**内蔵
  - 256バイトの内蔵**SRAM**
  - フラッシュ書き込み/消去回数: 10,000
  - **データ保持力**: 20年/85°C, 100年/25°C
- 内蔵周辺機能
  - 2つのPWM出力を持つ1つの**8ビットタイマ/カウンタ**
  - 1つの**8/16ビットタイマ/カウンタ**
  - **10ビットA/D変換器**
    - ・ 12のシングルエンドチャンネル
  - 独立したチップ上発振器を持つ**ウォッチドッグタイマ**
  - **アナログ比較器**
  - 主装置/従装置動作**SPI直列インターフェース**
  - 従装置動作**TWI直列インターフェース**
- 特殊マイクロコントローラ機能
  - **実装書き込み可能**
  - 内部及び外部の**割り込み**
  - **アイドル**、**A/D変換雑音低減**、**スタンバイ**、**パワーダウン**の4つの**低消費動作**
  - 強化した**電源ONリセット回路**
  - **校正付き内蔵RC発振器**
- I/Oと外圍器
  - 18ビットの**設定変更可能なI/O**
  - **20ピンSOIC/TSSOP**、**20ピンVQFN/MLF**
- 動作電圧
  - 1.8~5.5V
- 動作速度
  - 0~4MHz/1.8~5.5V
  - 0~8MHz/2.7~5.5V
  - 0~12MHz/4.5~5.5V
- 工業用温度範囲: -40~+85°C
- 低消費電力
  - 活動動作: 200µA (1MHz, 1.8V)
  - アイドル動作: 25µA (1MHz, 1.8V)
  - パワーダウン動作: <0.1µA (1.8V)

# 1. ピン配置



## 1.1. ピン概要

### 1.1.1. VCC

電源ピン。

### 1.1.2. GND

接地ピン。

### 1.1.3. $\overline{\text{RESET}}$

リセット入力。RESETピンが禁止されていないならば、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は109頁の表20-4.で与えられます。より短いパルスはリセットの生成が保証されません。

RESETピンは((駆動能力の)弱い)入出力ピンとしても使えます。

### 1.1.4. PA7~PA0 (ポートA)

ポートAは(ビット単位で選択される)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートA出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートAピンはHi-Zにされます。

ポートAには34頁の「交換ポート機能」で示されるようにA/D変換器とアナログ比較器用のアナログ入力とピン変化割り込みとしての交換機能があります。

### 1.1.5. PB3~PB0 (ポートB)

ポートBは(ビット単位で選択される)内蔵プルアップ抵抗付きの4ビット双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。

ポートBには34頁の「交換ポート機能」で示されるようにA/D変換器用のアナログ入力とピン変化割り込みとしての交換機能があります(訳注:整合性から本行追加)。

ポートBは38頁で一覧されるように、ATtiny40の様々な特殊機能も扱います。

### 1.1.6. PC5~PC0 (ポートC)

ポートCは(ビット単位で選択される)内蔵プルアップ抵抗付きの6ビット双方向入出力ポートです。 $\overline{\text{RESET}}$ 能力を持つPC3を除いて、ポートC出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。PC3ピンをRESETの代わりにI/Oピンとして使うには、RSTDISBLヒューズをプログラム(0)にしてください。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートCピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートCピンはHi-Zにされます。

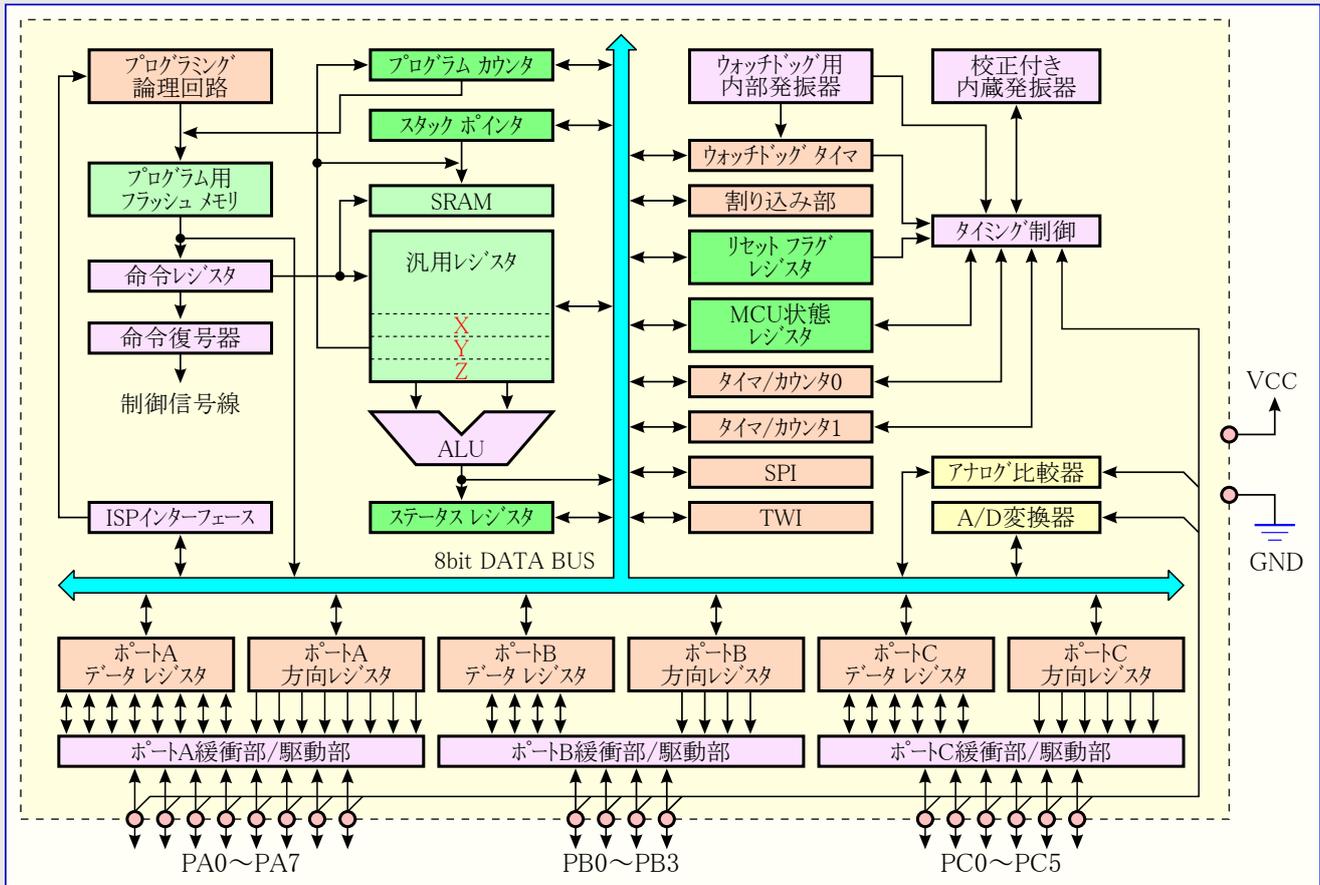
ポートCには34頁の「交換ポート機能」で示されるようにピン変化割り込みとしての交換機能があります(訳注:整合性から本行修正)。

ポートCは39頁で一覧されるように、ATtiny40の様々な特殊機能も扱います。

## 2. 概要

ATtiny40はAVR強化RISC構造を基にした低消費CMOS 8ビットマイクロコントローラです。1周期での強力な命令の実行によってATtiny40はMHzあたり1MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図2-1. 構成図



AVRコアは16個の汎用作業レジスタを伴う豊富な命令群とシステムレジスタを結合します。全レジスタはALU(Arithmetic Logic Unit)に直結され、1クロック周期で実行される単一命令でのアクセスを2つの独立したレジスタに許します。その結果としての基本構造は簡潔且つコード効率的で、同時に伝統的なCISC型マイクロコントローラに対して10倍程度までの処理量を達成します。

ATtiny40は4Kバイトの実装書き込み可能なフラッシュメモリ、256バイトのSRAM、18本の汎用入出力線、16個の汎用作業レジスタ、2つのPWMチャンネルを持つ8ビットタイマ/カウンタ、8/16ビットタイマ/カウンタ、内部及び外部割り込み、8チャンネルの10ビットA/D変換器、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、従装置2線インターフェース、主装置/従装置の直列周辺インターフェース、校正付き内蔵発振器、ソフトウェアで選択できる4つの低消費動作を提供します。

アイドル動作はCPUを停止し、一方、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。A/D変換雑音低減動作はA/D変換器を除く全I/O部とCPUを停止することによってA/D変換中の切り替え雑音を最小にします。パワーダウン動作ではレジスタがそれらの内容を保ち、次の割り込みかハードウェアリセットまで、全てのチップ機能が禁止されます。スタンバイ動作ではデバイスの残りが休止する一方で発振器が走行し、低消費電力と組み合わせられた非常に速い始動を許します。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されます。チップ上の実装書き換え可能なフラッシュメモリは伝統的な不揮発性メモリ書き込み器による実装書き換えをプログラム用メモリに許します。

ATtiny40 AVRはマクロアセンブラと評価キットを含む完全なプログラム及びシステム開発ツールの1式によって支援されます。

## 3. 一般情報

### 3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの説明は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

### 3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

### 3.3. 容量性接触感知

Atmel QTouchライブラリはAtmel AVRマイクロコントローラ上の接触感知インターフェースのための使い易い解決策を提供します。QTouchライブラリはQTouch®とQMatrix®採取法用の支援を含みます。

接触感知は接触チャネルと感知器を定義することで応用プログラミング インターフェース(API)を用いてQTouchライブラリをリンクすることによってどの応用にも容易に追加されます。そして応用はチャネル情報を取得して接触感知器の状態を決めるためにAPIを呼び出します。

QTouchライブラリは無料でAtmelのウェブサイトからダウンロードすることができます。より多くの情報と実装の詳細についてはAtmelのウェブサイトからも入手可能なQTouchライブラリ使用者の手引きを参照してください。

### 3.4. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

### 3.5. お断り

本データシート内に含まれる代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性を基にしています。

## 4. CPU コア

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

### 4.1. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの16個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行されてその結果がレジスタファイルに書き戻されます。

16個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらの16ビット長付加機能レジスタはX,Y,Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定する能力があります。殆どのAVR命令は単一16ビット語(ワード)形式ですが、32ビット幅の命令も存在します。実際の命令一式はいくつかのデバイスが(全)命令一式の部分だけを実装するようになります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量はSRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPIはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される4つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリはデータ空間位置\$0000~\$003Fとしてアクセスできます。

### 4.2. ALU (Arithmetic Logic Unit)

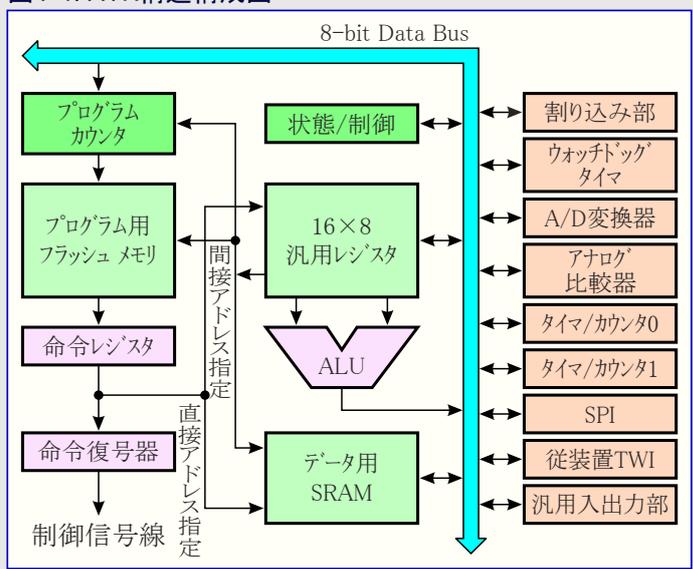
高性能なAVRのALUは16個全ての汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「AVR命令1式」資料と133頁の「命令要約」章をご覧ください。

### 4.3. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「AVR命令1式」資料と133頁の「命令要約」章で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

図4-1. AVR構造構成図



#### 4.4. 汎用レジスタ ファイル

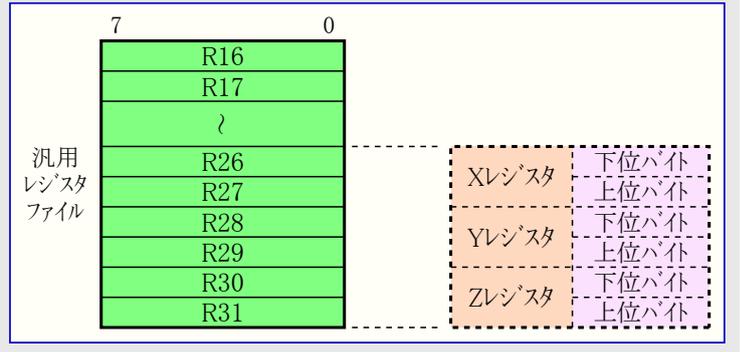
このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

右の図4-2はCPUに於ける16個の汎用作業レジスタ構造を示します。

**注:** AVRレジスタ ファイルの代表的な実装は32個の汎用レジスタを含みますが、ATtiny40は16個のレジスタだけを実装します。互換性のため、レジスタはR0～R15ではなく、R16～R31で番号付けされます。

図4-2. AVR CPU 汎用レジスタ構成図



レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一クロック周期命令です。

##### 4.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは自動増加、自動減少としての機能を持ちます(詳細については「AVR命令一式」資料と133頁の「命令要約」章をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

#### 4.5. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタ(SPHとSPL)は常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸びることに注意してください。これはPUSH命令がスタック ポインタ値を減らし、POP命令が増すという意味です。

スタック ポインタはサブルーチンや割り込みのスタックが配置されるデータ メモリの領域を指し示します。このスタック空間はサブ ルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムによって定義されなければなりません。

このポインタはPUSH命令でデータがスタックに置かれる時に-1され、POP命令でデータが取得される時に+1されます。これはサブルーチン呼び出しや割り込み処理ルーチンへ飛ぶことによって戻りアドレスがスタックに置かれる時に-2され、サブルーチンからの復帰(RET命令)や割り込みからの復帰(RETI命令)によって戻りアドレスがスタックから取得される時に+2されます。

AVRのスタック ポインタは代表的にI/O空間内の2つの8ビットレジスタとして実装されます。スタック ポインタの幅と実装されるビット数はデバイス依存です。いくつかのAVRデバイスではSPLだけを用いて全てのデータ メモリをアドレス指定することができます。その場合、SPHレジスタは実装されません。

スタック ポインタはI/Oレジスタ領域(SRAMの最低アドレスである最小値)以上を指示するように設定されなければなりません。11頁の図5-1.をご覧ください。

## 4.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック( $clk_{CPU}$ )によって駆動されます。内部クロック分周は使われません。

図4-4.はハード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

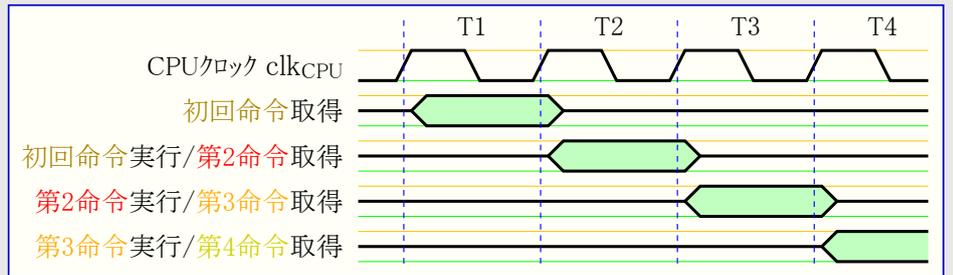
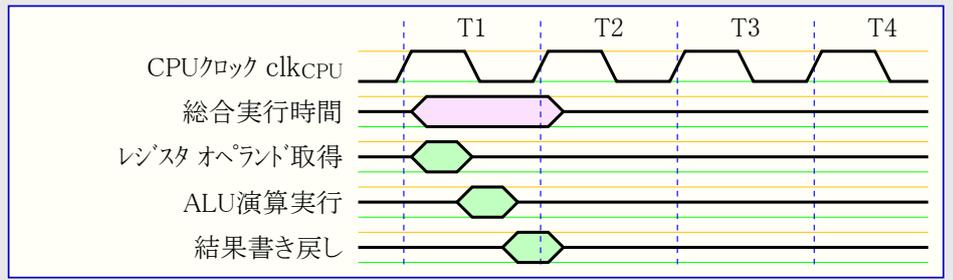


図4-5. 1クロック周期ALU命令



## 4.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

既定でのプログラムメモリ空間の最下位アドレスはリセットと割り込みのベクタとして定義されます。ベクタの完全な一覧は27頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)されて割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されます。

### アセンブリ言語プログラム例

```
SEI ;全割り込み許可
SLEEP ;休止形態動作移行(移行後に割り込み待ち)
```

注: 5頁の「コード例」をご覧ください。

#### 4.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対するプログラムベクタアドレスが実行されます。この4クロック周期間にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(訳注:原文は3(JMP命令=3を想定、実際はRJMP命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態動作の時に割り込みが起こると、割り込み実行応答時間は4クロック周期、増やされます。この増加は選択した休止形態動作からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラムカウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。

### 4.8. コア関係レジスタ

#### 4.8.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection Register)

ビット	7	6	5	4	3	2	1	0	
\$3C	(MSB)							(LSB)	CCP
Read/Write	W	W	W	W	W	W	W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7~0 – CCP7~0 : 構成設定変更保護 (Configuration Change Protection)

保護されたI/Oレジスタの内容を変更するため、CCPレジスタは最初に正しい識票を書かれなければなりません。CCPが書かれた後、保護されたI/Oレジスタは次からの4CPU命令周期中に書けます。これらの周期中は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらの優先権に従って実行されます。

保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。CCP7~1は常に0として読めず。

表4-1.は認証に於ける識票を示します。

表4-1. 構成設定変更保護レジスタによって認証される識票

識票	適用群	説明
\$D8	IOREG: CLKMSR, CLKPSR, WDTCR (注1), MCUCR (注2)	保護されたI/Oレジスタ

注1: WDTCRではWDEとWDP3~0のビットだけが保護されます。

注2: MCUCRではBODSビットだけが保護されます。

#### 4.8.2. SPL (SP) – スタックポインタ (Stack Pointer)

ビット	15	14	13	12	11	10	9	8	
\$3E	–	–	–	–	–	–	–	–	SPH
Read/Write	R	R	R	R	R	R	R	R	
初期値	RAMEND								
ビット	7	6	5	4	3	2	1	0	
\$3D	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W								
初期値	RAMEND								

#### ● ビット7~0 – SP7~0 : スタックポインタ (Stack Pointer)

スタックポインタレジスタは上位メモリ位置から下位メモリ位置へ大きくなるように実装されるスタックの先頭を指示します。従って、スタックPUSH命令はスタックポインタを減少(-1)します。SRAM内のスタック空間はどのサブルーチン呼び出しの実行や割り込みが許可されるのにも先立ってプログラムによって定義されなければなりません。

ATtiny40のスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されています。

### 4.8.3. SREG – ステータスレジスタ (Status Register)

ビット	7	6	5	4	3	2	1	0	
\$3F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

割り込みが許可されるには全割り込み許可ビットが設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。ビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するため、**RETI**命令によって設定(1)されます。Iビットは「AVR命令一式」資料と133頁の「命令要約」章で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

#### ● ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit Load)と**BST**(Bit Store)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

#### ● ビット5 – H: ハーフキャリーフラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

#### ● ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については、「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

#### ● ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

#### ● ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

#### ● ビット1 – Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

#### ● ビット0 – C: キャリーフラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「AVR命令一式」資料と100頁の「命令要約」項をご覧ください。

## 5. メモリ

この項はATtiny40の各種メモリを記述します。本デバイスにはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。

### 5.1. 実装書き換え可能なプログラム用フラッシュメモリ

ATtiny40はプログラム保存用に実装書き換え可能な4Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは2048×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み周回の耐久性があります。ATtiny40のプログラムカウンタ(PC)は11ビット幅、従って\$0000から始まる2048プログラムメモリ位置をアドレス指定する能力があります。102頁の「メモリプログラミング」はフラッシュメモリの(TPI)直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。プログラムメモリが直接アクセスできないため、これはデータメモリに割り当てられています。割り当てられたプログラムメモリはデータメモリのバイトアドレス\$4000から始まります(図5-1をご覧ください)。

プログラム用フラッシュメモリへの内部的な書き込みは禁止され、従ってプログラムメモリはファームウェアに対して読み込み専用と見えます。フラッシュメモリは未だ外部的に書けますが、プログラム用メモリ空間に対する内部的な書き込み操作は成功しません。

命令の取得と実行のタイミング図は8頁の「命令実行タイミング」で示されます。

### 5.2. データメモリ

データメモリはI/Oメモリ、内部SRAM、不揮発性メモリ施錠ビット、フラッシュメモリを含みます。ATtiny40のメモリ空間がどう構成されるかの図解については図5-1をご覧ください。

最初の64位置はI/Oメモリ用に予約され、一方後続する256データメモリ位置(\$0040～\$013F)はデータ用内部SRAMをアドレス指定します。

不揮発性メモリ施錠ビットと全てのフラッシュメモリ領域がデータメモリ空間に割り当てられています。これらの位置はデバイスのファームウェアに関して読み込み専用と見えます。

データメモリ用の4つの異なるアドレス指定形態は、直接、間接、事前減少付き間接、事後増加付き間接です。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタとして機能します。

INとOUTの命令はI/Oメモリの64位置全てをアクセスできます。LDSとSTSの命令を用いる直接アドレス指定は\$0040～\$00BF間の最下位128位置に届きます。

間接アドレス指定はデータ空間全体に届きます。自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われた)X,Y,Zアドレスレジスタが減少(-1)または増加(+1)されます。

図5-1. データメモリ配置図(バイトアドレス)

I/O空間	\$0000～\$003F
SRAMデータメモリ	\$0040～\$013F
(予約)	\$0140～\$3EFF
NVM施錠ビット	\$3F00～\$3F01
(予約)	\$3F02～\$3F3F
構成設定ビット	\$3F40～\$3F41
(予約)	\$3F42～\$3F7F
校正ビット	\$3F80～\$3F81
(予約)	\$3F82～\$3FBF
デバイス識別ビット	\$3FC0～\$3FC3
(予約)	\$3FC4～\$3FFF
プログラム用フラッシュメモリ	\$4000～\$47FF
(予約)	\$4800～\$FFFF

#### 5.2.1. データメモリアクセスタイミング

この項は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-2で記載されるように2clk<sub>CPU</sub>周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-2. データ用内蔵SRAMアクセス周期



## 5.2.2. 内部SRAM

内部SRAMはアドレス\$0040から始まるデータメモリ空間に配置されます。SRAMは直接アドレス指定、間接アドレス指定、またはRAMインターフェースを用いることによってCPUからアクセスされます。レジスタのR26～R31は間接アドレス指定に対するポインタレジスタとして機能します。間接アドレス指定に関連してポインタの事前減少(-1)と事後増加(+1)も支援されます。**LDS**と**STS**の命令を用いる直接アドレス指定は\$0040～\$00BF間の最下位128位置にだけ届きます。先頭の128バイトを超える\$00C0～\$013F間の位置は間接アドレス指定形態(**LD**と**ST**の命令)またはRAMインターフェース経由のどちらかを用いてアクセスされなければなりません。

使用者はRAMインターフェース使用時にRAMのアドレス指定に特段の注意を払わなければなりません。直接と間接のアドレス指定形態は仮想RAMアドレスを使いますが、RAMインターフェースは物理RAMアドレスを用います。仮想RAMアドレス空間の物理アドレスへの配置は表5-1.で記載されます。

例えば、仮想RAMアドレス \$0100(**STS**または**ST**命令)を用いてRAMにデータが書かれる場合に、それは物理RAMアドレス \$0000に割り当てられます。従ってRAMインターフェース経由で同じデータ位置が読み戻される時に、RAMアドレスレジスタ(RAMAR)へ物理アドレス \$0000が書かれなければなりません。他方、直接または間接のアドレス指定形態(**LDS**または**LD**命令)を用いて同じデータ位置が読み戻されるなら、同じ仮想RAMアドレス \$0100が用いられます。

表5-1. SRAMアドレス空間

仮想RAMアドレス	物理RAMアドレス
\$0040	\$0040
\$0041	\$0041
}	}
\$00FE	\$00FE
\$00FF	\$00FF
\$0100	\$0000
\$0101	\$0001
}	}
\$013E	\$003E
\$013F	\$003F

## 5.2.3. RAMインターフェース

RAMインターフェースは**RAMアドレスレジスタ(RAMAR)**と**RAMデータレジスタ(RAMDR)**の2つのレジスタから成ります。これらのレジスタはI/O空間でアクセス可能です。

或る位置を書くために、使用者は最初にRAMアドレスをRAMARに、その後にデータをRAMDRに書かなければなりません。RAMDRへのデータ書き込みが書き込み動作を起動し、同じ命令周期内でRAMARによって与えられたアドレスのRAMに転送元レジスタからのデータが書かれます。

或る位置を読むために、使用者は最初にRAMアドレスをRAMARに、その後にRAMDRからデータを読まなければなりません。RAMDRからのデータ読み込みが読み込み動作を起動し、同じ命令周期内でRAMARによって与えられたアドレスのRAMからのデータが取得されて転送先レジスタに書かれます。

### アセンブリ言語プログラム例

```
RAM_WR:    OUT    RAMAR, R17    ;RAMアドレスレジスタにアドレス(R17)設定
           OUT    RAMDR, R16    ;RAMデータレジスタにデータ(R16)設定
           RET                    ;呼び出し元へ復帰

RAM_RD:    OUT    RAMAR, R17    ;RAMアドレスレジスタにアドレス(R17)設定
           IN     R16, RAMDR     ;RAMデータレジスタからデータ(R16)取得
           RET                    ;呼び出し元へ復帰
```

### C言語プログラム例

```
void RAM_write( unsigned char ucAddress, unsigned char ucData )
{
    RAMAR = ucAddress;           /* RAMアドレスレジスタにアドレス設定 */
    RAMDR = ucData;             /* RAMデータレジスタにデータ設定 */
}

void RAM_read( unsigned char ucAddress, unsigned char ucData )
{
    RAMAR = ucAddress;           /* RAMアドレスレジスタにアドレス設定 */
    ucData = RAMDR;             /* RAMデータレジスタからデータ取得 */
}
```

### 5.3. I/O メモリ (レジスタ)

ATtiny40のI/O空間定義は132頁の「[レジスタ要約](#)」で示されます。

ATtiny40の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と16個の汎用作業レジスタ間のデータ転送を行うLDとSTの命令によってアクセスできます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令を使って直接的にビットアクセスが可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「[AVR命令一式](#)」資料と133頁の「[命令要約](#)」章をご覧ください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

### 5.4. RAMインターフェース用レジスタ

#### 5.4.1. RAMAR – RAMアドレス レジスタ (RAM Address Register)

ビット	7	6	5	4	3	2	1	0	
\$20	RAMAR7	RAMAR6	RAMAR5	RAMAR4	RAMAR3	RAMAR2	RAMAR1	RAMAR0	RAMAR
Read/Write	R/W								
初期値	不定								

##### ● ビット7～0 – RAMAR7～0 : RAMアドレス (RAM Address)

RAMARレジスタはRAMアドレスビットを含みます。RAMデータ バイトは0～255の範囲で一直線にアドレス指定されます。RAMARの初期値は不定で、従ってRAMがアクセスされ得る前に正しい値が書かれなければなりません。

#### 5.4.2. RAMDR – RAMデータ レジスタ (RAM Data Register)

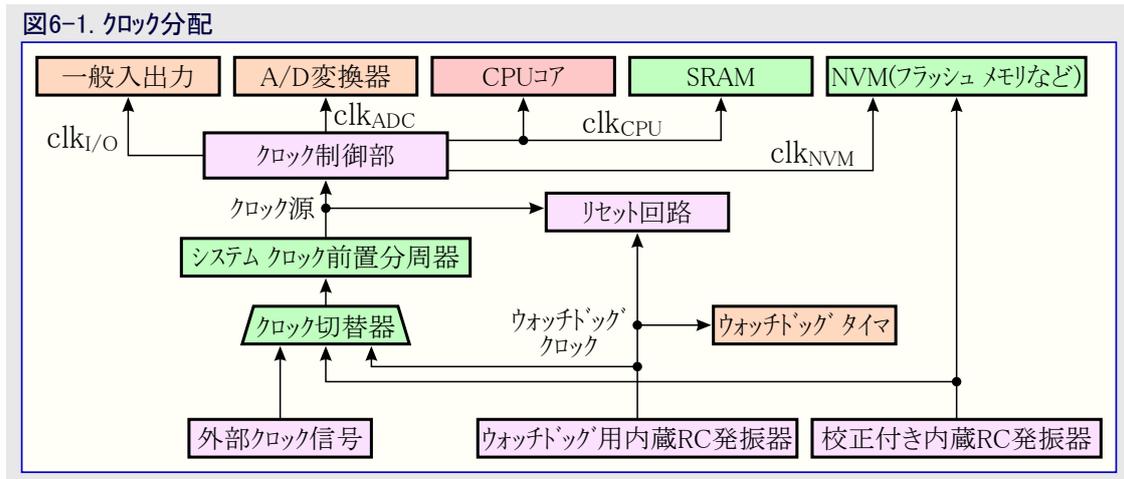
ビット	7	6	5	4	3	2	1	0	
\$1F	RAMDR7	RAMDR6	RAMDR5	RAMDR4	RAMDR3	RAMDR2	RAMDR1	RAMDR0	RAMDR
Read/Write	R/W								
初期値	不定								

##### ● ビット7～0 – RAMDR7～0 : RAMデータ (RAM Data)

RAM書き込み操作に関し、RAMDRレジスタはRAMARレジスタによって与えられたアドレスのRAMに書かれるべきRAMデータを含みます。RAM読み込み操作について、RAMDRはRAMARレジスタによって与えられたアドレスのRAMから読み出したデータを含みます。

## 6. クロック体系

図6-1はATtiny40に於ける主要なクロックシステムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、18頁の「電力管理と休止形態動作」で記述される各種休止形態動作と電力削減レジスタビットの使用により、使われていない部分のクロックを停止できます。



### 6.1. クロック副系統

クロック副系統が以下の項目で詳述されます。

#### 6.1.1. CPU クロック - $clk_{CPU}$

CPUクロックはAVRコアの動作と関係するシステム部分に配給されます。このような部分の例はシステムレジスタとデータ用SRAMメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

#### 6.1.2. I/O クロック - $clk_{I/O}$

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

#### 6.1.3. NVMクロック - $clk_{NVM}$

NVMクロックは不揮発性メモリ(NVM)制御部の動作を制御します。NVMクロックは通常CPUクロックと同時に活動します。

#### 6.1.4. A/D変換クロック - $clk_{ADC}$

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

### 6.2. クロック元

全ての同期クロック信号は主クロックから配給されます。デバイスは主クロックに関して次のような3つの切り替え供給元を持ちます。

- ・ 校正付き8MHz内蔵発振器
- ・ 外部クロック信号
- ・ 128kHz内部発振器 (15頁をご覧ください。)

活動するクロック元を変更して選択する方法は16頁の表6-3をご覧ください。

#### 6.2.1. 校正付き8MHz内蔵発振器

校正された内蔵RC発振器は概ね8MHzのクロック信号を提供します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については109頁の表20-2と130頁の「内部発振器周波数」をご覧ください。

このクロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS1,0)ビットを00に設定することによって主クロックとして選択できます。一旦許可されると、発振器は外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに校正値バイトを設定し、これによって発振器を自動的に校正します。この校正の精度は表21-2で工場校正として示されます。

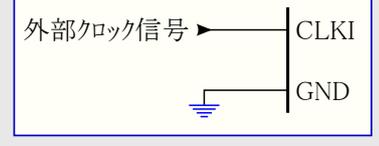
この発振器が主クロックとして使われる時に未だウォッチドッグ発振器がウォッチドッグタイマとリセット時間経過に使われます。予め設定された校正値のより多くの情報については104頁の「校正領域」項をご覧ください。

## 6.2.2. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKIが図6-2.で示されるように駆動されるべきです。外部クロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS1,0)ビットを10に設定することによって主クロックとして選択できます。

外部クロックを印加する時にMCUの安定な動作を保証するため、印加したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

図6-2. 外部クロック駆動構成設定



## 6.2.3. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを提供する低電力発振器です。周波数は供給電圧、温度、1群の変量に依存します。このクロックはクロック主設定レジスタ(CLKMSR)のクロック主選択(CLKMS1,0)ビットを01に設定することによって主クロックとして選択できます。

## 6.2.4. クロック元切り替え

主クロック元は16頁の「CLKMSR - クロック主設定レジスタ」を使って走行時に切り替えることができます。どのクロック元を切り替える時にもクロックシステムは主クロックに異常が起きないことを保証します。

## 6.2.5. 既定のクロック元

デバイスが電源投入またはリセットされる時に、主クロックとして常に校正付き8MHz内蔵発振器が選択されます。同期システムクロックはシステムクロック前置分周器によって8分周に制御された主クロックです。クロック前置分周器は後でシステムクロック周波数を変更するために書くことができます。「システムクロック前置分周器」をご覧ください。

## 6.3. システムクロック前置分周器

システムクロックはシステムクロック前置分周器経由で主クロックから配給されます。システムクロックは16頁の「CLKPSR - クロック前置分周レジスタ」を設定することによって分周できます。システムクロック前置分周器は処理能力に対する必要条件が低い時の消費電力低減、またはシステムクロックを最大周波数の制限内に持って来るのに使えます。前置分周器は全ての主クロック元任意選択で使うことができ、CPUと全ての同期周辺機能のクロック周波数に影響を及ぼします。

システムクロック前置分周器は未だ安定動作を保証すると同時に内部クロック周波数の走行時変更の実行に使うことができます。

### 6.3.1. 切り替え時間

前置分周器設定を切り替える時に、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、システムクロックで異常が起きないことを保証します。

前置分周器として実行するリップルカウンタは主クロックの周波数で動き、それはCPUのクロック周波数よりも速いかもしれません。従って例えば(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前に $T1+T2 \sim T1+2 \times T2$ 間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

## 6.4. 始動

### 6.4.1. リセットからの始動

リセット元が活性(有効)になる時に内部リセットは直ちに有効設定にされます。内部リセットはリセット下が開放されて始動手順が完了されるまで有効設定にされ続けます。始動手順は次のような3つの段階を含みます。

1. リセット元が開放された後の最初の段階はリセット始動時間を計数するデバイスから成ります。このリセット始動時間の目的は供給電圧が十分な水準に達するのを保証することです。リセット始動時間は128kHz内部発振器を使って計数されます。リセット始動時間の詳細については表6-1.をご覧ください。  
始動回路によって実際の供給電圧が監視されないことに注意してください。例えばデバイスが早くに十分な供給電圧水準へ達したとしても、デバイスはリセット始動時間まで計数します。
2. 2つ目の段階は発振器始動時間を計数することで、これは校正付き内蔵発振器がシステムの他の部分によって使われる前にそれが安定状態に達することを保証します。校正付き内蔵発振器はそれが安定と見做され得る前に最低周期数の発振が必要です。発振器始動時間の詳細については表6-1.をご覧ください。
3. 内部リセットを開放する前の最後段階はデバイスを正しく構成設定するために不揮発性メモリから校正値と構成設定値を設定することです。構成設定時間は表6-1.で一覧にされます。

表6-1. 校正付き内蔵発振器使用時の始動時間

リセット	発振器	構成設定	総始動時間
64ms	6周期	21周期	64ms+6発振器周期+21システムクロック周期 (注)

注: ・ デバイスの電源投入後やリセット後のシステムクロックは自動的に8分周された校正付き8MHz内蔵発振器に設定されます。  
・ 低電圧検出器(BOD)許可時、リセット始動時間はデバイス通電後の128msです。

## 6.4.2. パワーダウン動作からの始動

パワーダウン休止動作からの起動時、供給電圧は十分な水準であると仮定され、発振器の安定動作を保証するために発振器始動時間だけが計数されます。発振器始動時間は選択されている主クロックで計数され、始動時間はその選択されたクロックに依存します。詳細については表6-2をご覧ください。

表6-2. パワーダウン休止動作からの始動時間

発振器始動時間	総始動時間
6周期	6発振器周期 (注)

注: ・ 始動時間は主クロック発振器周期で測定されます。  
 ・ ソフトウェアBOD禁止使用時、休止動作からの起動は概ね60μsです。

## 6.4.3. アイドル、A/D変換雑音低減、スタンバイ動作からの始動

アイドル、A/D変換雑音低減、スタンバイ動作からの起動時、発振器は既に動いており、発振器始動時間は全く持ち込まれません。

## 6.5. クロック関係レジスタ

### 6.5.1. CLKMSR – クロック主設定レジスタ (Clock Main Settings Register)

ビット	7	6	5	4	3	2	1	0	
\$37	-	-	-	-	-	-	CLKMS1	CLKMS0	CLKMSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット1,0 – CLKMS1,0 : クロック主選択 (Clock Main Select Bits)

これらのビットはシステムの主クロック元を選びます。このビットは主クロックの供給元を切り替えるために走行時に書くことができます。クロックシステムは不具合なしでの主クロック元切り替えを保証します。

主クロック切り替えは表6-3.で示されます。

主クロック元の予期せぬ切り替えを避けるため、CLKMSビットを変更するには次のような保護された変更手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. 4命令周期内に望む値でCLKMSビットを書いてください。

表6-3. 主クロックの選択

CLKMS1	CLKMS0	主クロック元
0	0	校正付き8MHz内蔵発振器
0	1	128kHz内部発振器(WDT発振器)
1	0	外部クロック信号
1	1	(予約)

### 6.5.2. CLKPSR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
\$36	-	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	1	1	

#### ● ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット3~0 – CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)

これらのビットは選択したクロック元と内部システムクロック間の分周係数を定義します。これらのビットは応用の必要条件に合わせてクロック周波数を変えるために走行時に書くことができます。前置分周器はMCUへの主クロック入力を分周するため、これによって全ての同期周辺機能の速度が減じられます。分周係数は表6-4.で与えられます。

表6-4. クロック前置分周器選択 (注:既定値)

CLKPS3	0				1					
CLKPS2	0		1		0		1			
CLKPS1	0	1	0	1	0	1	0	1		
CLKPS0	0	1	0	1	0	1	0	1		
分周係数(数)	1	2	4	8(注)	16	32	64	128	256	(予約)

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更するには保護された変更手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に望む値でCLKPSビットを書いてください。

始動でクロック分周係数8を選択するためにCLKPSビットは0011にリセットされます。応用ソフトウェアは選択したクロック元が現在の動作条件に於いてデバイスの最大周波数よりも高い周波数を持つ場合に、十分な分周係数が使われるのを保証しなければなりません。

### 6.5.3. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット	7	6	5	4	3	2	1	0	
\$39	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正值								

#### ● ビット7~0 – CAL7~0 : 発振校正值 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中に予めプログラムされた値が自動的にこのレジスタへ書かれ、109頁の「表20-2. 内蔵RC発振器の校正精度」で指定されるように工場校正された周波数を与えます。

応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表21-2.で指定されるように周波数を校正することができます。この範囲外への校正は保証されません。

CAL7~0ビットは発振器の周波数を調整するのに使われます。\$00の設定は最低周波数を生じ、\$FFの設定は最高周波数を生成します。

## 7. 電力管理と休止形態動作

高機能と産業的に先行するコード効率性は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて休止形態動作は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態動作を提供します。

### 7.1. 休止形態動作種別

14頁の図6-1はATtiny40の各種クロック系統とその配給を示します。この図は適切な休止形態動作選択の助けになります。表7-1は異なる休止形態動作とそれらの起動元を示します。

表7-1. 各休止形態動作に於ける動作クロック範囲と復帰起動要因

休止形態種別	動作クロック範囲				発振器動作	復帰起動要因 (割り込み)				
	clk CPU	clk NVM	clk IO	clk ADC	主クロック供給元	INT0ピン変化	ウォッチドッグ	従装置TWI	A/D変換完了	その他I/O
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	①	○	②	○	
スタンバイ					○	①	○	②		
パワーダウン						①	○	②		

①: INT0についてはレベル割り込みのみです。

②: TWIアドレス一致割り込みのみです。

4つの休止形態動作の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止形態種別選択(SM2~0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、スタンバイ、パワーダウン)のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態動作中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止状態から起動するとき、レジスタファイルとSRAMの内容は変更されません。休止形態動作中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については28頁の「外部割り込み」を参照してください。

#### 7.1.1. アイドル動作

休止形態種別選択(SM2~0)ビットが'000'を書かれると、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、アナログ比較器、A/D変換器、タイマ/カウンタ、TWI、SPI、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkNVMを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタA(ACSRA)のアナログ比較器禁止(ACD)ビットを設定(1)することにより、アナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

#### 7.1.2. A/D変換雑音低減動作

SM2~0ビットが'001'を書かれると、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkNVMを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます(訳注:本行追加)。

#### 7.1.3. パワーダウン動作

SM2~0ビットが'010'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、TWI、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、INT0の外部レベル割り込み、ピン変化割り込み、従装置TWI割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

#### 7.1.4. スタンバイ動作

SM2~0ビットが'100'を書かれると、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。発振器が既に走行していて始動が必要ないので、これは起動時間を減らします。

## 7.2. ソフトウェア低電圧検出(BOD)禁止

低電圧検出器(BOD)がBODLEVELヒューズ(103頁の表19-5.参照)によって許可されていると、BODは休止期間中に電源電圧を活発に監視します。いくつかのデバイスはパワーダウンとスタンバイの休止動作でソフトウェアでBODを禁止することによる節電が可能です。この休止動作電力消費はBODがヒューズによって全面的に禁止される時と同じ水準になるでしょう。

BODがソフトウェアで禁止される場合、BOD機能は休止動作移行後、直ちにOFFされます。休止からの起動復帰で、BODは再び自動的に許可されます。これは休止期間中にVCCレベルが落ちた場合の安全な動作を保証します。

BODが禁止されてしまうと、MCUが命令コードの実行を継続する前にBODが正しく動作するのを保証するために、休止動作からの起動時間は概ね60 $\mu$ sになります。

BOD禁止はMCU制御レジスタ(MCU\_CR)のBOD休止(BODS)ビットによって制御されます。20頁の「MCU\_CR – MCU制御レジスタ」をご覧ください。このビットへの1書き込みはパワーダウン動作とスタンバイ動作でのBODをOFFにし、一方このビットの0はBOD活動(有効)を維持します。既定設定は0、換言するとBOD活動(有効)です。

BODSビットへの書き込みは許可ビットと時間制限手順によって制御されます。20頁の「MCU\_CR – MCU制御レジスタ」をご覧ください。

## 7.3. 電力削減レジスタ

電力削減レジスタ(20頁の「PRR – 電力削減レジスタ」参照)は個別周辺機能へのクロックを停止することにより、消費電力を削減方法を提供します。周辺機能へのクロックが停止される、以下のようになります。

- ・ 周辺機能の現在の状態が固定化されます。
- ・ 関連するレジスタは読み書きすることができません。
- ・ 周辺機能によって使われる資源は専有されたままに留まります。

周辺機能は殆どの場合に於いてクロックを停止する前に禁止されるべきです。電力削減レジスタ(PRR)のビットを解除(0)することが周辺機能部を起し、停止前と同じ状態にします。

周辺機能停止は全体に亘る重要な消費電力の削減のために活動動作とアイドル動作で使えます。例については112頁の「周辺機能部供給電流」をご覧ください。その他の休止形態動作ではクロックが予め停止されます。

## 7.4. 消費電力の最小化

これらはAVRコアが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態動作は可能な限り多く使われるべきで、休止形態種別は動作するデバイスの機能が可能な限り少なくなるように選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

### 7.4.1. アナログ比較器

アイドル動作またはA/D変換雑音削減動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。その他の休止形態動作でのアナログ比較器は自動的に禁止されます。更なる詳細については83頁の「アナログ比較器」をご覧ください。

### 7.4.2. A/D変換器 (ADC)

許可したなら、A/D変換器は全ての休止形態動作で許可されます。節電するため、休止形態動作の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については86頁の「A/D変換器」をご覧ください。

### 7.4.3. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFされるべきです。ウォッチドッグ タイマが許可されていると全休止形態動作で許可され、故に常時電力を消費します。これはより深い休止形態動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については24頁の「ウォッチドッグ タイマ」をご覧ください。

### 7.4.4. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態動作で許可され、故に常時電力を消費します。これはより深い休止形態動作での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については23頁の「低電圧検出(BOD)」と「ソフトウェア低電圧検出器(BOD)禁止」をご覧ください。

### 7.4.5. ポートピン

休止形態動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clk<sub>I/O</sub>)が停止される休止形態動作ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については33頁の「デジタル入力許可と休止形態動作」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ(DIDR0)とポート制御レジスタ(PORTCR)の書き込みによって禁止できます。詳細については85頁と94頁の「DIDR0 – デジタル入力禁止レジスタ0」と「PORTCR – ポート制御レジスタ」をご覧ください。

## 7.5. 電力管理用レジスタ

### 7.5.1. MCUCR – MCU制御レジスタ (MCU Control Register)

このMCU制御レジスタは条件制御と電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$3A	ISC01	ISC00	–	BODS	SM2	SM1	SM0	SE	MCUCR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット5 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

- **ビット4 – BODS : BOD休止 (BOD Sleep)**

休止中(18頁の表7-1参照)にBODを禁止するために、BODSビットは論理1を書かれなければなりません。これは以下のように、保護された変更手順によって制御されます。

1. 構成設定変更保護(CCP)レジスタに保護されたI/Oレジスタの変更許可用の識票を書いてください。
2. 4命令周期内にBODSビットを書いてください。

実際の休止動作に対してBODをOFFにするために、SLEEP命令はBODSが活性(有効)の間に実行されなければなりません。

BODSビットはデバイス起き上がり時に自動的に解除(0)されます。代わりに、BODSビットはそれに論理0を書くことによっても解除(0)することができます。これは保護された手順の必要がありません。

- **ビット3~1 – SM2~0 : 休止形態種別選択 (Sleep Mode Select Bit 2, 1 and 0)**

これらのビットは表7-2.で示される利用可能な4つの休止形態動作の1つを選択します。

表7-2. 休止形態動作種別選択

SM2	SM1	SM0	休止形態動作種別
0	0	0	アイドル動作
0	0	1	A/D変換雑音低減動作
0	1	0	パワーダウン動作
0	1	1	(予約)
1	0	0	スタンバイ動作
1	0	1	(予約)
1	1	0	(予約)
1	1	1	(予約)

- **ビット0 – SE : 休止許可 (Sleep Enable)**

SLEEP命令が実行される時にMCUを休止形態動作へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態動作移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

### 7.5.2. PRR – 電力削減レジスタ (Power Reduction Register)

ビット	7	6	5	4	3	2	1	0	
\$35	–	–	–	PRTWI	PRSPI	PRTIM1	PRTIM0	PRADC	PRR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~5 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

- **ビット4 – PRTWI : TWI電力削減 (Power Reduction Two-Wire Interface)**

このビットへの1書き込みは2線インターフェース(TWI)部を停止します。

- **ビット3 – PRSPI : SPI電力削減 (Power Reduction Serial Peripheral Interface)**

このビットへの1書き込みは直列周辺インターフェース(SPI)部を停止します。

- ビット2 – PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)

このビットへの1書き込みはタイマ/カウンタ1部を停止します。タイマ/カウンタ1が許可されると、停止前と同様に動作は継続します。

- ビット1 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は継続します。

- ビット0 – PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使えません。

**注:** アナログ比較器は83頁の「[AGSRA – アナログ比較器制御/状態レジスタ](#)」のアナログ比較器禁止(ACD)ビットを使うことで禁止されます。

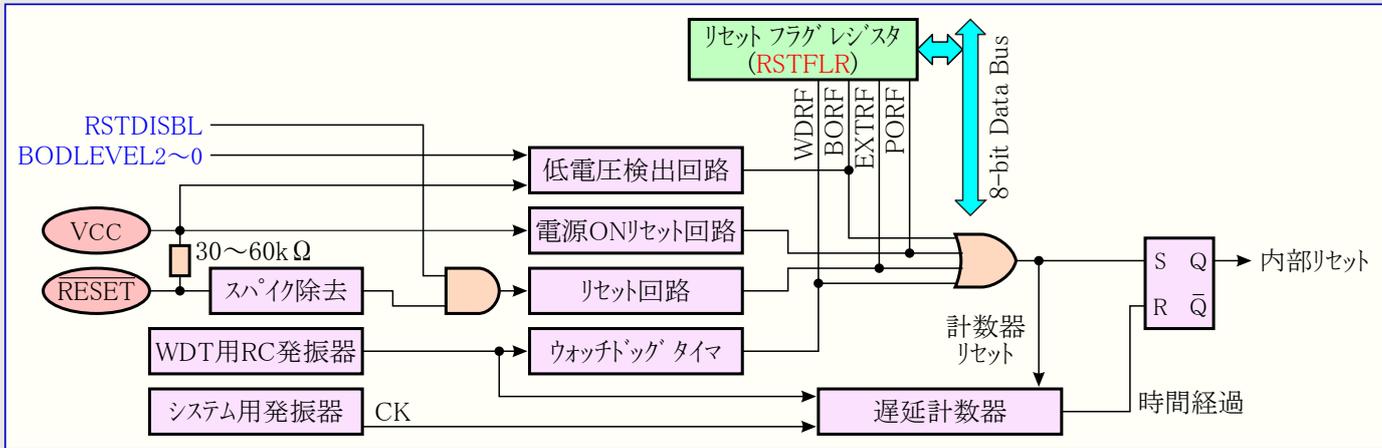
(訳注: 共通性から本注追加)

## 8. システム制御とリセット

### 8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図8-1.の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は109ページの「システムとリセットの特性」項で定義されます。

図8-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされた後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。始動手順は15ページの「リセットからの始動」で記述されます。

### 8.2. リセット元

ATtiny40には次の4つのリセット元があります。

- ・ **電源ONリセット** …… 供給電圧が電源ONリセット閾値電圧( $V_{POA}$ )以下でMCUがリセットされます。
- ・ **外部リセット** ……  $\overline{RESET}$ ピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- ・ **ウォッチドッグリセット** …… ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- ・ **低電圧リセット** …… 低電圧検出器(BOD)が許可され、供給電圧(VCC)が低電圧検出電圧( $V_{BOT}$ )以下でMCUがリセットされます。

#### 8.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路により、生成されます。検出電圧は109ページの「システムとリセットの特性」項で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧( $V_{POR}$ )への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. 内蔵電源ONリセット (初期時間経過前に $\overline{RESET}$ =High)

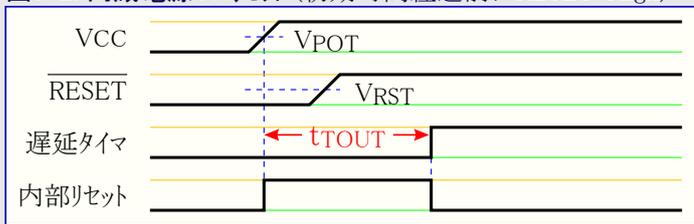
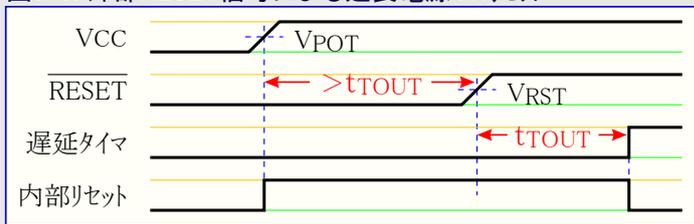


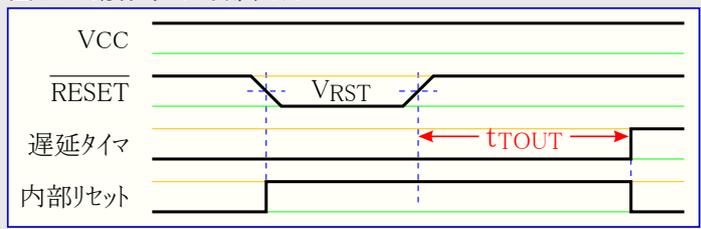
図8-3. 外部RESET信号による延長電源ONリセット



## 8.2.2. 外部リセット

外部リセットは $\overline{\text{RESET}}$ ピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(109頁の「システムとリセットの特性」項参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧( $V_{\text{RST}}$ )に達すると(遅延タイマを起動し)、遅延タイマは遅延時間( $t_{\text{TOUT}}$ )経過後にMCUを始動します。電源ON始動計数中は外部リセットが無視されます。内部電源ON遅延計数完了時に $\overline{\text{RESET}}$ ピンがLowの場合にだけ、電源ONリセット後に内部リセットが延長されます。22頁の図8-2と図8-3をご覧ください。

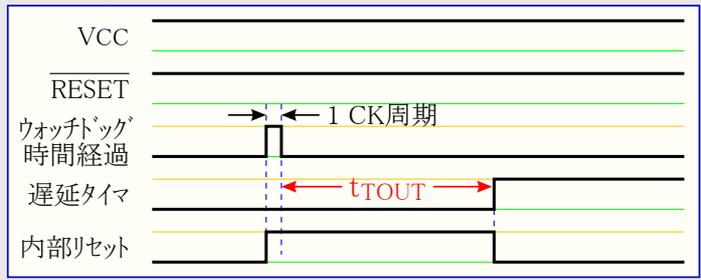
図8-4. 動作中の外部リセット



## 8.2.3. ウォッチドッグリセット

ウォッチドッグ時間経過時、(内部的に)短いリセットパルスを生成します。遅延タイマはこのパルスの下降端で遅延時間( $t_{\text{TOUT}}$ )の計時を始めます。ウォッチドッグタイマ操作の詳細については24頁を、リセット遅延時間については109頁の表20-4をご覧ください。

図8-5. 動作中のウォッチドッグリセット



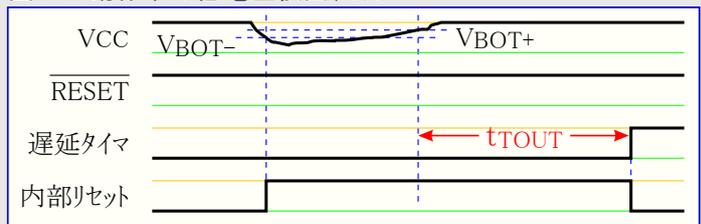
## 8.2.4. 低電圧(ブラウンアウト)検出リセット

ATtiny40は固定化された起動(検出)電圧と比較することによって動作中のVCCを監視するチップ上の低電圧検出(BOD)回路を持ちます。BODの起動電圧はBODLEVELヒューズによって選択できます。この起動電圧はスパイク対策BODを保证するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{\text{BOT+}}=V_{\text{BOT}}+V_{\text{HYST}}/2$ 、 $V_{\text{BOT-}}=V_{\text{BOT}}-V_{\text{HYST}}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図8-6.の $V_{\text{BOT-}}$ )、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-6.の $V_{\text{BOT+}}$ )、(遅延タイマが起動され)遅延タイマは遅延時間( $t_{\text{TOUT}}$ )経過後にMCUを始動します。

BOD回路は電圧が109頁の「システムとリセットの特性」で与えられる $t_{\text{BOD}}$ 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

図8-6. 動作中の低電圧検出リセット



## 8.3. 内部基準電圧

ATtiny40は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。バンドギャップ電圧は供給電圧と温度で変化します。

### 8.3.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、109頁の「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVELヒューズのプログラム(0)により)
2. アナログ比較器内部基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

## 8.4. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで動く独立したチップ上の発振器からクロック駆動されます。図8-7をご覧ください。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は25頁の表8-3.で示されるように調整できます。ウォッチドッグ リセット (WDR) 命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とデバイス リセットが起こる時もリセットされます。10種の異なるクロック周期時間がこのリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny40はリセットしてリセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては25頁の表8-3.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これは「パワーダウン動作から起動するのにウォッチドッグを使う時に変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表8-1.で示されるWDTON構成設定ビットによって選択されます。詳細については次の「ウォッチドッグ タイマ構成設定変更手順」を参照してください。

図8-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

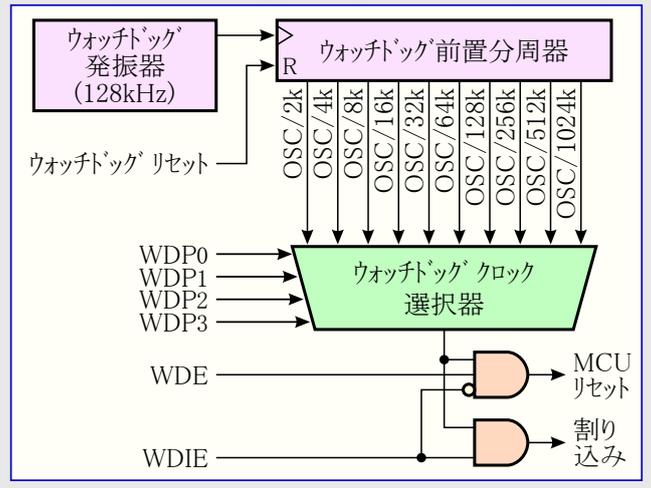


表8-1. WDTON構成設定ビットの設定によるウォッチドッグ機能設定

WDTON構成設定ビット	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	保護された変更手順	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	保護された変更手順

### 8.4.1. ウォッチドッグ タイマ構成設定変更手順

ウォッチドッグ構成設定変更手順は安全レベル間で異なります。

#### 8.4.1.1. 安全レベル1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことによって許可できます。許可したウォッチドッグ タイマを禁止する時に特別な手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書いてください。

#### 8.4.1.2. 安全レベル2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。ウォッチドッグ計時完了周期を変更する時に保護された変更が必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. (次からの)4命令周期内に同じ操作(命令)でWDP2~0ビットを書いてください。WDEビットに書かれた値は無関係です。

### 8.4.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替える方法を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故この関数実行中に割り込みが起きない前提です。

#### アセンブリ言語プログラム例

```

WDT_OFF:      WDR                ;ウォッチドッグ タイマ リセット
              IN      R16, RSTFLR  ;現RSTFLR値を取得
              ANDI   R16, ~(1<<WDRF) ;WDRFビットのみ0値を取得
              OUT    RSTFLR, R16   ;RSTFLRのWDRFを解除(0)
              LDI   R16, $D8       ;変更許可識票値を取得
              OUT    CCP, R16      ;構成設定変更許可手順開始
              LDI   R16, (0<<WDE)  ;WDE論理0値を取得
              OUT    WDTCSR, R16   ;ウォッチドッグ禁止
              RET                   ;呼び出し元へ復帰
    
```

注: 5頁の「コード例」をご覧ください。

## 8.5. リセット関係レジスタ

### 8.5.1. WDTCSR – ウォッチドッグ タイマ制御/状態レジスタ (Watchdog Timer Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$31	WDIF	WDIE	WDP3	–	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

#### ● ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Timer Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ウォッチドッグ割り込み許可(WDIE)が設定(1)されていると、ウォッチドッグ計時完了割り込みが要求されます。

#### ● ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Timer Interrupt Enable)

このビットが1を書かれると、ウォッチドッグ割り込みが許可されます。この設定(1)との組み合わせでウォッチドッグリセット許可(WDE)ビットが解除(0)されると、ウォッチドッグタイマは割り込み動作形態で、ウォッチドッグタイマで計時完了が起こると、対応する割り込みが要求されます。

WDEが設定(1)されると、ウォッチドッグタイマは割り込み及びシステムリセット動作形態です。ウォッチドッグタイマでの最初の計時完了がウォッチドッグ割り込み要求(WDIF)フラグを設定(1)します。対応する割り込みベクタの実行はハードウェアによってWDIEとWDIFを自動的に解除(0)します(ウォッチドッグはシステムリセット動作形態になります)。これは割り込みを使うのと同じにウォッチドッグタイマ保護を維持するのに有用です。割り込み及びシステムリセット動作形態に留まるには、各割り込み後にWDIEが設定(1)されなければなりません。然しながら、これがウォッチドッグシステムリセット動作形態の安全機能を危険に晒すかもしれないため、これは割り込み処理ルーチン自身内で行われるべきではありません。次の計時完了に先立って割り込みが実行されない場合、システムリセットが適用(実行)されます。

表8-2. ウォッチドッグ タイマ構成設定

WDTON	WDE	WDIE	動作種別	計時完了での動作
1	0	0	停止	なし
1	0	1	割り込み	割り込み
1	1	0	システムリセット	リセット
1	1	1	割り込み及びシステムリセット	割り込み、その後システムリセット動作種別
0	x	x	システムリセット	リセット

注: WDTON構成設定ビットは0でプログラム、1で非プログラムに設定です。

#### ● ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

#### ● ビット3 – WDE : ウォッチドッグシステムリセット許可 (Watchdog System Reset Enable)

WDEはリセットフラグレジスタ(RSTFLR)のウォッチドッグリセットフラグ(WDRF)によって無効にされます。これはWDRFが設定(1)されると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するにはWDRFが先に解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

#### ● ビット5,2~0 – WDP3~0 : ウォッチドッグタイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグタイマが走行する時のウォッチドッグタイマの前置分周を決めます。各種前置分周値と対応する計時完了周期は表8-3.で示されます。

表8-3. ウォッチドッグ前置分周選択

WDP3	0						1					
	0			1			0			1		
WDP2	0		1		0		1		0		1	
WDP1	0	1	0	1	0	1	0	1	0	1	0	1
WDP0	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)	
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s		

## 8.5.2. RSTFLR – リセット フラグ レジスタ (Reset Flag Register)

リセット フラグ レジスタでのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$3B	–	–	–	–	WDRF	BORF	EXTRF	PORF	RSTFLR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

### ● ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

### ● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

### ● ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

### ● ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

### ● ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くRSTFLRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

## 9. 割り込み

本項はATtiny40によって実行されるような割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については8頁の「リセットと割り込みの扱い」をご覧ください。

### 9.1. 割り込みベクタ

ATtiny40の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	ラベル表記	割り込み元
1	\$0000	RESET	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCI0)	ピン変化0群割り込み要求
4	\$0003	PCINT1 (PCI1)	ピン変化1群割り込み要求
5	\$0004	PCINT2 (PCI2)	ピン変化2群割り込み要求
6	\$0005	WDT	ウォッチドッグ計時完了
7	\$0006	TIM1_CAPT	タイマ/カウンタ1捕獲発生
8	\$0007	TIM1_COMPA	タイマ/カウンタ1比較A一致
9	\$0008	TIM1_COMPB	タイマ/カウンタ1比較B一致
10	\$0009	TIM1_OVF	タイマ/カウンタ1溢れ
11	\$000A	TIM0_COMPA	タイマ/カウンタ0比較A一致
12	\$000B	TIM0_COMPB	タイマ/カウンタ0比較B一致
13	\$000C	TIM0_OVF	タイマ/カウンタ0溢れ
14	\$000D	ANA_COMP	アナログ比較器出力遷移
15	\$000E	ADC	A/D変換完了
16	\$000F	TWI_SLAVE	2線インターフェース
17	\$0010	SPI	直列周辺インターフェース
18	\$0011	QTRIP (注)	接触感知

注: 接触感知割り込み元はQTouchライブラリ支援に関連します。

プログラムが決して割り込み元を許可しない条件では、割り込みベクタは使われず、結果としてこれらの位置に通常のプログラムコードを配置することができます。

ATtiny40での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定は下のプログラム例で示されます。

#### アセンブリ言語プログラム例

```

$0000      ORG      $0000      ;プログラム用フラッシュメモリ先頭位置

$0000      RJMP    RESET      ;各種リセット
$0001      RJMP    INT0       ;外部割り込み要求0
$0002      RJMP    PCINT0     ;ピン変化0群割り込み要求
$0003      RJMP    PCINT1     ;ピン変化1群割り込み要求
$0004      RJMP    PCINT2     ;ピン変化2群割り込み要求
$0005      RJMP    WDT        ;ウォッチドッグ計時完了
$0006      RJMP    TIM1_CAPT   ;タイマ/カウンタ1捕獲発生
$0007      RJMP    TIM1_COMPA  ;タイマ/カウンタ1比較A一致
$0008      RJMP    TIM1_COMPB  ;タイマ/カウンタ1比較B一致
$0009      RJMP    TIM1_OVF    ;タイマ/カウンタ1溢れ
$000A      RJMP    TIM0_COMPA  ;タイマ/カウンタ0比較A一致
$000B      RJMP    TIM0_COMPB  ;タイマ/カウンタ0比較B一致
$000C      RJMP    TIM0_OVF    ;タイマ/カウンタ0溢れ
$000D      RJMP    ANA_COMP    ;アナログ比較器出力遷移
$000E      RJMP    ADC         ;A/D変換完了
$000F      RJMP    TWI_SLAVE   ;2線インターフェース
$0010      RJMP    SPI         ;直列周辺インターフェース
$0011      RJMP    QTRIP       ;接触感知
;
$0012      RESET:   "命令"      ;主プログラム開始

```

注: 5頁の「コード例」をご覧ください。

## 9.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～17ピンの何れかによって起動されます。許可したなら、例えINT0またはPCINT0～17ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。

ピン変化割り込みPCII0は許可したPCINT0～7の何れかが切り替わると起動します。ピン変化割り込みPCII1は許可したPCINT8～11の何れかが切り替わると起動します。ピン変化割り込みPCII2は許可したPCINT12～17の何れかが切り替わると起動します。ピン変化割り込み許可レジスタn(PCMSK0, PCMSK1, PCMSK2)は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0～17でのピン変化割り込みは非同期に検知され、そしてそれはそれらの割り込みがアイドル動作以外の休止形態動作からもデバイスを起動するのに使えることを意味します。

INT0割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。これはMCU制御レジスタ(MCUCR)で示されるように設定されます。INT0割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は14頁の「クロック体系」で記述されるI/Oクロックの存在を必要とすることに注意してください。

### 9.2.1. Lowレベル割り込み

INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態動作からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態動作で停止されます。

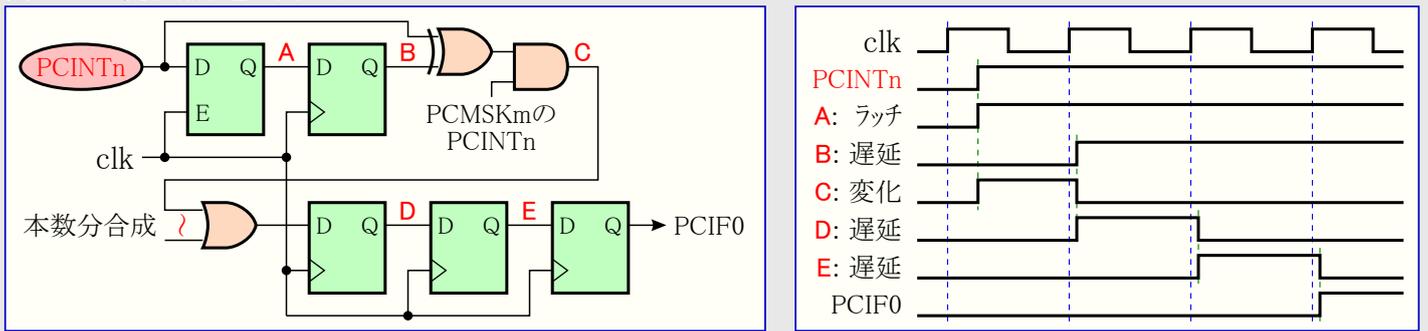
レベル起動割り込みがパワーダウン動作からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は14頁の「クロック体系」で示されるように定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP命令に続く命令から継続します。

### 9.2.2. ピン変化割り込みタイミング

ピン変化割り込みのタイミング例は図9-1.で示されます。

図9-1. ピン変化割り込みタイミング



## 9.3. 割り込み用レジスタ

### 9.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

このMCU制御レジスタは条件制御と電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$3A	ISC01	ISC00	–	BODS	SM2	SM1	SM0	SE	MCUCR
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット1,0 – ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと外部割り込み許可レジスタ(EIMSK)の外部割り込み0許可(INT0)ビットが設定(1)される場合のINT0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT0ピンのエッジとレベルは表9-2.で定義されます。INT0ピンの値はエッジ検出に先立って採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するのに現在実行している命令の完了まで保たれなければなりません。

表9-2. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンのLowレベル
0	1	INT0ピンの論理変化(両端)
1	0	INT0ピンの下降端
1	1	INT0ピンの上昇端

### 9.3.2. GIMSK – 一般割り込み許可レジスタ (General Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$0C	–	PCIE2	PCIE1	PCIE0	–	–	–	INT0	GIMSK
Read/Write	R	R/W	R/W	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

#### ● ビット6 – PCIE2 : ピン変化2群割り込み許可 (Pin Change Interrupt Enable 2)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE2ビットが設定(1)されると、ピン変化割り込み2が許可されます。許可したPCINT12～17ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCI2割り込みベクタから実行されます。PCINT12～17ピンはピン変化割り込み許可レジスタ2(PCMSK2)によって個別に許可されます。

#### ● ビット5 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE1ビットが設定(1)されると、ピン変化割り込み1が許可されます。許可したPCINT8～11ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC11割り込みベクタから実行されます。PCINT8～11ピンはピン変化割り込み許可レジスタ1(PCMSK1)によって個別に許可されます。

#### ● ビット4 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化割り込み0が許可されます。許可したPCINT0～7ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPC10割り込みベクタから実行されます。PCINT0～7ピンはピン変化割り込み許可レジスタ0(PCMSK0)によって個別に許可されます。

#### ● ビット3～1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ● ビット0 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0のビット(ISC01,ISC00)は、この外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

### 9.3.3. GIFR – 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$0B	–	PCIF2	PCIF1	PCIF0	–	–	–	INTF0	GIFR
Read/Write	R	R/W	R/W	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

#### ● ビット6 – PCIF2 : ピン変化2群割り込み要求フラグ (Pin Change Interrupt Flag 2)

PCINT12～17ピンの何れかの論理変化が割り込み要求を起動すると、PCIF2が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化2群割り込み許可(PCIE2)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

#### ● ビット5 – PCIF1 : ピン変化1群割り込み要求フラグ (Pin Change Interrupt Flag 1)

PCINT8～11ピンの何れかの論理変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化1群割り込み許可(PCIE1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

#### ● ビット4 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

PCINT0～7ピンの何れかの論理変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込み処理ルーチンが開始されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

● ビット3~1 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

● ビット0 - INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは継続的に解除(0)されます。

9.3.4. PCMSK2 - ピン変化割り込み許可レジスタ2 (Pin Change Mask Register 2)

ビット	7	6	5	4	3	2	1	0	
\$1A	-	-	PCINT17	PCINT16	PCINT15	PCINT14	PCINT13	PCINT12	PCMSK2
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

● ビット5~0 - PCINT17~PCINT12 : ピン変化割り込み17~12許可 (Pin Change Enable Mask 17~12)

各PCINT12~17ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT12~17と一般割り込み許可レジスタ(GIMSK)のPCIE2が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT12~17が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

9.3.5. PCMSK1 - ピン変化割り込み許可レジスタ1 (Pin Change Mask Register 1)

ビット	7	6	5	4	3	2	1	0	
\$0A	-	-	-	-	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

● ビット3~0 - PCINT11~PCINT8 : ピン変化割り込み11~8許可 (Pin Change Enable Mask 11~8)

各PCINT8~11ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT8~11と一般割り込み許可レジスタ(GIMSK)のPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT8~11が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

9.3.6. PCMSK0 - ピン変化割り込み許可レジスタ0 (Pin Change Mask Register 0)

ビット	7	6	5	4	3	2	1	0	
\$09	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - PCINT7~PCINT0 : ピン変化割り込み7~0許可 (Pin Change Enable Mask 7~0)

各PCINT0~7ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0~7と一般割り込み許可レジスタ(GIMSK)のPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0~7が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

## 10. 入出力ポート

### 10.1. 概要

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード-モディファイ-ライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方角をも無意識に変更することなく、1つのポートピンの方角を変更できることを意味します。(出力として設定されていれば)駆動値を変更、またはプルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図10-1で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については108頁の「電気的特性」を参照してください。

本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTx<sub>n</sub>がポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は41頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、プルアップ許可レジスタ(PUEx)、入力レジスタ(PINx)の各ポートに対して、4つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタ、方向レジスタ、プルアップ許可レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は34頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

### 10.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2はここで属にP<sub>xn</sub>と呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-1. 入出力ピン等価回路

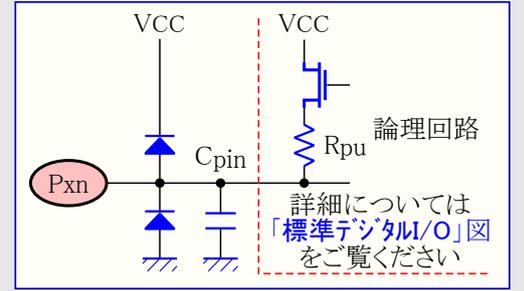
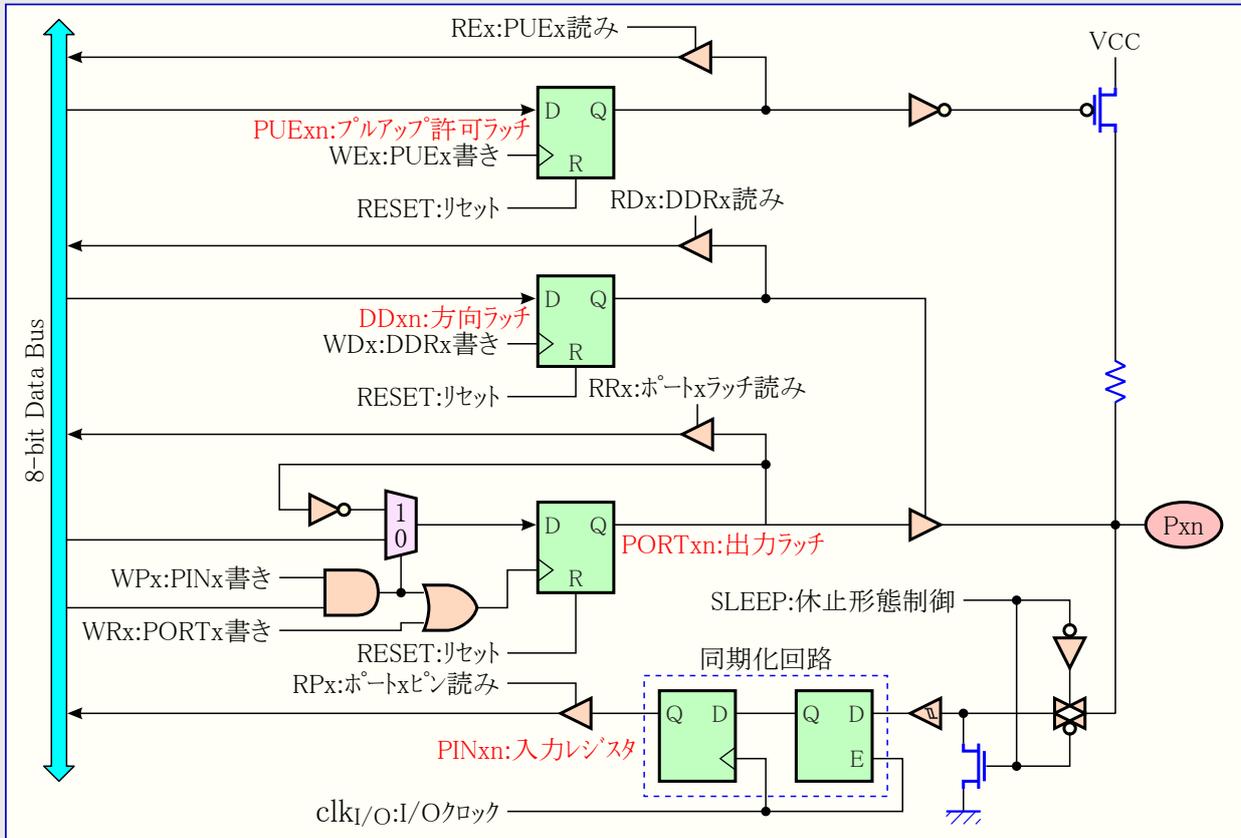


図10-2. 標準デジタル入出力回路構成



注: WEx, WRx, WPx, WDx, REx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
clkI/OとSLEEPは全ポートで共通です。

### 10.2.1. ピンの構成設定

各ポートピンはDDxn、PUExn、PORTxn、PINxnの4つのレジスタビットから成ります。41頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/O位置、PUExnビットはPUEx I/O位置、PORTxnビットはPORTx I/O位置、PINxnビットはPINx I/O位置でアクセスされます。DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

PUExnが論理1を書かれた場合にプルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPUExnが論理0を書かれなければなりません。

表10-1. はピン値に対する制御信号を要約します。

DDxn	PORTxn	PUExn	入出力	プルアップ抵抗	備考
0	x	0	入力	なし	高インピーダンス (Hi-Z)
0	x	1	入力	あり	外部的にLowへ引かれた場合に電流を吐き出します。
1	0	0	出力	なし	Low (吸い込み)出力
1	0	1	出力	あり	<b>非推奨:</b> Low (吸い込み)出力、内部プルアップ活性(有効) 内部プルアップ抵抗を通して電流を吐き出し、常に電力を消費します。
1	1	0	出力	なし	High (吐き出し)出力
1	1	1	出力	あり	High (吐き出し)出力、内部プルアップ活性(有効)

ポートピンは例えクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

### 10.2.2. ピンの出力交互切り替え

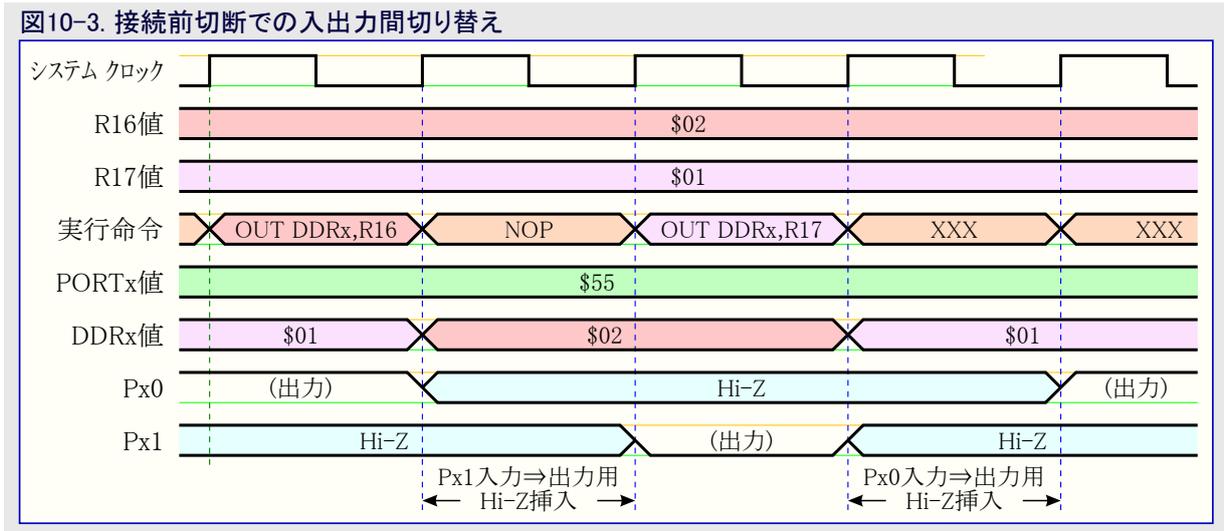
PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

### 10.2.3. 接続前切断(Break-Before-Make)切り替え

接続前切断動作ではDDRxnを入力から出力へ切り換える時に1システムクロック持続する隣接Hi-Z区間が図10-3.で示されるように導入されます。例えば、システムクロックが4MHzでDDRxnが出力にできるように書かれた場合、PORTxnの値がポートピンで見える前に250nsの隣接Hi-Z区間が導入されます。

異常を避けるため、DDRxn最大切り替え周波数は2システムクロックが推奨されます。この接続前切断はポート単位動作で、ポート単位の接続前切断許可(BBMx)ビットによって活性(有効)にされます。BBMxビットの詳細については41頁の「PORTCR - ポート制御レジスタ」をご覧ください。

DDRxnビットを出力から入力に切り替える時に隣接Hi-Z区間は導入されません。



## 10.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読みます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-4.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(図10-4.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスパレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-5.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間( $t_{pd}$ )は1システムクロック周期です。

図10-4. 外部供給ピン値読み込み時の同期化

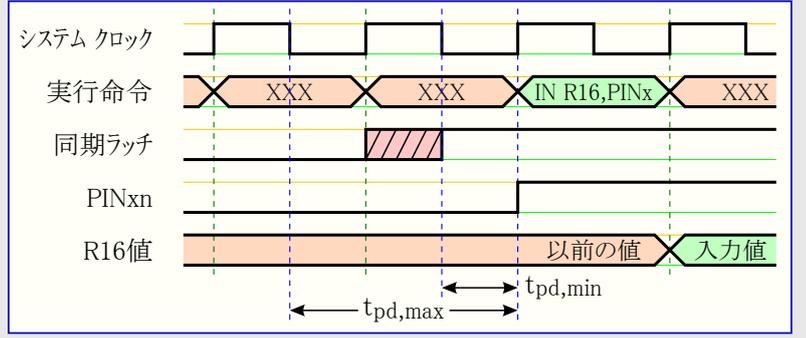
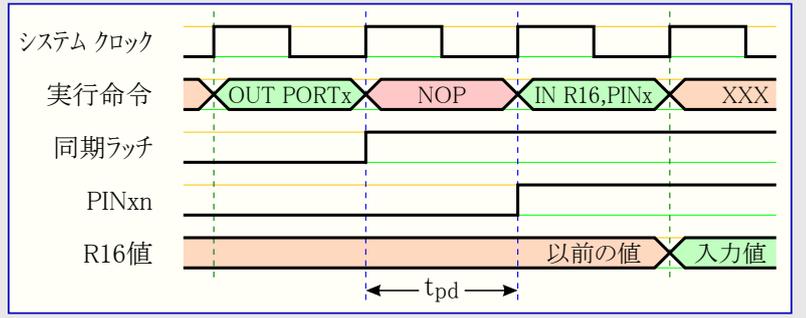


図10-5. プログラムで設定したピン値読み戻し時の同期化



## 10.2.5. デジタル入力許可と休止形態動作

図10-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作とスタンバイ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対して無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは34頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態動作から(復帰)再開する時に、これらの休止形態動作に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

## 10.2.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことの保証が推奨されます。例え上記のような深い休止形態動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部のプルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

## 10.2.7. プログラム例

次のコード例はポートBピンの0をHigh出力、1をLow出力、2をプルアップ指定として2と3を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

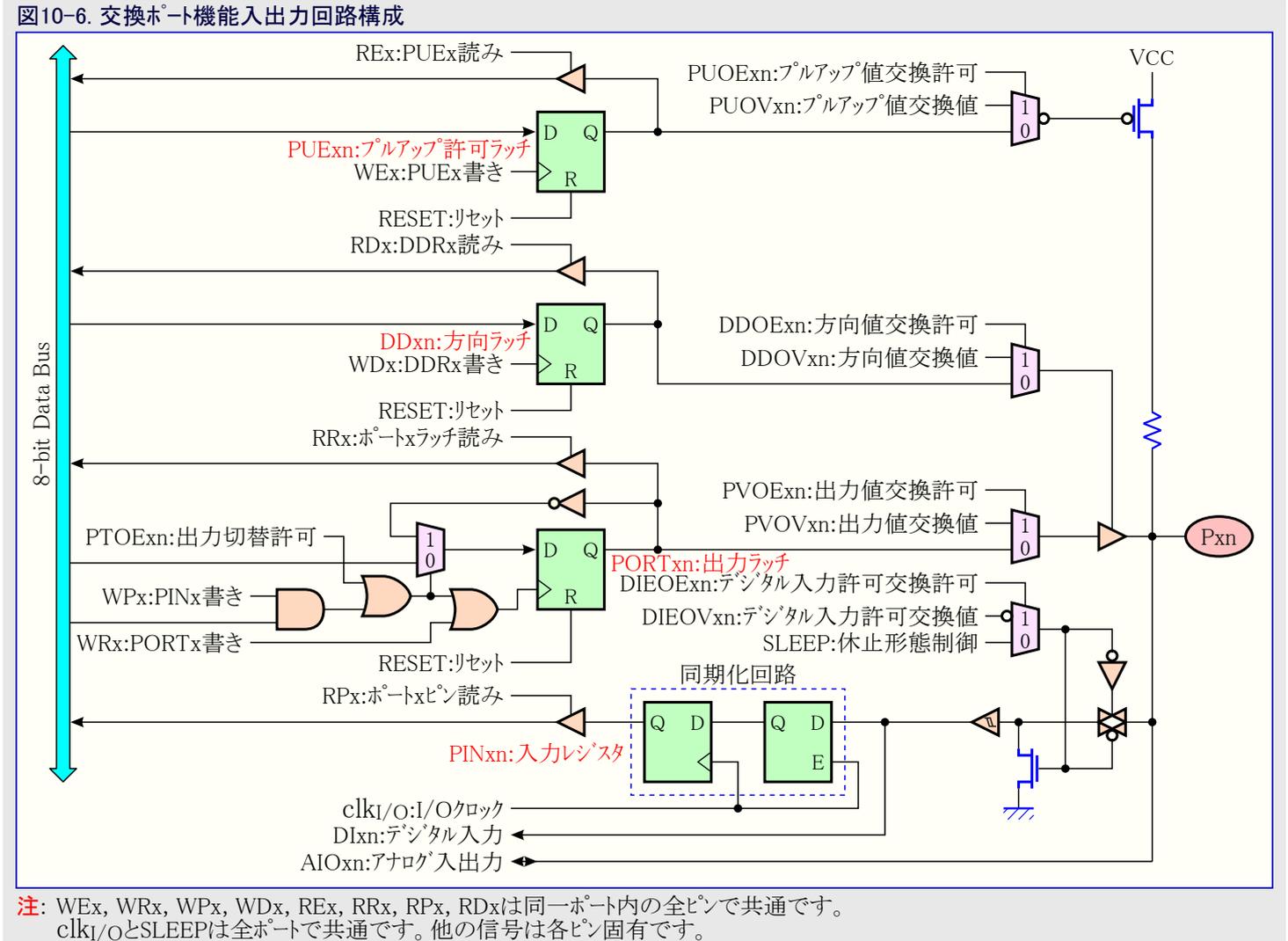
### アセンブリ言語プログラム例

LDI	R16, (1<<PUEB2)	;プルアップ許可値を取得
OUT	PUEB, R16	;プルアップを設定
LDI	R16, (1<<PB0)	;High値を取得
OUT	PORTB, R16	;High値を設定
LDI	R16, (1<<DDB1)   (1<<DDB0)	;出力ビット値を取得
OUT	DDRB, R16	;入出力方向を設定
NOP		;同期化遅延対処
IN	R16, PINB	;ピン値読み戻し

注: 5頁の「コード例」をご覧ください。

### 10.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。下の図10-6は単純化された31頁の図10-2でのポートピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。



上の図の図解はAVRマイクロコントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。いくつかの重複信号は全てのポートピンに存在しないかもしれませんが。

表10-2は重複(交換)信号の機能一覧を示します。図10-6.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、PUExn=1でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、PUExnレジスタビット設定に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0なら、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可 交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態動作)によって決定されます。
OIEOV	デジタル入力許可 交換値	DIEOE=1時、MCUの状態(活動動作、休止形態動作)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。本信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

### 10.3.1. ポートAの交換機能

ポートAピンの交換機能は表10-3.で示されます。

表10-3. ポートAピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PA7	ADC7 (A/D変換チャンネル7入力) PCINT7 (ピン変化割り込み7入力)	PA3	ADC3 (A/D変換チャンネル3入力) PCINT3 (ピン変化割り込み3入力)
PA6	ADC6 (A/D変換チャンネル6入力) PCINT6 (ピン変化割り込み6入力)	PA2	ADC2 (A/D変換チャンネル2入力) AIN1 (アナログ比較器反転入力) PCINT2 (ピン変化割り込み2入力)
PA5	ADC5 (A/D変換チャンネル5入力) OC0B (タイマ/カウンタ0 比較B一致出力) PCINT5 (ピン変化割り込み5入力)	PA1	ADC1 (A/D変換チャンネル1入力) AIN0 (アナログ比較器非反転入力) PCINT1 (ピン変化割り込み1入力)
PA4	ADC4 (A/D変換チャンネル4入力) T0 (タイマ/カウンタ0 外部クロック入力) PCINT4 (ピン変化割り込み4入力)	PA0	ADC0 (A/D変換チャンネル0入力) PCINT0 (ピン変化割り込み0入力)

- **ポートA ビット7 : PA7 – ADC7/PCINT7**
  - ADC7 : A/D変換器チャンネル7入力。
  - PCINT7 : ピン変化割り込み元7入力。PA7ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット6 : PA6 – ADC6/PCINT6**
  - ADC6 : A/D変換器チャンネル6入力。
  - PCINT6 : ピン変化割り込み元6入力。PA6ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット5 : PA5 – ADC5/OC0B/PCINT5**
  - ADC5 : A/D変換器チャンネル5入力。
  - OC0B : タイマ/カウンタ0の比較B一致出力。PA5ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として構成設定(DDA5=1)されなければなりません。OC0Bピンはタイマ機能のPWM動作出力ピンでもあります。
  - PCINT5 : ピン変化割り込み元5入力。PA5ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット4 : PA4 – ADC4/T0/PCINT4**
  - ADC4 : A/D変換器チャンネル4入力。
  - T0 : タイマ/カウンタ0の外部クロック入力。
  - PCINT4 : ピン変化割り込み元4入力。PA4ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット3 : PA3 – ADC3/PCINT3**
  - ADC3 : A/D変換器チャンネル3入力。
  - PCINT3 : ピン変化割り込み元3入力。PA3ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット2 : PA2 – ADC2/AIN1/PCINT2**
  - ADC2 : A/D変換器チャンネル2入力。
  - AIN1 : アナログ比較器の反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。
  - PCINT2 : ピン変化割り込み元2入力。PA2ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット1 : PA1 – ADC1/AIN0/PCINT1**
  - ADC1 : A/D変換器チャンネル1入力。
  - AIN0 : アナログ比較器の非反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。
  - PCINT1 : ピン変化割り込み元1入力。PA1ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。
- **ポートA ビット0 : PA0 – ADC0/PCINT0**
  - ADC0 : A/D変換器チャンネル0入力。
  - PCINT0 : ピン変化割り込み元0入力。PA0ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

表10-4.と表10-5.はポートAの交換機能を34頁の図10-6.で示される交換信号に関連付けます。

表10-4. ポートA7~4の交換機能用交換信号

信号名	PA7/ADC7/PCINT7	PA6/ADC6/PCINT6	PA5/ADC5/OC0B/PCINT5	PA4/ADC4/T0/PCINT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	OC0B許可	0
PVOV	0	0	OC0B	0
PTOE	0	0	0	0
DIEOE	PCIE0・PCINT7+ADC7D	PCIE0・PCINT6+ADC6D	PCIE0・PCINT5+ADC5D	PCIE0・PCINT4+ADC4D
DIEOV	PCIE0・PCINT7	PCIE0・PCINT6	PCIE0・PCINT5	PCIE0・PCINT4
DI	PCINT7入力	PCINT6入力	PCINT5入力	T0/PCINT4入力
AIO	ADC7入力	ADC6入力	ADC5入力	ADC4入力

表10-5. ポートA3~0の交換機能用交換信号

信号名	PA3/ADC3/PCINT3	PA2/ADC2/AIN1/PCINT2	PA1/ADC1/AIN0/PCINT1	PA0/ADC0/PCINT0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIEOE	PCIE0・PCINT3+ADC3D	PCIE0・PCINT2+ADC2D	PCIE0・PCINT1+ADC1D	PCIE0・PCINT0+ADC0D
DIEOV	PCIE0・PCINT3	PCIE0・PCINT2	PCIE0・PCINT1	PCIE0・PCINT0
DI	PCINT3入力	PCINT2入力	PCINT1入力	PCINT0入力
AIO	ADC3入力	アナログ比較器反転/ ADC2入力	アナログ比較器非反転/ ADC1入力	ADC0入力

(訳注) 原書の表10-4.~6.は表10-4.と表10-5.に再合成しました。

### 10.3.2. ポートBの交換機能

ポートBピンの交換機能は表10-7.で示されます。

表10-7. ポートBピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PB3	ADC11 (A/D変換チャネル11入力) PCINT11 (ピン変化割り込み11入力)	PB1	ADC9 (A/D変換チャネル9入力) PCINT9 (ピン変化割り込み9入力)
PB2	ADC10 (A/D変換チャネル10入力) PCINT10 (ピン変化割り込み10入力)	PB0	ADC8 (A/D変換チャネル8入力) PCINT8 (ピン変化割り込み8入力)

- ポートB ビット3 : PB3 – ADC11/PCINT11
  - ADC11 : A/D変換器チャネル11入力。
  - PCINT11 : ピン変化割り込み元11入力。PB3ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。
- ポートB ビット2 : PB2 – ADC10/PCINT10
  - ADC10 : A/D変換器チャネル10入力。
  - PCINT10 : ピン変化割り込み元10入力。PB2ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。
- ポートB ビット1 : PB1 – ADC9/PCINT9
  - ADC9 : A/D変換器チャネル9入力。
  - PCINT9 : ピン変化割り込み元9入力。PB1ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。
- ポートB ビット0 : PB0 – ADC8/PCINT8
  - ADC8 : A/D変換器チャネル8入力。
  - PCINT8 : ピン変化割り込み元8入力。PB0ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

表10-8.はポートBの交換機能を34頁の図10-6.で示される交換信号に関連付けます。

表10-8. ポートB3~0の交換機能用交換信号

信号名	PB3/ADC11/PCINT11	PB2/ADC10/PCINT10	PB1/ADC9/PCINT9	PB0/ADC8/PCINT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIEOE	PCIE1・PCINT11+ADC11D	PCIE1・PCINT10+ADC10D	PCIE1・PCINT9+ADC9D	PCIE1・PCINT8+ADC8D
DIEOV	PCIE1・PCINT11	PCIE1・PCINT10	PCIE1・PCINT9	PCIE1・PCINT8
DI	PCINT11入力	PCINT10入力	PCINT9入力	PCINT8入力
AIO	ADC11入力	ADC10入力	ADC9入力	ADC8入力

(訳注) 原書の表10-8.と表10-9.は表10-8.として纏めました。

### 10.3.3. ポートCの交換機能

ポートCピンの交換機能は表10-10.で示されます。

表10-10. ポートCピンの交換機能

ポートピン	交換機能	ポートピン	交換機能
PC5	PCINT17 (ピン変化割り込み17入力) CLKI (外部クロック信号入力) TPICLK (直列プログラミング クロック)	PC2	INT0 (外部割り込み0入力) MISO (SPI 主側データ入力/従側データ出力) PCINT14 (ピン変化割り込み14入力) CLKO (システム クロック出力)
PC4	SDA (TWI データ入出力) MOSI (SPI 主側データ出力/従側データ入力) PCINT16 (ピン変化割り込み16入力) TPIDATA (直列プログラミング データ)	PC1	T1 (タイマ/カウンタ1 外部クロック入力) ICP1 (タイマ/カウンタ1 捕獲起動入力) SCL (2線インターフェース クロック) SCK (直列周辺インターフェース クロック) PCINT13 (ピン変化割り込み13入力)
PC3	PCINT15 (ピン変化割り込み15入力) RESET (外部リセット入力)	PC0	OC0A (タイマ/カウンタ0 比較A一致出力) SS (直列周辺インターフェース従装置選択) PCINT12 (ピン変化割り込み12入力)

#### • ポートC ビット5 : PC5 – PCINT17/CLKI/TPICLK

- PCINT17 : ピン変化割り込み元17入力。PC5ピンはピン変化2群割り込みに対する外部割り込み元として扱えます。
- CLKI : 外部クロック元からのクロック信号入力。15頁の「外部クロック信号」をご覧ください。
- TPICLK : 直列プログラミング クロック。

#### • ポートC ビット4 : PC4 – SDA/MOSI/PCINT16/TPIDATA

- SDA : TWIデータ。TWI従装置制御レジスタA(TWSCRA)のTWI許可(TWEN)が設定(1)されると、このピンはポートから切り離されてTWI用の直列データになります。この動作形態では、ピンがスルーレート(上昇/下降速度)制限とスパイク除去器を持つオープンドレイン駆動部によって駆動されます。
- MOSI : SPI用の主装置データ出力、従装置データ入力。SPIが従装置として許可されると、このピンはポートC方向レジスタ(DDRC)のDDC1の構成設定に拘らず、自動的に入力として設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDC1によって制御されます。
- PCINT16 : ピン変化割り込み元16入力。PC4ピンはピン変化2群割り込みに対する外部割り込み元として扱えます。
- TPIDATA : 直列プログラミング データ。

#### • ポートC ビット3 : PC3 – PCINT15/RESET

- PCINT15 : ピン変化割り込み元15入力。PC3ピンはピン変化2群割り込みに対する外部割り込み元として扱えます。
- $\overline{\text{RESET}}$  : 外部リセット入力はLow活性で、RSTDISBLヒューズが非プログラム(1)にされることによって許可されます。このピンがRESETピンとして使われると、プルアップが活性にされて出力駆動部とデジタル入力が非活性にされます。

#### • ポートC ビット2 : PC2 – INT0/MISO/PCINT14/CLKO

- INT0 : 外部割り込み0入力。
- MISO : SPI用の主装置データ入力、従装置データ出力。SPIが主装置として許可されると、このピンはポートC方向レジスタ(DDRC)のDDC2の構成設定に拘らず、自動的に入力として設定されます。SPIが従装置として許可されると、このピンのデータ方向はDDC2によって制御されます。
- PCINT14 : ピン変化割り込み元14入力。PC2ピンはピン変化2群割り込みに対する外部割り込み元として扱えます。
- CLKO : システム クロック出力。システム クロックはPC2ピンに出力することができます。システム クロックはCKOUTヒューズがプログラム(0)された場合にPORTC2とDDC2設定に拘らず、出力されます。これはリセット中にも出力されます。

#### • ポートC ビット1 : PC1 – T1/ICP1/SCL/SCK/PCINT13

- T1 : タイマ/カウンタ1の外部クロック入力。
- ICP1 : タイマ/カウンタ1の捕獲起動入力。PC1ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動くことができます。
- SCL : TWIクロック。TWI従装置制御レジスタA(TWSCRA)のTWI許可(TWEN)が設定(1)されると、このピンはポートから切り離されてTWI用の直列クロックになります。この動作形態では、ピンがスルーレート(上昇/下降速度)制限とスパイク除去器を持つオープンドレイン駆動部によって駆動されます。
- SCK : SPI主装置クロック出力/従装置クロック入力。SPIが従装置として許可されると、このピンはポートC方向レジスタ(DDRC)のDDC1に拘らず、自動的に入力として構成設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDC1によって制御されます。
- PCINT13 : ピン変化割り込み元13入力。PC1ピンはピン変化2群割り込みに対する外部割り込み元として扱えます。

• **ポートCビット0** : PC0 - OC0A/ $\overline{SS}$ /PCINT12

- **OC0A**: **タイマ/カウンタ0**の比較A一致出力。PC0ピンはタイマ/カウンタ0の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として構成設定(DDC0=1)されなければなりません。OC0Aピンはタイマ機能のPWM動作出力ピンでもありません。
- **$\overline{SS}$** : **SPI**従装置選択入力。SPIが従装置として許可されると、このピンは**ポートC方向レジスタ(DDRC)**のDDC0に拘らず、自動的に入力として構成設定されます。SPIが主装置として許可されると、このピンのデータ方向はDDC0によって制御されます。
- **PCINT12**: **ピン変化割り込み元12**入力。PC0ピンは**ピン変化2群割り込み**に対する外部割り込み元として扱えます。

表10-11.と表10-12.はポートCの交換機能を34頁の図10-6.で示される交換信号に関連付けます。

表10-11. **ポートC5~3の交換機能用交換信号**

信号名	PC5/PCINT17/CLKI	PC4/SDA/MOSI/PCINT16	PC3/PCINT15/ $\overline{RESET}$
PUOE	EXT_CLOCK	CKOUT	RSTDISBL
PUOV	0	0	0
DDOE	EXT_CLOCK	(SPE· $\overline{MSTR}$ )+TWEN	$\overline{RSTDISBL}$
DDOV	0	TWEN·SDA出力	0
PVOE	EXT_CLOCK	TWEN+(SPE· $\overline{MSTR}$ )	$\overline{RSTDISBL}$
PVOV	0	$\overline{TWEN}$ ·SPE· $\overline{MSTR}$ ·SPI主装置出力 + $\overline{TWEN}$ ·(SPE+ $\overline{MSTR}$ )	0
PTOE	0	0	0
DIEOE	EXT_CLOCK+(PCIE2·PCINT17)	PCIE2·PCINT16	$\overline{RSTDISBL}$ +(PCIE2·PCINT15)
DIEOV	(EXT_CLOCK· $\overline{PWR\_DOWN}$ ) +(EXT_CLOCK·PCIE2·PCINT17)	PCIE2·PCINT16	$\overline{RSTDISBL}$ +(PCIE2·PCINT15)
DI	クロック/PCINT17入力	SPI従装置/PCINT16入力	PCINT15入力
AIO	-	SDA入力	-

注: • **RSTDISBL**はその構成設定ビットが0(プログラム)の時に1です。

• EXT\_CLOCKは**システムクロック**として**外部クロック**が選択された時に1です。

注: TWIが許可されると、PC4でスレーブ(上昇/下降速度)制限とスパイク除去器が活性にされます。これは34頁の図10-6.で図解されていません。スパイク除去器はAIOxnとTWI単位部に接続されます。

表10-12. **ポートC2~0の交換機能用交換信号**

信号名	PC2/INT0/MISO/PCINT14/CLKO	PC1/T1/ICP1/SCL/SCK/PCINT13	PC0/ $\overline{SS}$ /PCINT12
PUOE	CKOUT	0	0
PUOV	0	0	0
DDOE	CKOUT+(SPE· $\overline{MSTR}$ )	TWEN+(SPE· $\overline{MSTR}$ )	SPE· $\overline{MSTR}$
DDOV	CKOUT	TWEN· $\overline{SCL}$ 出力	0
PVOE	CKOUT+(SPE· $\overline{MSTR}$ )	TWEN+(SPE· $\overline{MSTR}$ )	OC0A許可
PVOV	CKOUT·システムクロック+ $\overline{CKOUT}$ ·SPE· $\overline{MSTR}$ ·SPI従装置出力	$\overline{TWEN}$ +(SPE· $\overline{MSTR}$ · $\overline{SCL}$ 出力+(SPE+ $\overline{MSTR}$ ))	OC0A
PTOE	0	0	0
DIEOE	(PCIE2·PCINT14)+INT0	PCIE2·PCINT13	PCIE2·PCINT12
DIEOV	(PCIE2·PCINT14)+INT0	PCIE2·PCINT13	PCIE2·PCINT12
DI	INT0/SPI主装置/PCINT14入力	T1/ICP1/SCL/SCK/PCINT13入力	SPI $\overline{SS}$ /PCINT12入力
AIO	-	SCL入力	-

注: • **CKOUT**はその構成設定ビットが0(プログラム)の時に1です。

注: TWIが許可されると、PC1でスレーブ(上昇/下降速度)制限とスパイク除去器が活性にされます。これは34頁の図10-6.で図解されていません。スパイク除去器はAIOxnとTWI単位部に接続されます。

## 10.4. I/Oポート用レジスタ

### 10.4.1. PORTCR – ポート制御レジスタ (Port Control Register)

ビット	7	6	5	4	3	2	1	0	
\$08	ADC11D	ADC10D	ADC9D	ADC8D	–	BBMC	BBMB	BBMA	PORTCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット3 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

- **ビット2 – BBMC : ポートC接続前切断動作許可 (Break-Before-Make Mode Enable)**

このビットが設定(1)されると、ポートC全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRCn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については32頁の「[接続前切断切り替え](#)」をご覧ください。

- **ビット1 – BBMB : ポートB接続前切断動作許可 (Break-Before-Make Mode Enable)**

このビットが設定(1)されると、ポートB全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRBn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については32頁の「[接続前切断切り替え](#)」をご覧ください。

- **ビット0 – BBMA : ポートA接続前切断動作許可 (Break-Before-Make Mode Enable)**

このビットが設定(1)されると、ポートA全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRAn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については32頁の「[接続前切断切り替え](#)」をご覧ください。

### 10.4.2. PUEA – ポートAプルアップ許可制御レジスタ (Port A Pull-up Enable Control Register)

ビット	7	6	5	4	3	2	1	0	
\$03	PUEA7	PUEA6	PUEA5	PUEA4	PUEA3	PUEA2	PUEA1	PUEA0	PUEA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

### 10.4.3. PORTA – ポートA出力レジスタ (Port A Data Register)

ビット	7	6	5	4	3	2	1	0	
\$02	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

### 10.4.4. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$01	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

### 10.4.5. PINA – ポートA入力レジスタ (Port A Input Address)

ビット	7	6	5	4	3	2	1	0	
\$00	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W								
初期値	不定								

### 10.4.6. PUEB – ポートBプルアップ許可制御レジスタ (Port B Pull-up Enable Control Register)

ビット	7	6	5	4	3	2	1	0	
\$07	–	–	–	–	PUEB3	PUEB2	PUEB1	PUEB0	PUEB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.7. PORTB – ホートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
\$06	–	–	–	–	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.8. DDRB – ホートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$05	–	–	–	–	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.9. PINB – ホートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$04	–	–	–	–	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

#### 10.4.10. PUEC – ホートCプルアップ許可制御レジスタ (Port C Pull-up Enable Control Register)

ビット	7	6	5	4	3	2	1	0	
\$1E	–	–	PUEC5	PUEC4	PUEC3	PUEC2	PUEC1	PUEC0	PUEC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.11. PORTC – ホートC出力レジスタ (Port C Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1D	–	–	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PORTC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.12. DDRC – ホートC方向レジスタ (Port C Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$1C	–	–	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	DDRC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.4.13. PINC – ホートC入力レジスタ (Port C Input Address)

ビット	7	6	5	4	3	2	1	0	
\$1B	–	–	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	PINC
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

## 11. タイマ/カウンタ

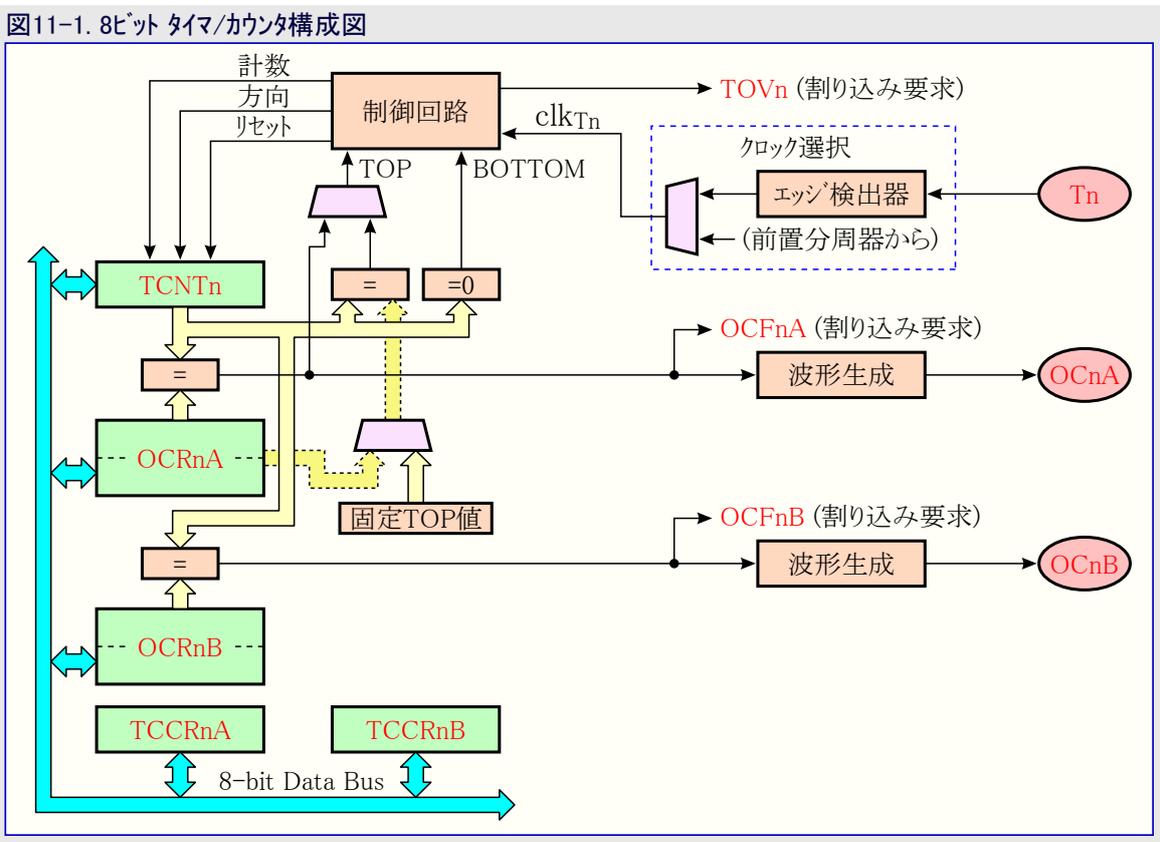
### 11.1. 特徴

- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

### 11.2. 概要

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビットタイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

この8ビットタイマ/カウンタの単純化した構成図は図11-1.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は51頁の「8ビットタイマ/カウンタ用レジスタ」で一覧されます。



#### 11.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKは本図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック( $clk_{T0}$ )として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については45頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

## 11.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表11-1.の定義は本資料を通して広範囲に渡って使われます。

表11-1. 用語定義

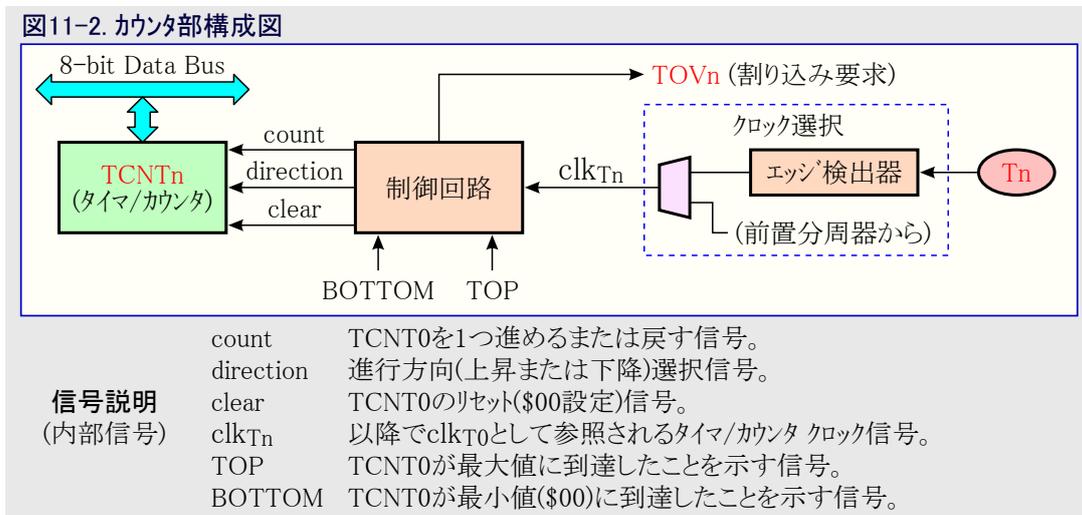
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

## 11.3. クロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については66頁の「タイマ/カウンタ前置分周器」をご覧ください。

## 11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-2.は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOCR0A/OCR0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成については47頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選択された動作種別に従って設定(=1)されます。TOV0はCPU割り込み発生に使えます。

## 11.5. 比較出力部

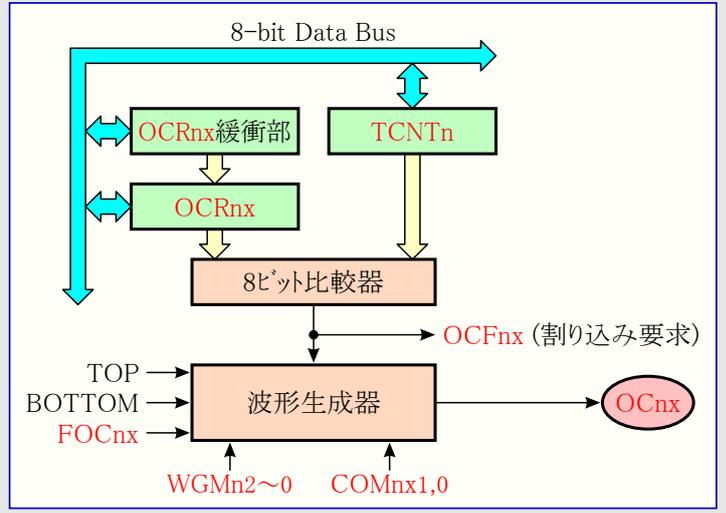
この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ、比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(47頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図11-3は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

図11-3. 比較出力部構成図



(訳注) ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

### 11.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

### 11.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

### 11.5.3. 比較一致部の使用

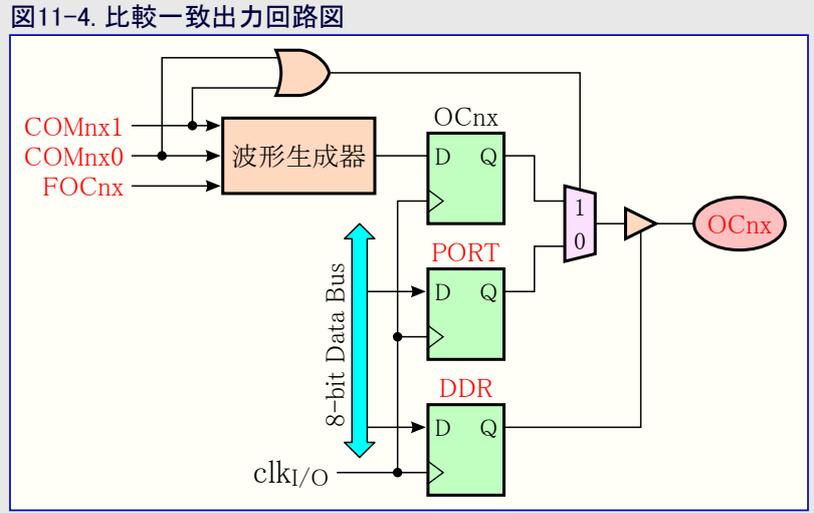
どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)スローブビットを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

## 11.6. 比較一致出力部

比較出力選択(COM0x1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0x1,0ビットを使います。またCOM0x1,0ビットはOC0xピン出力元を制御します。図11-4はCOM0x1,0ビット設定によって影響を及ぼされる論理回路の単純化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COM0x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OC0xの状態を参照するとき、その参照はOC0xピンでなく内部OC0xレジスタに対してです。システムリセットが起こると、OC0xレジスタは'0'にリセットされます。



COM0x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれどもOC0xピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC0xピンに対するポート方向レジスタのビット(DDR\_OC0x)はOC0x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。51頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

### 11.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1,0ビットを違うふうに使います。全ての動作種別に対してCOM0x1,0=00設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については51頁の表11-2.と表11-5.を参照してください。高速PWM動作については51頁の表11-3.と表11-6.、位相基準PWMについては51頁の表11-4.と表11-7.を参照してください。

COM0x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0x)スローブビットを使うことによって直ちに効果を得ることを強制できます。52頁の「TCCR0B - タイマ/カウンタ制御レジスタB」をご覧ください。

## 11.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(46頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については50頁の「タイマ/カウンタのタイミング」を参照してください(訳注:原文中の図番号省略)。

### 11.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

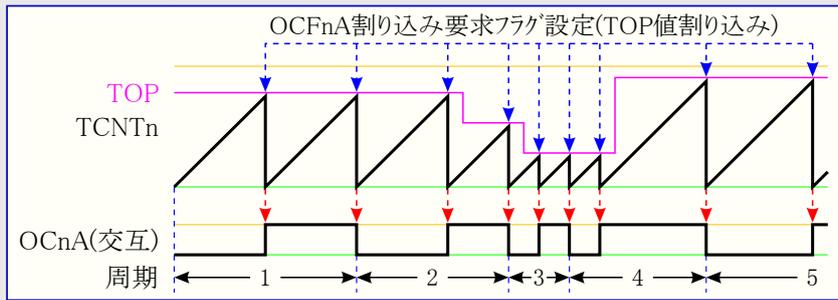
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

### 11.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致する時にカウンタが\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-5.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。

図11-5. CTC動作タイミング



OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互动作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR\_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{clk\_I/O}/2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

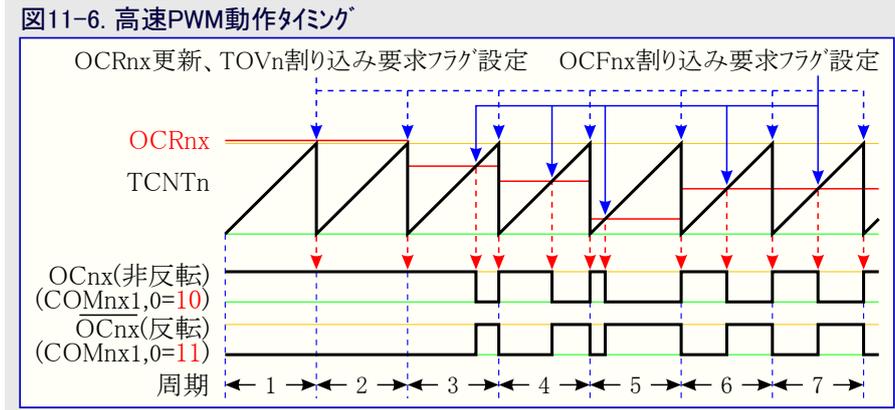
変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

### 11.7.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM02~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始まります。TOPはWGM02~0=011時に\$FF、WGM02~0=111時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図11-6.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。



タイマ/カウンタ溢れ(TOV0)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(51頁の表11-3と表11-6をご覧ください)。実際のOC0x値はポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えます。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOC0xレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (TOP+1)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

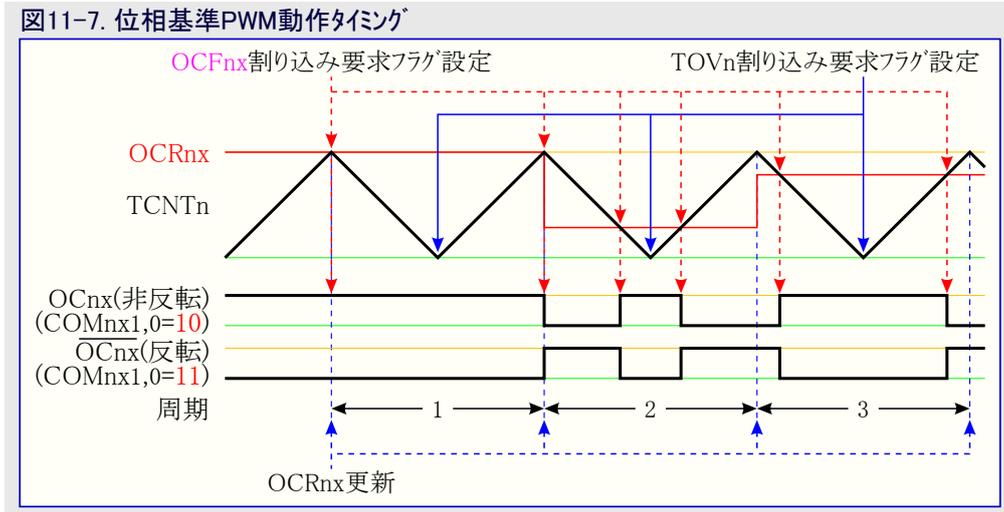
OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR0xがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

(訳補:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{clk\_I/O}/2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

### 11.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図11-7.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(51ページの表11-4.と表11-7.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えますでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図11-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図11-7.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

## 11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $clk_{Tn}$ )がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図11-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

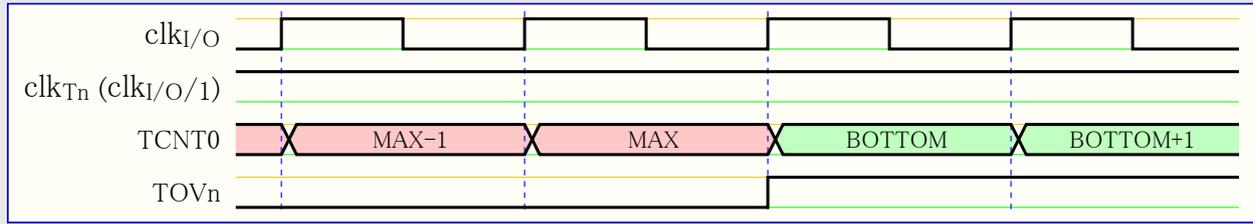


図11-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図11-9. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ タイミング

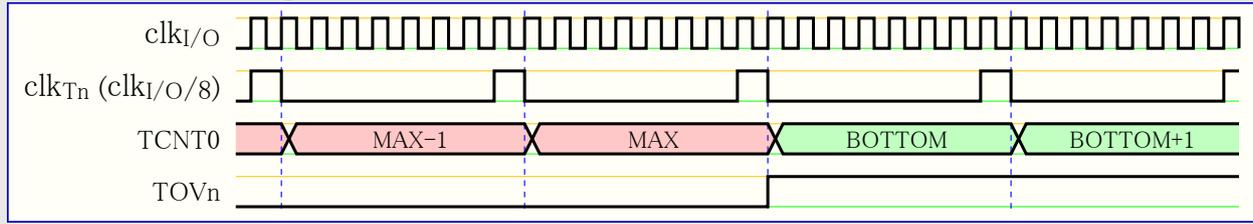


図11-10. はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図11-10. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF0x設定 タイミング

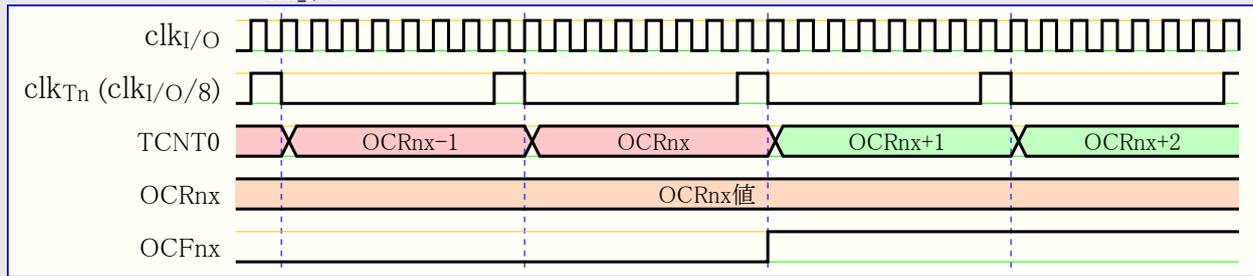
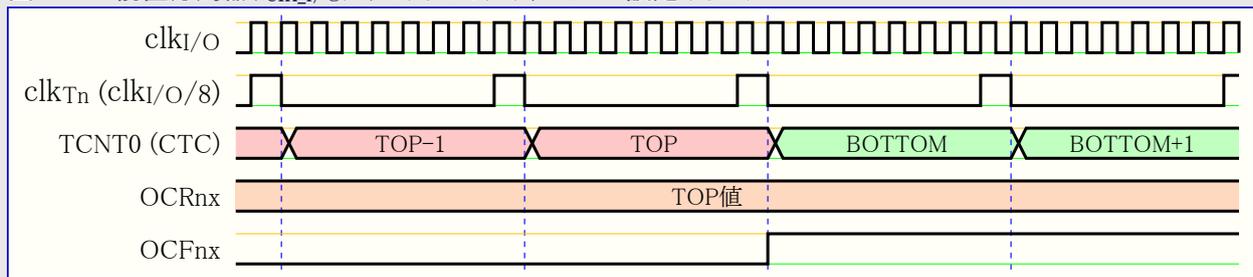


図11-11. はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図11-11. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF0A設定 タイミング



## 11.9. 8ビット タイマ/カウンタ0用レジスタ

### 11.9.1. TCCR0A – タイマ/カウンタ0制御レジスタA (Timer/Counter 0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$19	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Aがピンに接続されるとき、COM0A1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ビット機能を示します。

表11-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でOC0Aピン Lowレベル出力
1	1	比較一致でOC0Aピン Highレベル出力

表11-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aピンへ出力 (反転動作)

表11-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aピンへ出力

#### ● ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Bがピンに接続されるとき、COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-5.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ビット機能を示します。

表11-6.はWGM02~0ビットが高速PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-7.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピントグル(交互)出力
1	0	比較一致でOC0Bピン Lowレベル出力
1	1	比較一致でOC0Bピン Highレベル出力

表11-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bピンへ出力 (反転動作)

表11-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bピンへ出力

**共通注意:** COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については48頁の「高速PWM動作」または49頁の「位相基準PWM動作」をご覧ください。(表11-3.,4.,6.,7.各々での注:を纏めました。)

● **ビット3,2 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

● **ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)**

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表11-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。47頁の「動作種別」をご覧ください。

表11-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	-	-	-
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	-	-	-
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

11.9.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$18	FOC0A	FOC0B	TSM	PSR	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – FOC0A : OC0A強制変更 (Force Output Compare A)**

FOC0AビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読まれます。

● **ビット6 – FOC0B : OC0B強制変更 (Force Output Compare B)**

FOC0BビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読まれます。

● **ビット3 – WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)**

51頁の「TCCR0A – タイマ/カウンタ制御レジスタA」のWGM01,0ビット記述をご覧ください。

● ビット2~0 - CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選択します。

表11-9. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

### 11.9.3. TCNT0 - タイマ/カウンタ0 (Timer/Counter0)

ビット	7	6	5	4	3	2	1	0	
\$17	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

### 11.9.4. OCR0A - タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
\$16	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使えます。

### 11.9.5. OCR0B - タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register)

ビット	7	6	5	4	3	2	1	0	
\$15	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使えます。

### 11.9.6. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$26	ICIE1	–	OCIE1B	OCIE1A	TOIE1	OCIE0B	OCIE0A	TOIE0	TIMSK
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット6 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

● **ビット2 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter Output Compare Match B Interrupt Enable)**

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

● **ビット1 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter Output Compare Match A Interrupt Enable)**

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

● **ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter Overflow Interrupt Enable)**

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ(TCNT0)溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

### 11.9.7. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$25	ICF1	–	OCF1B	OCF1A	TOV1	OCF0B	OCF0A	TOV0	TIFR
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット6 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

● **ビット2 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter, Output Compare B Match Flag)**

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

● **ビット1 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter, Output Compare A Match Flag)**

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

● **ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter Overflow Flag)**

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

このフラグの設定(1)はWGM02~0設定に依存します。52頁の「表11-8. 波形生成種別選択」を参照してください。

## 12. タイマ/カウンタ1

### 12.1. 特徴

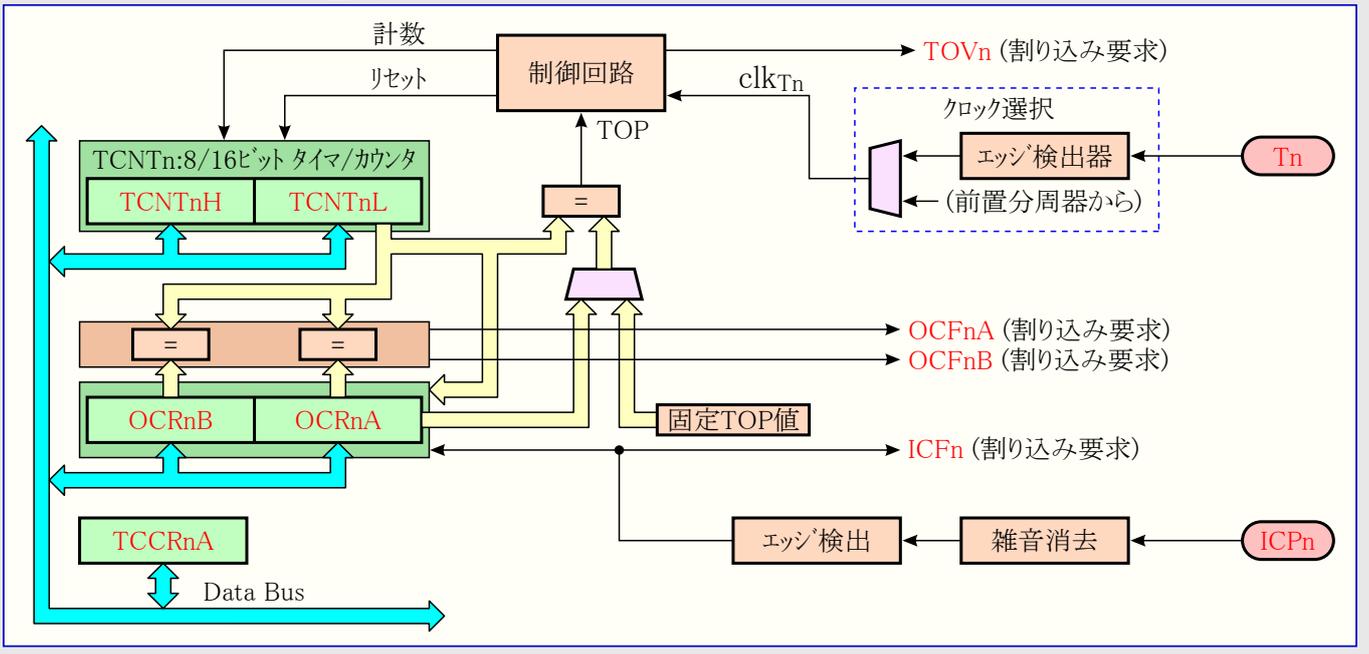
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 1つの捕獲入力部
- 4つの独立した割り込み (TOV1, OCF1A, OCF1B, ICF1)
- 2つの独立した比較部での8ビット動作
- 1つの独立した比較部での16ビット動作

### 12.2. 概要

タイマ/カウンタ1は2/1つの比較出力部と捕獲入力を持つ汎用8/16ビットタイマ/カウンタ部です。

タイマ/カウンタ1の一般動作は8/16ビット動作で記述されます。この8/16ビットタイマ/カウンタの単純化した構成図は図12-1.で示されます。実際のI/Oピンの配置については2頁の「[ピン配置](#)」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は63頁の「[タイマ/カウンタ1用レジスタ](#)」で示されます。

図12-1. 8/16ビット タイマ/カウンタ構成図



#### 12.2.1. 関係レジスタ

タイマ/カウンタ1下位バイト(TCNT1L)レジスタ、比較レジスタ(OCR1A, OCR1B)は8ビットレジスタです。(図12-1.で省略された)割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKはこの図で示されません。

16ビット動作のタイマ/カウンタには更に1つの8ビットレジスタ、タイマ/カウンタ1上位バイト(TCNT1H)レジスタがあります。尚、2つの比較レジスタのOCR1AとOCR1Bは1つの16ビット比較レジスタに組み合わされるので、16ビット動作では1つの比較部だけです。OCR1Aは語の下位バイトを含み、OCR1Bは語の上位バイトを含みます。16ビットレジスタをアクセスするとき、61頁の「[16ビット動作でのレジスタアクセス](#)」項で記述される特別な手順に従わなければなりません。

## 12.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'は単位部番号、この場合は1で置き換えます。小文字のxは比較部でこの場合は比較部Aと比較部Bで置き換えます。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ1のカウンタ値のアクセスに対するTCNT0Lのように)。

表12-1.の定義は本資料を通して広範囲に渡って使われます。

表12-1. 用語定義

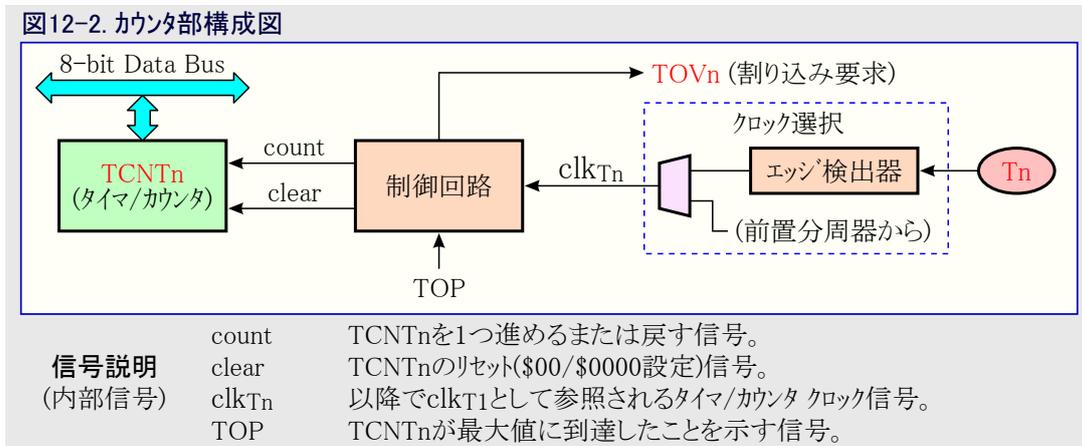
用語	意味
BOTTOM	タイマ/カウンタが\$00/\$0000に到達した時。
MAX	タイマ/カウンタが8ビット動作で\$FF(255)または16ビット動作で\$FFFF(65536)に到達した時。
TOP	タイマ/カウンタが計数内の最大値と等しくなるTOPに到達した時。TOP値は固定値(\$FF/\$FFFF)またはOCR1Aレジスタに格納した値を指定できます。

## 12.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。クロック元はタイマ/カウンタ1制御レジスタA(TCCRIA)に配置されたクロック選択(CS12~0)ビットによって制御されるクロック選択論理回路によって選択されます。クロック元と前置分周器の詳細については66頁の「タイマ/カウンタ前置分周器」をご覧ください。

## 12.4. 計数器部

8ビットタイマ/カウンタの主な部分は設定可能なカウンタ部です。図12-2.は、このカウンタとその周辺環境の構成図を示します。

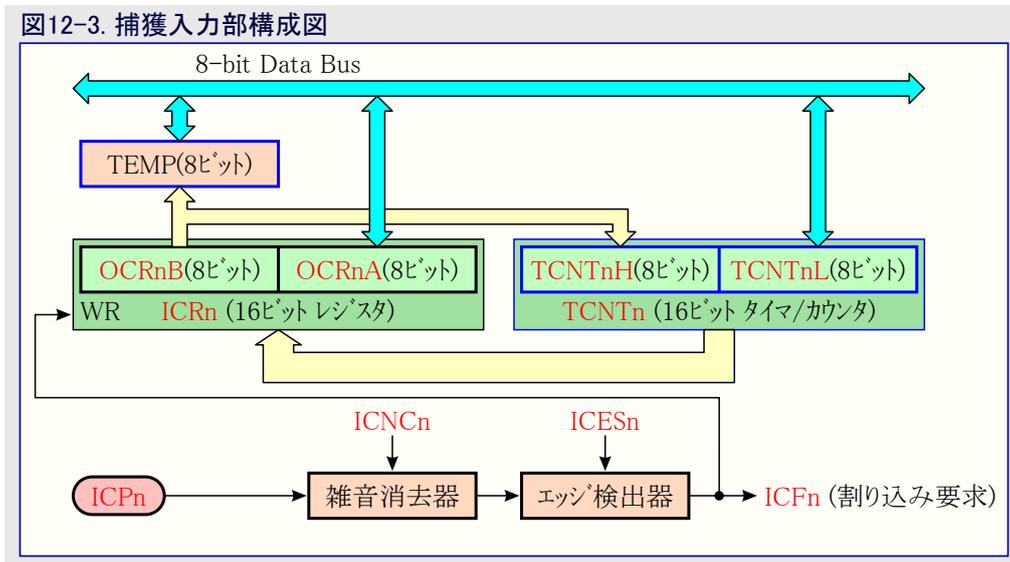


カウンタはTOP値を通過するまで各タイマ/カウンタ クロック(clkT1)で増加(+1)され、そしてBOTTOMから再び計数します。計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRIA)に配置された比較一致タイマ/カウンタ解除(CTC1)ビットの設定によって決定されます。計数順序についてより多くの詳細に関しては60頁の「タイマ/カウンタのタイミング」をご覧ください。clkT1はクロック選択(CS12~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS12~0=000)と、タイマ/カウンタは停止されます。けれどもTCNT1値はタイマ/カウンタ クロック (clkT1)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。タイマ/カウンタ溢れ(TOV1)フラグはカウンタが最大値に到達する時に設定(1)され、それはCPU割り込み発生に使えます。

## 12.5. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と合体します。外部信号は出来事または複数の出来事を示し、ICP1ピン経由またはアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特徴の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は図12-3.で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。



比較Aレジスタ(OCR1A)は8ビット捕獲入力レジスタ(ICR1)としても使われる二重目的レジスタです。16ビット捕獲入力動作での比較Bレジスタ(OCR1B)は捕獲入力レジスタ(ICR1)の上位バイトを扱います。8ビット捕獲入力動作でのOCR1Bは標準比較レジスタとして使われるために空いていますが、16ビット捕獲入力動作での比較部は空いている比較レジスタがないので使えません。本項では捕獲入力レジスタはICR1と呼ばれますが、これは比較レジスタへの参照です。16ビットレジスタアクセス法のより多くの情報に関しては61頁の「16ビット動作でのレジスタアクセス」を参照してください。

捕獲起動入力(ICP1)で論理レベルの変化(出来事)が起き、その変化がエッジ検出器の設定を迫認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNT1)の16ビット値が捕獲レジスタ(ICR1)に書かれます。捕獲割り込み要求フラグ(ICF1)はTCNT1値がICR1に複写されると同じシステムクロックで設定(1)されます。許可(I=1, ICIE1=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF1は割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。

### 12.5.1. 捕獲起動元

捕獲入力部用の起動元は捕獲入力(ICP1)ピンです。

捕獲入力(ICP1)ピン入力はTnピン(66頁の図13-1.参照)についてと同じ技法を使って採取されます。エッジ検出器も全く同じです。けれども雑音除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を4システムクロック周期増やします。捕獲入力はICP1ピンのポートを制御することによってソフトウェアでも起動できます。

### 12.5.2. 雑音消去器

雑音消去器は簡単なデジタル濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、エッジ検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はタイマ/カウンタ制御レジスタA(TCCR1A)の捕獲入力雑音除去許可(ICNC1)ビットの設定(1)によって許可されます。許可した時に、雑音消去器は入力に印加した変更からICR1の更新までに4システムクロック周期の追加遅延をもたらします。雑音消去器はシステムクロックを使い、従って前置分周器によって影響されません。

### 12.5.3. 捕獲入力の使用

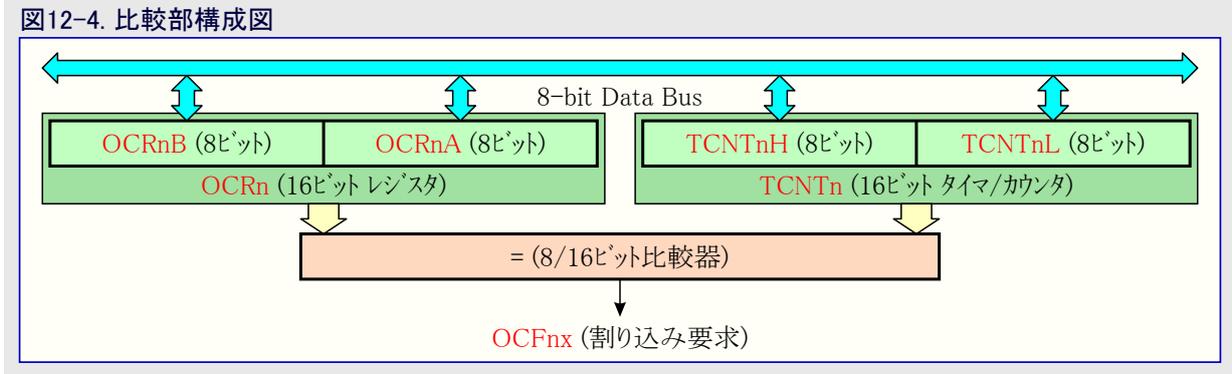
捕獲入力機能を使う主な要求(目的)は、入って来る出来事に対して十分なプロセッサ能力を当てがうことです。2つの出来事間の時間が際どいとして、次の出来事が起こる前に捕獲した**捕獲レジスタ(ICR1)**の値をプロセッサが読めなかった場合、ICR1は新しい値で書き込まれます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR1は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロック周期数に依存します。

外部信号のデューティ比測定は各捕獲後に起動エッジが変更されるのを必要とします。検出端の変更はICR1が読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、**捕獲割り込み要求フラグ(ICF1)**はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(訳補:エッジ変更によってICF1が設定(1)されることを想定)。周波数のみの測定に関しては(割り込み処理が使われる場合)ICF1の解除(0)は必要とされません。

### 12.6. 比較部

この比較器は**TCNT1**と比較レジスタ(**OCR1A**と**OCR1B**)を継続的に比較し、タイマ/カウンタが比較レジスタと等しい時は必ず、比較器が一致を指示します。この一致は**次のタイマ/カウンタクロック周期**で比較割り込み要求フラグ(OCF1x)を設定(1)します。8ビット動作での一致は比較一致フラグ、**OCF1A**または**OCF1B**のどちらをも設定(1)し得ます。16ビット動作での一致は1つの比較部だけのため、比較一致フラグ(OCF1A)だけを設定(1)し得ます。対応する割り込みが許可(I=1, OCIE1x=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF1xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF1xはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。図12-4.は比較部の構成図を示します。



#### 12.6.1. TCNT1書き込みによる比較一致妨害

TCNT1H/Lへの全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1B/Aに許します。

#### 12.6.2. 比較一致部の使用

どの動作種別でのTCNT1H/L書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、何れかの比較出力部を使う場合にTCNT1H/Lを変更する時は危険を伴います。TCNT1H/Lに書かれた値がOCR1B/A値と同じ場合、比較一致は失われます(一致が発生しません)。

### 12.7. 動作種別 (訳注:整合性から最新内容に変更)

動作形態、換言するとタイマ/カウンタと比較出力ピンの動きは**タイマ/カウンタ幅(TCW1)**、**捕獲入力許可(ICEN1)**、**CTC動作(CTC1)**ビットによって定義されます。**タイマ/カウンタ1制御レジスタ(TCCRIA)**をご覧ください。

表12-2.は各種動作種別を示します。

番号	ICEN1	TCW1	CTC1	タイマ/カウンタ動作種別	TOP値	OCR1x更新時	TOV1設定時
0	0	0	0	標準8ビット動作	\$FF	即時	MAX(\$FF)
1	0	0	1	8ビット比較一致T/C解除(CTC)動作	OCR1A	即時	MAX(\$FF)
2	0	1	0	16ビット動作	\$FFFF	即時	MAX(\$FFFF)
3	0	1	1	16ビット比較一致T/C解除(CTC)動作	OCR1B, OCR1A	即時	MAX(\$FFFF)
4	1	0	0	8ビット捕獲入力動作	\$FF	-	MAX(\$FF)
5	1	1	0	16ビット捕獲入力動作	\$FFFF	-	MAX(\$FFFF)

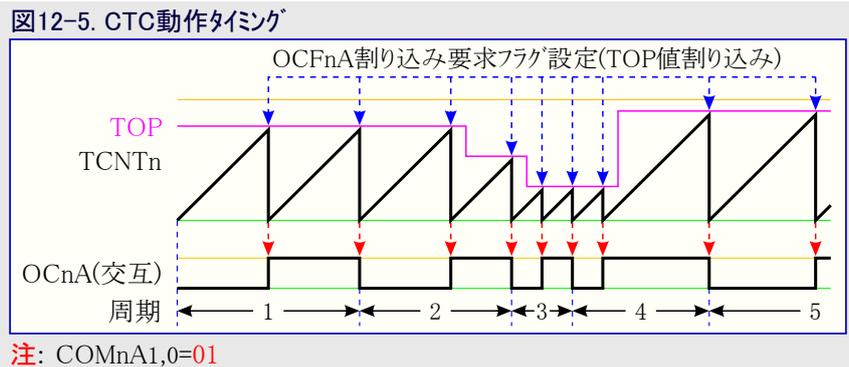
### 12.7.1. 標準8ビット動作

標準8ビット動作(表12-2.参照)ではタイマ/カウンタ(TCNT1L)が8ビット最大値(MAX=\$FF)を通過するまで増加し、そしてBOTTOM(\$00)から再度始めます。溢れ(TOV1)フラグはTCNT1Lが0になるのと同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV1フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV1フラグを自動的に解除(0)するタイマ/カウンタ1溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

### 12.7.2. 8ビット比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(表12-2.参照)ではOCR1Aレジスタがカウンタの分解能を操作するために使われます。CTC動作ではカウンタ(TCNT1)値がOCR1Aと一致すると、カウンタが\$00に解除されます。OCR1Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図12-5.で示されます。カウンタ(TCNT1)値はTCNT1とOCR1A間で比較一致が起きるまで増加し、そしてその後にカウンタ(TCNT1)は解除(\$00)されます。



OCF1Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値へのTOP値変更は注意して行わなければなりません。OCR1Aに書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後にカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければなりません。標準動作と同じように、タイマ/カウンタ溢れ(TOV1)フラグはカウンタがMAXから\$00へ計数する同じタイマ/カウンタクロック周期で設定(1)されます。

### 12.7.3. 16ビット動作

16ビット動作(表12-2.参照)ではカウンタ(TCNT1H/L)が16ビット最大値(MAX=\$FFFF)を通過するまで増加し、そしてBOTTOM(\$0000)から再度始めます。溢れ(TOV1)フラグはTCNT1H/Lが0になるのと同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV1フラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOV1フラグを自動的に解除(0)するタイマ/カウンタ1溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

### 12.7.4. 16ビット比較一致タイマ/カウンタ解除(CTC)動作

16ビット比較一致解除動作ではOCR1B/レジスタがカウンタの分解能を操作するために使われます。ビット設定については表12-2.をご覧ください。CTC動作ではカウンタ(TCNT1)値がOCR1B/Aと一致すると、カウンタが\$0000に解除され、ここでのOCR1Bは8MSBを表し、OCR1Aは8LSBを表します。OCR1B/Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

OCF1Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値へのTOP値変更は注意して行わなければなりません。OCR1B/Aに書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後にカウンタは比較一致が起こるのに先立って最大値(\$FFFF)へそして次に\$0000から始める計数をしなければなりません。16ビット動作と同じように、タイマ/カウンタ溢れ(TOV1)フラグはカウンタがMAXから\$0000へ計数する同じタイマ/カウンタクロック周期で設定(1)されます。

### 12.7.5. 8ビット捕獲入力動作

タイマ/カウンタ1は8ビット捕獲入力動作にも使え、ビット設定については表12-2.をご覧ください。完全な記述に関しては57頁の「捕獲入力部」項をご覧ください。

### 12.7.6. 16ビット捕獲入力動作

タイマ/カウンタ1は16ビット捕獲入力動作にも使え、ビット設定については表12-2.をご覧ください。完全な記述に関しては57頁の「捕獲入力部」項をご覧ください。

## 12.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $clk_{T1}$ )がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図12-6.は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図はMAX値近辺の計数の流れを示します。

図12-6. 前置分周なし(1/1)のタイマ/カウンタ タイミング

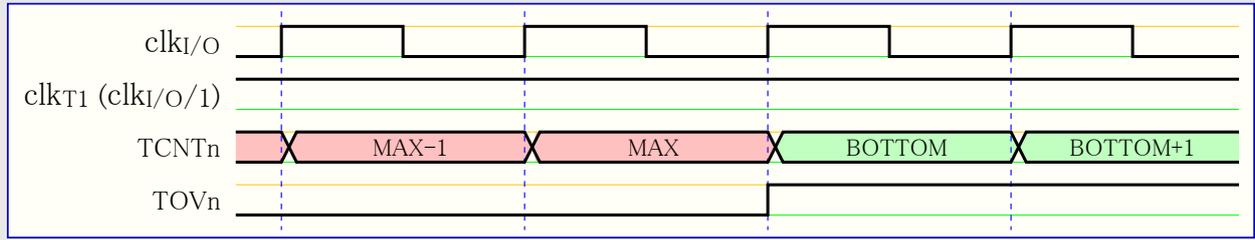


図12-7.は同じタイミング データを示しますが、前置分周器が許可されています。

図12-7. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ タイミング

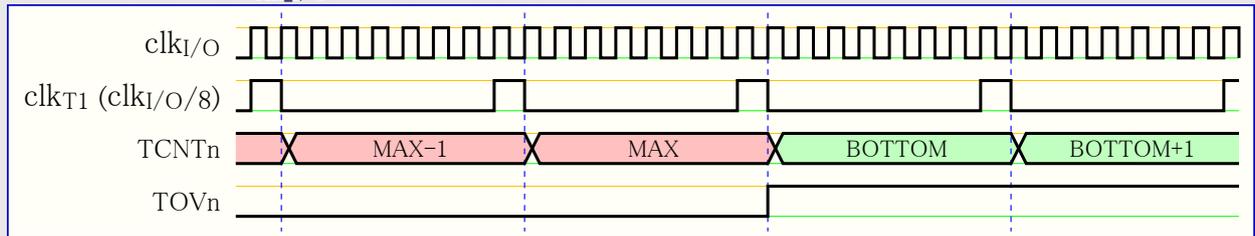


図12-8.は標準動作でのOCF1AとOCF1Bの設定(0⇒1)を示します。

図12-8. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF1x設定 タイミング

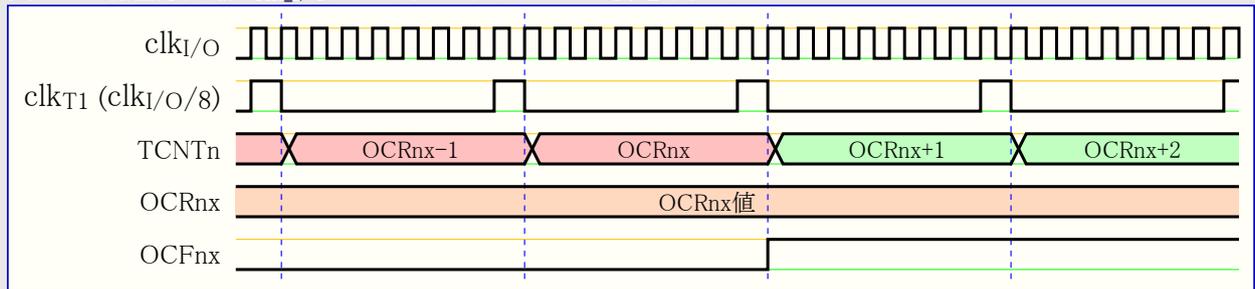
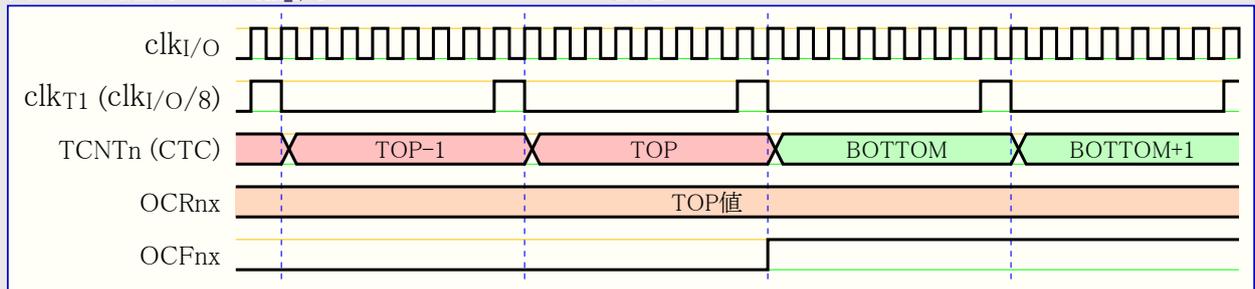


図12-9.はCTC動作でのTCNT1の解除とOCF1Aの設定(0⇒1)を示します。

図12-9. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF1A設定 タイミング



## 12.9. 16ビット動作でのレジスタ アクセス

16ビット動作(TCCRIAのタイマ/カウンタ幅(TCW1)ビットが1に設定)でのTCNT1H/LとOCR1B/Aは8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。全ての16ビットレジスタ間でこの同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で16ビットレジスタに両方が複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

一時レジスタ使用に1つの例外があります。比較動作での16ビット比較レジスタ(OCR1A, OCR1B)は、比較レジスタがCPUアクセスによってだけ変更される固定値を含むので、一時レジスタなしに読まれます。けれどもOCR1AとOCR1Bによって形成された捕獲入力動作でのICR1レジスタは一時レジスタとでアクセスされなければなりません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイト前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1B/Aレジスタのアクセスに対して同じ原理が直接的に使えます。

### アセンブリ言語プログラム例

```
~
;
; [16ビット($01FF)書き込み]
LDI R17, $01 ; $01FFの上位バイト値取得
LDI R16, $FF ; $01FFの下位バイト値取得
OUT TCNT1H, R17 ; 上位バイト設定(一時レジスタ)
OUT TCNT1L, R16 ; 下位バイト設定(一時レジスタ⇒上位バイト)
; [16ビット読み込み]
IN R16, TCNT1L ; 下位バイト取得(上位バイト⇒一時レジスタ)
IN R17, TCNT1H ; 上位バイト取得(一時レジスタ)
~
;
```

### C言語プログラム例

```
unsigned int i;
~
TCNT1H = 0x01; /* [16ビット($01FF)書き込み] */
TCNT1L = 0xFF; /* 上位バイト設定(一時レジスタ) */
/* 下位バイト設定(一時レジスタ⇒上位バイト) */
/* [16ビット読み込み] */
i = TCNT1L; /* 下位バイト取得(上位バイト⇒一時レジスタ) */
i |= ((unsigned int)TCNT1H<<8); /* 上位バイト取得(一時レジスタ)合成 */
~
/**/
```

**注:** 5ページの「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1H/L値を戻します。

16ビットレジスタアクセスが非分断操作であるのに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT1H/Lレジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR1B/Aのどんな読み込みも行えます。

#### アセンブリ言語プログラム例

```
RD_TCNT0:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            IN      R16, TCNT1L        ;TCNT1下位バイト取得(上位バイト⇒一時レジスタ)
            IN      R17, TCNT1H        ;TCNT1上位バイト取得(一時レジスタ)
            OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
            RET                       ;呼び出し元へ復帰
```

#### C言語プログラム例

```
unsigned int TIM16_Read_TCNT0(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                             /* 全割り込み禁止 */
    i = TCNT1L;                         /* 下位バイト取得(上位バイト⇒一時レジスタ) */
    i |= ((unsigned int)TCNT1H<<8);     /* 上位バイト取得(一時レジスタ)合成 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
    return i;                          /* TCNT1値で呼び出し元へ復帰 */
}
```

**注:** 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1H/L値を戻します。

次のコード例はTCNT1H/Lレジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1B/Aのどんな書き込みも行えます。

#### アセンブリ言語プログラム例

```
WR_TCNT0:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            OUT     TCNT1H, R17        ;TCNT1上位バイト設定(一時レジスタ)
            OUT     TCNT1L, R16        ;TCNT1下位バイト設定(一時レジスタ⇒上位バイト)
            OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
            RET                       ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void TIM16_Write_TCNT0(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNT1書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                             /* 全割り込み禁止 */
    TCNT1H = (i>>8);                  /* 上位バイト設定(一時レジスタ) */
    TCNT1L = (unsigned char)i;         /* 下位バイト設定(一時レジスタ⇒上位バイト) */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
}
```

**注:** 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNT1H/Lへ書かれるべき値を含む必要があります。

### 12.9.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

## 12.10. タイマ/カウンタ1用レジスタ

### 12.10.1. TCCR1A – タイマ/カウンタ1制御レジスタA (Timer/Counter 1 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$24	TCW1	ICEN1	ICNC1	ICES1	CTC1	CS12	CS11	CS10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – TCW1 : タイマ/カウンタ1幅 (Timer/Counter 1 Width)**

このビットが**1**を書かれると、58頁の表12-2で記述されるように16ビット動作が選択されます。タイマ/カウンタ1の幅が16ビットに設定され、比較レジスタのOCR1AとOCR1Bが1つの16ビット比較レジスタを形成するために組み合わせられます。16ビットレジスタのTCNT1H/LとOCR1B/Aは8ビットデータバス経由でAVR CPUによってアクセスされるので、特別な手順に従わなければなりません。これらの手順は61頁の「16ビット動作でのレジスタアクセス」項で記述されます。

- **ビット6 – ICEN1 : 捕獲入力動作許可 (Input Capture Mnode Enable)**

このビットが**1**を書かれると、捕獲入力動作が許可されます。

- **ビット5 – ICNC1 : 捕獲起動入力1雑音消去許可 (Input Capture Noise Canceler)**

このビットを**1**に設定することは捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲入力(ICP1)ピンからの入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続4回等しく評価されたICP1ピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はこれによって4発振器(システムクロック)周期遅らされます。

- **ビット4 – ICES1 : 捕獲起動入力端選択 (Input Capture Edge Select)**

このビットは出来事での捕獲を起動するのに使われる捕獲入力(ICP1)ピンのどちらかのエッジを選択します。ICES1ビットが**0**を書かれると起動動作として下降(負)端が使われ、ICES1ビットが**1**を書かれると上昇(正)端が捕獲を起動します。捕獲がICES1設定に従って起動されると、カウンタ値が捕獲レジスタ(OCR1B/A)に複写されます。この出来事は捕獲入力割り込み要求フラグ(ICF1)も設定**1**し、そしてこれはこの割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

- **ビット3 – CTC1 : 比較一致タイマ/カウンタ解除 (Clear Timer/Counter1 on Compare Match)**

このビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元を制御します。58頁の表12-2をご覧ください。タイマ/カウンタ部によって支援される動作種別は標準動作(計数器)と比較一致タイマ/カウンタ解除(CTC)動作です。58頁の「動作種別」をご覧ください。

- **ビット2~0 – CS12~0 : クロック選択1 (Clock Select 1, bit 2,1 and 0)**

このクロック選択ビット2~0はタイマ/カウンタ1(TCNT1)の前置分周供給元を定義します。

表12-3. タイマ/カウンタn入力クロック選択

CSn2	CSn1	CSn0	意味
0	0	0	停止 (タイマ/カウンタn動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	Tnピンの下降端 (外部クロック)
1	1	1	Tnピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタnに対して使われる場合、例えT1ピンが出力として設定されても、T1ピンの遷移は計数器をクロック駆動します。この特徴がソフトウェアに計数制御を許します。

### 12.10.2. TCNT1L – タイマ/カウンタ1下位バイト (Timer/Counter 1 Register Low Byte)

ビット	7	6	5	4	3	2	1	0	
\$23	(MSB)							(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ1レジスタ下位バイト(TCNT1L)は読み書き両方についてタイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT1Lレジスタへの書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT1L)を変更することは、OCR1xとTCNT1L間の比較一致消失の危険を誘発します。16ビット動作でのTCNT1Lレジスタは16ビットタイマ/カウンタ1レジスタの下位部を含みません。

### 12.10.3. TCNT1H – タイマ/カウンタ1上位バイト (Timer/Counter 1 Register High Byte)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$27	(MSB)							(LSB)	TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

16ビット動作が選択(TCCR1AのTCW1=1)されると、タイマ/カウンタ1上位レジスタ(TCNT1H)はタイマ/カウンタ1下位レジスタ(TCNT1L)と組み合わせられ、読み書き両方についてタイマ/カウンタ部の16ビットカウンタに直接アクセスします。CPUがこれらのレジスタにアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。61頁の「16ビット動作でのレジスタアクセス」をご覧ください。8ビット動作でのこのレジスタは読み書き両方に対してアクセス可能ですが、カウンタによって更新されません。

### 12.10.4. OCR1A – タイマ/カウンタ1 比較レジスタ (Timer/Counter 1 Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
\$22	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT1L)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使えます。

16ビット動作でのOCR1Aレジスタは16ビット比較レジスタの下位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。61頁の「16ビット動作でのレジスタアクセス」をご覧ください。

OCR1Aが捕獲動作で書き込み不能なことに注意してください。

### 12.10.5. OCR1B – タイマ/カウンタ1 比較レジスタ (Timer/Counter 1 Output Compare B Register)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$21	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(8ビット動作でのTCNT1Lまたは16ビット動作でのTCNT1H)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するために使えます。

16ビット動作でのOCR1Bレジスタは16ビット比較レジスタの上位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。61頁の「16ビット動作でのレジスタアクセス」をご覧ください。

OCR1Bが捕獲動作で書き込み不能なことに注意してください。

(訳注) 12.10.3.~5.の内容は原書に対して共通性から補足されています。

## 12.10.6. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$26	ICIE1	–	OCIE1B	OCIE1A	TOIE1	OCIE0B	OCIE0A	TOIE0	TIMSK
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ● ビット7 – ICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter 1 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ1捕獲割り込み要求(ICF1)フラグが設定(1)されると、対応する割り込み(27頁の「割り込み」参照)が実行されます。

### ● ビット5 – OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter 1 Output Compare Match B Interrupt Enable)

OCIE1Bビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。タイマ/カウンタ1で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ1比較B割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込みが実行されます。

### ● ビット4 – OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter 1 Output Compare Match A Interrupt Enable)

OCIE1Aビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。タイマ/カウンタ1で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ1比較A割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込みが実行されます。

### ● ビット3 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter 1 Overflow Interrupt Enable)

TOIE1ビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ1溢れ割り込み要求(TOV1)フラグが設定(1)されると、対応する割り込みが実行されます。

## 12.10.7. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$25	ICF1	–	OCF1B	OCF1A	TOV1	OCF0B	OCF0A	TOV0	TIFR
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ● ビット7 – ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter 1 Input Capture Flag)

タイマ/カウンタ制御レジスタA(TCCR1A)のICEN1とICES1ビットの設定に対応した捕獲事象が起こると、このフラグが設定(1)されます。捕獲割り込みベクタが実行されると、ICF1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF1は解除(0)できます。

### ● ビット5 – OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter 1 Output Compare B Match Flag)

OCF1Bビットは比較一致がタイマ/カウンタ(TCNT1)と比較レジスタ(OCR1B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF1Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較B一致割り込み許可(OCIE1B)ビット、OCF1Bが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが実行されます。

OCF1Bは比較B(OCR1B)レジスタが16ビット比較/捕獲動作で16ビットの比較レジスタまたは捕獲入力レジスタの上位バイトとして使われる時は設定(1)されません。

### ● ビット4 – OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter 1 Output Compare A Match Flag)

OCF1Aビットは比較一致がタイマ/カウンタ(TCNT1)と比較レジスタ(OCR1A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF1Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較A一致割り込み許可(OCIE1A)ビット、OCF1Aが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが実行されます。

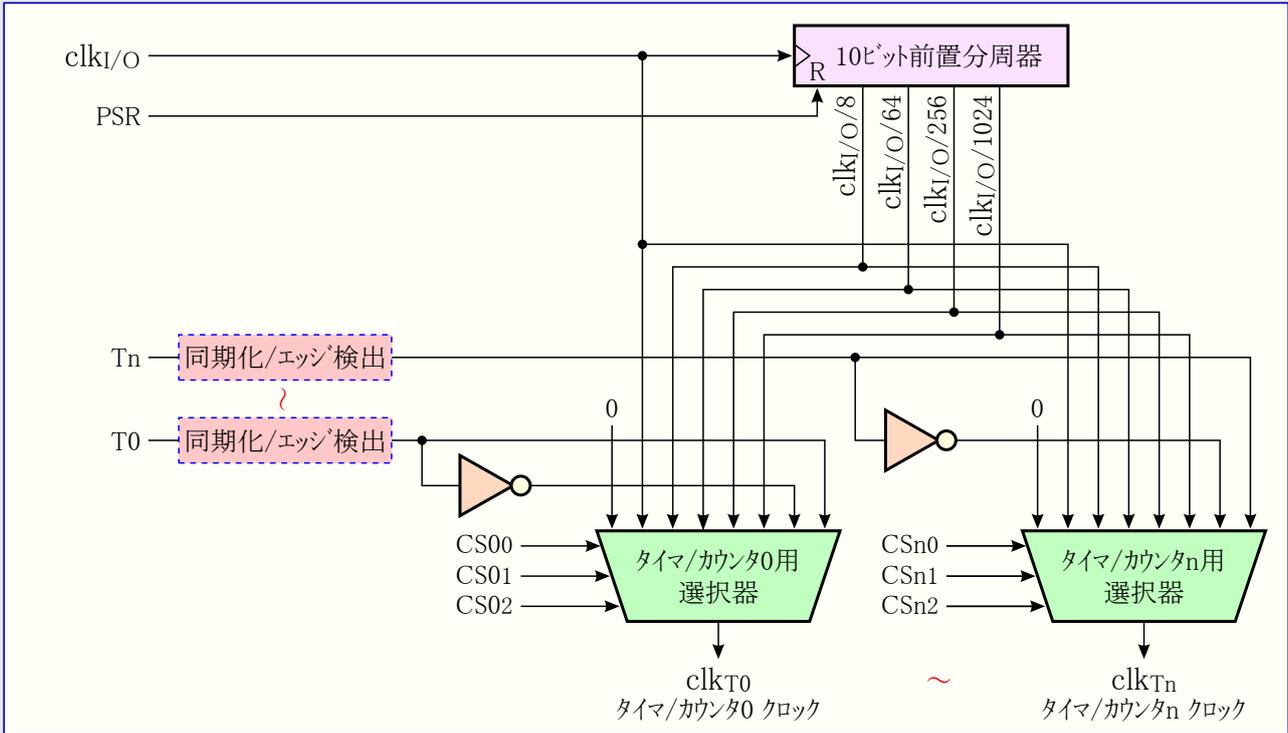
OCF1Aは16ビット動作でタイマ/カウンタとOCR1B/A内のデータ間に比較一致が起こる時にも設定(1)されます。OCF1Aは捕獲入力レジスタとしてOCF1Aが使われる時の捕獲入力では設定(1)されません。

### ● ビット3 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter 1 Overflow Flag)

TOV1ビットはタイマ/カウンタ(TCNT1)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV1はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV1は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット、TOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。



図13-2. タイマ/カウンタ0,1の前置分周器部構成図



注: 入力ピンの同期化/エッジ検出論理回路は図13-1.で示されます。

### 13.3. タイマ/カウンタ前置分周器制御用レジスタ

#### 13.3.1. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$18	FOC0A	FOC0B	TSM	PSR	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット5 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)**

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR10へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これはタイマ/カウンタが停止され、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSRビットはハードウェアによって解除(0)され、タイマ/カウンタが計数を始めます。

- **ビット4 – PSR : タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)**

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。通常、TSMビットが設定(1)されている場合を除いて、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが全てのタイマ/カウンタに影響を及ぼすことに注意してください(訳注:共通性から本行追加)。

## 14. 直列周辺インターフェース (SPI: Serial Peripheral Interface)

### 14.1. 特徴

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

### 14.2. 概要

直列周辺インターフェースはATtiny40と様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。

20頁の「PRR - 電力削減レジスタ」でのPRSPIビットはSPI部を許可するために0を書かれなければなりません。

SPIでの主装置と従装置のCPU間相互連結は図14-2で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置のSS(従装置選択)ピンをLowへ引き込む時に一群の通信を開始します。主装置と従装置は各々の移動レジスタに送出すべきデータを用意し、主装置はデータを交換するのに必要なクロックパルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データパケット後、主装置はSS(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

主装置として設定されると、SPIインターフェースにはSS信号線の自動制御がありません。これは通信を開始するのに先立ってユーザーソフトウェアによって操作されなければなりません。これが行われると、SPIデータレジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、またはSS(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

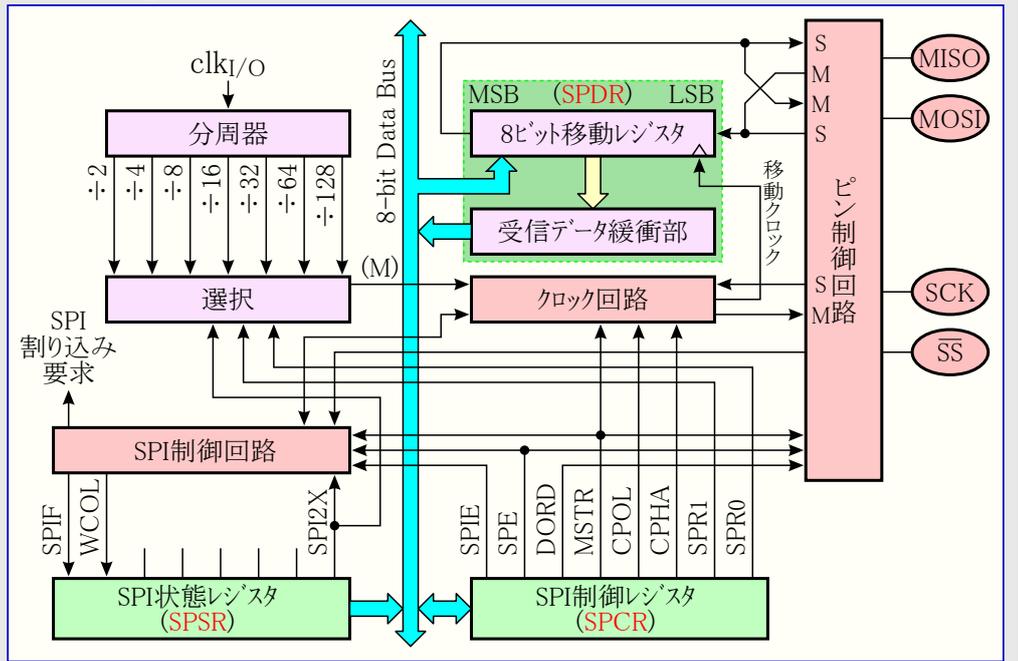
従装置として設定されると、SPIインターフェースはSSピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータレジスタ(SPDR)の内容を更新できますが、そのデータはSSピンがLowに駆動されるまでSCKピンでの到着クロックパルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータレジスタ(SPDR)へ書けないことを意味します。けれども、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータレジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトが失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI, MISO, SCK, SSピンのデータ方向は表14-1に従って無視されます。自動的なポート無視のより多くの詳細については34頁の「交換ポート機能」を参照してください。

図14-1. SPI構成図



注: SPIピン配置については2頁の「ピン配置」と表14-1を参照してください。

図14-2. SPI主装置/従装置の連結

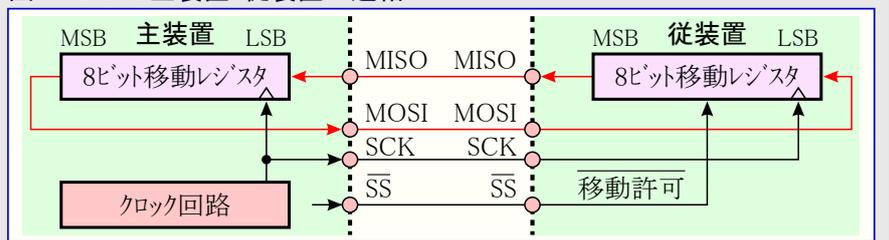


表14-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートC方向レジスタ(DDRC)の指定	入力
MISO	入力	ポートC方向レジスタ(DDRC)の指定
MOSI	ポートC方向レジスタ(DDRC)の指定	入力
SS	ポートC方向レジスタ(DDRC)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については39頁の「ポートCの交換機能」を参照してください。

次のコード例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR\_SPIはSPIピンを制御する実際のポート方向レジスタに置き換えられなければなりません。DD\_MOSI, DD\_MISO, DD\_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSIがPB5ピンに配置されるなら、DD\_MOSIはDDB5、DDR\_SPIはDDRBに置き換えま

#### アセンブリ言語プログラム例

```
SPI_M_Init: LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI, SCK=出力、他は入力値を取得
            OUT    DDR_SPI, R17                        ;MOSI, SCK=出力、他は入力に設定
            LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPRO) ;SPI許可、主装置、16分周値を取得
            OUT    SPCR, R17                          ;SPI許可、主装置、16分周に設定
            RET                                         ;呼び出し元へ復帰

SPI_M_Tx:   OUT    SPDR, R16                          ;データ(R16)送信開始
SPI_M_Tx_W: IN     R16, SPSR                          ;転送完了フラグ値取得
            SBRS   R16, SPIF                          ;転送完了ならばスキップ
            RJMP   SPI_M_Tx_W                         ;転送完了まで待機
;
            RET                                         ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);          /* MOSI, SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE) | (1<<MSTR) | (1<<SPRO);        /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                  /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                   /* 転送完了まで待機 */
}
```

注: 5頁の「コード例」をご覧ください。

次のコード例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

#### アセンブリ言語プログラム例

```
SPI_S_Init: LDI    R17, (1<<DD_MISO)                 ;MISO出力、他は入力値を取得
            OUT    DDR_SPI, R17                     ;MISO出力、他は入力に設定
            LDI    R17, (1<<SPE)                   ;SPI許可値を取得
            OUT    SPCR, R17                       ;SPI許可設定
            RET                                         ;呼び出し元へ復帰

SPI_S_Rx:   IN     R16, SPSR                        ;転送完了フラグ値取得
            SBRS   R16, SPIF                        ;受信(転送)完了ならばスキップ
            RJMP   SPI_S_Rx                         ;受信(転送)完了まで待機
;
            IN     R16, SPDR                        ;受信データを取得
            RET                                         ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                          /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                 /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                       /* 受信(転送)完了まで待機 */
    return SPDR;                                     /* 受信データと共に復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

## 14.3. $\overline{SS}$ ピンの機能

### 14.3.1. 従装置動作

SPIが従装置として設定されると、従装置選択( $\overline{SS}$ )ピンは常に入力です。 $\overline{SS}$ がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのピンは入力です。 $\overline{SS}$ がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのピンは入力、SPIは非活動で、それは到着データを受信しないことを意味します。一旦 $\overline{SS}$ ピンがHighに駆動されると、SPI論理回路がリセットすることに注意してください。

この $\overline{SS}$ ピンはパケット/バイト同期に対して、従装置ビット計数器が主装置クロック発生器との同期を保つのに有用です。 $\overline{SS}$ ピンがHighに駆動されると、SPI従装置は直ちに送受信論理回路をリセットし、それは移動レジスタ内で部分的に受信したどのデータも取り落とします。

### 14.3.2. 主装置動作

SPIが主装置(SPI制御レジスタ(SPCR)の主装置許可(MSTR)ビット=1)として設定されると、 $\overline{SS}$ ピンの方向は使用者が決められます。

$\overline{SS}$ が出力として設定されると、このピンはSPIシステムに影響を及ぼされない標準出力ピンです。代表的にはこのピンがSPI従装置の $\overline{SS}$ ピンを駆動するでしょう。

$\overline{SS}$ が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。 $\overline{SS}$ ピンが入力として定義されたSPI主装置として設定される時に周辺回路によって $\overline{SS}$ ピンがLowに駆動されると、SPIシステムは他の主装置が従装置として選択してデータ送信を始めると解釈します。バスの衝突を避けるためにSPIシステムは次の動作を行います。

1. SPCRで主/従選択(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIシステムが従装置になる結果としてMOSIとSCKピンが入力になります。
2. SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)なら、割り込みルーチンが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、 $\overline{SS}$ がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRビットが未だ設定(1)されていることを常に検査すべきです。MSTRビットが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

## 14.4. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図14-3.と図14-4.で示されます。

図14-3. SPIデータ転送形式 (CPHA=0)

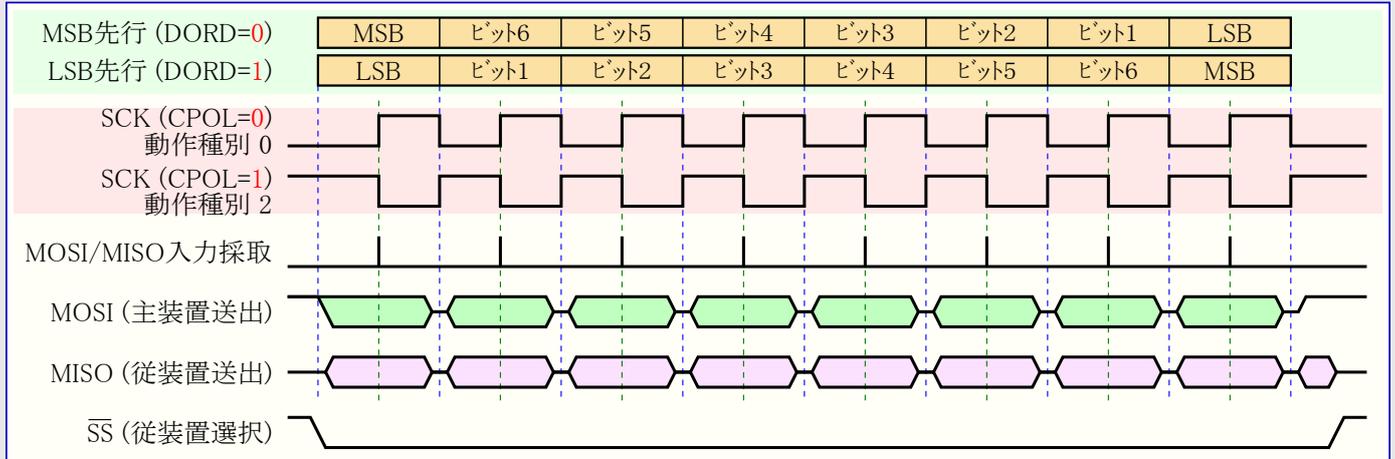
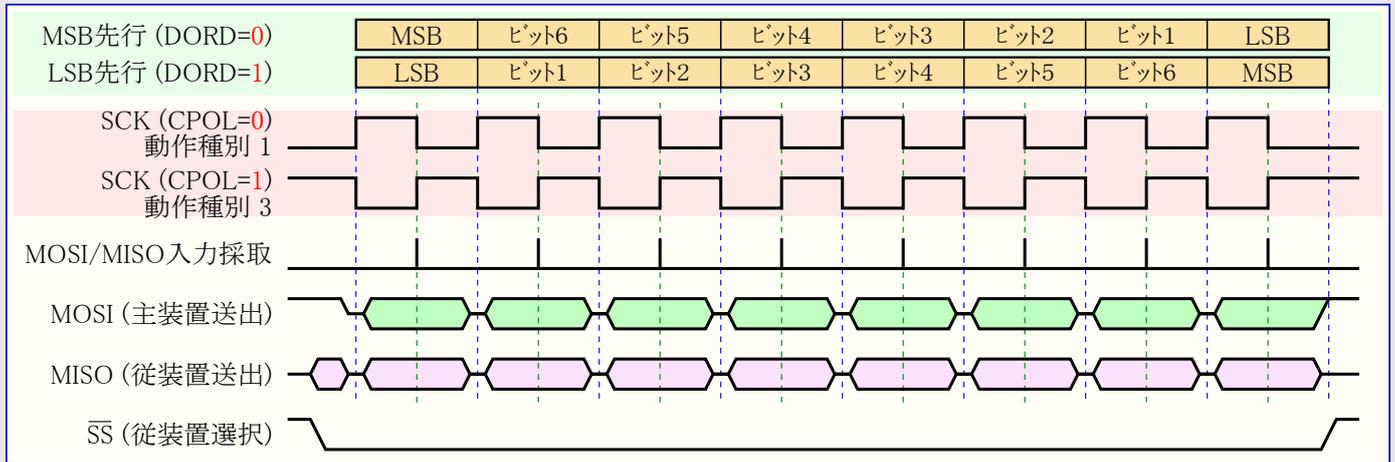


図14-4. SPIデータ転送形式 (CPHA=1)



データビットは安定のためデータ信号に対して十分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは以下で行われるように表14-3.と表14-4.を要約することによって明解にされます。

表14-2. CPOL,CPHA機能動作

SPI動作種別番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

## 14.5. SPI用レジスタ

### 14.5.1. SPCR – SPI制御レジスタ (SPI Control Register)

ビット	7	6	5	4	3	2	1	0	
\$30	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)**

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)されるなら、このビットがSPI割り込みを実行させます。

- **ビット6 – SPE : SPI許可 (SPI Enable)**

SPEビットが1を書かれるとSPIが許可されます。どのSPI操作を許可するにも、このビットが設定(1)されなければなりません。

- **ビット5 – DORD : データ順選択 (Data Order)**

DORDビットが1を書かれるとデータ語のLSBが最初に転送されます。DORDビットが0を書かれるとMSBが最初に転送されます。

- **ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)**

このビットは1を書かれると主装置動作、論理0を書かれると従装置動作を選択します。 $\overline{SS}$ が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)になります。その後にはSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

- **ビット3 – CPOL : SCK極性選択 (Clock Polarity)**

このビットが1を書かれると、アイドル時にSCKはHighです。CPOLが0を書かれると、アイドル時にSCKはLowです。例については図14-3.と図14-4.を参照してください。CPOL機能は右で要約されます。

表14-3. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

- **ビット2 – CPHA : SCK位相選択 (Clock Phase)**

このSCK位相選択(CPHA)ビットの設定はデータがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については図14-3.と図14-4.を参照してください。CPHA機能は右で要約されます。

表14-4. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

- **ビット1,0 – SPR1,0 : SPIクロック選択 (SPI Clock Rate Select 1 and 0)**

これら2ビットは主装置として設定されたデバイスのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(システム)発振器クロック周波数fosc間の関連は次表で示されます。

表14-5. SCK速度選択 (fosc=CPUクロック周波数)

SPR1	0	0	1	1		
SPR0	0	1	0	1		
SPI2X	1	0	1	0		
SCK周波数	fosc/2	fosc/4	fosc/8	fosc/16		
				fosc/32		
					fosc/64	
						fosc/128

### 14.5.2. SPSR – SPI状態レジスタ (SPI Status Register)

ビット	7	6	5	4	3	2	1	0	
\$2F	SPIF	WCOL	-	-	-	-	-	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)**

直列転送が完了すると、このSPIFフラグが設定(1)されます。全割り込みが許可(ステータスレジスタ(SREG)の全割り込み許可(I)ビット=1)されて、SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に $\overline{SS}$ ピンが入力でLowに駆動されるなら、これもこのSPIFフラグを同様に設定(1)します。対応する割り込み処理ベクタを実行する時にSPIFはハードウェアによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態レジスタ(SPSR)を最初に読み、その後にはSPIデータレジスタ(SPD R)にアクセスすることによってもSPIFフラグは解除(0)されます。

- **ビット6 – WCOL : 上書き発生フラグ** (Write Collision Flag)

データ転送中にSPIデータレジスタ(SPDR)が書かれると、このWCOLビットが設定(1)されます。WCOLビット(とSPIFビット)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を始めに読み、その後にSPIデータレジスタ(SPDR)をアクセスすることによって解除(0)されます。

- **ビット5~1 – Res : 予約** (Reserved Bit)

これらのビットは予約されており、常に0として読めます。

- **ビット0 – SPI2X : SPI倍速許可** (Double SPI Speed Bit)

このビットが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(表14-5参照)。これは最小SCK周期が2CPUクロック周期であることを意味します。SPIが従装置として設定される時にSPIはfOSC(CPUクロック周波数)/4またはそれ以下での動作のみ保証されます。

### 14.5.3. SPDR – SPIデータレジスタ (SPI Data Register)

ビット	7	6	5	4	3	2	1	0	
\$2E	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタとレジスタファイル(汎用レジスタ)間のデータ転送に使われる読み書き可能なレジスタです。このレジスタへの書き込みがデータ送信を開始します。このレジスタの読み込みは移動レジスタの受信緩衝部読み出しを引き起こします。

## 15. 2線従装置インターフェース (TWI: Two Wire Slave Interface)

### 15.1. 特徴

- Phillips社I<sup>2</sup>C適合
- SMBus適合
- 低システムクロックで100kHzと400kHzを支援
- スレーブ制限された出力駆動部
- 雑音除去を提供する入力濾波器
- ハードウェアでの7ビットと一斉呼び出しのアドレス認証
- アドレス遮蔽または2重アドレス一致用のアドレス遮蔽レジスタ
- 10ビットアドレス指定支援
- 無制限の従装置アドレス数を提供する任意選択のソフトウェアアドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- アドレス解決規約(ARP)(SMBus)に対する支援を許す従装置調停

### 15.2. 概要

2線インターフェース(TWI)は2線だけを使う双方向バス通信です。TWIはI<sup>2</sup>Cに適合、条件付でSMBusに適合します(77頁の「SMBusとの適合性」をご覧ください)。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多数の主装置を持って、そして同時に2つ以上の主装置が送信を試みる場合の優先権を調停手順が取り扱います。

ATtiny40のTWI単位部は従装置の機能だけを実装しています。バス上の協調損失、異常、衝突、クロック保持はハードウェアで検出され、独立した状態フラグで示されます。

7ビットと一斉アドレス呼び出しがハードウェアで実装されています。10ビットアドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレスの範囲での一致のための従装置アドレスに対する遮蔽レジスタとして働くことができます。従装置論理回路はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での休止からの起動を従装置に許します。アドレス一致を禁止し、代わりにソフトウェアでこれを扱うことも可能です。これは多数のアドレスに対する検知と応答を従装置に許します。自動起動操作のために簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検知するための情報を収集するバス状況論理回路を含みます。バス状況論理回路はパワーダウン動作を含む全ての休止形態で動作を継続します。

### 15.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ(トレン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。プルアップ抵抗の代替として定電流源が使えます。

TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

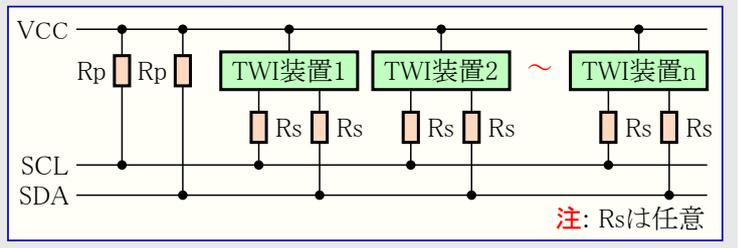
図15-1はTWIバス形態を図解します。

バスに接続した全ての従装置に固有のアドレスが割り当てられ、主装置は従装置をアドレス指定するのにこれを使ってデータ転送処理を始めます。7ビットまたは10ビットのアドレス指定が使えます。

多数の主装置が同じバスに接続でき、これは複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間のバス所有権を解決するために調停機構が提供されます。

デバイスは主装置と従装置の両論理回路を含み、2つ以上のアドレスに応答することによって複数従装置の擬似動作ができます。

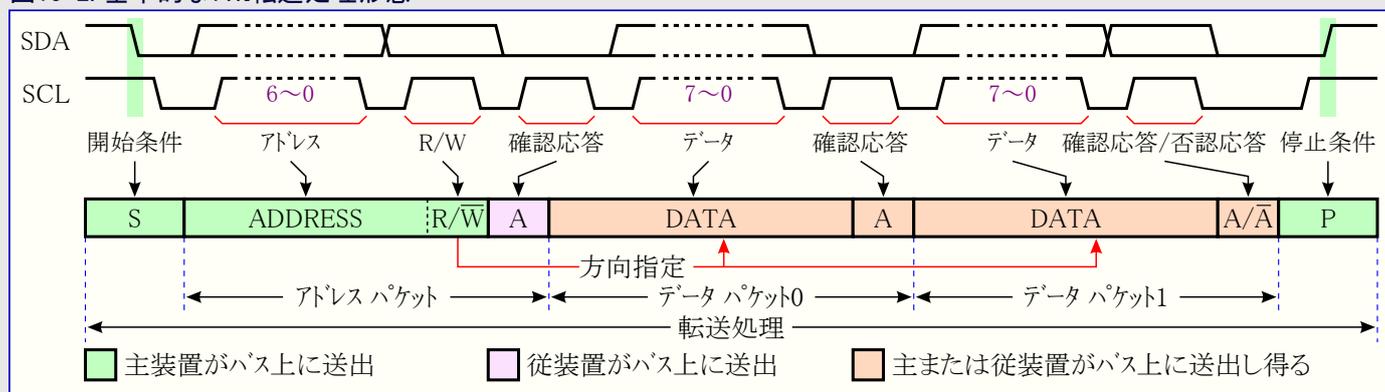
図15-1. TWIバス形態



主装置がバス上に**開始条件(S)**を発行することによって転送処理の開始を指示します。それから、従装置アドレス(ADDRESS)と主装置がデータを読みまたは書きどちらをしたいのかを示す(R/W)を持つアドレスパケットが送られます。データパケット(DATA)が転送された後、転送処理終了のためにバス上へ**停止条件(P)**を発行します。受信側は各バイトに対して**確認応答(A)**または**否認応答(A̅)**を行わなければなりません。

図15-2はTWI転送処理を示します。

図15-2. 基本的なTWI転送処理形態



主装置が転送処理に対してクロック信号を供給しますが、バスに接続された装置はクロック速度を下げるためにクロックのLow区間を引き伸ばすことが許されます。

### 15.3.1. 電気的特性

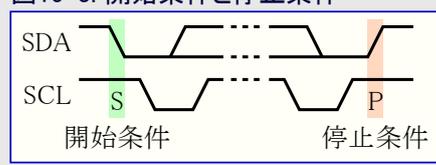
TWIはI<sup>2</sup>CとSMBusの電気的仕様とタイミングに従っています。77頁の「SMBusとの適合性」をご覧ください

### 15.3.2. 開始条件と停止条件

転送処理の始まり(**開始条件**)と終り(**停止条件**)を記すために2つの独特なバス状態が使用されます。主装置はSCL線をHighに保持すると同時にSDA線でHighからLowへの遷移を示すことによって**開始条件(S)**を発行します。主装置はSCL線をHighに保持すると同時にSDA線をLowからHighへの遷移を示すことによって**停止条件(P)**を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の**開始条件**が発行され得ます。**停止条件**に直接後続しない**開始条件**は**再送開始条件(Sr)**と名付けられます。

図15-3. 開始条件と停止条件

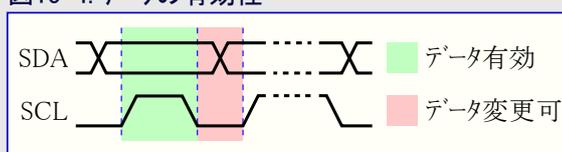


### 15.3.3. ビット転送

図15-4で図解されるように、SDA線で転送されるビットはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はクロックのLow区間の間でだけ変更できます。これはTWI単位部でのハードウェアで保証されます。

ビット転送の組み合わせがアドレスとデータの packets の編成に帰着します。これらの packets は最上位ビット先行転送の8データビット(1バイト)と**確認(ACK)**または**否認(NACK)**の応答の単一ビットから成ります。アドレス指定された装置は9クロック周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにして置くことによってNACKで合図します。

図15-4. データの有効性



### 15.3.4. アドレスパケット

**開始条件**後、読み/書き(R/W)ビットが後続する7ビットアドレスが送出されます。これは常に主装置によって送出されます。そのアドレスを認証する従装置は次のSCLクロックでSDA線をLowに引くことによってアドレスの**確認応答(ACK)**を行い、一方他の全ての従装置はTWI線の開放を維持して次の**開始条件**とアドレスを待ちます。7ビットアドレス、R/Wビット、応答ビットの組み合わせがアドレスパケットです。各**開始条件**に対して1つのアドレスパケットだけが与えられ、これは10ビットアドレスが使われる時もです。

R/Wは転送処理の方向を指定します。R/WビットがLowなら、主装置書き込み転送処理を示し、従装置のそのアドレスの**確認応答**後に主装置はそのデータを送出します。逆の主装置読み込み操作については、従装置がそのアドレスの**確認応答**後にデータ送出を開始します。

### 15.3.5. データパケット

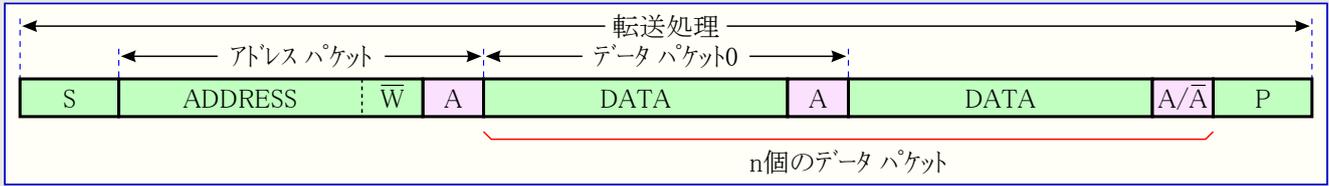
データパケットはアドレスパケットまたは他のデータパケットに続きます。全てのデータパケットは1つのデータバイトと応答ビットから成る9ビット長です。直前のアドレスパケット内の方向ビットがデータが転送される方向を決めます。

### 15.3.6. 転送処理

転送処理は開始条件から停止条件までの完全な転送で、その間のどの再送開始条件も含まれます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図15-5は主装置書き込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ビットを0に設定したアドレスパケット(ADDRESS+W)がそれに後続します。

図15-5. 主装置書き込み転送処理



従装置のアドレス確認応答が与えられると、主装置はデータ(DATA)の送信を開始でき、従装置は各バイトで確認応答(ACK)または否認応答(NACK) (A/A-bar)を行います。送信すべきデータパケットがない場合、主装置はアドレスパケット直後に停止条件(P)を発行することによって転送処理を終了します。転送できるデータパケット数に制限はありません。従装置がデータに否認応答(NACK)で合図した場合、主装置は従装置がこれ以上データを受信できず、転送処理を終了すると認識しなければなりません。

図15-6は主装置読み込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ビットを1に設定したアドレスパケット(ADDRESS+R)がそれに後続します。アドレス指定された従装置は転送処理の継続を許す主装置に対してアドレスの確認応答をしなければなりません。

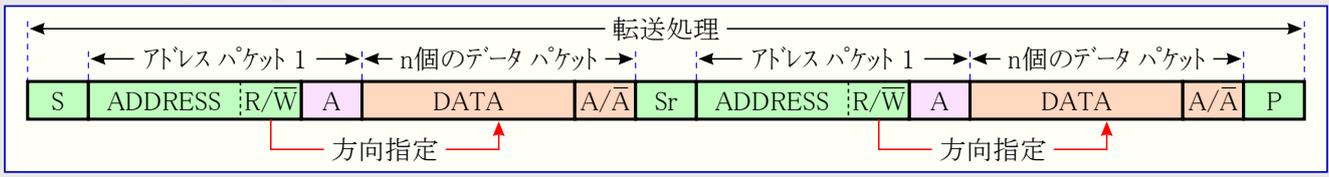
図15-6. 主装置読み込み転送処理



従装置のアドレス確認応答が与えられると、主装置は従装置からのデータ受信を開始できます。転送できるデータパケット数に制限はありません。従装置がデータを送信する一方で、主装置は各データバイト後に確認応答(ACK)または否認応答(NACK)で合図します。主装置は停止条件を発行する前に否認応答(NACK)で転送を終了します。

図15-7は組み合わせ転送処理を図解します。組み合わせ転送処理は再送開始条件(Sr)によって分離された多数の読み込みと書き込みの転送処理から成ります。

図15-7. 組み合わせ転送処理



### 15.3.7. クロックとクロック伸長

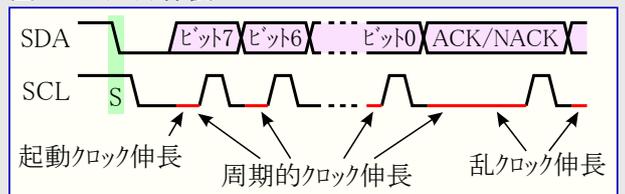
バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行えます。

クロック伸長は図15-8で示されるように3つの形式に定義できます。デバイスが休止形態動作で開始条件が検出された場合、クロックはデバイスに対する起動時間の間、引き伸ばされます。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合は、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図15-8. クロック伸長



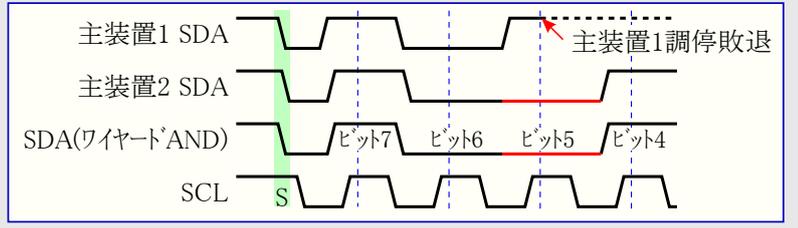
### 15.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使って解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後にバス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると**停止条件待機**)。従装置は調停手順に関係しません。

図15-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が**開始条件**を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。

再送開始条件とデータビット、停止条件とデータビット、または再送開始条件と停止条件の間は調停が許されず、ソフトウェアによる特別な扱いが必要です。

図15-9. TWI調停

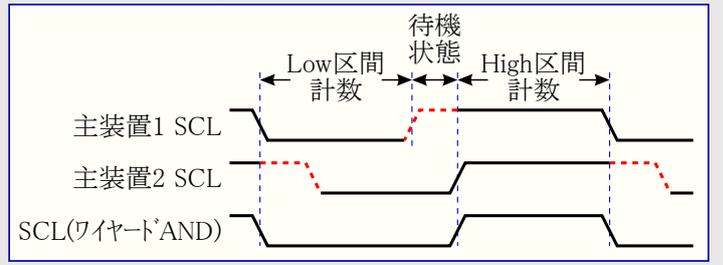


### 15.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使われるのと同じ原理に基づいています。図15-10.は2つの主装置がバスクロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤードANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow区間タイミグを開始します。このクロックLow区間のタイミグ長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放する前にはHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。その結果は最短クロック区間を持つ装置がHigh区間を決め、一方クロックのLow区間は最長クロック区間によって決められることです。

図15-10. クロック同期化



### 15.3.10. SMBusとの適合性

他のどのI<sup>2</sup>C適合インターフェースとでも既知の互換性の問題があるため、設計者はTWIデバイスがSMBusデバイスへ接続する前に知るべきです。SMBus環境での使用に関して以下が注意されるべきです。

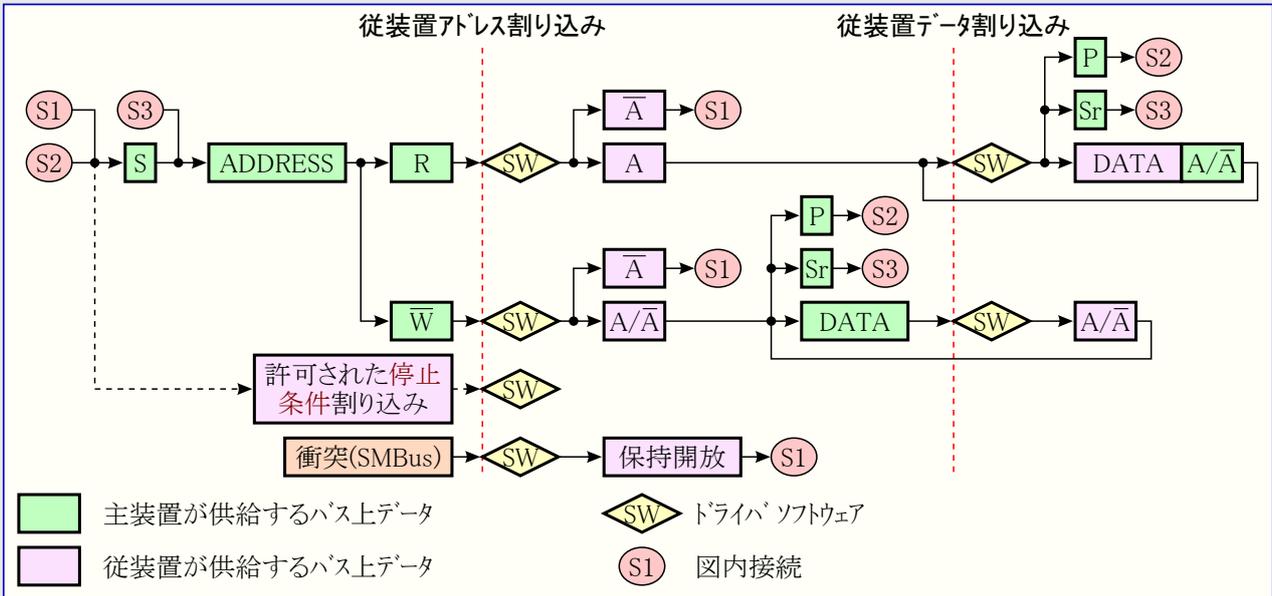
- 2線インターフェースのそれらを含むAVRの全ての入出力ピンは供給電圧とGNDの両方に保護ダイオードを持ちます。31頁の図10-1.をご覧ください。これはSMBus仕様の必要条件と矛盾します。結果として、供給電圧はAVRから取り除かれてはならず、さもなければ保護ダイオードがバス線を引き下げるでしょう。パワーダウンと休止形態は供給電圧が残っているなら問題ありません。
- TWIのデータ保持時間はSMBusに対する指定よりも小さくなっています。TWSCRAのTWI SDA保持時間許可(TWSHE)ビットは保持時間を増すのに使うことができます。79頁の「TWSCRA - TWI従装置制御レジスタ」をご覧ください。
- SMBusは低速限度を持ち、一方はI<sup>2</sup>C持ちません。SMBus環境での主装置の時に、より遅いバス速度がSMBus従装置で時間超過を起動するため、AVRはバス速度が仕様以下に低下しないことを確実にしなければなりません。AVRが従装置に構成設定された場合、TWI単位部が時間超過を識別しないため、バス固定化の可能性がります。

## 15.4. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。独立したデータ割り込みとアドレス/停止割り込みがあります。割り込みフラグはTWI割り込みの起動、またはポーリング操作に使うことができます。受信した(ACK)確認応答/(NACK)否認応答(TWRA)、クロック保持(TWCH)、衝突(TWC)、バス異常(TWBE)、読み/書き方向(TWDIR)を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのデータを扱う時間を従装置に与え、殆どの場合はソフトウェアの介入を必要とするでしょう。図15-11はTWI従装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。

図15-11. TWI従装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために**簡便動作**を許可にできます。

全てのアドレスに応答することを従装置に許すために**無差別動作(TWPME)**を許可にできます。

### 15.4.1. アドレス パケット受信

TWI従装置が正しく構成設定されていると、検出されるべき**開始条件**を待ちます。これが起きると、継続してアドレスバイトが受信されてアドレス一致論理回路によって調べられ、従装置は正しいアドレスに**確認応答(ACK)**します。受信したアドレスが不一致なら、従装置はアドレスに**応答せず**、新しい**開始条件**を待ちます。

**開始条件**に後続する有効なアドレス パケットが検出される時に、**従装置アドレス/停止割り込み要求フラグ(TWASIF)**が設定(1)されます。一斉呼び出しアドレスもこのフラグを設定(1)します。

**開始条件**直後の**停止条件**は不正操作で、**バス異常(TWBE)フラグ**が設定(1)されます。

**R/W方向(TWDIR)フラグ**はアドレスと共に受信された方向ビットを反映します。これは現在進行中の操作形式を決めるためにソフトウェアによって読むことができます。

R/W方向ビットとバス状況に依存して、以降のアドレス パケットで4つの別個の状態の1つ(4つの内の1つ)が起きます。異なる状態はソフトウェアで扱われなければなりません。

#### 15.4.1.1. 状態1: アドレス パケット受け入れ - 方向ビット=1

R/W方向(TWDIR)フラグが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって**確認応答(ACK)**が送出される場合、従装置ハードウェアは送信のためのデータが必要なことを示す**データ割り込み要求フラグ(TWDIF)**を設定(1)します。従装置によって**否認応答(NACK)**が送出される場合、従装置は新しい**開始条件**とアドレス一致を待ちます。

#### 15.4.1.2. 状態2: アドレス パケット受け入れ - 方向ビット=0

R/W方向(TWDIR)フラグが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって**確認応答(ACK)**が送出される場合、従装置は受信されるべきデータを待ちます。その後データ、**再送開始条件**、**停止条件**が受信され得ます。**否認応答(NACK)**が示された場合、従装置は新しい**開始条件**とアドレス一致を待ちます。

#### 15.4.1.3. 状態3: 衝突

従装置がHighレベルまたは**否認応答(NACK)**を送出できない場合、**衝突(TWC)フラグ**が設定(1)され、従装置からのデータと応答の出力が禁止されます。クロック保持は開放されます。**開始条件**と**再送開始条件**は受け入れられます。

#### 15.4.1.4. 状態4: 停止条件受信

動作は1つの例外付きで先の**状態1**または**状態2**と同じです。**停止条件**が受信されると、アドレス一致発生ではなく**停止条件**を示す**従装置アドレス/停止割り込み要求フラグ(TWASIF)**が設定**(1)**されます。

#### 15.4.2. データパケット受信

従装置は解除**(0)**されたR/W方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。これの応答後、従装置はデータを受信する準備を整えなければなりません。データパケットが受信されると、データ割り込み要求フラグ(TWDIF)が設定**(1)**され、従装置は**確認応答(ACK)**または**否認応答(NACK)**を示さなければなりません。NACK提示後、従装置は**停止条件**または**再送開始条件**を期待して待たなければなりません。

#### 15.4.3. データパケット送信

従装置は設定**(1)**されたR/W方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。その後に従装置データ(TWSD)レジスタへの書き込みによって送出手始められます。データパケット送信が完了されると、**データ割り込み要求フラグ(TWDIF)**が設定**(1)**されます。主装置が**否認応答(NACK)**を提示する場合、従装置はデータ送信を停止し、**停止条件**または**再送開始条件**を期待して待たなければなりません。

### 15.5. TWI用レジスタ

#### 15.5.1. TWSCRA – TWI 従装置制御レジスタA (TWI Slave Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$2D	TWSHE	–	TWDIE	TWASIE	TWEN	TWSIE	TWPME	TWSME	TWSCRA
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – TWSHE : TWI SDA保持時間許可 (TWI SDA Hold Time Enable)**

このビットが設定**(1)**されると、デバイスがSDDA線の変更を許される前に、各SCLの負遷移が追加の内部遅延を起動します。この追加遅延は概ね50nsの長さです。

これはSMBusシステムで有用かもしれません。

- **ビット6 – Res : 予約 (Reserved Bit)**

このビットは予約されており、常に0として読まれます。

- **ビット5 – TWDIE : TWIデータ割り込み許可 (TWI Data Interrupt Enable)**

このビットが設定**(1)**され、割り込みが許可されていると、TWI従装置状態レジスタA(TWSSRA)の**データ割り込み要求フラグ(TWDIF)**が設定**(1)**される時にTWI割り込みが生成されます。

- **ビット4 – TWASIE : TWIアドレス/停止割り込み許可 (TWI Address/Stop Interrupt Enable)**

このビットが設定**(1)**され、割り込みが許可されていると、TWI従装置状態レジスタA(TWSSRA)の**アドレス/停止割り込み要求フラグ(TWASIF)**が設定**(1)**される時にTWI割り込みが生成されます。

- **ビット3 – TWEN : 2線インターフェース許可 (Two-Wire Interface Enable)**

このビットが設定**(1)**されると、従装置2線インターフェースが許可されます。

- **ビット2 – TWSIE : TWI停止条件割り込み許可 (TWI Stop Interrupt Enable)**

停止条件割り込み許可(TWSIE)ビットの設定**(1)**は**停止条件**が検出された時にTWI従装置状態レジスタA(TWSSRA)の**アドレス/停止割り込み要求フラグ(TWASIF)**を設定**(1)**します。

- **ビット1 – TWPME : TWI無差別動作許可 (TWI Promiscuous Mode Enable)**

このビットが設定**(1)**されると、従装置アドレス一致論理回路は全ての受信アドレスに応答します。このビットが解除**(0)**されると、アドレス一致論理回路は自身のアドレスとしてどのアドレスを認証するかを決めるのに**TWI従装置アドレス(TWSA)レジスタ**を使います。

- **ビット0 – TWSME : TWI簡便動作許可 (TWI Smart Mode Enable)**

このビットが設定**(1)**されると、TWI従装置は**TWI従装置データ(TWSD)レジスタ**読み込み直後に応答動作が送出される簡便動作に移行します。応答動作は**TWI従装置制御レジスタB(TWSCRb)**の**応答動作(TWAA)ビット**によって定義されます。

このビットが解除**(0)**されると、応答動作はTWSCRbの**TWI指令(TWCMDn)ビット**が'1x'に書かれた後で送出されます。

### 15.5.2. TWSCR B – TWI 従装置制御レジスタB (TWI Slave Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$2C	-	-	-	-	-	TWAA	TWCMD1	TWCMD0	TWSCR B
Read/Write	R	R	R	R	R	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~3 – Res : 予約 (Reserved Bit)**

これらのビットは予約されており、常に0として読まれます。

● **ビット2 – TWAA : TWI応答動作 (TWI Acknowledge Action)**

このビットは主装置からアドレスまたはデータバイトが受信された後の従装置の応用の動きを定義します。TWI従装置制御レジスタA(TWSCR A)のTWI簡便動作許可(TWSME)ビットに依存して、応答動作はTWI指令(TWCMDn)ビットへ有効な指令が書かれた時か、またはデータレジスタ(TWSD)が読まれた時のどちらかで実行されます。応答動作はアドレス一致後にTWIアドレス/停止割り込み要求フラグ(TWASIF)を、または主装置送信中にTWIデータ割り込み要求フラグ(TWDIF)を解除(0)する場合にも実行されます。詳細については表15-1をご覧ください。

表15-1. TWI従装置の応答動作

TWAA	動作	TWSME	実行時
0	ACK送出	0	TWCMDnビットが10または11を書かれる時
		1	TWSDが読まれる時
1	NACK送出	0	TWCMDnビットが10または11を書かれる時
		1	TWSDが読まれる時

● **ビット1,0 – TWCMD1,0 : TWI指令 (TWI Command)**

これらのビット書き込みは表15-2によって定義されるような従装置動作を起動します。動作の形式はTWI従装置割り込みフラグのTWIアドレス/停止割り込み要求フラグ(TWASIF)とTWIデータ割り込み要求フラグ(TWDIF)に依存します。応答動作は従装置が主装置からデータバイトまたはアドレスバイトを受信する時にだけ実行されます。

表15-2. TWI従装置指令

TWCMD1,0	TWDIR	動作
00	x	動作なし
01	x	(予約)
10	完全な転送処理に使用	
	0	応答動作を実行し、そして何れかの開始条件または再送開始条件を待ちます。
	1	何れかの開始条件または再送開始条件を待ちます。
11	アドレスバイト(アドレス/停止割り込み要求フラグ(TWASIF)=1)への応答で使用	
	0	応答動作を実行し、そして次バイトを受信します。
	1	応答動作を実行し、そしてデータ割り込み要求フラグ(TWDIF)を設定(1)します。
	データバイト(データ割り込み要求フラグ(TWDIF)=1)への応答で使用	
	0	応答動作を実行し、そして次バイトを受信します。
	1	動作なし

TWCMDnビット書き込みはSCL線を自動的に開放してTWIクロック保持(TWCH)ビットと従装置割り込みを解除(0)します。TWI応答動作(TWAA)とTWCMDnのビットは同時に書くことができます。その後、指令が起動される前に応答動作が実行されます。TWCMDnビットは瞬時発行され(スロープ信号)、常に0を読みます。

### 15.5.3. TWSSRA – TWI 従装置状態レジスタA (TWI Slave Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$2B	TWDIF	TWASIF	TWCH	TWRA	TWC	TWBE	TWDIR	TWAS	TWSSRA
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – TWDIF : TWIデータ割り込み要求フラグ (TWI Data Interrupt Flag)**

このフラグはデータバイトが成功裏に受信された、換言すると動作中に衝突またはバス異常が起きない時に設定(1)されます。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。SCL線はこの割り込み要求フラグの解除(0)によって開放されます。

このビットへの1書き込みはこのフラグを解除(0)します。このフラグはTWI従装置制御レジスタB(TWSCR B)のTWI指令(TWCMDn)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● **ビット6 – TWASIF : TWIアドレス/停止割り込み要求フラグ** (TWI Address/Stop Interrupt Flag)

このフラグは有効なアドレスが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。SCL線はこの割り込み要求フラグの解除(0)によって開放されます。

TWI従装置制御レジスタ(TWSCRA)のTWIアドレス/停止割り込み許可(TWASIE)ビットが設定(1)なら、バス上の停止条件もTWASIFを設定(1)します。停止条件と開始条件間の最小バス開放時間よりもシステムクロックが速い場合に停止条件がこのフラグを設定(1)します。

このビットへの1書き込みはこのフラグを解除(0)します。このフラグはTWI従装置制御レジスタB(TWSCRB)のTWI指令(TWCMDn)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● **ビット5 – TWCH : TWIクロック保持** (TWI Clock Hold)

このビットは従装置がSCL線をLowに保持する時に設定(1)されます。

このビットは読み込み専用で、データ割り込み要求フラグ(TWDIF)またはアドレス/停止割り込み要求フラグ(TWASIF)が設定(1)される時に設定(1)されます。このビットは割り込み要求フラグの解除(0)とSCL線の開放によって間接的に解除(0)することができます。

● **ビット4 – TWRA : TWI受信応答** (TWI Receive Acknowledge)

このビットは主装置からの最終受信応答ビットを含みます。

このビットは読み込み専用です。0の時は主装置からの最終応答ビットが確認応答(ACK)で、1の時は最終応答ビットが否認応答(NACK)です。

● **ビット3 – TWC : TWI衝突** (TWI Collision)

このビットは従装置がHighのデータビット、否認応答(NACK)ビットを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置は通常動作を開始し、データと応答の出力を禁止します。Low値はSDA線上に全く移動出力されません。

このビットはこれへの1書き込みによって解除(0)されます。このビットは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

● **ビット2 – TWBE : TWIバス異常** (TWI Bus Error)

このビットは転送中に不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は再送開始条件または停止条件が検出され、直前の開始条件からのビット数が9の倍数でない場合に起きます。

このビットはこれへの1書き込みによって解除(0)されます。

検出されるべきバス異常に関して、システムクロック周波数はSCL周波数の最低4倍でなければなりません(訳注:共通性から本行追加)。

● **ビット1 – TWDIR : TWI読み/書き方向** (TWI Read/Write Direction)

このビットは主装置から受信した最後のアドレスパケットからの方向ビットを示します。このビットが1の時は主装置読み込み動作が進行中です。このビットが0の時は主装置書き込み動作が進行中です。

● **ビット0 – TWAS : TWIアドレス/停止条件** (TWI Address or Stop)

このビットはアドレス/停止割り込み要求フラグ(TWASIF)が最後に設定(1)されたのが何故かを示します。0なら、停止条件が引き起こしたTWASIFの設定(1)です。1なら、アドレス検出が引き起こしたTWASIFの設定(1)です。

**15.5.4. TWSA – TWI 従装置アドレスレジスタ** (TWI Slave Address Register)

ビット	7	6	5	4	3	2	1	0	
\$2A	TWSA7	TWSA6	TWSA5	TWSA4	TWSA3	TWSA2	TWSA1	TWSA0	TWSA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

従装置アドレスレジスタは主装置が従装置をアドレス指定しているかを判断するための従装置アドレス一致論理回路によって使われるTWI従装置アドレスを含みます。7または10ビットのアドレス認証形態使用時、上位7ビット(TWSA7~1)が従装置アドレスを表し、最下位ビット(TWSA0)は一斉呼び出しアドレス認証に使われます。TWSA0の設定(1)は一斉呼び出しアドレス認証論理回路を許可します。

10ビットアドレス使用時、アドレス一致論理回路は10ビットアドレスの最初のバイトのハードウェアアドレス認証を支援するだけです。TWSA7~1='11110nn'設定で、'nn'は従装置アドレスのビット9と8を表します。次の受信バイトが10ビットアドレスのビット7~0で、これはソフトウェアによって扱われなければなりません。

有効なアドレスバイトが受信されたことをアドレス一致論理回路が検知すると、アドレス/停止割り込み要求フラグ(TWASIF)が設定(1)され、読み/書き方向(TWDIR)フラグが更新されます。

従装置制御レジスタA(TWSCRA)の無差別動作許可(TWPME)ビットが設定(1)なら、アドレス一致論理回路はTWIバス上に送信された全てのアドレスに応答します。TWSAレジスタはこの動作形態で使われません。

### 15.5.5. TWSD – TWI 従装置データレジスタ (TWI Slave Data Register)

ビット	7	6	5	4	3	2	1	0	
\$28	TWSD7	TWSD6	TWSD5	TWSD4	TWSD3	TWSD2	TWSD1	TWSD0	TWSD
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

データ(TWSD)レジスタはデータを送受信する時に使われます。データ転送中、データはバスとTWSDレジスタ間で移動されます。従って、データレジスタはバイト転送中にアクセスできません。これはハードウェアで保護されています。データレジスタは従装置によってSCL線がLowを保持している時、換言すると**クロック保持(TWCH)フラグ**が設定(1)されている時にだけアクセスできます。

主装置が従装置からデータを読む時に送出すべきデータがTWSDレジスタに書かれなければなりません。バイト転送は主装置が従装置からデータバイトのクロック駆動を始める時に開始されます。続いて従装置は主装置からの応答ビットを受信します。そして**データ割り込み要求フラグ(TWDIF)**とTWCHが設定(1)されます。

主装置が従装置にデータを書く時に、1バイトがデータレジスタに受信された時にTWDIFとTWCHが設定(1)されます。**簡便動作**が許可の場合、データレジスタ読み込みは**TWI従装置制御レジスタB(TWSCR)**の**応答動作(TWAA)ビット**によって設定されるようにバス操作を起動します。

簡便動作でのTWSDのアクセスは従装置割り込み要求フラグとTWCHフラグを解除(0)します。

### 15.5.6. TWSAM – TWI 従装置アドレス遮蔽レジスタ (TWI Slave Address Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$29	TWSAM7	TWSAM6	TWSAM5	TWSAM4	TWSAM3	TWSAM2	TWSAM1	TWAE	TWSAM
Read/Write	R/W	R/W							
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7~1 – ADDRMask7~1 : TWIアドレス遮蔽 (TWI Address Mask)

これらのビットはアドレス許可(TWAE)ビット設定に依存して、第2アドレス一致レジスタまたはアドレス遮蔽レジスタとして働きます。

TWAEが0に設定される場合、TWSAMは7ビットの従装置アドレス遮蔽を格納することができます。TWSAM内の各ビットは**従装置アドレス(TWSA)レジスタ**内の対応するアドレスビットを遮蔽(禁止)することができます。遮蔽ビットが1の場合に到着アドレスビットとTWSA内の対応するビット間のアドレス一致が無視されます。換言すると、遮蔽されたビットは常に一致します。

TWAEが1に設定される場合、TWSAMはTWSAレジスタに加えて第2従装置アドレスを格納することができます。この動作形態では従装置がTWSAの1つとTWSAMの別の1つで2つの独自のアドレスに一致します。

#### ● ビット0 – TWAE : TWIアドレス許可 (TWI Address Enable)

既定によるこのビットは0で、TWSAMビットはTWSAレジスタに対するアドレス遮蔽として働きます。このビットが1に設定される場合、従装置アドレス一致論理回路はTWSAとTWSAM内の2つの独自のアドレスに回答します。

## 16. アナログ比較器

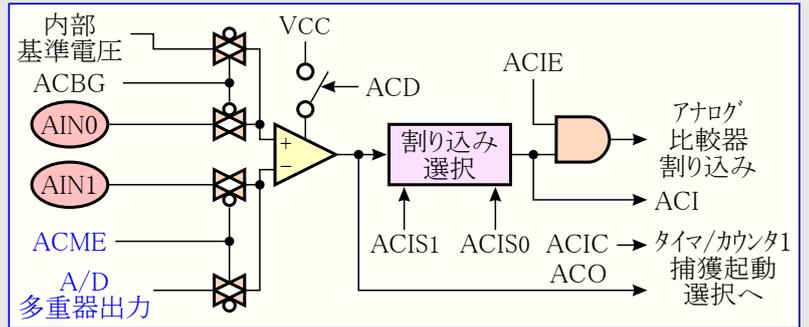
アナログ比較器は非反転入力AIN0(PA1)ピンと反転入力AIN1(PA2)ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRAのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図16-1.で示されます。

アナログ比較器ピン配置については2頁の「ピン配置」と36頁の表10-3.をご覧ください。

ADC入力多重器を使うにはA/D変換器電力削減(PRADC)ビットが禁止されなければなりません。これは電力削減レジスタ(PRR)内のPRADCビットを解除(0)することによって行われます。より多くの情報については20頁の「PRR - 電力削減レジスタ」をご覧ください。

供給電圧が2.7V以下の場合、アナログ比較器入力としてAIN0,AIN1または内部基準電圧を使うために、A/D変換器電力削減(PRADC)ビットを禁止することが推奨されます。

図16-1. アナログ比較器部構成図



注: A/D多重器出力については表16-1.をご覧ください。

### 16.1. アナログ比較器入力選択

A/D変換器(ADC)がシングルエンドとして設定される時、アナログ比較器への反転入力を取り替えるのにADC11~0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使われます。アナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器多重器許可(ACME)ビットが設定(1)された場合、A/D変換多重器選択(ADMUX)レジスタのチャンネル選択(MUX3~0)ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。

表16-1. アナログ比較器反転入力選択

ACME	MUX3~0	アナログ比較器反転入力
0	x x x x	AIN1
1	0 0 0 0	ADC0
	0 0 0 1	ADC1
	0 0 1 0	ADC2
	0 0 1 1	ADC3
	0 1 0 0	ADC4
	0 1 0 1	ADC5
	0 1 1 0	ADC6
	0 1 1 1	ADC7
	1 0 0 0	ADC8
	1 0 0 1	ADC9
	1 0 1 0	ADC10
1 0 1 1	ADC11	

### 16.2. アナログ比較器用レジスタ

#### 16.2.1. ACSRA - アナログ比較器 制御/状態レジスタA (Analog Comparator Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$14	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	ACSRA
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

#### ● ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)することができます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRAのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

#### ● ビット6 - ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、固定の内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。このビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。23頁の「内部基準電圧」をご覧ください(訳注: 共通性から本行追加)。

#### ● ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

● **ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)**

このビットは比較器出力での出来事がACSRAのアナログ比較器割り込み条件(ACIS1,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSRAのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

● **ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)**

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

● **ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)**

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。そして比較器出力は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ1捕獲割り込みを起動するにはタイマ/カウンタ1割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません。

● **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)**

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表16-2.で示されます。

ACIS1,ACIS0ビットを変更する時にACSRAのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表16-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

**16.2.2. ACSR B – アナログ比較器 制御/状態レジスタB (Analog Comparator Control and Status Register B)**

ビット	7	6	5	4	3	2	1	0	
\$13	HSEL	HLEV	ACLP	–	ACCE	ACME	ACIRS1	ACIRS0	ACSRB
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – HSEL : ヒステリシス許可 (Hysteresis Select)**

このビットが論理1を書かれると、アナログ比較器のヒステリシスが許可されます。ヒステリシスレベルはHLEVビットによって選択されます。

● **ビット6 – HLEV : ヒステリシスレベル選択 (Hysteresis Level)**

ヒステリシス許可(HSEL)ビット経由で許可されると、ヒステリシスレベルは表16-3.で示されるように、HLEVビットを使って設定することができます。

表16-3. アナログ比較器ヒステリシスレベル選択

HSEL	HLEV	アナログ比較器のヒステリシス
0	x	不許可
1	0	20mV
	1	50mV

● **ビット5 – ACLP :**

このビットはQTouch用に予約されており、常に0として書いてください。

● **ビット4 – 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

● **ビット3 – ACCE :**

このビットはQTouch用に予約されており、常に0として書いてください。

● **ビット2 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)**

このビットが論理1を書かれると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については前頁の「アナログ比較器入力選択」をご覧ください。

● **ビット1 – ACIRS1 :**

このビットはQTouch用に予約されており、常に0として書いてください。

● **ビット0 – ACIRS0 :**

このビットはQTouch用に予約されており、常に0として書いてください。

### 16.2.3. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$0D	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D AIN1D	ADC1D AIN0D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット2,1 – AIN1D,AIN0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)

このビットが論理1を書かれると、AIN1/0ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。AIN1/0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、このビットは論理1を書かれるべきです。

## 17. A/D変換器

### 17.1. 特徴

- 10ビット分解能
- 積分非直線性誤差1LSB
- 絶対精度±2LSB
- 13μsの変換時間
- 最大分解能で15kSPS(採取/s)
- 12チャンネルのシングルエンド入力多重器内蔵
- 温度感知器入力チャンネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~VCC A/D変換入力電圧範囲
- 1.1V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止動作雑音低減機能

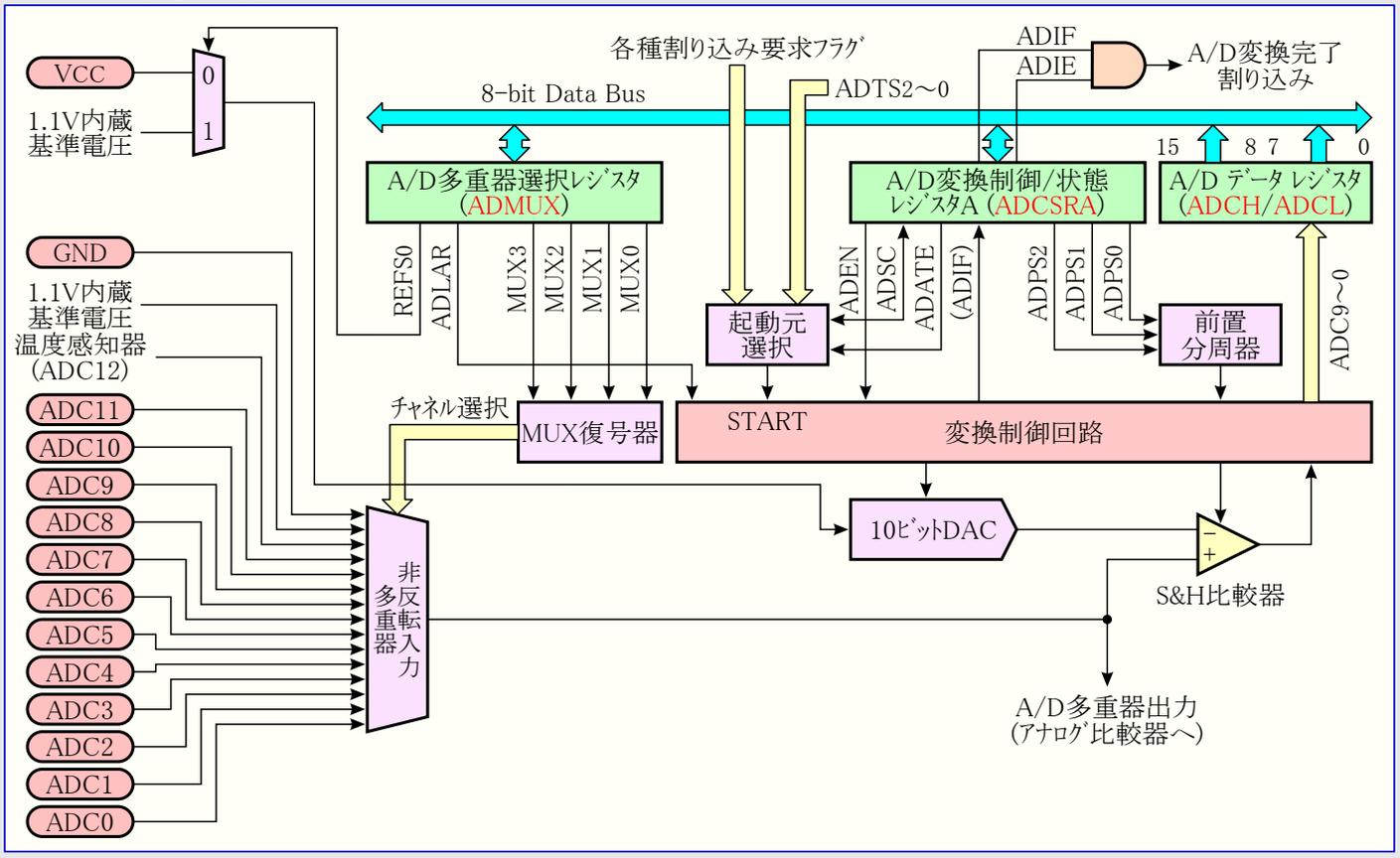
### 17.2. 概要

ATtiny40は10ビット逐次比較A/D変換器(ADC)が特徴です。ADCは12のシングルエンド入力ピンと、内部温度感知器から来るシングルエンド電圧チャンネルの1つの内部からの電圧測定をADCに許す13チャンネルのアナログ多重器に配線されています。電圧入力は0V(GND)が基準です。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図17-1.で示されます。

公称1.1Vの内部基準電圧がチップ上で提供されます。代わりにシングルエンドチャンネルに対する基準電圧としてVCCを使うことができます。

図17-1. A/D変換器部構成図



## 17.3. 操作

A/D変換部を使えるようにするため、ADC電力削減(PRADC)ビットが禁止されなければなりません。これは電力削減レジスタ(PRR)のPRADCビットを解除することによって行われます。より多くの詳細については20頁の「PRR - 電力削減レジスタ」をご覧ください。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部が電力を消費しないので、節電をする休止動作形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値は基準電圧を表します。A/D変換器基準電圧はA/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS)ビット書き込みによって選択されます。選択はVCC供給ピンと1.1V内部基準電圧です。

アナログ入力チャネルはA/D多重器選択(ADMUX)レジスタのチャネル選択(MUX3~0)ビットへの書き込みによって選択されます。GNDと固定基準電圧(1.1V内蔵基準電圧(VBG))だけでなく、どのADC入力ピン(ADC7~0)もA/D変換器のシングルエンド入力として選択できます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADCSRで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHだけを読むことで足りる。さもなければデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

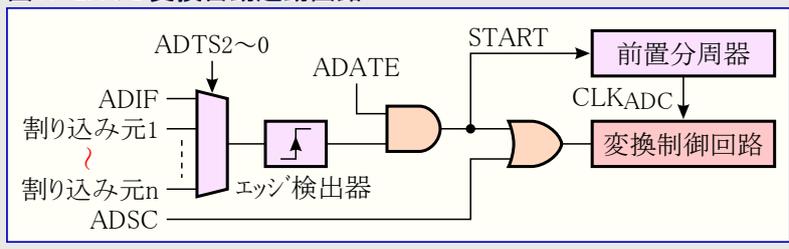
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えその変換結果が失われても割り込みは起動します。

## 17.4. 変換の開始

電力削減レジスタ(PRR)のA/D変換電力削減(PRADC)ビットを解除(0)することによってADCが給電されることを保証してください(20頁の「PRR - 電力削減レジスタ」をご覧ください)。単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り1に留まり、変換が完了される時にハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSR)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットして変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(1)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起さずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

図17-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためにA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタ更新を行います。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかにかかわらず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については90頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

## 17.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。1MHzよりも高い入力クロック周波数の使用は推奨されません。

図17-3.で図解されるように、A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周器はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は89頁の表17-1.で要約されるように、13変換クロック周期で行われます。

下の図17-4.で示されるように、A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

図17-3. A/D変換前置分周器部構成

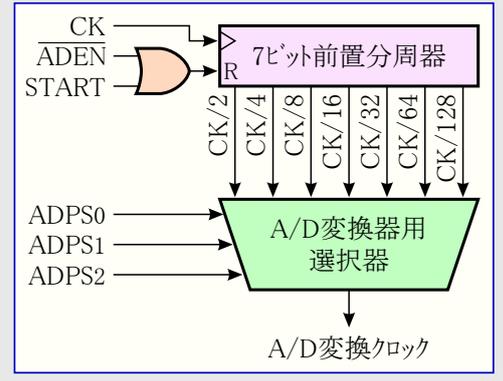
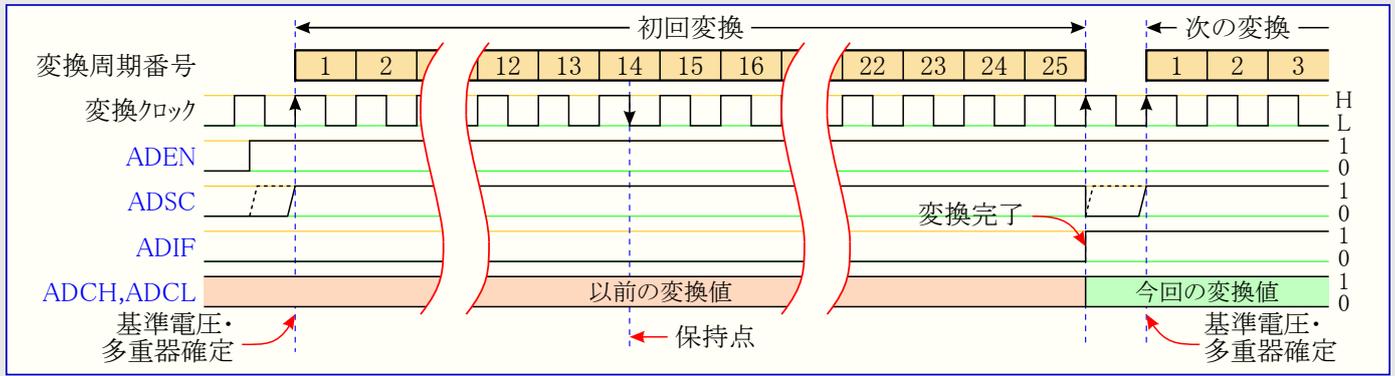
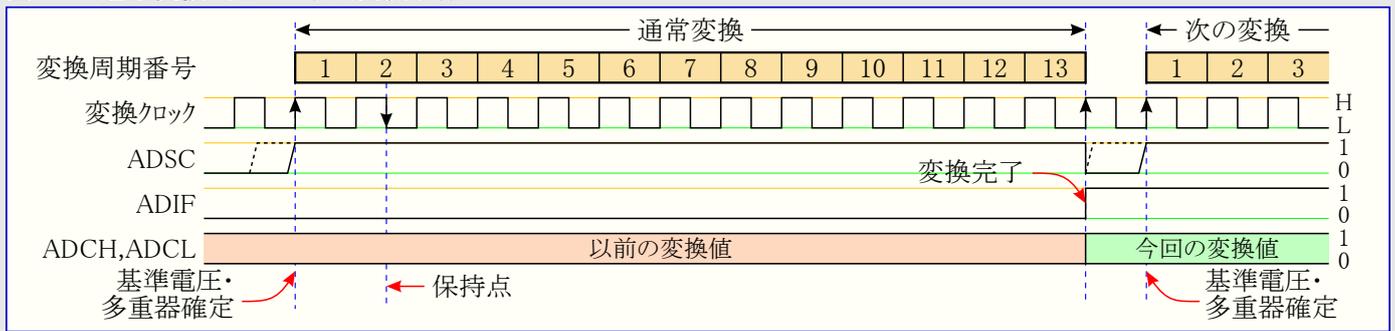


図17-4. 初回変換タイミング (単独変換動作)



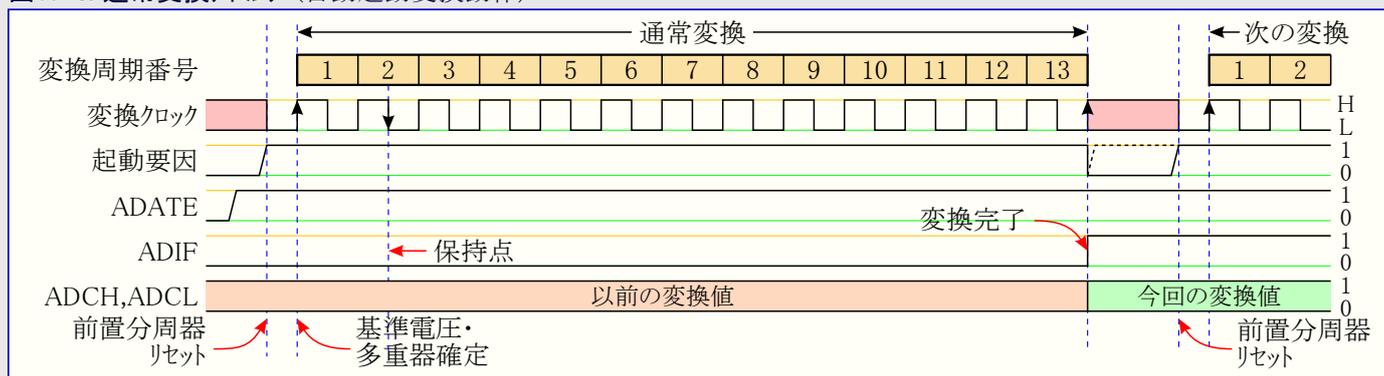
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。図17-5.をご覧ください。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図17-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、下の図17-6.で示されるように前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の3CPUクロック周期が費やされます。

図17-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。図17-7.をご覧ください。変換時間の要約については表17-1.をご覧ください。

図17-7. 連続変換動作タイミング

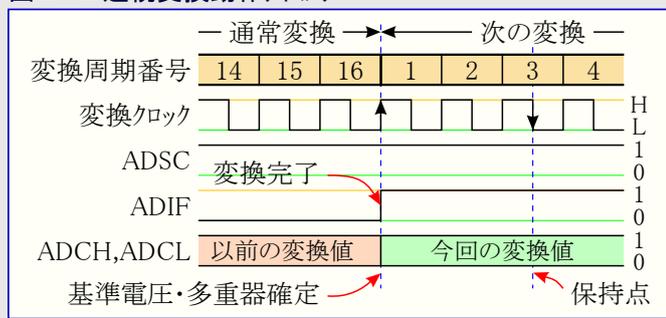


表17-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
通常変換	1.5	13
自動起動変換	2	13.5
連続変換	2.5	14

注: 変換時間を除く各値は変換開始からの変換クロック数です。

## 17.6. チャンネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャンネル選択(MUX3~0)ビットと基準電圧選択(REFS)ビットはCPUが不規則にアクセスするための一時レジスタを通して単独緩衝されます。これはチャンネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャンネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャンネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャンネルまたは基準電圧選択値をADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

### 17.6.1. A/D入力チャンネル

チャンネル変更する時に使用者は正しいチャンネルが選択されるのを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にチャンネルを選択してください。チャンネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれませんが、とは言え、最も簡単な方法はチャンネル変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にチャンネルを選択してください。チャンネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれませんが、とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャンネル変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャンネル選択を反映します。それに続く変換は新しいチャンネル選択を反映します。

## 17.6.2. A/D変換基準電圧

このA/D変換基準電圧( $V_{REF}$ )はA/D変換に対する変換範囲を示します。 $V_{REF}$ を越えるシングル エント'入力チャネルは\$3FFで打ち切る符号に帰着します。 $V_{REF}$ はVCCまたは1.1V内部基準電圧のどちらかとして選択できます。1.1V内部基準電圧は内部増幅器を通して内部ハントキャップ基準電圧(VBG)から生成されます。

基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

## 17.7. 雑音低減機能

A/D変換部は**休止動作**中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺I/Oが誘導した雑音を減らします。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可( $ADEN=1$ )され、変換中でない( $ADSC=0$ )ことを確認してください。単独変換動作が選択( $ADATE=0$ )され、且つA/D変換完了割り込みが許可( $ADIE=1$ )されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで通常動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止動作へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止動作へ移行する前にADENへ**0**を書くことが推奨されます。

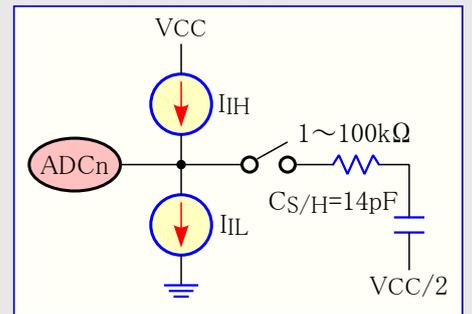
## 17.8. アナログ入力回路

シングル エント'入力チャネルのアナログ回路は**図17-8**で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ)信号源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10k $\Omega$ 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ)信号源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ)信号源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ)信号源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する信号を持つ低インピーダンス信号源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数( $f_{ADC}/2$ )よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器(ローパスフィルタ)で高い周波数成分を取り除くことが推奨されます。

図17-8. アナログ入力回路



**注:** 図内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

## 17.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要なとき、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分離すことを守ってください。
- 何れかのADCポートピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステムクロック周波数が1MHz以上、または「**温度測定**」で記述されるようにA/D変換が内部温度感知器読み込みに使われる場合です。正しい外部パコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

## 17.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を $2^n$ で直線的に変換します。最低値コードは0として読み、最高値コードは $2^n-1$ として読みます。以下の各種パラメータは理想状態からの偏差を表します。

### • オフセット誤差 - 図17-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

### • 利得誤差 - 図17-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

### • 積分非直線性誤差 (INL) - 図17-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

### • 微分非直線性誤差 (DNL) - 図17-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

### • 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5$ LSBです。

### • 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5$ LSBです。

図17-9. オフセット誤差

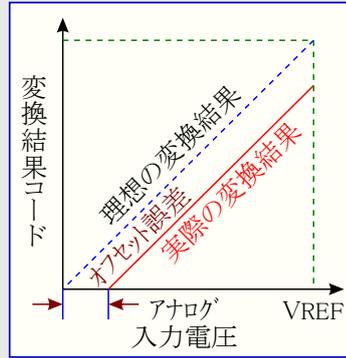


図17-10. 利得誤差

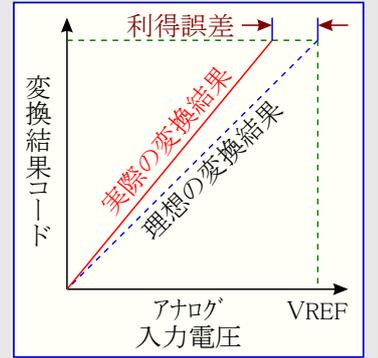


図17-11. 積分非直線性誤差

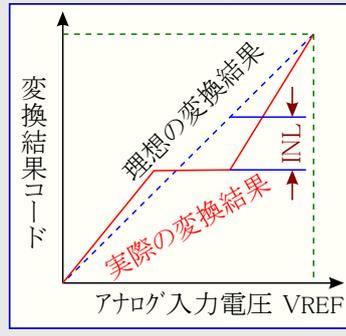
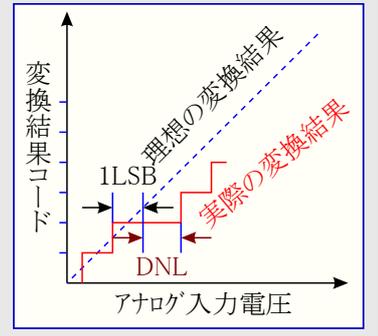


図17-12. 微分非直線性誤差



## 17.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。

結果は右式で示されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

$V_{IN}$ は選択した入力ピンの電圧で、 $V_{REF}$ は選択した基準電圧です(92頁の表17-3.と表17-4.をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。結果は\$03FF~\$0000の片側形式で表されます(訳補:±ではありません)。

## 17.12. 温度測定

温度測定はシングルエンドチャンネルに連結されるチップ上の温度感知器に基づきます。温度感知器はADC12チャンネル経由で測定され、A/D多重器選択(ADMUX)レジスタのチャンネル選択(MUX3~0)ビットへの'1110'書き込みによって許可されます。温度感知器測定に対する推奨A/D変換器基準電圧源は1.1V内部基準電圧です。温度感知器が許可されると、A/D変換器は温度感知器上の電圧測定を単独変換動作(ADATE=0)で使うことができます。

測定した電圧は表17-2.で記述されたように温度に対して直線関係を持ちます。感度は概ね1LSB/°Cで、精度は使用者校正に依存します。代表的には、室温校正との仮定で、1点温度校正後の測定精度は $\pm 10^\circ\text{C}$ です。より良い精度は校正に対して2つの温度点を使うことで達せられます。

表17-2.に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために、温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使って行なえます。

表17-2. 温度対感知器出力電圧 (代表値)

温度(°C)	-40°C	+25°C	+85°C
A/D変換値(LSB)	230	300	370

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでADCH:ADCLはA/D変換器データレジスタ、 $k$ は固定傾斜係数、 $T_{OS}$ は温度感知器オフセット値です。代表的に係数 $k$ は1.0に大変近く、1点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つ温度での測定を基に評価されるべきです。

## 17.13. A/D変換用レジスタ

### 17.13.1. ADMUX – A/D多重器選択レジスタ (ADC Multiplexer Select Register)

ビット	7	6	5	4	3	2	1	0	
\$10	–	REFS	REFEN	ADC0EN	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

- **ビット6 – REFS : 基準電圧選択 (Reference Selection Bit)**

このビットは表17-3.で示されるようにA/D変換器の基準電圧を選びます。このビットが変換中に変更されると、その変更はこの変換が完了する(ADCSRAのADIF=1)まで実施しません。このビットが変更された時に次の変換が25A/D変換クロック周期かかることにも注意してください。

表17-3. A/D変換部の基準電圧選択

REFS	基準電圧
0	アナログ基準としてVCCを使用
1	内部1.1V基準電圧

- **ビット5 – REFEN :**

このビットはQTouch用に予約されており、常に0として書いてください。

- **ビット4 – ADC0EN :**

このビットはQTouch用に予約されており、常に0として書いてください。

- **ビット3~0 – MUX3~0 : A/Dチャネル選択 (Analog Channel Select Bits 3~0)**

これらのビットの値はA/D変換器に接続されるアナログ入力を選びます。シングルエンド チャネル ADC12選択は温度測定を許可します。詳細については表17-4.をご覧ください。

表17-4. アナログ入力チャネル選択

MUX3~0	アナログ入力チャネル	MUX3~0	アナログ入力チャネル	MUX3~0	アナログ入力チャネル	MUX3~0	アナログ入力チャネル
0000	ADC0 (PA0)	0100	ADC4 (PA4)	1000	ADC8 (PB0)	1100	0V (GND)
0001	ADC1 (PA1)	0101	ADC5 (PA5)	1001	ADC9 (PB1)	1101	1.1V (V <sub>BG</sub> ) <sup>(1)</sup>
0010	ADC2 (PA2)	0110	ADC6 (PA6)	1010	ADC10 (PB2)	1110	ADC12 (温度) <sup>(2)</sup>
0011	ADC3 (PA3)	0111	ADC7 (PA7)	1011	ADC11 (PB3)	1111	(予約)

**注1:** 内部基準電圧切り替え後、A/D変換器は測定が安定するのに先立って1msの安定時間が必要です。これに先立つ変換開始は信頼できないかもしれません。A/D変換器はこの安定時間中に許可されなければなりません。

**注2:** 温度測定については91頁の「温度測定」をご覧ください。

これらのビットが変換中に変更される場合、その変更はこの変換が完了する(ADCSRAのADIF=1)まで実施しません。

### 17.13.2. ADCSRA – A/D制御/状態レジスタ (ADC Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$12	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – ADEN : A/D許可 (ADC Enable)**

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFにされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

- **ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)**

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

- **ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)**

このビットが1が書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSR)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

● **ビット4 – ADIF : A/D変換完了割り込み要求フラグ** (ADC Interrupt Flag)

A/D変換が完了してA/Dデータレジスタが更新される時にこのフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード モディファイライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます(訳注:アドレス範囲外のため、本行は不適切です)。

● **ビット3 – ADIE : A/D変換完了割り込み許可** (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このビットが解除(0)されると、この割り込みは禁止されます(訳注:共通性のため本行追加)。

● **ビット2~0 – ADPS2~0 : A/D変換クロック選択** (ADC Prescaler Select Bits)

これらのビットはXTAL(システム)周波数とA/D変換部への入力クロック間の分周値を決めます。

表17-5. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

17.13.3. A/D変換 制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$11	V DEN	VDPD	-	-	ADLAR	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – VD EN :**

このビットはQTouch用に予約されており、常に0として書いてください。

● **ビット6 – VDPD :**

このビットはQTouch用に予約されており、常に0として書いてください。

● **ビット5,4 – Res : 予約 (Reserved Bits)**

これらは予約ビットです。将来のデバイスとの共通性のため、常にこれらのビットへ0を書いてください。

● **ビット3 – ADLAR : 左揃え選択** (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については94頁の「A/Dデータレジスタ」をご覧ください。

● **ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択** (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビット値はどの起動元がA/D変換を起動するのを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表17-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ1比較B一致
1	1	0	タイマ/カウンタ1溢れ
1	1	1	タイマ/カウンタ1捕獲要求

### 17.13.4. A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

		ADLAR=0時								
ビット		15	14	13	12	11	10	9	8	
\$0F		-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
ビット		7	6	5	4	3	2	1	0	
\$0E		ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write		R	R	R	R	R	R	R	R	
初期値		0	0	0	0	0	0	0	0	
		ADLAR=1時								
ビット		15	14	13	12	11	10	9	8	
		ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
		7	6	5	4	3	2	1	0	
		ADC1	ADC0	-	-	-	-	-	-	ADCL

#### ● ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは91頁の「A/D変換の結果」で詳述されるように変換での結果を表します。A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなければADCLが先に、その後にADCHが読まれなければなりません。

A/D変換制御/状態レジスタB(ADCSR)の左揃え選択(ADLAR)ビットとA/D多重器選択レジスタ(ADMUX)のA/Dチャネル選択(MUX3~0)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えにされます。ADLARが解除(0)されると(既定)、結果は右揃えにされます。

### 17.13.5. DIDR0 - デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$0D	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D AIN1D	ADC1D AIN0D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7~0 - ADC7D~ADC0D : ADC7~0 デジタル入力禁止 (ADC7~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するために、そのビットは論理1を書かれるべきです。

### 17.13.6. PORTCR - ポート制御レジスタ (Port Control Register)

ビット	7	6	5	4	3	2	1	0	
\$08	ADC11D	ADC10D	ADC9D	ADC8D	-	BBMC	BBMB	BBMA	PORTCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ● ビット7~4 - ADC12D~ADC8D : ADC12~8 デジタル入力禁止 (ADC12~8 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するために、そのビットは論理1を書かれるべきです。

## 18. フログラミング インターフェース

### 18.1. 特徴

- 物理層:
  - 同期データ転送
  - 半二重双方向の送受信部
  - 1開始ビット、8ビット データ、1パリティビット、2停止ビットの固定構成形式
  - パリティ誤り検出、フレーミング誤り検出、中断キャラクタ検出
  - パリティ生成と衝突検出
  - データ送受信間への自動保護時間挿入
- アクセス層:
  - メッセージに基づく通信
  - 自動的な例外処理機構
  - 簡潔な命令一式
  - NVMプログラミング アクセス制御
  - Tinyプログラミング インターフェース制御/状態空間アクセス制御
  - データ空間アクセス制御

### 18.2. 概要

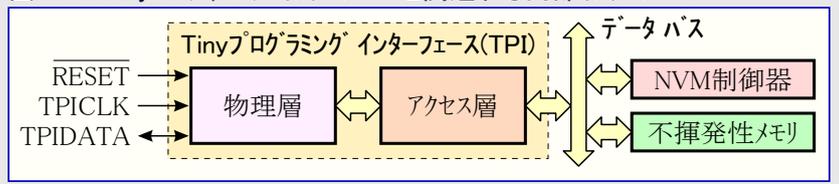
Tinyプログラミング インターフェース(TPI)は全ての不揮発性メモリ(NVM)の外部プログラミングを支援します。メモリプログラミングは102頁の「メモリプログラミング」で記述されるように、NVM制御器指令を実行することによってNVM制御器経由で行われます。

Tinyプログラミング インターフェース(TPI)はプログラミング設備へのアクセスを提供します。このインターフェースは物理層とアクセス層の2つの層から成ります。これらの層は図18-1.で図解されます。

プログラミングは物理的なインターフェースを経由して行われます。これは許可としてのRESETピン、クロック入力としてのTPICLKピン、データ入出力としてのTPIDATAピンを使う3ピン インターフェースです。

NVMは5Vでだけプログラミングすることができます。

図18-1. Tinyプログラミング インターフェースと関連する内部インターフェース



### 18.3. Tinyプログラミング インターフェースの物理層

TPI物理層は基本的な低位直列通信を扱います。TPI物理層は半二重双方向直列送受信部を使います。物理層は直列から並列へと並列から直列へのデータ変換、フレーム開始検出、フレーム異常検出、パリティ誤り検出、パリティ生成、衝突検出を含みます。

TPIは次のような3つのピン経由でアクセスされます。

- $\overline{\text{RESET}}$  : Tinyプログラミング インターフェース許可入力
- TPICLK : Tinyプログラミング インターフェース クロック入力
- TPIDATA : Tinyプログラミング インターフェース データ入出力

加えて、外部書き込み器とデバイス間でVCCとGNDが接続されなければなりません。

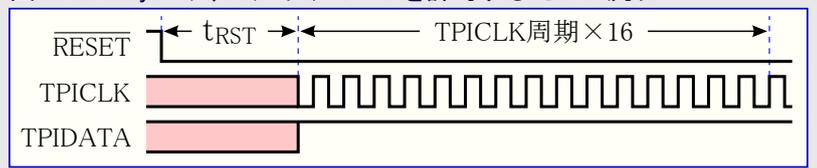
#### 18.3.1. 許可

以下の手順がTinyプログラミング インターフェースを許可します。

1. VCCとGND間に5Vを印加してください。
2. 使われるリセットの方法に依存して、次のどちらかを実行してください。
  - $t_{\text{ROUT}}$ (109頁の表20-4.をご覧ください)待って $\overline{\text{RESET}}$ ピンをLowに設定してください。これはデバイスをリセットしてTPI物理層を許可します。そしてプログラミング作業全体の間、 $\overline{\text{RESET}}$ ピンはLowに保たれなければなりません。
  - RSTDISBL構成設定ビットがプログラム(0)されている場合、 $\overline{\text{RESET}}$ ピンに12Vを印加してください。 $\overline{\text{RESET}}$ ピンはプログラミング作業全体の間、12Vに保たれなければなりません。
3.  $t_{\text{RST}}$ (109頁の表20-4.をご覧ください)待ってください。
4. 16 TPICLK周期の間、TPIDATAピンをHighに保ってください。

指針については図18-2.をご覧ください。

図18-2. Tinyプログラミング インターフェースを許可するための流れ



### 18.3.2. 禁止

NVM許可(NVMEN)ビットが解除(0)されていれば、RESETピンが不活性のHigh状態に開放されるか、または代替としてのVHV(12V)がもはやRESETピンに印加されない場合に、TPIは自動的に禁止されます。

NVM許可ビットが解除(0)されていなければ、TPIプログラミング動作形態を抜け出すのに電源断が必要とされます。

101頁で「TPISR - Tinyプログラミング インターフェース状態レジスタ」のNVMENビットをご覧ください。

### 18.3.3. フレーム形式

TPI物理層は固定フレーム形式を支援します。フレームは8ビット長の1つのキャラクタ、1つの開始ビット、パリティビット、2つの停止ビットから成ります。データは下位ビット先行で転送されます。

図18-3. 直列フレーム形式

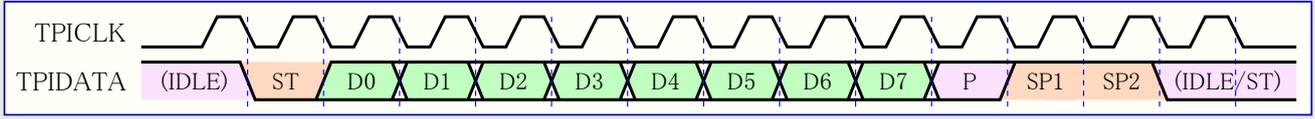


図18-3.で使った記号は次のとおりです。

- ST : 開始ビット (常にLow)
- D0～D7 : データビット (下位ビット先行送出)
- P : パリティビット (偶数パリティを使用)
- SP1 : 停止ビット1 (常にhigh)
- SP2 : 停止ビット2 (常にhigh)

### 18.3.4. パリティビット計算

パリティビットは常に偶数パリティを用いて計算されます。ビットの値は次のように全てのデータビットの排他的論理和(EOR)を行うことによって計算されます。

$$P = D0 \text{ EOR } D1 \text{ EOR } D2 \text{ EOR } D3 \text{ EOR } D4 \text{ EOR } D5 \text{ EOR } D6 \text{ EOR } D7 \text{ EOR } 0$$

ここでの記号は次のとおりです。

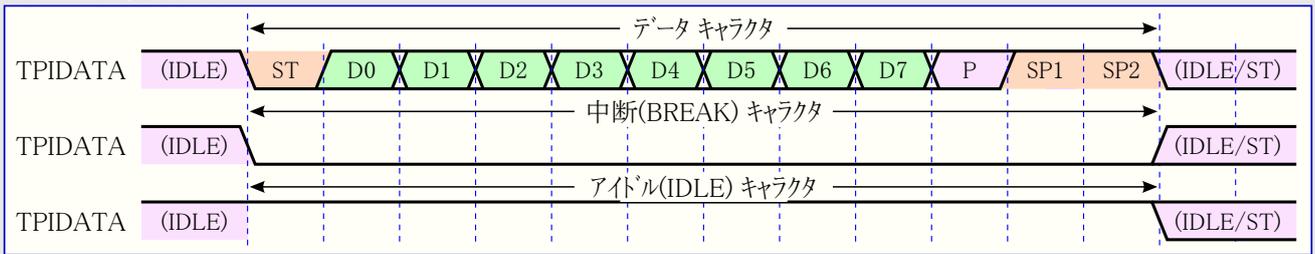
- P : 偶数パリティを用いたパリティビット
- D0～D7 : キャラクタのデータビット

### 18.3.5. 支援キャラクタ

中断(BREAK)キャラクタは12ビット長のLowレベルと等価です。これは12ビット長を越えて延長することができます。

アイドル(IDLE)キャラクタは12ビット長のHighレベルと等価です。これは12ビット長を越えて延長することができます。

図18-4. 支援キャラクタ

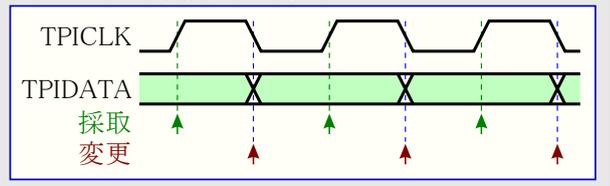


### 18.3.6. 動作

TPI物理層は外部書き込み器によって供給されるTPICLKに同期して動作します。データ採取やデータ変更とクロック端の間での依存性が図18-5.で示されます。データは下降端で変更され、上昇端で採取されます。

TPI物理層は送信と受信の2つの動作形態を支援します。既定でのこの層は受信動作形態で開始ビットを持ちます。動作形態はアクセス層によって制御されます。

図18-5. データ変更とデータ採取



### 18.3.7. 直列データ受信

TPI物理層が受信動作形態の時は開始ビットが検出されると直ぐにデータ受信が開始されます。開始ビットに後続する各ビットがTPICLKの上昇端で採取され、第2停止ビットが受信されるまで移動レジスタに順次移動されます。移動レジスタに完全なフレームが存在する時に受信したデータはTPIアクセス層に対して利用可能です。

受信動作形態にはフレーム異常、パリティ誤り、中断検出の3つの例外が有り得ます。これらの全ての例外はTPIアクセス層に対して合図され、そして異常状態へ移行してTPI物理層を受信動作形態に置き、中断(BREAK)キャラクタを待ちます。

- フレーム異常例外。フレーム異常例外は停止ビットの状態を示します。フレーム異常例外は停止ビットが0として読まれた場合に設定されず。
- パリティ誤り例外。データビットのパリティはフレーム受信中に計算されます。フレームが完全に受信された後に結果がフレームのパリティビットと比較されます。比較失敗の場合にパリティ誤り例外が合図されます。
- 中断検出例外。中断検出例外は全て0の完全なフレームが受信された時に生成されます。

### 18.3.8. 直列データ送信

TPI物理層が新しいフレームを送出する準備が整っている時に、送信するデータを移動レジスタに格納することによって、それがデータ送信を始めます。移動レジスタが新データを格納されると、送信部はTPICLKによって与えられる転送速度で完全なフレームをTPIDATAへ送り出します。

送信中に衝突が検出された場合は出力駆動部が禁止されます。TPIアクセス層は異常状態へ移行してTPI物理層が受信動作形態に置かれ、中断(BREAK)キャラクタを待ちます。

### 18.3.9. 衝突検出例外

TPI物理層はデータの送信と受信の両方に1つの双方向データ線を使います。外部書き込み器とTPI物理層が同時にTPIDATAを駆動した場合に有り得る駆動競合が起こるかもしれません。駆動競合の影響を減らすため、衝突検出機構が支援されます。衝突検出はTPI物理層が駆動するTPIDATA線の状態に基づきます。

TPIDATA線は内部プルアップ付きの3状態プッシュプル駆動部によって駆動されます。論理0が送出される時に出力駆動部は常に許可されます。連続する論理1を送出する時に、その出力は最初のクロック周期の間だけ活動的に駆動されます。その後、出力駆動部は自動的にHi-Zにされ、TPIDATA線は内部プルアップによってHighを保持されます。出力は次に論理0が送出される時に再び許可されます。

衝突検出は送信動作形態で出力駆動部が禁止される時に許可されます。データ線は内部プルアップによって直ぐにHighを保持されるべきで、そしてそれが外部書き込み器によってLowに駆動されるかを見るために監視されます。その出力がLowに読まれる場合に衝突が検出されます。

衝突検出が実行される方法に関連するいくつかの潜在的な落とし穴があります。例えば、TPI物理層が連続する論理0のビット列、または論理1と0を交互に切り替えるビット列を送信する時に衝突を検出することができません。これは全ての時で出力駆動部が活性でTPIDATA線のポーリングを妨げるためです。けれども、単一フレーム内では2つの停止ビットが常に論理1として送信されるべきで、(フレーム形式が停止ビットに関して違反されていない限り)フレームに対して最低1回の衝突検出を許可します。

TPI物理層はTPIDATA線で衝突を検出した時に送信を止めます。衝突はTPIアクセス層へ合図され、そして物理層を直ちに受信動作形態に変更して異常状態になります。中断(BREAK)キャラクタを送出することによってだけ、TPIアクセス層は異常状態から回復することができます。

### 18.3.10. 方向変更

半二重動作の正しいタイミングを保証するため、物理層に簡単な保護時間機構が付加されています。TPI物理層が受信から送信の動作形態へ変更する時に、開始ビットが送信されるのに先立って構成設定可能な追加IDLEビット数が挿入されます。送受信動作形態間の最低遷移時間は2 IDLEビットです。合計IDLE時間は指定した保護時間+2 IDLEビットです。

保護時間はTinyプログラミング インターフェース物理層制御レジスタ(TPIPCR)の専用ビットによって構成設定されます。物理層が初期化された後の既定の保護時間値は128ビットです。

外部書き込みはTPI目的対象が受信から送信へ動作形態を変更する時にTPIDATA線の制御権を失います。保護時間機能はこの通信の危険な段階を緩和します。外部書き込み器が受信から送信へ動作形態を変更する時に、開始ビットが送信されるのに先立って最低1つのIDLEビットが挿入されるべきです。

## 18.4. Tinyプログラミング インターフェースのアクセス層

TPIアクセス層には外部書き込み器との通信を処理する責任があります。通信はメッセージ形式に基き、各メッセージは1またはより多くのバイト単位のオペランドが後続する命令から成ります。命令は常に外部書き込み器によって送られますが、オペランドは発行された命令の形式に依存して、外部書き込み器またはTPIアクセス層のどちらかによって送られます。

TPIアクセス層はTPI物理層のキャラクタ転送方向を制御します。例外後の異常状態からの回復も処理します。

Tinyプログラミング インターフェースの**制御/状態空間(CSS)**はTPIアクセス層の制御と状態のレジスタに割り当てられます。CSSはTPI自身の動作に直接影響するレジスタから成ります。これらのレジスタは**SLDCS**と**SSTCS**の命令を用いてアクセス可能です。

アクセス層は直接的、またはアドレスポイントとして**ポインタレジスタ(PR)**を用いて間接的のどちらかでデータ空間もアクセスすることができます。データ空間は**SLD**,**SST**,**SIN**,**SOUT**の命令を用いてアクセス可能です。アドレスポイントは**SSTPR**命令を用いてポインタレジスタに格納することができます。

### 18.4.1. メッセージ形式

各メッセージは1またはより多くのバイト オペランドが後続する命令から成ります。命令は常に書き込み器によって送られます。命令に依存して後続するオペランドの全ては外部書き込み器またはTPIのどちらかによって送出されます。

メッセージは次のように、命令に基いて2つの形式に分類することができます。

- **書き込みメッセージ**。書き込みメッセージはデータ書き込みを求められます。書き込みメッセージは全体的に外部書き込み器によって送られます。このメッセージ形式は**SSTCS**,**SST**,**SSTPR**,**SOUT**,**SKEY**の命令で使われます。
- **読み込みメッセージ**。読み込みメッセージはデータ読み込みを求められます。TPIはバイト オペランドを送出することによって要求に反応します。このメッセージ形式は**SLDCS**,**SLD**,**SIN**の命令で使われます。

**SKEY**命令を除く全ての命令は命令に続く1バイトのオペランドが必要です。**SKEY**命令は8バイトのオペランドが必要です。より多くの情報については「**TPI命令**」をご覧ください。

### 18.4.2. 例外処理と同期

TPIの定常動作からの例外は多くの状況が考慮されます。TPI物理層が受信動作形態の時のこれらの例外は以下です。

- TPI物理層がパリティ誤りを検出
- TPI物理層がフレーム異常を検出
- TPI物理層が中断(BREAK)キャラクタを認証

TPI物理層が送信動作形態の時に有り得る例外は以下です。

- TPI物理層がデータ衝突を検出

これら全ての例外がTPIアクセス層に合図されます。アクセス層は進行中のどの操作も中止することによって例外に返答し、そして異常状態へ移行します。アクセス層は中断(BREAK)キャラクタが受信されるまで異常状態に留まり、その後に既定状態へ戻されます。結果として外部書き込み器は単に2つの中断(BREAK)キャラクタを送信することによって常に規約を同期することができます。

## 18.5. 命令一式

TPIは**TPI制御/状態空間(CSS)**とデータ空間をアクセスするのに使われる簡潔な命令一式を持ちます。命令はTPI、NVM制御器、NVMメモリのアクセスを外部書き込み器に許します。**SKEY**を除く全ての命令は命令に続く1バイトのオペランドが必要です。**SKEY**命令は8バイトのデータが後続します。全ての命令はバイトの大きさです。

TPI命令一式は表18-1.で要約されます。

表18-1. 命令一式要約

ニモニック	オペランド	説明	動作
SLD	data,PR	間接アドレス指定を使ってデータ空間から直列取得	data←DS[PR]
	data,PR+	間接アドレス指定を使ってデータ空間から直列取得,事後増加	data←DS[PR],PR←PR+1
SST	PR,data	間接アドレス指定を使ってデータ空間へ直列格納	DS[PR]←data
	PR+,data	間接アドレス指定を使ってデータ空間へ直列格納,事後増加	DS[PR]←data,PR←PR+1
SSTPR	PR,a	直接アドレス指定を使ってポインタレジスタへ直列格納	PR[a]←data
SIN	data,a	データ空間から直列入力	I/O[a]←data
SOUT	a,data	データ空間へ直列出力	data←I/O[a]
SLDCS	data,a	直接アドレス指定を使って制御/状態空間から直列取得	CSS[a]←data
SSTCS	a,data	直接アドレス指定を使って制御/状態空間へ直列格納	data←CSS[a]
SKEY	Key,{8{data}}	鍵直列設定	Key←{8{data}}

### 18.5.1. SLD – 直列で間接アドレス指定を使ってデータ空間から取得

SLD命令は直列読み出しのためにデータ空間からTPI物理層移動レジスタへデータバイトを格納するのに間接アドレス指定を用います。データ空間位置はポインタレジスタ(PR)によって位置付けされ、このアドレスはデータがアクセスされる前に格納されなければなりません。ポインタレジスタは表18-2.で示されるように、その操作によって無変化のままか、または事後増加されるかのどちらかです。

表18-2. 直列でデータ空間からの取得(SLD)命令

動作	オペコード	備考	レジスタ
data←DS[PR]	0010 0000	PR←PR	無変化
data←DS[PR]	0010 0100	PR←PR+1	事後増加

### 18.5.2. SST – 直列で間接アドレス指定を使ってデータ空間へ設定

SST命令は物理層移動レジスタへ移されたデータバイトをデータ空間へ格納するのに間接アドレス指定を用います。データ空間位置はポインタレジスタ(PR)によって位置付けされ、このアドレスはデータがアクセスされる前に格納されていなければなりません。ポインタレジスタは表18-3.で示されるように、その操作によって無変化のままか、または事後増加されるかのどちらかにすることができます。

表18-3. 直列でデータ空間への格納(SST)命令

動作	オペコード	備考	レジスタ
DS[PR]←data	0110 0000	PR←PR	無変化
DS[PR]←data	0110 0100	PR←PR+1	事後増加

### 18.5.3. SSTPR – 直列でポインタレジスタへ設定

SSTPR命令は物理層移動レジスタへ移されたデータバイトをポインタレジスタ(PR)へ格納します。表18-4.で示されるように、命令のアドレスビットはポインタレジスタのどのバイトがアクセスされるのかを指定します。

表18-4. 直列でポインタレジスタへの格納(SSTPR)命令

動作	オペコード	備考
PR[a]←data	0110 100a	'a'はポインタレジスタのバイト位置を指示します。

### 18.5.4. SIN – 直列で直接アドレス指定を使ってI/O空間から取得

SIN命令は直列読み出しのためにI/O空間からTPI物理層移動レジスタへデータバイトを格納します。この命令は直接アドレス指定を用いて、表18-5.で示されるように、アドレスは命令の6つのアドレスビットから成ります。

表18-5. 直列で直接アドレス指定を使ってI/O空間から取得(SIN)命令

動作	オペコード	備考
data←I/O[a]	0aal aaaa	'a'と記されたビットは直接6ビットのアドレスを形成します。

### 18.5.5. SOUT – 直列で直接アドレス指定を使ってI/O空間へ設定

SOUT命令は物理層移動レジスタへ移されたデータバイトをI/O空間へ格納します。この命令は直接アドレス指定を用い、表18-6.で示されるように、アドレスは命令の6つのアドレスビットから成ります。

表18-6. 直列で直接アドレス指定を使ってI/O空間へ格納(SIN)命令

動作	オペコード	備考
I/O[a]←data	1aal aaaa	'a'と記されたビットは直接6ビットのアドレスを形成します。

### 18.5.6. SLDCS – 直列で直接アドレス指定を使って制御/状態空間からデータ取得

SLDCS命令は直列読み出しのためにTPI制御/状態空間からTPI物理層移動レジスタへデータバイトを格納します。SLDCS命令は直接アドレス指定を用い、表18-7.で示されるように、直接アドレスは命令の4つのアドレスビットから成ります。

表18-7. 直列で直接アドレス指定を使って制御/状態空間から取得(SLDCS)命令

動作	オペコード	備考
data←CSS[a]	1000 aaaa	'a'と記されたビットは直接4ビットのアドレスを形成します。

### 18.5.7. SSTCS – 直列で直接アドレス指定を使って制御/状態空間へデータ設定

SSTCS命令はTPI物理層移動レジスタに移されたデータバイトをTPI制御/状態空間へ格納します。表18-8.で示されるように、SSTCS命令は直接アドレス指定を用い、直接アドレスは命令の4つのアドレスビットから成ります。

表18-8. 直列で直接アドレス指定を使って制御/状態空間から取得(SLDCS)命令

動作	オペコード	備考
CSS[a]←data	1100 aaaa	'a'と記されたビットは直接4ビットのアドレスを形成します。

### 18.5.8. SKEY – 直列で鍵合図

SKEY命令はNVMプログラミングを許可する活性化鍵の合図に使われます。表18-9.で示されるように、SKEY命令は活性化鍵を含む8バイトのデータが後続します。

表18-9. 直列で鍵合図(KEY)命令

動作	オペコード	備考
KEY←{8}data}}	1110 0000	データバイトが命令後に続きます。

### 18.6. 不揮発性メモリ制御器のアクセス

既定でのNVMプログラミングは許可されていません。NVM制御器をアクセスして不揮発性メモリをプログラミングできるようにするには、SKEY命令を使って固有鍵が送られなければなりません。NVMプログラミングを許可する64ビットの鍵は表18-10.で与えられます。

表18-10. 直列鍵合図(KEY)命令

鍵	値
NVMプログラミング許可	\$1289AB45CDD888FF

鍵が与えられた後、不揮発性メモリが許可されるまでTPI状態レジスタ(TPISR)の不揮発性メモリ許可(NVMEN)ビットがポーリングされなければなりません。

NVMプログラミングはTPISRのNVMENビットへ論理0を書くことによって禁止されます。

### 18.7. 制御/状態空間レジスタ説明

Tinyプログラミング インターフェースの制御と状態のレジスタはこのインターフェースの制御/状態空間(CSS)に割り当てられます。これらのレジスタはI/Oレジスタ割り当ての一部ではなく、SLDCSとSSTCSの命令経由でだけアクセス可能です。制御と状態のレジスタはTPIの構成設定と状態監視に直接的に関係します。

CSSレジスタの要約は表18-11.で示されます。

表18-11. 制御と状態のレジスタ要約

アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
\$0F	TPIIR	Tinyプログラミング インターフェース識別符号							
\$03~\$0E	(予約)								
\$02	TPIPCR	-	-	-	-	-	GT2	GT1	GT0
\$01	(予約)	-	-	-	-	-	-	-	-
\$00	TPISR	-	-	-	-	-	-	NVMEN	-

#### 18.7.1. TPIIR – Tinyプログラミング インターフェース識別レジスタ (Tiny Programming Interface Identification Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$0F	TPIIC7	TPIIC6	TPIIC5	TPIIC4	TPIIC3	TPIIC2	TPIIC1	TPIIC0	TPIIR
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	0	0	0	0	0	0	0	

#### ● ビット7~0 – TPIIC7~0 : Tinyプログラミング インターフェース識別符号 (Tiny Programming Interface Identification Code)

これらのビットはTinyプログラミング インターフェースに対する識別符号を与えます。この符号はTPIの識別に対して外部書き込み器で使うことができます。Tinyプログラミング インターフェースの識別符号は表18-12.で示されます。

表18-12. Tinyプログラミング インターフェース用識別符号

符号	値
インターフェース識別	\$80

### 18.7.2. TPIPCR – Tinyプログラミング インターフェース物理層制御レジスタ (Tiny Programming Interface Physical Control Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$02	-	-	-	-	-	GT2	GT1	GT0	TPIPCR
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~3 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

- **ビット2~0 – GT2~0 : 保護時間 (Guard Time)**

これらのビットは受信動作形態から送信動作形態に変更する時にアイドル時間へ挿入される追加IDLEビット数を指定します。送信動作形態から受信への変更時に追加遅延は挿入されません。

受信から送信へ動作形態を変更する時の合計アイドル時間は保護時間+2 IDLEビットです。表18-13は利用可能な保護時間設定を示します。

既定保護時間は128 IDLEビットです。通信速度向上のため、保護時間は最短の安全な値に設定すべきです。

表18-13. 保護時間設定

GT2	GT1	GT0	保護時間(IDLEビット数)
0	0	0	+128 (既定値)
0	0	1	+64
0	1	0	+32
0	1	1	+16
1	0	0	+8
1	0	1	+4
1	1	0	+2
1	1	1	+0

### 18.7.3. TPISR – Tinyプログラミング インターフェース状態レジスタ (Tiny Programming Interface Status Register)

ビット	7	6	5	4	3	2	1	0	
CSS:\$00	-	-	-	-	-	-	NVMEN	-	TPISR
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~2,0 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

- **ビット1 – NVMEN : 不揮発性メモリプログラミング許可 (Non-Volatile Memory Programming Enabled)**

NVMプログラミングはこのビットが設定(1)されている時に許可されています。外部書き込み器は成功裏に許可されたインターフェースを検証するのにこのビットをポーリングすることができます。

NVMプログラミングはこのビットに0を書くことによって禁止されます。

## 19. メモリプログラミング

### 19.1. 特徴

- 2種の組み込み不揮発性メモリ:
  - 不揮発性メモリ施錠ビット(NVM施錠ビット)
  - フラッシュメモリ
- フラッシュメモリ側の4つの独立した領域:
  - コード領域(プログラムメモリ)
  - 識票領域
  - 構成設定領域
  - 校正領域
- 応用ソフトウェアから全不揮発性メモリへの読み込みアクセス
- 外部書き込み器から不揮発性メモリへの読み書きアクセス:
  - 全不揮発性メモリに対する読み込みアクセス
  - NVM施錠ビット、フラッシュコード領域、フラッシュ構成設定領域に対する書き込みアクセス
- 外部プログラミング:
  - 実装書き換えと大量生産プログラミングを支援
  - Tinyプログラミングインターフェース(TPI)を通してのプログラミング
- NVM施錠ビットでの高い安全性

### 19.2. 概要

不揮発性メモリ(NVM)制御器は不揮発性メモリに対する全てのアクセスを管理します。NVM制御器はNVMタイミングとアクセス権を制御し、そしてNVMの状態を保持します。

通常実行中、CPUはフラッシュメモリ(プログラムメモリ)のコード領域からコードを実行します。休止形態に入ってプログラミング動作が活性でない時に、フラッシュメモリは消費電力を最小にするために禁止されます。

全てのNVMはデータメモリに割り当てられます。応用ソフトウェアは間接アドレス指定の取得命令を用いてデータメモリの割り当てられた位置からNVMを読むことができます。

NVMは1つの読み出し口しか持たず、従って次の命令とデータは同時に読むことができません。応用がデータ空間に割り当てられたNVM位置からデータを読む時は、次の命令が取得される前にデータが先行して読まれます。CPUの実行はここで1システムクロック周期遅らされます。

NVMに対する内部プログラミング操作は禁止され、従ってNVMは応用ソフトウェアに対して読み込み専用として見えます。NVMの内部書き込みや消去は成功しません。

不揮発性メモリを書くために外部書き込み器によって用いられる方法は外部プログラミングとして参照されます。外部プログラミングは実装または大量生産の両方で行われます。外部書き込み器はTinyプログラミングインターフェース(TPI)経由でNVMを読み書きできます。

外部プログラミング動作形態では、読み込み専用の識票と校正の領域を除いて、全てのNVMを読み書きすることができます。

NVMは5Vでだけプログラミングすることができます。

### 19.3. 不揮発性メモリ

ATtiny40は以下の組み込みNVMを持ちます。

- 不揮発性メモリ施錠ビット
- 4つの独立した領域を持つフラッシュメモリ

#### 19.3.1. 不揮発性メモリ施錠ビット

ATtiny40は表19-1.で示されるように2つの施錠ビットを提供します。

表19-1. 施錠ビットバイト

名称	ビット番号	説明	既定値
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
NVLB2	1	不揮発性メモリ施錠ビット	1 (非プログラム)
NVLB1	0		1 (非プログラム)

施錠ビットは非プログラム(1)のままにしておくか、または表19-2.で示される追加の安全性を得るためにプログラム(0)することができます。施錠ビットはチップ消去指令でだけ、1に消去することができます。

表19-2. 施錠ビット保護種別

施錠種別	メモリ施錠ビット (注)		保護形式
	NVLB2	NVLB1	
1	1	1	メモリ施錠機能が全く許可されません。
2	1	0	フラッシュメモリの更なるプログラミング(書き込み)が外部プログラミング動作形態で禁止されます。構成設定領域ビットが外部プログラミング動作形態で施錠されます。
3	0	0	フラッシュメモリの更なるプログラミング(書き込み)と照合(読み込み)が外部プログラミング動作形態で禁止されます。構成設定領域ビットが外部プログラミング動作形態で施錠されます。

注: ・0はプログラム、1は非プログラムを意味します。

・NVLB1とNVLB2をプログラム(0)する前に構成設定領域をプログラミングして(書いて)ください。

### 19.3.2. フラッシュメモリ

ATtiny40の組み込みフラッシュメモリは表19-3.で示されるように4つの独立した領域を持ちます。

表19-3. フラッシュメモリ内のページ数とページの語数

領域	容量(バイト)	ページ容量(語)	ページ数	PADDR	WADDR
コード (プログラムメモリ)	4096 (2K語)	32	64	AP10~6	AP5~1
構成設定	32	32	1	-	AP5~1
識票 (注)	32	16	2	AP5	AP4~1
校正 (注)	32	32	1	-	AP5~1

注: これらの領域は読み込み専用です。

### 19.3.3. 構成設定領域

表19-4.で示されるように、ATtiny40は構成設定領域に属する1つの構成設定バイトを持ちます。

表19-4. 構成設定バイト

構成設定語アドレス	構成設定語データ	
	上位バイト	下位バイト
\$00	(予約)	構成設定バイト0
\$01~\$1F	(予約)	(予約)

表19-5.は全ての構成設定ビットの機能とそれらが構成設定バイトにどう割り当てられるかを簡単に記述します。

表19-5. 構成設定バイト0

ビット名	ビット	説明	既定値
-	7	(予約)	1 (非プログラム)
BODLEVEL2	6	低電圧検出器(BOD)検出電圧 (注)	1 (非プログラム)
BODLEVEL1	5		1 (非プログラム)
BODLEVEL0	4		1 (非プログラム)
-	3		(予約)
CKOUT	2	システムクロック出力	1 (非プログラム)
WDTON	1	ウォッチドッグタイマ常時ON	1 (非プログラム)
RSTDISBL	0	外部リセット禁止	1 (非プログラム)

注: BODLEVELヒューズの復号については110頁の表20-6.をご覧ください。

構成設定ビットはチップ消去によって影響を及ぼされませんが、これらは構成設定領域消去指令を用いて解除することができます(106頁の「構成設定領域消去」をご覧ください)。不揮発性施錠ビット1(NVLB1)がプログラム(0)された場合に構成設定ビットが施錠されることに注意してください。

#### 19.3.3.1. 構成設定ビットのラッチ

全ての構成設定ビットはデバイスがリセットされる時とデバイスが外部プログラミング動作形態を抜け出す時のどちらでもラッチされます。構成設定ビット値に対する変更はデバイスが外部プログラミング動作形態を去るまで無効です。

### 19.3.4. 識票領域

識票領域はデバイス識票のような種々雑多の情報を格納するのに用いられる専用のメモリ領域です。このメモリ領域の殆どは表19-6.で示されるように内部使用のために予約されています。

識票語アドレス	識票語データ	
	上位バイト	下位バイト
\$00	デバイス識別1	製造者識別
\$01	(内部使用のために予約)	デバイス識別2
\$02~\$3F	(内部使用のために予約)	(内部使用のために予約)

ATtiny40はデバイスを識別するのに使うことができる3バイトの識票符号を持ちます。表19-6.で示されるようにこの3バイトは識票領域に属します。ATtiny40用の識票データは表19-7.で与えられます。

デバイス	識票バイト		
	製造者識別	デバイス識別1	デバイス識別2
ATtiny40	\$1E	\$92	\$0E

### 19.3.5. 校正領域

ATtiny40は1つの校正バイトを持ちます。校正バイトは内蔵発振器用の校正データを含み、表19-8.で示されるように校正領域に属します。校正付き内蔵発振器の正しい周波数を保証するため、リセット中に校正バイトが自動的に発振校正(OSCCAL)レジスタ内に書かれます。

校正語アドレス	校正語データ	
	上位バイト	下位バイト
\$00	(予約)	内蔵発振器校正值
\$01~\$1F	(予約)	(予約)

#### 19.3.5.1. 校正値のラッチ

校正付き内蔵発振器の正しい周波数を保証するため、リセット中に校正バイトが自動的に発振校正(OSCCAL)レジスタ内に書かれます。

## 19.4. NVMのアクセス

NVM施錠ビットとフラッシュメモリの領域は11頁の図5-1.で示されるようにデータ空間に割り当てられます。NVMはこのデータ空間に割り当てられた位置経由で読み書きに関してアクセスすることができます。

NVM制御器は制御器にNVMで実行するのがどんな形式のプログラミング作業かを指示するのに使うことができる1式の指令を認証します。NVM制御器に対する指令はNVM指令レジスタ経由で発行されます。107頁の「NVMCMD – 不揮発性メモリ指令レジスタ」をご覧ください。選択した指令が格納された後、データ空間に割り当てられたNVM位置へデータを書くことによって操作が開始されます。

NVM制御器が操作実行中で多忙の時はNVM制御/状態レジスタのNVM多忙(NVMBSY)フラグ経由でこれを合図します。107頁の「NVMCSR – 不揮発性メモリ制御/状態レジスタ」をご覧ください。この多忙フラグが活性(1)である限り、NVM指令レジスタは書き込みアクセスに対して妨げられます。これは次の指令が開始され得る前に現在の指令が完全に実行されるのを保証します。

NVMのどの部分へのプログラミング(書き込み)も以下の操作を自動的に禁止します。

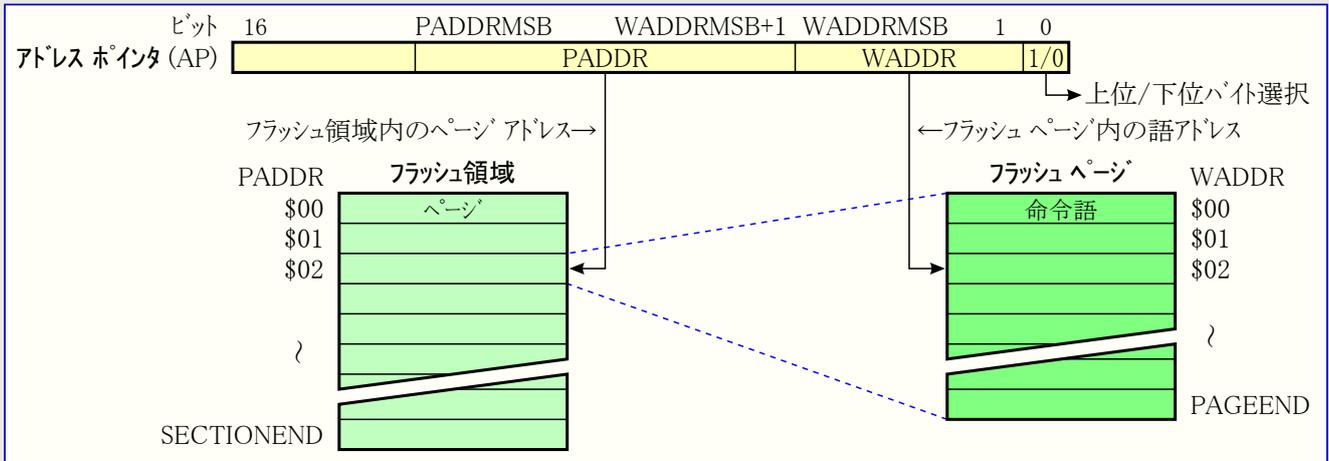
- NVMの他の何れかの部分に対する全てのプログラミング(書き込み)
- 何れかのNVM位置からの全ての読み込み

ATtiny40は外部プログラミングだけを支援します。NVMに対する内部プログラミング操作は禁止され、これはNVM位置を書くまたは消去する内部的などの試みも失敗することを意味します。

## 19.4.1. フラッシュのアドレス指定

データ空間はバイトアクセスを使いますが、フラッシュ領域がページで構成され、語としてアクセスされるため、データ空間のバイトアクセスはフラッシュ領域の語アドレスに変換されなければなりません。これは図19-1.で図解されます。また、103頁の表19-3.もご覧ください。

図19-1. フラッシュメモリのアドレス指定



データ空間アドレスの上位側ビットはデータ空間に割り当てられたNVM施錠ビットまたはフラッシュ領域を選択します。ページ内の語アドレス(WADDR)は[WADDRMSB~1]ビットにより、ページアドレス(PADDR)は[PADDRMSB~WADDRMSB+1]ビットによって保持されます。PADDRとWADDRと一緒にフラッシュ領域内の語の絶対アドレスを形成します。

フラッシュ領域アドレスの最下位ビットは語の上位または下位のバイトを選ぶのに用いられます。

## 19.4.2. フラッシュ読み込み

フラッシュメモリはデータ空間割り当て位置から一度に1バイトずつ読むことができます。読み込み操作に対して語アドレス内の上位または下位のバイトを選ぶのに最下位ビット(ビット0)が使われます。このビットが0ならば下位バイトが読まれ、1ならば上位バイトが読めます。

## 19.4.3. フラッシュ書き込み

フラッシュメモリは一度に4語書くことができます。フラッシュの語を書く前に目的フラッシュ位置が消去されなければなりません。未消去フラッシュ語への書き込みはその内容を不正にします。

フラッシュメモリは一度に4語書かれますが、データ空間はデータ空間に割り当てられたフラッシュメモリをアクセスするのにバイトアドレス指定を使います。従ってフラッシュメモリに対して正しい順序、即ち上位バイトの前の下位バイトで4語を書くことが重要です。最初の語の下位バイトが先に、その後上位バイトが一時緩衝部に書かれます。そして下位バイトとその後上位バイトを緩衝部へ書くことがフラッシュ書き込み緩衝部内に4語をラッチし、実際のフラッシュメモリ書き込み操作を開始します。

フラッシュ消去操作はフラッシュ領域全体にだけ実行することができます。

フラッシュ書き込み手順は次のとおりです。

1. フラッシュ領域消去またはチップ消去を実行してください。
2. 一度に4語でフラッシュ領域を書いてください。

### 19.4.3.1. チップ消去

チップ消去指令はフラッシュメモリのコード領域全体とNVM施錠ビットを消去します。けれども、安全性の理由のため、NVM施錠ビットはコード領域が完全に消去される前にリセットされません。構成設定、識票、校正の領域は変化しません。

チップ消去を始める前に、NVM指令(NVMCMD)レジスタはチップ消去(CHIP\_ERASE)指令を格納されなければなりません。消去操作を開始するには、フラッシュコード領域内に属する語位置の上位バイトに仮装バイトが書かれなければなりません。消去が完了されるまでNVM多忙(NVMBSY)フラグが設定(1)に留まります。フラッシュメモリが消去されつつある間、フラッシュ緩衝器格納またはフラッシュメモリ読み込みのどちらも実行することができません。

チップ消去は次のようにして実行することができます。

1. NVMCMDレジスタにCHIP\_ERASE指令を書いてください。
2. コード領域内のどれかの語位置の上位バイトに仮装バイトを書くことによって消去動作を開始してください。
3. NVMBSYフラグが解除(0)されるまで待ってください。

### 19.4.3.2. コード領域消去

フラッシュコード領域の全ページを消去する方法は次のとおりです。

1. NVMCMDレジスタに領域消去(SECTION\_ERASE)指令を書いてください。
2. コード領域内のどれかの語位置の上位バイトに偽装バイトを書くことによって消去動作を開始してください。
3. NVMBSYフラグが解除(0)されるまで待ってください。

#### 19.4.3.3. フラッシュコード書き込み

コード領域に4語を書く方法は次のとおりです。

1. NVMCMDレジスタにコード書き込み(CODE\_WRITE)指令を書いてください。
2. 目的語位置の下位バイトに最初の語の下位バイトを書いてください。
3. 同じ目的語位置の上位バイトに最初の語の上位バイトを書いてください。
4. 96頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
5. 次の目的語位置の下位バイトに2つ目の語の下位バイトを書いてください。
6. 同じ目的語位置の上位バイトに2つ目の語の上位バイトを書いてください。
7. 96頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
8. 次の目的語位置の下位バイトに3つ目の語の下位バイトを書いてください。
9. 同じ目的語位置の上位バイトに3つ目の語の上位バイトを書いてください。
10. 96頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
11. 次の目的語位置の下位バイトに4つ目の語の下位バイトを書いてください。
12. 同じ目的語位置の上位バイトに4つ目の語の上位バイトを書いてください。これがフラッシュ書き込み操作を始めます。
13. NVM多忙(NVMBSY)フラグが解除(0)されるまで待ってください。

#### 19.4.3.4. 構成設定領域消去

構成設定領域を消去する方法は次のとおりです。

1. NVMCMDレジスタに領域消去(SECTION\_ERASE)指令を書いてください。
2. 構成設定領域内のどれかの語位置の上位バイトに仮装バイトを書くことによって消去動作を開始してください。
3. NVMBSYフラグが解除(0)されるまで待ってください。

#### 19.4.3.5. 構成設定領域書き込み

構成設定語を書く方法は次のとおりです。

1. NVMCMDレジスタにコード書き込み(CODE\_WRITE)指令を書いてください。
2. 構成設定語位置の下位バイトにデータ語の下位バイトを書いてください。
3. 同じ構成設定語位置の上位バイトにデータ語の上位バイトを書いてください。
4. 97頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
5. 次の構成設定語位置の下位バイトに擬似バイトを書いてください。
6. 同じ構成設定語位置の上位バイトに擬似バイトを書いてください。
7. 97頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
8. 次の構成設定語位置の下位バイトに擬似バイトを書いてください。
9. 同じ構成設定語位置の上位バイトに擬似バイトを書いてください。これがフラッシュ書き込み操作を始めます。
10. 97頁の「支援キャラクタ」で記述されるようなアイドル(IDLE)キャラクタを送ってください。
11. 次の構成設定語位置の下位バイトに擬似バイトを書いてください。
12. 同じ構成設定語位置の上位バイトに擬似バイトを書いてください。これがフラッシュ書き込み操作を始めます。
13. NVMBSYフラグが解除(0)されるまで待ってください。

#### 19.4.4. NVM施錠ビット読み込み

不揮発性メモリ施錠バイトはデータ空間に割り当てられた位置から読むことができます。

#### 19.4.5. NVM施錠ビット書き込み

施錠ビットを書く方法は次のとおりです。

1. NVMCMDレジスタにコード書き込み(CODE\_WRITE)指令を書いてください。
2. 不揮発性メモリ施錠バイト位置に施錠ビット値を書いてください。これは不揮発性メモリ施錠語の下位バイトです。
3. NVM施錠語位置の上位バイトに仮装バイトを書くことによってNVM施錠ビット書き込み動作を開始してください。
4. NVMBSYフラグが解除(0)されるまで待ってください。

### 19.5. 自己プログラミング

ATtiny40は内部プログラミングを支援しません。

## 19.6. 外部プログラミング

外部書き込み器を用いて不揮発性メモリをプログラミングするための方法が外部プログラミングとして参照されます。外部プログラミングは実装と大量生産の両方で行うことができます。

不揮発性メモリはTinyプログラミングインターフェース(TPI)経由で外部的にプログラミングすることができます。TPIの詳細については95頁の「[プログラミング インターフェース](#)」をご覧ください。TPIを用いる外部書き込み器はI/O空間に割り当てられたNVMの制御と状態のレジスタとデータメモリ空間に割り当てられたNVMメモリをアクセスすることができます。

### 19.6.1. 外部プログラミング動作形態移行

TPIは外部プログラミング動作形態へ移行される前に許可されなければなりません。以下の手順はTPIが許可された後で外部プログラミング動作形態へ移行する方法を記述します。

1. **SKKEY命令**と共に**NVMメモリ アクセス鍵**を送ることによってNVMプログラミングの許可を要求してください。
2. それが設定(1)されるまで**TPI状態レジスタ(TPISR)**の**NVM許可(NVMEN)ビット**の状態をポーリングしてください。

TPIの許可とNVMプログラミングのより多くの詳細情報については95頁の「[プログラミング インターフェース](#)」の説明を参照してください。

### 19.6.2. 外部プログラミング動作形態抜け出し

NVMプログラミングを禁止するためにNVM許可(NVMEN)ビットを解除(0)し、そしてRESETピンを開放してください。

101頁の「[TPISR – Tinyプログラミング インターフェース状態レジスタ](#)」のNVMENビットをご覧ください。

## 19.7. NVMプログラミング用レジスタ

### 19.7.1. NVMCMD – 不揮発性メモリ指令レジスタ (Non-Volatile Memory Command Register)

ビット	7	6	5	4	3	2	1	0	
\$33	–	–	NVMCMD5	NVMCMD4	NVMCMD3	NVMCMD2	NVMCMD1	NVMCMD0	NVMCMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7,6 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

- **ビット5~0 – NVMCMD5~0 : 不揮発性メモリ指令 (Non-Volatile Memory Command)**

これらのビットは表19-9.で示されるようにフラッシュメモリ用のプログラミング指令を定義します。

表19-9. NVMプログラミング指令

操作形式	NVMCMD		ニーモニック	説明
	2進	16進		
一般	00 0000	\$00	NO_OPERATION	無操作
	01 0000	\$10	CHIP_ERASE	チップ消去
領域	01 0100	\$14	SECTION_ERASE	領域消去
語	01 1101	\$1D	CODE_WRITE	フラッシュ語書き込み

### 19.7.2. NVMCSCR – 不揮発性メモリ制御/状態レジスタ (Non-Volatile Memory Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$32	NVMBusy	–	–	–	–	–	–	–	NVMCSR
Read/Write	R/W	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – NVMBusy : 不揮発性メモリ多忙 (Non-Volatile Memory Busy)**

このビットはNVMメモリ(フラッシュメモリと施錠ビット)がプログラミング(書き込み)されつつあって多忙なことを示します。このビットはプログラミング(書き込み)動作が開始される時に設定(1)され、その動作が完了されるまで設定(1)に留まります。

- **ビット6~0 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

## 20. 電気的特性

### 20.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

### 20.2. DC特性

表20-1. DC特性 TA=-40°C~85°C

シンボル	項目	条件	最小	代表 (注1)	最大	単位
VIL	Lowレベル入力電圧	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
VIH	Highレベル入力電圧 (RESETを除く)	VCC=1.8~2.4V	0.7VCC (注3)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
	Highレベル入力電圧 (RESET)	VCC=1.8~5.5V	0.9VCC (注3)		VCC+0.5	V
VOL	Lレベル出力電圧 (RESETピン(注6)を除く) (注4)	IOL=10mA, VCC=5V			0.6	
		IOL=5mA, VCC=3V			0.5	
VOH	Hレベル出力電圧 (RESETピン(注6)を除く) (注5)	IOH=-10mA, VCC=5V	4.3			
		IOH=-5mA, VCC=3V	2.5			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	μA
IIH	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	
RRST	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	
ICC	活動動作消費電流 (注7)	VCC=2V, 1MHz		0.2	0.6	mA
		VCC=3V, 4MHz		1.1	2	
		VCC=5V, 8MHz		3.2	5	
ICC	アイドル動作消費電流 (注7)	VCC=2V, 1MHz		0.03	0.2	mA
		VCC=3V, 4MHz		0.2	0.5	
		VCC=5V, 8MHz		0.8	1.5	
ICC	パワーダウン動作消費電流 (注8)	VCC=3V, WDT許可		4.5	10	μA
		VCC=3V, WDT禁止		0.15	2	

注1: 25°Cでの代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吸い込み電流を流すことができるとは言え、(全ポートに対して)全IOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吸い込み電流を流すことは保証されません。

注5: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吐き出し電流を流すことができるとは言え、(全ポートに対して)全IOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吐き出し電流を流すことは保証されません。

注6: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。123頁の図21-32~124頁の図21-37をご覧ください。

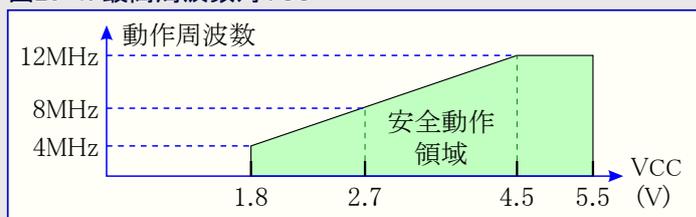
注7: 値は19頁の「消費電力の最小化」で記述された方法を使った値です。電力削減は許可(PRR=\$FF)され、I/Oの駆動は全くありません。

注8: 低電圧検出器(BOD)禁止。

## 20.3. 速度

デバイスの最高動作周波数はVCCに依存します。図20-1.で示されるように最高周波数対VCC間の関連は $1.8 < VCC < 2.7V$ と $2.7 < VCC < 4.5V$ 間で直線です。

図20-1. 最高周波数対VCC



## 20.4. クロック特性

### 20.4.1. 校正付き内蔵RC発振器の精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は130頁の図21-55.と131頁の図21-56.で得られます。

表20-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度(注)
工場校正	8.0MHz	3V	25°C	±10%
使用者校正	7.3~8.1MHz内の固定周波数	1.8~5.5V内の固定電圧	-40~85°C内の固定温度	±1%

注: 校正点での発振器周波数精度(固定温度と固定電圧)

### 20.4.2. 外部クロック信号駆動

図20-2. 外部クロック駆動波形

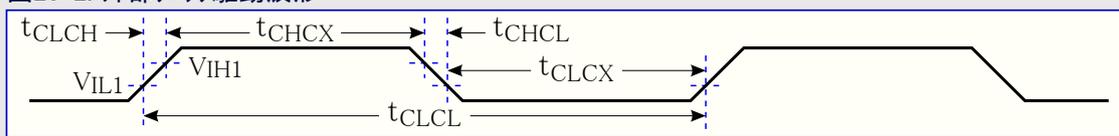


表20-3. 外部クロック特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最大	最大	
$1/t_{CLCL}$	クロック周波数	0	4	0	8	0	12	MHz
$t_{CLCL}$	クロック周期	250		125		83		
$t_{CHCX}$	Highレベル時間	100		40		20		ns
$t_{CLCX}$	Lowレベル時間	100		40		20		
$t_{CLCH}$	上昇時間		2.0		1.6		0.5	μs
$t_{CHCL}$	下降時間		2.0		1.6		0.5	
$\Delta t_{CLCL}$	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については15頁の「外部クロック信号」を参照してください。

## 20.5. システムとリセットの特性

表20-4. リセットと内部電圧の電気的特性

シンボル	項目	条件	最小	代表	最大	単位
$V_{RST}$	RESETピン閾値電圧		0.2VCC		0.9VCC	V
$V_{BG}$	内部バンドギャップ電圧	VCC=2.5V, TA=25°C	1.0	1.1	1.2	
$t_{RST}$	RESETピンでの最小パルス幅	VCC=1.8V		2		
		VCC=3V		0.7		μs
		VCC=5V		0.4		
$t_{TOUT}$	リセット起動後内部リセット保持時間			64	128	ms
$t_{BOD}$	最小低電圧検出時間			TBD		μs

## 20.5.1. 電源ONリセット

表20-5. 電源ONリセット特性 (TA=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
V <sub>POR</sub>	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
V <sub>POA</sub>	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
SR <sub>ON</sub>	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がV<sub>POA</sub>未満でなければ電源ONリセットは動作しません。

## 20.5.2. 低電圧検出 (BOD)

表20-6. BODLEVELヒューズ (VBOT) 設定 (注1)

BODLEVEL2~0	最小	代表	最大	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注1: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落として検査されます。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

## 20.6. 2線直列インターフェース特性

以下のデータは模擬実験と特性付けに基づきます。表20-7.で一覧にされるパラメータは製造で検査されません。シンボルは図20-3.を参照します。

図20-3. 2線直列バス タイミング

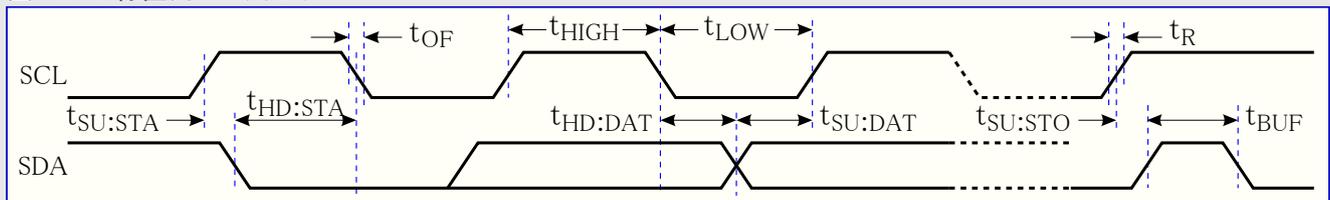


表20-7. 2線直列インターフェース特性

シンボル	項目	条件	最小	最大	単位
V <sub>IL</sub>	Lowレベル入力電圧		-0.5	0.3VCC	V
V <sub>IH</sub>	Highレベル入力電圧		0.7VCC	VCC+0.5	
V <sub>HYS</sub>	シュミットトリガ入力ヒステリシス電圧	VCC ≥ 2.7V	0.05VCC	-	
		VCC < 2.7V	0	-	
V <sub>OL</sub>	Lowレベル出力電圧	IOL=3mA, VCC > 2.7V	0	0.4	
		IOL=2mA, VCC < 2.7V			
t <sub>SP</sub>	入力濾波による尖頭雑音消去		0	50	ns
f <sub>SCL</sub>	SCLクロック周波数 (注)	f <sub>CK</sub> > max(16f <sub>SCL</sub> , 250kHz)	0	400	kHz
t <sub>HD:STA</sub>	(再送)開始条件保持時間		0.6	-	μs
t <sub>LOW</sub>	SCLクロックLowレベル時間		1.3	-	
t <sub>HIGH</sub>	SCLクロックHighレベル時間		0.6	-	
t <sub>SU:STA</sub>	再送開始条件準備時間		0.6	-	ns
t <sub>HD:DAT</sub>	データ保持時間		0	0.9	
t <sub>SU:DAT</sub>	データ準備時間		100	-	μs
t <sub>SU:STO</sub>	停止条件準備時間		0.6	-	
t <sub>BUF</sub>	停止条件→開始条件間バス開放時間		1.3	-	

注: f<sub>CK</sub>=CPUクロック周波数

## 20.7. アナログ比較器特性

表20-8. アナログ比較器特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2		<10	40	mV
ILAC	入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
tAPD	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.8~5.5V		1	2	clk

注: 全てのパラメータはシミュレーション結果に基づいており、製造に於いて検査されません。

## 20.8. A/D変換器特性

表20-9. A/D変換特性 (TA=-40°C~85°C, VCC=2.5~5.5V)

シンボル	項目	条件	最小	代表	最大	単位
	分解能				10	ビット
	絶対精度 (積分非直線性、微分非直線性、量子化、利得、オフセットの各誤差を含む)	変換クロック=200kHz		2		LSB
		変換クロック=1MHz		3		
		VCC=4V VREF=4V 変換クロック=200kHz 雑音低減動作		1.5		
		変換クロック=1MHz 雑音低減動作		2.5		
	積分非直線性誤差			1		
	微分非直線性誤差	VCC=4V, VREF=4V		0.5		
	利得誤差	変換クロック=200kHz		2.5		
	オフセット(ゼロ)誤差			1.5		
	変換時間	連続変換動作	13		260	μs
	変換クロック周波数		50		1000	kHz
VIN	入力電圧		GND		VREF	V
	入力周波数帯域			38.5		kHz
RAIN	アナログ入力インピーダンス			100		MΩ
	A/D変換出力		0		1023	LSB

## 20.9. 直列プログラマング特性

図20-4. 直列プログラマング タイミング

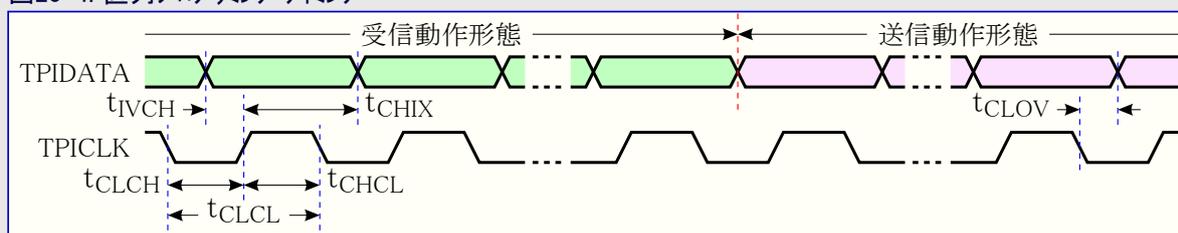


表20-10. 直列プログラマング特性 (TA=-40°C~85°C, VCC=5V±5%)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	クロック周波数			2	MHz
tCLCL	クロック周期	500			
tCHCL	クロックパルスHレベル幅	200			
tCLCH	クロックパルスLレベル幅	200			
tIVCH	クロック↑に対するデータ入力準備時間	50			ns
tCHIX	クロック↑後のデータ入力保持時間	100			
tCLOV	クロック↓後のデータ出力有効時間			200	

## 21. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文コードが示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ**許可の**パワーダウン動作**での消費電流と**ウォッチドッグタイマ**禁止の**パワーダウン動作**での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して)  $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f_{sw}(\text{I/Oピンの平均切り替え周波数})$  として推測できます。

### 21.1. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使えます。周辺機能部の許可と禁止は電力削減レジスタによって制御されます。詳細については20頁の「**PRR - 電力削減レジスタ**」をご覧ください。

表21-1. 各部追加消費電流 (絶対値:  $\mu\text{A}$ )

PRR内ビット	1MHz,2V	4MHz,3V	8MHz,5V
PRTIM0	4	25	110
PRTIM1	5	35	150
PRADC	190	260	470
PRSPI	3	15	75
PRTWI	5	35	160

表21-2. 各部追加消費電流 (相対値:%)

PRR内ビット	活動動作(図21-1,図21-2)	アイドル動作(図21-7,図21-8)
PRTIM0	2	15
PRTIM1	3	20
PRADC	117頁の図21-16をご覧ください。	
PRSPI	2	10
PRTWI	4	20

表21-1.で一覧される以外のVCCと周波数設定については、表21-2.からの数値を元に代表的な消費電流を計算できます。

### 21.2. 活動動作消費電流

図21-1. 活動動作消費電流 対 低周波数 (100kHz~1MHz)

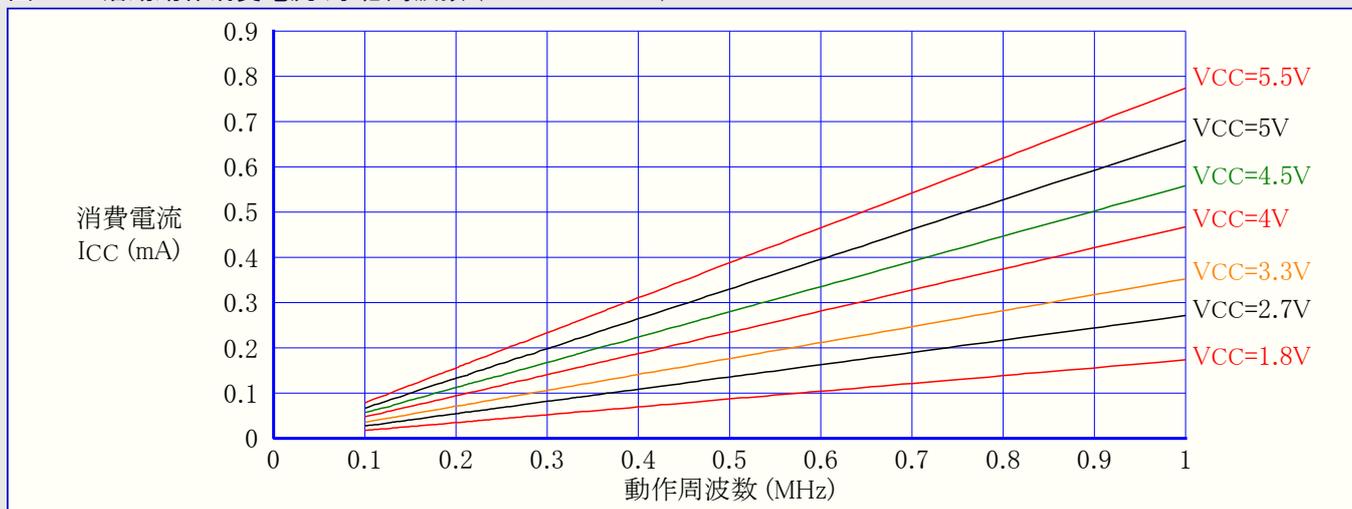


図21-2. 活動動作消費電流 対 周波数 (1MHz~12MHz)

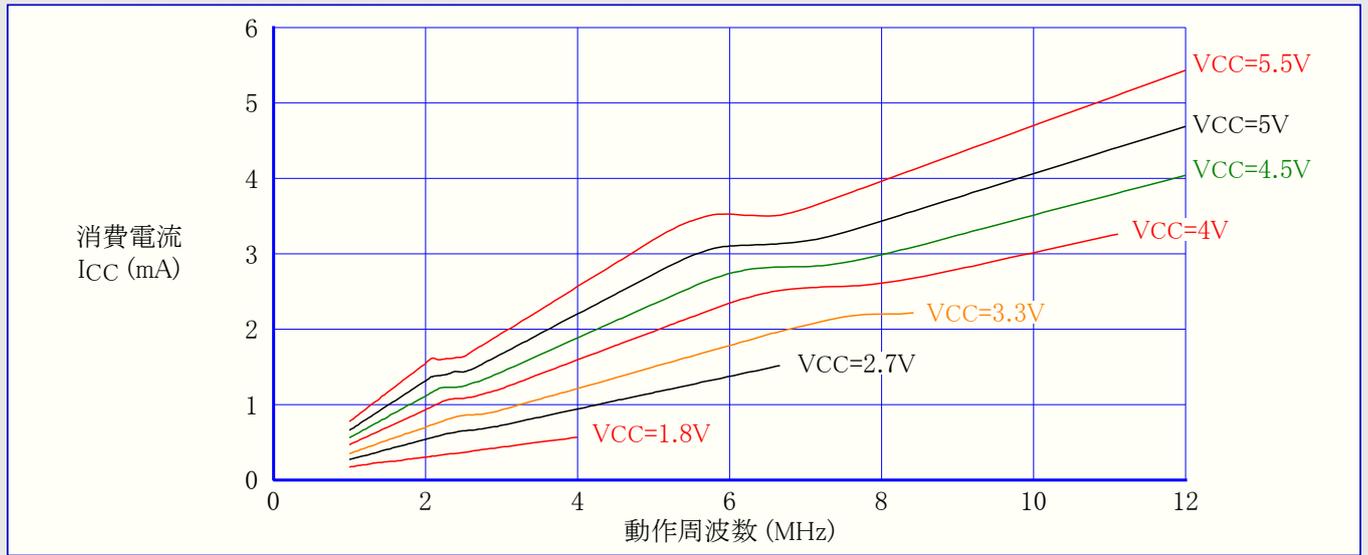


図21-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

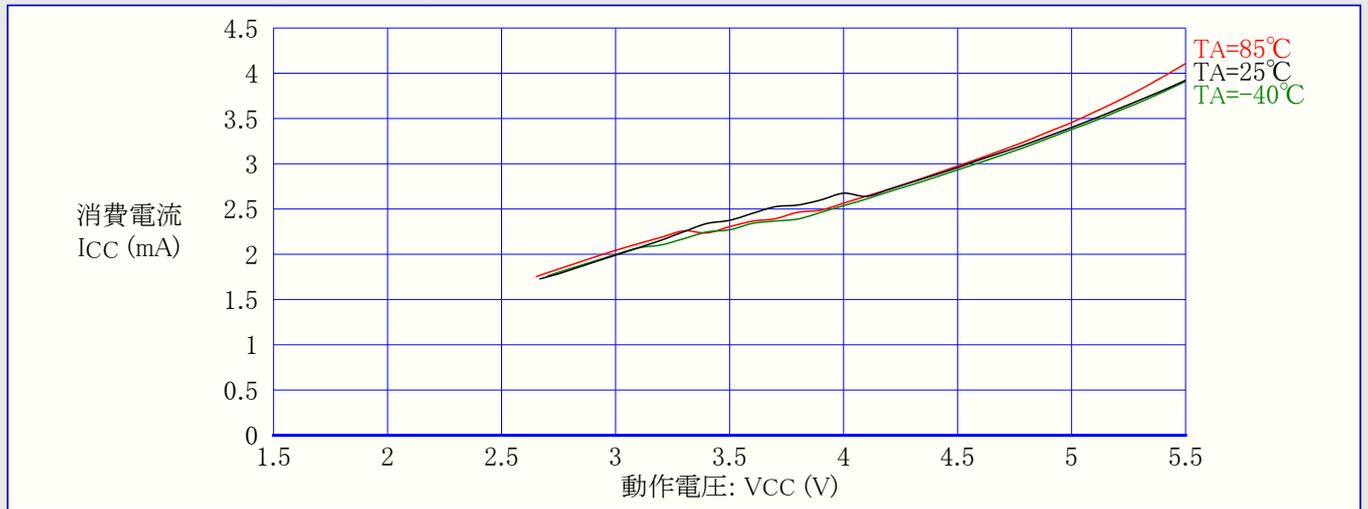


図21-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8前置分周,1MHz)

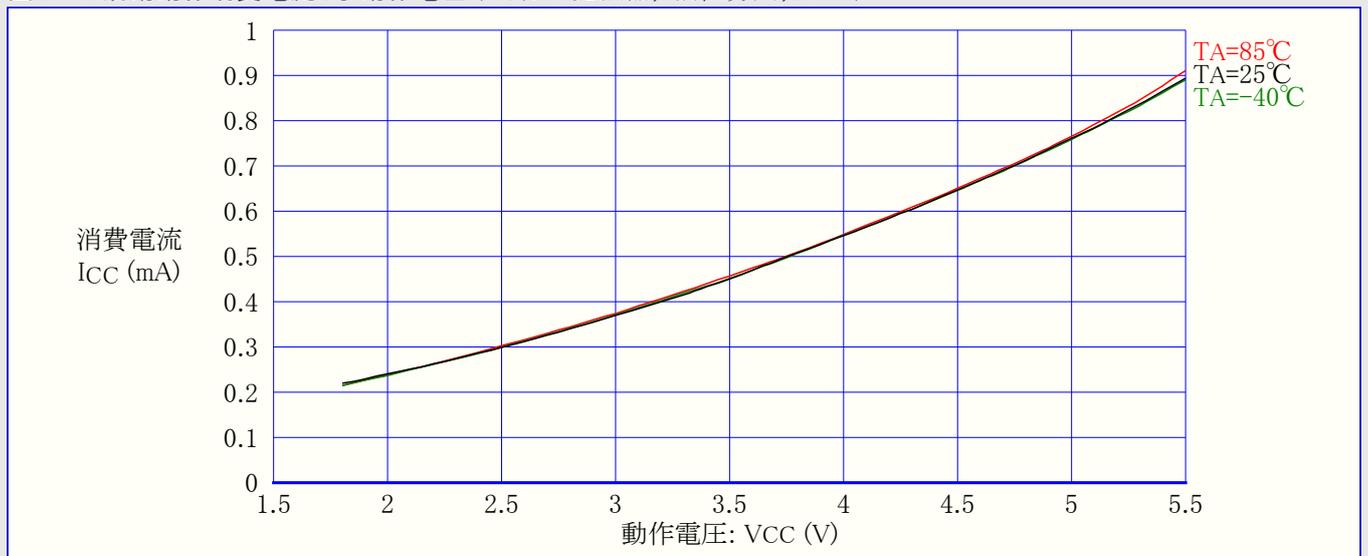


図21-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)

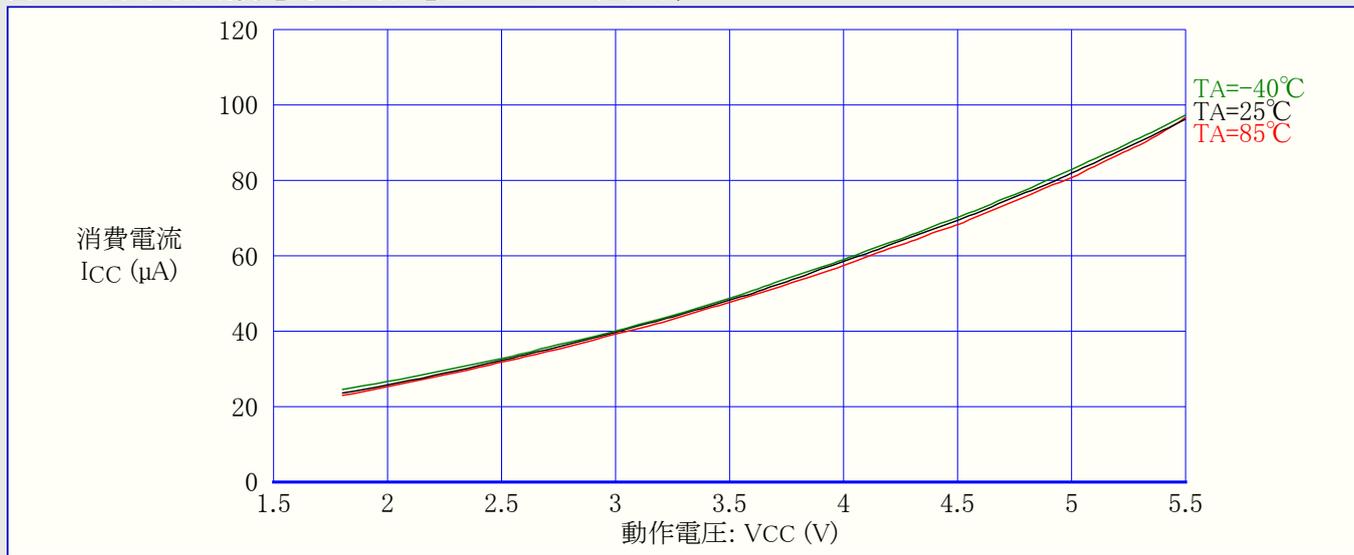


図21-6. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,4前置分周,32kHz)



### 21.3. アイドル動作消費電流

図21-7. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

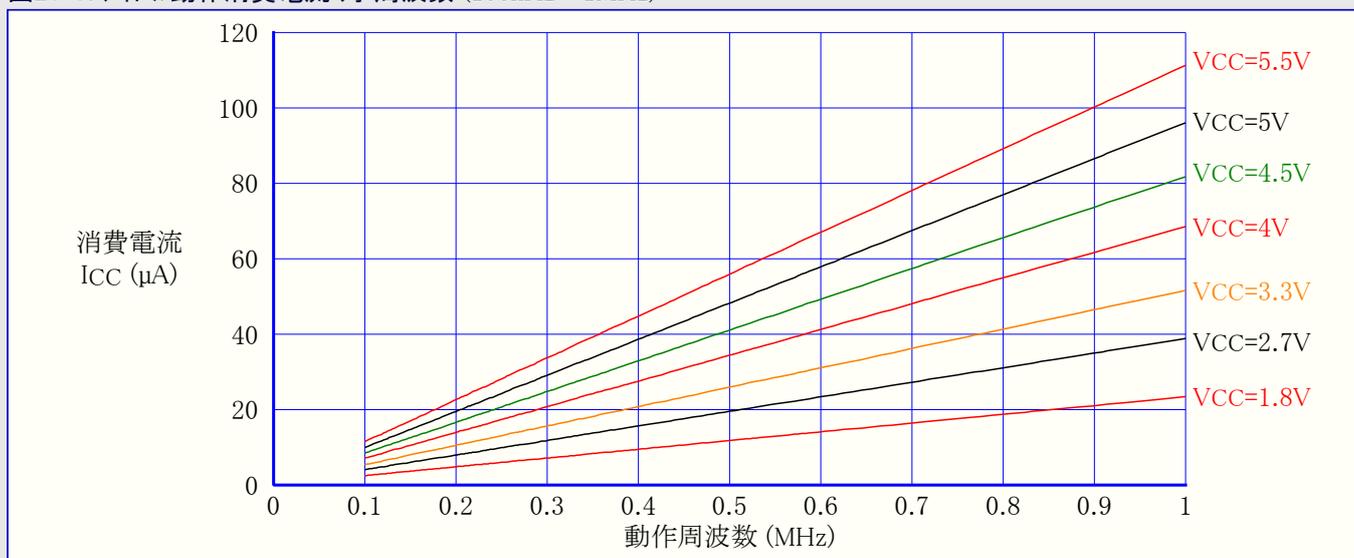


図21-8. アイドル動作消費電流 対 周波数 (1MHz~12MHz)

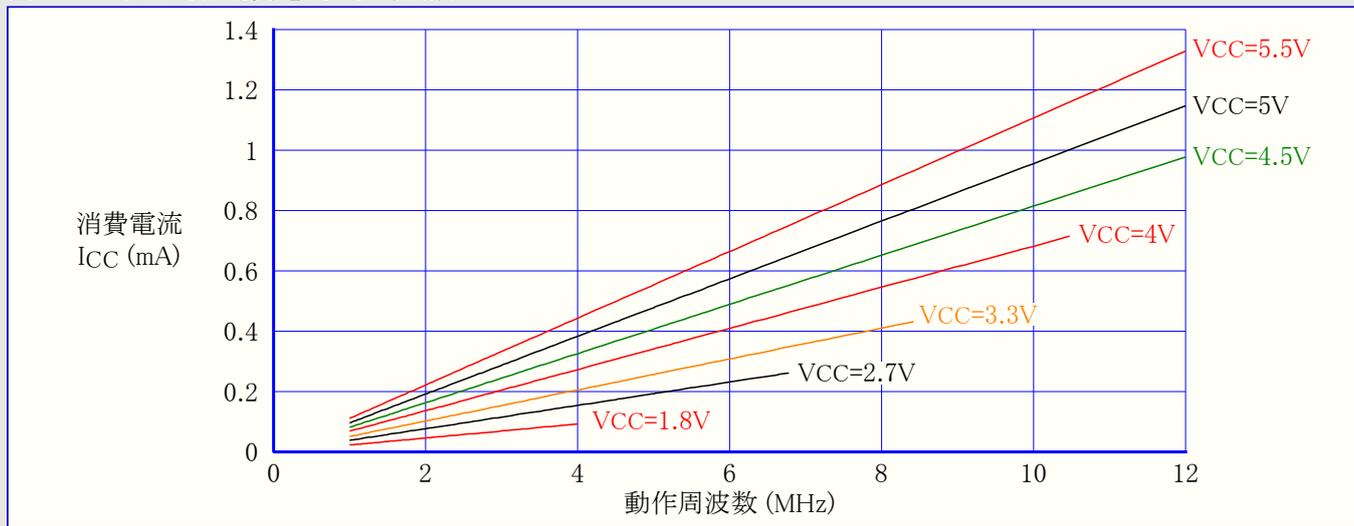


図21-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

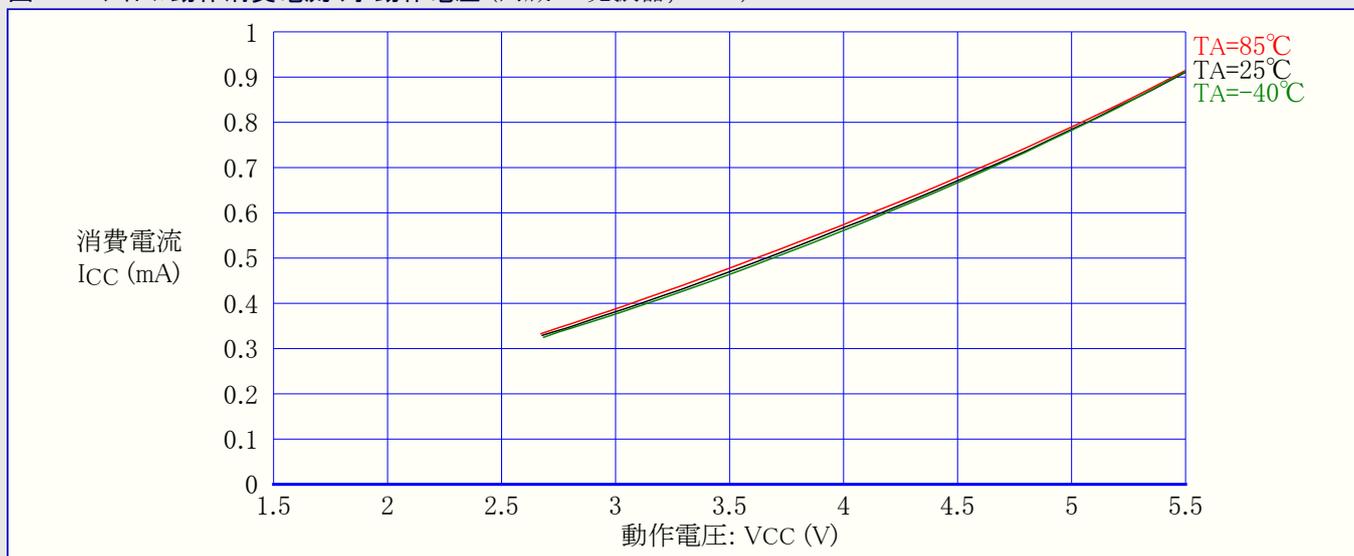


図21-10. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,8前置分周,1MHz)

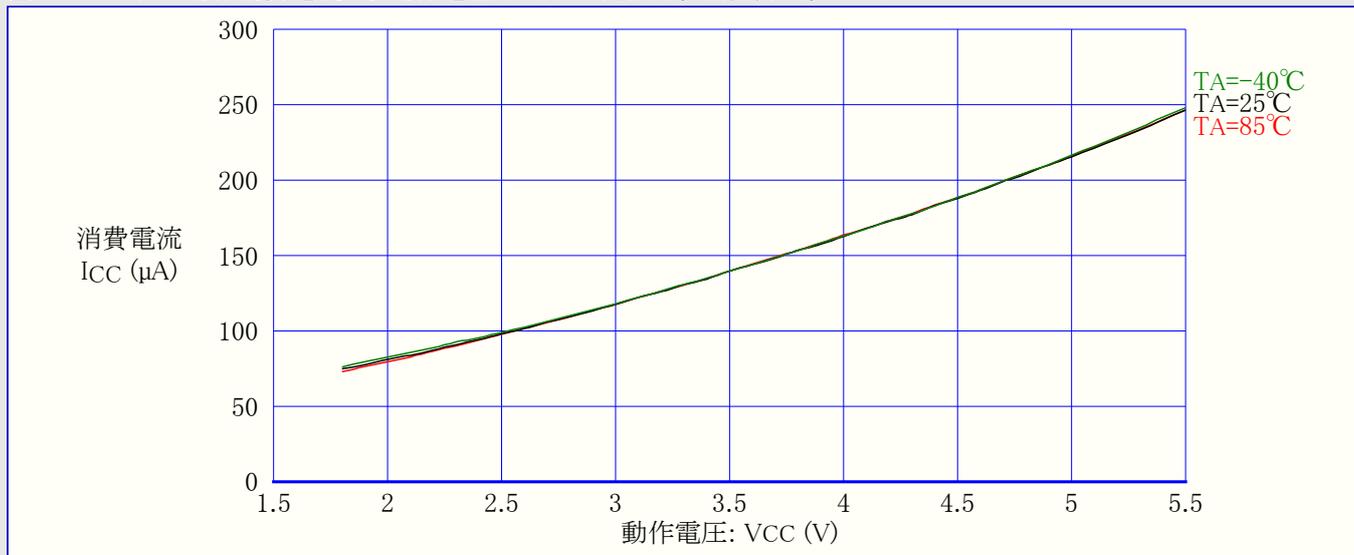


図21-11. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)

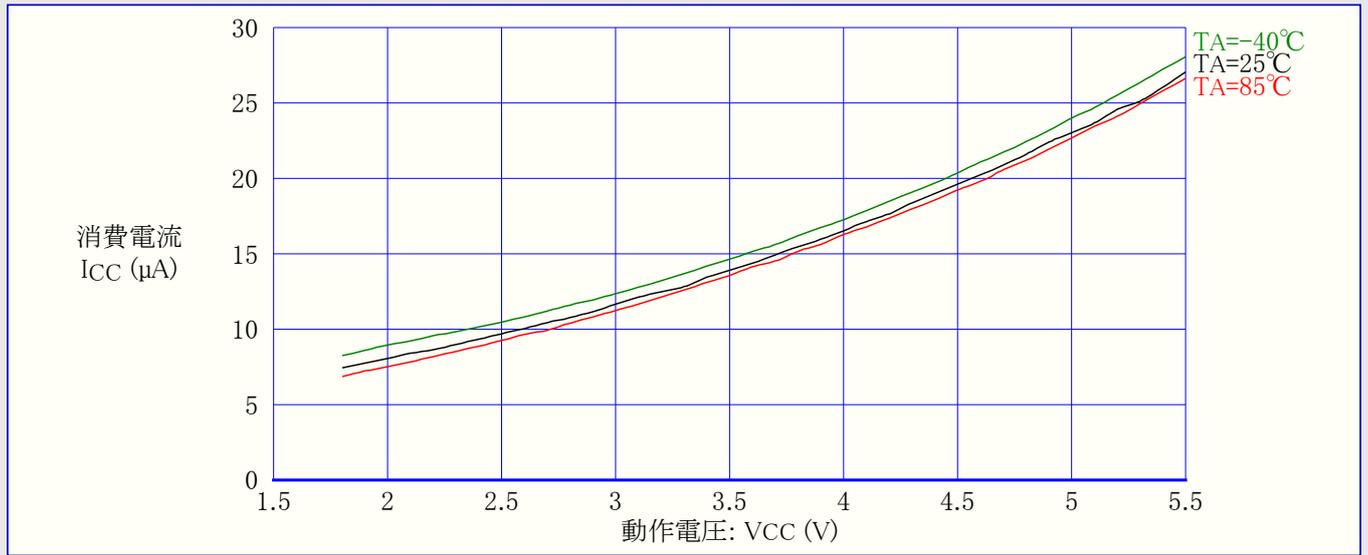
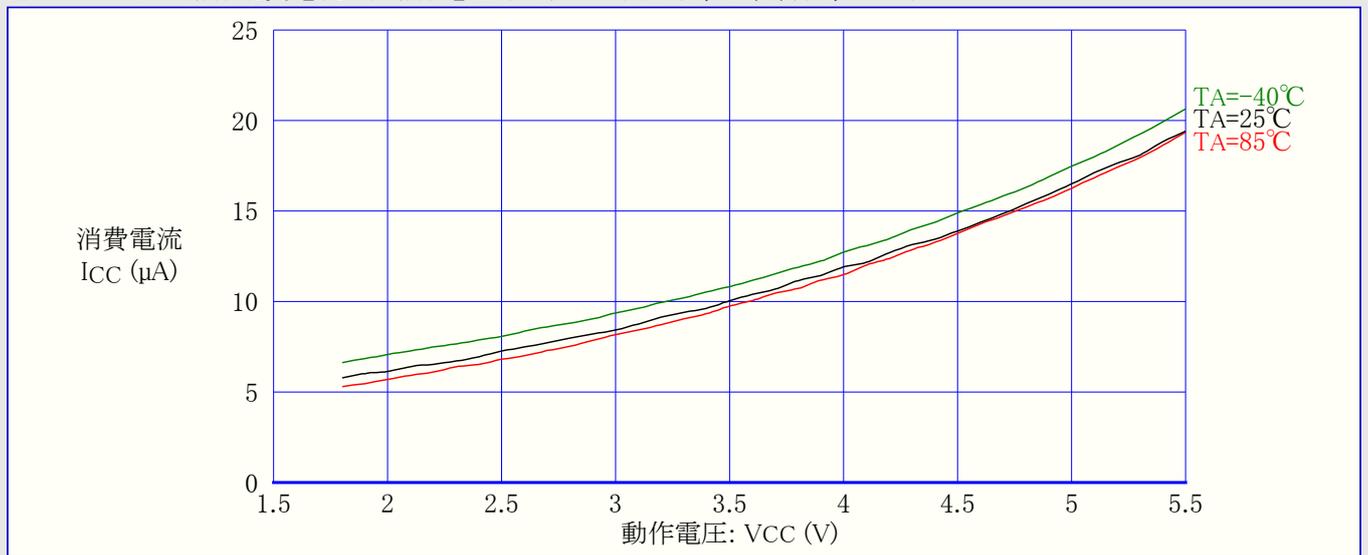


図21-12. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,4前置分周,32kHz)



## 21.4. パワーダウン動作消費電流

図21-13. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグタイマ禁止)

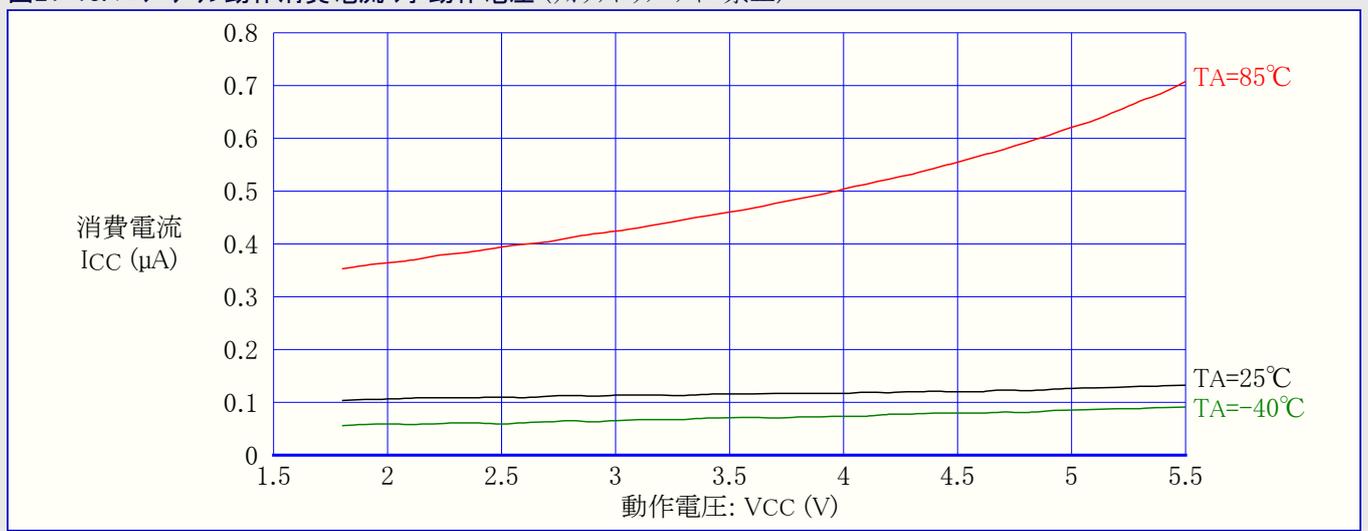
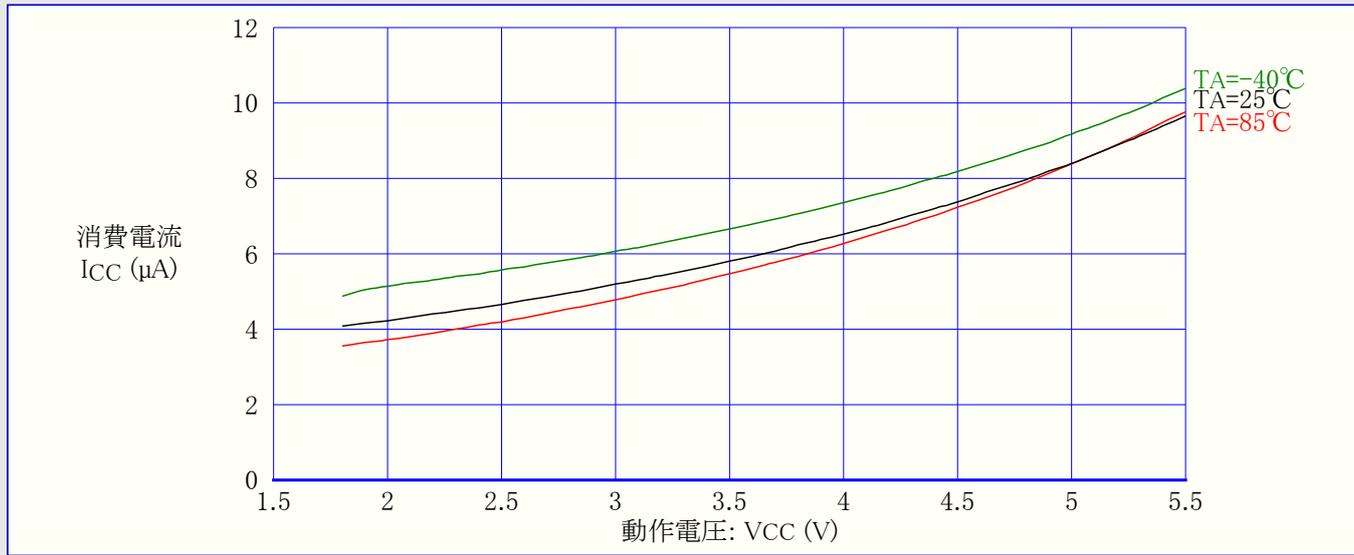
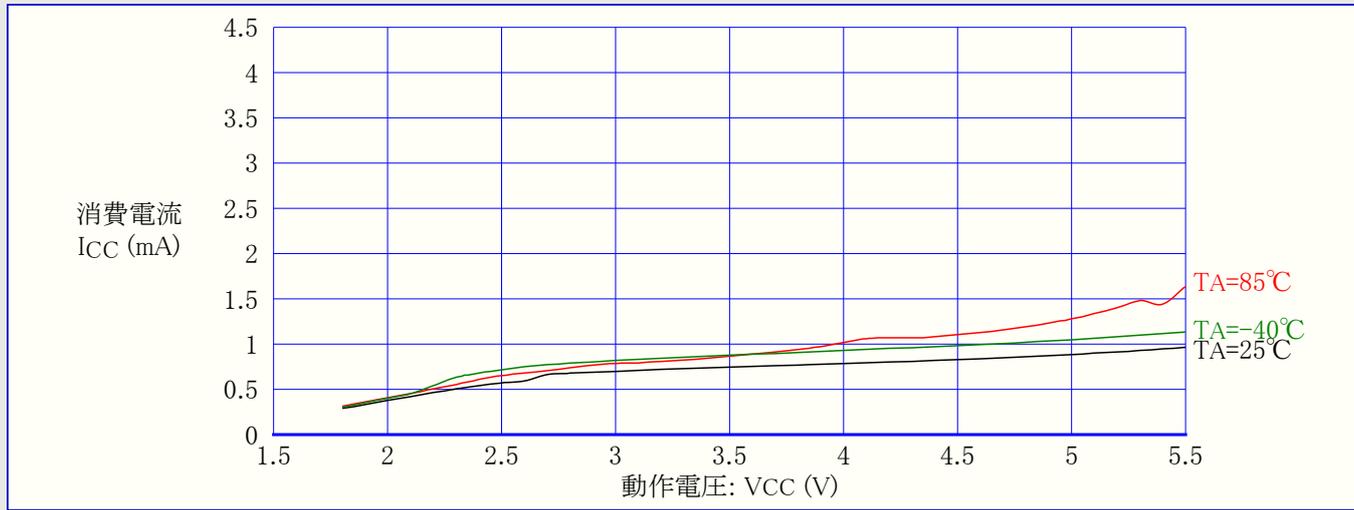


図21-14. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



## 21.5. リセット消費電流

図21-15. リセット消費(供給)電流 対 動作電圧 (RESETプルアップ電流を除く, クロックなし)



## 21.6. 周辺機能部消費電流

図21-16. A/D変換器消費電流 対 動作電圧

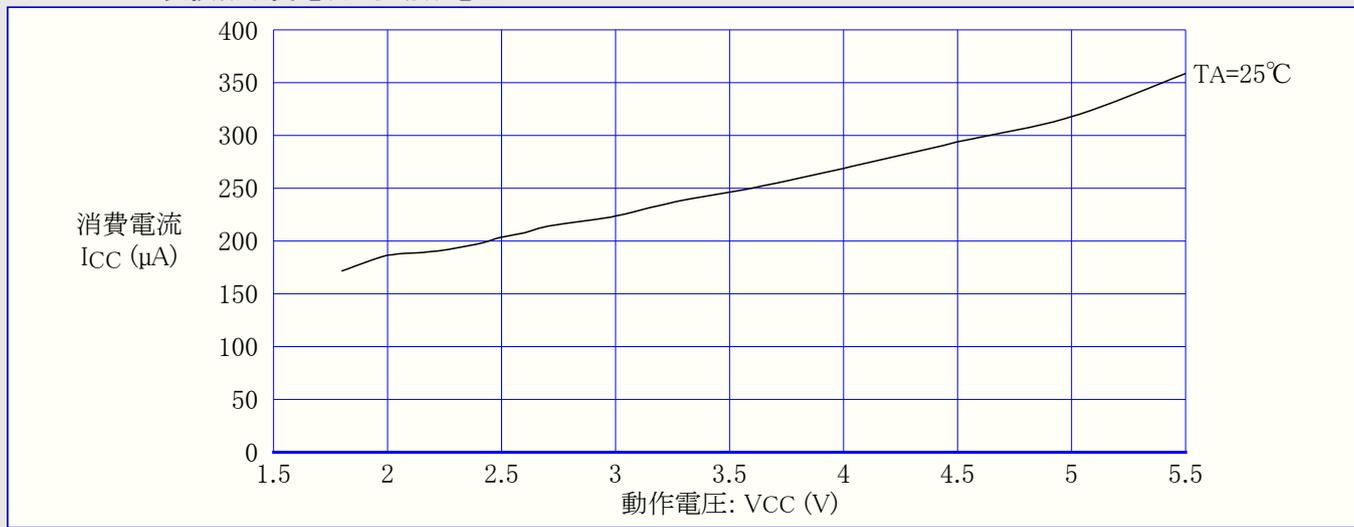


図21-17. アナログ比較器消費電流 対 動作電圧 (周波数1MHz)

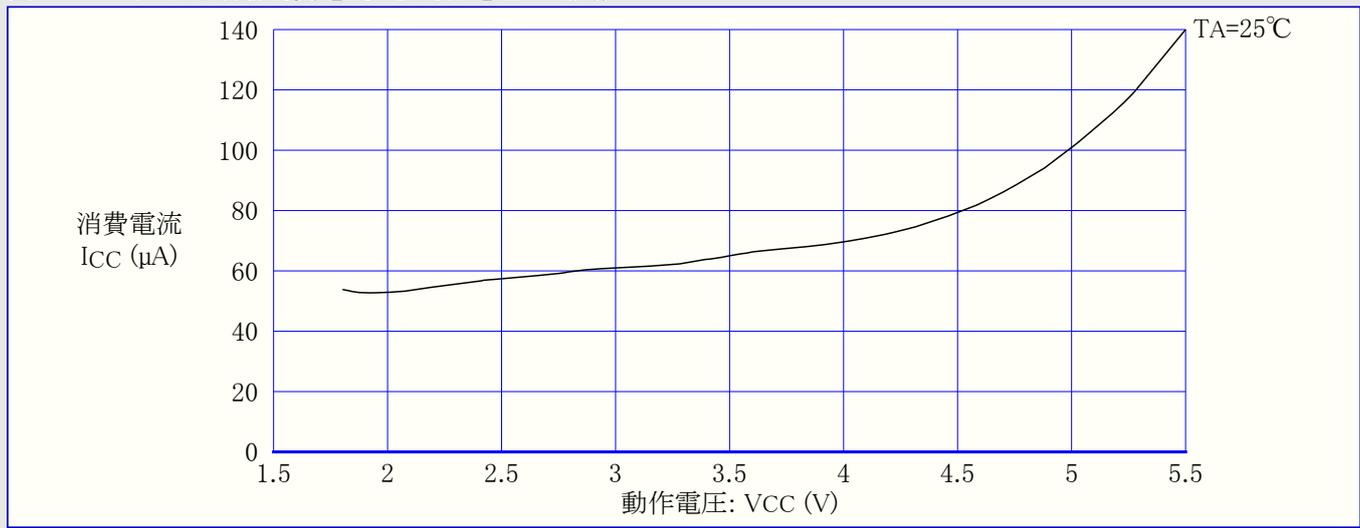


図21-18. ウォッチドッグ タイマ消費電流 対 動作電圧

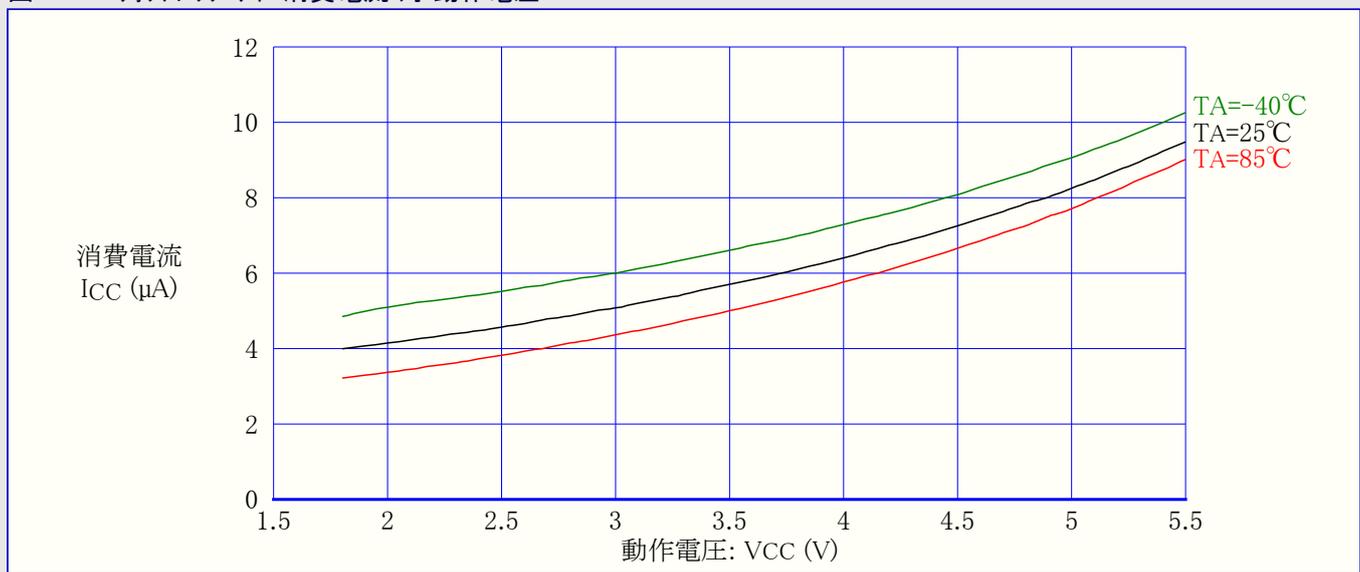
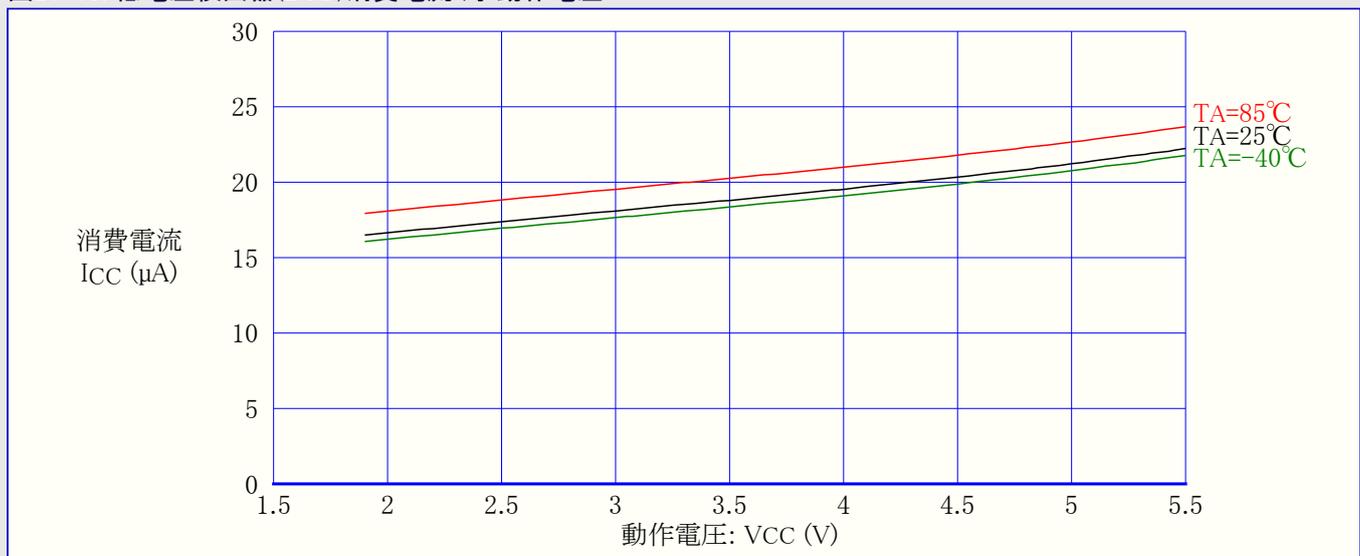


図21-19. 低電圧検出器(BOD)消費電流 対 動作電圧



## 21.7. プルアップ抵抗

図21-20. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

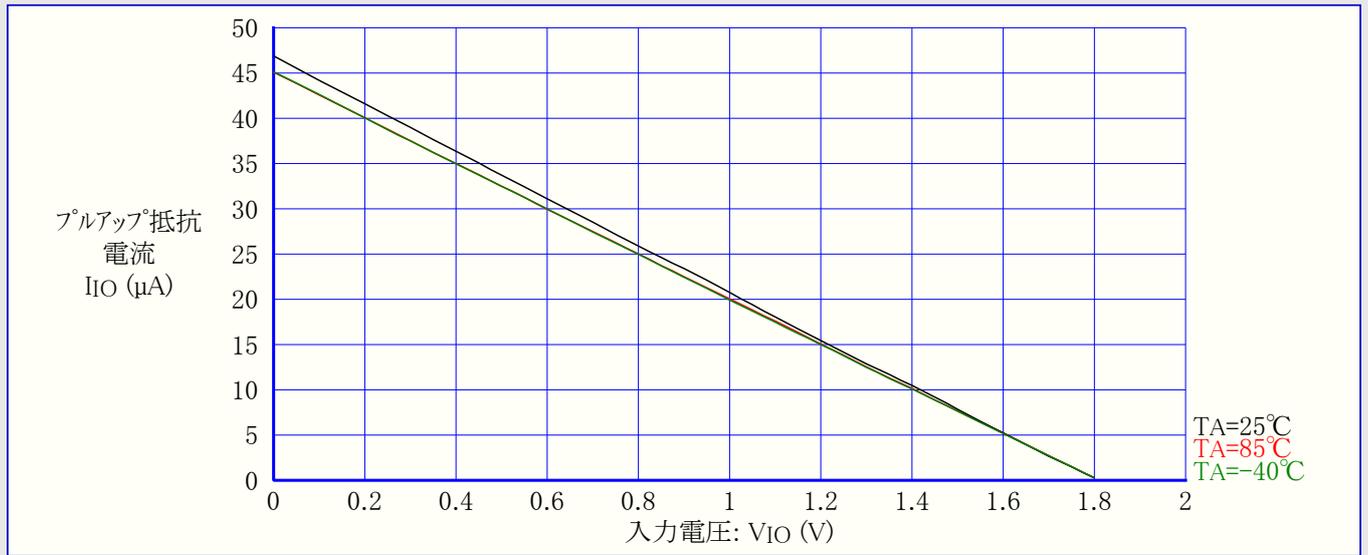


図21-21. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

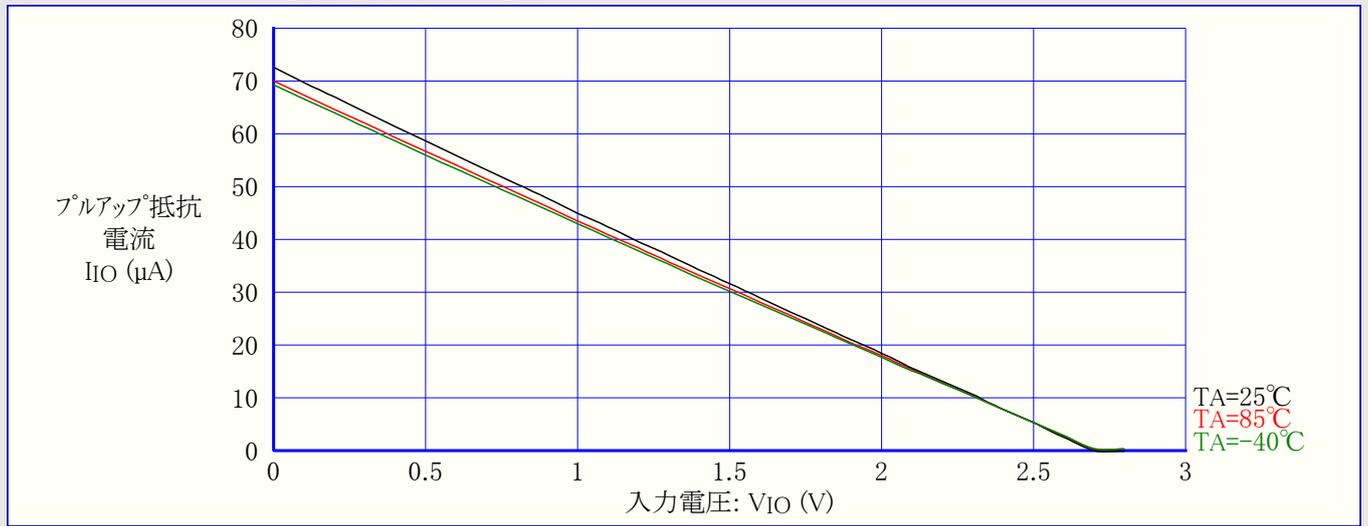


図21-22. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

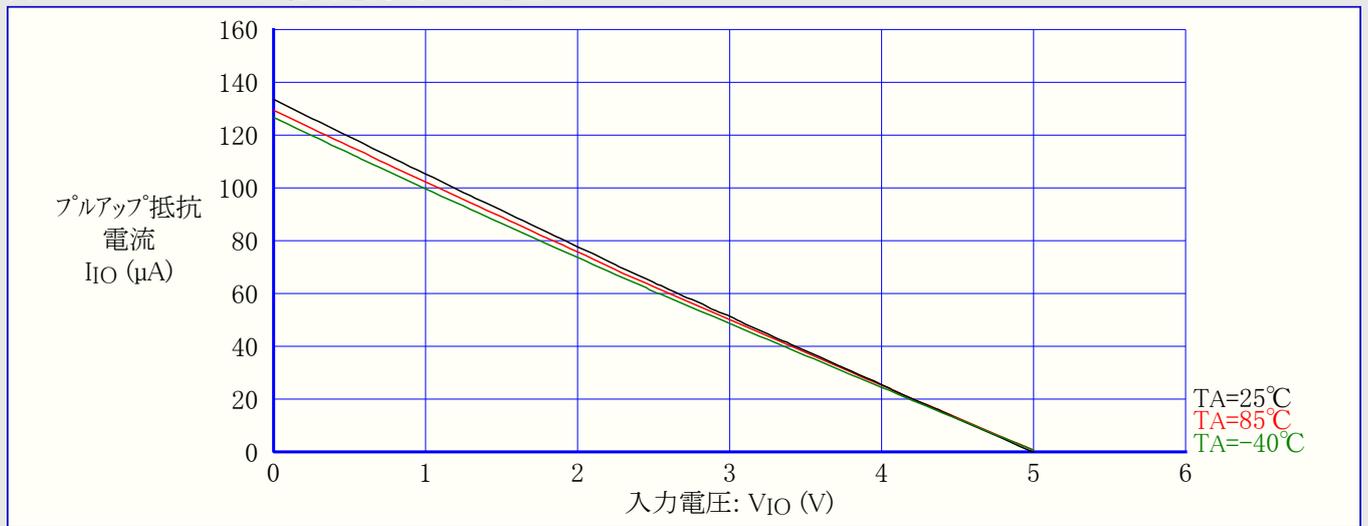


図21-23. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

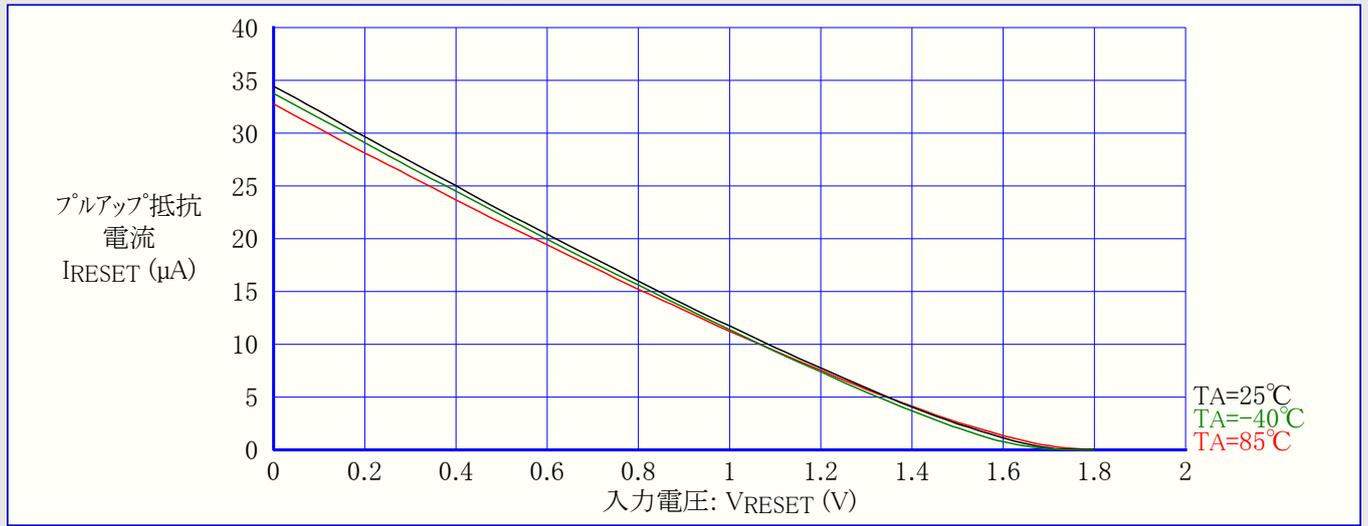


図21-24. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

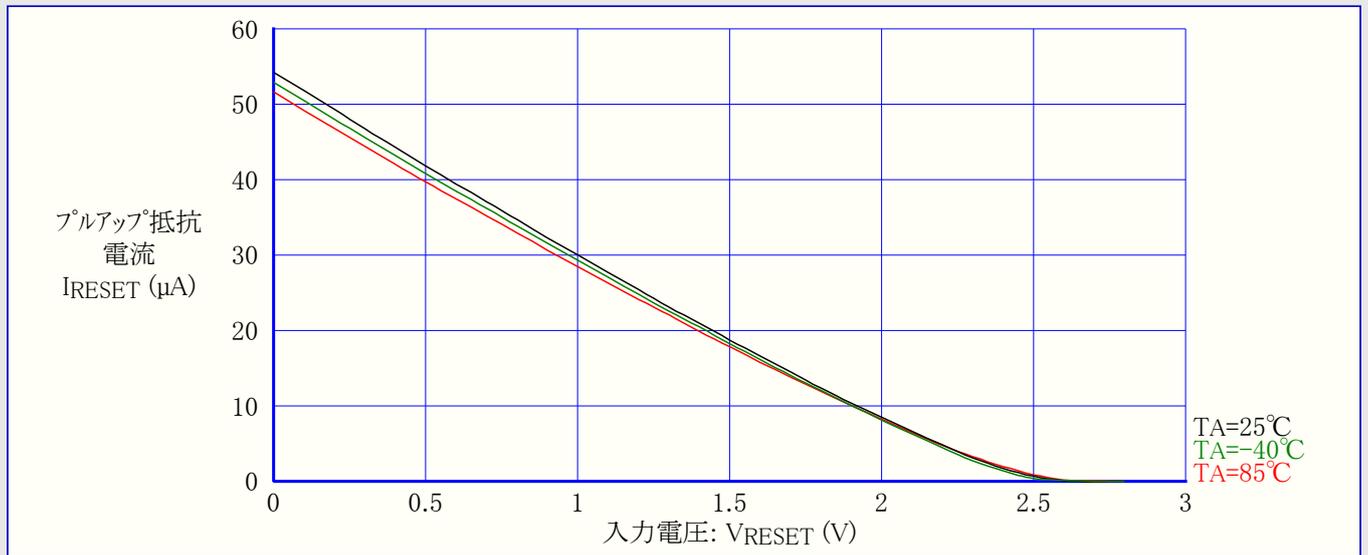
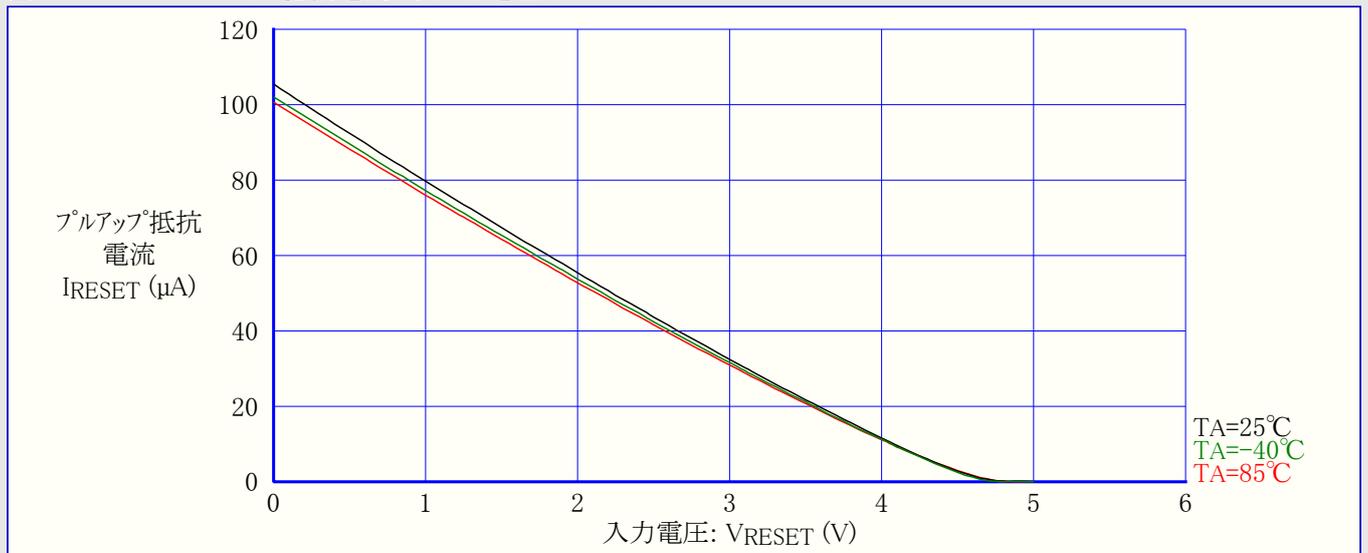


図21-25. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



## 21.8. 出力駆動部能力

図21-26. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

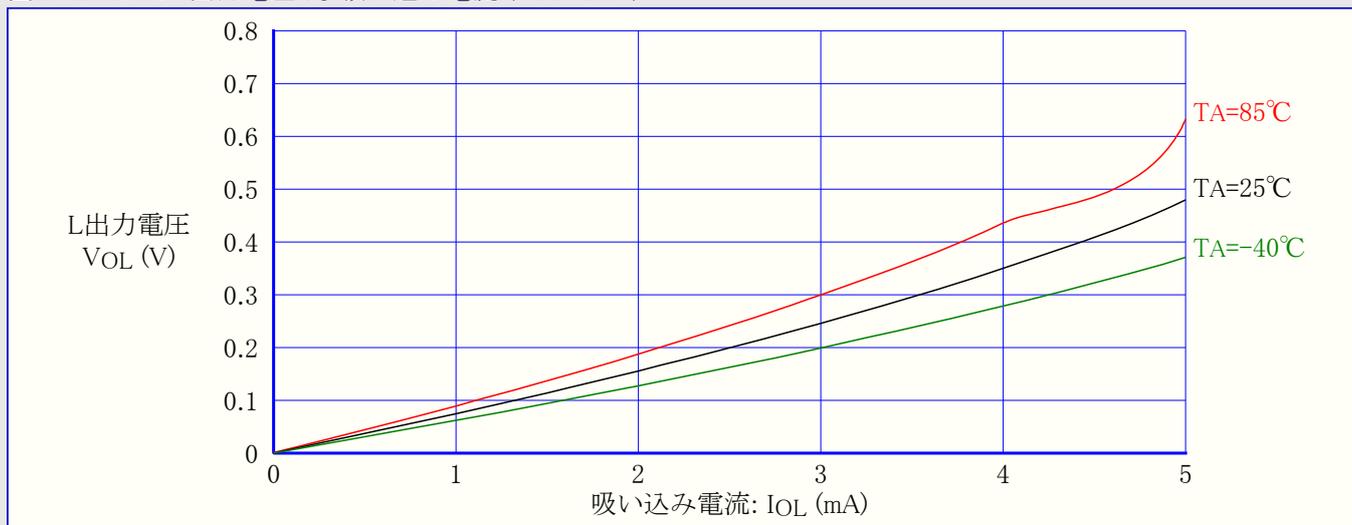


図21-27. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

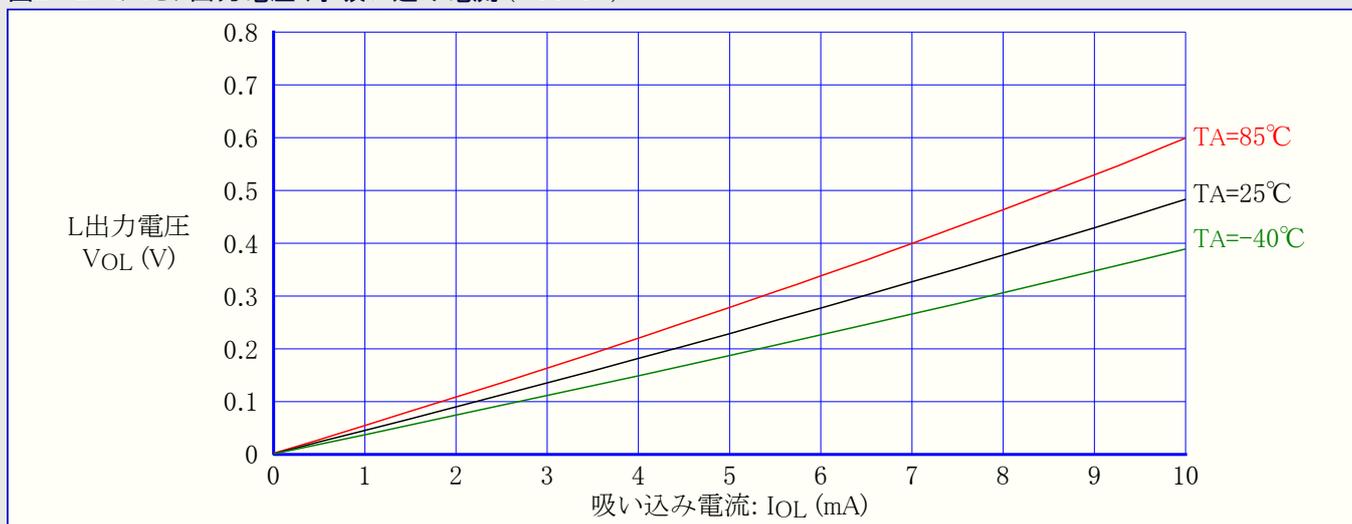


図21-28. I/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

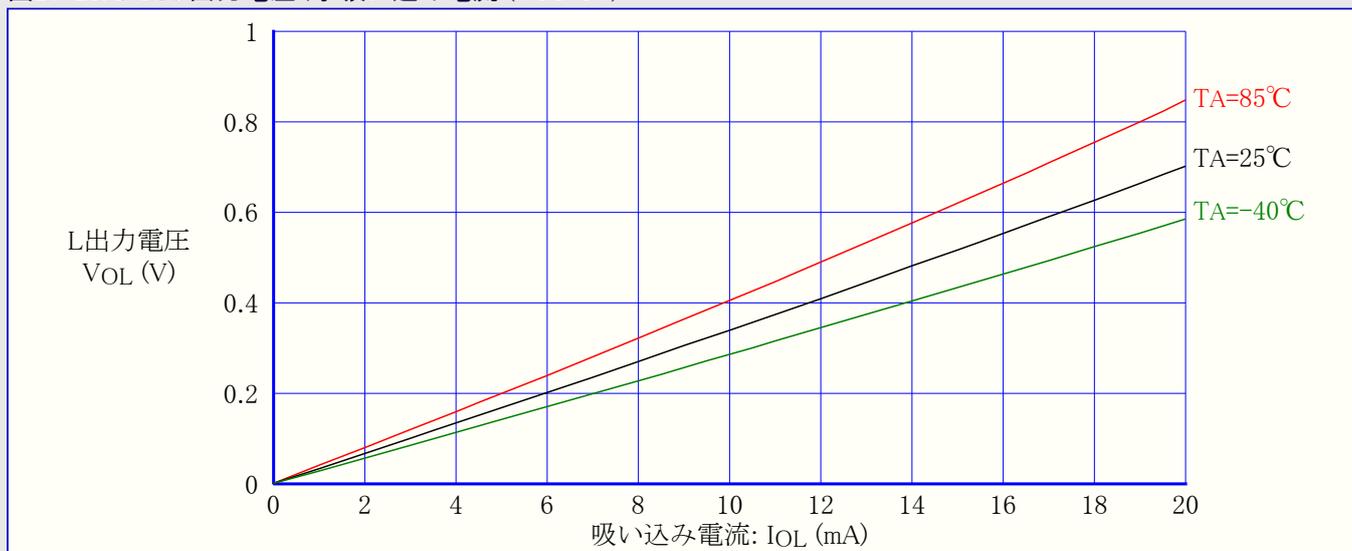


図21-29. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

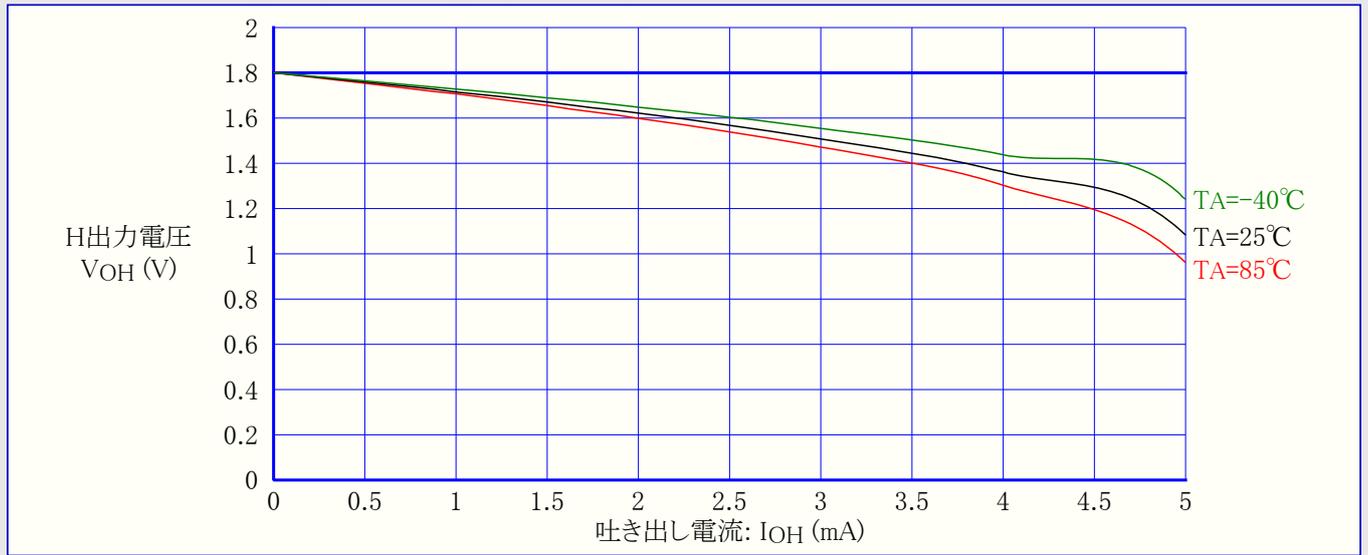


図21-30. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

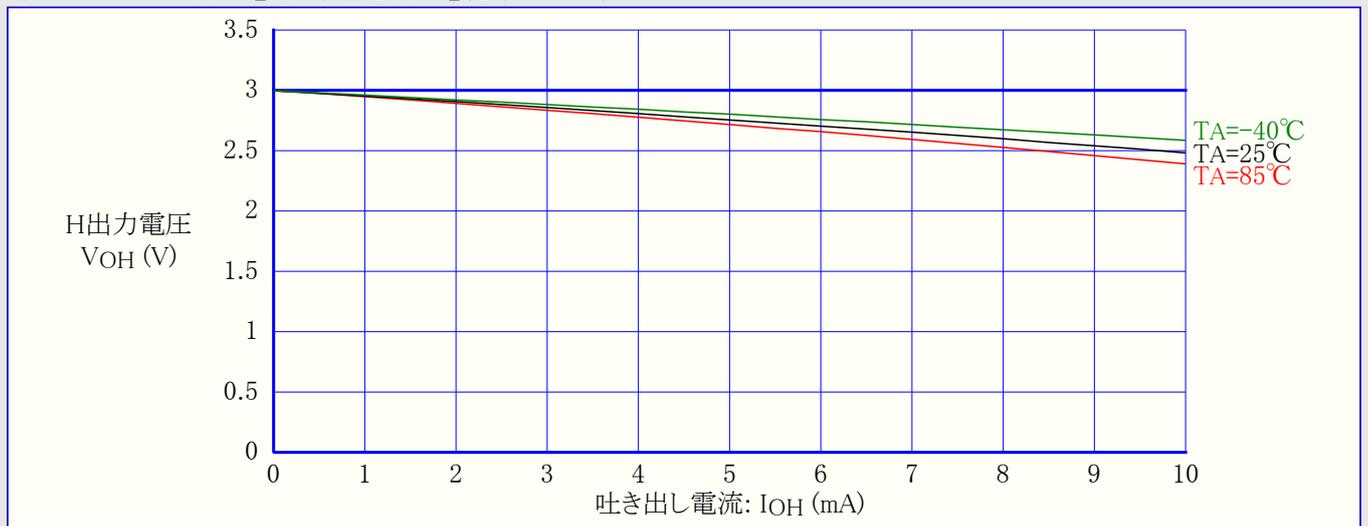


図21-31. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

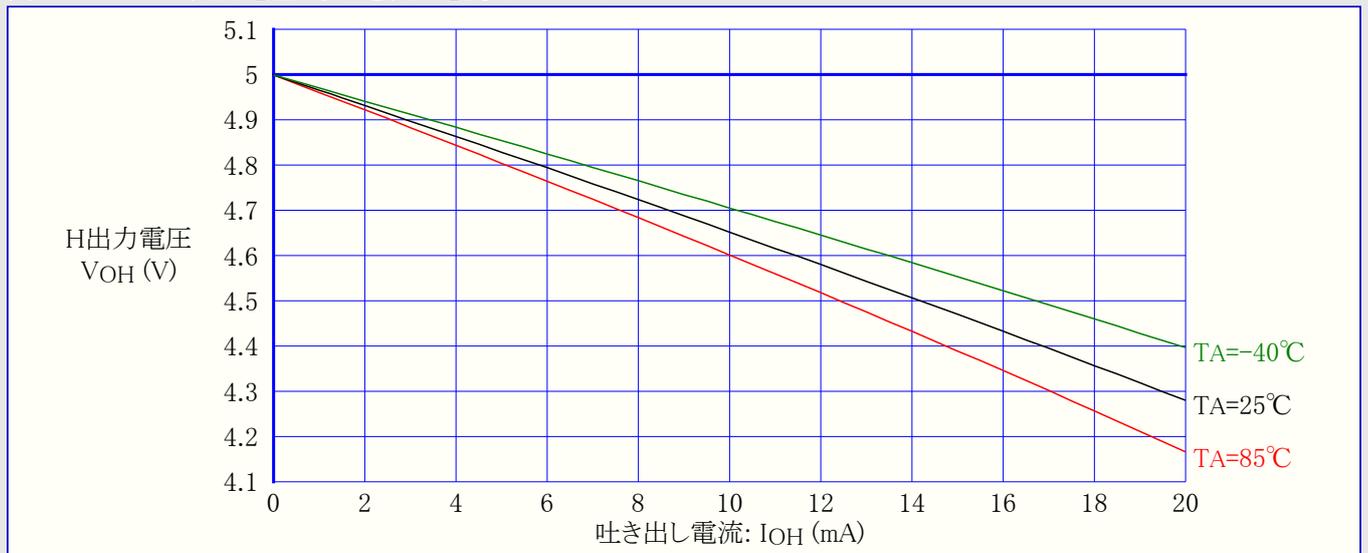


図21-32. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=1.8V)

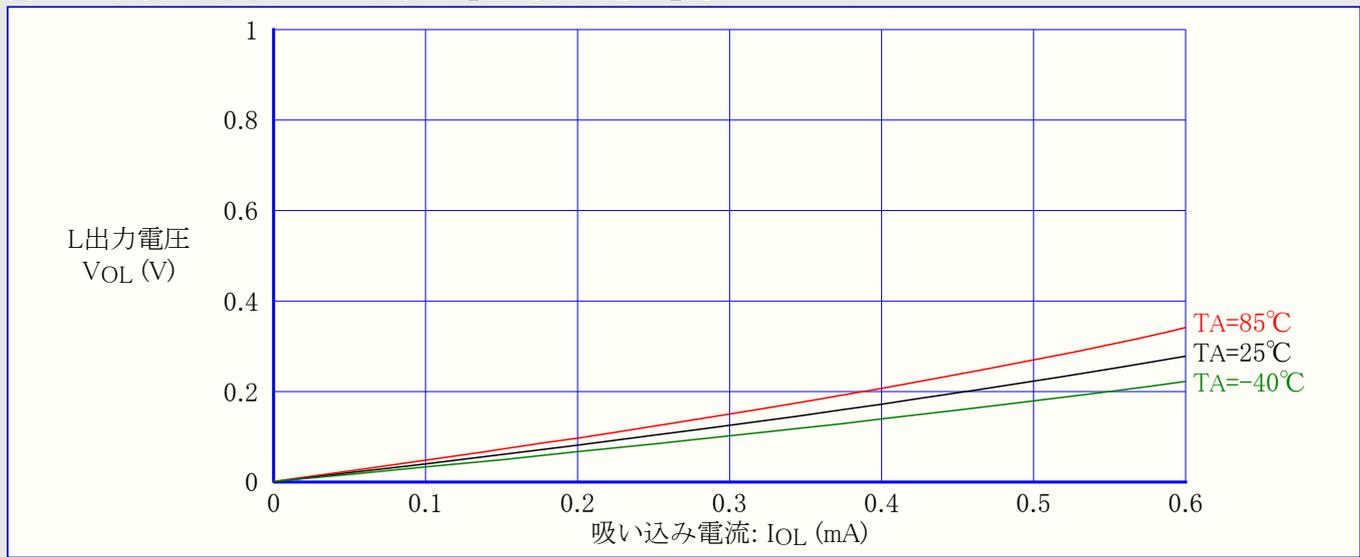


図21-33. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=3V)

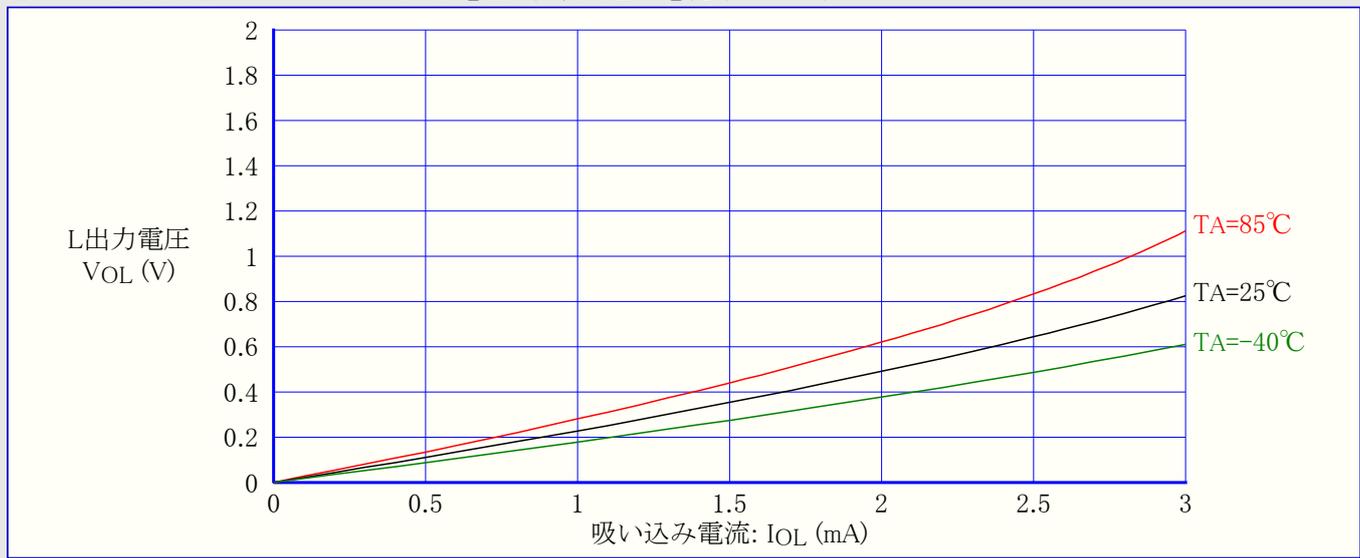


図21-34. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=5V)

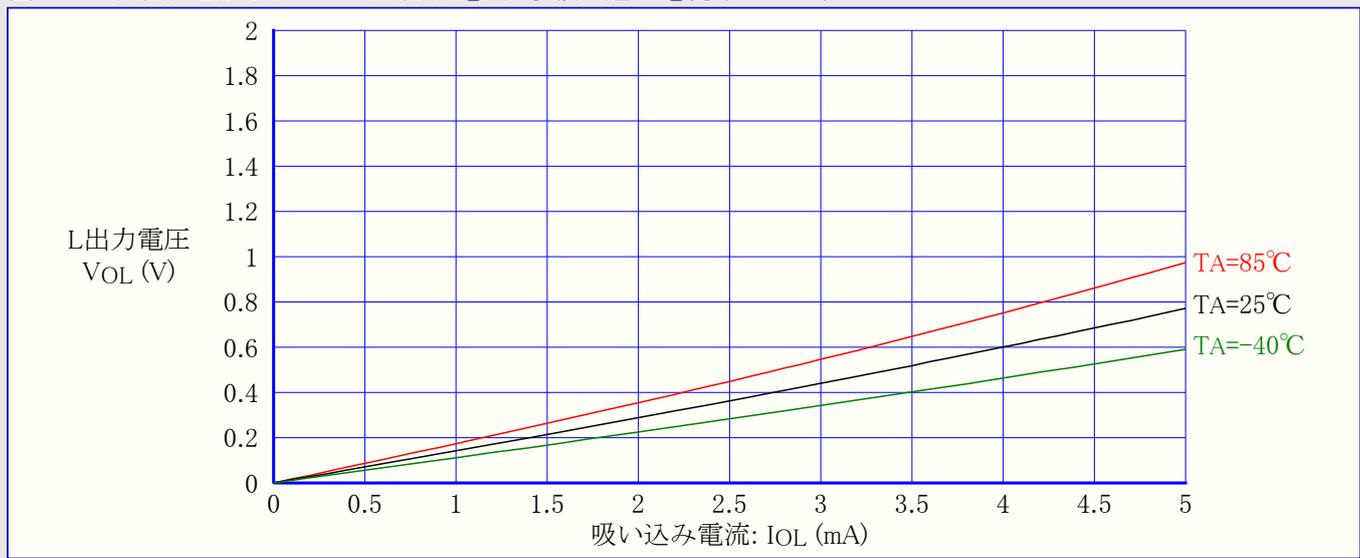


図21-35. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=1.8V)

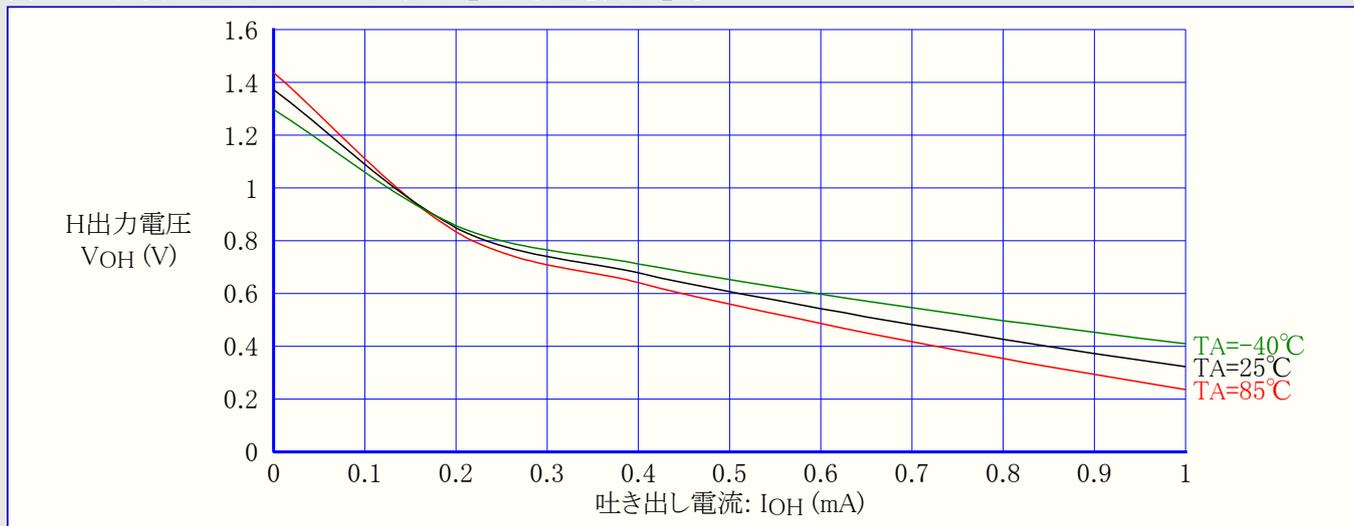


図21-36. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=3V)

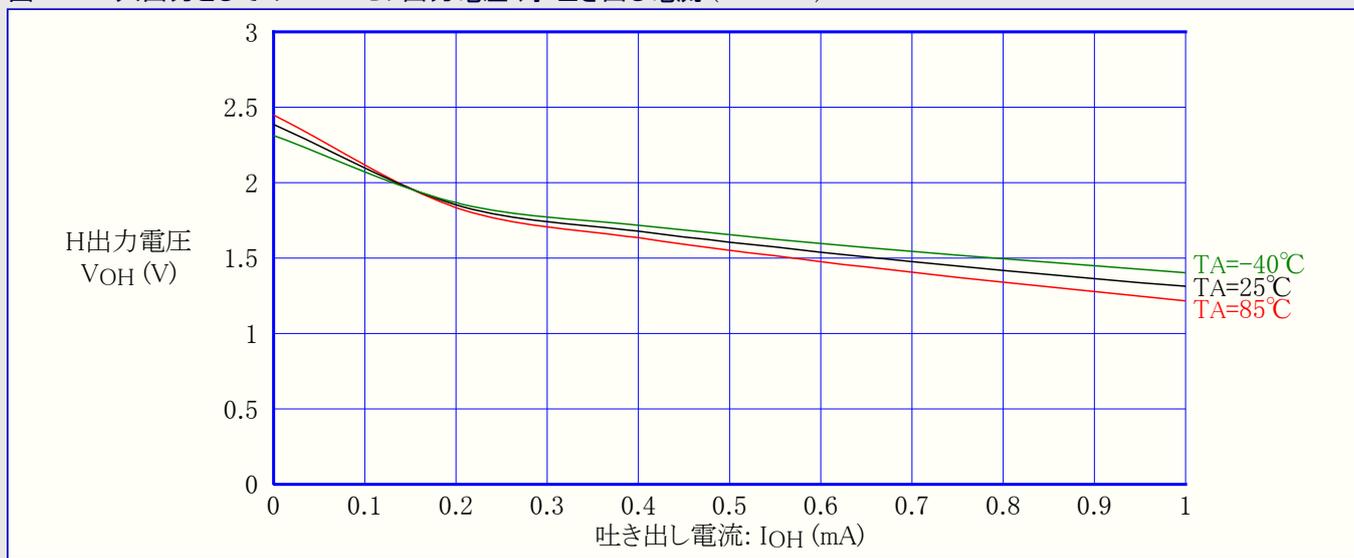
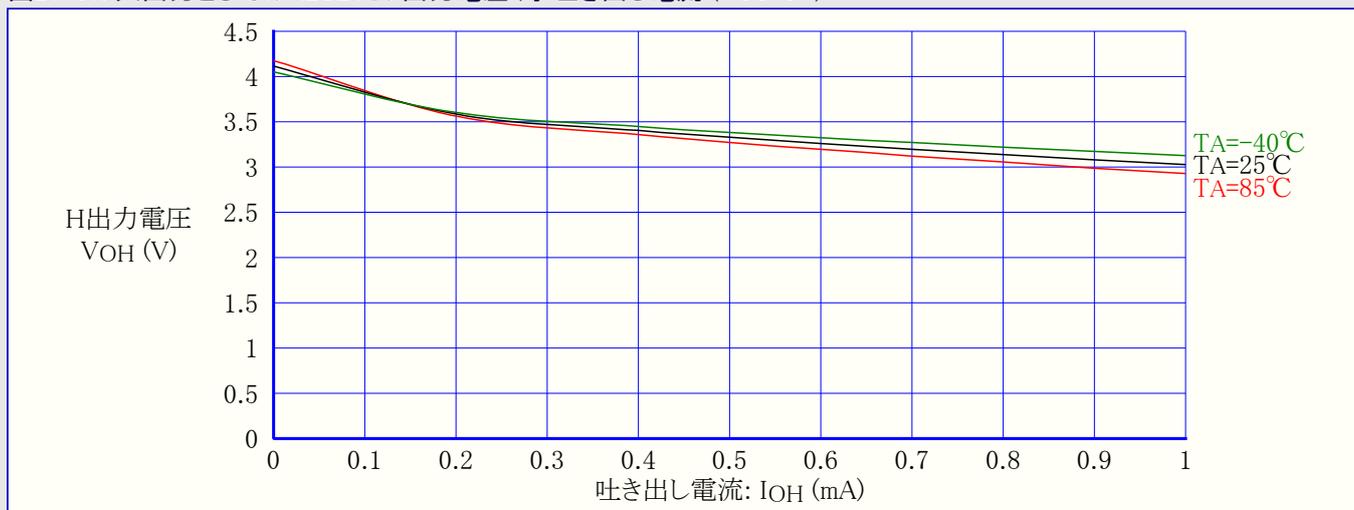


図21-37. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=5V)



## 21.9. 入力閾値とヒステリシス

図21-38. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 ( $V_{IH}$ , 1読み値)

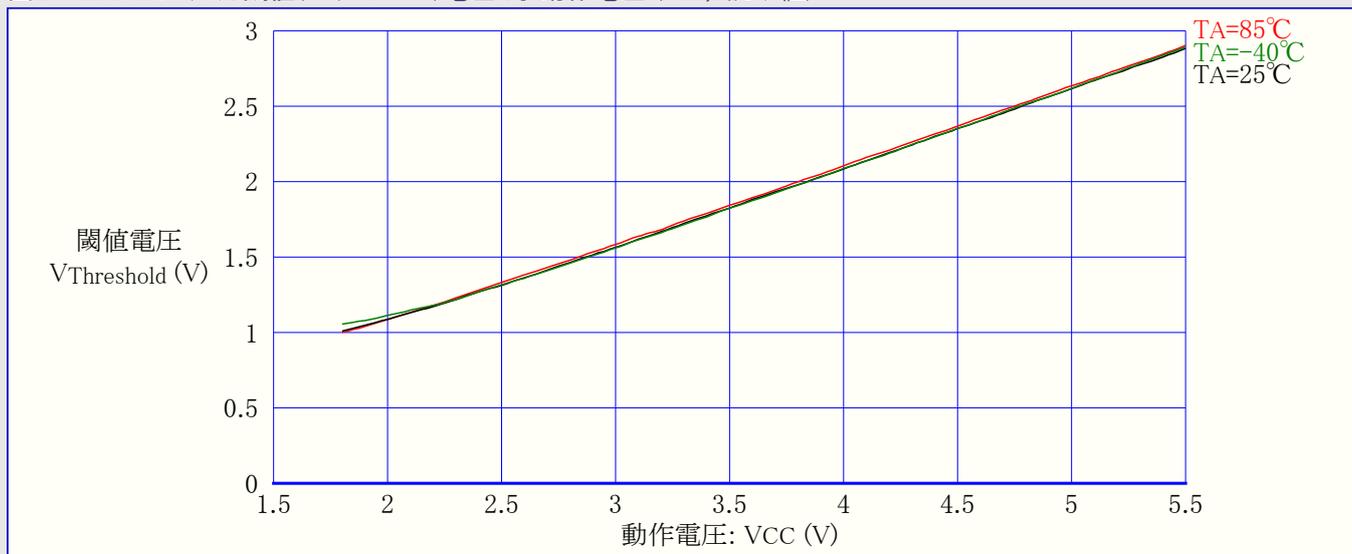


図21-39. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 ( $V_{IL}$ , 0読み値)

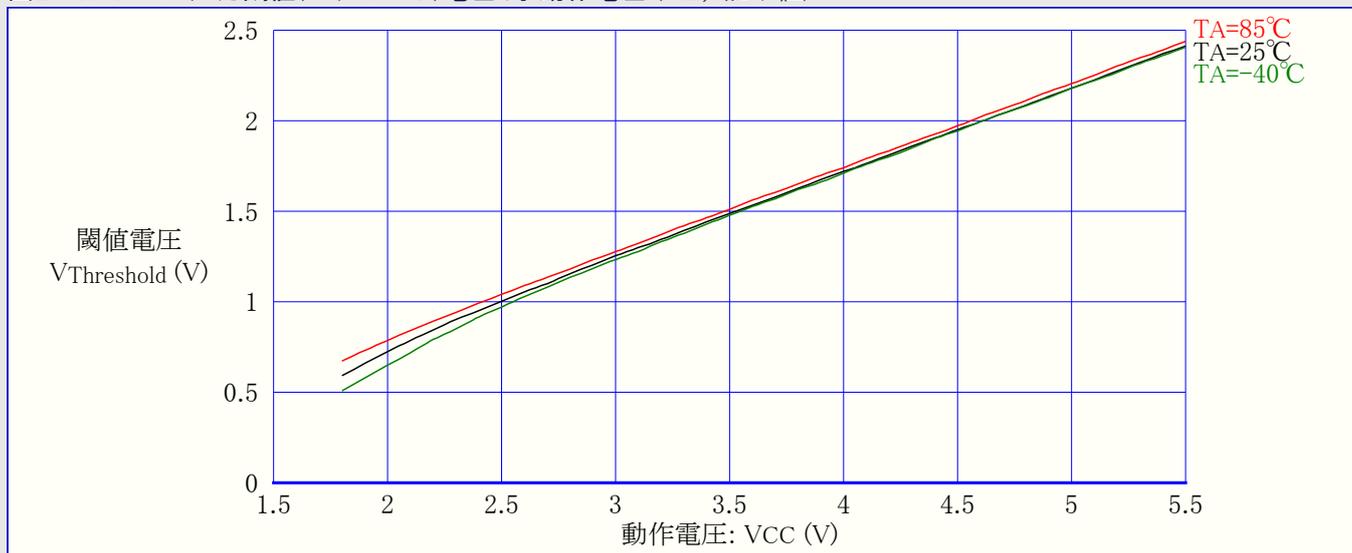


図21-40. I/Oピン入力ヒステリシス電圧 対 動作電圧

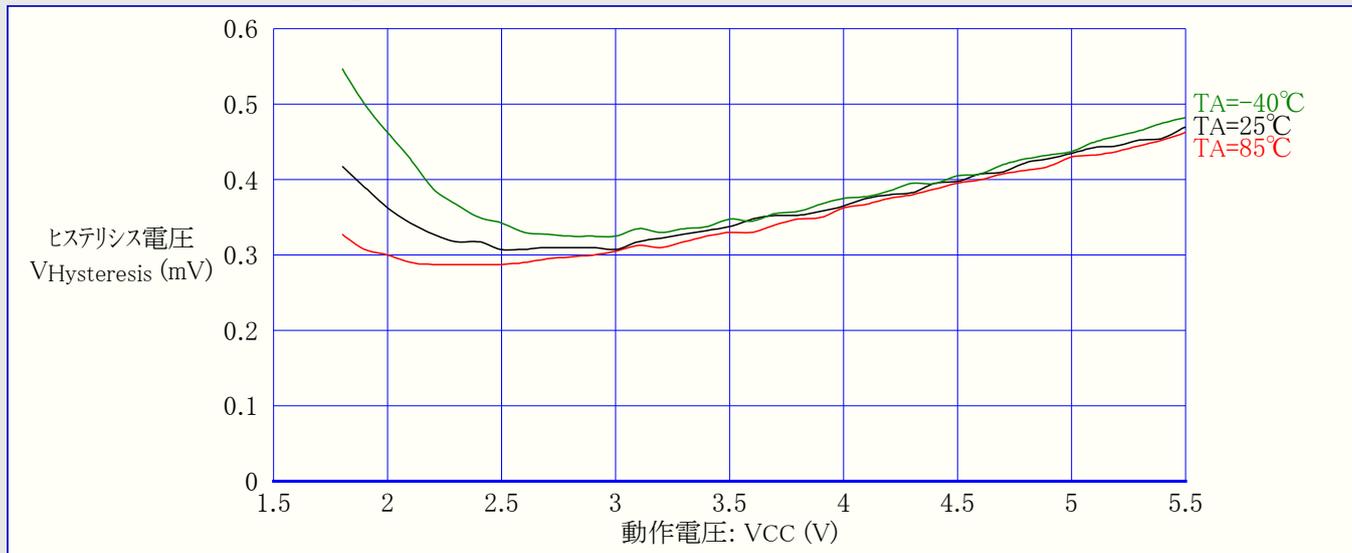


図21-41. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IH}$ , 1読み値)

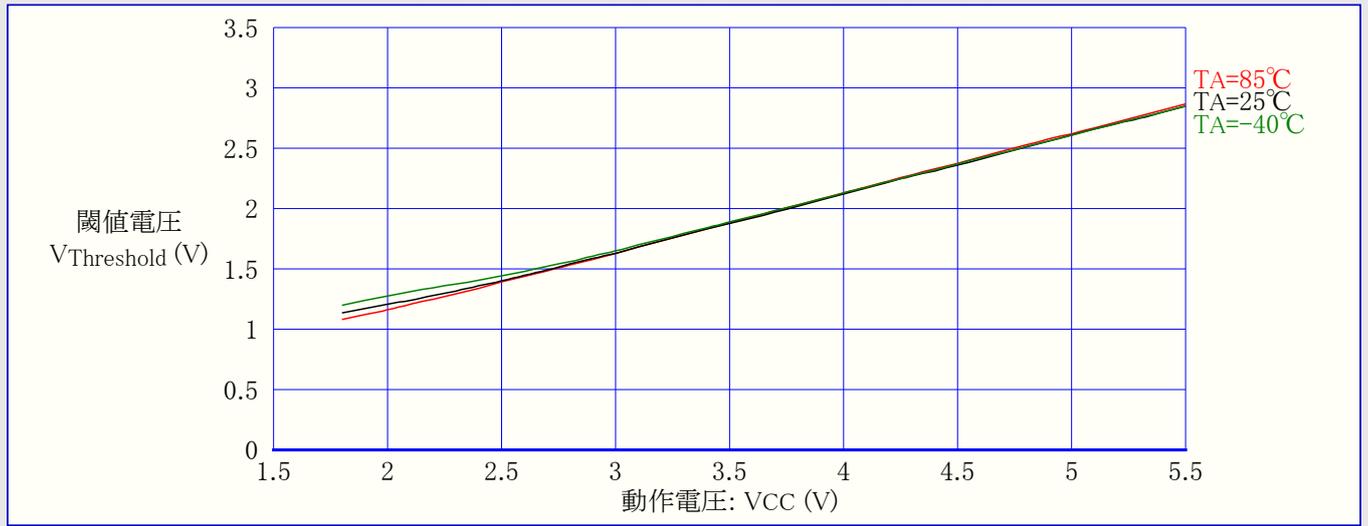


図21-42. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 ( $V_{IL}$ , 0読み値)

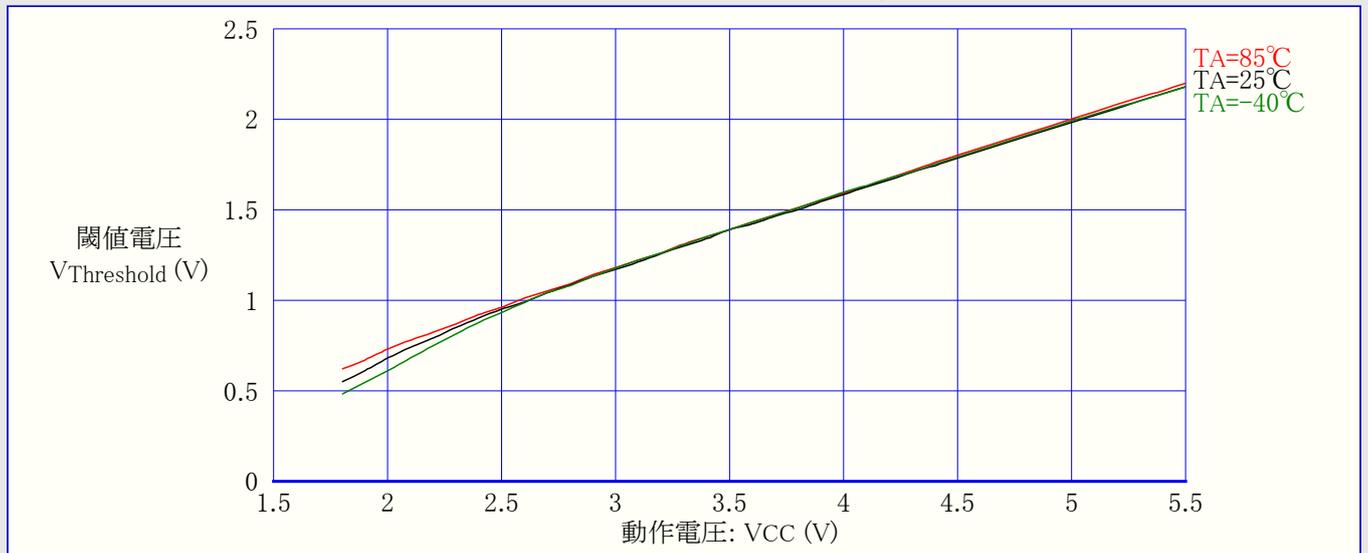
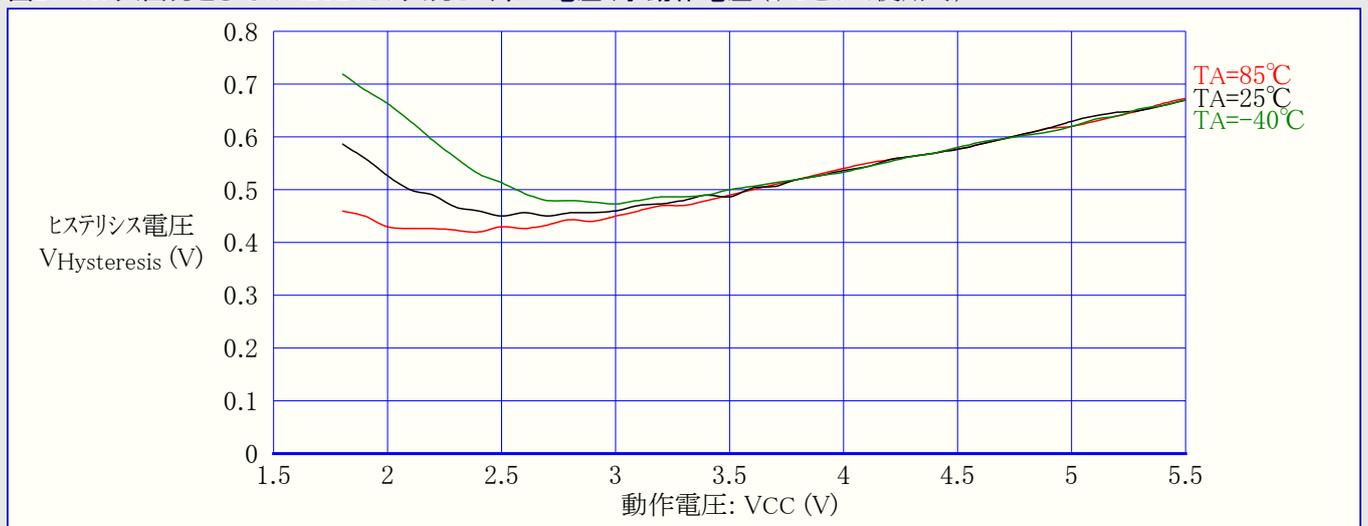


図21-43. 入出力としてのRESETピン入力ヒステリシス電圧 対 動作電圧 (I/Oとして使用時)



## 21.10. 低電圧検出器(BOD)、バンドギャップ、リセット

図21-44. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)

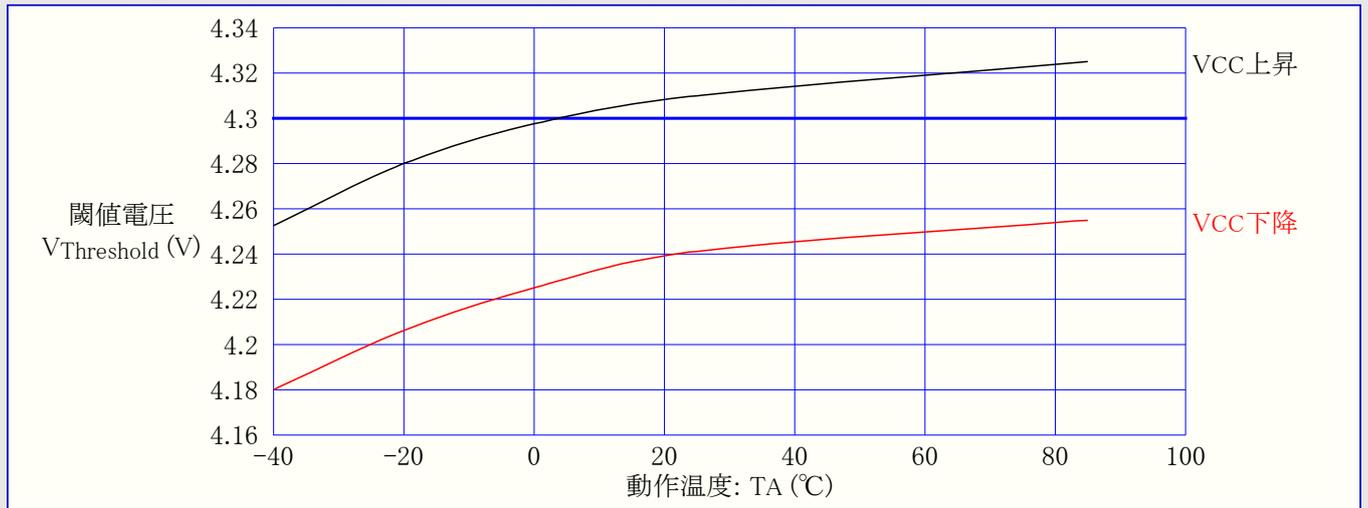


図21-45. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

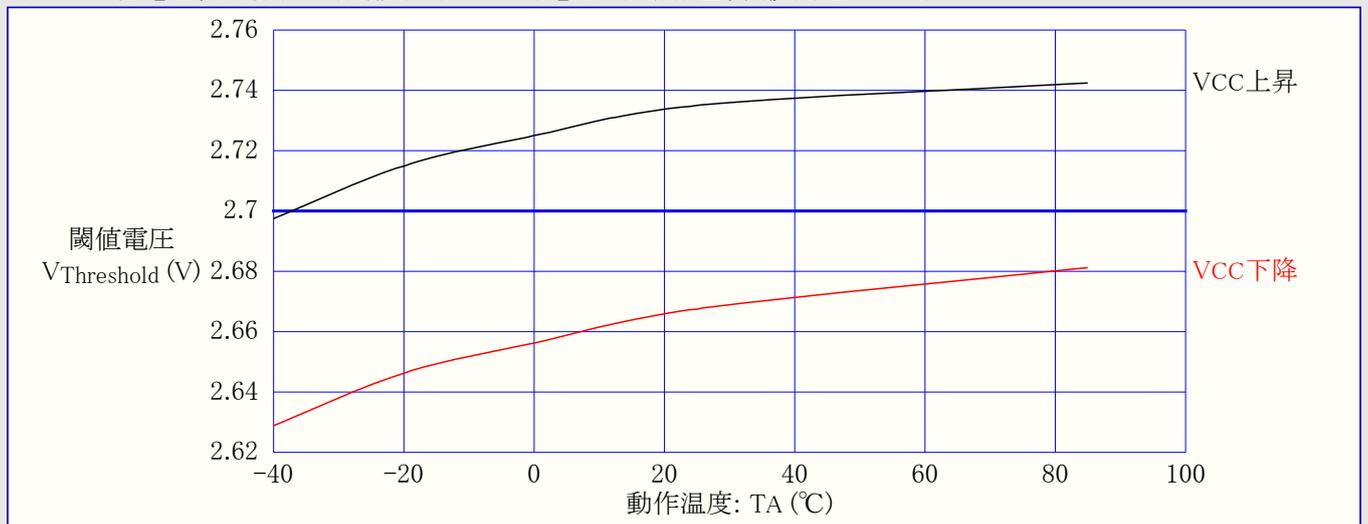


図21-46. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)

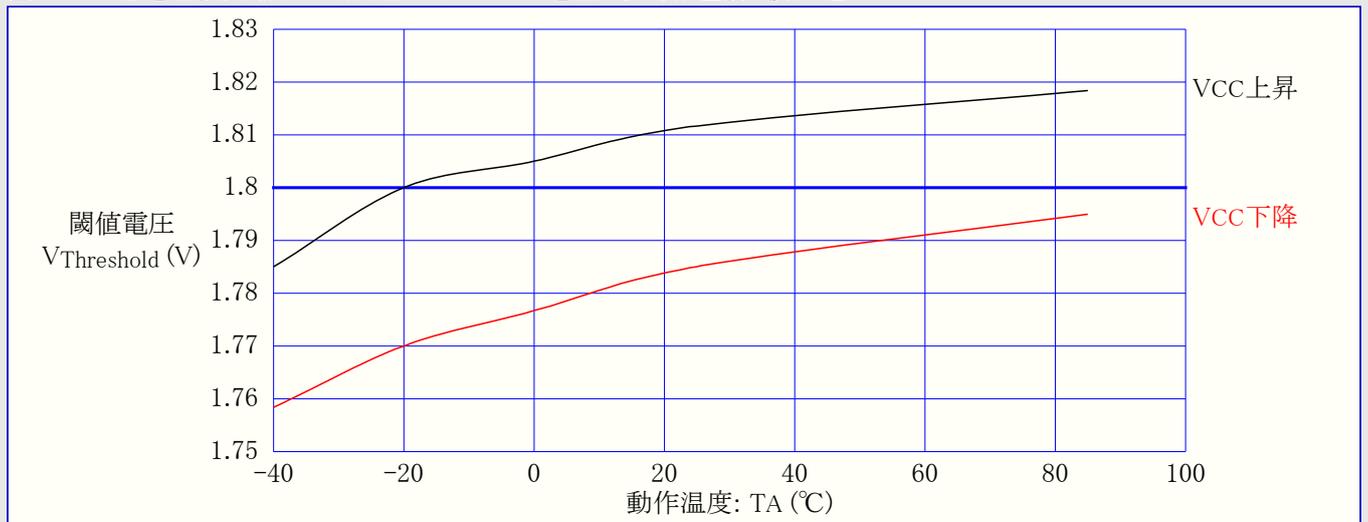


図21-47. 内部バンドギャップ電圧 対 動作電圧

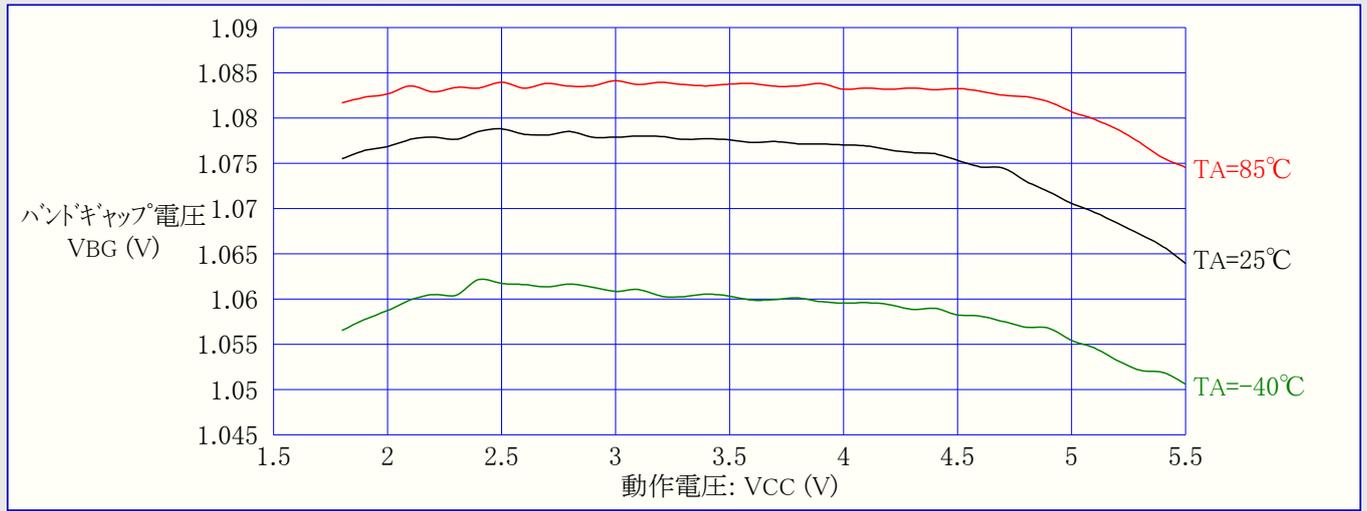


図21-48. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,I/Oピン1読み値)

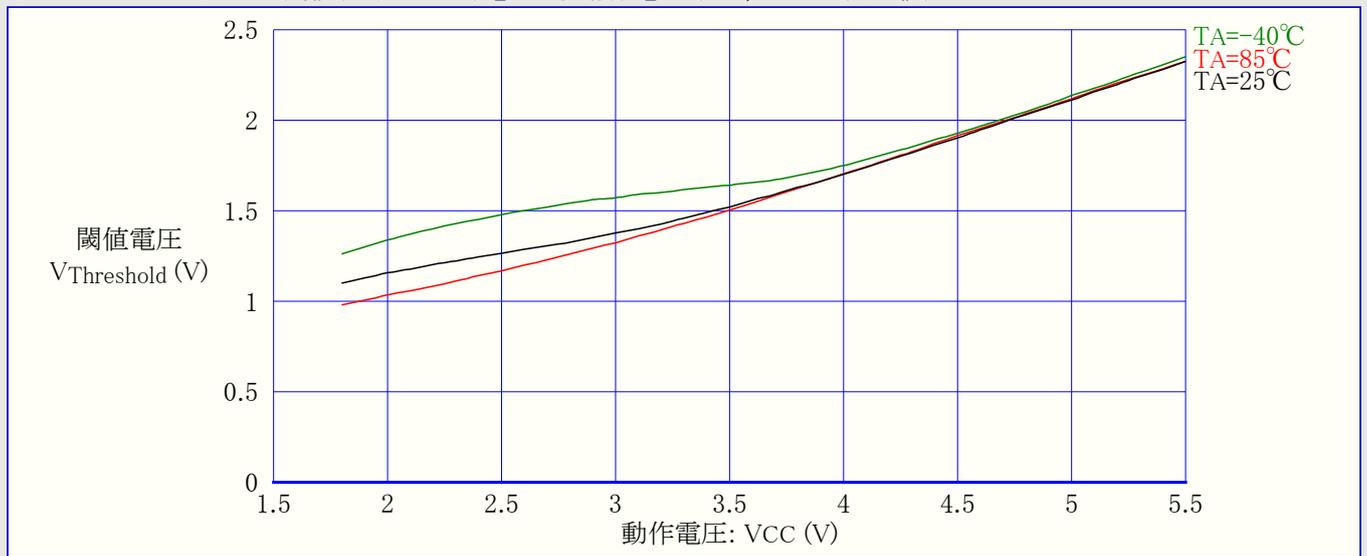


図21-49. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,I/Oピン0読み値)

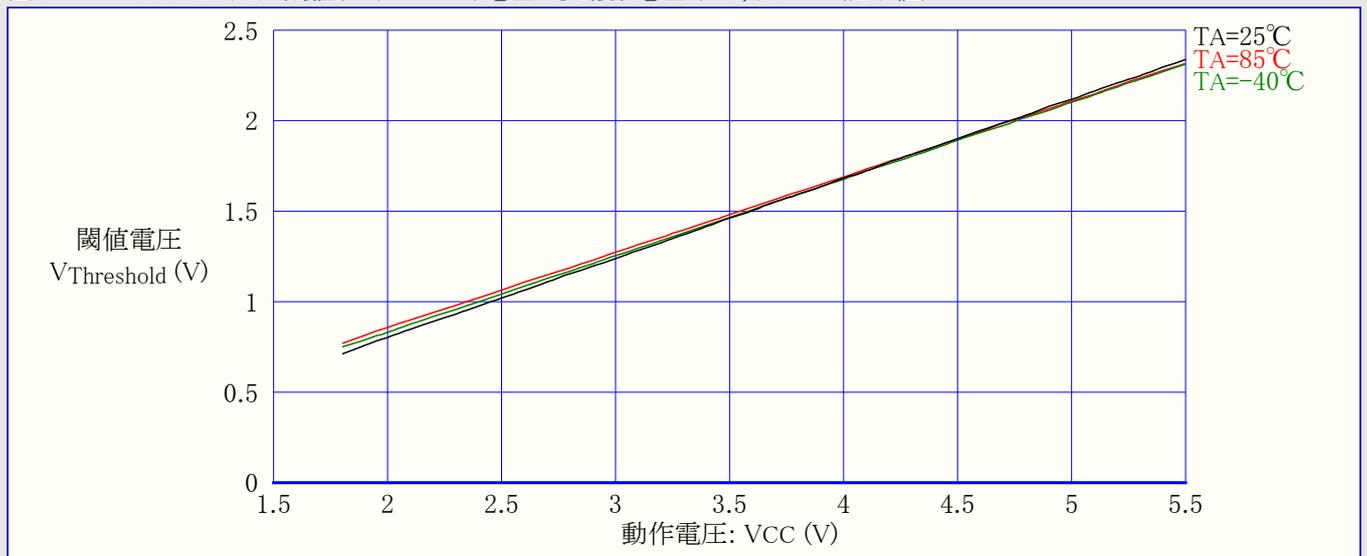


図21-50. RESET入力ヒステリシス電圧 対 動作電圧

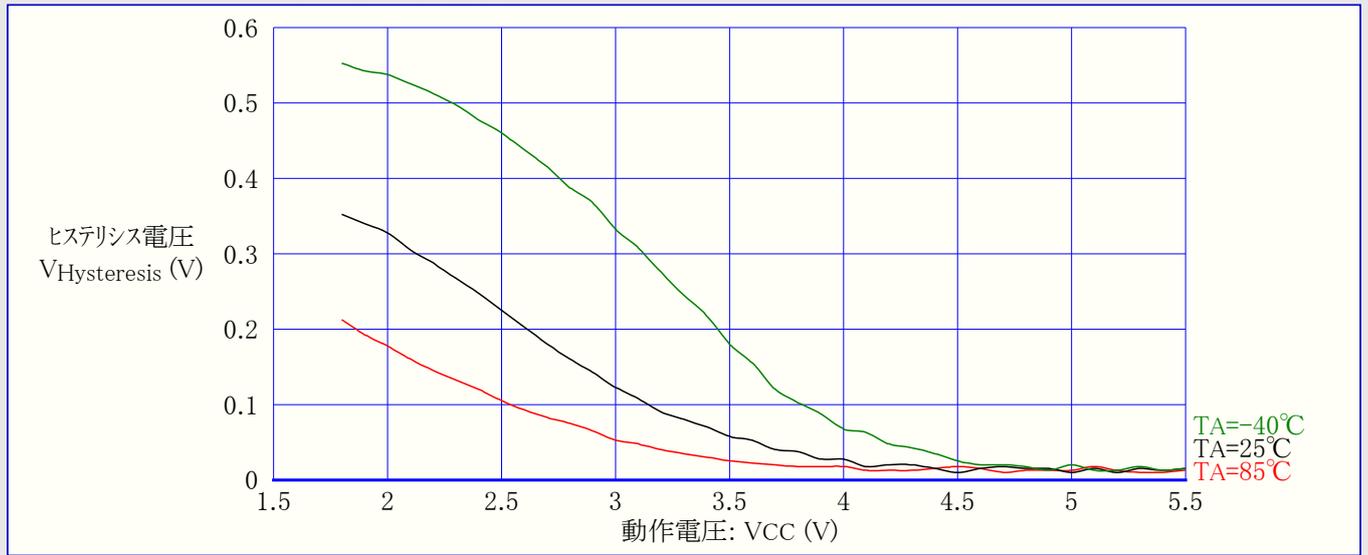
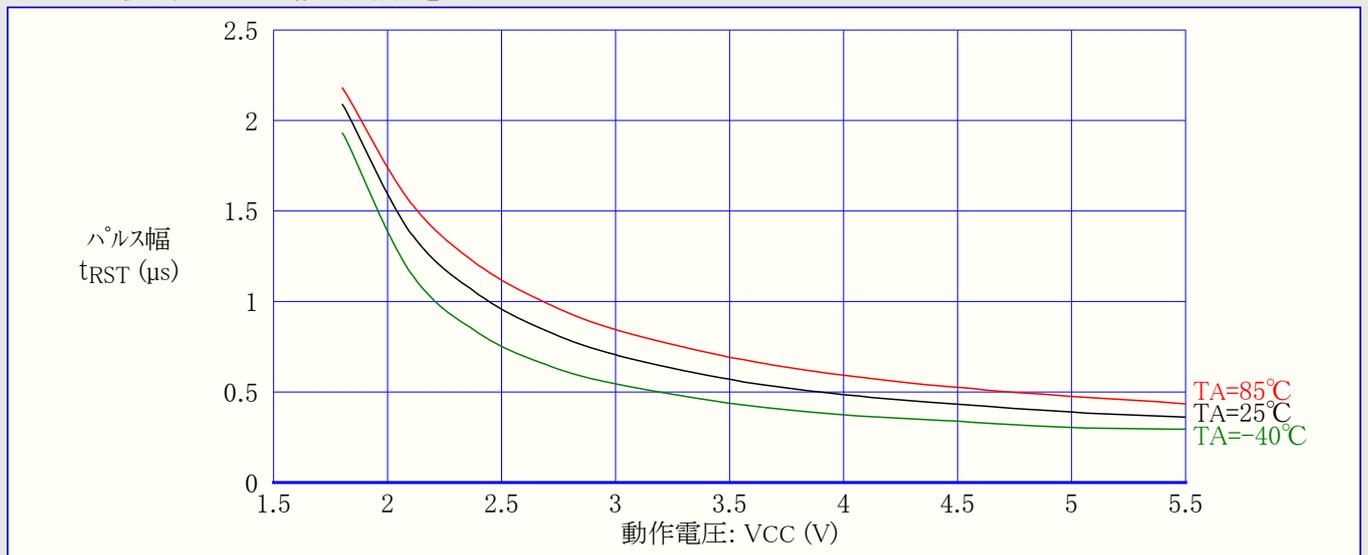
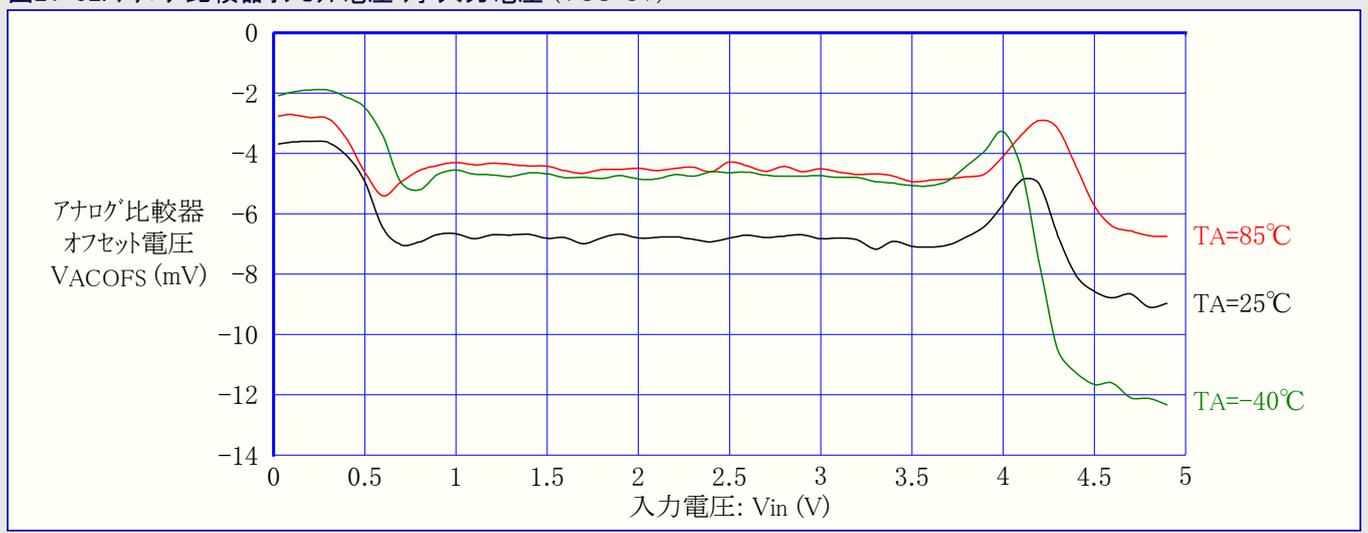


図21-51. 最小リセットパルス幅 対 動作電圧



## 21.11. アナログ比較器オフセット

図21-52. アナログ比較器オフセット電圧 対 入力電圧 (VCC=5V)



## 21.12. 内部発振器周波数

図21-53. ウォッチドッグ発振器周波数 対 動作電圧

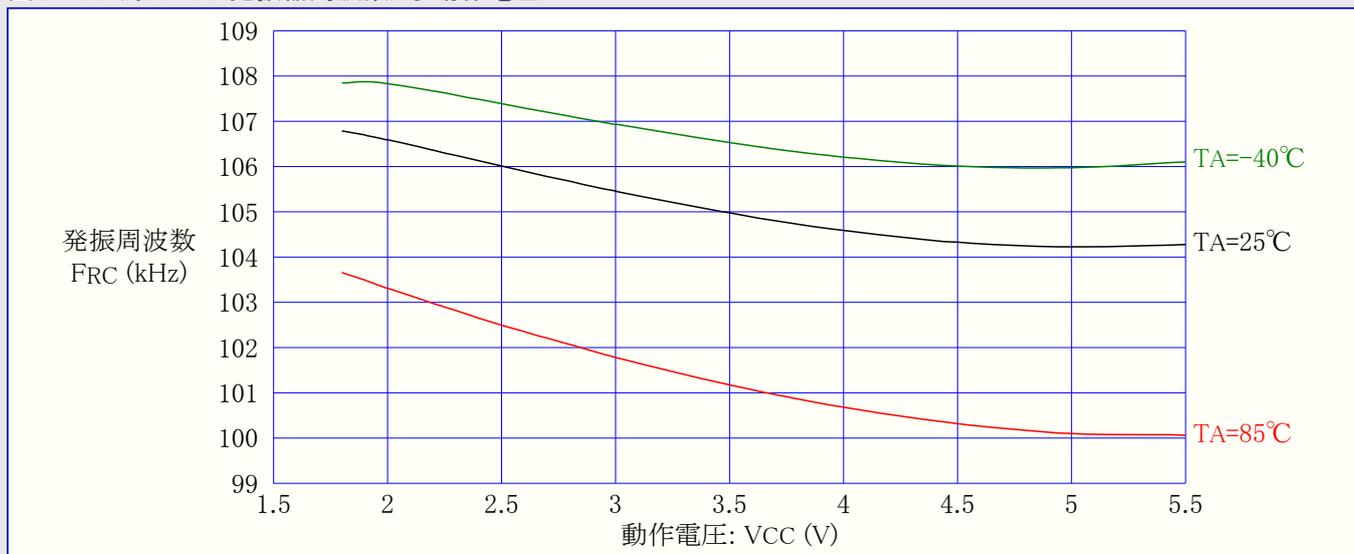


図21-54. ウォッチドッグ発振器周波数 対 動作温度

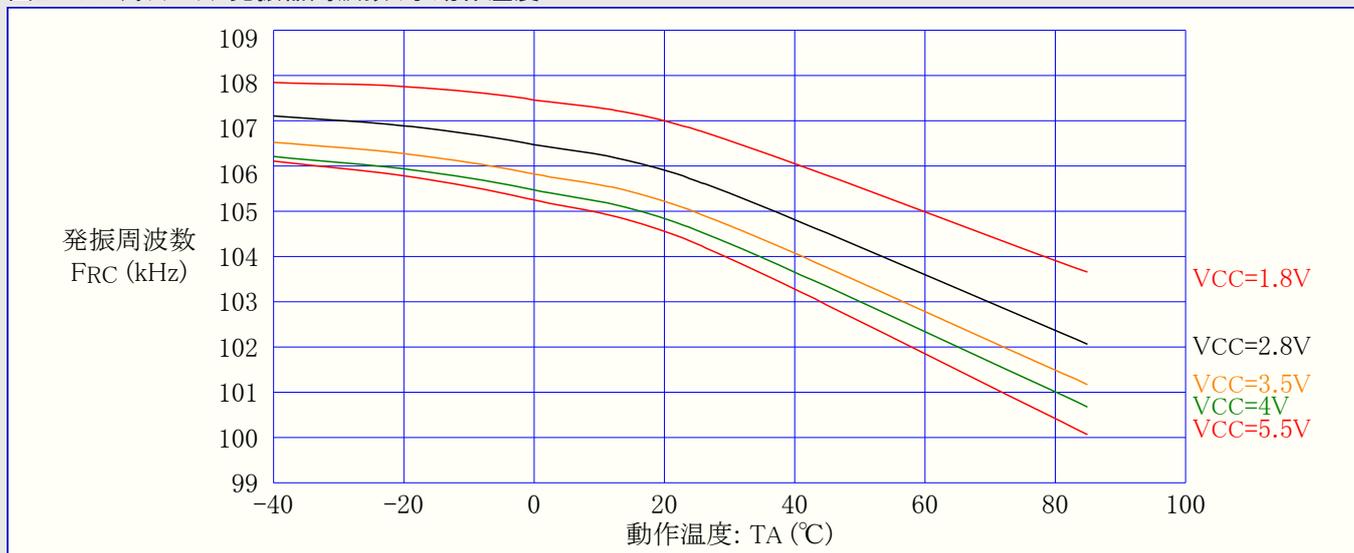


図21-55. 校正付き8MHz内蔵RC発振器周波数 対 動作電圧

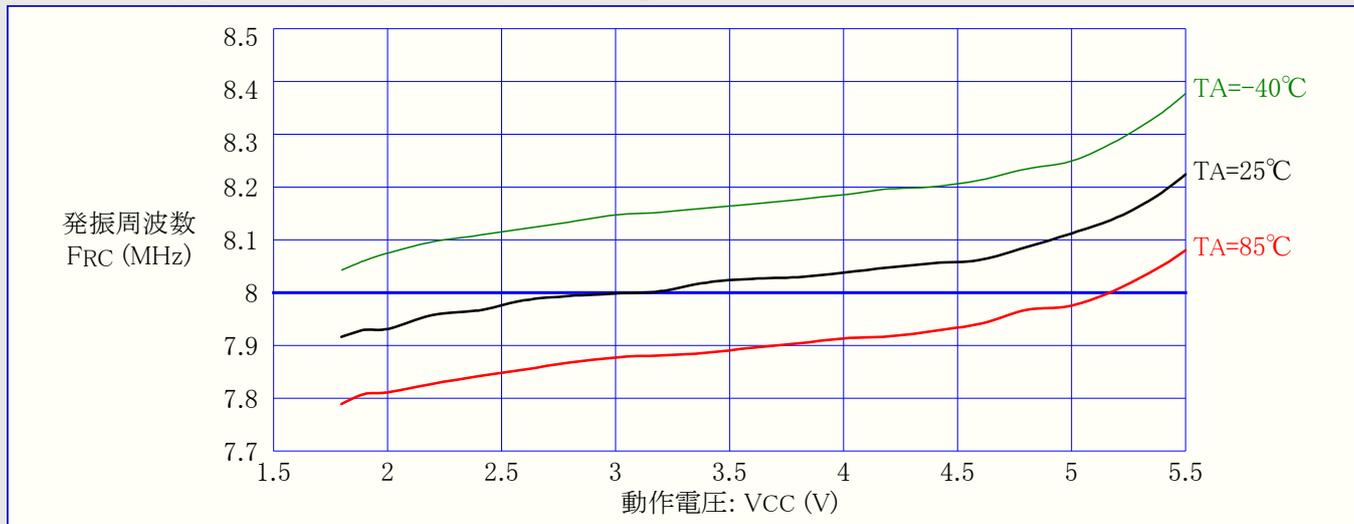


図21-56. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

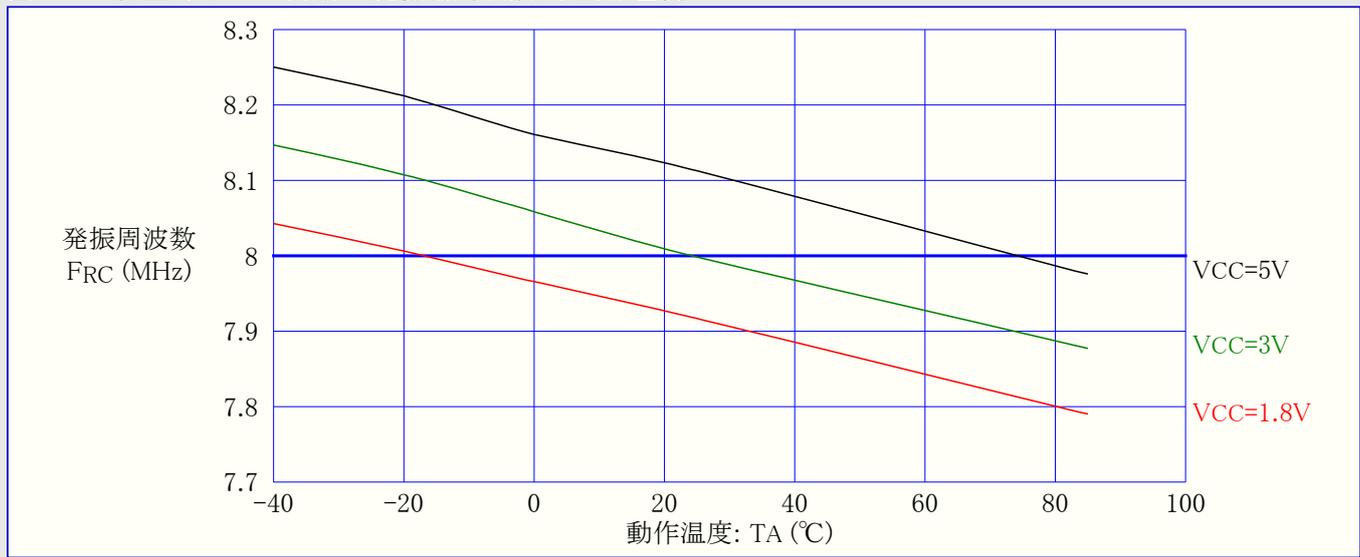
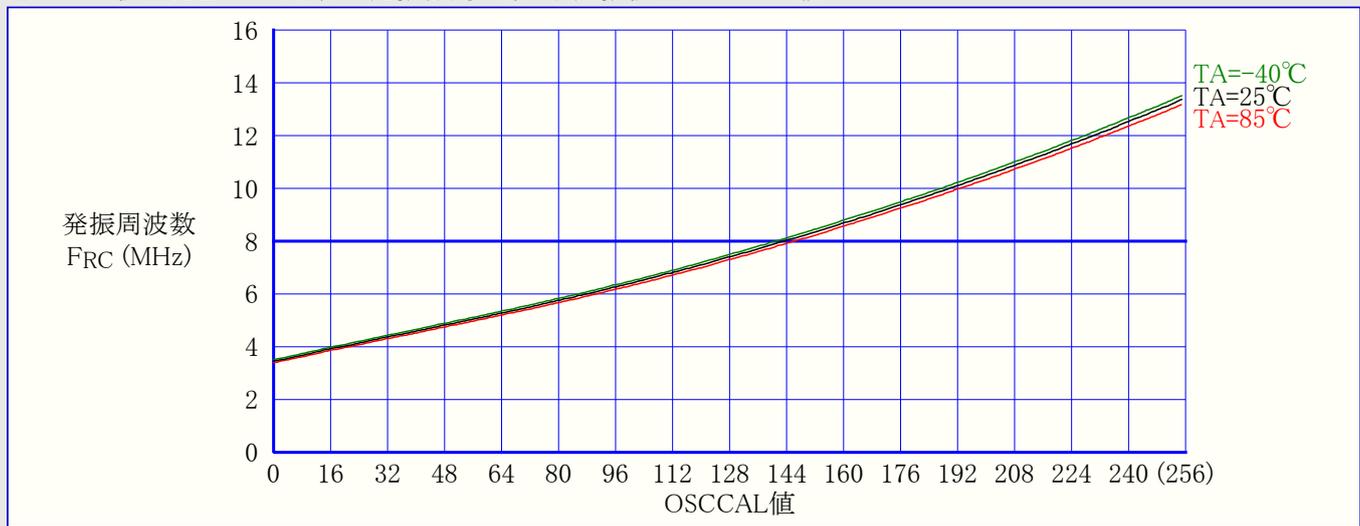


図21-57. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



## 22. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
\$3F	SREG	I	T	H	S	V	N	Z	C	10	
\$3E	SPH	(SP15)	(SP14)	(SP13)	(SP12)	(SP11)	(SP10)	(SP9)	(SP8)	9	
\$3D	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	9	
\$3C	CCP	構成設定変更保護バイト									
\$3B	RSTFLR	-	-	-	-	WDRF	BORF	EXTRF	PORF	26	
\$3A	MCUCR	ICSC01	ICSC00	-	BODS	SM2	SM1	SM0	SE	28,20	
\$39	OSCCAL	内蔵RC発振器 発振校正値レジスタ									
\$38	予約										
\$37	CLKMSR	-	-	-	-	-	-	CLKMS1	CLKMS0	16	
\$36	CLKPSR	-	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	16	
\$35	PRR	-	-	-	PRTWI	PRSPI	PRTIM1	PRTIM0	PRADC	20	
\$34	QTCSR	QTouch制御/状態レジスタ									
\$33	NVMCMD	-	-	NVM指令						-	108
\$32	NVMCSR	NVMSY	-	-	-	-	-	-	-	108	
\$31	WDTCR	WDIF	WDIE	WDP3	-	WDE	WDP2	WDP1	WDP0	25	
\$30	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	72	
\$2F	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X	72	
\$2E	SPDR	SPI データレジスタ									
\$2D	TWSCRA	TWSHE	-	TWDIE	TWASIE	TWEN	TWSIE	TWPME	TWSME	79	
\$2C	TWSCR	-	-	-	-	-	TWAA	TWCMD1	TWCMD0	80	
\$2B	TWSSRA	TWDIF	TWASIF	TWCH	TWRA	TWC	TWBE	TWDIR	TWAS	80	
\$2A	TWSA	TWI 従装置アドレスレジスタ									
\$29	TWSAM	TWI 従装置アドレス遮蔽レジスタ									
\$28	TWSD	TWI 従装置データレジスタ									
\$27	TCNT1H	タイマ/カウンタ1 上位バイト									
\$26	TIMSK	ICIE1	-	OCIE1B	OCIE1A	TOIE1	OCIE0B	OCIE0A	TOIE0	65,54	
\$25	TIFR	ICF1	-	OCF1B	OCF1A	TOV1	OCF0B	OCF0A	TOV0	65,54	
\$24	TCCRIA	TCW1	ICEN1	ICNC1	ICES1	CTC1	CS12	CS11	CS10	63	
\$23	TCNT1L	タイマ/カウンタ1 下位バイト									
\$22	OCR1A	タイマ/カウンタ1 比較Aレジスタ									
\$21	OCR1B	タイマ/カウンタ1 比較Bレジスタ									
\$20	RAMAR	RAMアドレスレジスタ									
\$1F	RAMDR	RAMデータレジスタ									
\$1E	PUEC	-	-	PUEC5	PUEC4	PUEC3	PUEC2	PUEC1	PUEC0	42	
\$1D	PORTC	-	-	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	42	
\$1C	DDRC	-	-	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	42	
\$1B	PINC	-	-	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	42	
\$1A	PCMSK2	-	-	PCINT17	PCINT16	PCINT15	PCINT14	PCINT13	PCINT12	30	
\$19	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	51	
\$18	TCCR0B	FOC0A	FOC0B	TSM	PSR	WGM02	CS02	CS01	CS00	67,52	
\$17	TCNT0	タイマ/カウンタ0									
\$16	OCR0A	タイマ/カウンタ0 比較Aレジスタ									
\$15	OCR0B	タイマ/カウンタ0 比較Bレジスタ									
\$14	ACSRA	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	83	
\$13	ACSRB	HSEL	HLEV	ACLP	-	ACCE	ACME	ACIRS1	ACIRS0	84	
\$12	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	92	
\$11	ADCSRB	VDEN	VDPD	-	-	ADLAR	ADTS2	ADTS1	ADTS0	93	
\$10	ADMUX	-	REFS	REFEN	ADC0EN	MUX3	MUX2	MUX1	MUX0	92	
\$0F	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)									
\$0E	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1~0)									
\$0D	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D/AIN1D	ADC1D/AIN0D	ADC0D	94,85	
\$0C	GIMSK	-	PCIE2	PCIE1	PCIE0	-	-	-	INT0	29	
\$0B	GIFR	-	PCIF2	PCIF1	PCIF0	-	-	-	INTF0	29	
\$0A	PCMSK1	-	-	-	-	PCINT11	PCINT10	PCINT9	PCINT8	30	
\$09	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	30	
\$08	PORTCR	ADC11D	ADC10D	ADC9D	ADC8D	-	BBMC	BBMB	BBMA	94,41	
\$07	PUEB	-	-	-	-	PUEB3	PUEB2	PUEB1	PUEB0	41	
\$06	PORTB	-	-	-	-	PORTB3	PORTB2	PORTB1	PORTB0	42	
\$05	DDRB	-	-	-	-	DDB3	DDB2	DDB1	DDB0	42	
\$04	PINB	-	-	-	-	PINB3	PINB2	PINB1	PINB0	42	
\$03	PUEA	PUEA7	PUEA6	PUEA5	PUEA4	PUEA3	PUEA2	PUEA1	PUEA0	41	
\$02	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	41	
\$01	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	41	
\$00	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	41	

- 注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。
- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用で検査できます。
  - いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに留意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。

## 23. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
<b>算術、論理演算命令</b>					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
<b>分岐命令</b>					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3/4
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3/4
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4/5
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4/5
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBRs	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	C=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	C=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	(N EOR V)=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	(N EOR V)=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K : 8ビット定数  
b : ビット(0~7)

P : I/Oレジスタ

k : アドレス定数(7,12ビット)

Rd, Rr : 汎用レジスタ(R0~R31)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

X, Y, Z : X, Y, Zレジスタ

ニーモニック	オペランド	意味	動作	フラグ	クロック
<b>データ移動命令</b>					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2/3
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2/3
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1/2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2/3
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	1
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
<b>ビット関係命令</b>					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,V,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
<b>MCU制御命令</b>					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	対応デバッグ資料参照	I,T,H,S,V,N,Z,C	1

(訳補) CALL,RET,LD,ST系の実行クロック数は本文説明や他の資料と矛盾する部分があるため誤っている可能性があります。また、LD系命令でデータ空間に割り当てられたフラッシュメモリを読む場合に命令の事前取得が待たされるため、1クロック周期の追加が必要です。この場合のST系命令は(これらの領域が読み込み専用のため)無効なので基本的にクロック周期追加が行われなれないと思われまます。

## 24. 注文情報

デバイス	速度(MHz)	電源電圧	注文コード <sup>*</sup> (注1)	外囲器 (注2)	動作範囲
ATtiny40	12	1.8~5.5V	ATtiny40-SU	20S2	工業用 (-40°C~85°C) (注4)
			ATtiny40-SUR		
			ATtiny40-XU	20X	
			ATtiny40-XUR		
			ATtiny40-MMH (注3)	20M2	
ATtiny40-MMHR (注3)					

**注1:** 符号は以下を示します。

- ・ H : ニッケル・パラジウム・金(NiPdAu)仕上げ。
- ・ U : 半光沢錫。
- ・ R : テープとリール。

**注2:** 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

**注3:** ATtiny40に対する表側印は以下のとおりです。

- ・ 第1行 : T40
- ・ 第2,3行 : 製造データ

**注4:** このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄りのAtmel営業所へお問い合わせください。

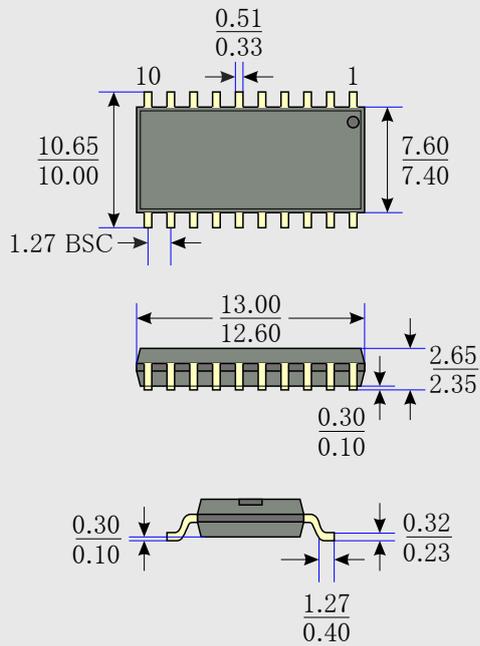
### 外囲器形式

20S2	20リード <sup>*</sup> 7.6mm幅本体 プラスティック翼状小型外形外囲器 (SOIC)
20X	20リード <sup>*</sup> 4.4mm本体 プラスティック薄型縮小小型外形外囲器 (TSSOP)
20M2	20パッド <sup>*</sup> 3×3×0.85mm本体 極薄4方向平板リードなし外囲器 (VQFN)

## 25. 外圍器情報

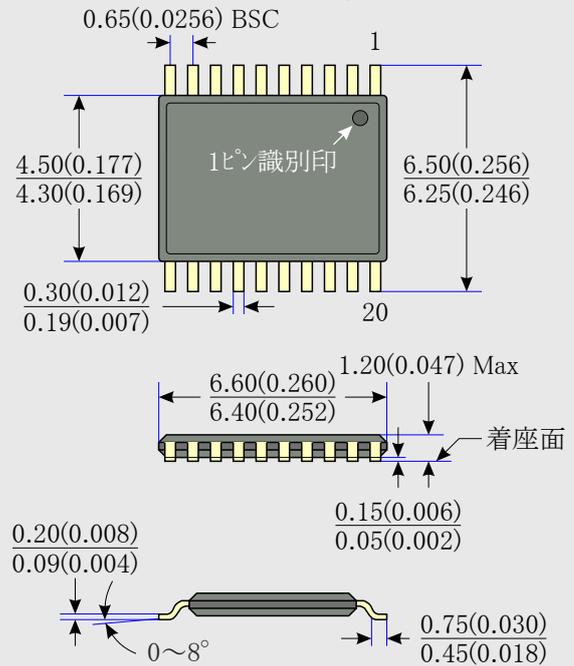
### 25.1. 20S2

20リード、300mil幅 プラスチック小外形外圍器 (SOIC)  
 寸法: mm  
 JEDEC規格 MS-013 AC



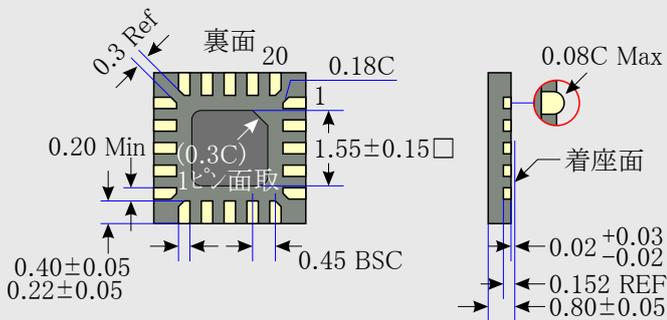
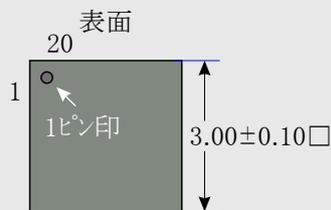
### 25.2. 20X

20リード、プラスチック縮小薄型小外形外圍器 (TSSOP)  
 寸法: mm、( )内はインチ  
 JEDEC規格 M0-153 AC



### 25.3. 20M2

20パット、極薄4方向平板リードなし外圍器 (VQFN)  
 寸法: mm



## 26. 障害情報

この章の改訂番号は対応するATtiny40デバイスの改訂版を参照してください。

### 26.1. 改訂A

試供されていません。

### 26.2. 改訂B

- ・ 従装置選択( $\overline{SS}$ )信号によってMISO出力駆動部が禁止されない **B**
- ・ 休止動作形態での消費電流が仕様を超えるかもしれない **B**

#### 1. 従装置選択( $\overline{SS}$ )信号によってMISO出力駆動部が禁止されない (B)

SPIが従装置として構成設定され、MISOピンが出力として構成設定される時に、このピンの出力駆動部は例え $\overline{SS}$ ピンがHighの時でも絶えず許可されます。他の従装置が同じMISO線に接続される場合、この動きは駆動衝突を引き起こすかもしれません。

##### 対策/対処

ソフトウェアによって $\overline{SS}$ ピンを監視し、MISOピン駆動部を制御するのにDDRCのDDC2ビットを使ってください。

#### 2. 休止動作形態での消費電流が仕様を超えるかもしれない (B)

R27レジスタのいくつかの設定は休止動作形態での消費電流を増すかもしれません。

##### 対策/対処

休止動作形態に入る前に、R27レジスタが\$00または\$01で設定されていないことを確実にしてください。

## 27. データシート改訂履歴

### 27.1. 8263A – 2010年8月

1. 初版、8235\_t20から複写して修正

### 27.2. 8263B – 2013年1月

1. 暫定状態を削除

2. 更新:

- 4頁のアイドル動作記述
- 5頁の「容量性接触感知」(項の移動と更新)
- 5頁の「お断り」
- 6頁の16ビットレジスタの記述
- 7頁のスタックポインタの記述
- 18頁の「アイドル動作」内の活動単位部の一覧
- 23頁の「ウォッチドッグリセット」内のリセットパルス幅の記述
- 45頁の図11-3.内のビット記述
- 46頁の「比較一致出力選択と波形生成」項
- 47頁の「動作種別」、(2ヶ所で) $f_{OC0A} = f_{clk\_I/O}/2$ を $f_{clk\_I/O}/2$ に単純化
- 47頁の図11-5.、48頁の図11-6.、49頁の図11-7.
- 47頁、48頁、49頁の式
- 48頁と49頁の最端値を記述する項内の用語
- 49頁の周波数波形生成での記述
- 69頁のSPI従装置アセンブリ言語コード例
- 90頁の信号源インピーダンスの記述
- 109頁の「速度」
- 113頁の図21-3.と115頁の図21-9.での特性
- 最終頁

3. 追加:

- 77頁の「SMBusとの適合性」
- 92頁の表17-4.で内部基準電圧での注
- 110頁の「2線直列インターフェース特性」
- 137頁の「障害情報」

## 目次

特徴	1	11.6. 比較一致出力部	46
1. ピン配置	2	11.7. 動作種別	47
1.1. ピン説明	3	11.8. タイマ/カウンタのタイミング	50
2. 概要	4	11.9. 8ビット タイマ/カウンタ0用レジスタ	51
3. 一般情報	5	12. タイマ/カウンタ1	55
3.1. 資料	5	12.1. 特徴	55
3.2. コード例	5	12.2. 概要	55
3.3. 容量性接触感知	5	12.3. タイマ/カウンタのクロック	56
3.3. データ保持力	5	12.4. 計数器部	56
3.4. お断り	5	12.5. 捕獲入力部	57
4. CPU コア	6	12.6. 比較部	58
4.1. 構造概要	6	12.7. 動作種別	58
4.2. ALU (Arithmetic Logic Unit)	6	12.8. タイマ/カウンタのタイミング	60
4.3. ステータス レジスタ	6	12.9. 16ビット動作でのレジスタ アクセス	61
4.4. 汎用レジスタ ファイル	7	12.10. タイマ/カウンタ1用レジスタ	63
4.5. スタック ポインタ	7	13. タイマ/カウンタの前置分周器	66
4.6. 命令実行タイミング	8	13.1. 前置分周器リセット	66
4.7. リセットと割り込みの扱い	8	13.2. 外部クロック元	66
4.8. コア関係レジスタ	9	13.3. タイマ/カウンタ前置分周器用レジスタ	67
5. メモリ	11	14. SPI (直列周辺インターフェース)	68
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	11	14.1. 特徴	68
5.2. データ メモリ	11	14.2. 概要	68
5.3. I/Oメモリ (レジスタ)	13	14.3. SSピンの機能	70
5.4. RAMインターフェース用レジスタ	13	14.4. データ転送形式	71
6. クロック体系	14	14.5. SPI用レジスタ	72
6.1. クロック副系統	14	15. 2線従装置インターフェース (TWI)	74
6.2. クロック元	14	15.1. 特徴	74
6.3. システム クロック前置分周器	15	15.2. 概要	74
6.4. 始動	15	15.3. 一般的なTWIバスの概念	74
6.5. クロック関係レジスタ	16	15.4. TWI従装置動作	78
7. 電力管理と休止形態動作	18	15.5. TWI用レジスタ	79
7.1. 休止形態動作種別	18	16. アナログ比較器	83
7.2. ソフトウェア低電圧検出(BOD)禁止	19	16.1. アナログ比較器入力選択	83
7.3. 電力削減レジスタ	19	16.2. アナログ比較器用レジスタ	83
7.4. 消費電力の最小化	19	17. A/D変換器	86
7.5. 電力管理用レジスタ	20	17.1. 特徴	86
8. システム制御とリセット	22	17.2. 概要	86
8.1. AVRのリセット	22	17.3. 操作	87
8.2. リセット元	22	17.4. 変換の開始	87
8.3. 内部基準電圧	23	17.5. 前置分周と変換タイミング	88
8.4. ウォッチドッグ タイマ	24	17.6. チャネル変更と基準電圧選択	89
8.5. リセット関係レジスタ	25	17.7. 雑音低減機能	90
9. 割り込み	27	17.8. アナログ入力回路	90
9.1. 割り込みベクタ	27	17.9. アナログ雑音低減技術	90
9.2. 外部割り込み	28	17.10. A/D変換の精度定義	91
9.3. 割り込み用レジスタ	28	17.11. A/D変換の結果	91
10. 入出力ポート	31	17.12. 温度測定	91
10.1. 概要	31	17.13. A/D変換用レジスタ	92
10.2. 標準デジタル入出力としてのポート	31	18. プログラミング インターフェース	95
10.3. 交換ポート機能	34	18.1. 特徴	95
10.4. I/Oポート用レジスタ	41	18.2. 概要	95
11. タイマ/カウンタ0	43	18.3. Tinyプログラミング インターフェースの物理層	95
11.1. 特徴	43	18.4. Tinyプログラミング インターフェースのアクセス層	98
11.2. 概要	43	18.5. 命令一式	98
11.3. クロック元	44	18.6. 不揮発性メモリ制御器のアクセス	100
11.4. 計数器部	44	18.7. 制御/状態空間レジスタ説明	100
11.5. 比較出力部	45	19. メモリプログラミング	102
		19.1. 特徴	102

19.2.	概要	102
19.3.	不揮発性メモリ	102
19.4.	NVMのアクセス	104
19.5.	自己プログラミング	106
19.6.	外部プログラミング	107
19.7.	NVMプログラミング用レジスタ	107
20.	電気的特性	108
20.1.	絶対最大定格	108
20.2.	DC特性	108
20.3.	速度	109
20.4.	クロック特性	109
20.5.	システムとリセットの特性	109
20.6.	2線直列インターフェース特性	110
20.7.	アナログ比較器特性	111
20.8.	A/D変換器特性	111
20.9.	直列プログラミング特性	111
21.	代表特性	112
21.1.	周辺機能部供給電流	112
21.2.	活動動作消費電流	112
21.3.	アイドル動作消費電流	114
21.4.	パワーダウン動作消費電流	116
21.5.	リセット消費電流	117
21.6.	周辺機能部消費電流	117
21.7.	ブルアップ抵抗	119
21.8.	出力駆動部能力	121
21.9.	入力閾値とヒステリシス	125
21.10.	低電圧検出器(BOD)、バンドキャップ、リセット	127
21.11.	アナログ比較器オフセット	129
21.12.	内部発振器周波数	130
22.	レジスタ要約	132
23.	命令要約	133
24.	注文情報	135
25.	外圍器情報	136
26.	障害情報	137
27.	データシート改訂履歴	138



Enabling Unlimited Possibilities®

*Atmel Corporation*

1600 Technology Drive  
San Jose, CA 95110  
USA  
TEL (+1)(408) 441-0311  
FAX (+1)(408) 487-2600  
[www.atmel.com](http://www.atmel.com)

*Atmel Asia Limited*

Unit 01-5 & 16, 19F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
HONG KONG  
TEL (+852) 2245-6100  
FAX (+852) 2722-1369

*Atmel Munich GmbH*

Business Campus  
Parking 4  
D-85748 Garching b. Munich  
GERMANY  
TEL (+49) 89-31970-0  
FAX (+49) 89-3194621

*Atmel Japan G.K.*

141-0032 東京都品川区  
大崎1-6-4  
新大崎勸業ビル 16F  
アトメル ジャパン合同会社  
TEL (+81)(3)-6417-0300  
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:8263B-AVR-01/2013

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

**お断り:** 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATtiny40英語版データシート(改訂8263B-01/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。