

特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - ・強力な123命令(多くは1周期実行)
 - ・32個の1バイト長汎用レジスタ
 - ・完全なスタティック動作
- データメモリと不揮発性プログラムメモリ
 - ・実装書き換え可能な4Kバイト(2K語)フラッシュメモリ内蔵
 - ・64バイトのEEPROM
 - ・256バイトの内蔵SRAM
 - ・書き換え回数: 10,000/フラッシュ, 100,000/EEPROM
 - ・データ保持力: 20年/85°C, 100年/25°C
 - ・ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
 - ・容量性接触感知(8チャンネル)に対するQTouch®ライブラリ支援
 - ・各々2つのPWM出力付き、2つの8ビットタイマ/カウンタ
 - ・設定可能な内蔵発振器付きウォッチドッグタイマ
 - ・アナログ比較器
 - ・10ビットA/D変換器
 - ・4つのシングルエンタチャンネル
 - ・多用途直列インターフェース(USI)
 - ・昇圧変換器
- 特殊マイクロコントローラ機能
 - ・デバッグWIRE内蔵デバッグ機能
 - ・SPIポート経由の実装書き込み
 - ・内部及び外部の割り込み
 - ・16ピンでのピン変化割り込み
 - ・アイドル、A/D変換雑音低減、パワーダウンの3つの低消費動作
 - ・強化した電源ONリセット回路
 - ・設定可能な低電圧検出器(BOD)回路
 - ・校正付き内蔵RC発振器
 - ・チップ上の温度感知器
- I/Oと外圍器
 - ・20リードSOIC、20ピンQFN/MLFが利用可能
 - ・16ビットの設定変更可能なI/O
- 動作電圧
 - ・0.7~1.8V (内蔵昇圧変換器経由)
 - ・1.8~5.5V (昇圧変換器迂回)
- 動作速度
 - ・内蔵昇圧変換器使用
 - ・0~4MHz
 - ・外部電源
 - ・0~4MHz/1.8~5.5V
 - ・0~8MHz/2.7~5.5V
- 低消費電力
 - ・活動動作 (1MHz, 昇圧変換器なし):
 - ・400µA (3V)
 - ・パワーダウン動作 (昇圧変換器なし):
 - ・150nA (3V)

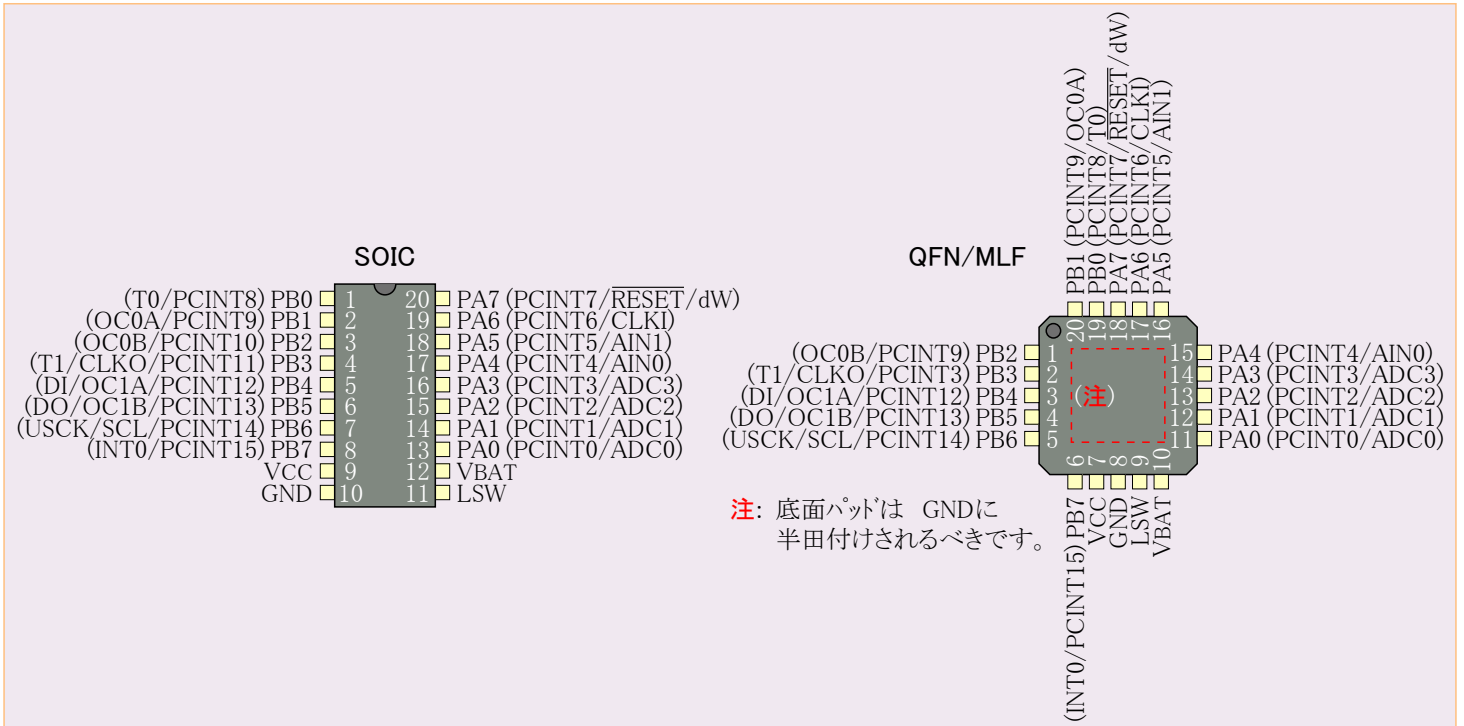
本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。



8ビット AVR®
マイクロコントローラ
実装書き換え可能な
4Kバイトフラッシュメモリ、
昇圧変換器内蔵

ATtiny43U

1. ピン配置



1.1. ピン概要

1.1.1. VCC

電源ピン。

1.1.2. GND

接地ピン。

1.1.3. PA7～PA0 (ポートA)

ポートAは(ビット単位で選択される)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。RESET能力を持つPA7を除いて、ポートA出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。PA7ピンをRESETの代わりにI/Oピンとして使うには、**RSTDISBL**レジスタをプログラム(0)にしてください。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートAピンはHi-Zにされます。

ポートAには45頁の「**ポートAの交換機能**」で示されるA/D変換器とアナログ比較器用のアナログ入力、ピン変化割り込みとしての交換機能があります。

1.1.4. RESET

リセット入力。RESETピンが禁止されていなければ、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は104頁の表20-4.で与えられます。より短いパルスはリセットの生成が保証されません。

1.1.5. PB3～PB0 (ポートB)

ポートBは(ビット単位で選択される)内蔵プルアップ抵抗付きの4ビット双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。

ポートBは47頁の「**ポートBの交換機能**」で示される様々な特殊機能も扱います。

1.1.6. LSW

昇圧変換器外部インダクタ接続。昇圧変換器が恒久的に禁止される時はGNDに接続してください。

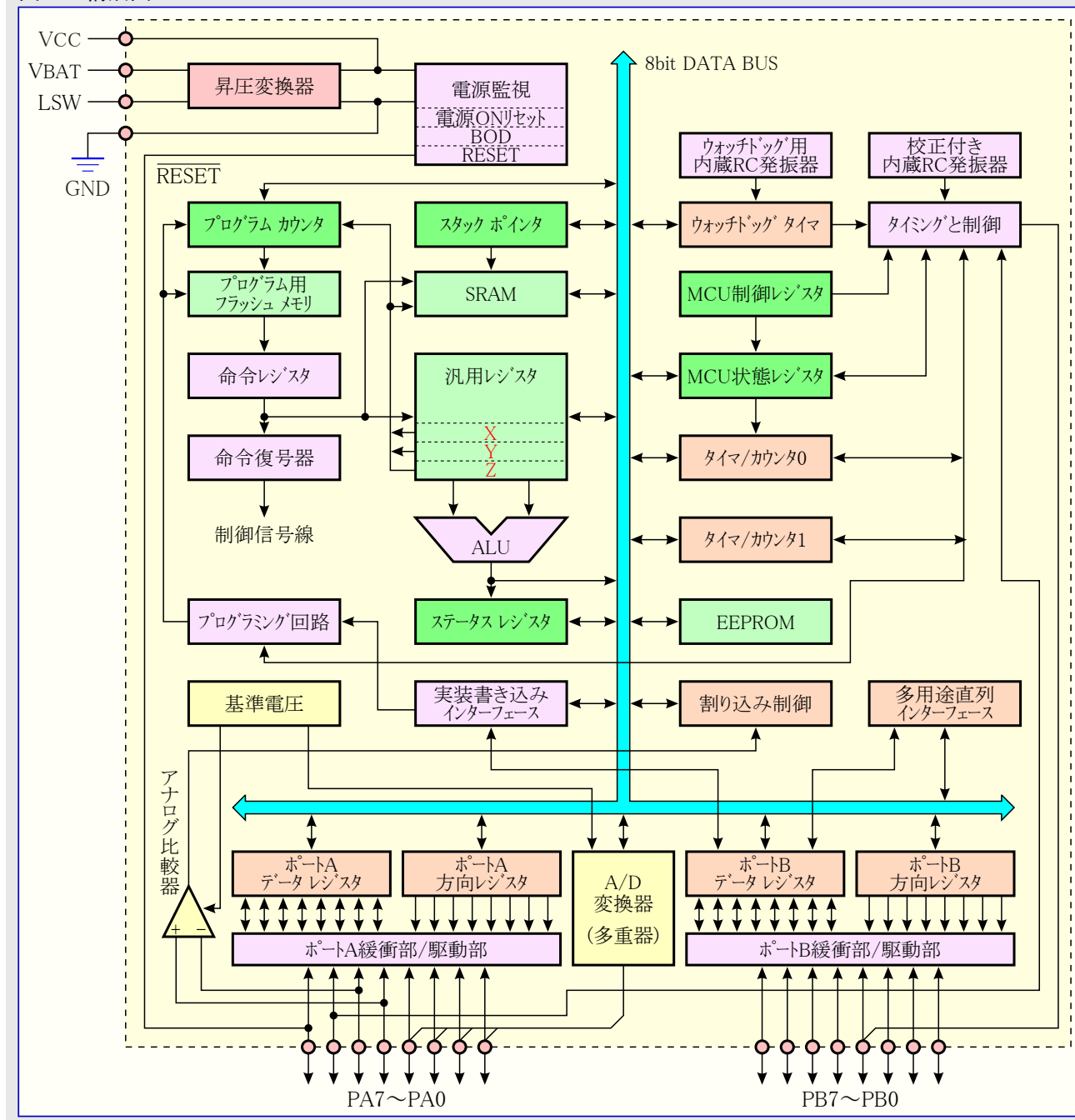
1.1.7. VBAT

電池供給電圧。昇圧変換器が恒久的に禁止される時はGNDに接続してください。

2. 概要

ATtiny43UはAVR強化RISC構造を基にした低消費CMOS 8ビット マイクロ コントローラです。1周期での強力な命令の実行によってATtiny43UはMHzあたり1MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図2-1. 構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して最大10倍の単位処理量向上効果があります。

ATtiny43Uは4Kバイトの実装書き込み可能なフラッシュメモリ、64バイトのEEPROM、256バイトのSRAM、16本の汎用入出力線、32個の汎用作業レジスタ、PWMチャネル付きの2つの8ビットタイマ/カウンタ、内部及び外部割り込み、4チャネルの10ビットA/D変換器、多用途直列インターフェース(USI)、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、校正付き内蔵RC発振器、ソフトウェアで選択できる3つの低消費動作を提供します。アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。パワーダウン動作はレジスタの内容を保護し、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を禁止します。A/D変換雑音低減動作はA/D変換中の切り替え雑音を最小とするためにA/D変換器を除く全I/O部とCPUを停止します。

ATtiny43Uの特殊機能は外部の低い電圧から3Vの供給電圧を提供する組み込み昇圧変換器です。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されます。チップ上のISPフラッシュメモリは通常の不揮発性メモリ書き込み器によるSPI直列インターフェースを通して、またはAVRコア上で走行するチップ上のブートコードによる実装書き換えをプログラム用メモリに許します。

ATtiny43U AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

3. 一般情報

3.1. 資料

包括的な開発ツール、ドライバと応用記述、データシートは<http://www.atmel.com/avr>でのダウンロードで利用可能です。

3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、IN, OUT, SBIS, SBIC, CBI, SBI命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。これは代表的にSBRs, SBR, CBR命令と組み合わせたLDS, STS命令を意味します。全てのAVRデバイスが拡張I/O領域を含むとは限らないことに注意してください。(訳補: 本デバイスに拡張I/O領域はありません。)

3.3. 容量性接触感知

Atmel QTouchライブラリはAtmel AVRマイクロコントローラ上の接触感知インターフェースのための使い易い解決策を提供します。QTouchライブラリはQTouch®とQMatrix®採取法用の支援を含みます。

接触感知は接触チャネルと感知器を定義することで応用プログラミングインターフェース(API)を用いてQTouchライブラリをリンクすることによってどの応用にも容易に追加されます。そして応用はチャネル情報を取得して接触感知器の状態を決めるためにAPIを呼び出します。

QTouchライブラリは無料でAtmelのウェブサイトからダウンロードすることができます。より多くの情報と実装の詳細についてはAtmelのウェブサイトからも入手可能なQTouchライブラリ使用者の手引きを参照してください。

3.4. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85℃または100年以上/25℃で1PPMよりずっと小さな値です。

4. AVR CPU コア

4.1.序説

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリ アクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.2.構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX,Y,Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。殆どのAVR命令は16ビット語(ワード)形式ですが、32ビット命令もあります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全ての使用者プログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

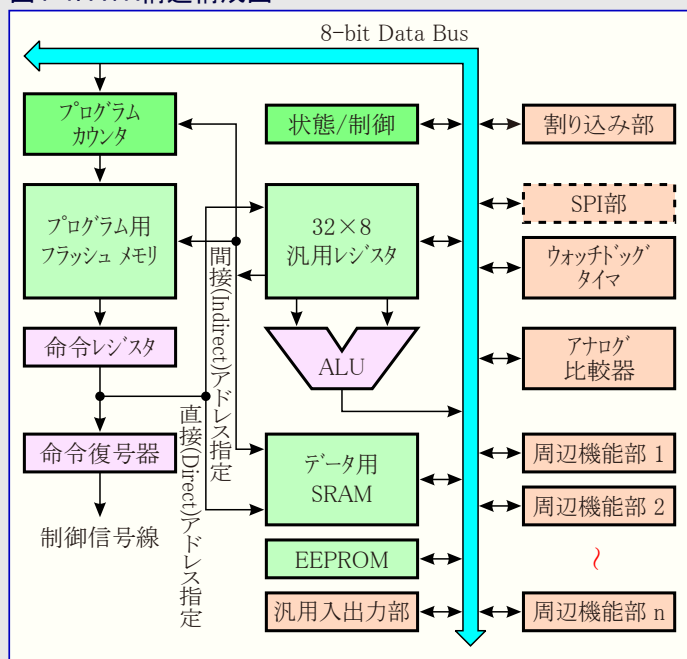
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。

4.3.ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については、「命令要約」章をご覧ください。

図4-1. AVR構造構成図



4.4. ステータス レジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「[命令一式参考書](#)」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

4.4.1. ステータス レジスタ (Status Register) SREG

AVRのステータスレジスタ(SREG)は次のように定義されます。

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「[命令一式参考書](#)」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

■ ビット6 - T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit LoaD)と**BST**(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

■ ビット5 - H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「[命令要約](#)」記述をご覧ください。

■ ビット4 - S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「[命令要約](#)」記述をご覧ください。

■ ビット3 - V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「[命令要約](#)」記述をご覧ください。

■ ビット2 - N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

■ ビット1 - Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

■ ビット0 - C: キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

4.5. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

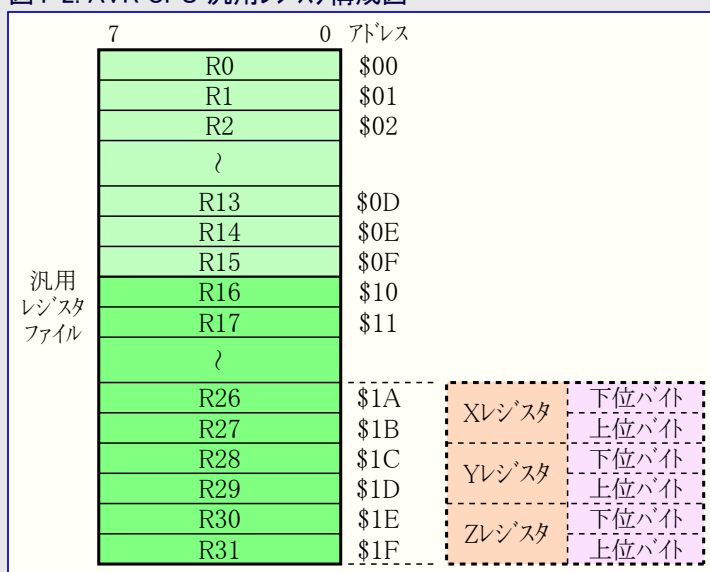
- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図



4.5.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

4.6. スタック ポインタ

スタックは主に一時データ、局所変数、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタはサブルーチンや割り込みのスタックが置かれるデータSRAMのスタック領域に於いて、常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。

データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立ってプログラムによって定義されなければなりません。スタック ポインタはSRAMの先頭以上に設定されなければなりません(10頁の図5-2.をご覧ください)。初期スタック ポインタ値は内部SRAMの最終アドレスと等価です。

スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックPUSH命令がスタック ポインタを減らすことを意味します。表4-1.をご覧ください。

表4-1. スタック ポインタ命令

命令	スタック ポインタ	内容
PUSH	-1	データがスタック上に押し込まれます。
(CALL,ICALL,)RCALL	-2	サブルーチン呼び出しまたは割り込みでの戻りアドレスがスタック上に押し込まれます。
POP	+1	データがスタックから引き出されます。
RET,RETI	+2	サブルーチンまたは割り込みからの復帰での戻りアドレスがスタックから引き出されます。

AVRのスタック ポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

4.6.1. スタック ポインタ (Stack Pointer) SPH, SPL (SP)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	—	—	—	—	—	—	—	SP8	SPH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	1	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	1	0	1	1	1	1	1	

4.7. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミング の概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

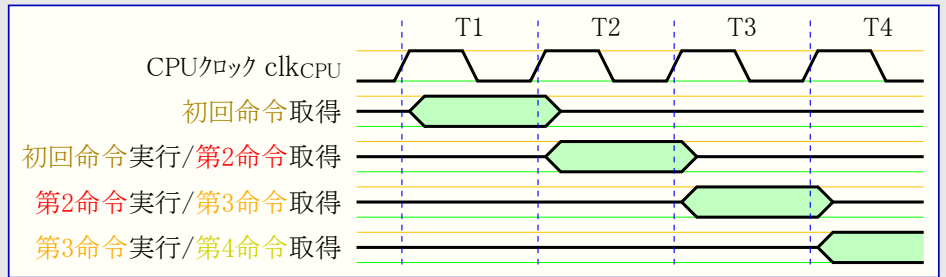
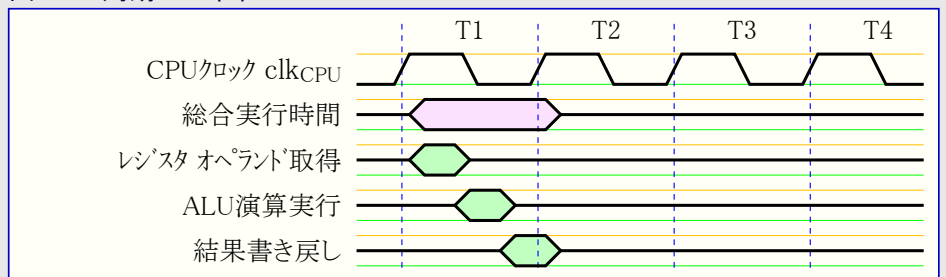


図4-5. 1周期ALU命令



4.8. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセット ベクタ各々はプログラム メモリ空間内に独立したプログラム ベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラム メモリ空間の最下位アドレスは既定によってリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は37頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラム カウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するために**CLI**命令を使うと、割り込みは直ちに禁止されます。**CLI**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE     ;EEPROM主書き込み許可
SBI     EECR, EEPE      ;EEPROM書き込み開始
OUT     SREG, R16       ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;             /* ステータスレジスタ保存変数定義 */
cSREG = SREG;           /* ステータスレジスタを保存 */
_cli();                 /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);    /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);      /* EEPROM書き込み開始 */
SREG = cSREG;           /* ステータスレジスタを復帰 */
```

注: 4頁の「コード例」をご覧ください。

割り込みを許可するために**SEI**命令を使うと、次例で示されるようにどの保留割り込みにも先立って**SEI**命令の次の命令が実行されます。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

C言語プログラム例

```
_sei();                 /* 全割り込み許可 */
_sleep();                /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

注: 4頁の「コード例」をご覧ください。

4.8.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する**プログラム ベクタ アドレス**が実行されます。この4クロック周期時間中にプログラム カウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(**訳注:**原文は3(**JMP**命令=3を想定、実際は**RJMP**命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラム カウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタック ポインタは増加され(+2)、**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。

5. メモリ

この項はATtiny43Uの各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主要なメモリ空間があります。加えてATtiny43Uはデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

5.1. 実装書き換え可能なプログラム用フラッシュメモリ

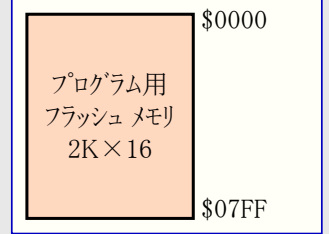
ATtiny43Uはプログラム保存用に実装書き換え可能な4Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは2K×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。ATtiny43Uのプログラムカウンタ(PC)は11ビット幅で、従って2Kプログラムメモリ位置のアドレス指定です。90頁の「メモリプログラミング」はSPIピンを使うフラッシュメモリの直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPMとSPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「命令実行タイミング」で示されます。

図5-1. プログラムメモリ配置図



5.2. データ用SRAMメモリ

図5-2はATtiny43UのSRAMメモリ構成方法を示します。

下位データメモリ位置はレジスタファイル、I/Oメモリ、データ用内蔵SRAMを次のように充てます。

- ・先頭の32位置はレジスタファイルに充てます。
- ・次の64位置は標準I/Oメモリに充てます。
- ・最後の256位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポイント用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny43Uの32個の汎用レジスタ、64個のI/Oレジスタ、256バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは7頁の「汎用レジスタファイル」で記述されます。

図5-2. データメモリ配置図

		アドレス
レジスタファイル (32×8)	R0 ～ R31	\$0000 ～ \$001F
I/Oレジスタ (64×8)	\$00 ～ \$3F	\$0020 ～ \$005F
内蔵SRAM (256×8)	\$0060 ～ \$015F	\$0060 ～ \$015F

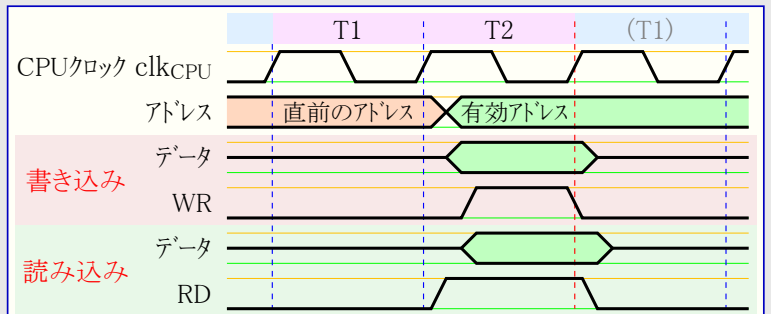
注: 赤字はI/Oアドレス

5.2.1. データメモリアクセスタイミング

本節は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3で記載されるように2clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



5.3. データ用EEPROMメモリ

ATtiny43Uは64バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降の[EEPROMアドレスレジスタ](#)、[EEPROMデータレジスタ](#)、[EEPROM制御レジスタ](#)で詳細に記述されます。EEPROMの直列プログラミングの詳細な記述については99頁の「[直列プログラミング](#)」をご覧ください。

5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの消去/書き込み(訳注:原文はアクセス)時間は表5-1.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。厳重に濾波した電源では電源の投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については12頁の「[EEPROMデータ化けの防止](#)」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と以下の「[非分離バイト書き込み](#)」と「[分離バイト書き込み](#)」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMMnビットが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は表5-1.で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

5.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPMMnビットが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.5. 書き込み

(特定)位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPMMnビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されていなければ、元の格納データは失ったと見做されなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。発振器周波数が18頁の「[発振校正レジスタ\(OSCCAL\)](#)」で記述した必要条件内であることを確かめてください。

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI     R18, (0<<EEPM1) | (0<<EEPM0) ;プログラミング種別値取得(本例は非分離)
             OUT     EECR, R18              ;対応プログラミング種別設定
             OUT     EEAR, R17              ;EEPROMアドレス設定
             OUT     EEDR, R16              ;EEPROM書き込み値を設定
             SBI     EECR, EEMPE            ;EEPROM主プログラム許可ビット設定
             SBI     EECR, EEPE            ;EEPROMプログラミング開始(プログラム許可ビット設定)
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned char ucAddress, unsigned char ucData)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPM1) | (0<<EEPM0);          /* 対応プログラミング種別設定 */
    EEAR = ucAddress;                        /* EEPROMアドレス設定 */
    EEDR = ucData;                          /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                     /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                     /* EEPROMプログラミング開始 */
}
```

注: 4ページの「コード例」をご覧ください。

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT     EEARL, R17              ;EEPROMアドレス設定
             SBI     EECR, EERE              ;EEPROM読み出し開始(読み込み許可ビット設定)
             IN      R16, EEDR               ;EEPROM読み出し値を取得
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned char ucAddress)
{
    while(EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = ucAddress;                        /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                     /* EEPROM読み出し開始 */
    return EEDR;                          /* EEPROM読み出し値を取得, 復帰 */
}
```

注: 4ページの「コード例」をご覧ください。

5.3.6. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵**低電圧検出器(BOD)**を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起これば、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

5.4. I/O メモリ (レジスタ)

ATtiny43UのI/O空間定義は128頁の「レジスタ要約」で示されます。

全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」章をご覧ください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに\$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリ アドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに留意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

5.4.1. 汎用I/Oレジスタ

ATtiny43Uは3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用了。 (I/O)アドレス範囲\$00～\$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビット アクセスが可能です。

5.5. メモリ関係レジスタ

5.5.1. EEPROMアドレス レジスタ (EEPROM Address Register) EEAR

ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	–	–	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEAR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	不定	不定	不定	不定	

■ ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット5～0 – EEAR5～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEAR)は64バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータ バイトは0～63間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。

5.5.2. EEPROMデータ レジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

5.5.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

■ ビット7 – Res : 予約 (Reserved)

このビットは将来の使用に予約されており、常に0として読めます。将来のAVRデバイスとの共通性のため、常に本ビットへ0を書いてください。読み込み後、本ビットを遮蔽排除してください。

■ ビット6 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されていると、EEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	将来使用に予約

■ ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

■ ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROM主プログラム許可(EEPE)ビットの1書き込みが有効か無効かどうかを決めます。

EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。

■ ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)

EEPROMプログラム許可信号(EEPE)はEEPROMへのプログラミング許可信号です。EEPEが(1)を書かれると、EEPROMはEEPMMnビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれねばならず、さもなければEEPROM書き込み(消去)は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

■ ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEREに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

5.5.4. 汎用I/Oレジスタ2 (General Purpose I/O Register 2) GPIOR2

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.5. 汎用I/Oレジスタ1 (General Purpose I/O Register 1) GPIOR1

ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

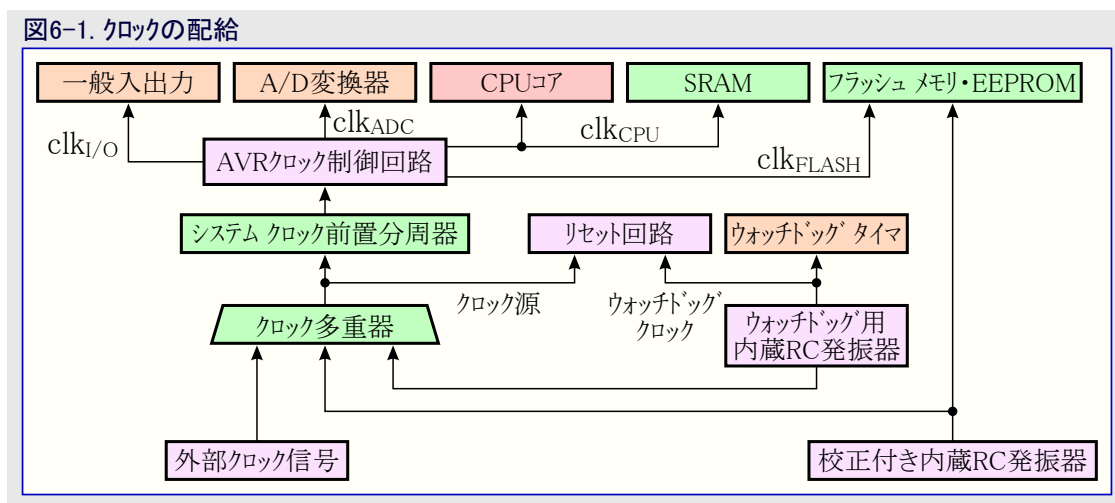
5.5.6. 汎用I/Oレジスタ0 (General Purpose I/O Register 0) GPIOR0

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6. システム クロックとクロック選択

6.1. クロックシステムとその配給

図6-1.はAVR内の主要なクロック システムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、19 頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われていない部分のクロックが停止できます。クロック システムは以下で詳述されます。



6.1.1. CPU クロック – clk_{CPU}

CPUクロックはAVRコアの動作と関係するシステムの部分に配給されます。このような部分の例は汎用レジスタ ファイル、ステータス レジスタ、スタック ポインタを保持するデータ メモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック – clk_{I/O}

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。clk_{I/O}が停止されている時にUSI単位部の開始条件検出が非同期で処理されることに注意してください。

6.1.3. フラッシュ クロック – clk_{FLASH}

フラッシュ クロックはフラッシュ メモリ インターフェースの動作を制御します。このフラッシュ クロックは常にCPUクロックと同時に活動します。

6.1.4. A/D変換クロック – clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

6.2. クロック元

このデバイスには右で示されるようにフラッシュ ヒューズ ビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

表6-1. クロック種別選択

クロック種別	CKSEL3~0
128kHz内部(WDT)発振器	0011
8MHz校正付き内蔵RC発振器	0010
外部クロック信号	0000
(予約)	0001,0100~1111

注: 1=非プログラム、0=プログラム、x=0または1

6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKIが図6-2.で示されるように駆動されるべきです。外部クロックでデバイスを動かすにはCKSELヒューズが'0000'にプログラム(設定)されなければなりません(表6-2.をご覧ください)。

このクロック元が選択されると、起動時間は表6-3.で示されるようにSUTヒューズによって決定されます。

表6-2. 外部クロック信号動作

CKSEL3~0	周波数範囲
0 0 0 0	0~8MHz

図6-2. 外部クロック信号駆動接続図

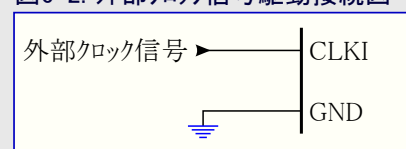


表6-3. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については17頁の「システムクロック前置分周器」を参照してください。

6.2.2. 校正付き内蔵RC発振器

既定で校正された内蔵RC発振器は概ね8MHzクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については103頁の表20-2をご覧ください。本デバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については17頁の「システムクロック前置分周器」をご覧ください。

このクロックは表6-4.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正値バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は表20-2.で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使うよりも高い精度を得ることができます。この校正の精度は表20-2.で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については92頁の「校正バイト」項をご覧ください。

この発振器が選択されると、起動時間は表6-5.で示されるようにSUTヒューズによって決定されます。

表6-5. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの付加遅延 時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK (注2)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0 (注1)	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

注1: デバイスはこの選択で出荷されます。

注2: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4.1msに増やされます。

6.2.3. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は供給電圧、温度、1群の変量に依存します。本クロックは右の表6-6.で示されるようにCKSELヒューズを'0011'にプログラミング(設定)することによってシステムクロックとして選択できます。

このクロック元が選択されると、起動時間は表6-7.で示されるようにSUTヒューズによって決定されます。

表6-6. 128kHz内部発振器動作

CKSEL3~0	公称周波数
0 0 1 1	128kHz

表6-7. 128kHz内部発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの 起動遅延時間	リセットからの 付加遅延時間	推奨使用法
0 0	6×CK	14×CK (注1)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4msに増やされます。

6.2.4. 既定のクロック元

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は最長起動時間の8MHzで走行する内蔵RC発振器、8で前置分周する初期システムクロックで、1.0MHzのシステムクロックになります。この既定設定は全ての使用者が利用可能などのプログラミングツールを使っても、それらを希望したクロック元設定にできることを保証します。

6.2.5. クロック起動手順

何れのクロック元も発振を開始するための十分なVCCと、それが安定であると考えられるのに先立って、最低発振周期数が必要です。

十分なVCCを保証するため、その他全てのリセット元によりデバイスリセットが開放された後、デバイスは起動遅延時間(t_{TOU}T)の内部リセットを発生します。32頁からの「システム制御とリセット」は、この内部リセットに対する起動条件を記述します。この遅延(t_{TOU}T)はウォッチドッグ発振器で計時され、遅延周期数はSUTとCKSELのヒューズによって設定されます。選択可能な遅延は表6-8.で示されます。ウォッチドッグ発振器の周波数は図21-48.と図21-49.で示されるように、電圧と温度に依存します。

表6-8. WDT発振器の代表計時完了値、周期数

VCC=3.0V	VCC=5.0V	周期数
0ms	0ms	0
4.3ms	4.1ms	512
69ms	65ms	8K (8192)

遅延の主な目的はAVRが最小VCCを印加されるまでAVRをリセットに保つことです。この遅延は実電圧を監視しませんので、VCC上昇時間より長い遅延を選ぶことが必要とされるべきです。これが不可能な場合、内部または外部の低電圧検出回路(BOD)が使われるべきです。BOD回路がリセットを開放する前に十分なVCCを保証するでしょうから、起動遅延時間は禁止され得ます。低電圧検出回路(BOD)なしでの起動遅延時間の禁止は推奨されません。

この発振器はクロックが安定と考えられるのに先立って最低クロック数を発振することを必要とされます。内部リプルカウンタは発振器の出力クロックを監視し、与えられたクロック周期数に対して内部リセットを活性(有効)に保ちます。このリセットはその後に開放され、デバイスが実行を開始します。

クロックについての起動手順は計時完了遅延とデバイスがリセットから起動する時の起動時間の両方を含みます。パワーダウから起動するとき、VCCは十分な電圧であると認識され、起動時間だけが含められます。

6.3. システムクロック前置分周器

ATtiny43Uのシステムクロックはクロック前置分周レジスタ(CLKPR)の設定によって分周することができます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{FLASH}、clk_{I/O}、clk_{ADC}は表6-9.で示された値によって分周されます。

6.3.1. 切り替え時間

前置分周器設定間を切り替えるとき、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロックシステムで不具合が起きないことを保証します。

前置分周器として実行するリプルカウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

6.4. クロック出力緩衝部 (外部クロック出力)

本デバイスはシステムクロックをCLKOピンに出力できます。この出力を許可するにはCKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)された時にI/Oピンの標準動作が無視され、このクロックがリセット中にも出力されます。CLKOがクロック出力を扱うとき、校正付き内蔵RC発振器を含む何れのクロック元も選択できます。システムクロック前置分周器が使われると、CKOUTヒューズがプログラム(0)された時の出力は分周したシステムクロックです。

6.5. クロック関係レジスタ

6.5.1. 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

■ ビット7～0 - CAL7～0 : 発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、103頁の表20-2で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表20-2で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに応じて影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に対する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6～0ビットは選択した範囲内の周波数調整に使われます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。

6.5.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	CLKPCE	—	—	—	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7 - CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

■ ビット6～4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3～0 - CLKPS3～0 : クロック分周値選択 (Clock Prescaler Select Bits 3～0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表6-9で与えられます。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書くことに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表6-9. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

7. 電力管理と休止形態

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

許可したなら、低電圧検出器(BOD)は休止期間中、電源電圧を積極的に監視します。更なる節電のため、いくつかの休止形態種別でBODを禁止することが可能です。より多くの詳細については以降の「[低電圧検出器\(BOD\)禁止](#)」をご覧ください。

7.1. 休止形態種別

15頁の図6-1はATtiny43Uの各種クロックシステムとその配給を示します。この図は適切な休止形態選択の助けになります。下の表7-1は異なる休止形態とそれらの起動元を示します。

表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲				発振器動作	復帰起動要因 (割り込み)				
	clk CPU	clk FLASH	clk IO	clk ADC	主クロック供給元	INT0 ピン変化	SPM/EEPROM 操作可	A/D変換完了	その他 I/O	ウォッチドッグ
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	①	○	○		○
パワーダウン						①				○

① INT0についてはレベル割り込みのみです。

4つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、スタンバイ)のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止状態から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については38頁の「外部割り込み」を参照してください。

7.1.1. アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

7.1.2. A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O, clkCPU, clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、SPM/EEPROM操作可割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

7.1.3. パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

7.2. ソフトウェア低電圧検出(BOD)禁止

低電圧検出器(BOD)がBODLEVELヒューズ(91頁の表19-4をご覧ください)によって許可されていると、BODは休止期間中に電源電圧を活発に監視します。節電のため、パワーダウン動作(19頁の「パワーダウン動作」をご覧ください)でBODを禁止することがソフトウェアで可能です。そしてその休止形態電力消費はBODがヒューズによって全面的に禁止される時と同じ水準になるでしょう。BODがソフトウェアで禁止される場合、BOD機能は休止形態移行後、直ちにOFFされます。休止からの起動復帰で、BODは再び自動的に許可されます。これは休止期間中にVCCレベルが落ちた場合の安全な動作を保証します。

BODが禁止された時の休止形態からの起動時間はリセットからの起動時間と同じになります。これはMCUが命令コードの実行を継続する前にBODが正しく動作するのを保証するためです。

BOD禁止はMCU制御レジスタ(MCUCR)のビット7、**BOD休止(BODS)ビット**によって制御されます。22頁の「MCU制御レジスタ(MCUCR)」をご覧ください。このビットへの**1**書き込みはパワーダウン動作でのBODをOFFにし、一方このビットの**0**はBOD活動(有効)を保ちます。既定設定は**0**、換言するとBOD活動(有効)です。

BODSビットへの書き込みは許可ビットと時間制限手順によって制御されます。22頁の「MCU制御レジスタ(MCUCR)」をご覧ください。

7.3. 電力削減レジスタ

電力削減レジスタ(22頁の「電力削減レジスタ(PRR)」参照)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使われていた資源は占有されたままなので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR)のビットを解除(**0**)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とアイドル動作で使えます。その他の休止形態ではクロックが予め停止されます。

7.4. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

7.4.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については76頁の「[A/D変換器](#)」をご覧ください。

7.4.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については74頁の「[アナログ比較器](#)」をご覧ください。

7.4.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器が許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については33頁の「[低電圧検出\(BOD\)](#)」と20頁の「[ソフトウェア低電圧検出器\(BOD\)禁止](#)」をご覧ください。

7.4.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については34頁の「[内部基準電圧](#)」をご覧ください。

7.4.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については34頁の「[ウォッチドッグ タイマ](#)」をご覧ください。

7.4.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clk_{I/O})とA/D変換クロック(clk_{ADC})の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については43頁の「[デジタル入力許可と休止形態](#)」をご覧ください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については75頁と84頁の「[デジタル入力禁止レジスタ0\(DIDR0\)](#)」をご覧ください。

7.5. 電力管理用レジスタ

7.5.1. MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – BODS : BOD休止 (BOD Sleep)

休止中にBODを禁止するために、BODSビットは論理1を書かれなければなりません。19頁の表7-1をご覧ください。BODSビットの書き込みはMCUCRのBOD休止許可(BODSE)ビットと時間制限手順によって制御されます。関連する休止形態でBODを禁止するには最初にBODSとBODSEの両方が1に設定されなければなりません。そしてBODSビットを設定するために、4クロック周期内にBODSが1に設定され、BODSEが0に設定されなければなりません。

BODSビットはそれが設定された後の3クロック周期間活性(有効)です。SLEEP命令は実際の休止形態に対してBODをOFFにするために、BODSが活性(有効)の間に実行されなければなりません。BODSビットは3クロック周期後、自動的に解除(0)されます。

■ ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

■ ビット4,3 – SM1,0 : 休止種別選択 (Sleep Mode Select Bits 1 and 0)

これらのビットは表7-2で示される利用可能な4つの休止形態の1つを選択します。

■ ビット2 – BODSE : BOD休止許可 (BOD Sleep Enable)

BODSEビットはBOD休止(BODS)ビット記述で説明されるように、BODS制御ビットの設定を許可します。このBOD禁止は時間制限手順によって制御されます。

表7-2. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	(予約)

7.5.2. 電力削減レジスタ (Power Reduction Register) PRR

電力削減レジスタは周辺機能のクロック信号の禁止を許すことによって消費電力削減の方法を提供します。

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	PRE2	PRE1	PRE0	–	PRTIM1	PRTIM0	PRUSI	PRADC	PRR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～5 – PRE2～0 : 調和読み込み許可 (Prepared Read Enable)

これらのビットは調和読み込み操作に用いられます。27頁の「昇圧変換器のソフトウェア制御」と31頁の「A/D変換制御/状態レジスタB(ADCSRB)」項をご覧ください。

■ ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット3 – PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)

このビットへの1書き込みはタイマ/カウンタ1部を停止します。タイマ/カウンタ1が許可されると、停止前と同様に動作は継続します。

■ ビット2 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は継続します。

■ ビット1 – PRUSI : 多用途直列インターフェース電力削減 (Power Reduction USI)

このビットへの1書き込みはその部分へのクロック停止によって多用途直列インターフェース(USI)を停止します。USIの再起動時、USIは正しい動作を保証するために再初期化されるべきです。

■ ビット0 – PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使えません。

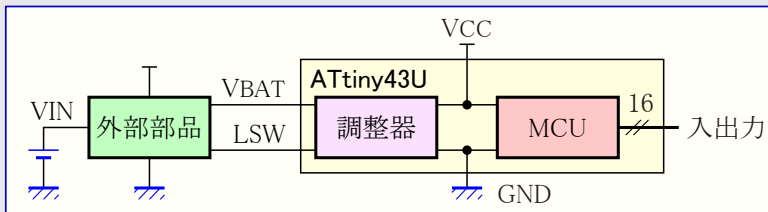
注: アナログ比較器は75頁の「アナログ比較器制御/状態レジスタ(ACSR)」のアナログ比較器禁止(ACD)ビットを使うことで禁止されます。(記注: 共通性から本注追加)

8. 電源と内蔵昇圧変換器

マイクロコントローラを正しく動かすために必要とする代表的な供給電圧を2または3つの電池セルよりも少ない電池パックによって提供することはできません。これは大きさ、費用、設計の複雑さの増加を強制します。ATtiny32Uの統合された昇圧変換器はデバイスの最低供給電圧と、標準マンガン、アルカリ、リチウム、ニッカド(NiCd)、ニッケル水素(NiMH)単セルの代表的な出力電圧間の溝を橋渡しします。昇圧変換器は1Vよりもっと下の供給電圧の供給元からの給電をデバイスに許します。

昇圧変換器の使用を図解する構成図が下の図8-1.で示されます。

図8-1. 昇圧変換器使用の構成図



8.1. 概要

昇圧変換器はDC電圧をより高いレベルに変換する装置です。ATtiny43Uの統合された昇圧変換器は、より低い電圧の外部供給元から生成した固定の供給電圧を持つマイクロコントローラ(とその周辺機能部)を提供します。

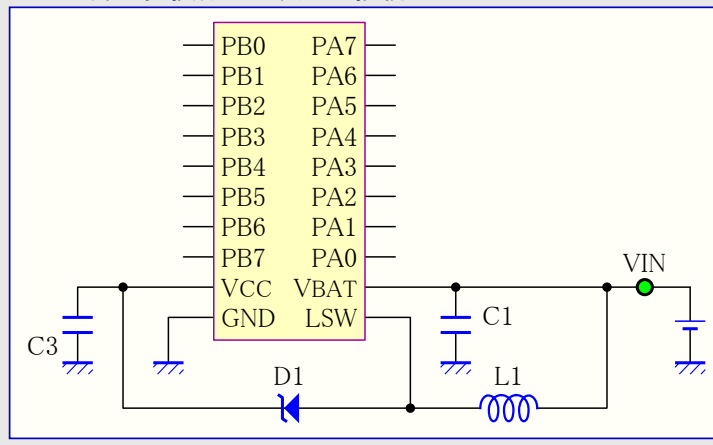
ATtiny43Uの昇圧変換器は外部のインダクタ、ダイオード、(雑音)迂回コンデンサを使うスイッチング型昇圧変換器です。この昇圧変換器は自己完結、完全独立で、MCUからのどんな制御も必要としません。変換器はVBATピンに十分な電圧があれば直ぐ、自動的に始めます。電気的特性については105頁の表20-7をご覧ください。

32頁の「システム制御とリセット」で記述されるように、マイクロコントローラは昇圧変換器で調整した電圧が電源ONまたは(許可ならば)低電圧検出(Brown-out)のリセットレベル以上に上昇すると直ぐに開始します。MCUがリセットから開放されて動き始めた後、応用ソフトウェアは電池電圧を測定して動作継続に十分な電圧かを判定することができます。

昇圧変換器は外部インダクタのエネルギー充填とエネルギー引き出しを継続的に切り替えます。充電段階中、インダクタを通る電流は変換器の入力電圧によって決められる速度で徐々に上がります。放電段階中、インダクタに充填されたエネルギーが負荷へ放たれ、インダクタの電流は入出力電圧間の差によって決められる速度で徐々に下がります。

昇圧変換器は動作のためにいくつかの外部部品が必要です。部品配置については図8-2.をご覧ください。回路はVIN節点とLSWピン間のインダクタとLSWピンとVCC間のショットキーダイオードの挿入によって完成されます。加えて、入力コンデンサと、VCCからGNDへの外部(雑音)迂回コンデンサが代表的に必要とされます。より多くの詳細については29頁の「特性」をご覧ください。

図8-2. 昇圧変換器の代表的な接続



昇圧変換器が接続されなければ、マイクロコントローラは外部供給元から直接給電することができ、そして102頁の「電気的特性」で定義された標準供給電圧制限に従わなければなりません。

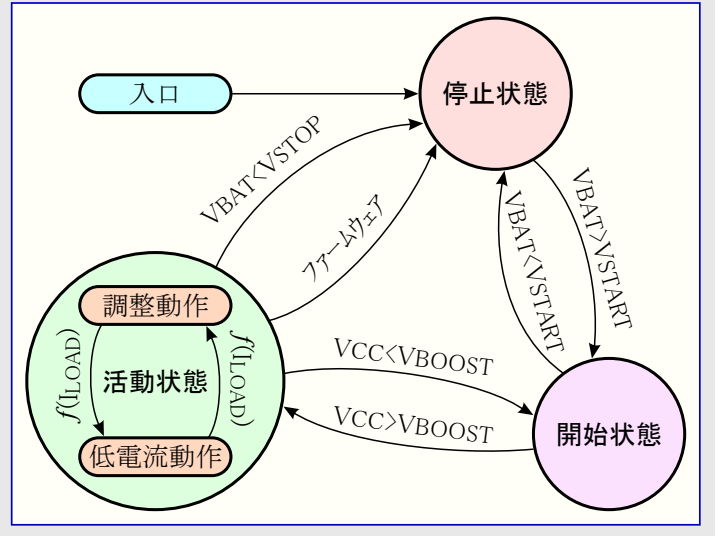
統合された昇圧変換器を使う時に、低電圧検出(BOD)回路を最低BODレベル(1.8V)でだけ使うことが推奨されます。これは通常の動作中にマイクロコントローラの供給電圧が最低BODレベルへ落ち得るからです。33頁の「低電圧(Brown-out)検出」をご覧ください。

8.2. 動作の状態

昇圧変換器は停止、開始、活動の3つの主な動作状態を持ちます。動作は停止動作状態から始まり、入力電圧(VBAT)が安定な動作に十分な高さの時に開始動作状態へ移転されます。変換器が出力電圧(VCC)の持続可能なレベルへの引き上げを上手く管理した時に、制御は動作の主形態である活動動作状態へ移転されます。

動作の形態は右の図8-3.で図解されます。

図8-3. 昇圧変換器の動作形態



8.2.1. 停止状態

昇圧変換器は入力電圧(VBAT)が動作停止電圧(VSTOP、104頁の表20-7.をご覧ください)以下の時に停止状態(動作形態については図8-3.をご覧ください)へ移行します。また、昇圧変換器はファームウェアによってそのように命令された時にも停止状態へ移行します。この動作形態では昇圧変換器が活動せず、電流消費は最小に減らされます。これは電池の放電を防ぐためと電池の損傷を避けるためです。

この状態での変換器出力の電圧(VCC)は無効です。変換器は入力ピンの電圧(VBAT)を監視し、それが開始電圧(VSTART、105頁の表20-7.をご覧ください)以上に上昇するのを待ちます。この入力で十分な電圧がある時に変換器は停止状態を抜け出して開始状態へ移行します。

8.2.2. 開始状態

変換器は入力電圧(VBAT)が開始電圧(VSTART、105頁の表20-7.をご覧ください)以上になると直ぐに停止状態から開始状態(図8-3.をご覧ください)へ切り換わります。また、昇圧変換器は出力電圧がVBOOST以下に落ちる時にも活動状態から開始状態に切り換わります。

この動作形態での昇圧変換器は50%デューティサイクルでの切り替えによってVBOOSTに達するまでVCC電圧を持ち上げます。

この段階中、全ての負荷は切断されるべきです。昇圧変換器は短い瞬間の間、開始状態に留まるように設計されていますが、それは(VCC)線上のマイクロコントローラを引き上げることだけに最適化されています。VCCピンに接続された追加の負荷がある場合、昇圧変換器は活動状態へ移行するのに必要なVCC電圧に達しないかもしれません。

8.2.3. 活動状態

変換器は入力と出力の両電圧が充分高い時に活動動作状態(図8-3.をご覧ください)へ移行します。これはVBATがVSTART以上で且つVCCがVBOOST以上であることを意味します。入力電圧がVSTOP以下に落ちる、または出力電圧がVBOOST以下に落ちると、変換器は活動状態を抜け出します。また、ファームウェアは活動状態を抜け出して停止状態へ移行することを変換器に強制することができます。

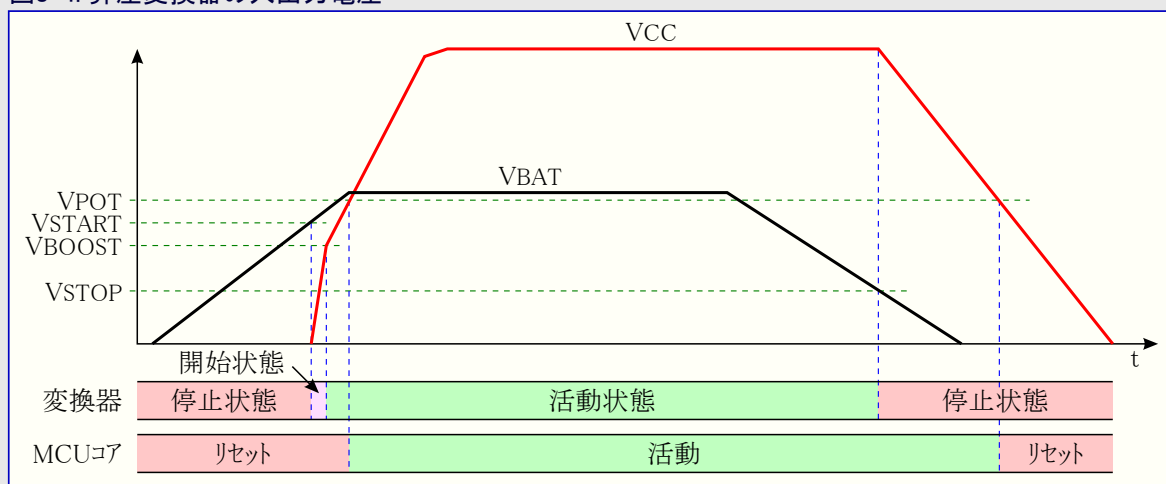
この動作の形態では、エネルギーの充電と放電の段階間のデューティサイクルを継続的に調整することにより、昇圧変換器は105頁の表20-7.で与えられる制限内でVCCを維持します。デューティサイクルは主に入力電圧(VBAT)、負荷電流(ILOAD)と温度によって影響を及ぼされます。

既定によって昇圧変換器は調整活動動作で動作しますが、「出力電圧 対 負荷電流」で説明されるように、負荷電流が充分低い時に低電流活動動作へ移行します。低電流活動動作では出力電圧の安定度を犠牲にして電流消費が最小化にされます。

8.2.4. 例

図8-4は昇圧変換器の動作状態と入出力電圧を図解します。入力電圧(VBAT)がVSTART(105頁の「昇圧変換器特性」をご覧ください)以上に上昇する時に変換器が開始状態へ移行し、出力電圧(VCC)は上昇を始めます。VBOOST(点)の出力電圧で変換器は開始状態を抜け出して活動状態へ移行します。出力電圧が電源ON閾値(VPOT、104頁の「システムとリセットの特性」をご覧ください)を越えると、マイクロコントローラがリセットから開放されます。

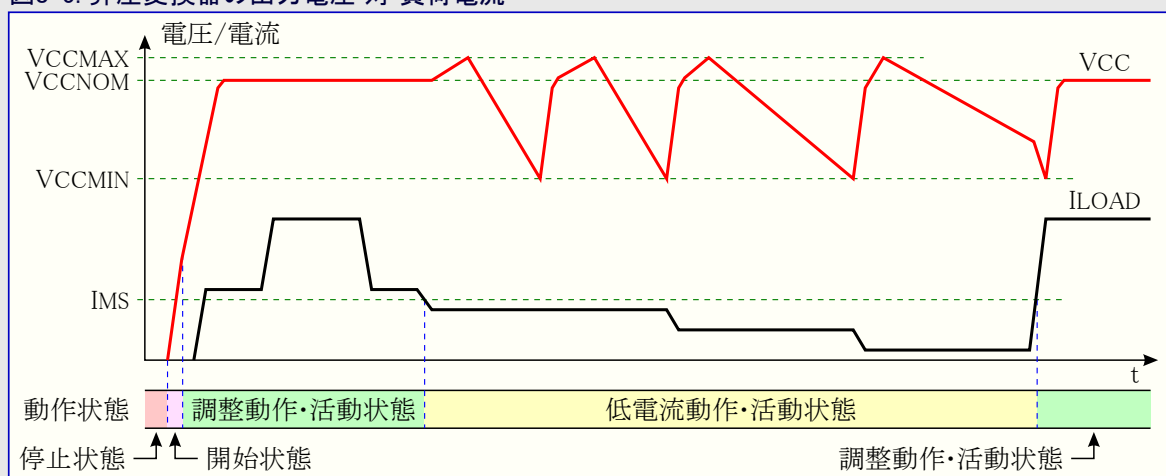
図8-4. 昇圧変換器の入出力電圧



入力電圧(VBAT)がVSTOP以下に下がると、変換器は停止状態へ移行し、出力電圧(VCC)が下がり始めます。変換器出力電圧、換言すると、マイクロコントローラの供給電圧がVPOT以下に下がると、MCUはリセットになります。

図8-5は昇圧変換器出力が負荷電流でどう変化するかを図解します。変換器出力電圧が電源ON閾値以上へ上昇する時に、マイクロコントローラはON状態にされ、消費電流は変換器に対して調整活動動作に留まるための充分高いレベルに上昇します。

図8-5. 昇圧変換器の出力電圧 対 負荷電流



注: この図は尺度が正しくありません。代表的に、切り替え時間(上昇電圧)は数百 μ s、アイドル時間(下降電圧)は数秒として測定されます。

消費電流がIMS(図8-5をご覧ください)以下になる時に変換器は調整活動状態から低電流活動状態になります。この後、出力コンデンサの放電時間の長さ、換言すると変換器が切り換えをしない時の間、負荷電流は更に減らされます。同様に、充電時間、換言すると変換器が切り替える時間はより短くなります。低電流活動状態では上昇/切り替えの傾斜の最後の部分だけが変更されます。

充電時間はデバイスを最大デューティサイクル動作形態(26頁の「最大デューティサイクル」をご覧ください)に強制することによって最小にすることができます。

負荷電流がIMS以上に増加すると、変換器は調整活動状態に戻ります。

8.3. 出力電圧 対 負荷電流

昇圧変換器の出力電圧は負荷の量とデューティサイクル制御方法に依存します。

活動状態での昇圧変換器は調整動作(活動)状態と低電流動作(活動)状態と呼ばれる2つの副動作状態の1つです。調整動作では安定な出力電圧に重きを置き、一方低電流動作では消費電流の最小化に重きを置きます。変換器はいつも最初に調整動作活動状態へ入り、必要な時に低電流動作へ自動的に切り換わりますが、変換器が常に調整動作活動状態に留まるように応用を設計することが可能です。

昇圧変換器はデューティサイクルが最小に達し、且つ出力電圧が最大に達する時に調整動作活動状態から低電流動作活動状態になります。この時点で変換器は切り換えを停止し、出力電圧は下降を始めます。変換器は出力電圧が低電流動作に対して定義された下限へ下降した時に、再び切り換えを開始します。負荷電流がかなり(充分に)増した場合、変換器は低電流動作活動状態から調整動作活動状態へ戻ります。106頁の図20-4をご覧ください。

出力電圧がVBOOST以下に落ちた場合に昇圧変換器は開始状態へ戻り、入力電圧がVSTOP以下に落ちた場合、またはファームウェアによってそのように命令された時に停止状態から更に開始します。

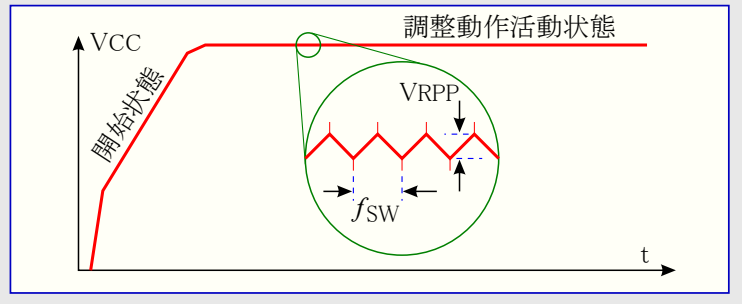
8.3.1. 調整動作活動状態

これは活動状態に於ける既定動作方法です。変換器は負荷電流が充分高い場合、この動作に留まります。次の「低電流動作活動状態」をご覧ください。

この動作状態では出力電圧が定常的に調整されます。これは低振幅脈流を持つ安定な出力電圧を意味します。図8-6と105頁の表20-7をご覧ください。

ファームウェアはこの動作を抜け出して停止状態へ移行することを変換器に命令することができます。次頁の「昇圧変換器のソフトウェア制御」をご覧ください。

図8-6. 調整動作活動状態での昇圧変換器の代表的な出力電圧



8.3.2. 低電流動作活動状態

出力電圧がその最大に達し、且つデューティサイクルが最小の時に昇圧変換器は調整動作活動状態から低電流動作活動状態へ移行します。実際の問題として、これは負荷電流が閾値以下に落ちたことを意味します。閾値は入力電圧と温度で変化しますが、代表的な構図が106頁の図20-4で示されます。

図20-4からは低入力電圧(代表的にVBATが1.0V以下)と高負荷電流(代表的にILOADが0.6mA以上)で昇圧変換器が決して低電流動作へ入らないことを見ることができます。最大デューティサイクル動作を使って、図20-4で示されるそれらよりも低い入力電圧で低電流動作へ移行することを昇圧変換器に強制することができます。次の「最大デューティサイクル」をご覧ください。

低電流動作では昇圧変換器が切り替えを停止して消費電流を最小に減らし、一方で未だ活動状態に留まります。活動する外部負荷がなければ、マイクロコントローラがパワーダウン動作(19頁の「休止形態種別」をご覧ください)になる時に昇圧変換器は自動的に低電流動作へ移行します。

この動作状態では変換器が周期的にデューティサイクル下限に達します。これが起きた時に変換器は切り替えを停止し、出力電圧が落ち始めます。出力電圧が低電流動作活動状態の下限へ下がった時に変換器は再び切り替えを開始します。これは図8-5で図解されるように周期的な形式に帰着します。

(過負荷または回路短絡のために)出力電圧(VCC)がVBOOST以下に落ちると、変換器は開始状態へ戻ります。加えて、ファームウェアはこの状態を抜け出して停止状態へ移行することを変換器に命令できます。次頁の「昇圧変換器のソフトウェア制御」をご覧ください。

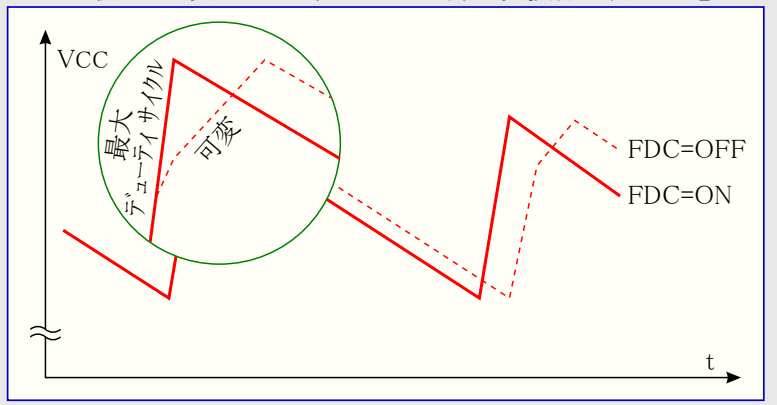
8.3.3. 最大デューティサイクル

既定により、昇圧変換器は切り替え波形のデューティサイクルを制御することによってVCCを限度内に保ちます。低電流動作移行時にデューティサイクル調整を迂回してデューティサイクルをその最大に固定することが可能で、最大限度までの素早い上昇とその後に低下を始めるVCC電圧に帰着します。右の図8-7をご覧ください。

デューティサイクル制御のON/OFF切り替え法の指示については次頁の「昇圧変換器のソフトウェア制御」をご覧ください。

最大デューティサイクル動作の使用は低負荷電流でだけ推奨されます。

図8-7. 最大と可変のデューティサイクルでの昇圧変換器代表出力電圧



8.4. 過負荷での動き

出力は負荷電流(ILOAD)が105頁の表20-7.で与えられる最大を越える時の過負荷を考慮されます。過負荷状態の間、昇圧変換器は最大デューティサイクルで動作し、もはやVCCを調整することができません。過負荷条件が優性なら、負荷電流増加のために出力電圧が落ちるでしょう。VCCが最小レベル以下に落ちた場合、変換器が開始状態に切り換わります。

開始状態では変換器が低い負荷電流能力しか持たず、そしてそれは全ての過負荷電流がインダクタとダイオードを経由して殆ど電池から直接引き出されることを意味します。インダクタの抵抗は代表的に非常に低く、電力供給源が一定に留まるなら、過負荷中の出力電圧は電池電圧(VBAT)–使うダイオードの順方向降下電圧(VF)で安定するでしょう。

8.5. 昇圧変換器のソフトウェア制御

昇圧変換器はマイクロコントローラによる相互の影響を全く必要としない独立したハードウェア単位部で、とは言えいくつかの機能はファームウェアによって制御することができます。ファームウェアによって制御できる機能が以下の項で記述されます。

8.5.1. 昇圧変換器停止

デバイスのファームウェアは求めに応じて昇圧変換器を停止することができます。停止信号を発行すると、昇圧変換器は24頁の図8-3.で図解されるように活動状態を抜け出して停止状態へ移行します。この手続きは基板上のA/D変換器を使って真の電池電圧を読み、選んだ電池の化学的特性に対して電圧が充分かを評価し、そしてそれによる昇圧変換器の制御をデバイスに許します。

昇圧変換器の停止はデバイスリセット処理部へ自動的に要求を送ります。この信号は結局デバイスをリセットに設定しますが、出力電圧(VCC)が電池電圧の概ね2倍の水準に落ちた後のみです。これは非常に低い電池電圧に対し、供給電圧が最小動作レベル以下に落ちる前にデバイスリセットが保証され得ないことを意味します。デバイス動作限界に違反しないことを保証するため、従ってそれは許可された低電圧検出器(BOD)を持つことが強く推奨されます。

昇圧変換器が停止された後であるけれどもデバイスがリセットされる前、例えば電池充電器が接続される場合に、電池電圧は上昇を開始するかもしれません。この場合、変換器はリセットに対する保留中の要求を解除する、電池電圧がVSTARTを超えた後で自動的に開始します。従って、ファームウェアは昇圧変換器停止がデバイスリセットを導かない状況を作成しなければなりません。この目的に対して、ファームウェアは「A/D変換制御/状態レジスタ(ADCSRB)」の昇圧変換器状態(BS)ビットの監視を選ぶかもしれません。

昇圧変換器を停止するには次の手順に従ってください。

1. 電力削減レジスタ(PRR)に110x xxxxを書いてください(22頁をご覧ください)。
2. 上からの3クロック周期内にPRRへ10xx xxxxを書いてください。
3. 最初の手順から4クロック周期内にPRRへ01xx xxxxを書いてください。

8.5.2. 最大デューティサイクル動作形態への切り替え

デューティサイクル制御が禁止されると、昇圧変換器の出力は可能な限り速く上昇し、変換器に対する最小切り替え時間と最大アイドル時間に帰着します。

最大デューティサイクル(FDC)動作をONにするには次の手順に従ってください。

1. 電力削減レジスタ(PRR)に110x xxxxを書いてください(22頁をご覧ください)。
2. 上からの3クロック周期内にPRRへ10xx xxxxを書いてください。
3. 最初の手順から4クロック周期内にPRRへ111x xxxxを書いてください。

8.5.3. 標準(可変デューティサイクル)動作形態への切り替え

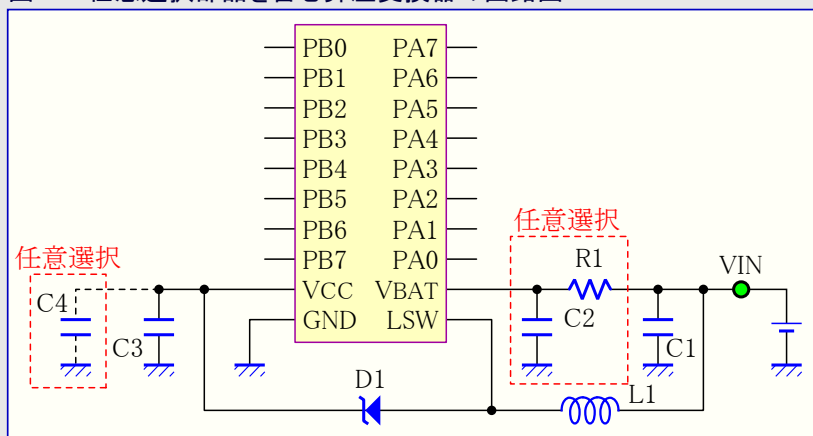
昇圧変換器をデューティサイクル制御に戻すには次の手順に従ってください。

1. 電力削減レジスタ(PRR)に111x xxxxを書いてください(22頁をご覧ください)。

8.6. 部品選択

部品の配置と番号については図8-8.を参照してください。

図8-8. 任意選択部品を含む昇圧変換器の回路図



8.6.1. インダクタ

低いインダクタンスはインダクタの瞬間最大電流を増やし、妨害雑音をもっと生じ、変換器の全体効率を低くします。高すぎるインダクタンス値は変換器を不安定動作に強制します。この昇圧変換器は或る大きさのインダクタンス(L)に最適化されており、他のインダクタンス値が使われた場合、確実な動作をしないかもしれません。29頁の「表8-1. 昇圧変換器部品値」をご覧ください。

インダクタは次の入力電流を許容できなければなりません。

$$I_{IN} = \frac{V_{CC} \times I_{LOAD}}{V_{BAT} \times \eta}$$

ここでの η は与えられた電圧と負荷電流に於ける変換器の効率です。110頁の「図21-1. 昇圧変換器(負荷と線の調整)VCC 対 負荷電流とVBAT電圧」をご覧ください。

インダクタは短い瞬間最大電流も許容できなければなりません。安定状態に於いて、換言すると、一定の負荷電流が導かれた後で変換器が安定にされたとき、瞬間最大電流は次のように計算されます。

$$I_{PEAK} = \frac{V_{BAT} \times TS \times D}{L}$$

ここでのDは昇圧変換器のデューティサイクル、TSは切り替え周期です。制限については105頁の「昇圧変換器特性」をご覧ください。安定状態デューティサイクルは次のように計算されます。

$$D = \left(\frac{V_{CC}}{V_{BAT}} - \frac{1}{2} \right) \times \sqrt{I_{LOAD}}$$

昇圧変換器の全体効率はインダクタの直列抵抗とコア損失によって影響を及ぼされます。

8.6.2. ダイオード

可能な限り低い順方向電圧(VF)と逆方向漏れ電流(IR)のショットキーダイオードの使用が推奨されます。これはILOADが最大でVBATが最小の時に変換器の効率が主にダイオードの順方向電圧に依存するためです。逆方向漏れ電流が特に低電流動作活動状態で容易に有力な要素になることに注意すべきです。参照については105頁の表20-7.内の低電流動作中の変換器消費電流をご覧ください。

ダイオードはインダクタと同じ大きさの瞬間最大電流に従わなければなりません。「インダクタ」をご覧ください。

逆方向漏れ電流が高い温度依存変数であることに注意すべきです。

8.6.3. 入力コンデンサ

電圧供給元が理想的でないのと、配線が0でない抵抗分を持つため、電圧要求元とインダクタ(L1)間で電圧低下が起きます。この電圧低下は応用特有で、電圧供給元の品質、インダクタ電流、配線の太さと長さに依存します。コンデンサ(C1)は高い瞬間最大電流中にエネルギーをインダクタへ供給することによって電圧低下を妨げます。

応用の最低VBATと最高負荷電流でインダクタの最高瞬間電流に至ります。入力コンデンサは入力電圧を安定にし、全ての負荷電流での安定な動作を保証します。コンデンサの容量は負荷電流が低く留まる場合、または低い内部抵抗を持つ電圧供給源が利用可能な場合に減らすことができます。また、良好な低域通過濾波器の設計(次の「RC濾波器」項をご覧ください)がコンデンサの容量必要条件を低減します。

8.6.4. RC濾波器

2つ目の入力コンデンサ(C2)と直列入力抵抗器(R1)は任意選択ですが推奨されます。これらは共に低域通過濾波器(LPF:Low Pass Filter)を形成し、その目的はVBATピンでの脈流電圧を低減することです。濾波器の遮断周波数は次のように計算することができます。

$$f_{LPF} = \frac{1}{2 \times \pi \times R1 \times C2}$$

部品値は応用指定で供給電圧の安定性に依存します。LPFはVBATピンの脈流電圧を低減し、A/D変換測定の安定化を助けます。高すぎる抵抗値が開始状態失敗を引き起こすかもしれません。推奨部品と制限については「表8-1. 昇圧変換器部品値」をご覧ください。

コンデンサ(C2)はデバイスの近くに配置されるべきです。

8.6.5. 出力コンデンサ

出力コンデンサ(C3)はエネルギーがインダクタへ転送される時に出力電圧の安定を保つために必要とされます。高容量と低い等価直列抵抗(ESR)を持つコンデンサの使用が推奨されます。大きな容量は出力での脈流電圧の低減を助け、低ESRは脈流電圧を低減してコンデンサの温度を制限内に保つのを助けます。

与えられた安定状態負荷に於ける推奨コンデンサ容量は次のように計算されます。

$$C_{OUT} = \frac{I_{LOAD} \times T_S \times D}{V_{PP}}$$

ここでの T_S は昇圧変換器の切り替え周期、 V_{PP} は許された脈流電圧で、 D は前頁の「インダクタ」で示されるように計算されるデューティサイクルです。

推奨ESRは次のように計算されます。

$$ESR \leq \frac{V_{PP}}{I_{PEAK}}$$

2つ目の出力コンデンサ(C4)が推奨され、デバイスの近くに配置されるべきです。

8.6.6. 要約

下表は代表的な応用に対する推奨部品値を要約します。

表8-1. 昇圧変換器部品値

部品	推奨値	最小 (注2)	最大 (注2)
C1	C=4.7μF	1μF	
C2	C=0.1μF (注1)		1μF
C3	C=22μF, ESR<0.1Ω	10μF	
C4	C=0.1μF		
D1	IR=10μA/25°C, VF=0.35V/0.5A		
L1	L=15μH±20%, I _{MAX} >500mA, I _{RMS} >250mA, R<0.5Ω	10μH	15μH
R1	R=680Ω (注1)		22kΩ (注3)

注1: これらの値でLPFは昇圧変換器の切り替え周波数で32dBの減衰を提供し、一方で約±200mVの脈流電圧を許します。

注2: 応用指定限度はより厳しいかもしれません。

注3: 1kΩ値以上でVSTARTレベルは増します。また、A/D変換器のVBATチャネルでの分圧抵抗値も影響を及ぼされます。

8.7. 特性

昇圧変換器の電気的特性は105頁の表20-7.で与えられます。代表特性は110頁の「昇圧変換器」項下で得られます。

8.8. 潜在的な制限

デバイスが昇圧変換器経由で給電される時にいくつかの使用制限が適用されるかもしれません。例えば、デバイスの最高許容動作周波数は供給電圧に依存し(103頁の「速度」をご覧ください)、昇圧変換器出力電圧は105頁の表20-7.で与えられる限度内で変化します。これは昇圧変換器が供給電圧が周期的に低下する低電流動作活動状態になるのを許す設計の場合、最大許容動作周波数に影響を及ぼすことを意味します。

負荷電流が充分高くに留まる場合、昇圧変換器は決して低電流動作活動状態へ移行せず、供給電圧はデバイスをより高い周波数で動かすのに充分な高さに留まります。昇圧変換器状態(BS)ビットは昇圧変換器が低電流動作かを判定するのに使うことができます(31頁の「A/D変換制御/状態レジスタ(ADCSRB)」をご覧ください)。

デバイス全体が昇圧変換器から給電されるため、出力変動は全ての周辺機能に現れます。これは例えば、入出力ピンのHighレベルが供給電圧と共に変動するかもしれないことを意味します。

8.9. 昇圧変換器の迂回

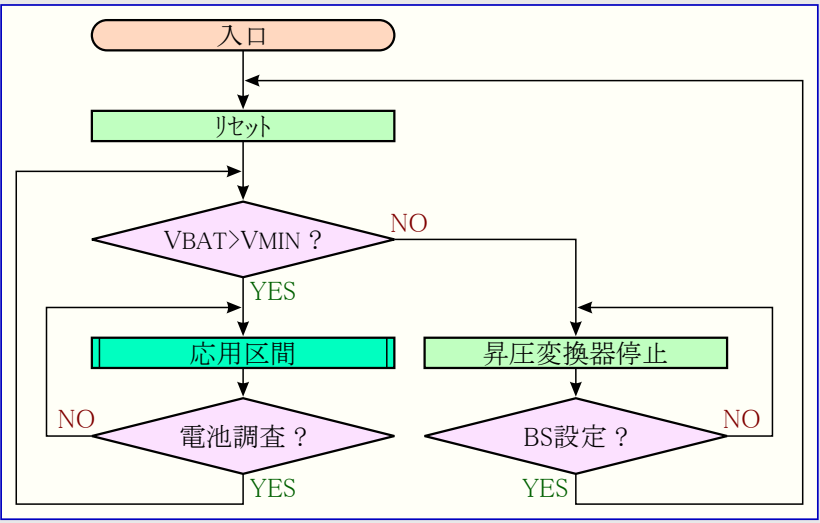
デバイスが外部供給元から直接給電できるように、昇圧変換器を迂回して禁止することが可能です。昇圧変換器を停止状態に強制するにはVBATピンをGNDに接続し、VCCピン直接でデバイスに供給元を提供してください。昇圧変換器を恒久的に禁止するにはVBATとLSWのピンをGNDに接続し、VCCピン直接でデバイスに供給元を提供してください。

8.10. ファームウェア例

昇圧変換器は正しい動作のためにファームウェアの相互作用が必要ない独立したハードウェア単位部です。それにもかかわらず、電池電圧を周期的に調査することが推奨されます。これは代表的な応用が示される図8-9.の構成図で説明されます。

例プログラムの枠組みは以下で示されます。このプログラムは1.8VのBODLEVELを信頼します(104頁の表20-5.をご覧ください)。

図8-9. 代表的なプログラムの構成図



```

.include "tn43Udef.inc"

RJMP    RESET                ;リセット処理部

.org    0x0080

RESET:   LDI    R16, 0x5F      ;スタック ポインタ設定
         LDI    R17, 0x01
         OUT    SPL, R16
         OUT    SPH, R17
         RJMP   ADC_VBAT

ADC_VBAT: LDI    R16, 0b01000110 ;内部1.1V基準電圧とVBAT
         OUT    ADMUX, R16
         LDI    R16, 0b10000011 ;ADC許可、8前置分周(1MHz)
         OUT    ADCSRA, R16

ADC_start: LDI    R20, 0x00      ;累積器(R21:R20)解除
         LDI    R21, 0x00
         RCALL  Make_conversion ;第1回A/D変換
         ADD    R20, R18
         ADC    R21, R19
         RCALL  Make_conversion ;第2回A/D変換
         ADD    R20, R18
         ADC    R21, R19
         RCALL  Make_conversion ;第3回A/D変換
         ADD    R20, R18
         ADC    R21, R19
         RCALL  Make_conversion ;第4回A/D変換
         ADD    R20, R18
         ADC    R21, R19
         LSR    R21              ;累積結果を1/4
         ROR    R20
         LSR    R21
         ROR    R20
         LSR    R21              ;下位2ビット切捨て(=8ビットの結果)
         ROR    R20
         LSR    R21
         ROR    R20
         CPI    R20, 0x68        ;R20に8ビットでの結果を得る。
         BRLO   Stop_boost      ;VBAT<約0.9Vなら、
         RJMP   ADC_start        ;昇圧停止へ
  
```

```

Make_conversion:
    SBI    ADCSRA, ADSC
Wait_conversion_ready:
    SBIC   ADCSRA, ADSC
    RJMP   Wait_conversion_ready
    IN     R18, ADCL
    IN     R19, ADCH
    RET

Stop_boost: LDI    R16, 0x00                ;全出力禁止
            OUT    DDRA, R16
            OUT    DDRB, R16
            LDI    R16, 0b01000000          ;内部1.1V基準電圧とADC0
            OUT    ADMUX, R16
            LDI    R16, 0b00000011          ;ADC禁止、8前置分周(1MHz)
            OUT    ADCSRA, R16
            LDI    R16, 0b11000000
            OUT    PRR, R16
            LDI    R16, 0b10000000
            OUT    PRR, R16
            LDI    R16, 0b01000000
            OUT    PRR, R16
            RJMP   Read_Boost_Status

Read_Boost_Status:                ;昇圧変換器状態ビットポーリング
    SBIS    ADCSRB, 7              ;昇圧再開なら、
    RJMP   Read_Boost_Status        ;MCUコアのPORまたはBODのリセットに先立って
    RJMP   Reset                    ;リセットへ飛ぶ

```

8.11. 昇圧変換器関係レジスタ

8.11.1. A/D変換 制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BS	ACME	—	ADLAR	—	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - BS : 昇圧変換器状態 (Boost Status)

BSフラグは昇圧変換器の沈黙区間を識別するのに使うことができます。このフラグが1の時は昇圧変換器が活動で切り替え、換言すると、**調整動作活動状態**、または**低電流動作活動状態**の切り替え区間のどちらかです。このフラグが0の時は昇圧変換器が非切り替え、換言すると、**停止状態**または**低電流動作活動状態**の非切り替え区間のどちらかです。

また、BSフラグは以下のようにして、デューティサイクル制御器の状態を返すように設定することもできます。

- 電力削減レジスタ(PRR)に11xx xxxxを書いてください。
- 上からの3周期区間内にPRRへ10xx xxxxを書いてください。
- (単一周期のNOPを実行して)待ってください。
- 最初の書き込みから5周期区間内にBSフラグを読んでください。

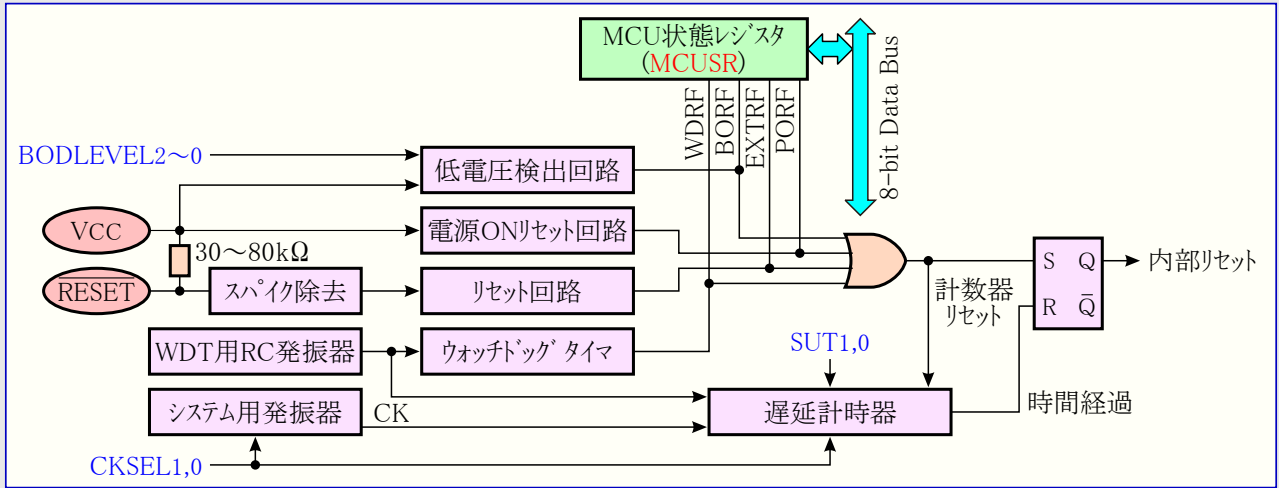
この時のBSフラグが0なら、変換器は標準デューティサイクル制御状態での動作です。このフラグが1の場合、変換器は**最大デューティサイクル動作**で動いています。

9. システム制御とリセット

9.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きつとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図9-1.の回路構成図はリセット論理回路を示します。104頁の表20-4.はリセット回路の電気的特性を定義します。

図9-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は15頁の「クロック元」で示されます。

9.2. リセット元

ATtiny43Uには次の4つのリセット元があります。

- ・ **電源ONリセット** 供給電圧が**電源ONリセット閾値電圧(V_{POT})**以下でMCUがリセットされます。
- ・ **外部リセット** RESETピンが**最小パルス幅**以上**Low**レベルに保たれると、MCUがリセットされます。
- ・ **ウォッチドッグ リセット** ... ウォッチドッグ リセット動作が許可され、ウォッチドッグ タイマが終了すると、MCUがリセットされます。
- ・ **低電圧リセット** 低電圧検出器(BOD)が許可され、供給電圧(VCC)が**低電圧検出電圧(V_{BOT})**以下でMCUがリセットされます。

9.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は104頁の表20-4.で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧(V_{POT})への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図9-2. 内蔵電源ONリセット (RESETはVCCに接続)

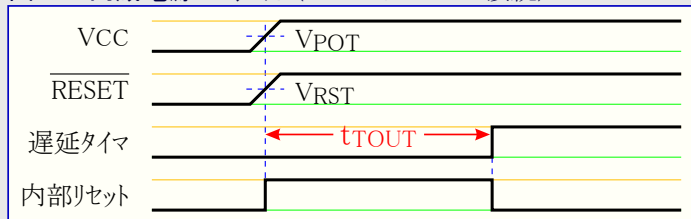
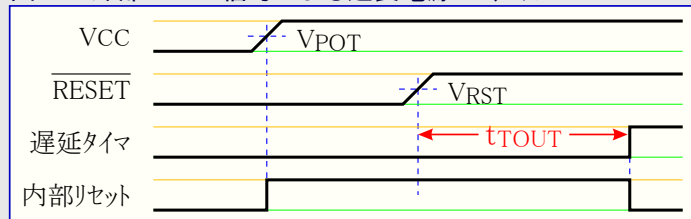


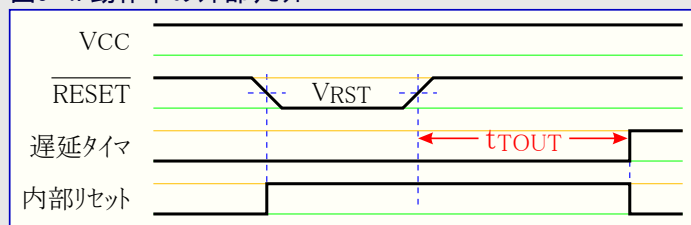
図9-3. 外部RESET信号による延長電源ONリセット



9.2.2. 外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(104頁の表20-4.参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧(V_{RST})に達すると(遅延タイマを起動し)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

図9-4. 動作中の外部リセット



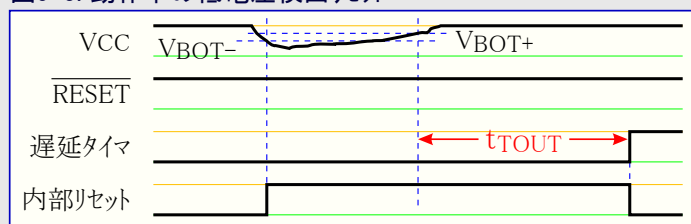
9.2.3. 低電圧(ブラウンアウト)検出リセット

ATtiny43Uには固定化された起動(検出)電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選択することができます。この起動電圧はスパイク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスは $V_{BOT+}=V_{BOT}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT}-V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図9-5.の V_{BOT-})、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図9-5.の V_{BOT+})、(遅延タイマが起動され)遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

BOD回路は電圧が104頁の表20-4.で与えられる t_{BOD} 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。統合された昇圧変換器を使う時は最低BODレベル(1.8V)だけを使うことが推奨されます。23頁の「電源と内蔵昇圧変換器」をご覧ください。

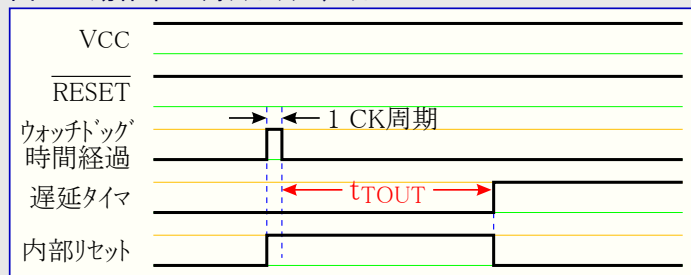
図9-5. 動作中の低電圧検出リセット



9.2.4. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ タイマ操作の詳細については34頁の「ウォッチドッグ タイマ」をご覧ください。

図9-6. 動作中のウォッチドッグ リセット



9.3. 内部基準電圧

ATtiny43Uは内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。

9.3.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、104頁の表20-4.で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVELヒューズのプログラム(0)により)
2. アナログ比較器内部基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウ動作での消費電力を減らすため、使用者はパワーダウ動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

9.4. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで動く独立したチップ上の発振器からクロック駆動されます。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は36頁の表9-3.で示されるように調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。10種の異なるクロック周期がこのリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny43Uはリセットしてリセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては36頁の表9-3.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これはパワーダウ動作から起動するのにウォッチドッグを使う時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表9-1.で示されるWDTONヒューズによって選択されます。詳細については次の「ウォッチドッグ タイマ設定変更の時間制限手順」を参照してください。

図9-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

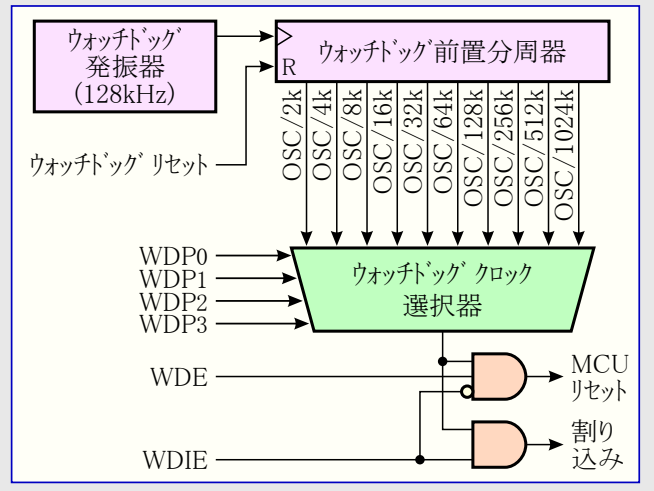


表9-1. WDTONヒューズ設定によるウォッチドッグ機能設定

WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	時間制限	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	時間制限

9.4.1. ウォッチドッグ タイマ設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

9.4.1.1. 安全レベル1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことにより許可できます。許可したウォッチドッグ タイマを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)でウォッチドッグ変更許可(WDCE)とウォッチドッグ許可(WDE)に論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書きますが、WDCEビットは解除(0)されてです。

9.4.1.2. 安全レベル2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEビットが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDP2~0ビットを書きますが、WDCEビットは解除(0)されてです。WDEビットに書かれた値は無関係です。

9.4.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
WDT_OFF:      WDR                      ;ウォッチドッグ タイマ リセット
              LDI      R16, (0<<WDRF) ;WDRF=0値を取得
              OUT      MCUSR, R16      ;MCUSRのWDRFを解除(0)
              IN       R16, WDTCSR     ;現WDTCSR値を取得
              ORI      R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
              OUT      WDTCSR, R16     ;WDCEとWDEに論理1書き込み
              LDI      R16, (0<<WDE)  ;WDE論理0値を取得
              OUT      WDTCSR, R16     ;ウォッチドッグ禁止
              RET                      ;呼び出し元へ復帰
```

C言語プログラム例

```
void WDT_off(void)
{
    _WDR(); ; /* ウォッチドッグ タイマ リセット */
    MCUSR = 0x00; ; /* MCUSRのWDRFを解除(0) */
    WDTCSR |= (1<<WDCE) | (1<<WDE); ; /* WDCEとWDEに論理1書き込み */
    WDTCSR = 0x00; ; /* ウォッチドッグ禁止 */
}
```

注: 4頁の「コード例」をご覧ください。

9.5. リセット関係レジスタ

9.5.1. MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	—	—	—	—	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

■ ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

■ ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

9.5.2. ウォッチドッグ タイマ制御/状態レジスタ (Watchdog Timer Control and Status Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

■ ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。[ステータスレジスタ\(SREG\)の全割り込み許可\(I\)ビット](#)とウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

■ ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この動作ではウォッチドッグ タイマで計時完了が起きる場合、リセットに代わって対応する割り込みが実行されます。

WDEが設定(1)されると、WDIEは計時完了が起きるとき、ハードウェアによって自動的に解除(0)されます。これは割り込みを使う間のウォッチドッグ リセット保護を維持するのに有効です。WDIEビットが解除(0)された後、次の計時完了はリセットを生成するでしょう。このウォッチドッグ リセットを避けるには、各割り込み後にWDIEが設定(1)されなければなりません。

表9-2. ウォッチドッグ タイマ設定

WDE	WDIE	動作状態	計時完了での動作
0	0	停止	なし
0	1	走行	割り込み
1	0	走行	リセット
1	1	走行	割り込み

■ ビット4 – WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。このビットは前置分周ビットを変更する時も設定(1)されなければなりません。[34頁の「ウォッチドッグ タイマ設定変更の時間制限手順」](#)をご覧ください。

■ ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可(WDE)が論理1を書かれるとウォッチドッグ タイマが許可され、WDEが論理0を書かれるとウォッチドッグ タイマ機能が禁止されます。WDEはウォッチドッグ変更許可(WDCE)ビットが論理レベル1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)内で、ウォッチドッグ変更許可(WDCE)ビットとウォッチドッグ許可(WDE)ビットに論理1を書きます。例えば禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

安全レベル2では上記の手順でもウォッチドッグ タイマを禁止することができません。[34頁の「ウォッチドッグ タイマ設定変更の時間制限手順」](#)をご覧ください。

安全レベル1ではWDEがMCUSRのウォッチドッグ リセット フラグ(WDRF)によって無効にされます。WDRFの説明については[35頁の「MCU状態レジスタ\(MCUSR\)」](#)をご覧ください。これはWDRFが設定(1)されていると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するには上記手順でウォッチドッグを禁止する前にWDRFが解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

注: ウォッチドッグ タイマが応用で使われないなら、デバイス初期化でウォッチドッグ禁止手順を全て行なうことが重要です。ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、その転化が次のウォッチドッグ リセットを引き起こすでしょう。この状態を避けるため、応用ソフトウェアは初期化ルーチンでWDRFフラグとWDE制御ビットを常に解除(0)すべきです。

■ ビット5,2~0 – WDP3~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3~0)

このWDP3~0ビットはウォッチドッグ タイマが許可される時のウォッチドッグ タイマの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表9-3.で示されます。

表9-3. ウォッチドッグ前置分周器選択

WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)(注)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

注: 選択したなら、1010未満の有効設定の1つが使われます。(訳注: 共通性から本注追加)

10. 割り込み

本項はATtiny43Uによって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については、8頁の「リセットと割り込みの扱い」をご覧ください。

10.1. ATtiny43Uの割り込みベクタ

ATtiny43Uの割り込みベクタは下の表10-1.で記述されます。

表10-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCIO)	ピン変化0群割り込み要求
4	\$0003	PCINT1 (PC11)	ピン変化1群割り込み要求
5	\$0004	WDT	ウォッチドッグ計時完了
6	\$0005	TIMER1_COMPA	タイマ/カウンタ1比較A一致
7	\$0006	TIMER1_COMPB	タイマ/カウンタ1比較B一致
8	\$0007	TIMER1_OVF	タイマ/カウンタ1溢れ
9	\$0008	TIMER0_COMPA	タイマ/カウンタ0比較A一致
10	\$0009	TIMER0_COMPB	タイマ/カウンタ0比較B一致
11	\$000A	TIMER0_OVF	タイマ/カウンタ0溢れ
12	\$000B	ANA_COMP	アナログ比較器出力遷移
13	\$000C	ADC	A/D変換完了
14	\$000D	EE_RDY	EEPROM 操作可
15	\$000E	USI_START	USI 開始条件検出
16	\$000F	USI_OVF	USI 計数器溢れ

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。

ATtiny43Uでの最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定は下のプログラム例で示されます。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	;各種リセット
\$0001		RJMP INT0	;外部割り込み要求0
\$0002		RJMP PCINT0	;ピン変化0群割り込み要求
\$0003		RJMP PCINT1	;ピン変化1群割り込み要求
\$0004		RJMP WDT	;ウォッチドッグ計時完了
\$0005		RJMP TIMER1_COMPA	;タイマ/カウンタ1比較A一致
\$0006		RJMP TIMER1_COMPB	;タイマ/カウンタ1比較B一致
\$0007		RJMP TIMER1_OVF	;タイマ/カウンタ1溢れ
\$0008		RJMP TIMER0_COMPA	;タイマ/カウンタ0比較A一致
\$0009		RJMP TIMER0_COMPB	;タイマ/カウンタ0比較B一致
\$000A		RJMP TIMER0_OVF	;タイマ/カウンタ0溢れ
\$000B		RJMP ANA_COMP	;アナログ比較器出力遷移
\$000C		RJMP ADC	;A/D変換完了
\$000D		RJMP EE_RDY	;EEPROM操作可
\$000E		RJMP USI_START	;USI 開始条件検出
\$000F		RJMP USI_OVF	;USI 計数器溢れ
;			
\$0010	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得
\$0011		OUT SPH, R16	;スタック ポインタ上位を初期化
\$0012		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0013		OUT SPL, R16	;スタック ポインタ下位を初期化
		}	;以下、I/O初期化など

10.3.2. 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	–	INT0	PCIE1	PCIE0	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。
MCU制御レジスタ(MCUCR)の割り込み0条件制御(ISC01,0)ビットは、この外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

■ ビット5 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE1ビットが設定(1)されると、ピン変化1群割り込みが許可されます。許可したPCINT8~15ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCIE1割り込みベクタから実行されます。PCINT8~15ピンはピン変化割り込み許可レジスタ1(PCMSK1)によって個別に許可されます。

■ ビット4 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化0群割り込みが許可されます。許可したPCINT0~7ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCIE0割り込みベクタから実行されます。PCINT0~7ピンはピン変化割り込み許可レジスタ0(PCMSK0)によって個別に許可されます。

10.3.3. 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	–	INTF0	PCIF1	PCIF0	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

■ ビット5 – PCIF1 : ピン変化1群割り込み要求フラグ (Pin Change Interrupt Flag 1)

PCINT8~15ピンの何れかの変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化1群割り込み許可(PCIE1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

■ ビット4 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

PCINT0~7ピンの何れかの変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

10.3.4. ピン変化割り込み許可レジスタ1 (Pin Change Enable Mask 8～15) PCMSK1

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～0 – PCINT15～PCINT8 : ピン変化割り込み15～8許可 (Pin Change Enable Mask 15～8)

各PCINT8～15ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT8～15と一般割り込み許可(GIMSK)レジスタのPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT8～15が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

10.3.5. ピン変化割り込み許可レジスタ0 (Pin Change Enable Mask 0～7) PCMSK0

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～0 – PCINT7～PCINT0 : ピン変化割り込み7～0許可 (Pin Change Enable Mask 7～0)

各PCINT0～7ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0～7と一般割り込み許可(GIMSK)レジスタのPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0～7が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

11. 入出力ポート

11.1. 序説

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード・モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方角をも無意識に変更することなく、1つのポートピンの方角を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図11-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については102頁の「電気的特性」を参照してください。

本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTxがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は49頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は44頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

11.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図11-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図11-1. 入出力ピン等価回路

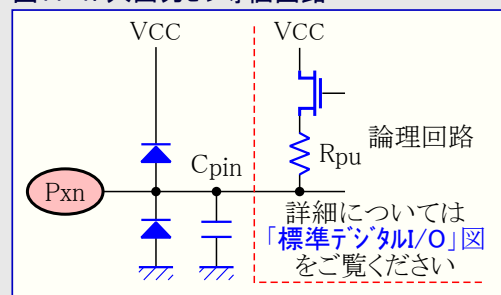
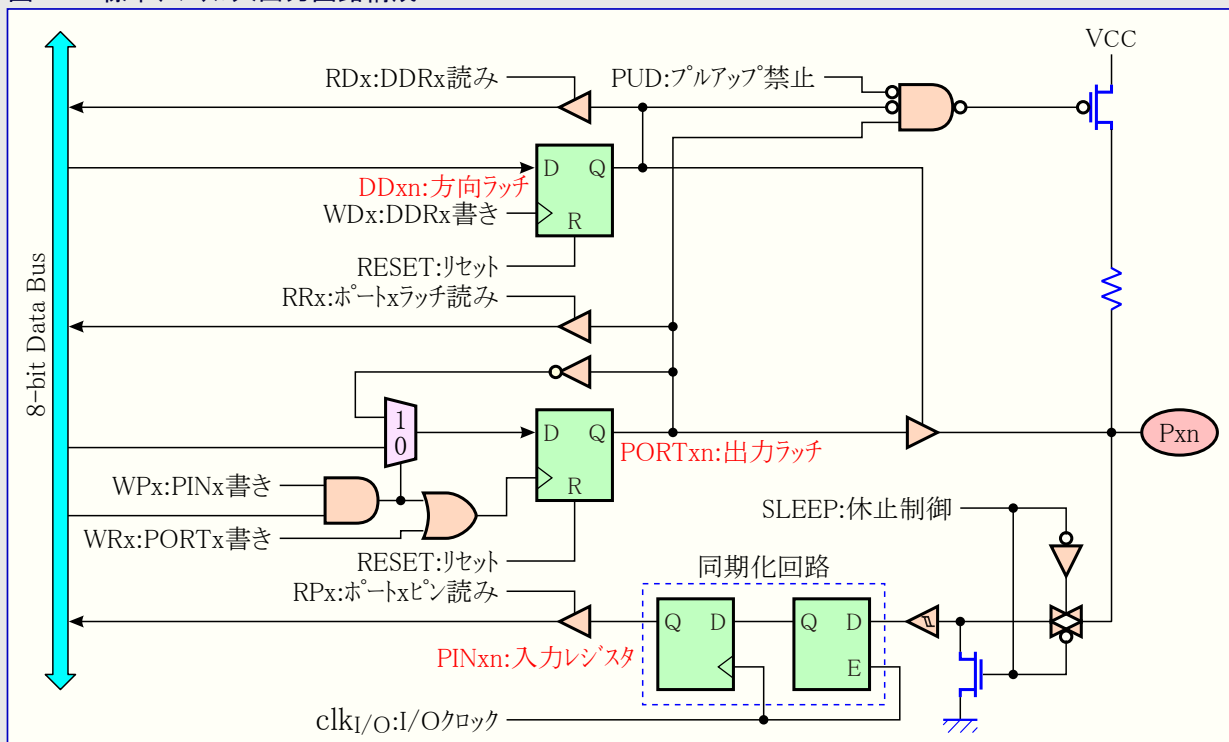


図11-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。

11.2.1. ピンの設定

各ポートピンは3つのレジスタビット、**DDxn**、**PORTxn**、**PINxn**から成ります。DDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxnビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理**1**を書かれるとPxnは出力ピンとして設定されます。DDxnが論理**0**を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理**1**を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理**0**を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理**1**を書かれると、そのポートピンは**High(1)**に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理**0**を書かれると、そのポートピンは**Low(0)**に駆動されます。

11.2.2. ピンの出力交互切り替え

PINxnへの論理**1**書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。**SBI**命令がポート内の1ビットの反転切り替えに使えることに注目してください。

11.2.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、**MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビット**が設定(**1**)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表11-1. はピン値に対する制御信号の一覧を示します。

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

11.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。**図11-2.**で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。**図11-3.**は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(**図11-3.**で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に**同期ラッチ**信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、**図11-4.**で示されるように**NOP**命令が挿入されなければなりません。**OUT**命令はシステムクロックの上昇端で**同期ラッチ**を設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図11-3. 外部供給ピン値読み込み時の同期化

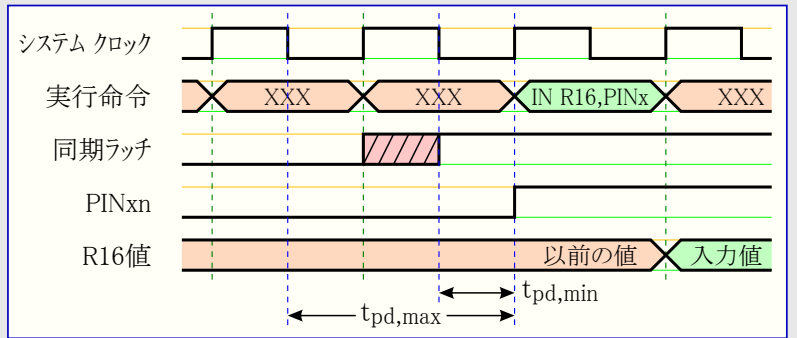
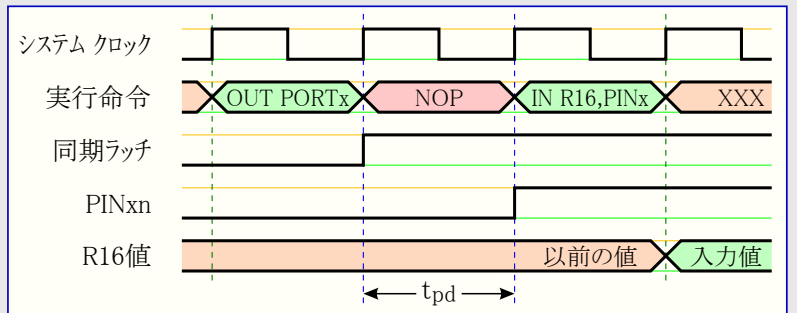


図11-4. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートAピンの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PA4) | (1<<PA1) | (1<<PA0)      ;プルアップとHigh値を取得
LDI    R17, (1<<DDA3) | (1<<DDA2) | (1<<DDA1) | (1<<DDA0) ;出力ビット値を取得
OUT    PORTA, R16                                ;プルアップとHigh値を設定
OUT    DDRA, R17                                  ;入出力方向を設定
NOP                                           ;同期化遅延対処
IN     R16, PINA                                  ;ピン値読み戻し
~
;

```

C言語プログラム例

```

unsigned char i;
~
PORTA = (1<<PA4) | (1<<PA1) | (1<<PA0);          /* */
DDRA = (1<<DDA3) | (1<<DDA2) | (1<<DDA1) | (1<<DDA0); /* プルアップとHigh値を設定 */
__no_operation();                                /* 入出力方向を設定 */
i = PINA;                                         /* 同期化遅延対処 */
~
/* ピン値読み戻し */
/* */

```

注: アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使われます。

11.2.5. デジタル入力許可と休止形態

図11-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図で**SLEEP**と印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、**SLEEP**は他のピンについてと同様に有効です。**SLEEP**は44頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

11.2.6. 未接続ピン

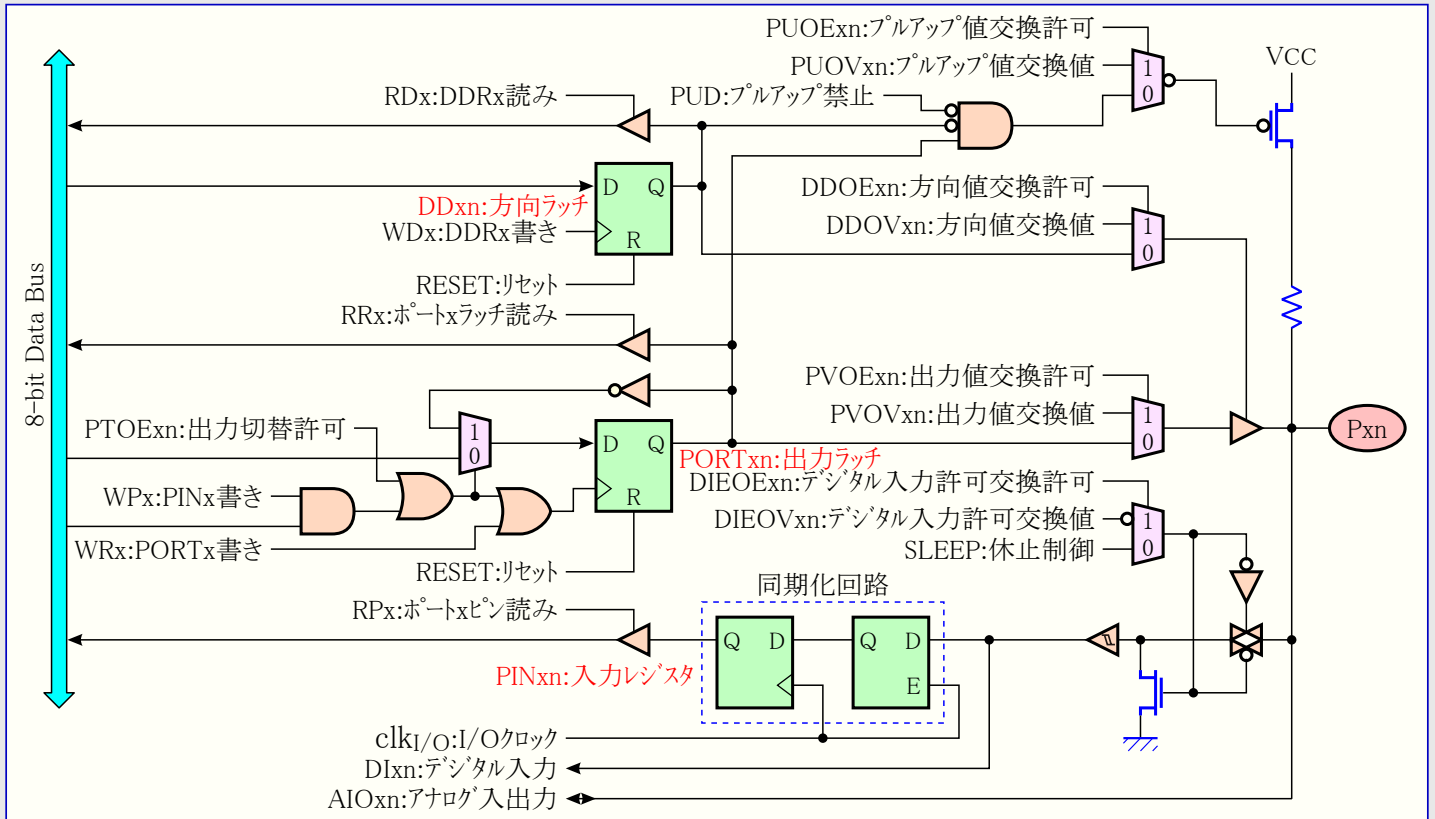
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

11.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。下の図11-5.で単純化された図11-2.でのポートピン制御信号が交換機能によってどう重複し得るかが示されます。

図11-5. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

表11-2.は重複(交換)信号の機能一覧を示します。図11-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表11-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0なら、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。本信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

11.3.1. ポートAの交換機能

ポートAピンの交換機能は表11-3.で示されます。

表11-3. ポートAピンの交換機能

ポート ピン	交換機能	ポート ピン	交換機能
PA7	RESET (外部リセット入力) dW (デバッグWIRE入出力) PCINT7 (ピン変化割り込み7入力)	PA3	ADC3 (A/D変換チャネル3入力) PCINT3 (ピン変化割り込み3入力)
PA6	CLKI (外部クロック信号入力) PCINT6 (ピン変化割り込み6入力)	PA2	ADC2 (A/D変換チャネル2入力) PCINT2 (ピン変化割り込み2入力)
PA5	AIN1 (アナログ比較器反転入力) PCINT5 (ピン変化割り込み5入力)	PA1	ADC1 (A/D変換チャネル1入力) PCINT1 (ピン変化割り込み1入力)
PA4	AIN0 (アナログ比較器非反転入力) PCINT4 (ピン変化割り込み4入力)	PA0	ADC0 (A/D変換チャネル0入力) PCINT0 (ピン変化割り込み0入力)

交換ピンの設定は次のとおりです。

• RESET/dW/PCINT7 – ポートA ビット7 : PA7

RESET : 外部リセット入力はLow活性(有効)で、RSTDISBLヒューズの非プログラム(1)により許可されます。このピンがRESETピンとして使われると、プルアップが活性(有効)にされ、出力駆動部とデジタル入力は非活性(無効)にされます。

dW : デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープントレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

PCINT7 : ピン変化割り込み元7入力。PA7ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• CLKI/PCINT6 – ポートA ビット6 : PA6

CLKI : 外部クロック元からのクロック信号入力。クロックピンとして使用時、このピンは入出力として使えません。

PCINT6 : ピン変化割り込み元6入力。PA6ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• AIN1/PCINT5 – ポートA ビット5 : PA5

AIN1 : アナログ比較器の反転入力。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。

PCINT5 : ピン変化割り込み元5入力。PA5ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• AIN0/PCINT4 – ポートA ビット4 : PA4

AIN0 : アナログ比較器の非反転入力。アナログ比較器の機能を妨げるデジタルポート機能を避けるため、内部プルアップをOFFにした入力としてポートピンを構成設定してください。

PCINT4 : ピン変化割り込み元4入力。PA4ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• ADC3/PCINT3 – ポートA ビット3 : PA3

ADC3 : A/D変換器チャネル3入力。

PCINT3 : ピン変化割り込み元3入力。PA3ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• ADC2/PCINT2 – ポートA ビット2 : PA2

ADC2 : A/D変換器チャネル2入力。

PCINT2 : ピン変化割り込み元2入力。PA2ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• ADC1/PCINT1 – ポートA ビット1 : PA1

ADC1 : A/D変換器チャネル1入力。

PCINT1 : ピン変化割り込み元1入力。PA1ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• ADC0/PCINT0 – ポートA ビット0 : PA0

ADC0 : A/D変換器チャネル0入力。

PCINT0 : ピン変化割り込み元0入力。PA0ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

表11-4.と表11-5.はポートAの交換機能を44頁の図11-5.で示される交換信号に関連付けます。

表11-4. ポートB3～0の交換機能用交換信号

信号名	PA7/RESET/dW/PCINT7	PA6/CLKI//PCINT6	PA5/AIN1/PCINT5	PA4/AIN0/PCINT4
PUOE	RSTDISBL+dW許可	外部クロック	0	0
PUOV	1	0	0	0
DDOE	RSTDISBL+dW許可	外部クロック	0	0
DDOV	dW許可・dW送信	0	0	0
PVOE	RSTDISBL+dW許可	外部クロック	0	0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIEOE	(PCIE0・PCINT7) +RSTDISBL+dW許可	(PCIE0・PCINT6) +外部クロック	(PCIE0・PCINT5)+AIN1D	(PCIE0・PCINT4)+AIN0D
DIEOV	(PCIE0・PCINT7・ RSTDISBL)+dW許可	(PCIE0・PCINT6・外部クロック) +(外部クロック・パワーダウン)	PCIE0・PCINT5	PCIE0・PCINT4
DI	dW/PCINT7入力	CLKI/PCINT6入力	PCINT5入力	PCINT4入力
AIO	—	—	アナログ比較器反転入力	アナログ比較器非反転入力

- 注: ・ RSTDISBLはRSTDISBLヒューズがプログラム(0)時に1です。
 ・ dW(デバッグWIRE)はDWENヒューズがプログラム(0)で、且つ施錠ビットが非プログラム(1)の時に許可されます。
 ・ 外部クロックはシステムクロックとして外部クロック信号の選択時です。
 ・ 内部クロックはシステムクロックとして内部のRC発振器選択時です。

表11-5. ポートA3～0の交換機能用交換信号

信号名	PA3/ADC3/PCINT3	PA2/ADC2/PCINT2	PA1/ADC1/PCINT1	PA0/ADC0/PCINT0
PUOE	0	0	0	RESET・REFS0
PUOV	0	0	0	0
DDOE	0	0	0	RESET・REFS0
DDOV	0	0	0	0
PVOE	0	0	0	RESET・REFS0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIEOE	(PCIE0・PCINT3)+ADC3D	(PCIE0・PCINT2)+ADC2D	(PCIE0・PCINT1)+ADC1D	(PCIE0・PCINT0)+ADC0D
DIEOV	PCIE0・PCINT3	PCIE0・PCINT2	PCIE0・PCINT1	PCIE0・PCINT0
DI	PCINT3入力	PCINT2入力	PCINT1入力	PCINT0入力
AIO	ADC3入力	ADC2入力	ADC1入力	ADC0入力

(訳注) 原書の表11-4.と表11-5.は表11-4.として、表11-6.と表11-7.は表10-5.として纏めました。

11.3.2. ポートBの交換機能

ポートBピンの交換機能は表11-8.で示されます。

表11-8. ポートBピンの交換機能

ポート ピン	交換機能	ポート ピン	交換機能
PB7	INT0 (外部割り込み0入力) PCINT15 (ピン変化割り込み15入力)	PB3	T1 (タイマ/カウンタ1 外部クロック入力) CLKO (システム クロック出力) PCINT11 (ピン変化割り込み11入力)
PB6	USCK (3線動作USIクロック入出力) SCL (2線動作USI(TWI)クロック入出力) PCINT14 (ピン変化割り込み14入力)	PB2	OC0B (タイマ/カウンタ0比較B一致) PCINT10 (ピン変化割り込み10入力)
PB5	OC1B (タイマ/カウンタ1比較B一致) DO (3線動作USIデータ出力) PCINT13 (ピン変化割り込み13入力)	PB1	OC0A (タイマ/カウンタ0比較A一致) PCINT9 (ピン変化割り込み9入力)
PB4	OC1A (タイマ/カウンタ1比較A一致) DI (3線動作USIデータ入力) SDA (2線動作USI(TWI)データ入出力) PCINT12 (ピン変化割り込み12入力)	PB0	T0 (タイマ/カウンタ0 外部クロック入力) PCINT8 (ピン変化割り込み8入力)

交換ピンの設定は次のとおりです。

• INT0/PCINT15 – ポートB ビット7 : PB7

INT0 : 外部割り込み0入力。PB7ピンはMCUへの外部割り込み元として扱えます。

PCINT15 : ピン変化割り込み元15入力。PB7ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• USCK/SCL/PCINT14 – ポートB ビット6 : PB6

USCK : 3線動作USIのクロック入出力。

SCL : 2線動作USI(TWI)のクロック入出力。

PCINT14 : ピン変化割り込み元14入力。PB6ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• OC1B/DO/PCINT13 – ポートB ビット5 : PB5

OC1B : タイマ/カウンタ1の比較B一致出力。PB5ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(**DDB5=1**)されなければなりません。このOC1Bピンはタイマ機能のPWM動作用出力ピンでもあります。

DO : 3線動作USIのデータ出力。データ出力(DO)は**PORTB5**値を無効にし、**データ方向(DDB5)ビット**が設定(**1**)されると、ポートが駆動されます。けれどもPORTB5ビットは未だプルアップを制御し、方向が入力でPORTB5が設定(**1**)されるならプルアップを許可します。

PCINT13 : ピン変化割り込み元13入力。PB5ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• OC1A/DI/SDA/PCINT12 – ポートB ビット4 : PB4

OC1A : タイマ/カウンタ1の比較A一致出力。PB4ピンはタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(**DDB4=1**)されなければなりません。このOC1Aピンはタイマ機能のPWM動作用出力ピンでもあります。

DI : **3線動作USI**のデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンは入力として設定されなければなりません。

SDA : **2線動作USI(TWI)**のデータ入出力。

PCINT12 : ピン変化割り込み元12入力。PB4ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• T1/CLKO/PCINT11 – ポートB ビット3 : PB3

T1 : **タイマ/カウンタ1**の外部クロック入力。

CLKO : システム クロック出力。分周したシステム クロックをPB3ピンに出力できます。**CKOUTヒューズ**がプログラム(**0**)されると、分周したシステム クロックは**PORTB3**と**DDB3**設定に拘らず、出力されます。これはリセット中にも出力されます。

PCINT11 : ピン変化割り込み元11入力。PB3ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• OC0B/PCINT10 – ポートB ビット2 : PB2

OC0B : **タイマ/カウンタ0**の比較B一致出力。PB2ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(**DDB2=1**)されなければなりません。このOC0Bピンはタイマ機能のPWM動作用出力ピンでもあります。

PCINT10 : ピン変化割り込み元10入力。PB2ピンは**ピン変化1群割り込み**に対する外部割り込み元として扱えます。

• OC0A/PCINT9 – ポートB ビット1 : PB1

OC0A : タイマ/カウンタ0の比較A一致出力。PB1ピンはタイマ/カウンタ0の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDB1=1)されなければなりません。このOC0Aピンはタイマ機能のPWM動作出力ピンでもあります。

PCINT9 : ピン変化割り込み元9入力。PB1ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• T0/PCINT8 – ポートB ビット0 : PB0

T0 : タイマ/カウンタ0の外部クロック入力。

PCINT8 : ピン変化割り込み元8入力。PB0ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

表11-9.と表11-10.はポートAの交換機能を44頁の図11-5.で示される交換信号に関連付けます。

表11-9. ポートB7~4の交換機能用交換信号

信号名	PB7/INT0/PCINT15	PB6/USCK/SCL/PCINT14	PB5/OC1B/DO/PCINT13	PB4/OC1A/DI/SDA/PCINT12
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線USI	0	2線USI
DDOV	0	SCL保持+PORTB6	0	(SDA+PORTB4)・DDB4
PVOE	0	2線USI	3線USI+OC1B許可	(2線USI・DDB4)+OC1A許可
PVOV	0	0	3線USI・DO+3線USI・OC1B	(2線USI・DDB4)・OC1A
PTOE	0	USI許可	0	0
DIOE	(PCIE1・PCINT15)+INT0	(PCIE1・PCINT14)+USISIE	PCIE1・PCINT13	(PCIE1・PCINT12)+USISIE
DIOV	(PCIE1・PCINT15)+INT0	(PCIE1・PCINT14)+USISIE	PCIE1・PCINT13	(PCIE1・PCINT12)+USISIE
DI	INT0/PCINT15入力	USCK/SCL/PCINT14入力	PCINT13入力	DI/SDA/PCINT12入力
AIO	–	–	–	–

表11-10. ポートB3~0の交換機能用交換信号

信号名	PB3/T1/CLKO/PCINT11	PB2/OC0B/PCINT10	PB1/OC0A/PCINT9	PB0/T0/PCINT8
PUOE	CKOUT	0	0	0
PUOV	0	0	0	0
DDOE	CKOUT	0	0	0
DDOV	1	0	0	0
PVOE	CKOUT	OC0B許可	OC0A許可	0
PVOV	CKOUT・システム クロック	OC0B	OC0A	0
PTOE	0	0	0	0
DIOE	PCIE1・PCINT11	PCIE1・PCINT10	PCIE1・PCINT9	PCIE1・PCINT8
DIOV	PCIE1・PCINT11	PCIE1・PCINT10	PCIE1・PCINT9	PCIE1・PCINT8
DI	T1/PCINT11入力	PCINT10入力	PCINT9入力	T0/PCINT8入力
AIO	–	–	–	–

(訳注) 原書の表11-9.と表11-10.は表11-9.として、表11-11.と表11-12.は表11-10.として纏めました。

11.4. I/Oポート用レジスタ

11.4.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては42頁の「[ピンの設定](#)」をご覧ください。

11.4.2. ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

11.4.3. ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

11.4.4. ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

11.4.5. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

11.4.6. ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

11.4.7. ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

12. PWM付き8ビット タイマ/カウンタ (タイマ/カウンタ0とタイマ/カウンタ1)

12.1. 特徴

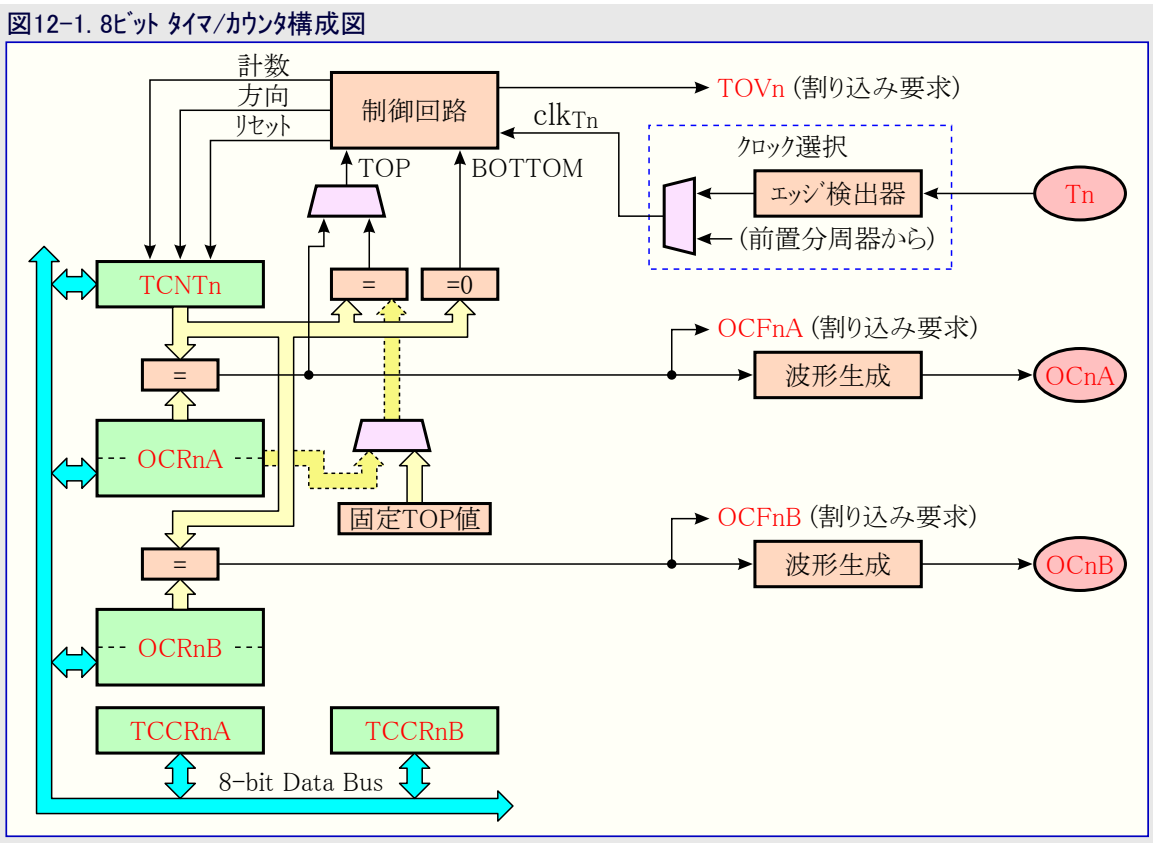
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 6つの独立した割り込み (TOV0, OCF0A, OCF0B, TOV1, OCF1A, OCF1B)

12.2. 概要

タイマ/カウンタ0とタイマ/カウンタ1は各々2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。これらは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

本項でのレジスタとビットの参照は一般形で書かれます。小文字の'n'はタイマ/カウンタ番号を置き換え、小文字のxは比較出力部を置き換え、この場合は比較部Aまたは比較部Bです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(換言すると、タイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0、以下同様)。

この8ビット タイマ/カウンタの簡単化した構成図は図12-1.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は58頁の「8ビット タイマ/カウンタ0,1用レジスタ」で一覧されます。



12.2.1. 関係レジスタ

タイマ/カウンタ(TCNTn)と比較レジスタ(OCRnAとOCRnB)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFRn)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSKn)で個別に遮蔽(禁止)されます。TIFRnとTIMSKnはこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはTnピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタ クロック(clkTn)として参照されます。

2重緩衝化した比較レジスタ(OCRnAとOCRnB)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OCnAとOCnB)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については52頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCFnAとOCFnB)も設定(1)します。

12.2.2. 定義

表12-1.の定義は本資料を通して広範囲に渡って使われます。

表12-1. 用語定義

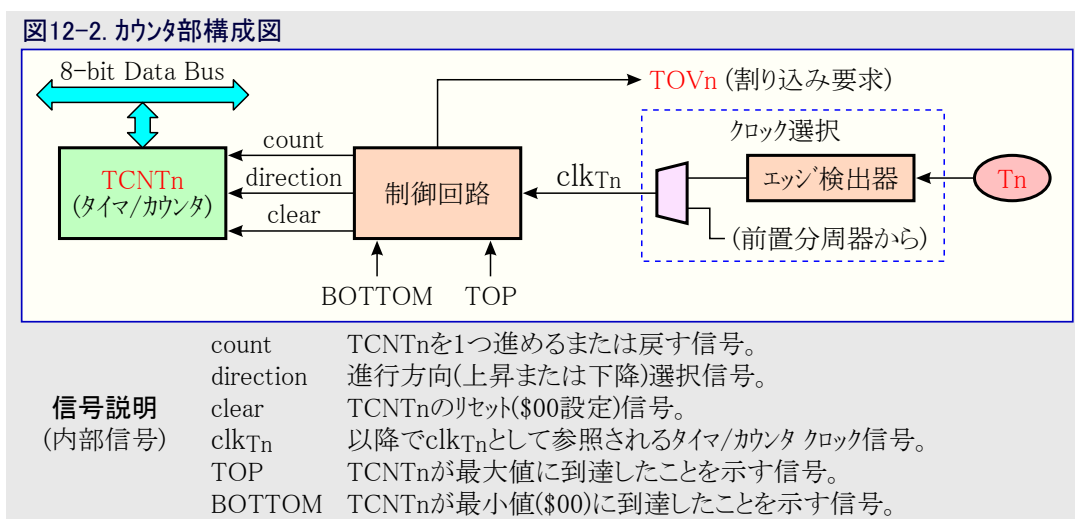
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCRnA値に到達した時。この指定(TOP)値は動作種別に依存します。

12.3. タイマ/カウンタのクロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCRnB)に配置されたクロック選択(CSn2~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については64頁の「タイマ/カウンタの前置分周器」をご覧ください。

12.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図12-2.は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkTn)で解除(\$00)、増加(+1)、または減少(-1)されます。clkTnはクロック選択(CSn2~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CSn2~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNTn値はタイマ/カウンタ クロック(clkTn)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRnA)に配置された波形生成種別(WGMn1,0)ビットとタイマ/カウンタ制御レジスタB(TCCRnB)に配置された波形生成種別(WGMn2)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOCnA/OCnB比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては54頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOVn)フラグはWGMn2~0ビットによって選択された動作種別に従って設定(1)されます。TOVnはCPU割り込み発生に使えます。

12.5. 比較出力部

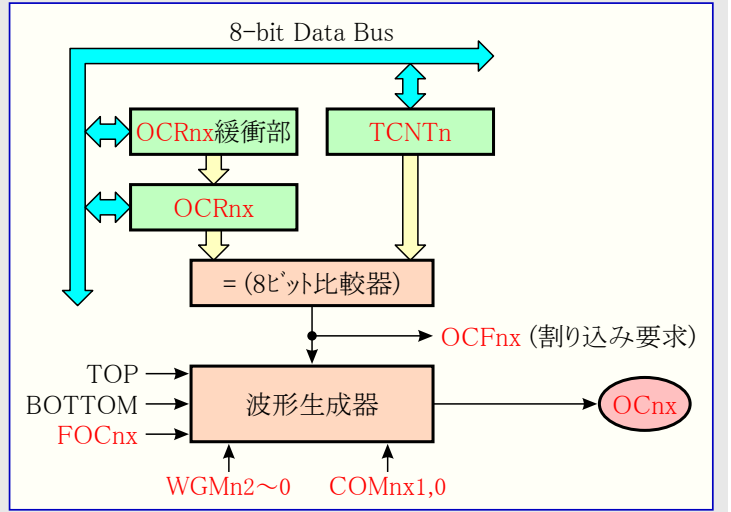
この8ビット比較器はTCNTnと比較レジスタ(OCRnAとOCRnB)を継続的に比較します。TCNTnがOCRnAまたはOCRnBと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCFnxまたはOCFnxB)を設定(1)します。対応する割り込みが許可(I=1, OCIEEnAまたはOCIEEnB=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGMn2~0)ビットと比較出力選択(COMnx1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(54頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図12-3. は比較出力部の構成図を示します。

OCRnxはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCRnxのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCRnx緩衝部をアクセスし、禁止されるとOCRnxレジスタを直接アクセスします。

図12-3. 比較出力部構成図



(訳注) ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

12.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOCNx)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCFnx)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OCnxピンは実際の比較一致が起きた場合と同様に更新されます(COMnx1,0ビット設定がOCnxピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

12.5.2. TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

12.5.3. 比較一致部の使用

どの動作種別でのTCNTn書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNTnを変更する時に危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNTn値を書いてもいけません。

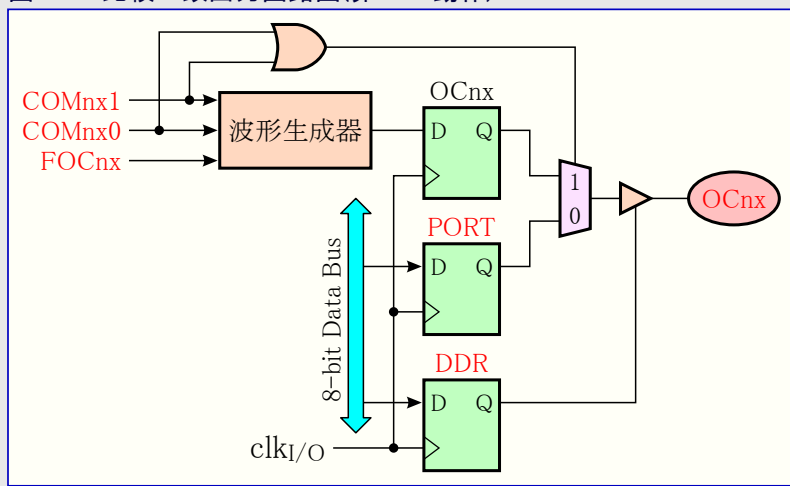
OCnxの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更(FOCNx)スローブビットを使うことです。波形生成動作種別間を変更する時でも、OCnx(内部)レジスタはその値を保ちます。

比較出力選択(COMnx1,0)ビットが比較値(OCRnx)と共に2重緩衝されないことに気付いてください。COMnx1,0ビットの変更は直ちに有効となります。

12.6. 比較一致出力部

比較出力選択(COMnx1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OCnx)状態の定義にCOMnx1,0ビットを使います。またCOMnx1,0ビットはOCnxピン出力元を制御します。図12-4はCOMnx1,0ビット設定によって影響を及ぼされる論理回路の簡化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COMnx1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxピンでなく内部OCnxレジスタに対してです。システムリセットが起ると、OCnxレジスタは'0'にリセットされます。

図12-4. 比較一致出力回路図(非PWM動作)



COMnx1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OCnx)によって無効にされます。けれどもOCnxピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OCnxピンに対するポート方向レジスタのビット(DDR_OCnx)はOCnx値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。58頁の「8ビットタイマ/カウンタ0,1用レジスタ」をご覧ください。

12.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1,0ビットを違うふうに使います。全ての動作種別に対してCOMnx1,0=00設定は次の比較一致で実行すべきOCnxレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については58頁の表12-2と59頁の表12-5を参照してください。高速PWM動作については58頁の表12-3と59頁の表12-6、位相基準PWMについては58頁の表12-4と59頁の表12-7を参照してください。

COMnx1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOCnx)ストップビットを使うことによって直ちに効果を得ることを強制できます。

12.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGMn2~0)ビットと比較出力選択(COMnx1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COMnx1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOMnx1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(53頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については57頁の「タイマ/カウンタ0,1のタイミング」を参照してください(訳注:原文中の図番号省略)。

12.7.1. 標準動作

最も単純な動作種別が標準動作(WGMn2~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOVnフラグ)はTCNTnが\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOVnフラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOVnフラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

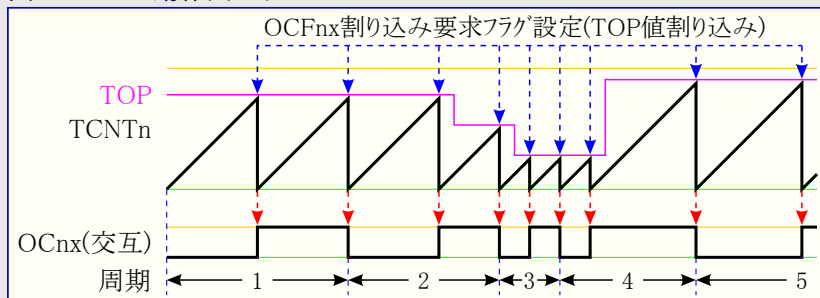
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

12.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGMn2~0=010)ではOCRnAがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNTn)値がOCRnAと一致すると、カウンタは\$00に解除されます。OCRnAはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図12-5.で示されます。カウンタ(TCNTn)値はTCNTnとOCRnA間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNTn)は解除(\$00)されます。

図12-5. CTC動作タイミング



注: COMnx1,0=01

OCFnAフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCRnAに書かれた新しい値がTCNTnの現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OCnA出力は比較出力選択(COMnA1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OCnA値はそのピンに対するデータ方向が出力(DDR_OCnA=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCRnAが0(\$00)に設定される時に $f_{OCnA} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

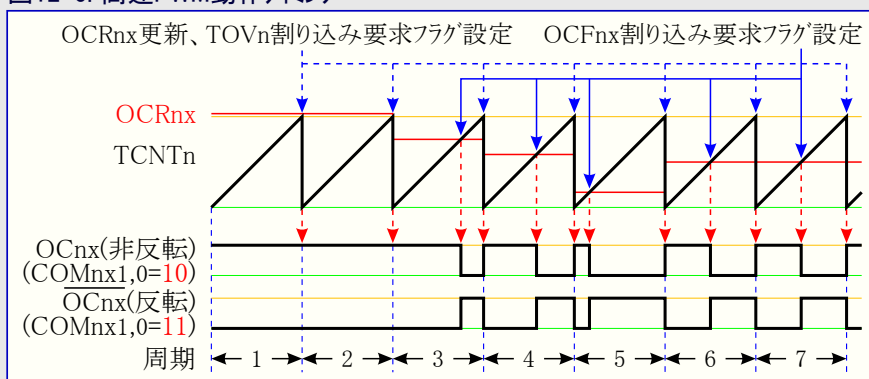
標準動作と同じように、タイマ/カウンタ溢れ(TOVnフラグ)はカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

12.7.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGMn2~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGMn2~0=011時に\$FF、WGMn2~0=111時にOCRnAとして定義されます。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)はTCNTnとOCRnx間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COMnx1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図12-6.で示されます。TCNTn値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCFnx)はOCRnx=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。

図12-6. 高速PWM動作タイミング



タイマ/カウンタ溢れ(TOVn)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。WGMn2ビットが設定(1)ならばCOMnA1,0ビットの'01'設定は比較一致での交互反転をOCnAピンに許します。この任意選択はOCnBピンに対して利用できません(58頁の表12-3.と59頁の表12-6.をご覧ください)。実際のOCnx値はポートピンに対するデータ方向(DDR_OCnx)が出力として設定される場合にだけ見えます。PWM波形はTCNTnとOCRnx間の比較一致で、OCnx(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00, TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOCnxレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1 + TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

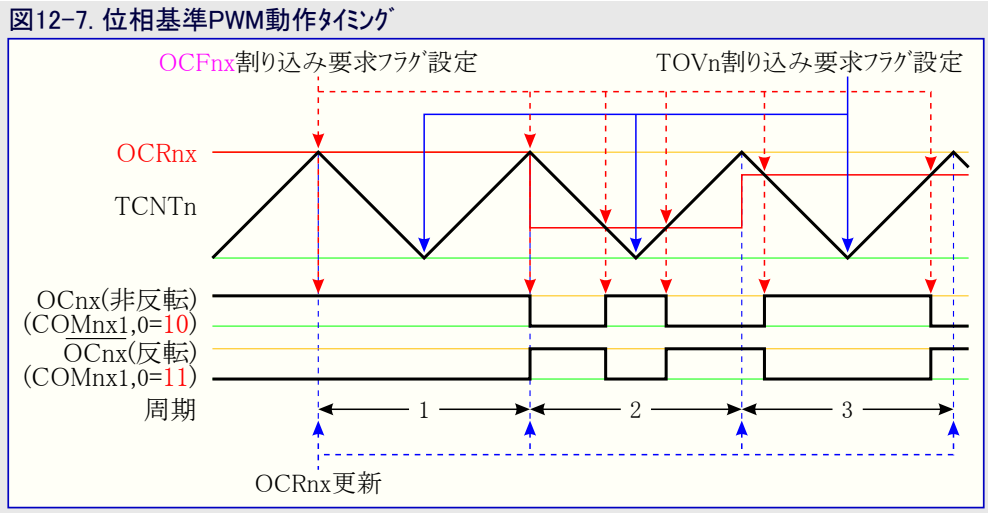
OCRnxの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCRnxがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCRnxがTOPに等しく設定されると、(COMnx1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

(訳補:WGMn2~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOCnA設定(COMnA1,0=01)によって達成できます。生成された波形はOCRnAが0(\$00)に設定される時に $f_{OCnx} = f_{clk_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOCnA交互出力(COMnA1,0=01)と同じです。

12.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGMn2~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGMn2~0=001時に\$FF、WGMn2~0=101時にOCRnAとして定義されます。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnxの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNTn値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図12-7.で示されます。TCNTn値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOVn)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0ビットを'11'に設定することで生成できます。WGMn2ビットが設定(1)なら、COMnA1,0ビットの'01'設定は比較一致での交互反転をOCnAピンに許します。この任意選択はOCnBピンに対して利用できません(58頁の表12-4.と59頁の表12-7.をご覧ください)。実際のOCnx値はそのポートピンに対するデータ方向(DDR_OCnx)が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNTnとOCRnx間の比較一致でOCnxレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCRnxの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCRnxがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図12-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図12-7.のようにOCRnxはTOPからその値を変更します。OCRnx値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCRnx値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

12.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{Tn})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図12-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図12-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

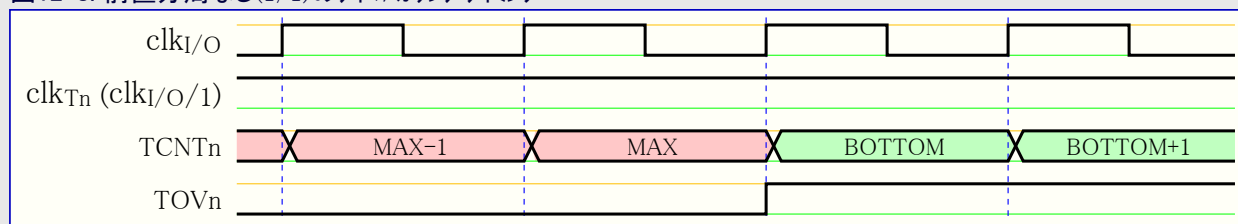


図12-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図12-9. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ タイミング

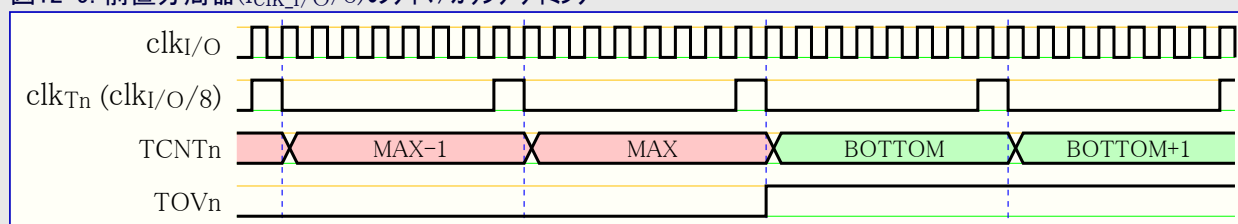


図12-10. はCTC動作と OCRnA がTOPのPWM動作を除く全動作種別での OCFnA と全動作種別での OCFnB の設定を示します。

図12-10. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、 OCFnA 設定 タイミング

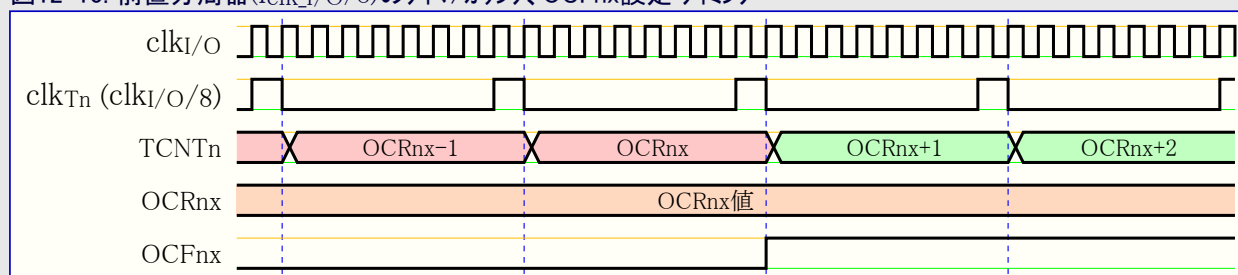
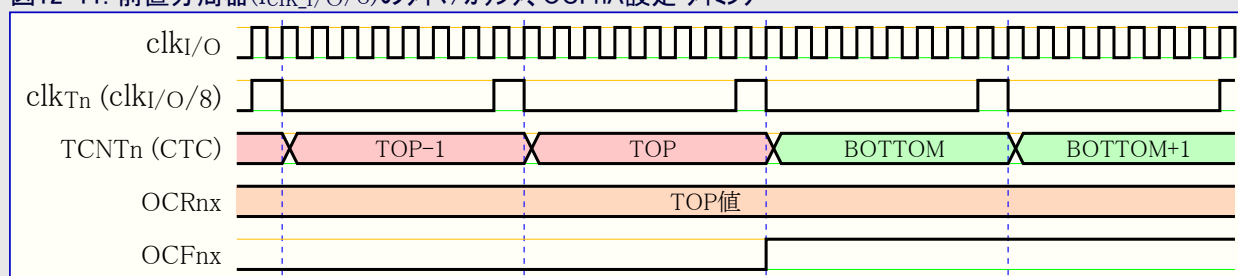


図12-11. は OCRnA がTOPの高速PWM動作と、CTC動作での TCNTn の解除と OCFnA の設定を示します。

図12-11. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、 OCFnA 設定 タイミング



12.9. 8ビット タイマ/カウンタ0,1用レジスタ

12.9.1. タイマ/カウンタ0制御レジスタA (Timer/Counter 0 Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.2. タイマ/カウンタ1制御レジスタA (Timer/Counter 1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – COMnA1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOCnA比較出力ピンの動作を制御します。COMnA1,0ビットの1つまたは両方が1を書かれると、OCnA出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OCnAピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OCnAがピンに接続されるとき、COMnA1,0ビットの機能はWGMn2~0ビット設定に依存します。表12-2はWGMn2~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOMnA1,0ビット機能を示します。

表12-2. 非PWM動作比較A出力選択

COMnA1	COMnA0	意味
0	0	標準ポート動作 (OCnA切断)
0	1	比較一致でOCnAピン トグル(交互)出力
1	0	比較一致でOCnAピン Lowレベル出力
1	1	比較一致でOCnAピン Highレベル出力

表12-3はWGMn2~0ビットが高速PWM動作に設定される時のCOMnA1,0ビットの機能を示します。

表12-3. 高速PWM動作比較A出力選択

COMnA1	COMnA0	意味
0	0	標準ポート動作 (OCnA切断)
0	1	WGMn2=0 : 標準ポート動作 (OCnA切断) WGMn2=1 : 比較一致でOCnAピン トグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOCnAピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOCnAピンへ出力 (反転動作)

注: COMnA1が設定(1)され、対応するOCRnAがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については55頁の「高速PWM動作」をご覧ください。

表12-4はWGMn2~0ビットが位相基準PWM動作に設定される時のCOMnA1,0ビットの機能を示します。

表12-4. 位相基準PWM動作比較A出力選択

COMnA1	COMnA0	意味
0	0	標準ポート動作 (OCnA切断)
0	1	WGMn2=0 : 標準ポート動作 (OCnA切断) WGMn2=1 : 比較一致でOCnAピン トグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOCnAピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOCnAピンへ出力

注: COMnA1が設定(1)され、対応するOCRnAがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については56頁の「位相基準PWM動作」をご覧ください。

■ビット5,4 – COMnB1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOCnB比較出力ピンの動作を制御します。COMnB1,0ビットの1つまたは両方が1を書かれると、OCnB出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OCnBピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OCnBがピンに接続されるとき、COMnB1,0ビットの機能はWGMn2~0ビット設定に依存します。表12-5はWGMn2~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOMnB1,0ビット機能を示します。

表12-5. 非PWM動作比較B出力選択

COMnB1	COMnB0	意味
0	0	標準ポート動作 (OCnB切断)
0	1	比較一致でOCnBピン トグル(交互)出力
1	0	比較一致でOCnBピン Lowレベル出力
1	1	比較一致でOCnBピン Highレベル出力

表12-6. はWGMn2~0ビットが高速PWM動作に設定される時のCOMnB1,0ビットの機能を示します。

表12-6. 高速PWM動作比較B出力選択

COMnB1	COMnB0	意味
0	0	標準ポート動作 (OCnB切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOCnBピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOCnBピンへ出力 (反転動作)

注: COMnB1が設定(1)され、対応するOCRnBがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)や解除(0)は行われます。より多くの詳細については55頁の「高速PWM動作」をご覧ください。

表12-7. はWGMn2~0ビットが位相基準PWM動作に設定される時のCOMnB1,0ビットの機能を示します。

表12-7. 位相基準PWM動作比較B出力選択

COMnB1	COMnB0	意味
0	0	標準ポート動作 (OCnB切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOCnBピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOCnBピンへ出力

注: COMnB1が設定(1)され、対応するOCRnBがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、TOPでの設定(1)や解除(0)は行われます。より多くの詳細については56頁の「位相基準PWM動作」をご覧ください。

■ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCRnB)で得られるWGMn2ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表12-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。54頁の「動作種別」をご覧ください。

表12-8. 波形生成種別選択

番号	WGMn2	WGMn1	WGMn0	タイマ/カウンタ動作種別	TOP値	OCRnx更新時	TOVn設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCRnA	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	–	–	–
5	1	0	1	位相基準PWM動作	OCRnA	TOP	BOTTOM
6	1	1	0	(予約)	–	–	–
7	1	1	1	高速PWM動作	OCRnA	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

12.9.3. タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B) TCCR0B

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0A	FOC0B	–	–	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.4. タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	FOC1A	FOC1B	–	–	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – FOCnA : OCnA強制変更 (Force Output Compare A)

FOCnAビットはWGMn2~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCRnBが書かれる場合、このビットは0に設定されなければなりません。FOCnAビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OCnA出力はCOMnA1,0ビット設定に従って変更されます。FOCnAビットがストローブとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOMnA1,0ビットに存在する値です。

FOCnAストローブは何れの割り込みの生成もTOPとしてOCRnAを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOCnAビットは常に0として読まれます。

■ ビット6 – FOCnB : OCnB強制変更 (Force Output Compare B)

FOCnBビットはWGMn2~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCRnBが書かれる場合、このビットは0に設定されなければなりません。FOCnBビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OCnB出力はCOMnB1,0ビット設定に従って変更されます。FOCnBビットがストローブとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOMnB1,0ビットに存在する値です。

FOCnBストローブは何れの割り込みの生成も行いません。

FOCnBビットは常に0として読まれます。

■ ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット3 – WGMn2 : 波形生成種別 (Waveform Generation Mode bit 2)

58頁の「タイマ/カウンタ制御レジスタA(TCCRnA)」のWGMn1,0ビット記述をご覧ください。

■ ビット2~0 – CSn2~0 : クロック選択 (Clock Select, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNTn)によって使われるクロック元を選択します。

表12-9. タイマ/カウンタn入力クロック選択

CSn2	CSn1	CSn0	意味
0	0	0	停止 (タイマ/カウンタn動作停止)
0	0	1	clk _{I/O} (前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	Tnピンの下降端 (外部クロック)
1	1	1	Tnピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタnに対して使われる場合、例えばTnピンが出力として設定されても、Tnピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

12.9.5. タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.6. タイマ/カウンタ1 (Timer/Counter1) TCNT1

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNTnへの書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNTn)を変更することはTCNTnとOCRnx間の比較一致消失の危険を誘発します。

12.9.7. タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.8. タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare A Register) OCR1A

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNTn)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOCnBピンでの波形出力を生成するのに使えます。

12.9.9. タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register) OCR0B

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.10. タイマ/カウンタ1 比較Bレジスタ (Timer/Counter1 Output Compare B Register) OCR1B

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNTn)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOCnBピンでの波形出力を生成するのに使えます。

12.9.11. タイマ/カウンタ0割り込み許可レジスタ (Timer/Counter 0 Interrupt Mask Register) TIMSK0

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	–	–	–	–	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.12. タイマ/カウンタ1割り込み許可レジスタ (Timer/Counter 1 Interrupt Mask Register) TIMSK1

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	–	–	–	–	–	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット2 – OCIE_nB : タイマ/カウンタ_n比較B割り込み許可 (Timer/Counter Output Compare Match B Interrupt Enable)

OCIE_nBビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ_n比較B一致割り込みが許可されます。タイマ/カウンタ_nで比較B一致が起こる、換言するとタイマ/カウンタ_n割り込み要求フラグレジスタ(TIFR_n)で比較B割り込み要求フラグ(OCF_nB)が設定(1)されると、対応する割り込みが実行されます。

■ ビット1 – OCIE_nA : タイマ/カウンタ_n比較A割り込み許可 (Timer/Counter Output Compare Match A Interrupt Enable)

OCIE_nAビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ_n比較A一致割り込みが許可されます。タイマ/カウンタ_nで比較A一致が起こる、換言するとタイマ/カウンタ_n割り込み要求フラグレジスタ(TIFR_n)で比較A割り込み要求フラグ(OCF_nA)が設定(1)されると、対応する割り込みが実行されます。

■ ビット0 – TOIE_n : タイマ/カウンタ_n溢れ割り込み許可 (Timer/Counter Overflow Interrupt Enable)

TOIE_nビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ_n溢れ割り込みが許可されます。タイマ/カウンタ_n溢れが起こる、換言するとタイマ/カウンタ_n割り込み要求フラグレジスタ(TIFR_n)でタイマ/カウンタ_n溢れ割り込み要求(TOV_n)フラグが設定(1)されると、対応する割り込みが実行されます。

12.9.13. タイマ/カウンタ0割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register) TIFR0

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	–	–	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.9.14. タイマ/カウンタ1割り込み要求フラグレジスタ (Timer/Counter 1 Interrupt Flag Register) TIFR1

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	–	–	–	–	–	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット2 – OCF_nB : タイマ/カウンタ_n比較B割り込み要求フラグ (Timer/Counter, Output Compare B Match Flag)

OCF_nBビットは比較一致がタイマ/カウンタ(TCNT_n)と比較レジスタ(OCR_nB)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF_nBはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF_nBは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ_n割り込み許可レジスタ(TIMSK_n)のタイマ/カウンタ_n比較B一致割り込み許可(OCIE_nB)ビット、OCF_nBが設定(1)されると、タイマ/カウンタ_n比較B一致割り込みが実行されます。

■ ビット1 – OCF_nA : タイマ/カウンタ_n比較A割り込み要求フラグ (Timer/Counter, Output Compare A Match Flag)

OCF_nAビットは比較一致がタイマ/カウンタ(TCNT_n)と比較レジスタ(OCR_nA)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF_nAはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF_nAは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ_n割り込み許可レジスタ(TIMSK_n)のタイマ/カウンタ_n比較A一致割り込み許可(OCIE_nA)ビット、OCF_nAが設定(1)されると、タイマ/カウンタ_n比較A一致割り込みが実行されます。

■ ビット0 – TOVn : タイマ/カウンタn溢れ割り込み要求フラグ (Timer/Counter Overflow Flag)

TOVnビットはタイマ/カウンタ(TCNTn)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOVnはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOVnは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSKn)のタイマ/カウンタ溢れ割り込み許可(TOIE_n)ビット、TOVnが設定(1)されると、タイマ/カウンタ溢れ割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタが\$00で計数方向を変える時にこのビットが設定(1)されます。

これらフラグの設定はWGMn2~0ビット設定に依存します。59頁の波形生成種別ビット記述の表12-8を参照してください。

13. タイマ/カウンタの前置分周器

タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器部を共用しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述は両タイマ/カウンタに適用します。Tn (n=0,1)は一般名として使われます。

タイマ/カウンタはシステム クロック(CSn2~0=001設定)によって直接的にクロック駆動できます。これはシステム クロック周波数($f_{clk_I/O}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックは $f_{clk_I/O}/8$, $f_{clk_I/O}/64$, $f_{clk_I/O}/256$, $f_{clk_I/O}/1024$ の何れかの周波数です。

13.1. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、Tnによって共用されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステム クロック周期数はNが前置分周値(8,64,256,1024)とすると、1~N+1 システム クロック周期になり得ます。

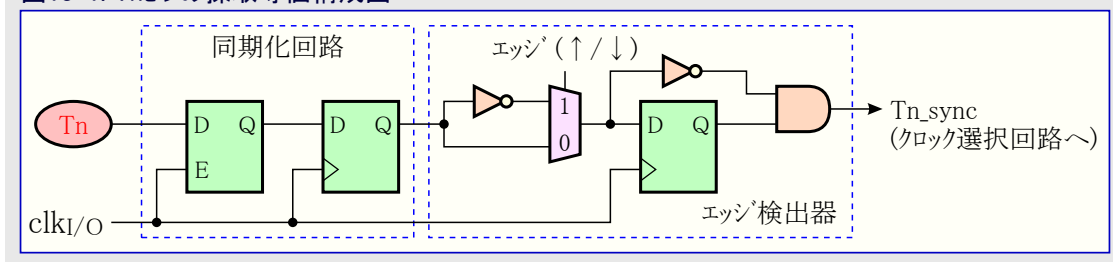
プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。しかし、同じ前置分周器を共用する他のタイマ/カウンタも前置分周を使う場合、注意が必要とされなければなりません。前置分周器リセットはそれが接続される全タイマ/カウンタに関する前置分周器周期に影響を及ぼします。

13.2. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタ クロック(clk_{Tn})として使えます。このTnピンはピン同期化論理回路によって全てのシステム クロック周期に一度採取されます。この同期化(採取)された信号はその後にエッジ検出器を通して通過されます。図13-1はTn同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システム クロック($clk_{I/O}$)の上昇端でクロック駆動されます。ラッチは内部システム クロックのHigh区間で通過(Low区間で保持)です。

エッジ検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つの clk_{Tn} パルスを生成します。

図13-1. Tnピンの採取等価構成図



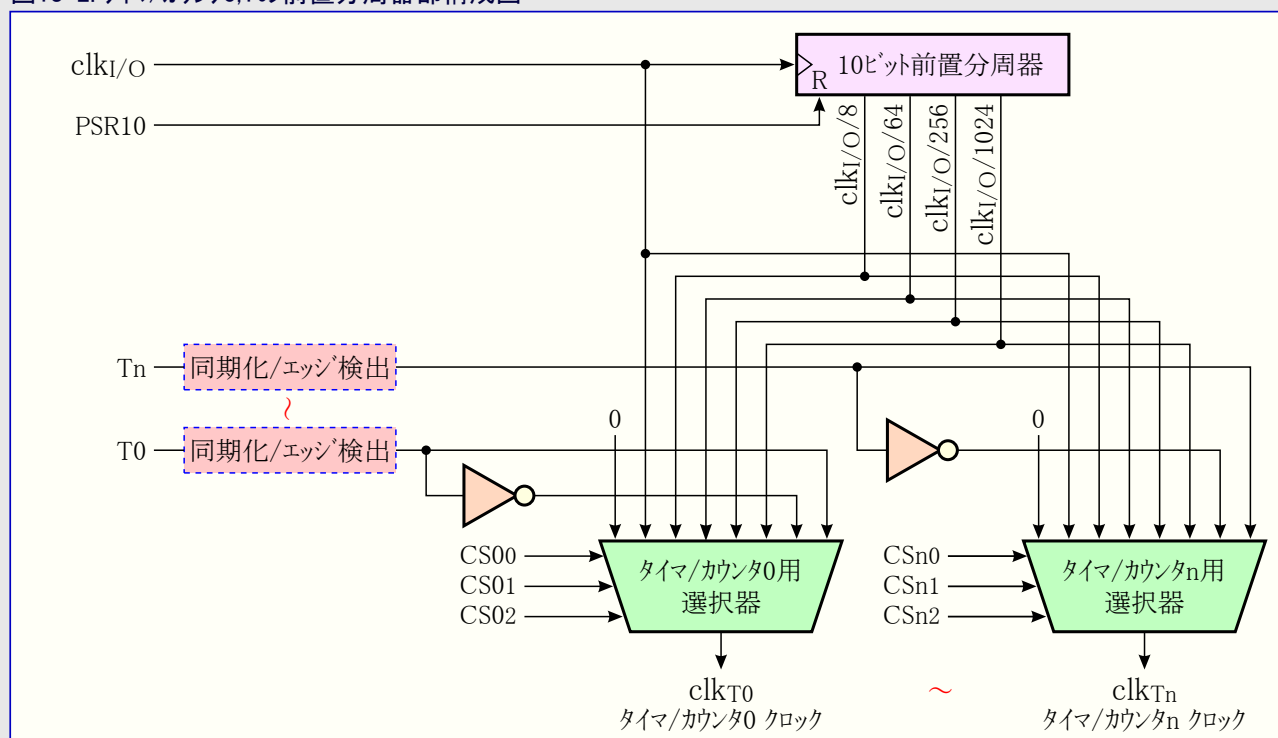
同期化とエッジ検出器論理回路はTnピンへ印加されたエッジから計数器が更新されるまでに2.5~3.5システム クロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システム クロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタ クロック パルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システム クロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システム クロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。エッジ検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイquistの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステム クロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_I/O}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

図13-2. タイマ/カウンタ0,1の前置分周器部構成図



注: 入力ピンの同期化/エッジ検出論理回路は図13-1.で示されます。

13.3. タイマ/カウンタ前置分周器制御用レジスタ

13.3.1. 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	—	—	—	—	—	—	PSR10	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR10へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これはタイマ/カウンタが停止され、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSR10ビットはハードウェアによって解除(0)され、タイマ/カウンタが計数を始めます。

■ ビット0 - PSR10 : タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。通常、TSMビットが設定(1)されている場合を除いて、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが全てのタイマ/カウンタに影響を及ぼすことに注意してください(訳注:共通性から本行追加)。

14.3. 機能説明

14.3.1. 3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使われるピン名はDI,DO,USCKです。

図14-2. 3線動作簡略構成図

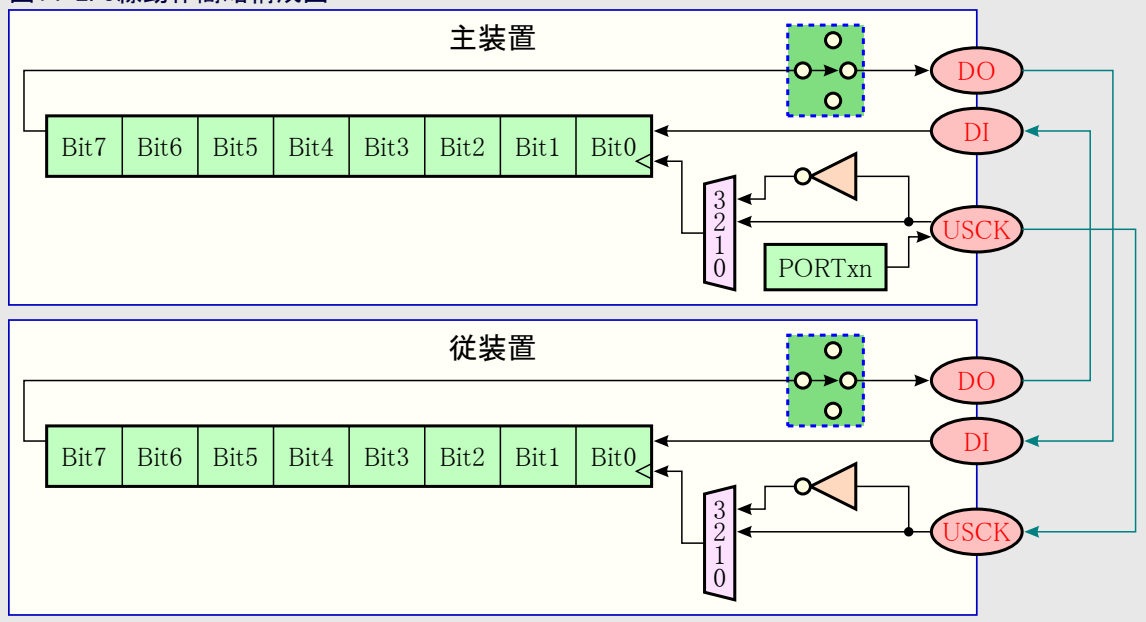
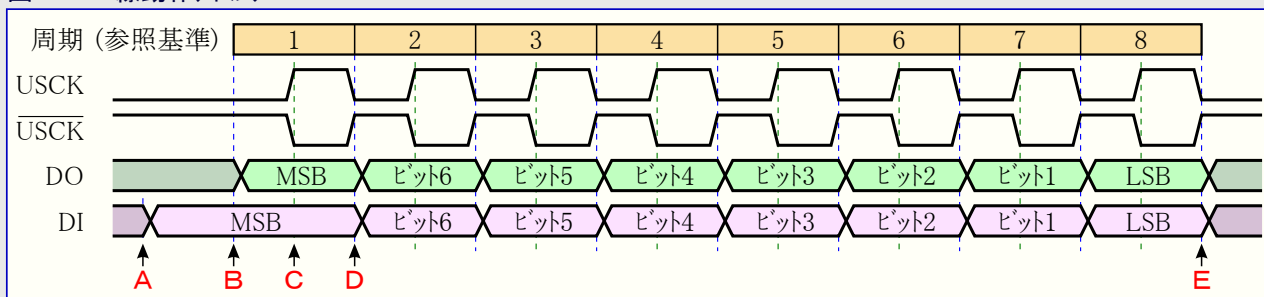


図14-2.は3線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。このような方法で連結された2つの移動レジスタは8USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSIの4ビット計数器も増加(+1)します。従って計数器溢れ割り込み要求フラグ(USIOIF)は転送が完了される時を決めるのに使えます。このクロックはPORTレジスタ経由USCKピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置装置ソフトウェアによって生成されます。

図14-3. 3線動作タイミング



3線動作タイミングは図14-3.で示されます。図の最上部はUSCK周期参照基準です。これらの各周期に対して1ビットがUSI移動レジスタ(USIDR)に移動されます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つ移動)されます。外部クロック動作1(USICS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータを採取、上昇端で出力が変更されます。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図14-3.)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はデータ出力を設定し、使用規約に依存して出力駆動部を許可します(AとB)。この出力は直列データレジスタへの送信されるべきデータ書き込みによって設定します。出力の許可はポート方向レジスタの対応するビット設定によって行います。A点とB点はどんな特別な順番もありますが、両方共にデータが採取されるC点よりも最低1/2USCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するために行わなければならないです。4ビット計数器は0にリセットします。
2. 主装置はUSCK線をソフトウェアで2度切り替えることによってクロックパルスを生成します(CとD)。主装置と従装置のデータ入力(DI)ピンのビット値は最初のエッジ(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビット計数器は両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロックパルス(換言すると16クロック端)後、計数器が溢れて転送完了を示します。USI緩衝レジスタ(USIBR)が使われない場合、転送したバイトデータは新規転送が開始され得るのに先立って直ぐに処置されなければならないです。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。

14.3.2. SPI主装置操作例

次のコードはSPI主装置としてのUSI使用法を実際に示します。

アセンブリ言語プログラム例			
SPIM:	OUT	USIDR, R16	;送信データを設定
	LDI	R16, (1<<USIOIF)	;USIOIFビットのみ1値を取得
	OUT	USISR, R16	;フラグ解除/計数器初期化
	LDI	R16, (1<<USIWM0) (1<<USICS1) (1<<USICLK) (1<<USITC)	;3線動作クロック生成値を取得
;			
SPIM_LP:	OUT	USICR, R16	;SCKクロック端発生
	SBIS	USISR, USIOIF	;計数器溢れでスキップ
	RJMP	SPIM_LP	;計数器溢れまで継続
;			
	IN	R16, USIDR	;受信データを取得
	RET		;呼び出し元へ復帰

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDOとUSCKピンがDDR_Bで出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は従装置に転送され、転送が完了された時に従装置から受信したデータがR16レジスタに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求フラグ(USIOIF)を解除(0)し、USI 4ビット計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端クロック、USITCスロープ計数、SCK出力交互切り替え(PORTB6)を設定します。この繰り返しは16回繰り返されます。

次のコードは最高速($f_{SCK}=f_{CK}/2$)でのSPI主装置としてのUSI使用法を実際に示します。

アセンブリ言語プログラム例			
SPIM_F:	OUT	USIDR, R16	;送信データを設定
	LDI	R16, (1<<USIWM0) (0<<USICS0) (1<<USITC)	;3線動作初期値を取得
	LDI	R17, (1<<USIWM0) (0<<USICS0) (1<<USITC) (1<<USICLK)	;3線動作クロック生成値を取得
;			
	OUT	USICR, R16	;MSB転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット6転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット5転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット4転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット3転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット2転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット1転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;LSB転送
	OUT	USICR, R17	;
;			
	IN	R16, USIDR	;受信データを取得
	RET		;呼び出し元へ復帰

14.3.3. SPI従装置操作例

次のコードはSPI従装置としてのUSI使用法を実際に示します。

アセンブリ言語プログラム例

```
init:      LDI      R16, (1<<USIWM0) | (1<<USICS1)      ;3線動作,外部クロック値を取得
          OUT      USICR, R16                          ;3線動作,外部クロック設定

SPIS:      OUT      USIDR, R16                          ;送信データを設定
          LDI      R16, (1<<USIOIF)                    ;USIOIFビットのみ1値を取得
          OUT      USISR, R16                          ;フラグ解除/計数器初期化

;
SPIS_LP:   SBIS     USISR, USIOIF                        ;計数器溢れでスキップ
          RJMP     SPIS_LP                             ;計数器溢れまで継続

;
          IN       R16, USIDR                          ;受信データを取得
          RET                                           ;呼び出し元へ復帰
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDDRレジスタでDOピンが出力、USCKピンが入力として設定されると仮定します。この関数が呼び出される前にR16レジスタへ格納した値は主装置に転送され、転送が完了された時に主装置から受信したデータがR16レジスタに格納されて戻ります。

最初の2命令は初期化用だけで、一度だけ実行されるのを必要とすることに注意してください。これらの命令は3線動作と上昇端クロックを設定します。この繰り返しはUSI計数器溢れフラグが設定(1)されるまで繰り返されます。

14.3.4. 2線動作

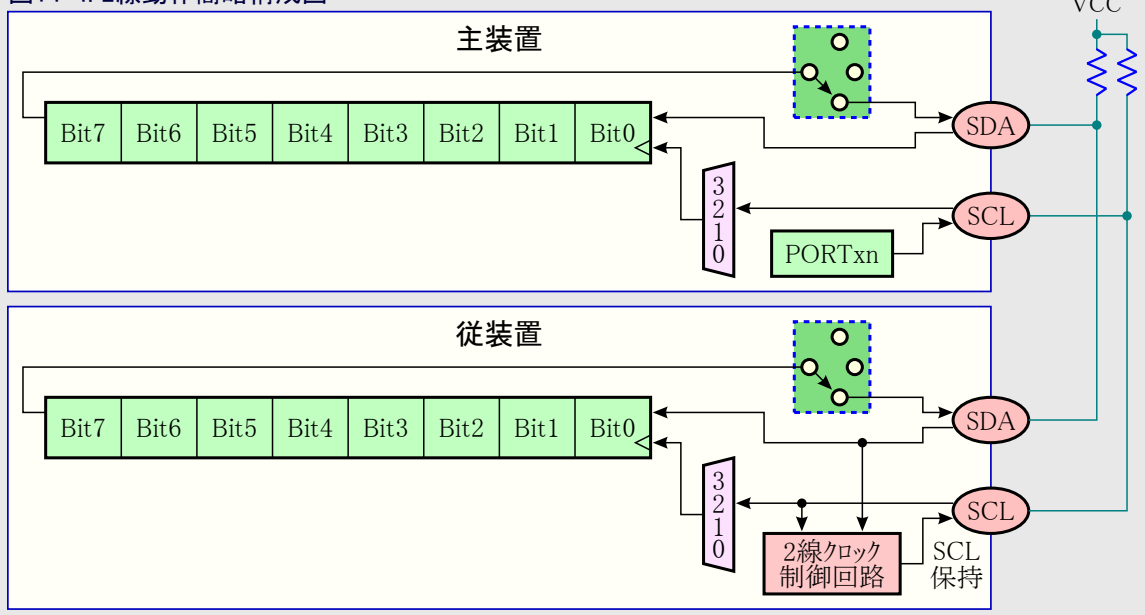
USIの2線動作はI²C(TWI)バス規約に準拠していますが、出力のスレーブ制限と入力雑音濾波器がありません。この動作で使われるピン名はSCLとSDAです。

図14-4.は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。システム動作が使用通信構造に大きく依存するために示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列クロック生成と、従装置だけがクロック制御部(回路)を使うことです。

クロック生成はソフトウェアで実行されなければなりませんが、移動動作は両装置で自動的に行われます。データの移動に関してこの動作種別で下降端でのクロックだけを実際に使うことに注意してください。従装置はSCLクロックをLowに強制することにより、転送の開始と終了で待ち状態(ウェイト ステート)を挿入できます。これは(主装置が)上昇端を生成してしまった後に主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

このクロックが(4ビット)計数器も増加(+1)するため、計数器溢れ(USIOIF)は転送が完了されたことを示すのに使えます。このクロックは主装置によるPORTレジスタ経由のSCLピン交互切り替えによって生成されます。

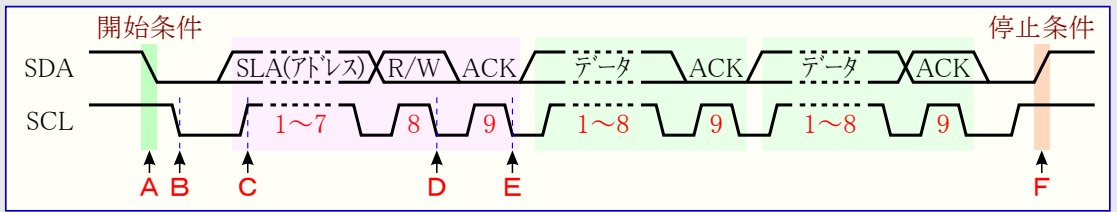
図14-4. 2線動作簡略構成図



データ方向は物理層によって与えられません。データの流れを制御するためにTWIバスで使ったような或る種の規約が実装されなければなりません。

このタイミング図(図14-5.)を参照すると、バス転送は次の手順を含みます。

図14-5. 代表的な2線動作タイミング



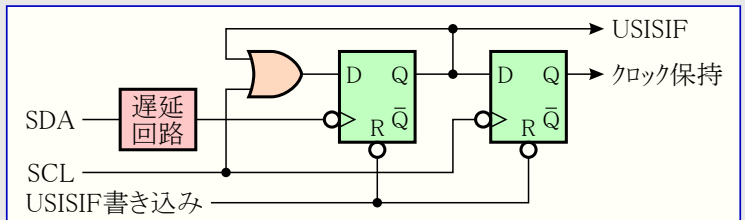
1. 開始条件は主装置によるSCL線High中のSDA線Low強制によって生成されます(A)。SDAはUSIデータレジスタ(USIDR)のビット7への0書き込みか、またはPORTレジスタで対応ビットを0に設定のどちらかによって強制実行できます。出力が許可されるにはデータ方向(DDR)レジスタのビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図14-6.参照)が開始条件を検出してUSISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で上昇端を強制してしまった後にSCL線をLowに保持します(B)。これはアドレスを受信するために移動レジスタを設定する前に休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)して開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定してSCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取して移動レジスタへ移動します。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れてSCL線がLowを強制されます(D)。従装置は主装置の1つがアドレス指定してしまわない場合、SCL線を開放して新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前に(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置が従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)にSCL線をLowに保持することができます。
6. 主装置によって停止条件(F)か新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。従装置はより多くのデータを受信できない場合、最後に受信したバイトデータに回答しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することによってこの動作を終了しなければなりません。

14.3.5. 開始条件検出器

開始条件検出器は図14-6.で示されます。SDA線はSCL線の有効な採取を保証するために(50~300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使った規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使う時にCKSELヒューズによって設定する発振器起動時間(15頁の「クロック元」参照)も考慮に取り入れられなければなりません。より多くの詳細については72頁のUSISIFフラグ記述を参照してください。

図14-6. 開始条件検出器回路構成



14.4. USIでの代替使用

USI部を直列通信に使わないなら、柔軟な設計のため、代替処理を行うように設定できます。

- 14.4.1. 半二重非同期データ転送 3線動作で移動レジスタを使うことによってソフトウェアだけよりも簡潔で高性能のUART実装が可能です。
- 14.4.2. 4ビット計数器 4ビット計数器は溢れ割り込みとの自立型計数器として使えます。この計数器が外部的にクロック駆動される場合、両クロック端が増加(+1)を発生することに注意してください。
- 14.4.3. 12ビット計数器 USIの4ビット計数器とタイマ/カウンタ0の組み合わせは12ビット計数器としての使用を許します。
- 14.4.4. エッジ起動外部割り込み 4ビット計数器を最大値(\$F)に設定することによって追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットはこの外部割り込みに対して使われます。この特徴(機能)はUSICS1ビットによって選択(=1)されます。
- 14.4.5. ソフトウェア割り込み 4ビット計数器の溢れ割り込みはクロック ストローブによって起動するソフトウェア割り込みとして使えます。

14.5. USI用レジスタ

14.5.1. USI 制御レジスタ (USI Control Register) USICR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロック スロープを含みます。

■ ビット7 – USISIE : 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが開始条件検出割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSISIEビットが1に設定されている時に保留割り込みありなら、これが直ちに実行されます。より多くの詳細については72頁で記述される開始条件検出割り込み要求フラグ(USISIF)を参照してください。

■ ビット6 – USIOIE : 計数器溢れ割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することが計数器溢れ割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSIOIEビットが1に設定されている時に保留割り込みありなら、これが直ちに実行されます。より多くの詳細については72頁で記述される計数器溢れ割り込み要求フラグ(USIOIF)を参照してください。

■ ビット5,4 – USIWM1,0 : 動作種別選択 (Wire Mode)

これらのビットは使われるべき動作種別(2または3線動作)を設定します。基本的に出力の機能だけがこれらのビットによって影響を及ぼされます。データとクロック入力は選択した動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でもUSIデータレジスタ(USIDR)とカウンタは外部的にクロック駆動でき、入力データが採取されます。USIWM1,0とUSI動作間の関連が表14-1.で要約されます。

表14-1. USI操作とUSIWM1,0の関係

USIWM1	USIWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO,DI,USCKピンを使用。 データ出力(DO)ピンはこの動作でPORTBレジスタの対応ビットを無視します。けれども対応するDDRBビットは未だデータ方向を制御します。ポートピンが入力として設定(DDxn=0)されると、そのピンのプルアップはPORTBビットによって制御されます。 データ入力(DI)と直列クロック(USCK)ピンは標準ポート操作に影響を及ぼしません。主装置として動作する時のクロックパルスはデータ方向が出力に設定されている(DDxn=1)間のPORTBレジスタの交互切り替えによってソフトウェアで生成されます。USICRのUSITCビットがこの目的に使えます。
1	0	2線動作。SDA(DI)とSCL(USCK)ピンを使用。(注1) 直列データ(SDA)と直列クロック(SCL)ピンは双方向でオープンドレイン出力駆動を使います。この出力駆動部はDDRBレジスタでSDAとSCLに対応するビットの設定(=1)によって許可されます。 SDAピンに対して出力駆動部が許可されると、出力駆動部はUSIデータレジスタ(USIDR)の出力またはPORTBレジスタの対応ビットが0ならばSDA線をLowに強制します。さもなければ、SDA線は駆動されません(換言すると開放されます)。SCLピン出力駆動部が許可されると、SCL線はPORTBレジスタの対応ビットが0なら、または開始条件検出器によってLowを強制されます。さもなければSCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出すると、Lowに保持されます。開始条件検出フラグ(USISIF)の解除(0)がその線を開放します。SDAとSCLピン入力はこの動作の許可によって影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 SCL線は計数器溢れが起こる時にもLowへ保持され、計数器溢れフラグ(USIOIF)が解除(0)されるまでLowに保持されることを除いて、上の2線動作と同じ動作です。

注1: DIとUSCKピンは動作種別間での混乱を避けるため、各々直列データ(SDA)と直列クロック(SCL)に改称されます。

■ ビット3,2 – USICS1,0 : クロック選択 (Clock Source Select)

これらのビットは移動レジスタと計数器に対するクロック元を設定します。外部クロック元(USCK/SCL)を使う時にデータ出力ラッチはデータ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。タイマ/カウンタ0比較A一致またはソフトウェア ストローブが選択されると、出力ラッチは透過で、従って出力は直ちに更新されます。

USICS1,0ビットの解除(=00)がソフトウェア ストローブ選択を許可します。この選択を使う時のUSICLKビットへの1書き込みはUSIデータレジスタ(USIDR)と計数器の両方をクロック駆動します。外部クロック元(USICS1=1)に対してUSICLKビットはもはやストローブとして使われませんが、外部クロックとUSITCストローブビットによるソフトウェア クロック間を選択します。

表14-2. はUSIデータレジスタ(USIDR)と4ビット計数器に対して使われるクロック元とUSICS1,0、USICLK設定間の関連を示します。

表14-2. USICS1,0とUSICLK設定との関係

USICS1	USICS0	USICLK	移動レジスタ クロック元	4ビット計数器クロック元
0	0	0	クロックなし	クロックなし
		1	ソフトウェア クロック ストローブ (USICLK)	ソフトウェア クロック ストローブ (USICLK)
	1	X	タイマ/カウンタ0比較A一致	タイマ/カウンタ0比較A一致
1	0	0	外部クロック上昇端	外部クロック両端
	1		外部クロック下降端	
	0	1	外部クロック上昇端	ソフトウェア クロック ストローブ (USITC)
	1		外部クロック下降端	

■ ビット1 – USICLK : クロック ストローブ (Clock Strobe)

USICS1,0ビットのゼロ(=00)書き込みによってソフトウェア ストローブ任意選択が選択されたなら、このビット位置への1書き込みはUSIデータレジスタ(USIDR)を1段移動して計数器を1つ増加します。このクロック ストローブが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。USIデータレジスタ(USIDR)内に移動した値は直前の命令周期で採取されます。

外部クロック元が選択される(USICS1=1)と、USICLK機能はクロック ストローブからクロック選択レジスタに変更されます。この場合のUSICLKビットの設定(1)は4ビット計数器に対するクロック元としてのUSITCストローブを選びます(表14-2.参照)。

このビットは0として読まれます。

■ ビット0 – USITC : クロック値切り替え (Toggle Clock Port Pin)

このビット位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORT値がピンで見られるべきなら、DDRビットが出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なクロック生成を許します。

外部クロック元が選択され(USICS1=1)、USICLKビットが1に設定されると、USITCストローブビットへの書き込みは直接的に4ビット計数器をクロック駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

このビットは0として読まれます。

14.5.2. USI状態レジスタ (USI Status Register) USISR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、計数器値を含みます。

■ ビット7 – USISIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

2線動作選択時に開始条件が検出されると、USISIFフラグが設定(1)されます。出力禁止動作または3線動作の選択時、USCKピンのどのエッジもがこのフラグを設定(1)します。

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSI制御レジスタ(USICR)で開始条件検出許可(USISIE)ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSISIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの開始条件保持を解除(開放)します。

開始条件検出割り込みは全ての休止形態からプロセッサを起動します。

■ ビット6 – USIOIF : 計数器溢れ割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビット計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(I)ビットとUSICRで計数器溢れ割り込み許可(USIOIE)ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSIOIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの計数器溢れ保持を解除(開放)します。

計数器溢れ割り込みはアイドル休止動作からプロセッサを起動します。

■ビット5 – USIPF：停止条件検出フラグ (Stop Condition Flag)

2線動作が選択された時に**停止条件**が検出されると、USIPFフラグが設定(1)されます。このフラグはこのビットへの1書き込みによって解除(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は2線バス主装置調停の実装時に有用です。

■ビット4 – USIDC：出力データ衝突フラグ (Data Output Collision Flag)

USIデータレジスタ(USIDR)のビット7(MSB)が物理ピン値と異なる時にこのビットは論理1です。このフラグは2線動作が使われる時にだけ有効です。この合図は2線バス主装置調停の実装時に有用です。

■ビット3~0 – USICNT3~0：計数器値 (Counter Value)

これらのビットは現在の4ビット計数器値を反映します。この4ビット計数器値はCPUによって直接的に読み書きできます。

この4ビット計数器は外部クロック端検出器、タイマ/カウンタ0比較A一致、USICLKまたはUSITCストローブビットを使うソフトウェアのどれかによって生成した各クロックに対して1つ増加します。このクロック元はUSICS1,0ビット設定に依存します。

外部クロック動作に対してUSITCストローブビットへの書き込みによって生成されるのをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元(USICS1=1)設定とUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選択されている時でも、外部クロック入力(USCK/SCL)が未だ計数器によって使われることに注意してください。

14.5.3. USI データレジスタ (USI Data Register) USIDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データレジスタ(USIDR)は直接アクセスできますが、データの複製がUSI緩衝レジスタ(USIBR)でも得られます。

USI制御レジスタ(USICR)のUSICS1,0ビット設定に応じて(左)移動動作が実行され得ます。この移動動作は外部クロック端、タイマ/カウンタ0比較A一致により、またはUSICLKビット経由のソフトウェア直接で同期化できます。レジスタが書かれるのと同じ周期で直列クロックが起こると、レジスタは書いた値を含み、移動は実行されません。

2または3線動作種別が選択されない(USIWM1,0=00)時でも、外部データ入力(DI/SDA)と外部クロック入力(USCK/SCL)の両方が未だUSIデータレジスタによって使われ得ることに注意してください。

出力ピン(DOまたはSDA、動作種別依存)は出力ラッチを経由してデータレジスタの最上位ビット(ビット7)に接続されます。このラッチは逆のクロック端でのデータ入力採取とデータ出力変更を保証します。この出力ラッチは外部クロック元が選択される(USICS1=1)時に直列クロック周期の前半中が透過(トランスパレント)で、内部クロック元が使われる(USICS1=0)時に定常的な透過です。ラッチが透過である限り、新規MSBが書かれると、出力は直ちに变更されます。

USIデータレジスタからの出力データを許可するために、ピンに対応するデータ方向レジスタ(DDxn)が1に設定されなければならないことに注意してください。

14.5.4. USI 緩衝レジスタ (USI Buffer Register) USIBR

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	(MSB)							(LSB)	USIBR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

USIデータレジスタ(USIDR)からデータを読む代わりにUSI緩衝レジスタ(USIBR)が使えます。これはUSI制御の微妙なタイミングをなくして他のプログラム処理を扱うより多くの時間をCPUに与えます。USIのフラグはUSIDRを読む時と同様に設定されます。

USIデータレジスタ(USIDR)の内容は転送が完了される時にUSI緩衝レジスタ(USIBR)へ格納されます。

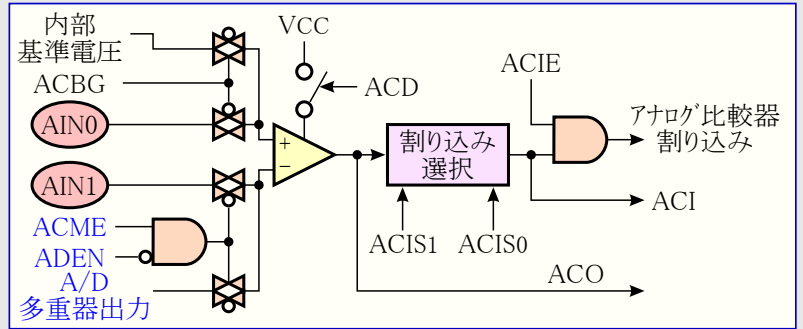
15. アナログ比較器

アナログ比較器は非反転入力AIN0(PA4)ピンと反転入力AIN1(PA5)ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時に**ACSRのアナログ比較器出力(ACO)ビット**が設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図15-1.で示されます。

アナログ比較器ピン配置については2頁の「**ピン配置**」と45頁の表11-3.をご覧ください。

ADC入力多重器を使うには**A/D変換器電力削減(PRADC)ビット**が禁止されなければなりません。これは電力削減レジスタ(PRR)内のPRADCビットを解除(0)することによって行われます。より多くの情報については22頁の「**電力削減レジスタ(PRR)**」をご覧ください。

図15-1. アナログ比較器部構成図



注: A/D多重器出力については表15-1.をご覧ください。

15.1. アナログ比較器入力選択

アナログ比較器への反転入力を取り替えるのにADC3~0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。A/D変換制御/状態レジスタB(ADCSRB)の**アナログ比較器多重器許可(ACME)ビット**が設定(1)され、A/D変換部がOFF(A/D変換制御/状態レジスタA(ADCSRA)の**A/D変換部許可(ADEN)ビット**が0)なら、表15-1.で示されるようにA/D変換多重器選択(ADMUX)レジスタの**チャンネル選択(MUX2~0)ビット**がアナログ比較器への反転入力を取り替える入力ピンを選びます。ACMEが解除(0)またはADENが設定(1)されると、AIN1がアナログ比較器への反転入力に印加されます。

表15-1. アナログ比較器反転入力選択

ACME	ADEN	MUX2~0	アナログ比較器反転入力
0	x	x x x	AIN1
1	0	0 0 0	ADC0
		0 0 1	ADC1
		0 1 0	ADC2
		0 1 1	ADC3

15.2. アナログ比較器用レジスタ

15.2.1. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BS	ACME	—	ADLAR	—	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット6 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAの**ADENビット**が0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については前の「**アナログ比較器入力選択**」をご覧ください。

15.2.2. アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	ACD	ACBG	ACO	ACI	ACIE	–	ACIS1	ACIS0	ACSR
Read/Write	R/W	R/W	R	R/W	R/W	–	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

■ ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起り得ます。

■ ビット6 – ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、固定の内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。このビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。[34頁の「内部基準電圧」](#)をご覧ください(訳注:共通性から本行追加)。

■ ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACOへ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

■ ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRの**アナログ比較器割り込み条件(ACIS1,0)ビット**によって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

■ ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

■ ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するかを決めます。各種設定は表15-2.で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表15-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

15.2.3. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	–	–	AIN1D	AIN0D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

■ ビット2,1 – AIN1D,AIN0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)

このビットが論理1を書かれると、AIN1/0ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。AIN1/0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、このビットは論理1を書かれるべきです。

16.3. ADC操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値は基準電圧を表します。A/D変換器基準電圧はA/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS)ビット書き込みによって選択されます。ADC基準電圧としてVCC電源または1.1V内部基準電圧を選択することができます。

アナログ入力チャネルはADMUXのチャネル選択(MUX2~0)ビットへの書き込みによって選択されます。4つのADC入力ピン(ADC3~0)とVBAT入力ピンのどれもがA/D変換器のシングルエンド入力として選択できます。ADMUXレジスタのMUX2~0ビットに'111'を書くことによってチップ上の温度感知器が選択されます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、A/D変換制御/状態レジスタB(ADCSRB)で左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHだけを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

16.4. 変換の開始

電力削減レジスタ(PRR)でA/D変換器電力削減(PRADC)ビットを解除(0)することにより、A/D変換部が給電されるのを保証してください(22頁の「電力削減レジスタ(PRR)」をご覧ください)。

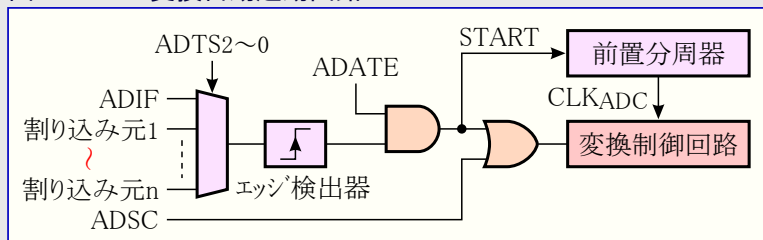
単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔で変換を開始する方法を提供します。変換完了時に起動信号が未だ設定(1)されている場合、新しい変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

図16-2. A/D変換自動起動回路



16.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。1MHzよりも高い入力クロック周波数を使うことは推奨されません。

図16-3.で図解されるように、A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周器はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

次ページの表16-1.で要約されるように、通常の変換は13変換クロック周期で行われます。

下の図16-4.で示されるように、A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

図16-3. A/D変換前置分周器部構成

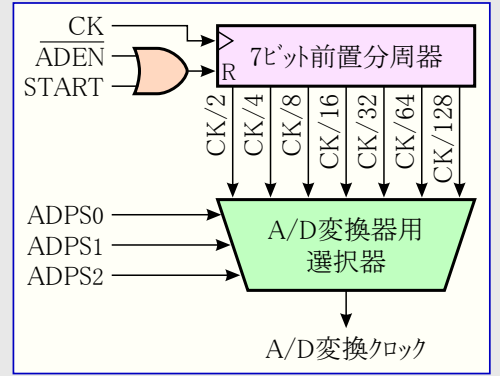
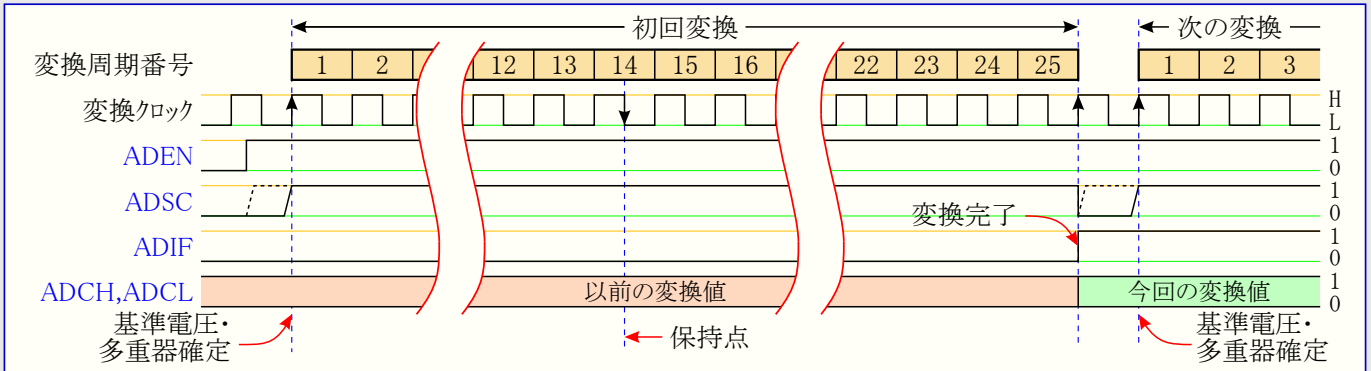
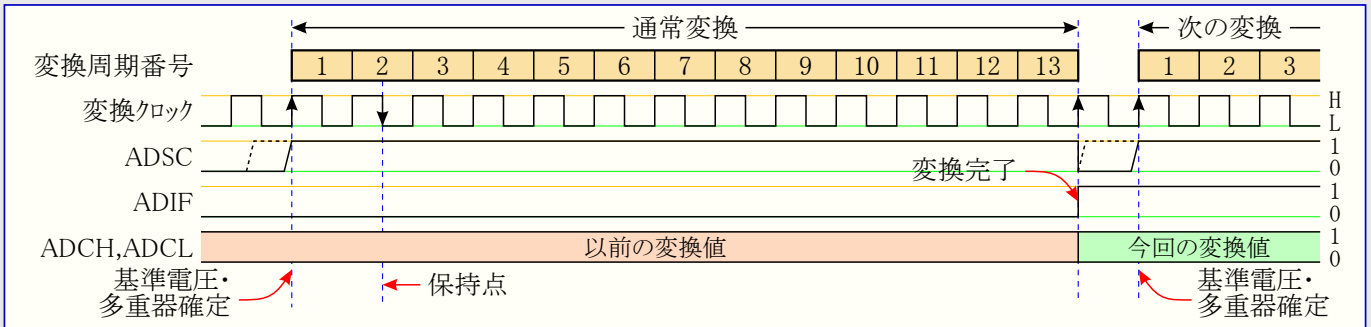


図16-4. 初回変換タイミング (単独変換動作)



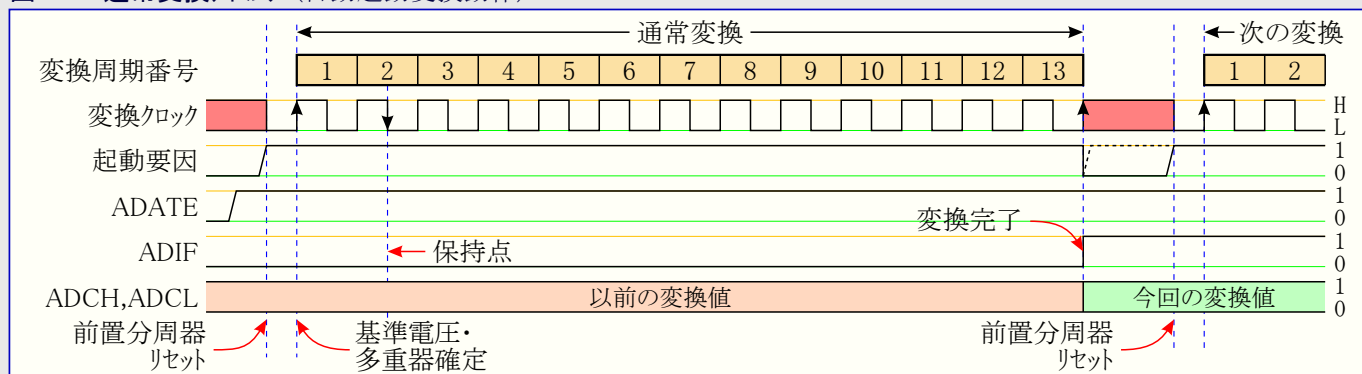
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。図16-5.をご覧ください。変換が完了すると、結果がA/Dデータレジスタ(ADCH, ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADSC=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図16-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、下の図16-6.で示されるように前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の3CPUクロック周期が費やされます。

図16-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。図16-7.をご覧ください。変換時間の要約については表16-1.をご覧ください。

図16-7. 連続変換動作タイミング

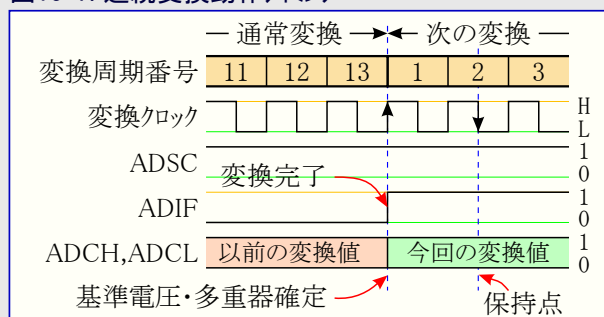


表16-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	2	13.5
連続変換	2.5	14

注: 変換時間を除く各値は変換開始からの変換クロック数です。

16.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX2~0)ビットと基準電圧選択(REFS)ビットはCPUが順番にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことを推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ・ADENまたはADATEが解除(0)されているとき。
- ・変換開始後、最低1変換クロック周期経過後の変換中。
- ・変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

16.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

16.6.2. A/D変換基準電圧

このA/D変換基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングルエンド入力チャネルは\$3FFで打ち切るコードに帰着します。VREFはVCC、1.1V内部基準電圧のどちらかとして選択できます。1.1V内部基準電圧は内部増幅器を通して内部バンドギャップ基準電圧(VBG)から生成されます。

基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

16.7. 雑音低減機能

このA/D変換部は**休止形態**中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺I/Oが誘導した雑音を減らします。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使うことができます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起これなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規SLEEP命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

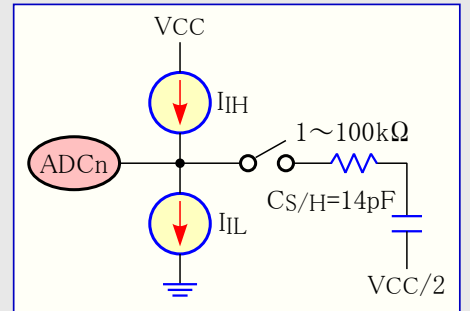
16.8. アナログ入力回路

シングルエンド入力チャネルのアナログ回路は図16-8で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する信号の低インピーダンス信号源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器(ローパスフィルタ)で高い周波数成分を取り除くことが推奨されます。

図16-8. アナログ入力回路



注: 図内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

16.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な場合、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分離すことを守ってください。
- CPUからの雑音を含めて低減するために**A/D変換雑音低減機能**を使ってください。
- 何れかのADCポートピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステムクロック周波数が1MHz以上、A/D変換が**内部温度感知器読み込み**に使われる場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

16.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。

以下のように各パラメータは理想状態からの偏差を表します。

・オフセット誤差 - 図16-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

・利得誤差 - 図16-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

・積分非直線性誤差 (INL) - 図16-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

・微分非直線性誤差 (DNL) - 図16-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

・量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に ± 0.5 LSBです。

・絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。

図16-9. オフセット誤差

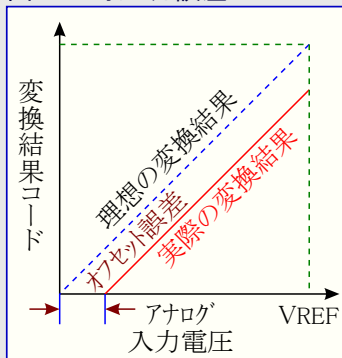


図16-10. 利得誤差

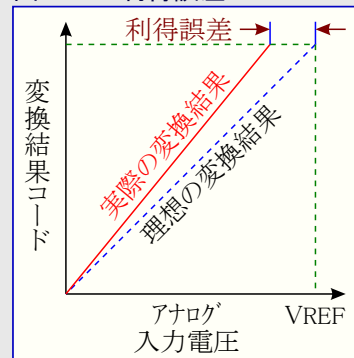


図16-11. 積分非直線性誤差

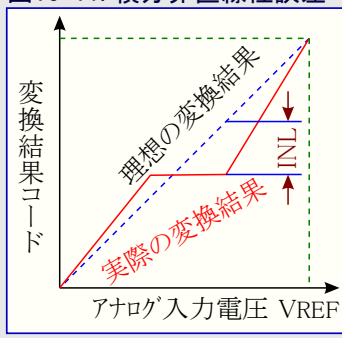
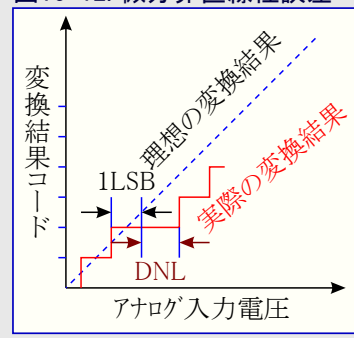


図16-12. 微分非直線性誤差



16.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH,ADCL)で得られます。シングルエンド入力変換での結果は次式で示されます。

ここでの V_{IN} は選択した入力ピンの電圧で、 V_{REF} は選択した基準電圧です(82頁の表16-3と表16-4をご覧ください)。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

16.12. 温度測定

温度測定はシングルエンドADC4チャンネルに連結されるチップ上の温度感知器に基づきます。A/D多重器選択(ADMUX)レジスタのチャンネル選択(MUX2~0)ビットへの'111'書き込みによるADC4チャンネル選択がこの温度感知器を許可します。1.1V内部基準電圧も温度感知器測定でA/D変換器基準電圧源に選択されなければなりません。温度感知器が許可されると、A/D変換器は温度感知器上の電圧測定を単独変換動作(ADSC=0)で使うことができます。

測定した電圧は表16-2で記述されたように温度に対して直線的関係を持ちます。感度は概ね1LSB/°Cで、精度は使用者校正に依存します。代表的には、室温校正との仮定で、単独温度校正後の測定精度は $\pm 10^\circ\text{C}$ です。より良好な精度は校正に対して2つの温度点を使うことで達せられます。

表16-2に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使って行なえます。

表16-2. 温度対感知器出力電圧 (代表値)

温度(°C)	-40°C	+25°C	+85°C
A/D変換値(LSB)	230	300	370

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでADCH:ADCLはA/D変換器データレジスタ、 k は固定傾斜係数、 T_{OS} は温度感知器オフセット値です。代表的に係数 k は1.0に大変近く、単点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つ温度での測定を基に評価されるべきです。

16.13. A/D変換用レジスタ

16.13.1. A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	–	REFS	–	–	–	MUX2	MUX1	MUX0	ADMUX
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0として読めます。

■ ビット6 – REFS : 基準電圧選択 (Reference Select Bit)

このビットは表16-3.で示されるようにA/D変換器の基準電圧(VREF)を選びます。このビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表16-3. A/D変換部の基準電圧選択

REFS	基準電圧
0	基準電圧にVCC使用
1	内部1.1V基準電圧

■ ビット5~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

■ ビット2~0 – MUX2~0 : A/Dチャネル選択 (Analog Channel Selection Bits)

これらのビットの値は表16-4.で示されるようにA/D変換器へのアナログ入力が接続されるかを選びます。ADC4チャネル選択は温度感知器を許可します。

これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表16-4. アナログ入力チャネル選択

MUX2~0	シングル エント 入力
0 0 0	ADC0(PA0)
0 0 1	ADC1(PA1)
0 1 0	ADC2(PA2)
0 1 1	ADC3(PA3)
1 0 0	0V(GND)
1 0 1	内部1.1V基準電圧 (注1)
1 1 0	VBAT (注2)
1 1 1	ADC4(温度感知器) (注3)

注1: 内部基準電圧へ切り替えた後でADCは測定が安定するのに先立って1msの安定時間が必要です。これ以前の変換開始は信頼ができません。この安定時間中にADCは許可されていなければなりません。

注2: 分圧器が存在するため、このチャネルが選択されている限り、100kΩの分圧器経由でVBATからGNDへ電流が流れます。

注3: 81頁の「温度測定」をご覧ください。

16.13.2. A/D制御/状態レジスタA (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 – ADEN : A/D許可 (ADC Enable)

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

■ ビット6 – ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

■ ビット5 – ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1が書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

■ビット4 – ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード モディファイライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

■ビット3 – ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。

■ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表16-5. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

16.13.3. A/D変換 制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BS	ACME	–	ADLAR	–	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ビット5 – Res : 予約 (Reserved)

このビットは予約されており、何が書かれても常に0として読めます。

■ビット4 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については84頁の「A/Dデータレジスタ」をご覧ください。

■ビット3 – Res : 予約 (Reserved)

このビットは予約されており、何が書かれても常に0として読めます。

■ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するかを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表16-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ1比較A一致
1	1	0	タイマ/カウンタ1溢れ
1	1	1	タイマ/カウンタ1比較B一致

16.13.4. A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時								
ビット	15	14	13	12	11	10	9	8
\$05 (\$25)	–	–	–	–	–	–	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
ビット	15	14	13	12	11	10	9	8
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
ビット	7	6	5	4	3	2	1	0
	ADC1	ADC0	–	–	–	–	–	–

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃え、且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなくばADCLが初めに、その後にADCHが読まれなければなりません。

A/D変換制御状態レジスタB(ADCSRB)の左揃え選択(ADLAR)ビットとA/D多重器選択(ADMUX)レジスタのA/Dチャネル選択(MUX2~0)ビットは、本レジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えにされます。ADLARが解除(0)されていると(既定)、結果は右揃えにされます。

■ ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは81頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

16.13.5. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0
\$01 (\$21)	–	–	AIN1D	AIN0D	ADC3D	ADC2D	ADC1D	ADC0D
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0

■ ビット3~0 – ADC3D~ADC0D : ADC3~0 デジタル入力禁止 (ADC3~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するために、そのビットは論理1を書かれるべきです。

17. デバッグWIRE 内蔵デバッグ システム

17.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリックデバッグ支援 (アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレークポイント:ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

17.2. 概要

デバッグWIRE内蔵デバッグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

17.3. 物理インターフェース

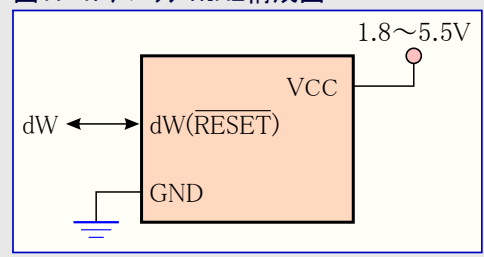
デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図17-1.はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選択したクロック元です。

デバッグWIREが使われるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。

- dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもこのプルアップ抵抗は任意です。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

図17-1. デバッグWIRE構成図



17.4. ソフトウェア中断点(ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続されると、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

17.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタをアクセスする間、注意が払われなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

プログラム(0)にしたDWENヒューズは全休止形態でクロックシステムのいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

17.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使うレジスタを記述します。

17.6.1. デバッグWIRE データレジスタ (debugWIRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

18. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使えます。SPM命令は既定で禁止ですが、SELFPRGENヒューズを(0に)プログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前にそのページは消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時緩衝部格納)

- ・ページ一時緩衝部を満たしてください。
- ・ページ消去を実行してください。
- ・ページ書き込みを実行してください。

手段2 (ページ消去後の一時緩衝部格納)

- ・ページ消去を実行してください。
- ・ページ一時緩衝部を満たしてください。
- ・ページ書き込みを実行してください。

ページの一部の変更だけが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更して書かれます。手段1.を使う場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことを使用者ソフトウェアに許す効率的な読み-修正-書き(リード モデファイ ライト)機能をデバイスが提供します。手段2.が使われる場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱手順でアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページをアドレス指定することが非常に重要です。

18.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければならない。この操作中、Zポインタの他のビットは無視されます。

- ・ページ消去中、CPUは停止されます。

18.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRのCTPBEビット(=1)書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

18.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定してSPMCSRに'00000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければならない。この操作の間、Zポインタの他のビットは0を書かれなければならない。

- ・ページ書き込み中、CPUは停止されます。

18.4. 自己プログラミング中のフラッシュメモリのアドレス指定

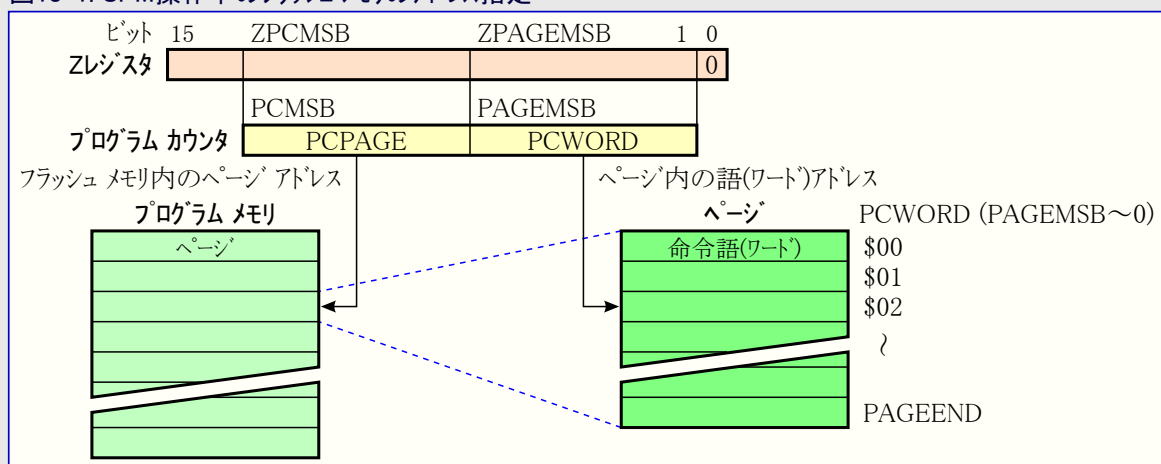
Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(92頁の表19-8.参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図18-1.で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するのにZポインタを使います。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使われます。

図18-1. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使った各変数は92頁の表19-8.で一覧されます。

18.5. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットが解除(0)されているのを確認することが推奨されます。

18.6. ソフトウェアからの施錠ヒューズと識票データの読み出し

ファームウェアに関してデバイスのヒューズと施錠ビットを読むことが可能です。加えてファームウェアはデバイス識票銘刻部(92頁参照)からデータを読むこともできます。

注: プログラム(0)されたヒューズと施錠ビットは0として読めます。非プログラム(1)にされたヒューズと施錠ビットは1として読めます。

18.6.1. ファームウェアからの施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)とSPM操作許可(SPMEN)ビットを設定(1)した後の3CPU周期内でLPM命令が発行された後、転送先レジスタ内に施錠ビット値が返されます。RFLBとSPMENビットは施錠ビット読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSPMENビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手続きに従ってください。

1. Zポインタに\$0001を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタから施錠ビット値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	—	—	—	—	—	—	LB2	LB1

より多くの情報については90頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

18.6.2. ファームウェアからのヒューズビット読み出し

ヒューズバイトを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。ヒューズ下位バイト(FLB)を読むには以下の手続きに従ってください。

1. Zポインタに\$0000を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタからFLB値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ下位バイトの配置と詳細記述については91頁の表19-5.を参照してください。

ヒューズ上位バイト(FHB)を読むには単にZポインタ内のアドレスを\$0003に置き換え、前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズ上位バイトの配置と詳細記述については91頁の表19-4を参照してください。

ヒューズ拡張バイト(FEB)を読むにはZポインタ内のアドレスを\$0002に置き換え、直前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	—	—	—	—	—	—	—	FEB0

ヒューズ拡張バイトの配置と詳細記述については91頁の表19-3を参照してください。

18.6.3. ファームウェアからのデバイス識別票銘読み出し

デバイス識別票銘部の内容を読むには以下の手続きに従ってください。

1. Zポインタに銘刻指示子を格納してください。
2. SPMCSRでデバイス識別票銘読み込み(RSIG)とSPM操作許可(SPMEN)ビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. SPMENビットが解除(0)されるために3クロック周期待機してください。
5. LPM転送先レジスタから表データ値を読んでください。

RSIGとSPMENのビットは3 CPU周期後に自動解除(0)されます。RSIGとSPMENが解除されると、LPM命令は「命令要約」の説明で記述されるように動きます。

以下のプログラム例をご覧ください。

アセンブリ言語プログラム例

```

DSIT_read:  LDI    ZH, 0           ;表指示子上位バイト値設定
             LDI    ZL, 1           ;表指示子下位バイト値設定
             LDI    R17, (1<<RSIG) | (1<<SPMEN) ;RSIG,SPMEN=1値取得
             OUT    SPMCSR, R16      ;RSIG,SPMEN=1設定
             LPM    R16, Z           ;$0001位置の識別票値取得
             RET                     ;呼び出し元へ復帰
    
```

注: 4頁の「コード例」をご覧ください。

成功なら、転送先レジスタの内容は92頁の「デバイス識別票銘部」項で記述されたとおりです。

18.7. フラッシュ メモリ データ化けの防止

低VCCの期間中、CPUとフラッシュ メモリの正しい動作に対して供給電圧が低すぎるためにフラッシュ メモリのプログラムが不正にされ得ます。これらの問題はフラッシュ メモリを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュ メモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュ メモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュ メモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- ・ 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- ・ 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってフラッシュ メモリを予期せぬ書き込みから効果的に保護します。

18.8. SPM命令使用時のフラッシュ メモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュ メモリ アクセス時間に使われます。表18-1はCPUからのフラッシュ メモリ アクセスに対する代表的なプログラミング時間を示します。

表18-1. SPM命令によるフラッシュ メモリのプログラミング時間

項目	最小	最大
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです(訳注:共通性から本注追加)。

18.9. 自己プログラミング用レジスタ

18.9.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	–	–	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7,6 – Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読まれます。

■ ビット5 – RSIG : デバイス識別票銘読み込み (Read Device Signature Imprint Table) (訳注: 整合性のため本ビット追加)

SPMCSRでRSIGとSPMENが設定(1)された後の3クロック周期内のLPM命令実行はデバイス識別票銘刻部から(Zポインタ値に依存する)選択したデータを転送先レジスタ内に返します。詳細については92頁の「デバイス識別票銘刻部」をご覧ください。

■ ビット4 – CTPB : ページ一時緩衝部消去 (Clear Temporary Page Buffer)

ページ一時緩衝部を満たしている間にCTPBビットが1を書かれると、ページ一時緩衝部は消去され、データが失われます。

■ ビット3 – RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0に依存して)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については87頁の「ソフトウェアからの施錠、ヒューズと識別データの読み出し」をご覧ください。

■ ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の書き込み動作中に、CPUは停止されます。

■ ビット1 – PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の消去中、CPUは停止されます。

■ ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間、SPM命令を許可します。このビットがRSIG,CTPB,RFLB,PGWRT,PGERSのどれかと共に1に設定されると、別のところで記述されるように続くSPM命令は特別な意味を持ちます。SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

下位6ビットに100001, 010001, 001001, 000101, 000011, 000001以外のどんな組み合わせを書いても無効です。

19. メモリプログラミング

本項はATtiny43Uのメモリプログラミングに対する各種方法を記述します。

19.1. プログラムメモリとデータメモリ用施錠ビット

ATtiny43Uは非プログラム(1)のままか、表19-2で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

デバイスは独立したブートローダ領域を持ちません。自己プログラミング許可(SELFPRGEN)ヒューズがプログラム(0)される場合にSPM命令はフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

プログラムメモリは例え施錠ビットが設定されていても、デバッグWIRE許可(DWEN)ヒューズがプログラム(0)されていると、デバッグWIREインターフェース経由で読み出せます。従って施錠ビット保護が必要とされる場合、DWENヒューズを解除(1)することによってデバッグWIREが常に禁止されるべきです。

表19-1. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
—	7		1 (非プログラム)
—	6		1 (非プログラム)
—	5		1 (非プログラム)
—	4		1 (非プログラム)
—	3		1 (非プログラム)
—	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表19-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズビットを書いてください。デバッグWIREは全面的に禁止されます。

施錠ビットはデバイスファームウェアによって読むこともできます。87頁の「ソフトウェアからの施錠ヒューズと識別票のデータ読み出し」項をご覧ください。

19.2. ヒューズ ビット

ATtiny43Uには3つのヒューズ ビットがあります。表19-3.~5.は全てのヒューズの概略機能とヒューズ ビット内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表19-3. 拡張ヒューズ ビット一覧

名称	ビット	意味	既定値
—	7~1		1 (非プログラム)
SELFPRGEN (注1)	0	自己プログラミング機能許可。	1 (非プログラム) 自己プログラミング不許可

注1: SPM命令許可。86頁の「フラッシュ メリの自己プログラミング」をご覧ください。

表19-4. ヒューズ 上位ビット一覧

名称	ビット	意味	既定値
RSTDISBL (注1)	7	PB3がI/OピンかまたはRESETピンかを選択します。	1 (非プログラム) PB3はRESETピン
DWEN (注2)	6	デバッグWIRE機能許可。	1 (非プログラム) デバッグWIRE不許可
SPIEN (注3)	5	直列プログラミング許可。	0 (プログラム) 低電圧直列プログラミング許可
WDTON (注4)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCSRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2	低電圧検出(BOD)リセットの制御と検出電圧選択。 (注5)	1 (非プログラム)
BODLEVEL1	1		1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注1: RSTDISBLヒューズの記述については47頁の「ポートBの交換機能」をご覧ください。RSTDISBLヒューズがプログラム(0)された後はヒューズを変更して更なるプログラミングを許すのに並列プログラミングが使われなければなりません。

注2: DWENヒューズは施錠ビット保護が必要とされる場合、非プログラム(1)にされなければなりません。

注3: SPIENヒューズは直列プログラミングでアクセスできません。

注4: 詳細については34頁の表9-1.をご覧ください。

注5: BODLEVELヒューズの符号化については104頁の表20-5.をご覧ください。

表19-5. ヒューズ 下位ビット一覧

名称	ビット	意味	既定値
CKDIV8 (注1)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注2)	6	システム クロック出力許可。	1 (非プログラム) 不許可
SUT1	5	起動時間選択。 (注3)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注4)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: 詳細については17頁の「システム クロック前置分周器」をご覧ください。

注2: CKOUTはポートB3に出力することをシステム クロックに許します。詳細については17頁の「クロック出力緩衝部」をご覧ください。

注3: 既定値は既定クロック元に対する最大起動時間になります。詳細については16頁の表6-5.をご覧ください。

注4: 既定設定は8MHz校正付き内蔵RC発振器になります。詳細については15頁の表6-1.をご覧ください。

施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。ヒューズ ビットの状態はチップ消去によって影響されません。

ヒューズ ビットはデバイス ファームウェアによって読むこともできます。87頁の「ソフトウェアからの施錠ヒューズと識別のデータ読み出し」項をご覧ください。

19.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値への変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは電源投入でもラッチされます。

19.3. デバイス識票銘刻部

デバイス識票銘刻部はデバイス識票、発振器校正データのような一連の各種デバイス情報に使われる専用のメモリ領域です。表19-6で略述されるようにこのメモリ領域の殆どは内部使用に予約されています。

表19-6. デバイス識票銘刻内容

アドレス	上位バイト
\$00	識票バイト0 (注1)
\$01	校正付き内蔵RC発振器用校正データ (注2)
\$02	識票バイト1 (注1)
\$03	(内部使用予約)
\$04	識票バイト2 (注1)
\$05～\$2A	(内部使用予約)

注1: より多くの情報については「識票バイト」をご覧ください。

注2: より多くの情報については「校正值バイト」をご覧ください。

19.3.1. 識票バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は低電圧直列と高電圧直列の両プログラミング動作で、またデバイスが施錠されていて

も読めます。識票バイトはデバイスファームウェアによって読むこともできます。87頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

この3バイトの識票バイトはデバイス識票銘刻部と呼ばれる分離された空間に存在します。ATtiny43U用の識票バイトは表19-7で与えられます。

表19-7. デバイスの識別番号(ID)

部品番号	識票バイト アドレス		
	\$0000	\$0001	\$0002
ATtiny43U	\$1E	\$92	\$0C

19.3.2. 校正バイト

表19-6.で示されるようにATtiny43Uのデバイス識票銘刻部は内蔵RC発振器用に1バイトの校正データを含みます。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正(OSCCAL)レジスタへ自動的に書かれます。

校正バイトはデバイスファームウェアによって読むこともできます。87頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

19.4. ページ容量

表19-8. フラッシュメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATtiny43U	2Kワード(4Kバイト)	32ワード	PC4～0	64	PC10～5	10

表19-9. EEPROMメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATtiny43U	64バイト	4バイト	EEA1～0	16	EEA5～2	5

19.5. 並列プログラミング

この項はATtiny43Uのプログラム用フラッシュメモリ、データ用EEPROM、メモリの**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低250nsと仮定されます。

19.5.1. 信号名

本項でATtiny43Uのいくつかのピンは並列プログラミング中の機能を表す信号名で参照されます。**図19-1**と**表19-10**をご覧ください。後続の表で記載されないピンはピン名によって参照されます。

図19-1. 並列プログラミング構成図

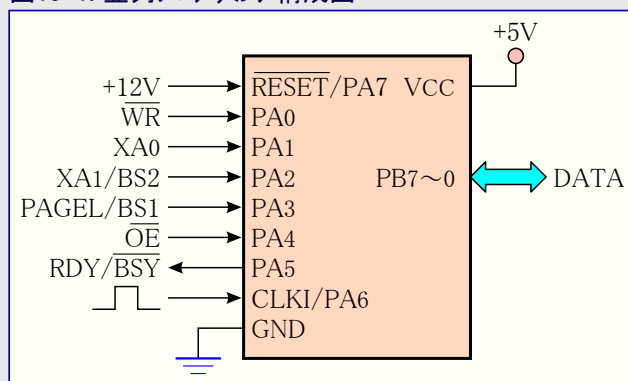


表19-10. 信号名とピン名の関係

信号名	ピン名	入出力	機能
WR	PA0	入力	書き込みパルス(負論理)
XA0	PA1	入力	CLKI動作ビット0
XA1/BS2 (注)	PA2	入力	CLKI動作ビット1 / 上位/下位バイト選択2 (0:下位, 1:上位) (ヒューズビット用)
PAGEL/BS1 (注)	PA3	入力	ページ一時緩衝部に設定 / 上位/下位バイト選択1 (0:下位, 1:上位) (一般用)
OE	PA4	入力	出力許可(負論理)
RDY/BSY	PA5	出力	0(Low): 多忙(プログラミング中) 1(High): 準備可(指令受付可)
DATA	PB7~0	入出力	双方向データバス (OE=Low時出力)

注: このピンは2つの異なる制御信号に対して使われます。以降の記述で、通常1つの信号(名)だけが参照されます。例えば、「BS1に正パルスを与える」は「PAGEL/BS1に正パルスを与える」と同等です。(訳注)共通性から本注追加

表19-11. プログラミング動作移行用のピン値

ピン名	シンボル	値
PAGEL/BS1	Prog_enable[3]	0
XA1/BS2	Prog_enable[2]	0
XA0	Prog_enable[1]	0
WR	Prog_enable[0]	0

XA0とXA1ピンはCLKIピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は**表19-12**で示されます。

表19-12. XA0とXA1の符号化(機能)

XA1	XA0	CLKIパルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指定)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指定)
1	0	指令取得
1	1	アイドル (動作なし)

WRまたはOEパルスを送るとき、設定した指令が実行される動作を決めます。各種指令は**表19-13**で示されます。

表19-13. 指令バイトのビット符号化

指令バイト	指令の機能	指令バイト	指令の機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識別バイト、校正バイト読み出し
\$40 (0100 0000)	ヒューズビット書き込み	\$04 (0000 0100)	ヒューズビット、施錠ビット読み出し
\$20 (0010 0000)	施錠ビット書き込み	\$02 (0000 0010)	フラッシュメモリ読み出し
\$10 (0001 0000)	フラッシュメモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		

19.6. 並列プログラミング手順

19.6.1. 並列プログラミング動作への移行

次に示す方法がデバイスを(高電圧)並列プログラミング動作にします。

- ① VCCとGND間に4.5～5.5Vを印加します。
- ② RESETをLow(0)にし、CLKIを少なくとも6回、交互に(High/Low)切り替えます。
- ③ 93頁の表19-11.で一覧されるProg_enableピンを全てLow(0)に設定し、最低100ns待ちます。
- ④ RESETに11.5～12.5Vを印加します。+12VがRESETに印加されてしまった後100ns以内のProg_enableピンのどんな動きも、デバイスのプログラミング動作への移行を失敗させます。
- ⑤ 新規指令送出前に少なくとも50μs間待ちます。

19.6.2. 効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

- ・複数のメモリ領域を読み書きする時に指令設定は一度だけが必要です。
- ・チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- ・アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけが必要です。この考慮は識別バイト読み出しにも適用されます。

19.6.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

「チップ消去」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$80(1000 0000)に設定します。これはチップ消去指令です。
- ④ CLKIに正パルスを与えます。これはチップ消去指令を設定します。
- ⑤ WRに負パルスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。
- ⑥ 次の指令を設定する前にRDY/BSYがHigh(1)になるまで待ちます。

19.6.4. フラッシュ メモリ書き込み (次頁の図19-3.タイミングを参照)

フラッシュ メモリはページで構成されます(92頁の表19-8.参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します。

A. 「フラッシュ メモリ書き込み」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
- ④ CLKIに正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

B. アドレス下位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をLow(0)に設定します。これは下位アドレス(バイト)を選択します。
- ③ DATAにアドレス下位バイト(\$00～\$FF)を設定します。
- ④ CLKIに正パルスを与えます。これはアドレス下位バイトを設定します。

C. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ② DATAにデータ下位バイト(\$00～\$FF)を設定します。
- ③ CLKIに正パルスを与えます。これはデータ下位バイトを設定します。

D. データ上位バイト設定

- ① BS1をHigh(1)に設定します。これは上位バイトを選択します。
- ② XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ③ DATAにデータ上位バイト(\$00～\$FF)を設定します。
- ④ CLKIに正パルスを与えます。これはデータ上位バイトを設定します。

E. 活動(操作)なし

F. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、B～Eを繰り返し

アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは図19-2.で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

G. アドレス上位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選択します。
- ③ DATAにアドレス上位バイト(\$00～\$03/\$07/\$0F)を設定します。
- ④ CLKIに正パルスを与えます。これはアドレス上位バイトを設定します。

H. ページ書き込み

- ① BS1をLow(0)に設定します。
- ② WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/BSYがLow(0)になります。
- ③ RDY/BSYがHigh(1)になるまで待ちます。

I. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、B～Hを繰り返し

J. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ CLKIに正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

図19-2. ページで構成されたフラッシュ メモリのアドレス指定

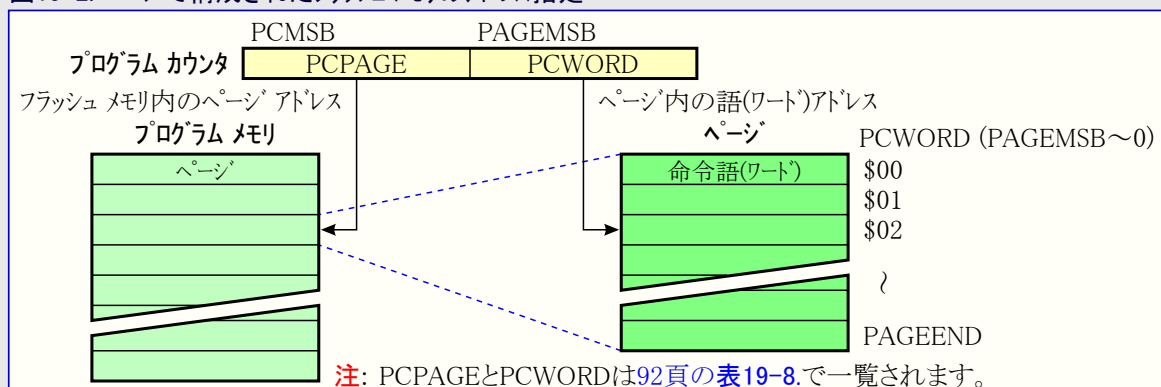
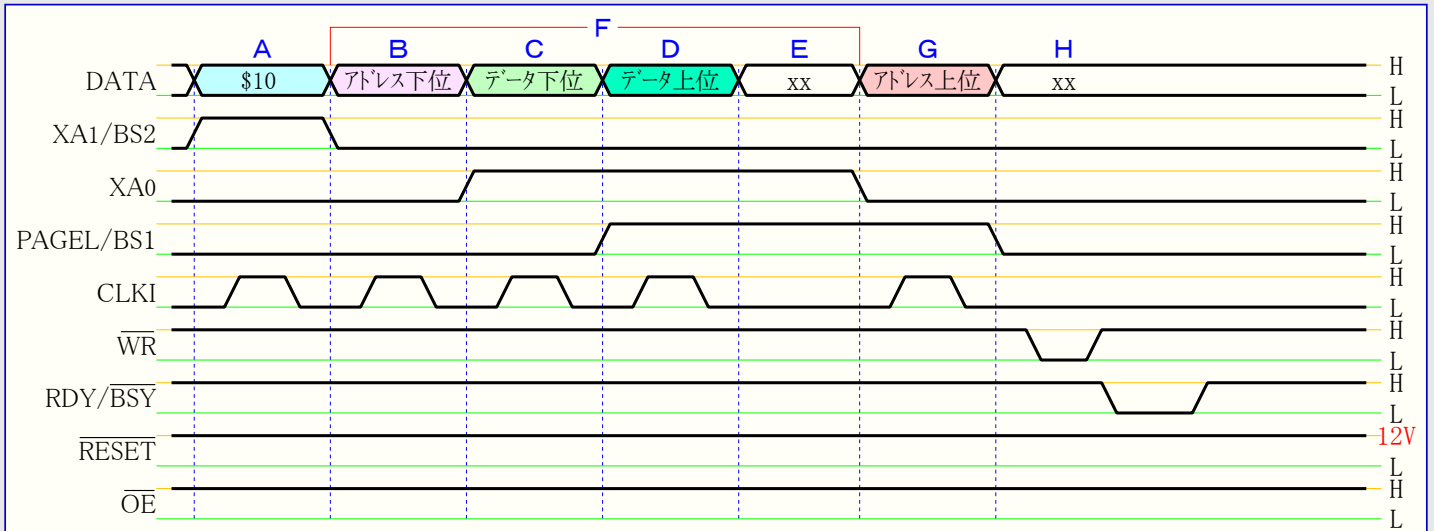


図19-3. フラッシュ メリ書き込みタイミング



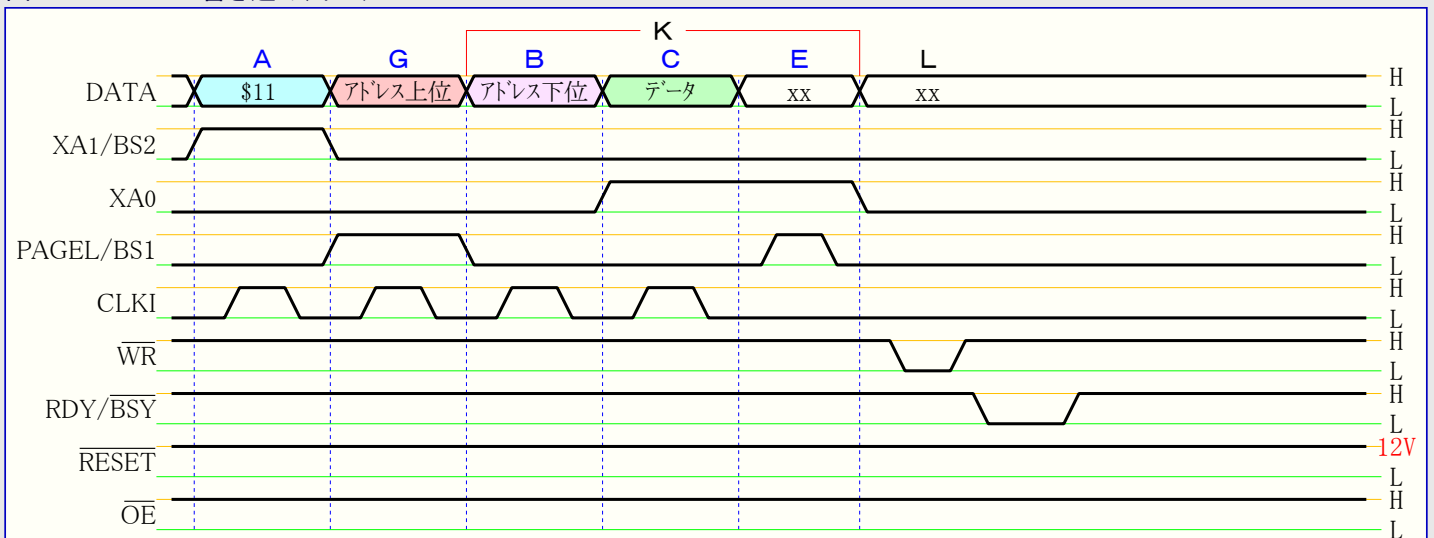
注: xx値は無関係です。A～Hは前記プログラミングを参照してください。

19.6.5. EEPROM書き込み

EEPROMはページで構成されます(92頁の表19-9参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については95頁の「フラッシュ メリの書き込み」を参照。図19-4タイミング参照。)

1. EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. アドレス上位バイト(\$00)を設定します。(「フラッシュ メリ書き込み」のGを参照)
3. アドレス下位バイト(\$00～\$3F)を設定します。(「フラッシュ メリ書き込み」のBを参照)
4. データバイト(\$00～\$FF)を設定します。(「フラッシュ メリ書き込み」のCを参照)
5. 活動(操作)なし
- K. 緩衝部全体が満たされるまで3～5を繰り返します。
- L. EEPROMページ書き込み
 - ① BS1をLow(0)に設定します。
 - ② WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。
 - ③ 次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図19-4. EEPROM書き込みタイミング



19.6.6. フラッシュ メリ読み出し

フラッシュ メリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については95頁の「フラッシュ メリの書き込み」を参照)

1. フラッシュ メリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. アドレス上位バイト(\$00～\$07)を設定します。(「フラッシュ メリ書き込み」のGを参照)
3. アドレス下位バイト(\$00～\$FF)を設定します。(「フラッシュ メリ書き込み」のBを参照)
4. BS1をLow(0)、OEをLow(0)に設定します。フラッシュ メリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. OEをHigh(1)に設定します。DATAはHi-Zになります。

19.6.7. EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については95頁の「フラッシュ メリの書き込み」を参照)

1. EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. アドレス上位バイト(\$00)を設定します。(「フラッシュ メリ書き込み」のGを参照)
3. アドレス下位バイト(\$00～\$3F)を設定します。(「フラッシュ メリ書き込み」のBを参照)
4. BS1をLow(0)、OEをLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. OEをHigh(1)に設定します。DATAはHi-Zになります。

19.6.8. ヒューズ ビット書き込み (訳注:原書での拡張/上位/下位ヒューズ項を1つに纏めました。)

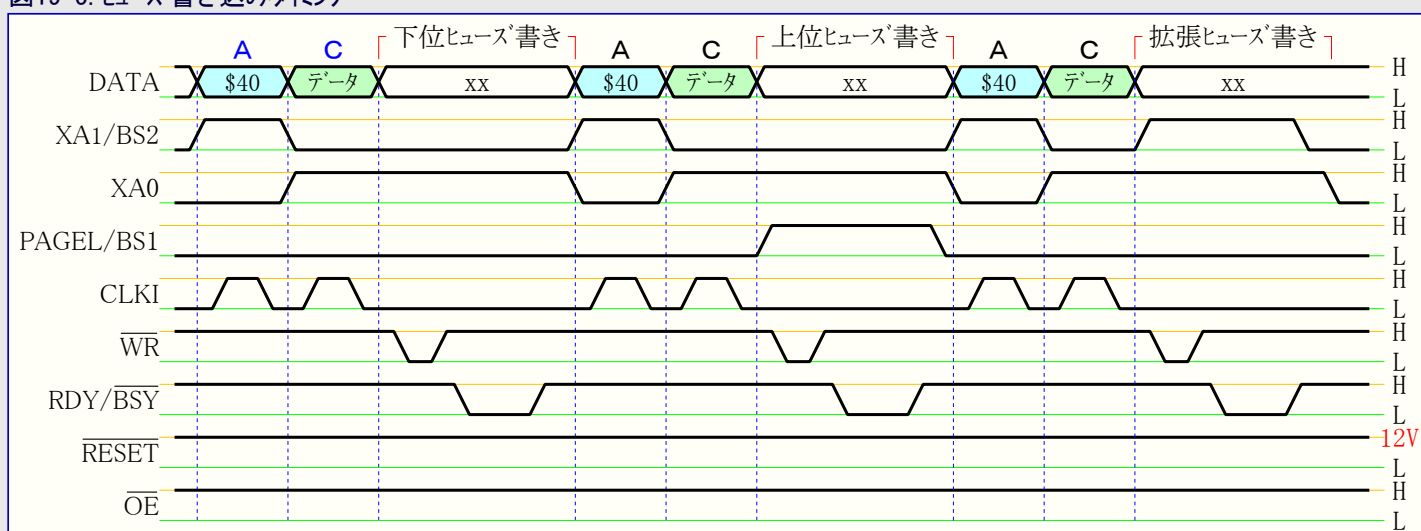
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については95頁の「フラッシュ メリの書き込み」を参照)

1. ヒューズ ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュ メリ書き込み」のAを参照)
2. データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メリ書き込み」のCを参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. WRに負パルスを与え、RDY/BSYがHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選択します。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図19-5. ヒューズ書き込みタイミング



19.6.9. 施錠ビット書き込み

施錠ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については95頁の「フラッシュメモリの書き込み」を参照)

1. 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. データ下位バイト(としてデータ)を設定します。0=プログラム,1=無変化です。LB保護種別3が設定(LB1とLB2がプログラム(0))されると、どの外部的なプログラミング動作種別によってもブート施錠ビットはプログラミングできません。(「フラッシュメモリの書き込み」のCを参照)
3. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。

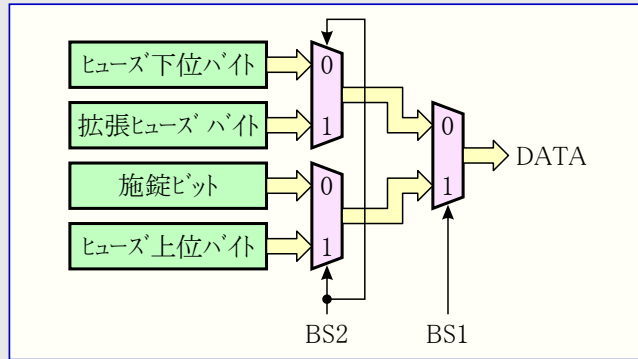
施錠ビットはチップ消去の実行によってのみ解除(1)できます。

19.6.10. ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法は次のとおりです。(指令設定の詳細については95頁の「フラッシュメモリの書き込み」を参照)

1. ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. BS1とBS2をLow(0)、 \overline{OE} をLow(0)に設定します。ヒューズ下位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
3. BS1とBS2をHigh(1)、 \overline{OE} をLow(0)に設定します。ヒューズ上位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
4. BS1をLow(0)、BS2をHigh(1)、 \overline{OE} をLow(0)に設定します。拡張ヒューズビットの状態が直ぐにDATAで読めます。(0=プログラム)
5. BS1をhigh(1)、BS2をLow(0)、 \overline{OE} をLow(0)に設定します。施錠ビットの状態が直ぐにDATAで読めます。(0=プログラム)
6. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

図19-6. ヒューズ、施錠ビット読み出し中のBS1, BS2との関係



19.6.11. 識票バイト読み出し

識票バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については95頁の「フラッシュメモリの書き込み」を参照)

1. 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をLow(0)、 \overline{OE} をLow(0)に設定します。選択した識票バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

19.6.12. 校正バイト読み出し

校正バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については95頁の「フラッシュメモリの書き込み」を参照)

1. 校正バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」のAを参照)
2. アドレス下位バイトに\$00を設定します。(「フラッシュメモリの書き込み」のBを参照)
3. BS1をHigh(1)、 \overline{OE} をLow(0)に設定します。校正バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

19.7. 直列プログラミング

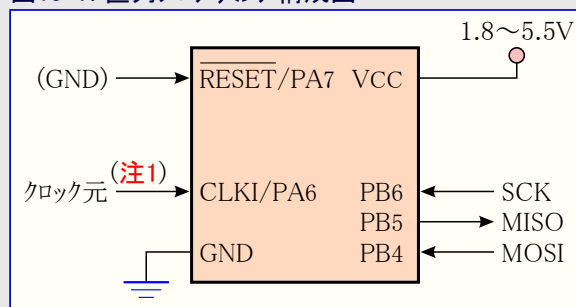
フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MISO入力、MISO出力から成ります。右の図19-7をご覧ください。

RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立って初めに**プログラミング許可命令**が実行されることを必要とします。

表19-14. 直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB4	入力	直列データ入力
MISO	PB5	出力	直列データ出力
SCK	PB6	入力	直列クロック

図19-7. 直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、CLKIピンにクロック元を接続する必要はありません。

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ(直列プログラミングのみ)、**チップ消去命令**を先に実行する必要がありません。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELピュースによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間 > 2CPUクロック周期	$f_{CK} < 12\text{MHz}$: High区間 > 2CPUクロック周期
$f_{CK} \geq 12\text{MHz}$: Low区間 > 3CPUクロック周期	$f_{CK} \geq 12\text{MHz}$: High区間 > 3CPUクロック周期

19.7.1. 直列プログラミング手順

ATtiny43Uに直列データを書く時にデータはSCKの上昇端で行われ、ATtiny43Uから読む時にデータはSCKの下降端で行われます。タイミングの詳細については図20-8と図20-9をご覧ください。

直列プログラミング動作でのATtiny43Uのプログラミングと照合は次の手順が推奨されます(形式は表19-16参照)。

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは最低2CPUクロック周期幅の正パルスを与えられなければなりません。このパルス時間は最低 $t_{RST} + 2\text{CPUクロック周期}$ でなければなりません。 t_{RST} (RESETピンの最小パルス幅)の定義については104頁の表20-4をご覧ください。

2. 最低20ms待ち、MOSIピンに**プログラミング許可命令**を送ることによって直列プログラミングを許可してください。

3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1ページ単位で書かれます。ページ容量は92頁の表19-8で得られます。このメモリページは**ページ設定命令**と共にアドレスの下位5+1ビットとデータを供給することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位6ビットを含む**ページ書き込み命令**の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低 t_{WD_FLASH} (表19-15参照)待たなければなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。

5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。

バイト単位: EEPROMは適切な**EEPROM書き込み命令**と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低 t_{WD_EEPROM} (表19-15参照)待たなければなりません。

ページ単位: EEPROMの1ページは**EEPROMページ設定命令**と共にアドレスの下位2ビットとデータを供給することによって1バイトずつ設定されます。EEPROMページはアドレスの上位4ビットを含む**EEPROMページ書き込み命令**によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次のページ(表19-9参照)を行う前に最低 t_{WD_EEPROM} (表19-15参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す**読み出し命令**を使うことによって照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順(必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

表19-15. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

19.7.2. 直列プログラミング命令一式

表19-16と次頁の図19-8は命令一式を記述します。

表19-16. 直列プログラミング命令一式

命令	命令形式				備考
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定 (注1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュ ページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュ ページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注: ページ内指示以外のビットは0。
読み出し命令					
フラッシュ メモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュ メモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
施錠ビット読み出し	\$58	\$00	\$00	施錠ビット値	
識票バイト読み出し	\$30	\$00	アドレス	識票バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
校正バイト読み出し	\$38	\$00	\$00	校正バイト	
書き込み命令 (注2)					
フラッシュ ページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMバイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: ページ指示以外のアドレスビットは0。
施錠ビット書き込み	\$AC	\$E0	\$00	施錠ビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

注1: 全命令が全デバイスで利用可能な訳ではありません。

注2: プログラム用メモリにアクセスする命令は語(ワード)アドレスを使います。このアドレスはページ範囲内で乱順にできます。

注: 施錠ビットとヒューズ値はプログラムが0、非プログラムが1です。将来との互換性のため、未使用のヒューズと施錠ビットは非プログラム(1)にすべきです。

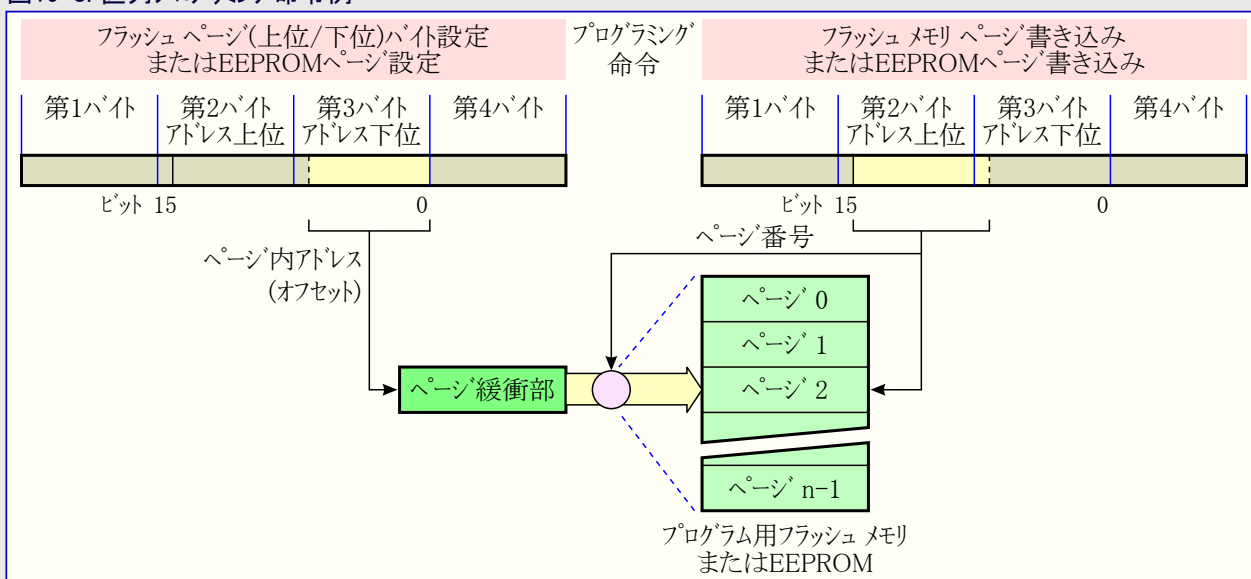
- ・ヒューズ、施錠ビット、識票バイト、校正バイト、ページ容量については対応項を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第4バイトの赤背景はホスト読み込み(デバイス出力)を示します。

多忙/準備可検査バイト データ出力のLSBが1なら、プログラミング操作が未だ保留(動作中)です。次の命令が実行される前に本ビットが0に戻るまで待ってください。

同じページ内で、下位バイト データは上位バイト データに先行して格納されなければなりません。

データがページ緩衝部に格納された後にEEPROMページをプログラムしてください。次頁の図19-8をご覧ください。

図19-8. 直列プログラミング命令例



(訳補) フラッシュメモリ、EEPROM、ページ緩衝部内のアドレス(位置)指定に使われるビットはメモリ容量とページ構成に依存します。ATtiny43Uでのこれらの指定方法は次表で要約されます。

表19-A. アドレス(第2,3バイト)指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュ ページ内バイト設定	0000 0000	000L LLLL	ATtiny43U : L=PC4~0
EEPROMページ内バイト設定	0000 0000	0000 00LL	ATtiny43U : L=EEA1~0
フラッシュメモリ読み出し	0000 0HHH	LLLL LLLL	ATtiny43U : H=PC10~8, L=PC7~0
EEPROM読み出し	0000 0000	00LL LLLL	ATtiny43U : L=EEA5~0
フラッシュ ページ書き込み	0000 0HHH	LLL0 0000	ATtiny43U : H=PC10~8, L=PC7~5
EEPROMバイト書き込み	0000 0000	00LL LLLL	ATtiny43U : L=EEA5~0
EEPROMページ書き込み	0000 0000	00LL LL00	ATtiny43U : L=EEA5~2

20. 電気的特性

20.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA
昇圧変換器出力からの電流	60.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

20.2. DC特性

表20-1. DC特性 TA=-40°C~+85°C

シンボル	項目	条件	最小	代表 (注1)	最大	単位
V _{IL}	Lowレベル入力電圧	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
	Lowレベル入力電圧 (RESET) (注3)	VCC=1.8~5.5V	-0.5		0.2VCC (注2)	
V _{IH}	Highレベル入力電圧 (RESETを除く)	VCC=1.8~2.4V	0.7VCC (注4)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注4)		VCC+0.5	
	Highレベル入力電圧 (RESET) (注3)	VCC=1.8~5.5V	0.9VCC (注4)		VCC+0.5	
V _{OL}	Lレベル出力電圧 (PB1,PB2,PB4,PB5ピン) (注5) (注6)	IOL=20mA, VCC=5V			0.8	
		IOL=10mA, VCC=3V			0.6	
		IOL=4mA, VCC=1.8V			0.5	
	Lレベル出力電圧 (RESETピンを除く全I/Oピン) (注5) (注8)	IOL=10mA, VCC=5V			0.8	
		IOL=5mA, VCC=3V			0.6	
		IOL=2mA, VCC=1.8V			0.5	
V _{OH}	Hレベル出力電圧 (RESETピンを除く全I/Oピン) (注7) (注8)	IOH=-10mA, VCC=5V	4.0			
		IOH=-5mA, VCC=3V	2.3			
		IOH=-2mA, VCC=1.8V	1.4			
I _{IL}	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	μA
I _{IH}	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	
R _{PU}	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	kΩ
	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		80	
I _{CC}	昇圧変換器なし 活動動作消費電流 (注9,10) (電力削減レジスタ(PRR)全ビット=1)	VCC=2V, 1MHz		0.2	0.55	mA
		VCC=3V, 4MHz		1.3	2.5	
		VCC=5V, 8MHz		4	7	
	昇圧変換器なし アイドル動作消費電流 (注9,10)	VCC=2V, 1MHz		0.04	0.15	
		VCC=3V, 4MHz		0.25	0.6	
		VCC=5V, 8MHz		1.0	2.0	
	昇圧変換器なし パワーダウン動作消費電流 (注10,11)	VCC=3V, WDT有効		4.5	10	μA
		VCC=3V, WDT禁止		0.35	2	

注1: 25°Cでの代表的な値です。

注2: "最大"はピンがLowとして読まれるのを保証される最高値を意味します。

注3: 製造に於いて検査されません。

注4: "最小"はピンがHighとして読まれるのを保証される最低値を意味します。

注5: 各I/Oポートは安定状態(非過渡時)に於いて示されるよりも多くの吸い込み電流を流すことができるとは言え、(全ポートに対して)全IOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも関連する仕様を超えます。ピンは検査条件で一覧されるよりも大きな吸い込み電流を流すことは保証されません。

注6: PB1,PB2,PB4,PB5ピンは高吸い込み(シンク)電流出力I/Oピンです。

注7~注11は次頁へ

注7: 各I/Oポートは安定状態(非過渡時)に於いて示されるよりも多くの吐き出し電流を流すことができるとは言え、(全ポートに対して)全IOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吐き出し電流を流すことは保証されません。

注8: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。120頁から始まる図21-31と図21-32をご覧ください。

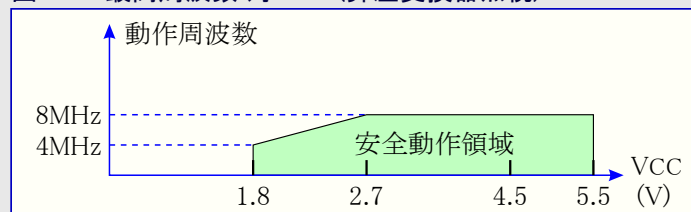
注9: 値は21頁の「消費電力の最小化」で記述された方法を用いた外部クロックです。電力削減が許可(PRR=\$FF)され、I/Oの駆動はありません。

注10: 昇圧変換器を含めたデバイス全体の消費電流については105頁の「昇圧変換器特性」をご覧ください。

注11: 低電圧検出器(BOD)禁止です。

20.3. 速度

図20-1. 最高周波数 対 VCC (昇圧変換器無視)



20.4. クロック特性

20.4.1. 校正付き内蔵RC発振器の精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。

表20-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注)
工場校正	8.0MHz	3V	25°C	±10%
使用者校正	7.3~8.1MHz内の固定周波数	1.8~5.5V内の固定電圧	-40~+85°C内の固定温度	±1%

注: 校正点での発振器周波数精度(固定温度と固定電圧)

20.4.2. 外部クロック信号駆動

図20-2. 外部クロック駆動波形

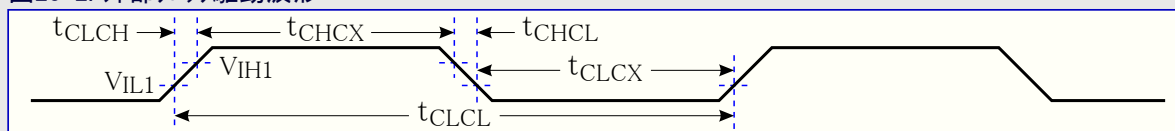


表20-3. 外部クロック特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		単位
		最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	8	MHz
tCLCL	クロック周期	250		125		ns
tCHCX	Highレベル時間	100		50		
tCLCX	Lowレベル時間	100		50		
tCLCH	上昇時間		2.0		1.6	μs
tCHCL	下降時間		2.0		1.6	
ΔtCLCL	隣接クロック周期間の変化率		2		2	%

注: 詳細については15頁の「外部クロック信号」を参照してください。

20.5. システムとリセットの特性

表20-4. システムとリセットの電氣的特性

シンボル	項目	条件	最小	代表	最大	単位
V _{POT}	上昇時電源ONリセット閾値電圧	TA=-40~85°C	1.1	1.4	1.6	V
	下降時電源ONリセット閾値電圧 (注1)		0.6	1.3	1.6	
V _{PSR}	電源投入時上昇率	TA=-40~85°C	0.01			V/ms
V _{RST}	RESETピン閾値電圧		0.2V _{CC}		0.9V _{CC}	V
t _{RST}	RESETピンでの最小パルス幅	V _{CC} =1.8V		2		μs
		V _{CC} =3V		0.7		
		V _{CC} =5V		0.4		
V _{HYST}	低電圧検出ヒステリシス電圧			50		mV
t _{BOD}	最小低電圧検出時間			2		μs
V _{BG}	基準電圧	V _{CC} =2.7V TA=25°C	1.0	1.1	1.2	V
t _{BG}	起動時間			40	70	μs
I _{BG}	消費電流			15		μA

注1: 供給電圧がこの電圧以下にならないと、上昇時の電源ONリセットは動作しません。

表20-5. BODLEVELヒューズ (V_{BOT}) 設定 (注1)

BODLEVEL2~0	最小	代表	最大	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注1: いくつかのデバイスでV_{BOT}が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、V_{CC}=V_{BOT}に落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

20.6. 外部割り込み特性

表20-6. 非同期外部割り込み特性

シンボル	項目	最小	代表	最大	単位
t _{INT}	非同期外部割り込み最小パルス幅		50		ns

20.7. 昇圧変換器特性

表20-7. 昇圧変換器特性 (TA=-20℃～85℃、他の注記を除く)

シンボル	項目	条件 (注1)	最小	代表	最大	単位
VBAT	入力電圧		0.7		1.8	V
VSTART	開始電圧		1.0	1.2	1.35	
VSTOP	停止電圧		(注2)	0.5	0.8	
VBOOST	活動状態移行VCC電圧			1.0		
VCC	出力電圧	活動状態, ILOAD>1mA	2.7	3.0	3.3	
		低電流動作活動状態	2.0		3.6	
ILOAD	負荷電流	VBAT=0.7V	0		10	mA
		VBAT=1.0V	0		30	
VRPP	出力脈流電圧	VBAT=1.0V, ILOAD=30mA, CLOAD=22μF		40		mV
tSTART	始動時間	VBAT=0Vから1.2Vへの段階変化		2		ms
IIN	デバイス全体の消費電流	VBAT=0.4V, 変換器停止状態, MCU給電なし		1		μA
		VBAT=1.0V, 変換器停止状態, MCU給電なし		2		
		VBAT=1.2V, 低電流動作, MCUパワーダウン動作, WDT禁止		5		mA
		VBAT=1.2V, 調整動作, MCU活動動作, 4MHz		5		
f _{SW}	切り替え周波数		75	100	125	kHz
TSW	切り替え周期	TSW=1/f _{SW}	8	10	13.3	μs
DSW	デューティサイクル		3		70	%
VBATOL	過負荷からのデバイス回復最低電圧	出力過負荷または回路短絡の解消		0.9		V
	負荷安定性 $\frac{VCC(\text{最小負荷}) - VCC(\text{最大負荷})}{VCC(\text{最大負荷})}$	TA=25℃, VBAT=1.2V, 昇圧変換器活動状態		2.7		%
	入力安定性 $\frac{VCC(\text{最大VBAT}) - VCC(\text{最小VBAT})}{VCC(\text{標準VBAT})}$	TA=25℃, ILOAD=1mA, 昇圧変換器活動状態		1.0		
	温度安定性 $\frac{VCC(\text{最大温度}) - VCC(\text{最小温度})}{VCC(\text{標準温度})}$	VBAT=1.2V, ILOAD=1mA, 昇圧変換器活動状態		2.3		

注1: 110頁の「昇圧変換器」項で記述される構成設定とで得られた特性。

注2: 最小停止電圧は保証されません。非常に低い電池電圧で論理回路は停止信号を発行する前に動作を中止するかもしれません。応用ファームウェアは定期的な間隔で電池電圧を監視するのにA/D変換器を使い、必要とされる時にファームウェア停止を発行することができます。

図20-3. 出力調整を維持するのに必要とされる、代表的なVBAT電圧 対 負荷電流

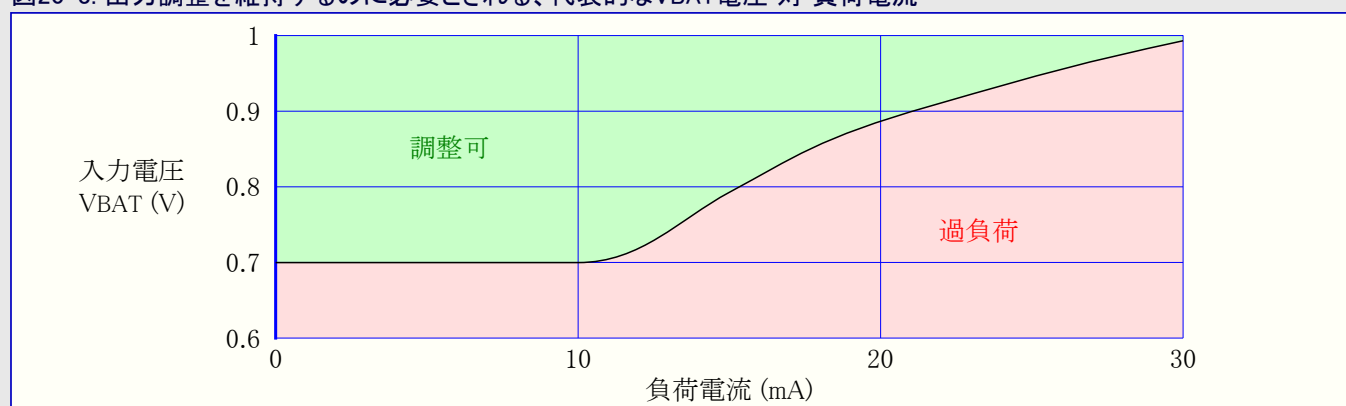
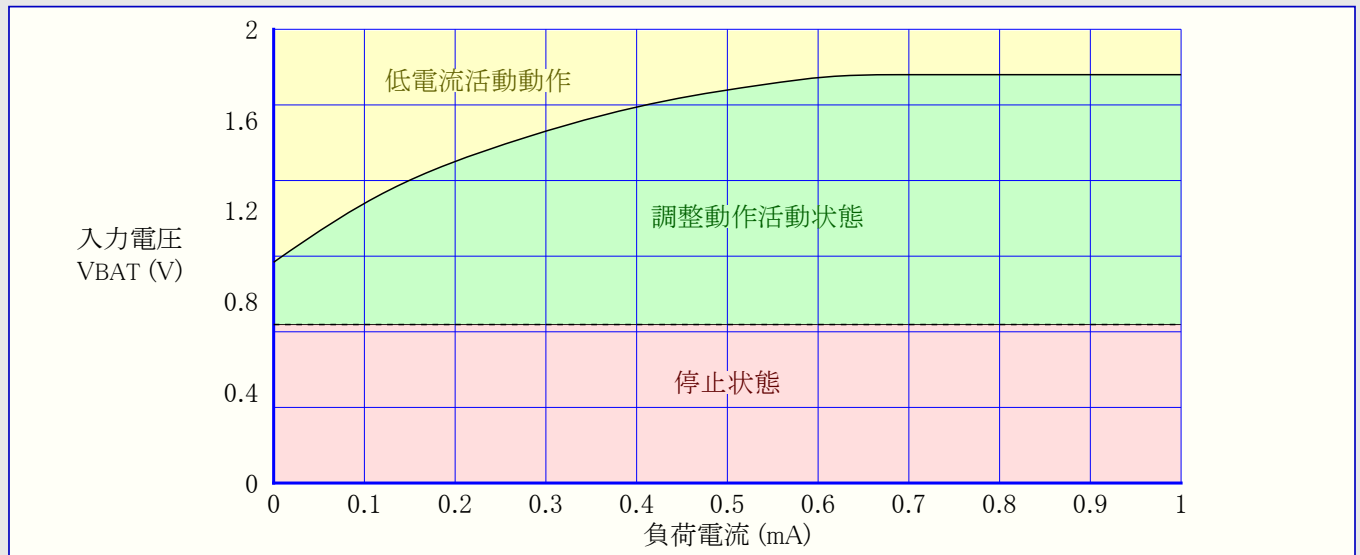


図20-4. 動作形態間の代表的遷移範囲



20.8. A/D変換器特性

表20-8. A/D変換特性 (TA=-40℃～+85℃、昇圧変換器許可)

シンボル	項目	条件		最小	代表	最大	単位
	分解能					10	ビット
	絶対精度 (注) (積分非直線性、微分非直線性、量子化、利得、オフセットの各誤差を含む)	VCC=3V VREF=3V	変換クロック=200kHz		3.5		LSB
			変換クロック=1MHz		4.0		
		雑音低減動作	変換クロック=200kHz		3.0		
			変換クロック=1MHz		3.5		
	積分非直線性誤差 (注)	VCC=3V, VREF=3V 変換クロック=200kHz			1.0		
	微分非直線性誤差				0.5		
	利得誤差 (注)				5.0		
	オフセット(ゼロ)誤差				-3.0		
	変換時間	連続変換動作		14		280	μs
	変換クロック周波数			0.05		1	MHz
VIN	入力電圧			GND		VREF	V
	入力周波数帯域				38.4		kHz
VINT	内蔵基準電圧			1.0	1.1	1.2	V
RAIN	アナログ入力インピーダンス				100		MΩ

注: 利得誤差は選択した基準供給元の精度にも依存します。基準としてVCC使用時、昇圧変換器の出力電圧が、特に低電流活動動作で広い動的範囲を持つことに注意されるべきです。内部基準電圧は供給電圧での変化にむしろ耐え、従って使われるべき推奨基準供給元です。124頁の「バンドギャップ電圧対動作電圧」をご覧ください。

20.9. 並列プログラミング特性

図20-5. 並列プログラミング タイミング (一般的な必要条件)

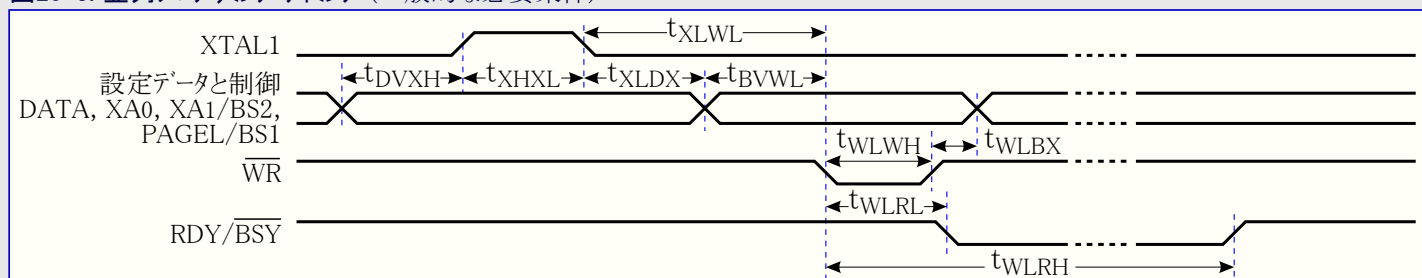
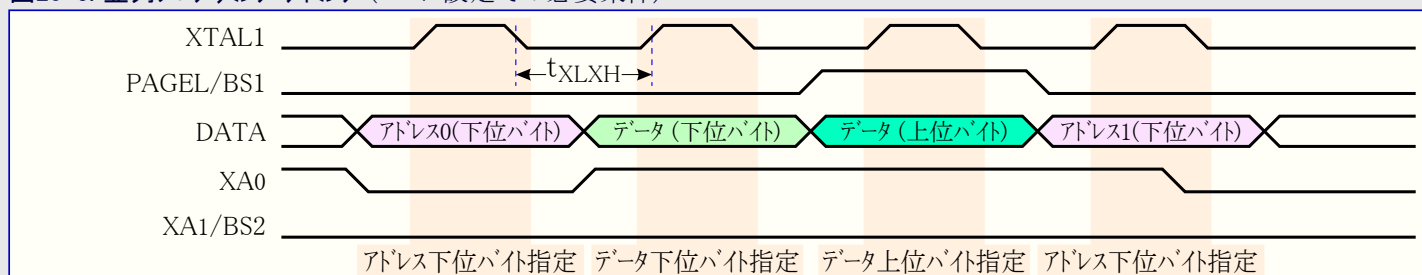
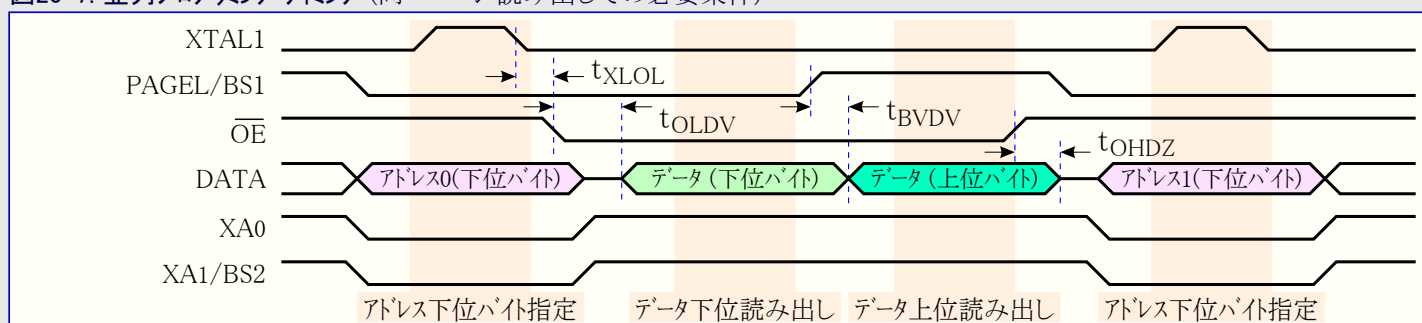


図20-6. 並列プログラミング タイミング (ページ設定での必要条件)



注: 図20-5.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は設定操作にも適用されます。

図20-7. 並列プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図20-5.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は読み出し操作にも適用されます。

表20-9. 並列プログラミング特性 (VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	CLKI ↑ に対するデータと制御の準備時間	67			ns
tXLXH	CLKI ↓ から次XTAL1 ↑ までの待機時間	200			
tXHXL	CLKI Highパルス幅	150			
tXLDX	CLKIパルス ↓ 後のデータと制御の保持時間	67			
tXLWL	CLKIパルス ↓ 後のWR ↓ 待機時間	0			
tBVPH	PAGELパルス ↑ に対するBS1準備時間	67			
tPHPL	PAGEL Highパルス幅	150			
tPLBX	PAGELパルス ↓ 後のBS1保持時間	67			
tWLBX	WRパルス ↓ 後のBS1,BS2保持時間	67			
tPLWL	PAGELパルス ↓ 後のWRパルス ↓ 待機時間	67			
tBVWL	WRパルス ↓ に対するBS1準備時間	67			
tWLWH	WR Lowパルス幅	150			
tWLRL	WRパルス ↓ 後のRDY/BSY ↓ 遅延時間	0		1	μs
tWLRH	書き込み時間 (WR ↓ からRDY/BSY ↑) (注1)	3.7		4.5	ms
tWLRH_CE	チップ消去時間 (WR ↓ からRDY/BSY ↑) (注2)	7.5		9	
tXLCL	CLKIパルス ↓ 後のOE ↓ 待機時間	0			ns
tBVDV	BS1有効からのDATA遅延時間	0		250	
tOLDV	OE ↓ 後のDATA出力遅延時間			250	
tOHDZ	OE ↑ 後のDATA Hi-Z遅延時間			250	

注1: フラッシュメモリ、EEPROM、ヒューズビット、施錠ビット書き込み指令に対して有効です。

注2: チップ消去指令に対して有効です。

20.10. 直列プログラミング特性

図20-8. 直列プログラミングバイト通信波形

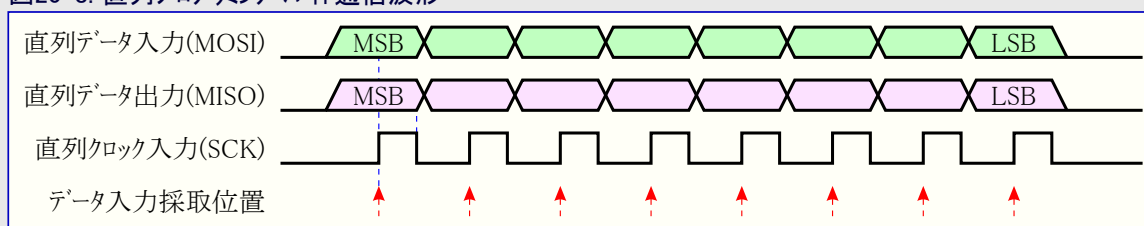


図20-9. 直列プログラミング タイミング

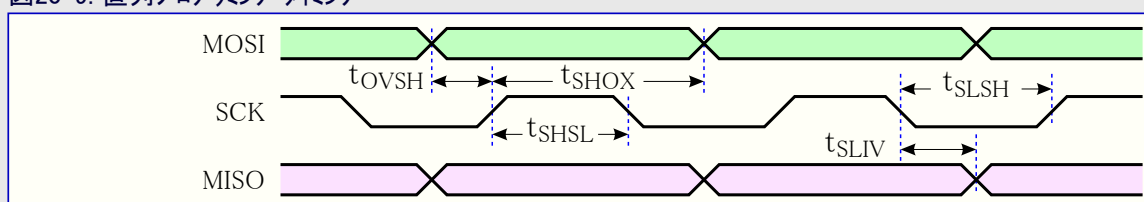


表20-10. 直列プログラミング特性 (特記条件を除いて、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $V_{CC} = 1.8 \sim 5.5\text{V}$)

シンボル	項目	最小	代表	最大	単位
$1/t_{CLCL}$	発振器周波数	0		4	MHz
	4.5~5.5V	0		8	
t_{CLCL}	発振器周期	250			ns
	4.5~5.5V	125			
t_{SHSL}	SCKパルスHレベル幅 (注1)	$2t_{CLCL}$			
t_{SLSH}	SCKパルスLレベル幅 (注1)	$2t_{CLCL}$			
t_{OVSH}	SCK \uparrow に対するMOSI準備時間	t_{CLCL}			
t_{SHOX}	SCK \uparrow に対するMOSI保持時間	$2t_{CLCL}$			
t_{SLIV}	SCK \downarrow に対するMISO出力遅延時間			100	

注1: $f_{CK} < 12\text{MHz}$ 時 $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ 時 $3t_{CLCL}$ 。

21. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文コードが示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ**許可の**パワーダウン動作**での消費電流と**ウォッチドッグタイマ**禁止の**パワーダウン動作**での消費電流間の違いは、**ウォッチドッグタイマ**によって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $CL(\text{負荷容量}) \times VCC(\text{動作電圧}) \times f_{SW}(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

21.1. 昇圧変換器

以下の特性は表21-1.で一覧にされる部品とで得られました。部品配置については27頁の図8-8.をご覧ください。

表21-1. 昇圧変換器の特性付け中に使われた部品

部品	型式	値
C1	JMK212BJ106KD-T×6	$10\mu\text{F} \times 6 = 60\mu\text{F}$ (注)
C2		$0.1\mu\text{F}$
C3	JMK212BJ226MG-T	$22\mu\text{F}$
C4		$0.1\mu\text{F}$
D1	PMEG2010AEH	$V_F = 0.35\text{V}$
L1	LPS6235-153MLB	$15\mu\text{H}$
R1		$680\text{k}\Omega$

注: 測定系にで使われる分路抵抗によって引き起こされる入力脈流を最小にするため、むしろ大きな容量のC1が必要とされました。

測定で使用したATtiny43UデバイスはSOIC外囲器で封印され、100kHzの切り換え周波数を持っていました。

図21-1. 昇圧変換器(負荷と線の調整)VCC 対 負荷電流とVBAT電圧

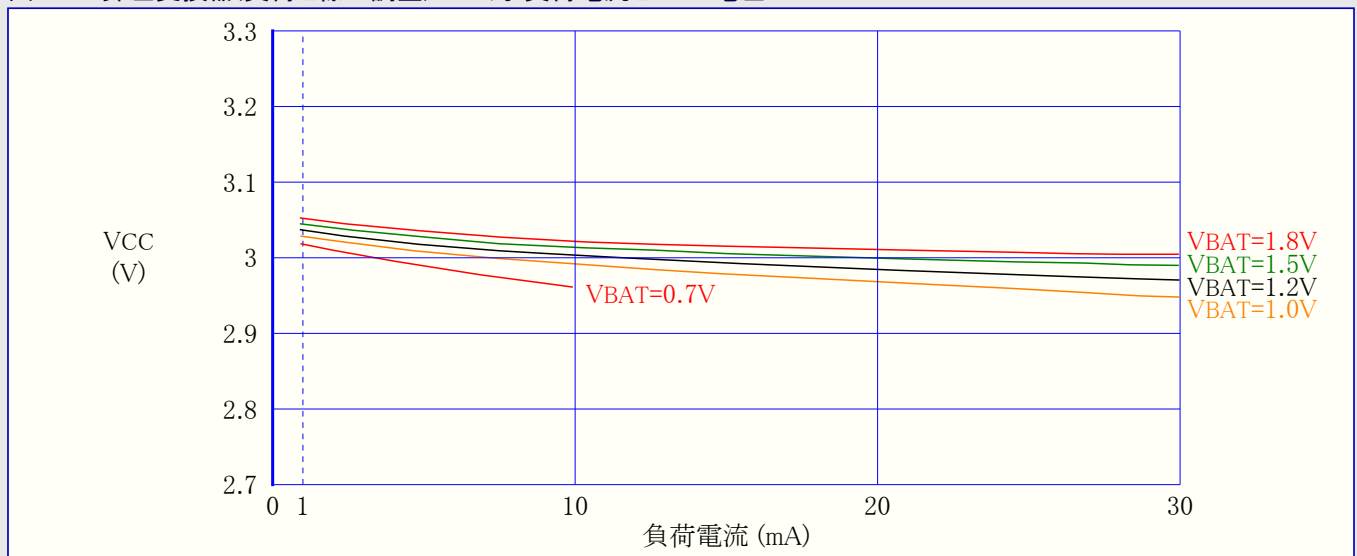
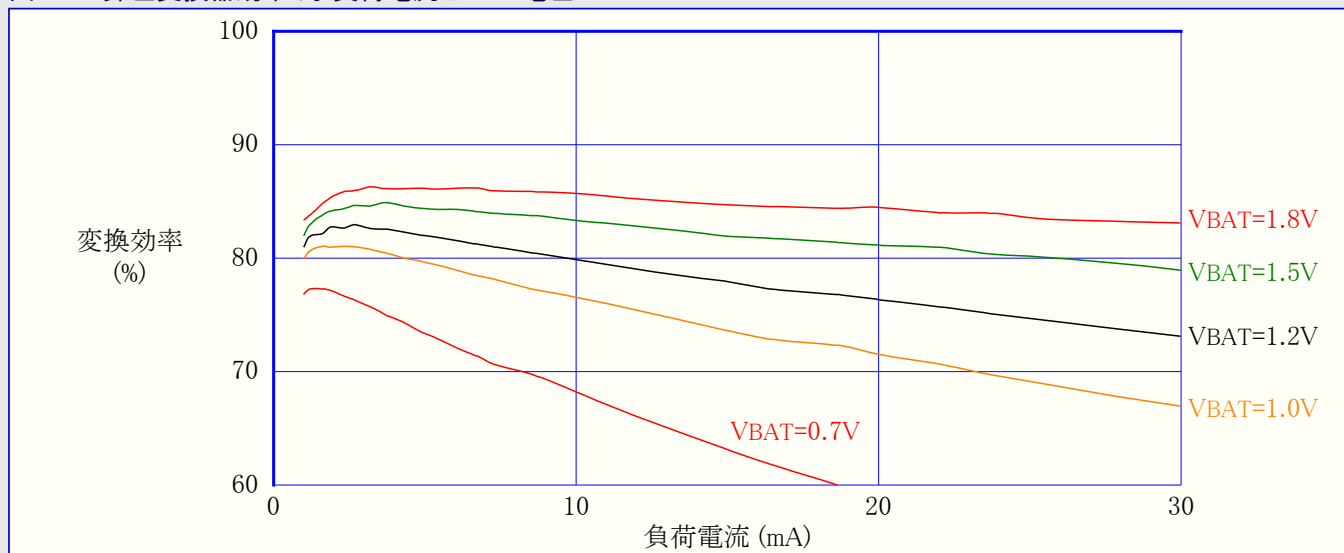


図21-2. 昇圧変換器効率 対 負荷電流とVBAT電圧



21.2. 活動動作消費電流

図21-3. 活動動作消費電流 対 低周波数 (100kHz~1MHz, PRR=\$FF)

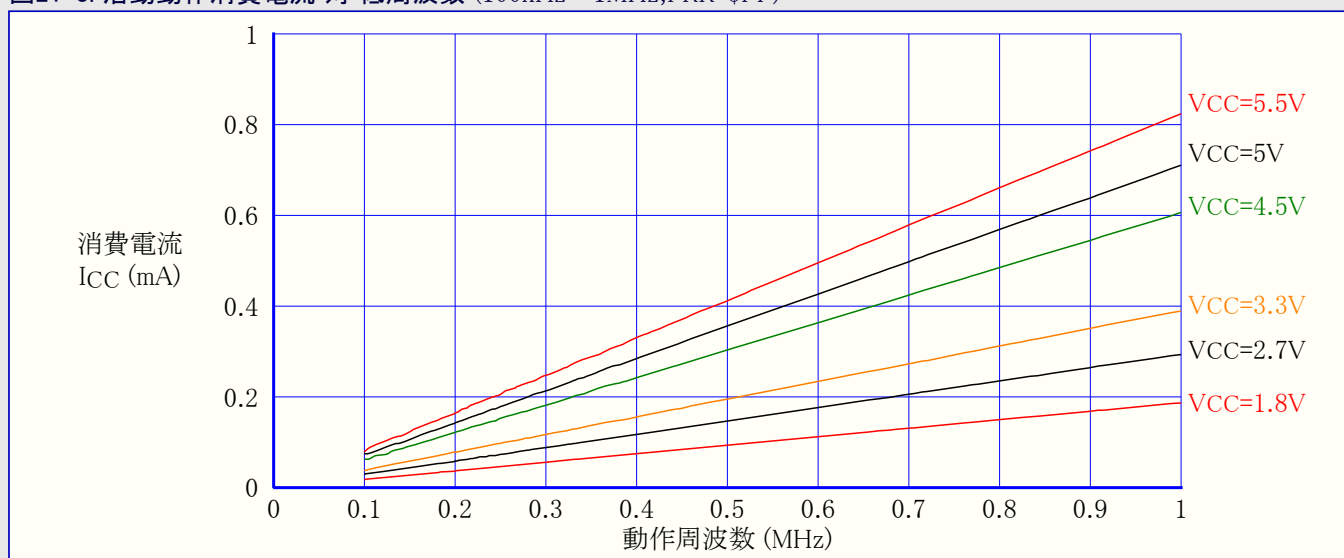


図21-4. 活動動作消費電流 対 周波数 (1MHz~20MHz, PRR=\$FF)

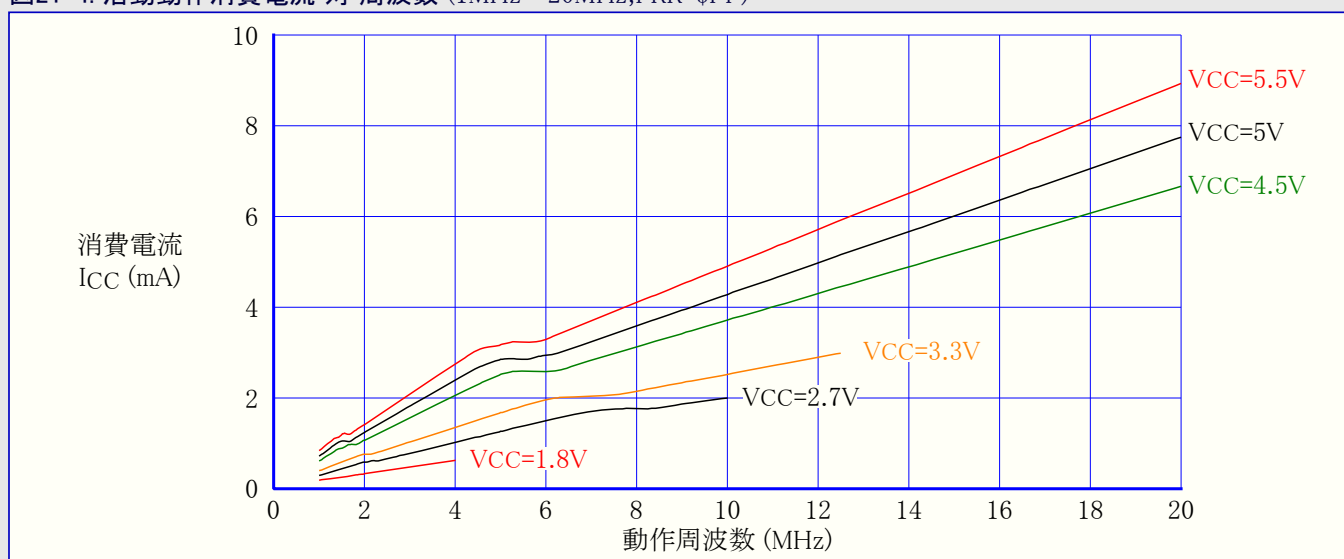


図21-5. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

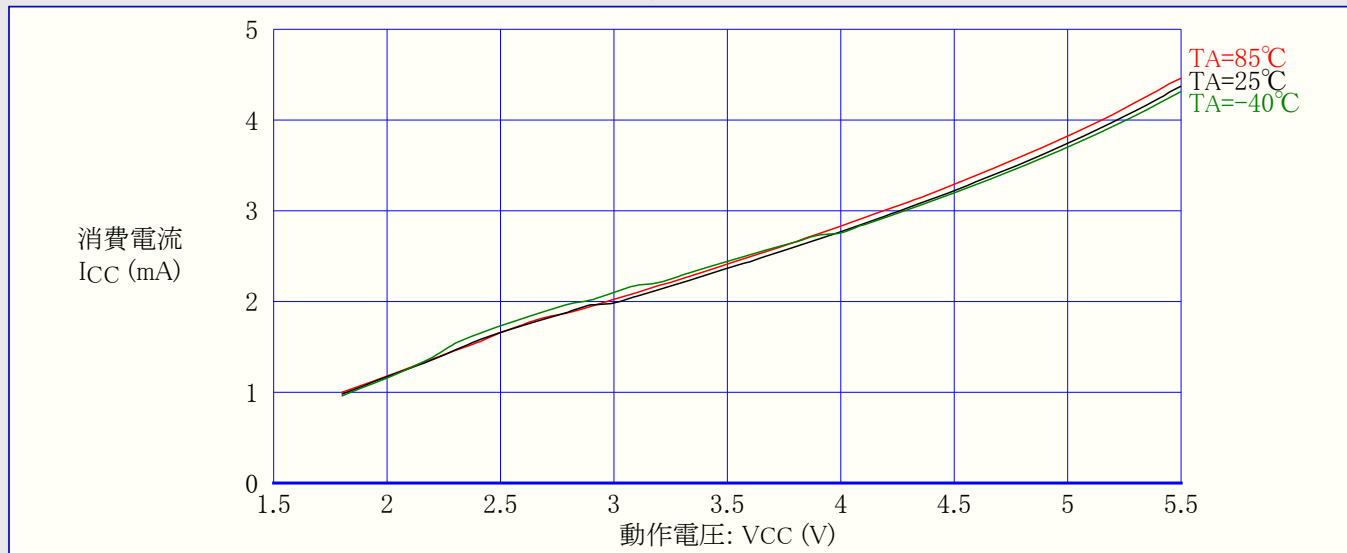


図21-6. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

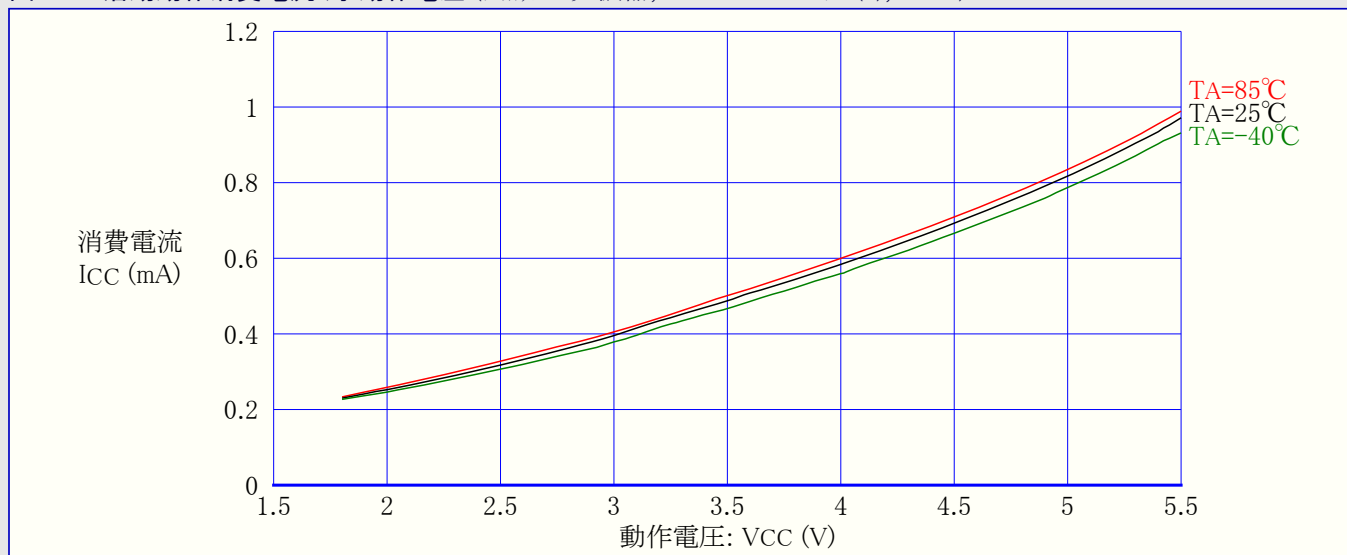
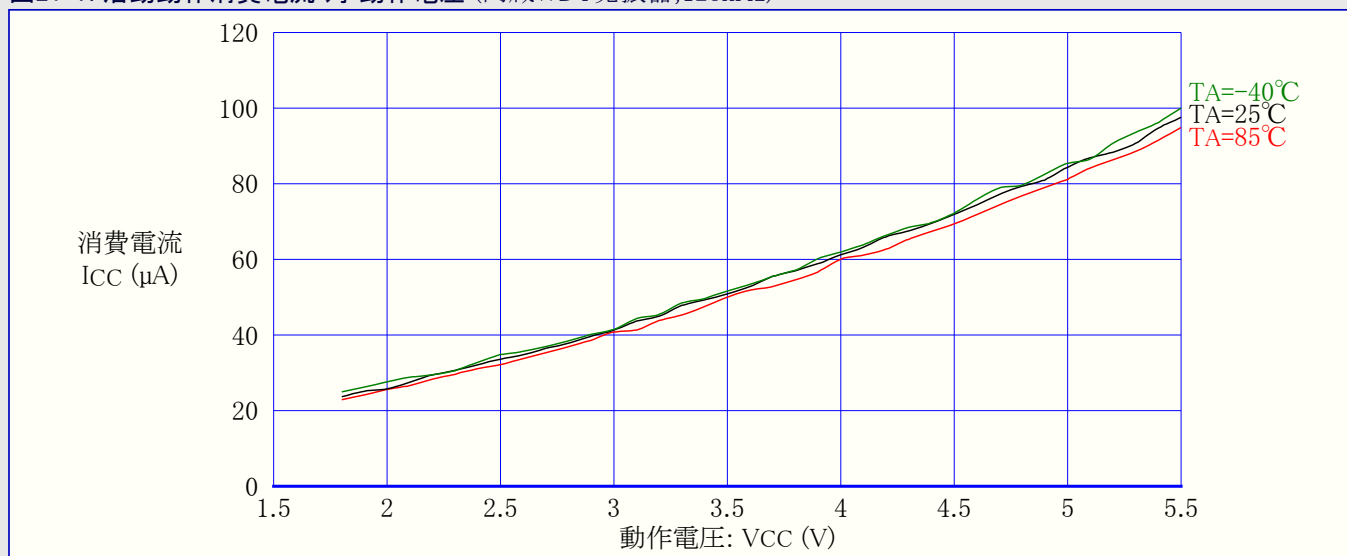


図21-7. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



21.3. アイドル動作消費電流

図21-8. アイドル動作消費電流 対 低周波数 (100kHz~1MHz, PRR=\$FF)

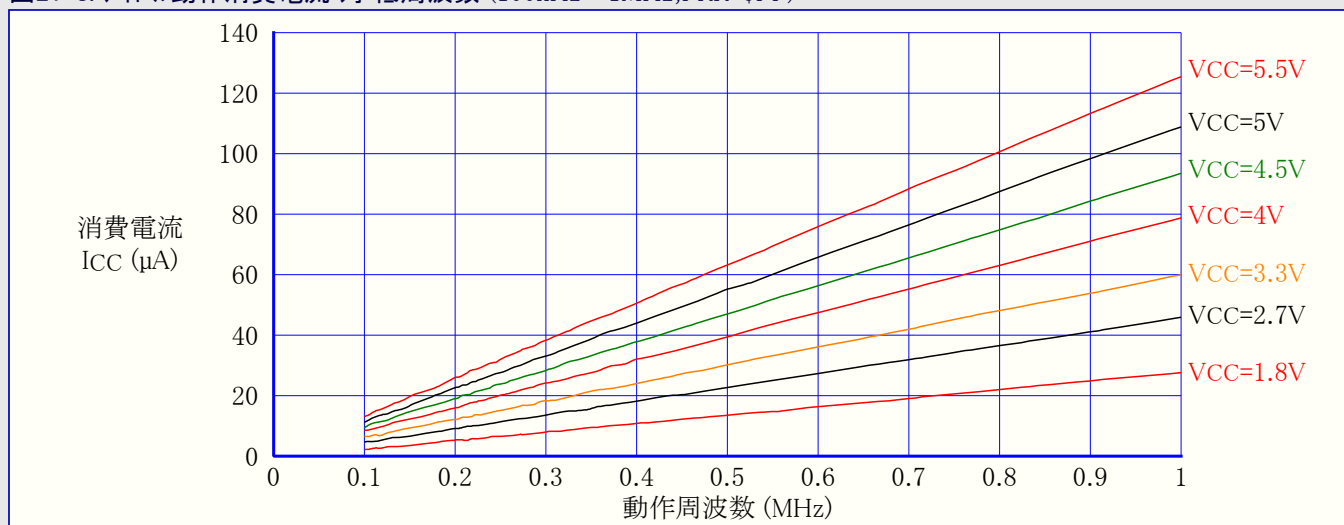


図21-9. アイドル動作消費電流 対 周波数 (1MHz~20MHz, PRR=\$FF)

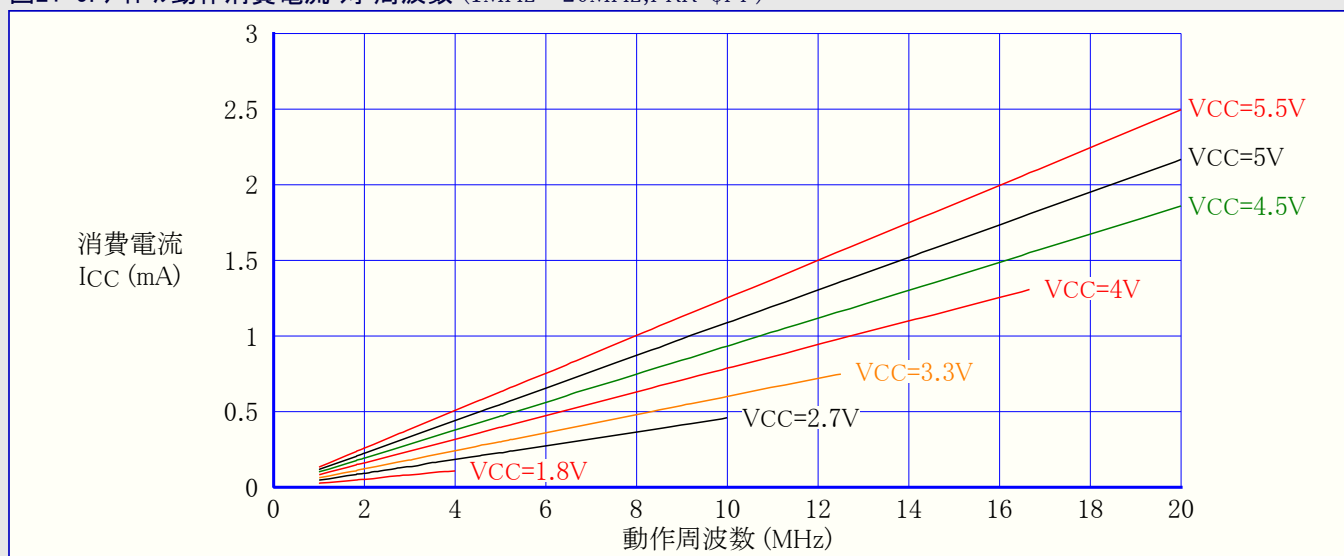


図21-10. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器, 8MHz)

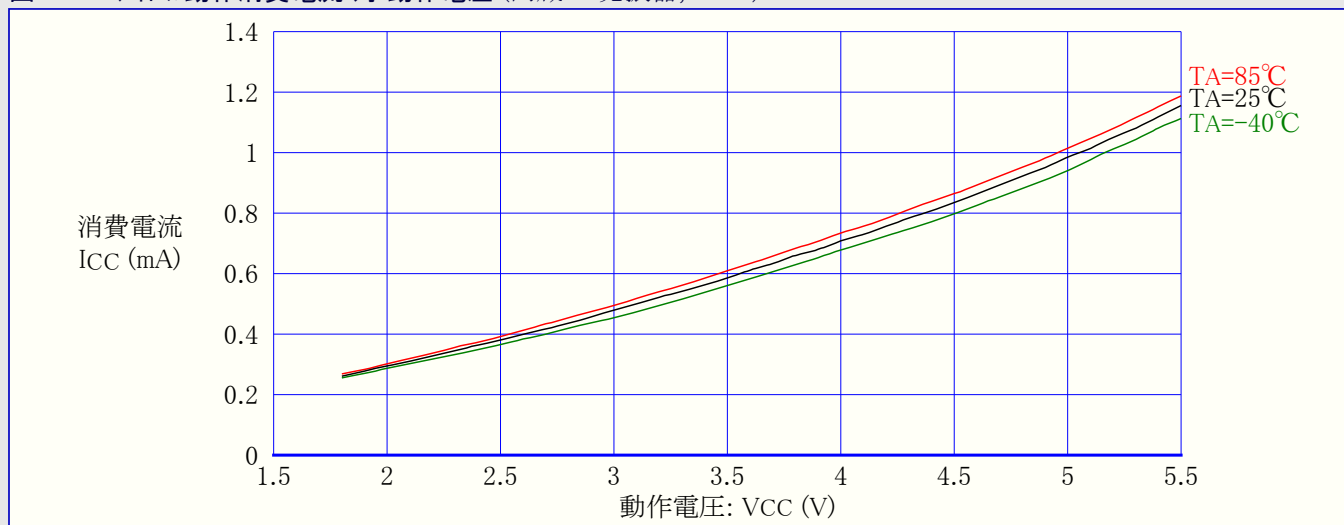


図21-11. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

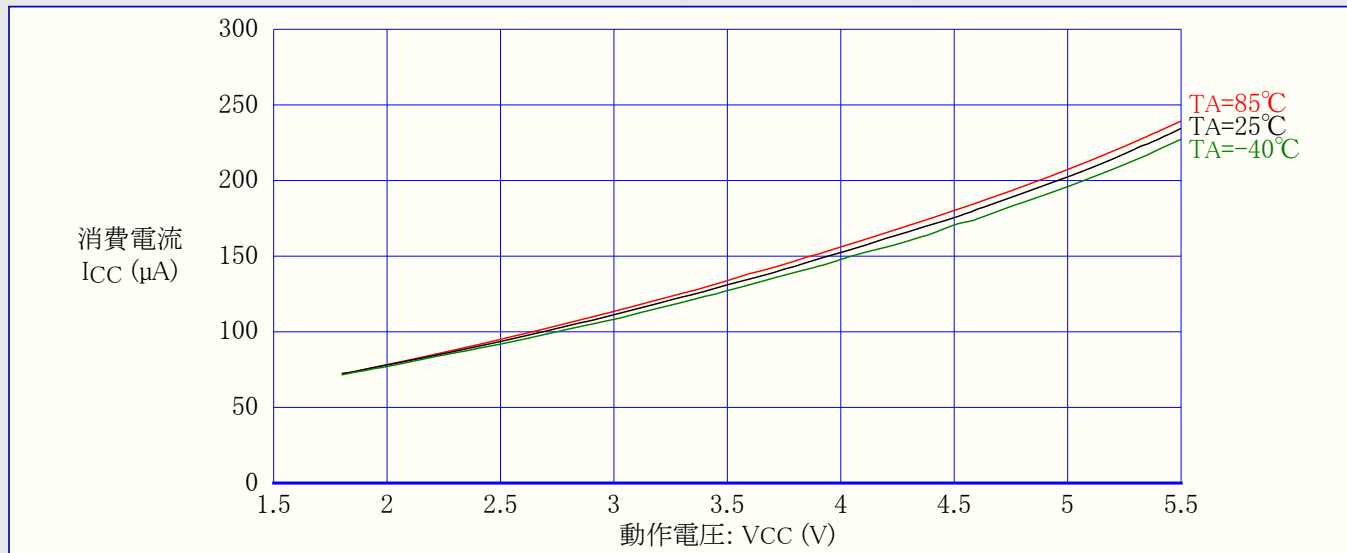
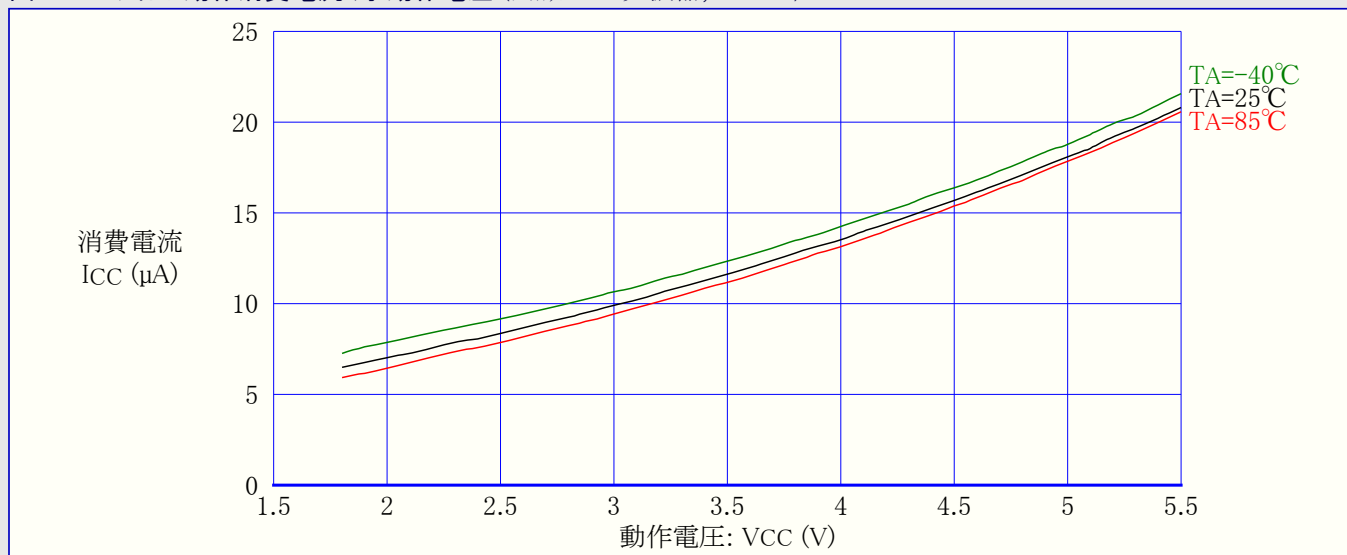


図21-12. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



21.4. パワーダウン動作消費電流

図21-13. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

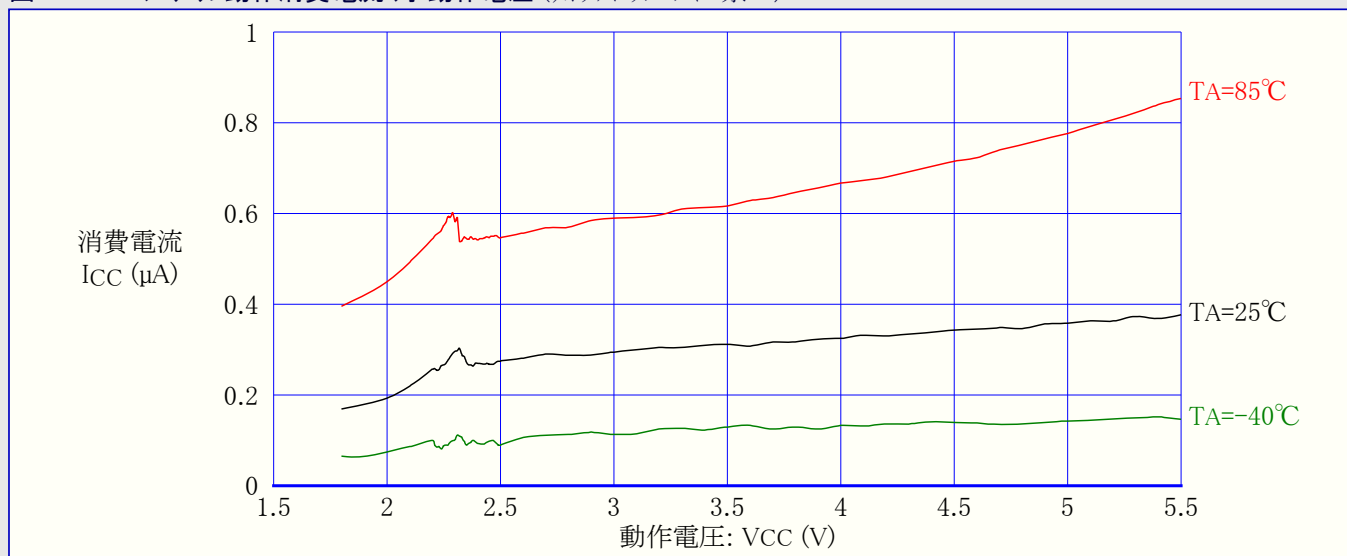
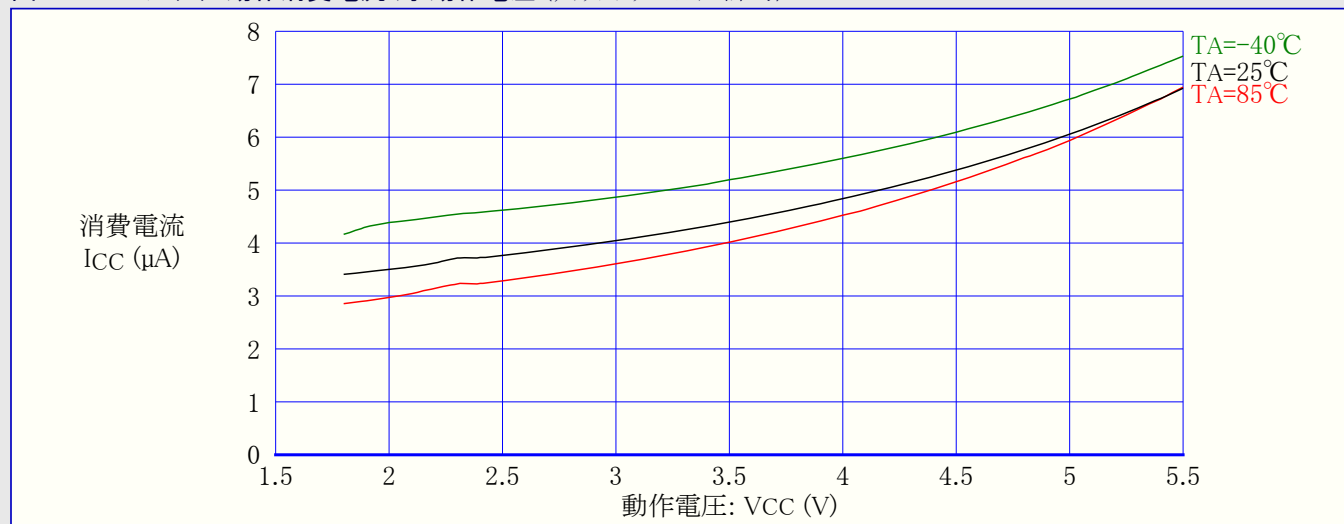


図21-14. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



21.5. リセット消費電流

図21-15. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

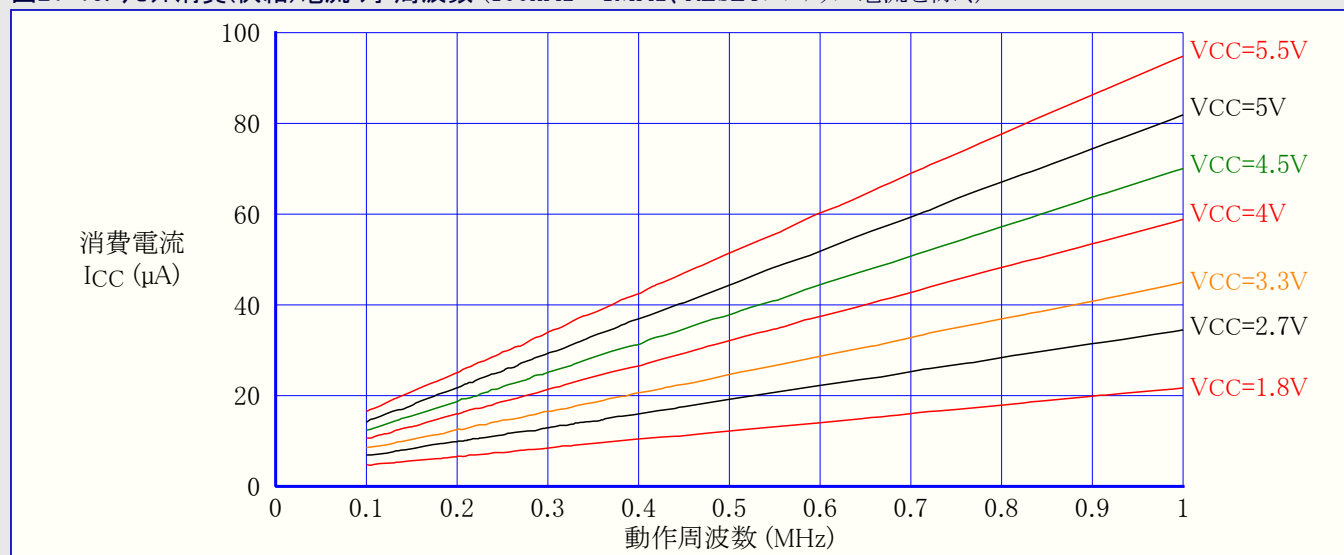
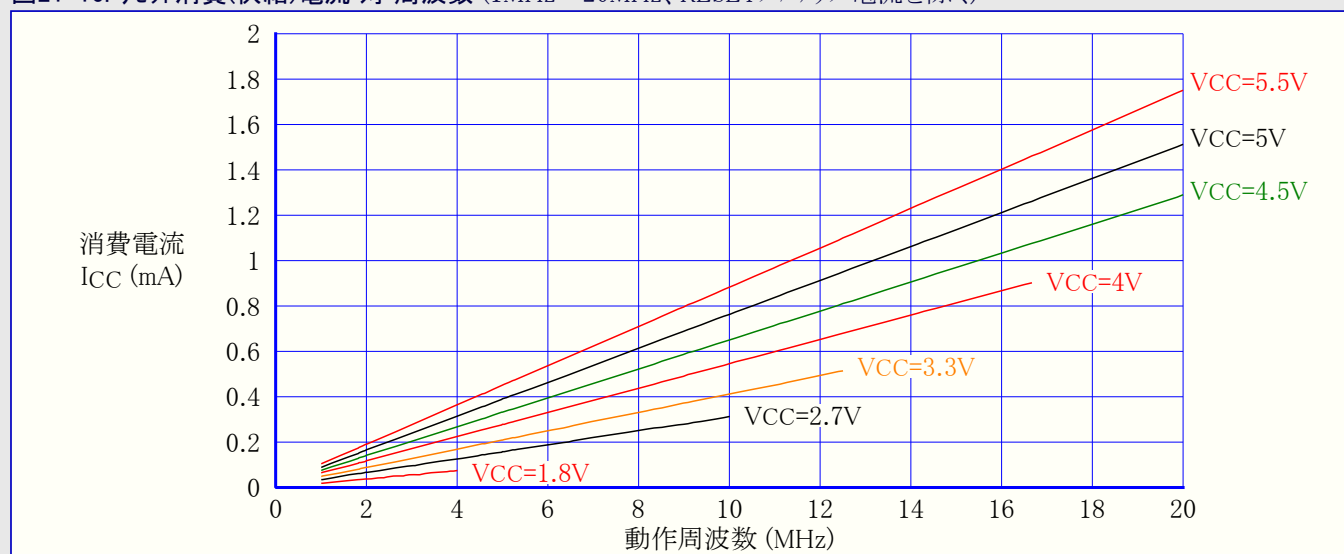


図21-16. リセット消費(供給)電流 対 周波数 (1MHz~20MHz、RESETプルアップ電流を除く)



21.6. 周辺機能部消費電流

図21-17. 低電圧検出器(BOD)消費電流 対 動作電圧

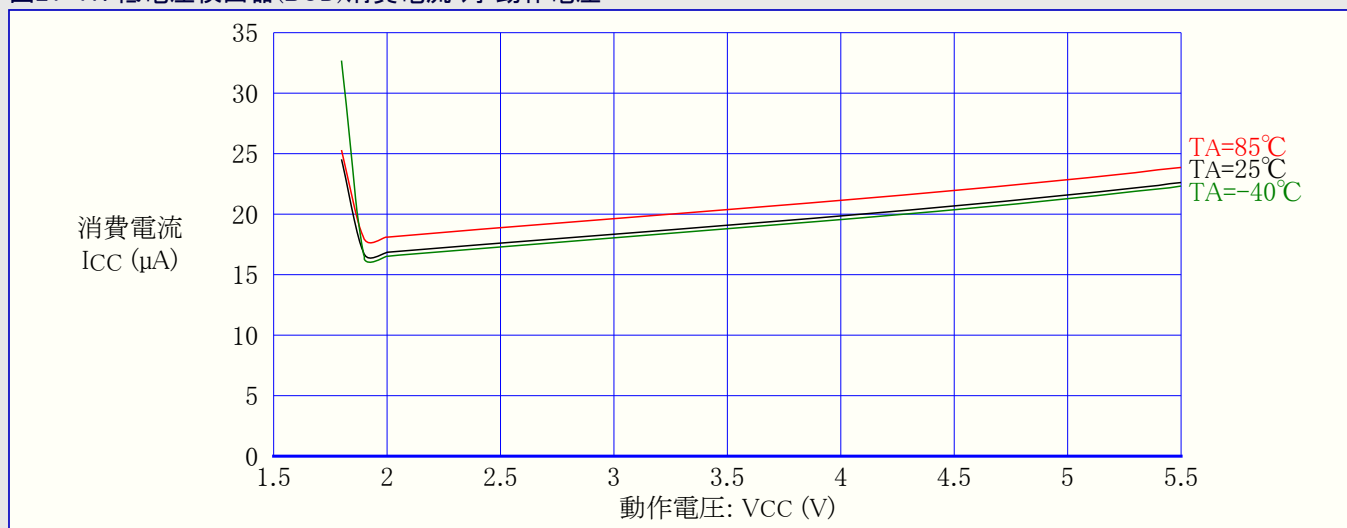
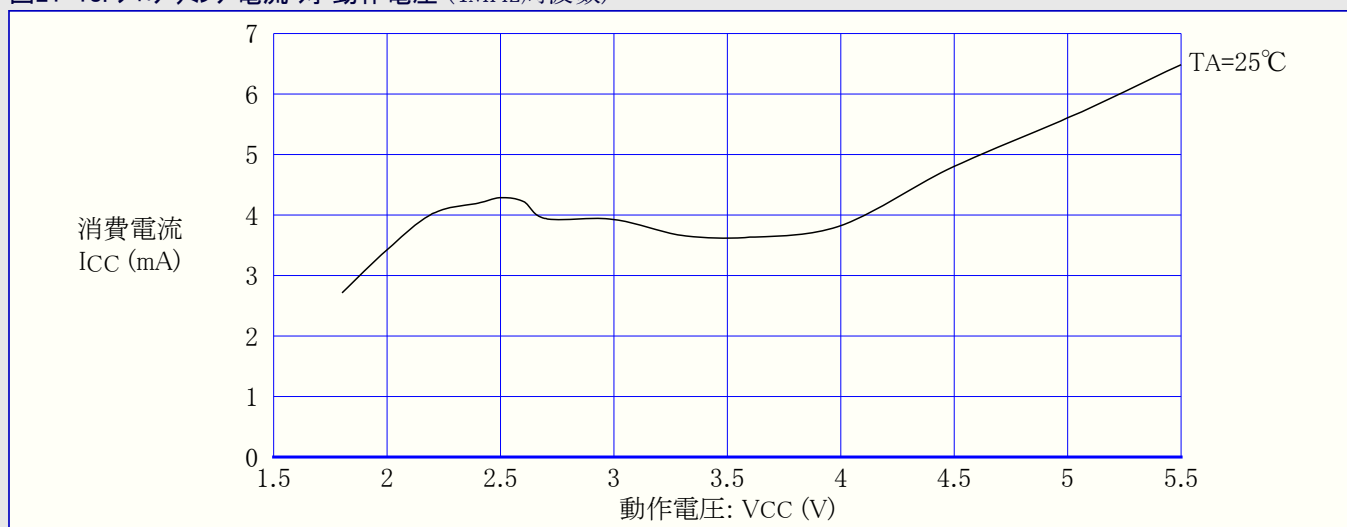


図21-18. プログラミング電流 対 動作電圧 (4MHz周波数)



21.7. フルアップ抵抗

図21-19. I/Oピンフルアップ抵抗電流 対 入力電圧 ($V_{CC}=1.8V$)

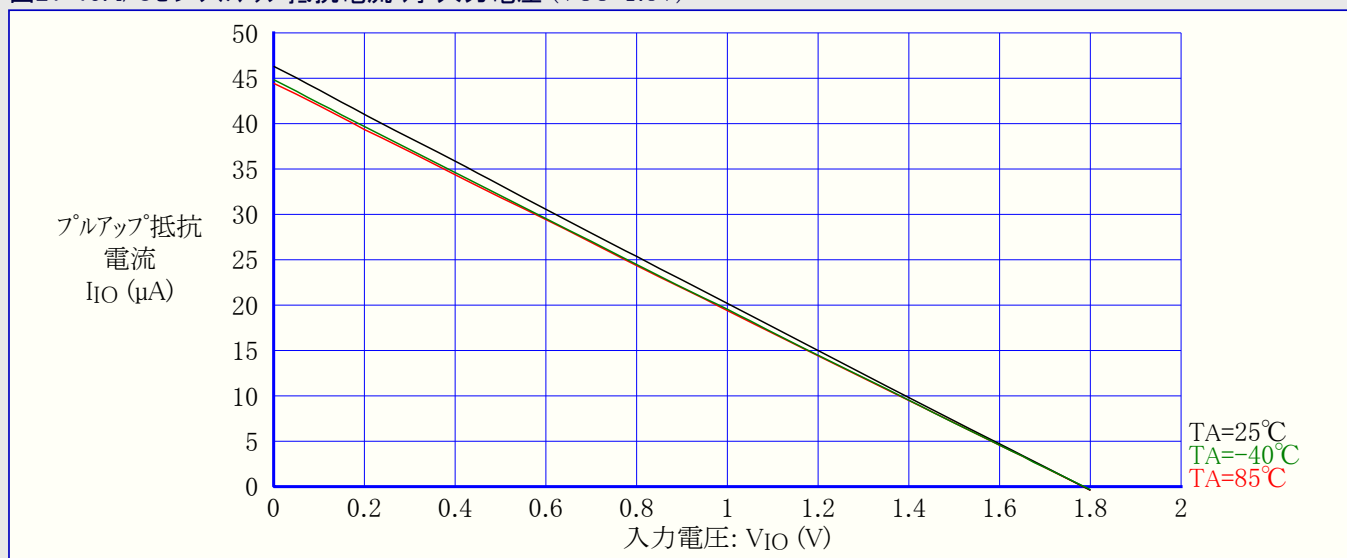


図21-20. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

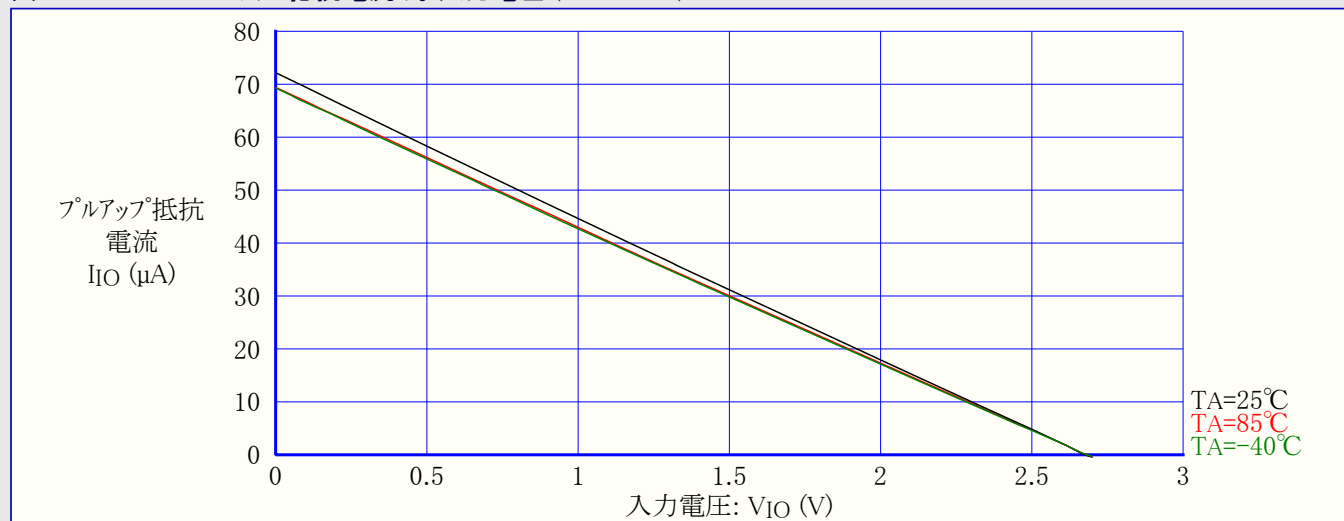


図21-21. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

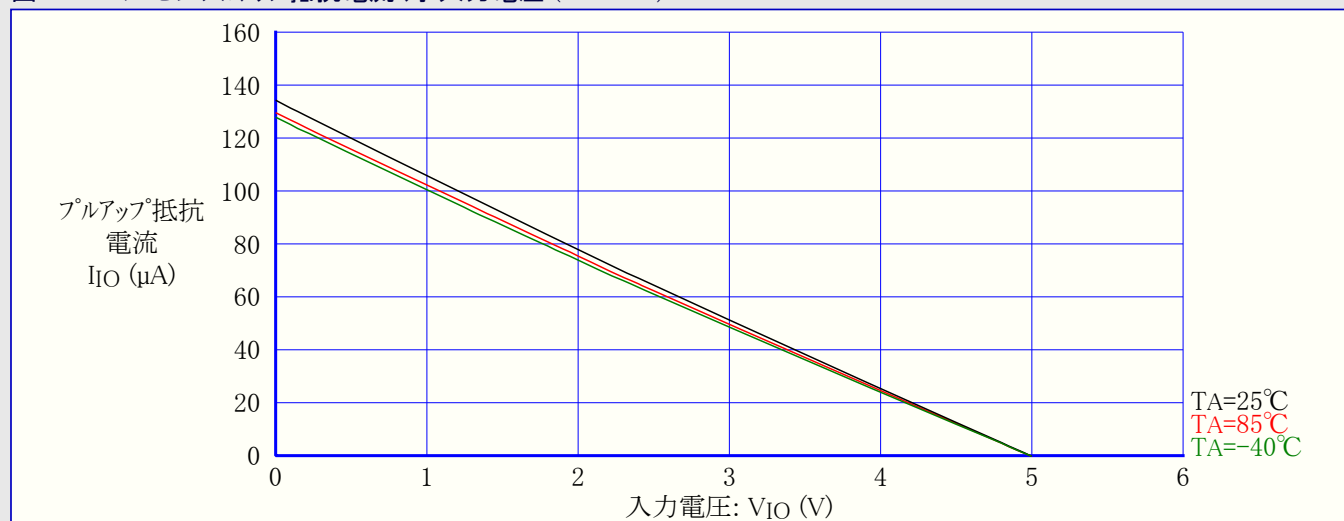


図21-22. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

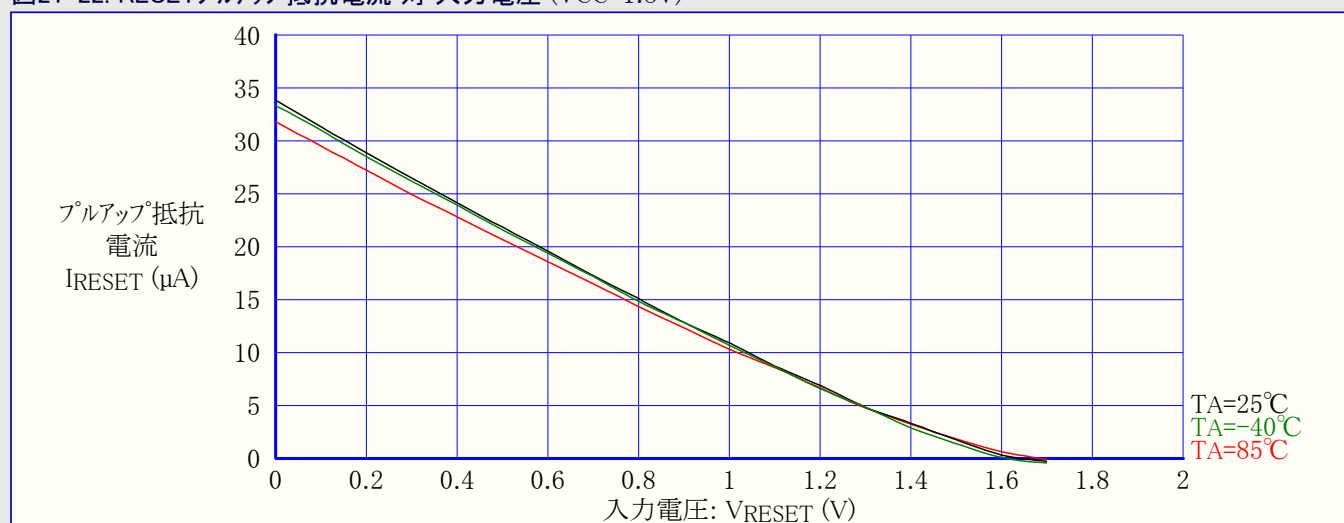


図21-23. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

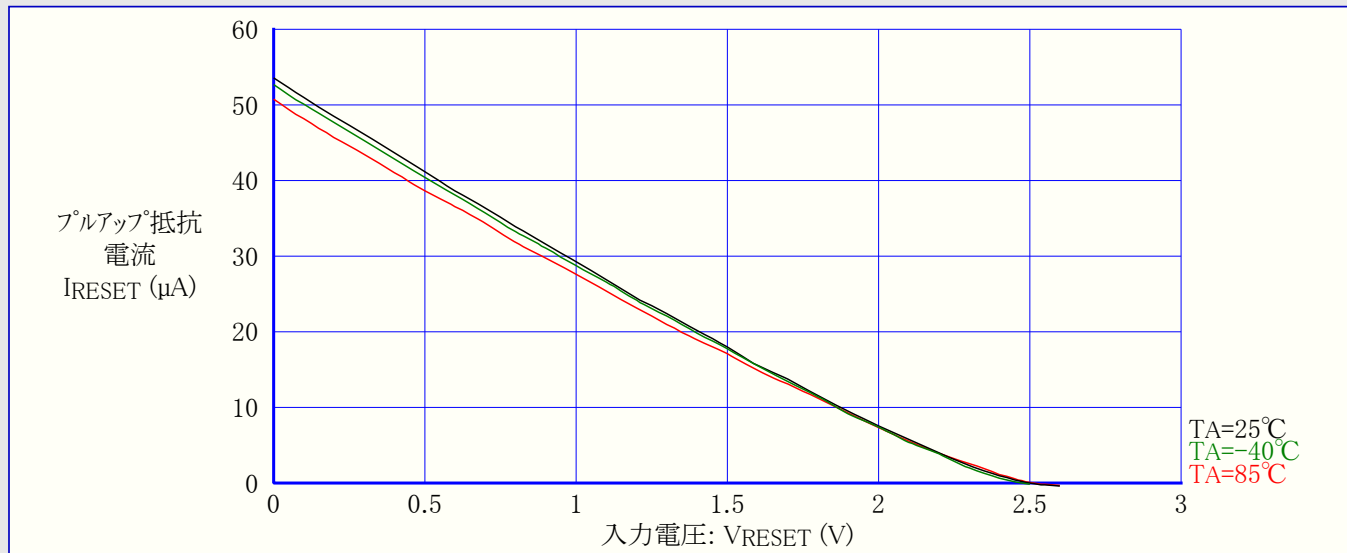
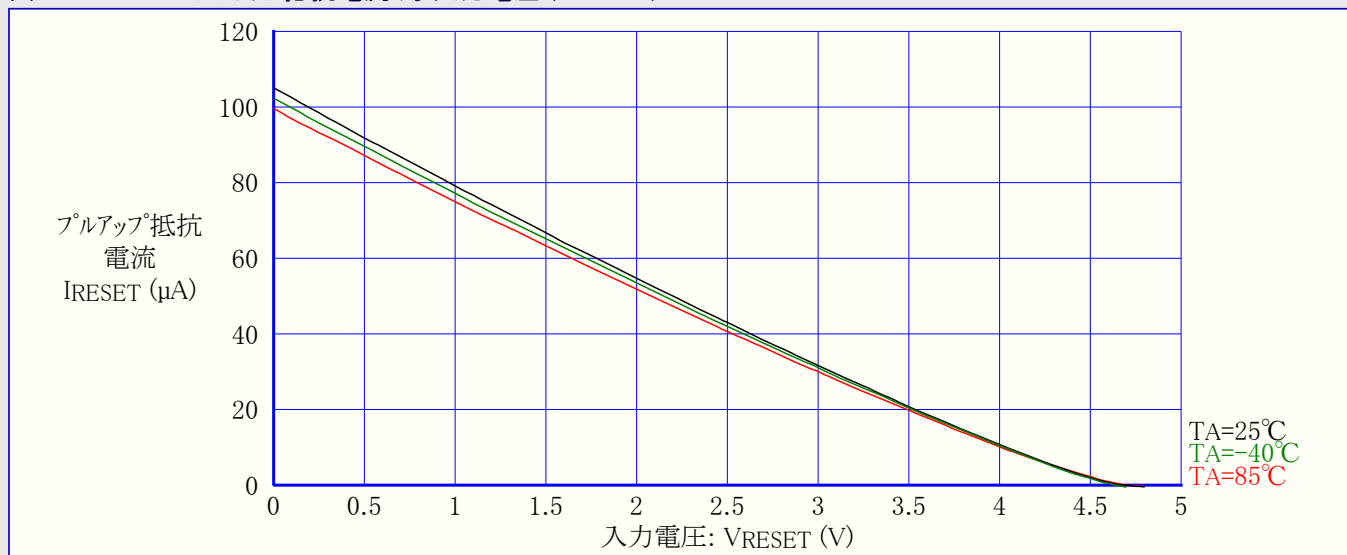


図21-24. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



21.8. 出力駆動部能力

図21-25. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

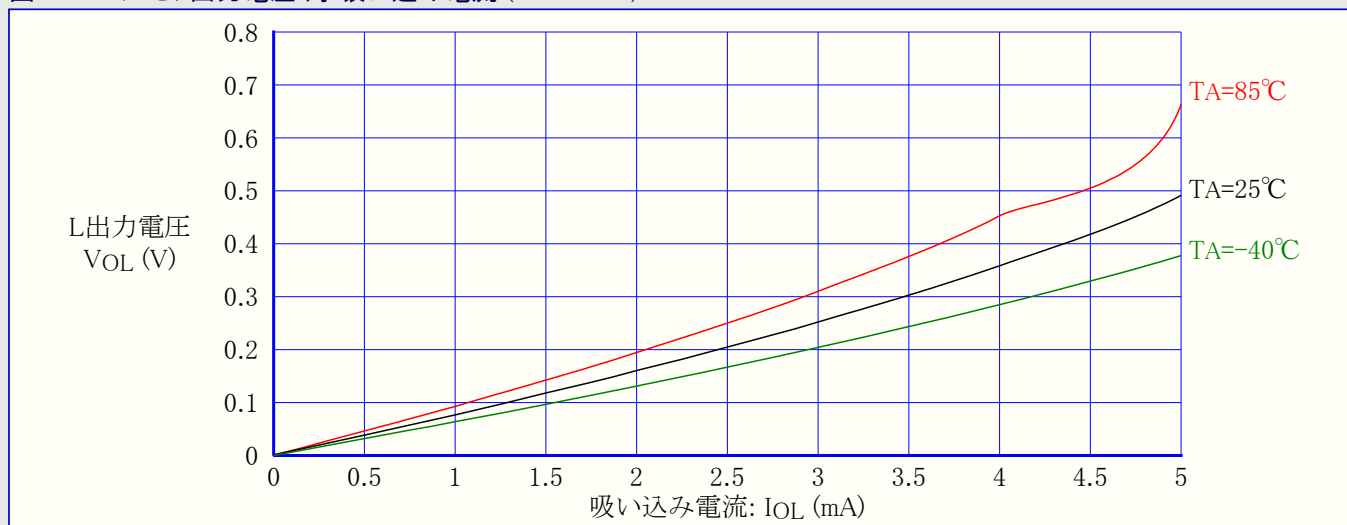


図21-26. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

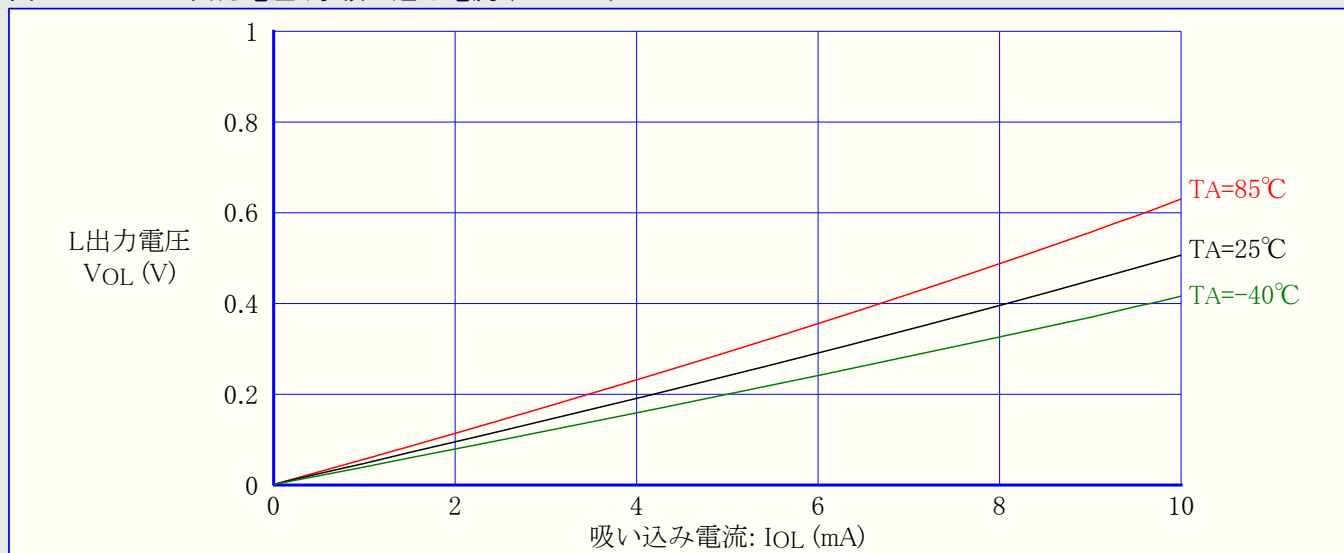


図21-27. I/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

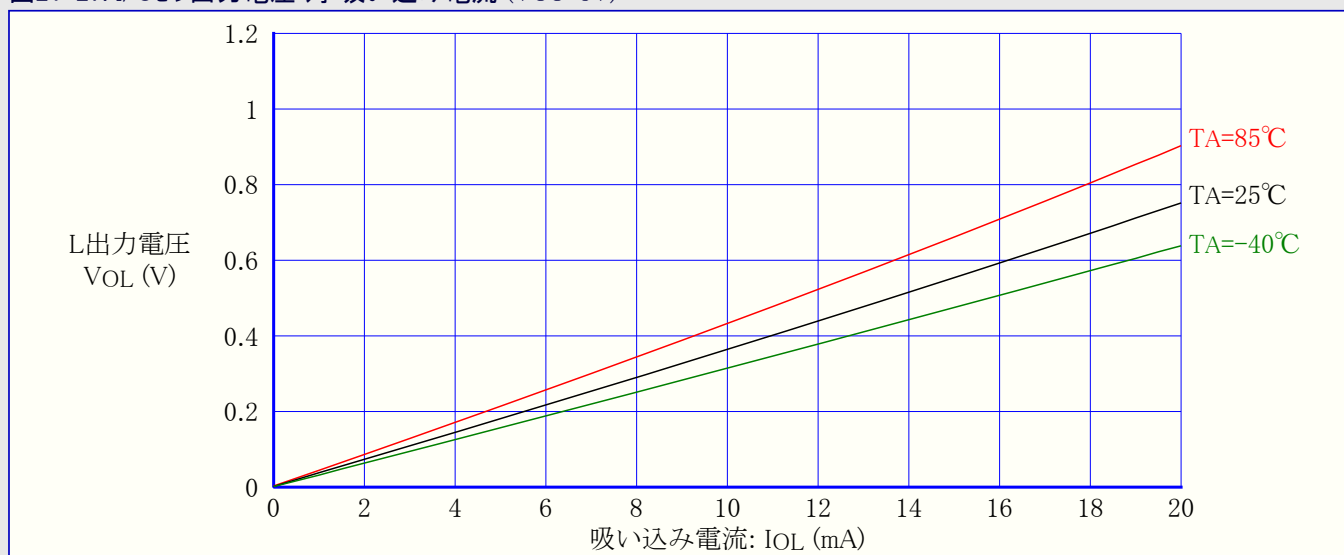


図21-28. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

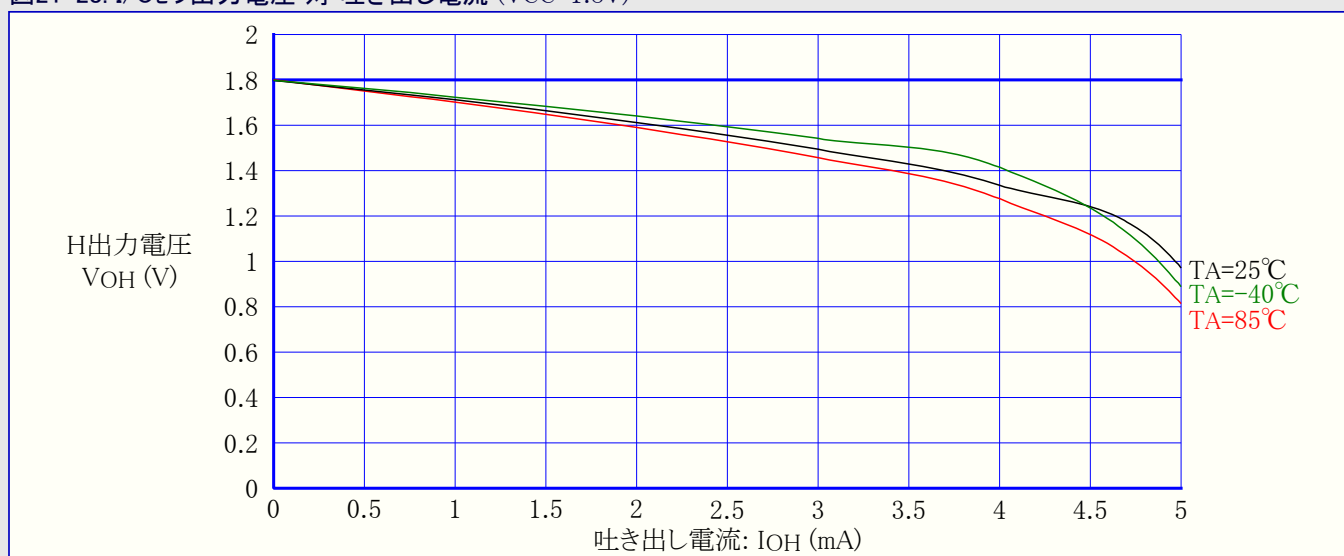


図21-29. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

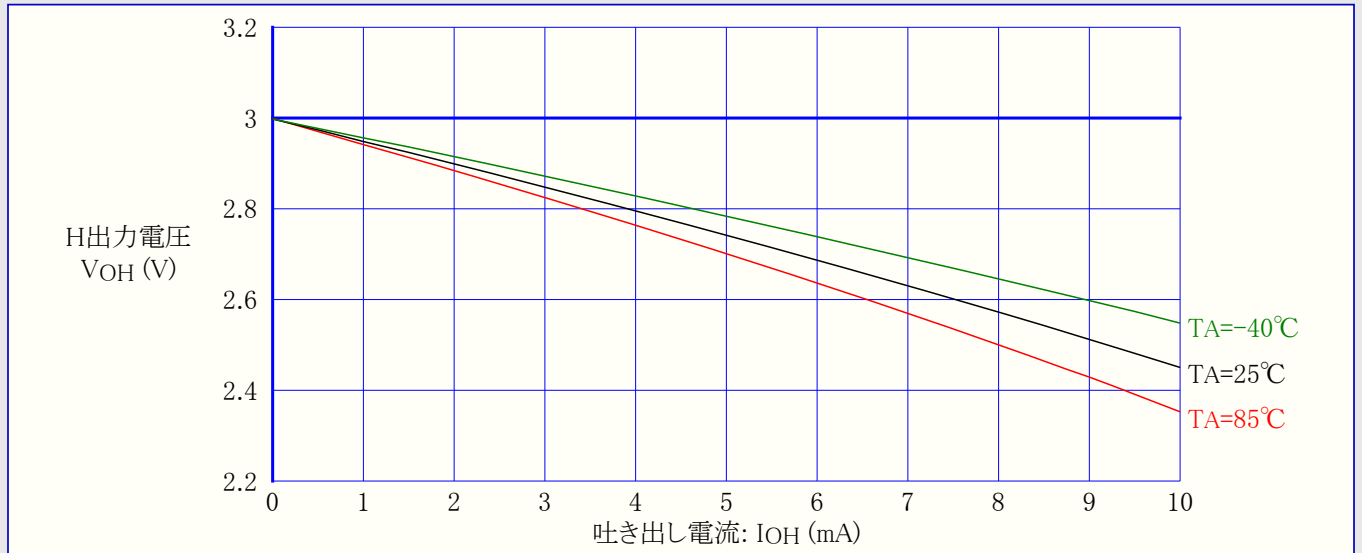


図21-30. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

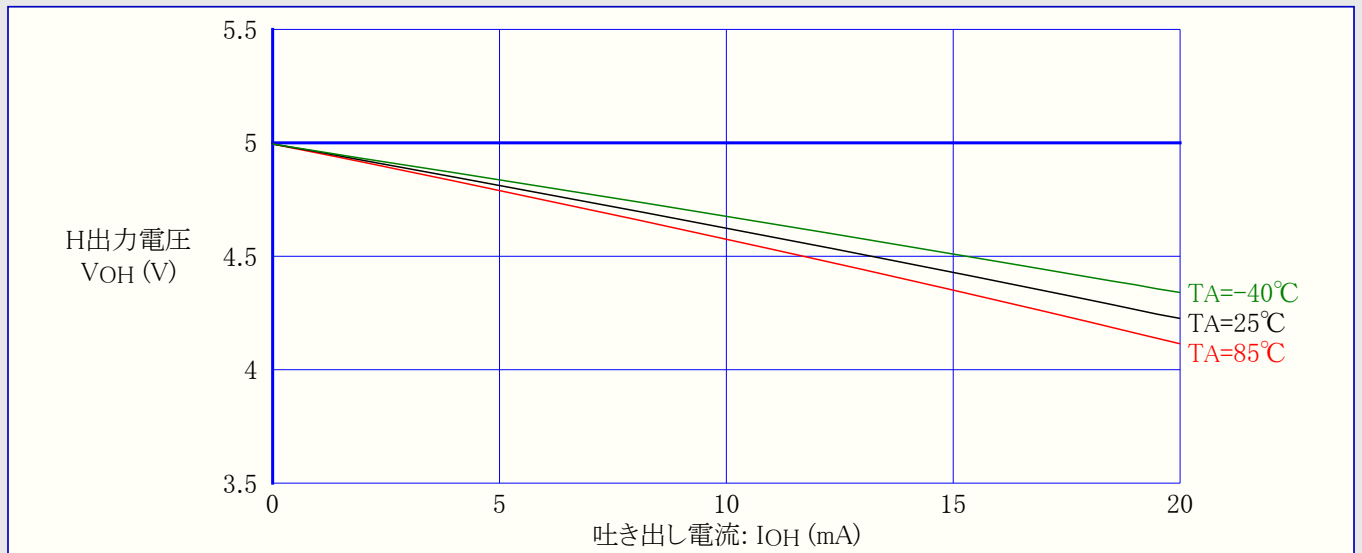


図21-31. I/OとしてのRESETピン出力電圧 対 吸い込み電流 ($T_A=25^\circ C$)

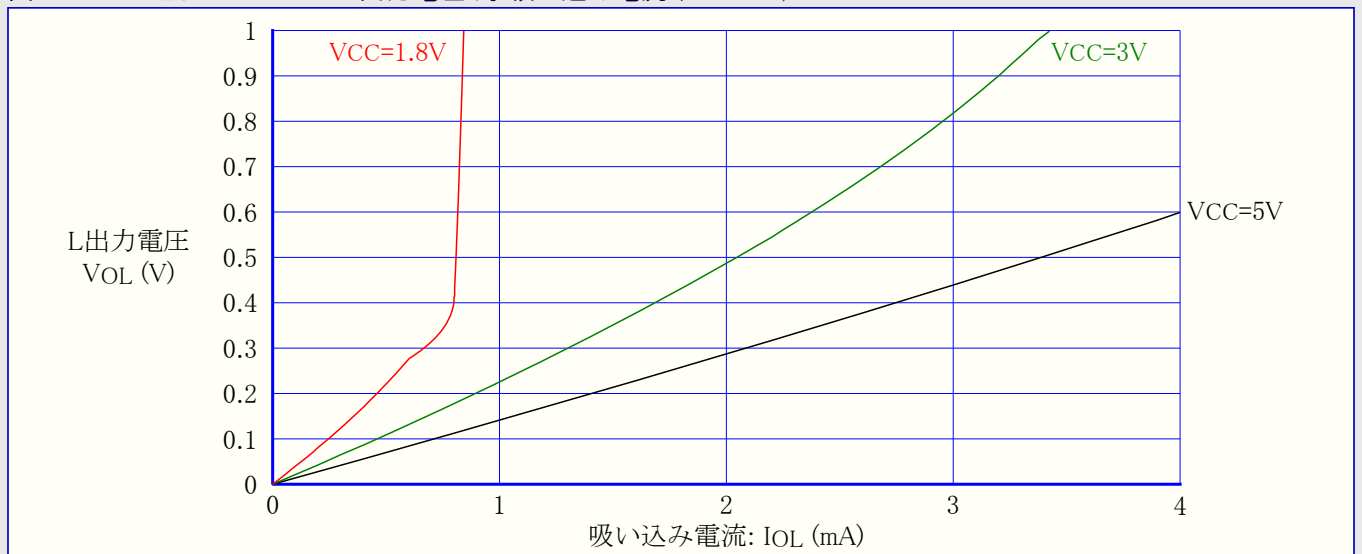
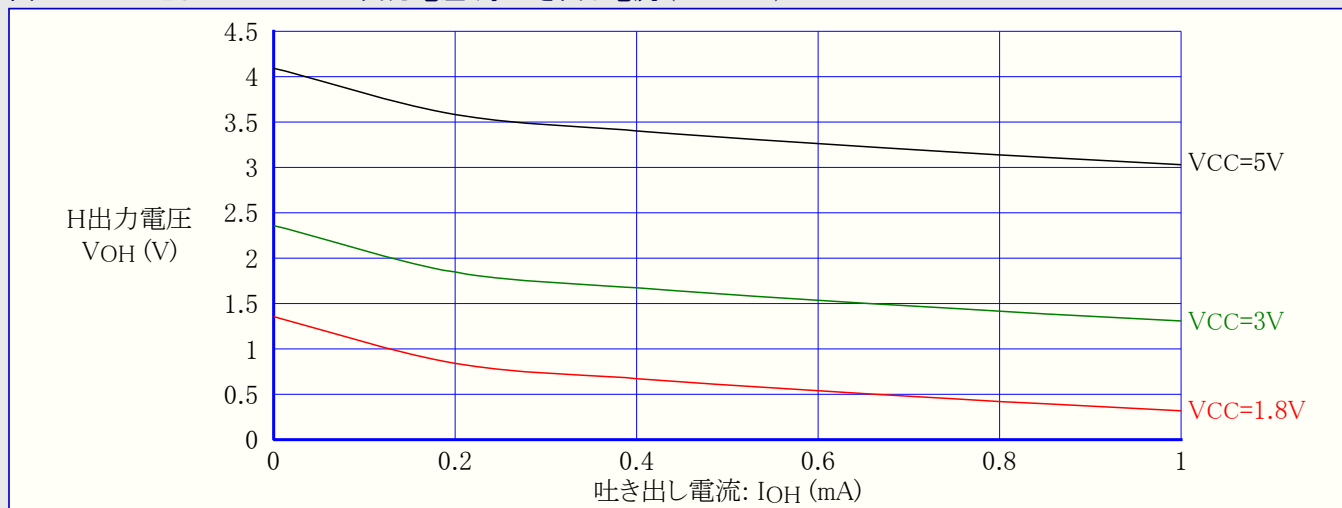


図21-32. I/OとしてのRESETピン出力電圧 対 吐き出し電流 (TA=25°C)



21.9. 入力閾値とヒステリシス (対I/Oポート)

図21-33. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH, 1読み値)

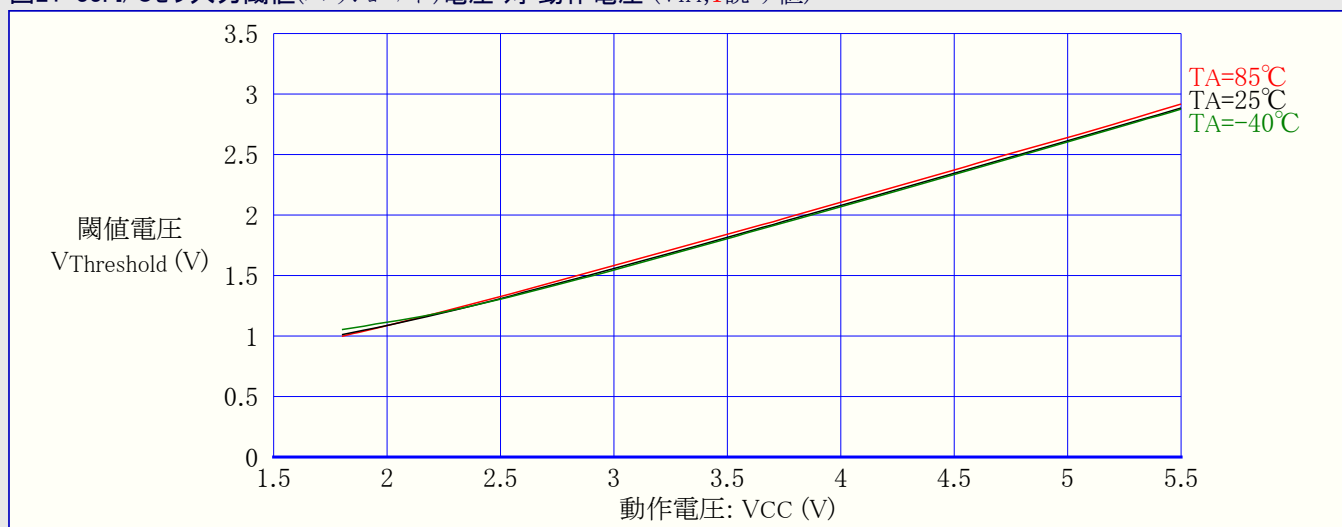


図21-34. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL, 0読み値)

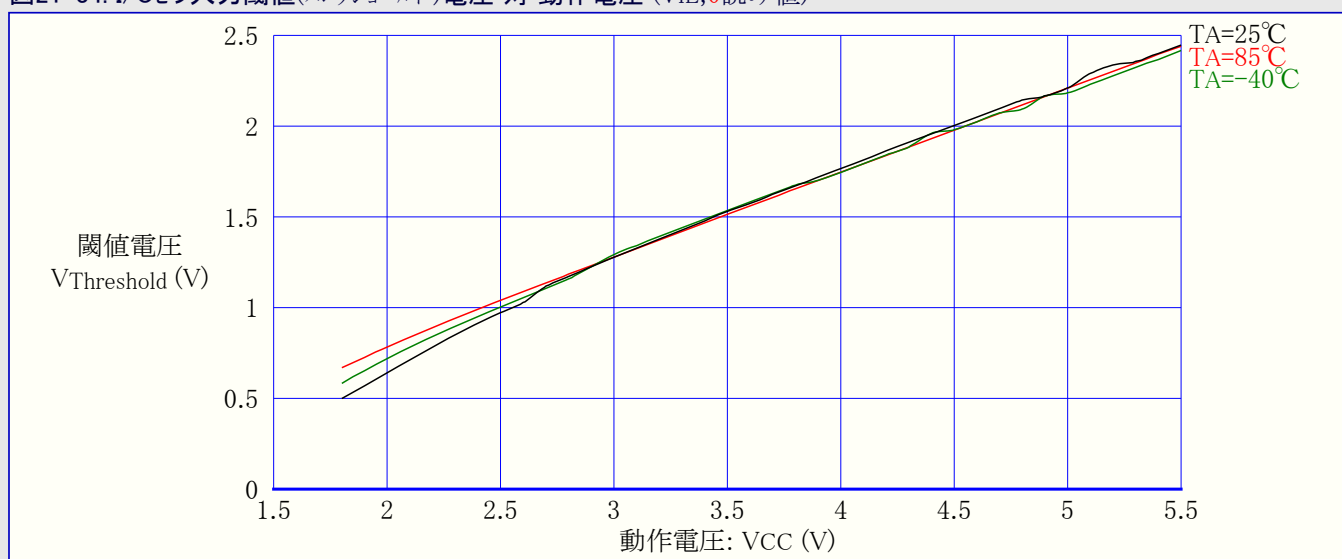


図21-35. I/Oピン入力ヒステリシス電圧 対 動作電圧

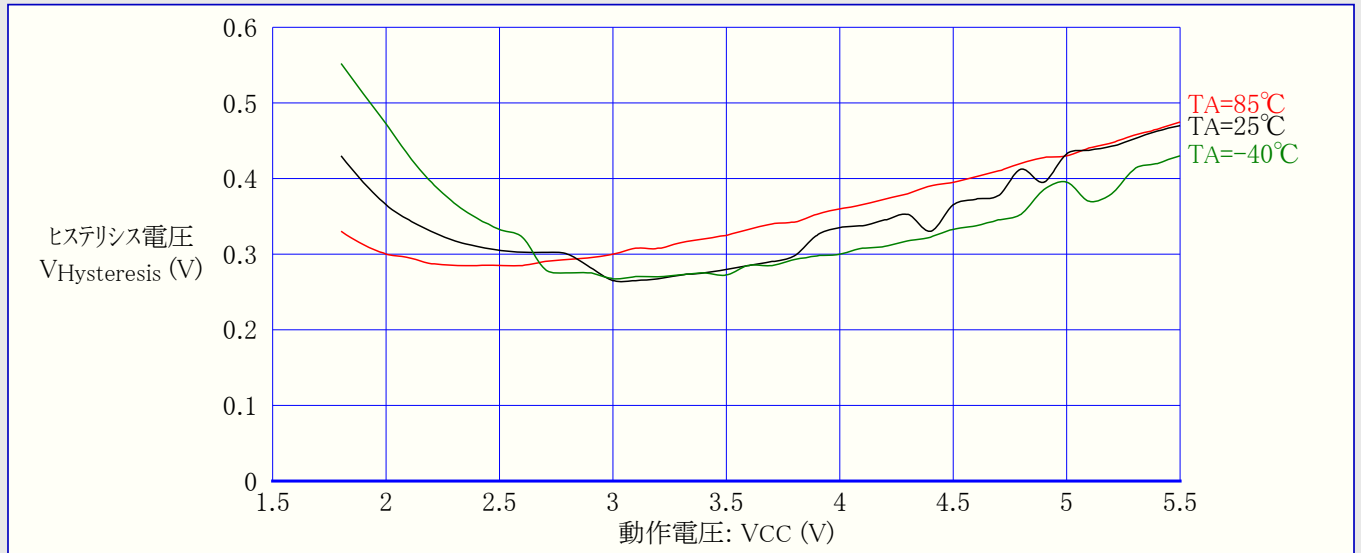


図21-36. /OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

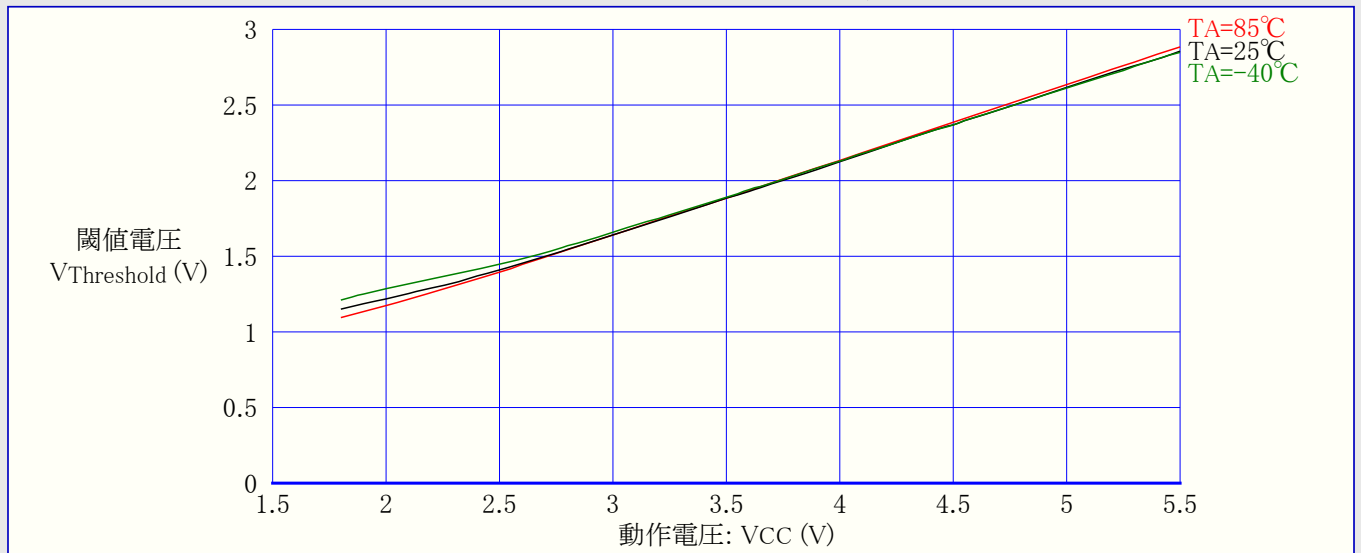


図21-37. I/OとしてのRESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

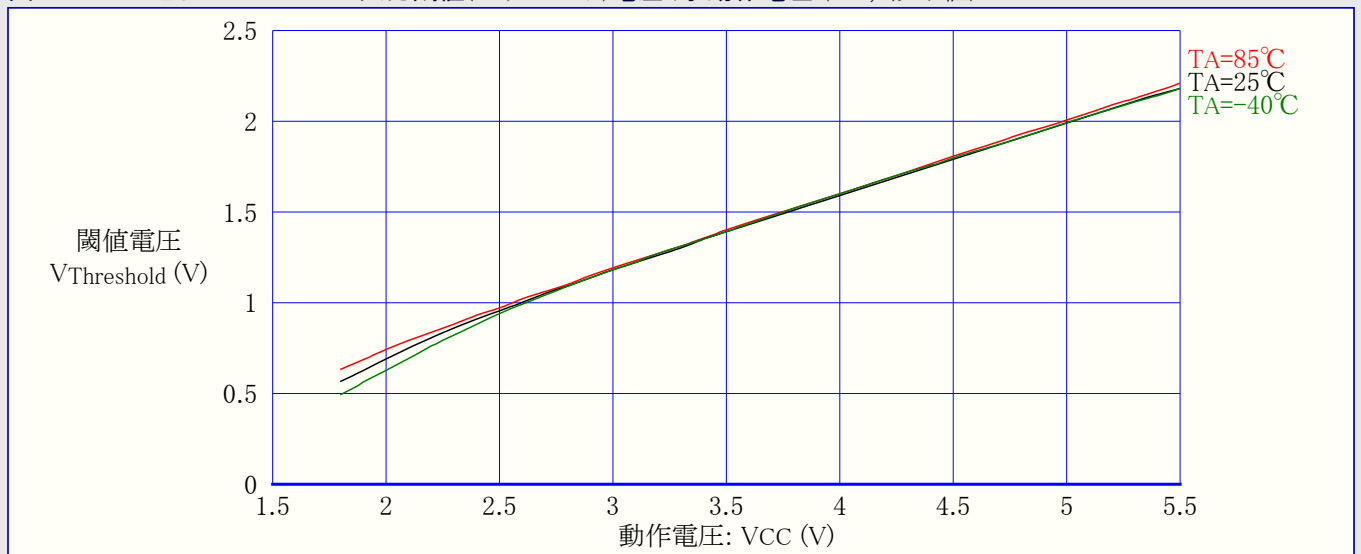
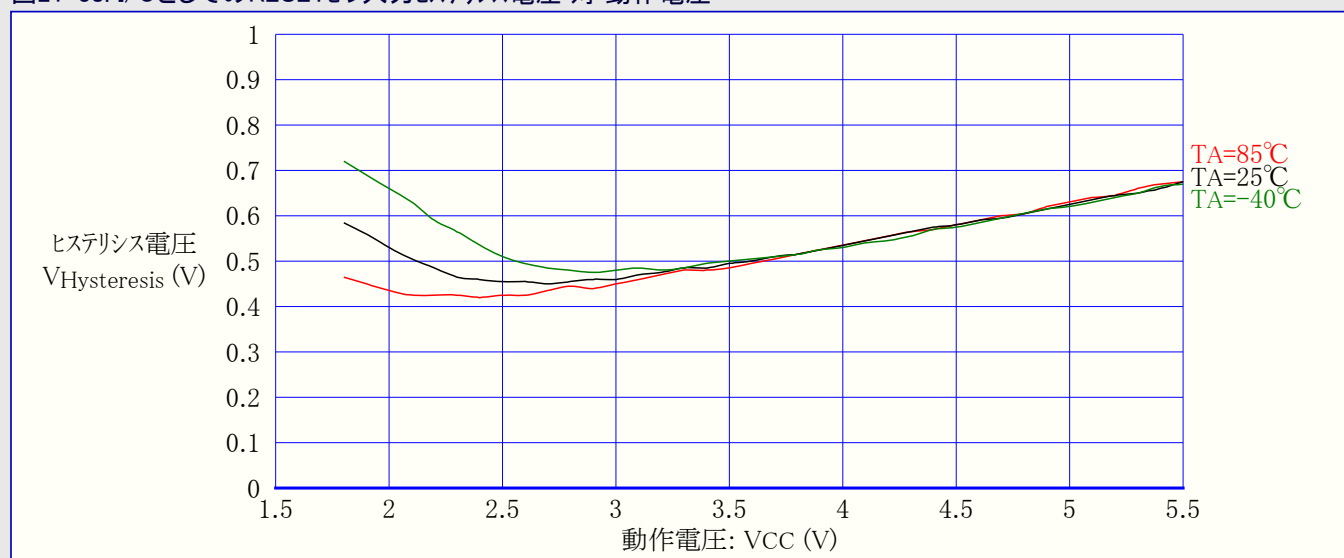


図21-38. I/OとしてのRESETピン入力ヒステリシス電圧 対 動作電圧



21.10. 低電圧検出器(BOD)、バンドギャップ、リセット

図21-39. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧4.3V)

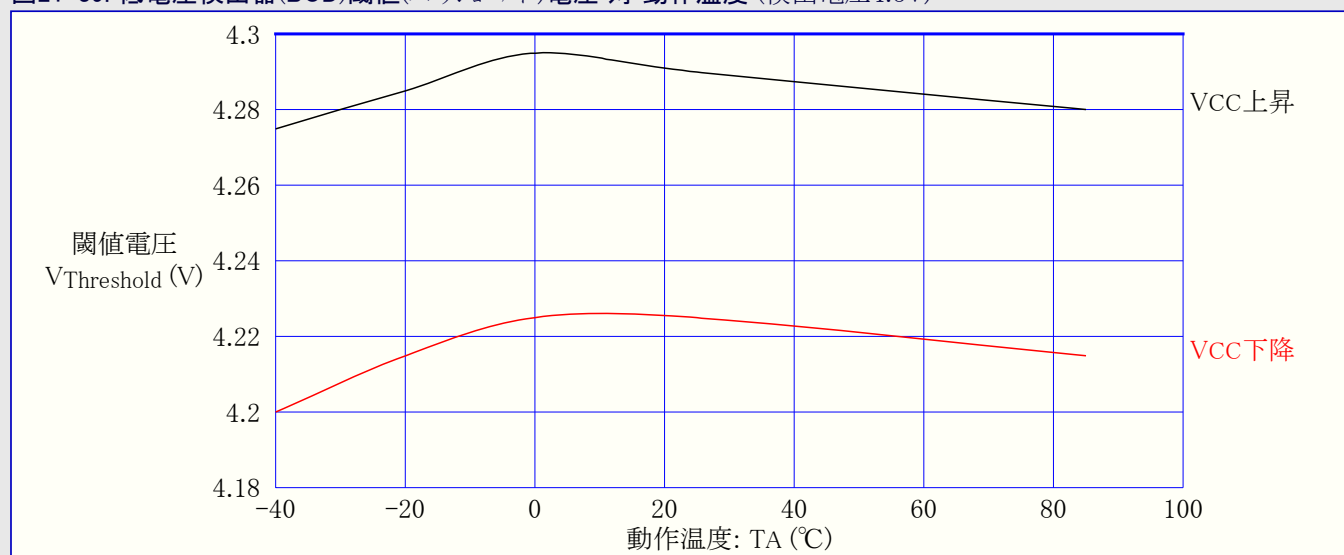


図21-40. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧2.7V)

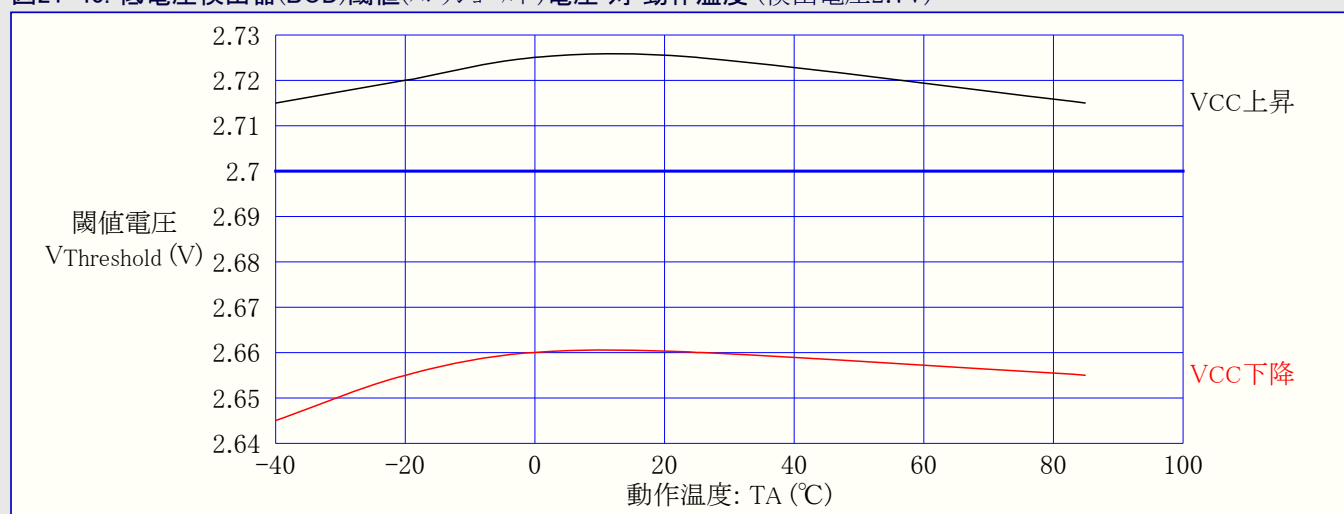


図21-41. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)

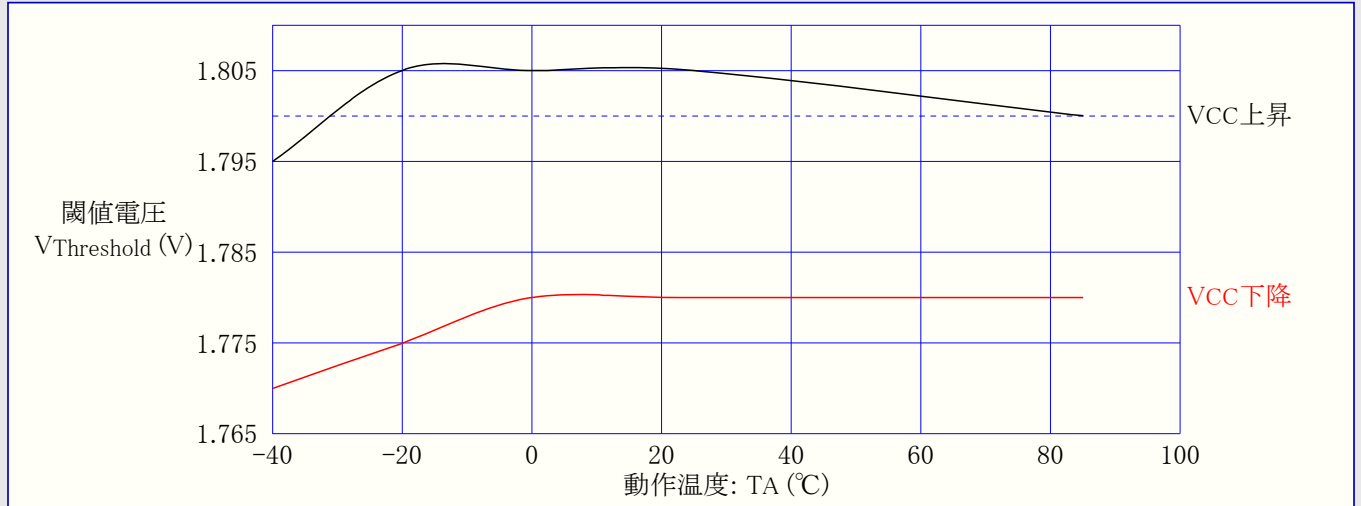


図21-42. 内部バンドギャップ電圧 対 動作電圧 (VCC=5Vでの校正後)

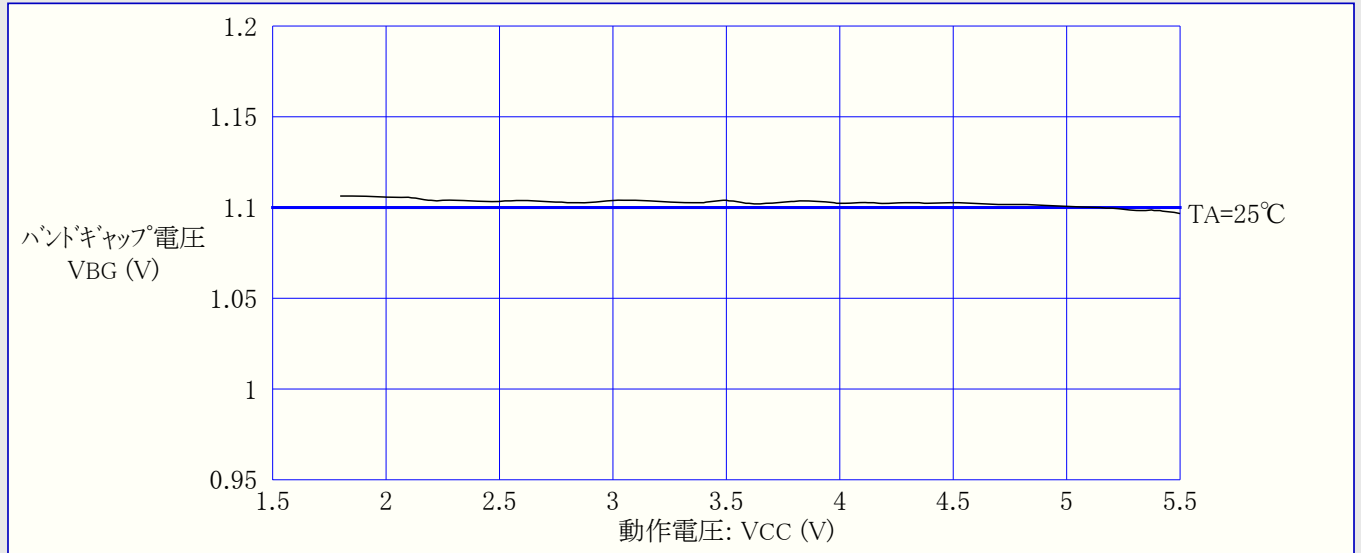


図21-43. 内部バンドギャップ電圧 対 動作温度 (TA=25°Cでの校正後)

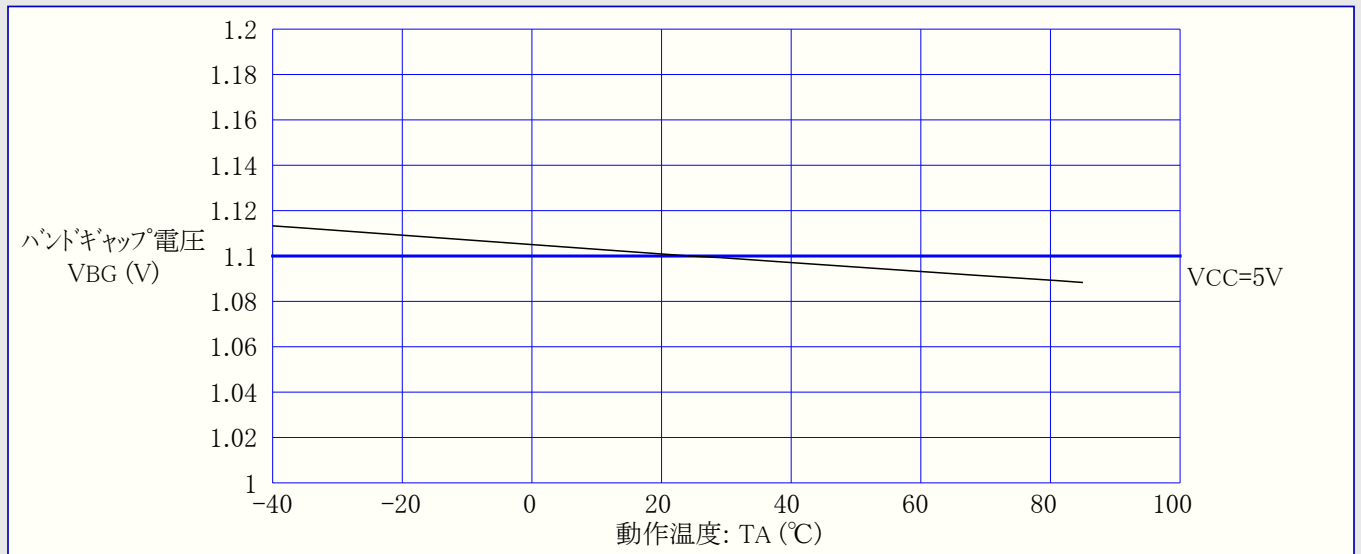


図21-44. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

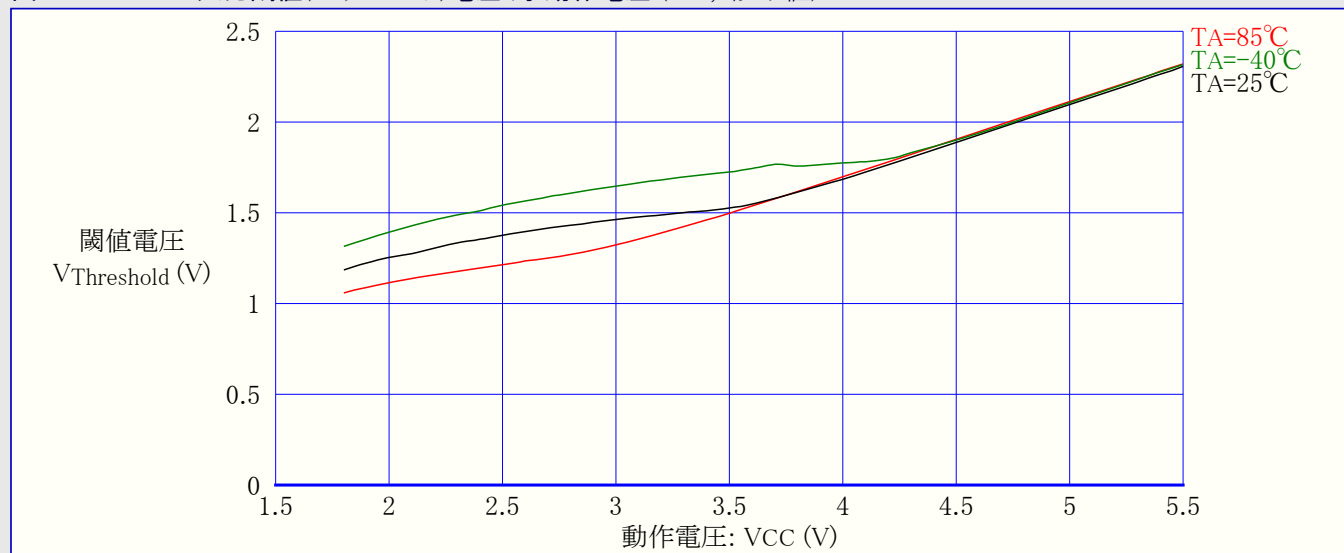


図21-45. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

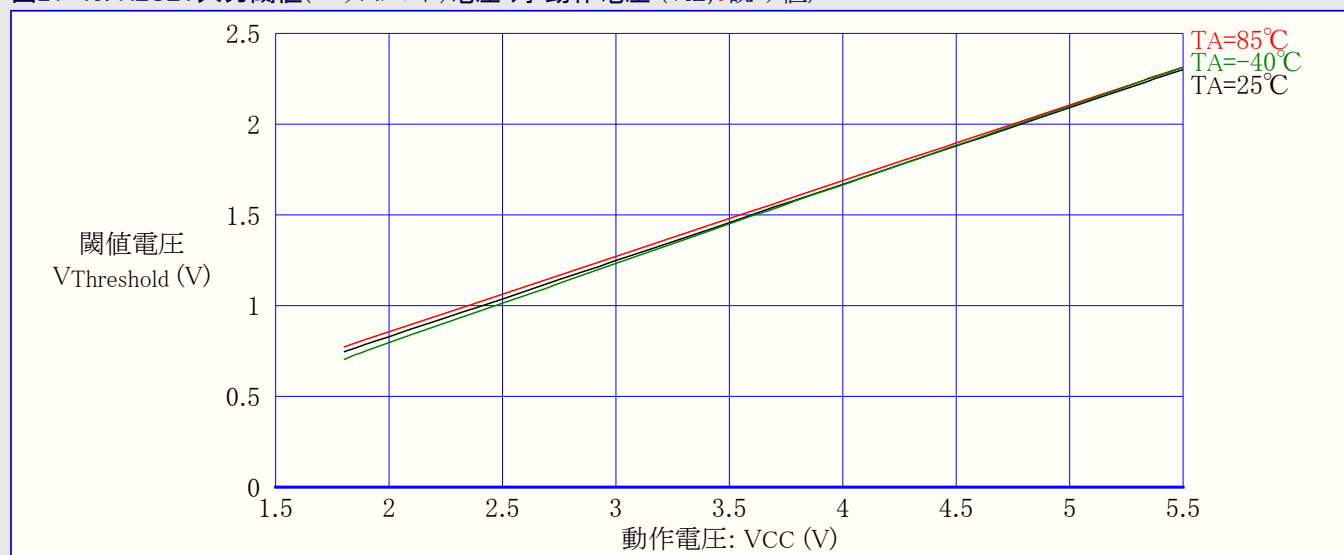


図21-46. RESET入力ヒステリシス電圧 対 動作電圧

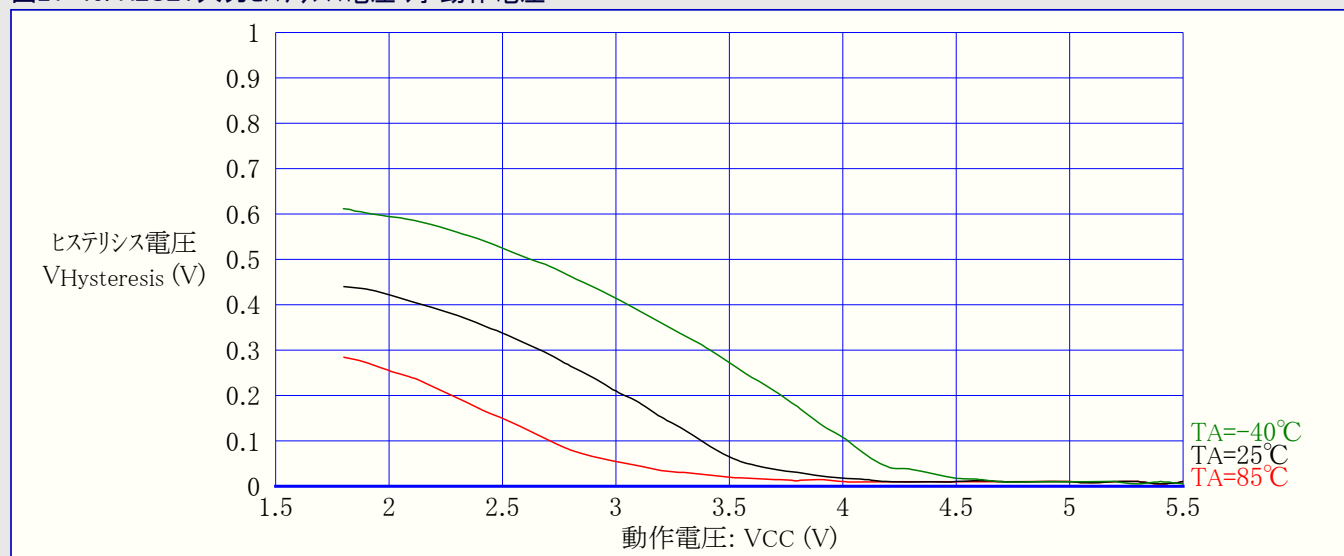
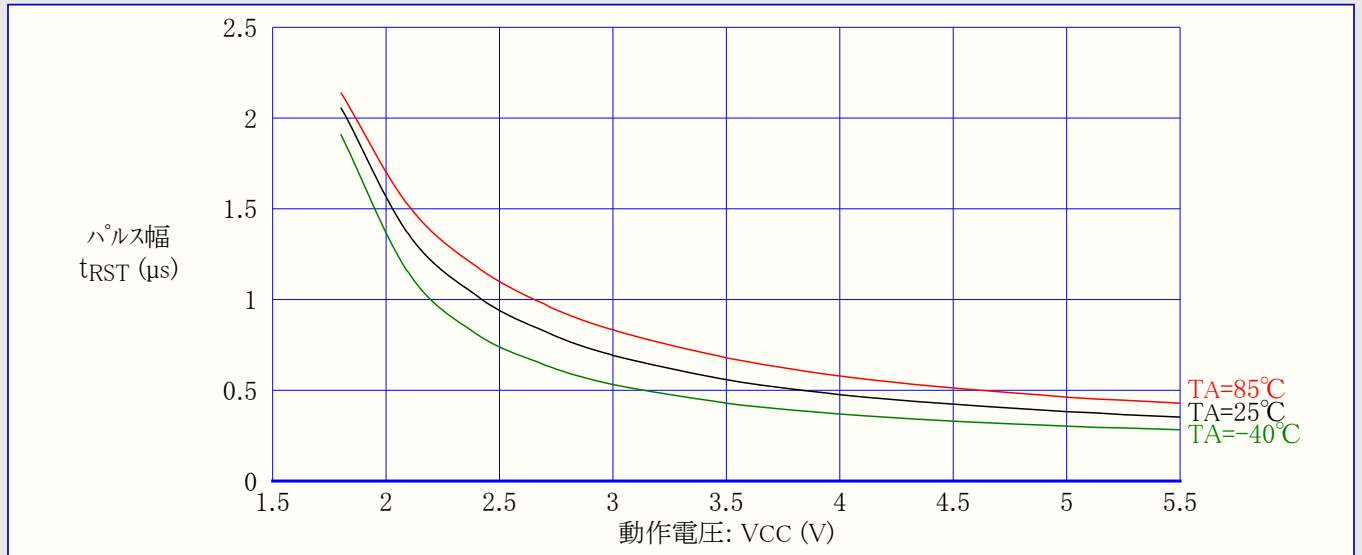


図21-47. 最小リセットパルス幅 対 動作電圧



21.11. 内部発振器

図21-48. ウォッチドッグ発振器周波数 対 動作電圧

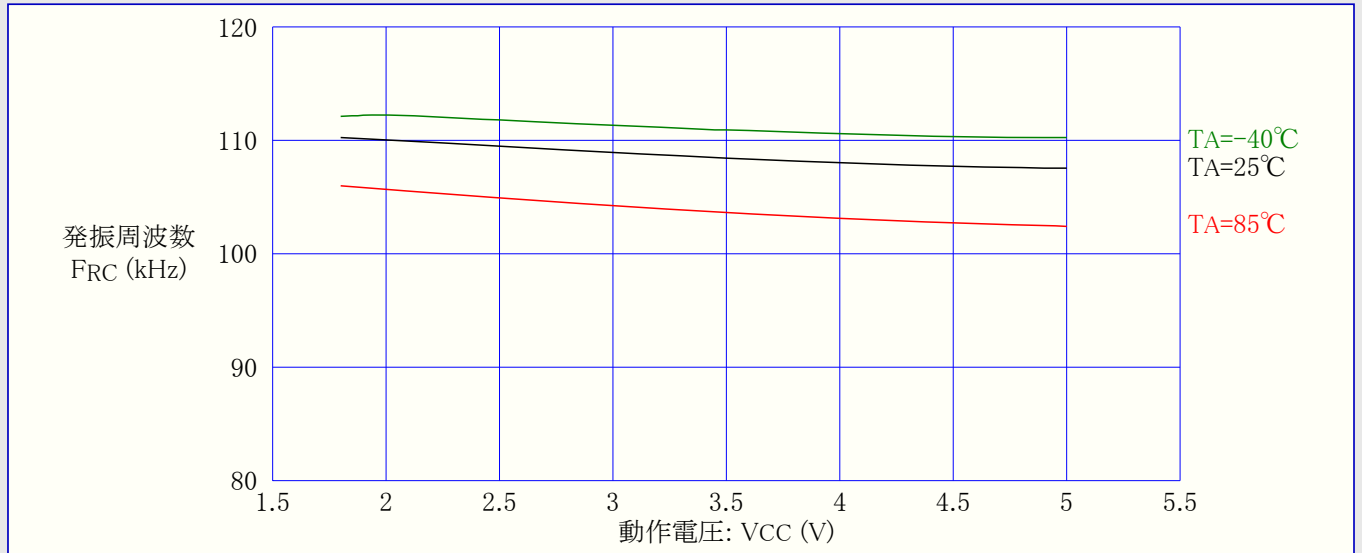


図21-49. ウォッチドッグ発振器周波数 対 動作温度

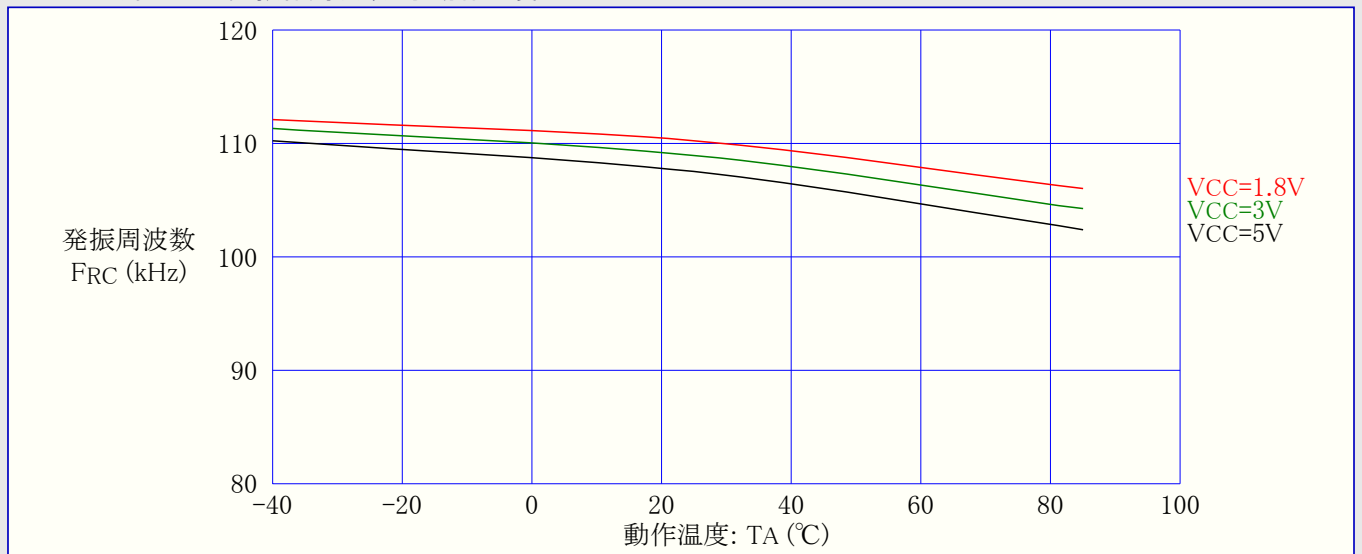


図21-50. 校正付き8MHz内蔵RC発振器周波数 対 動作電圧

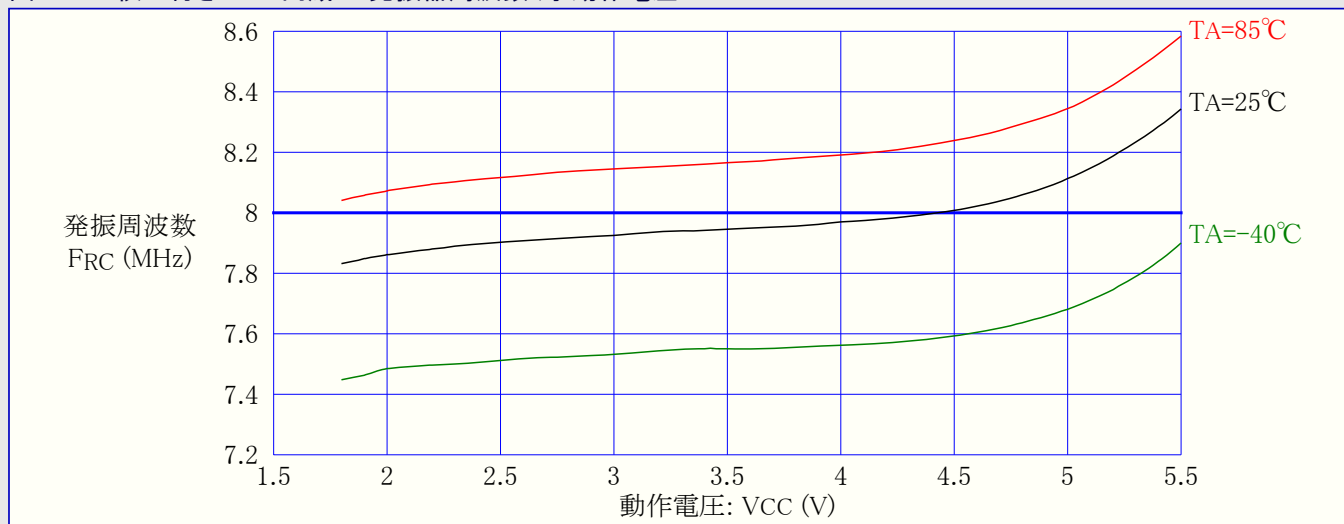


図21-51. 校正付き8MHz内蔵RC発振器周波数 対 動作温度

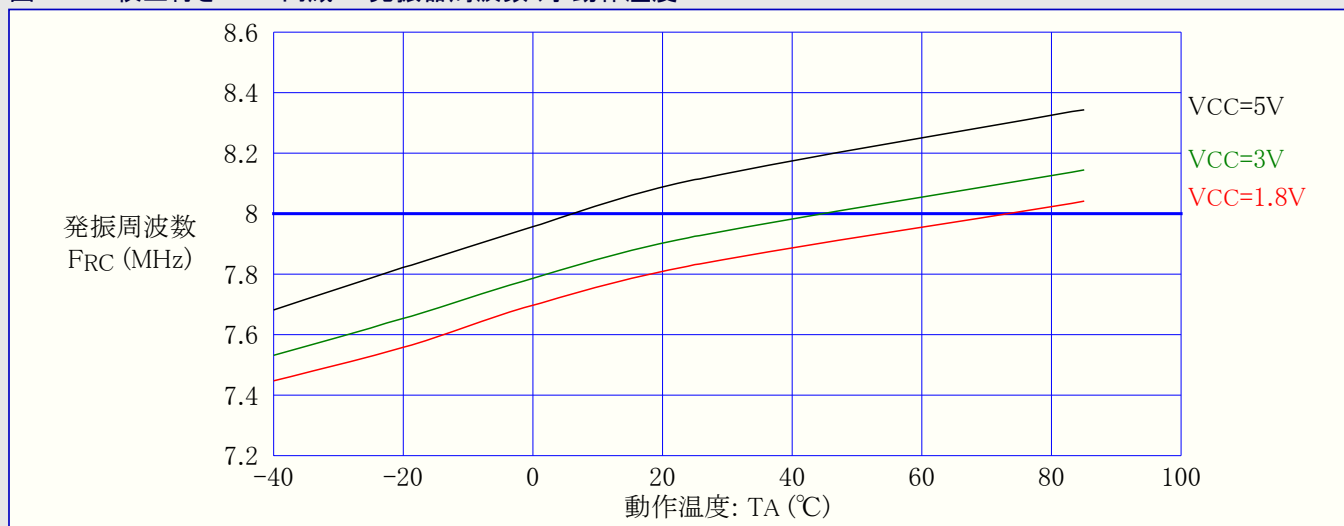
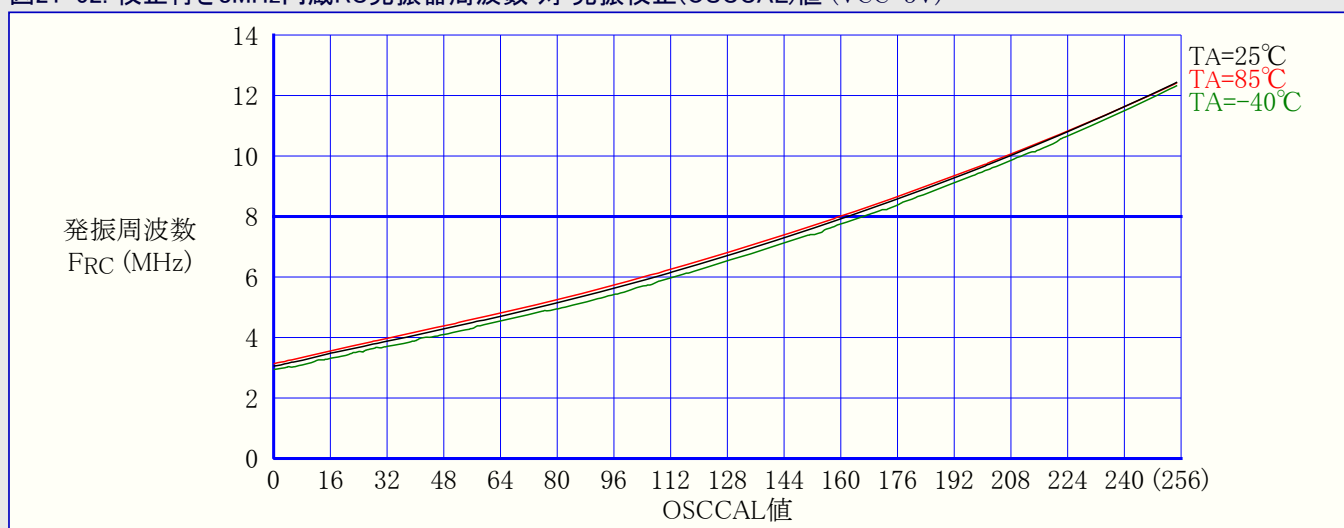


図21-52. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値 (VCC=3V)



(訳注) 図21-52は中央付近での重複がないので本文説明と矛盾し、おそらくこの図は誤っているでしょう。

22. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	-	-	-	-	-	-	-	SP8	8
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								61
\$3B (\$5B)	GIMSK	-	INT0	PCIE1	PCIE0	-	-	-	-	39
\$3A (\$5A)	GIFR	-	INTF0	PCIF1	PCIF0	-	-	-	-	39
\$39 (\$59)	TIMSK0	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	62
\$38 (\$58)	TIFR0	-	-	-	-	-	OCF0B	OCF0A	TOV0	62
\$37 (\$57)	SPMCSR	-	-	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	89
\$36 (\$56)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								61
\$35 (\$55)	MCUCR	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	49,22,38
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	35
\$33 (\$53)	TCCR0B	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	60
\$32 (\$52)	TCNT0	タイマ/カウンタ0								61
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								18
\$30 (\$50)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	58
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	58
\$2E (\$4E)	TCCR1B	FOC1A	FOC1B	-	-	WGM12	CS12	CS11	CS10	60
\$2D (\$4D)	TCNT1	タイマ/カウンタ1								61
\$2C (\$4C)	OCR1A	タイマ/カウンタ1 比較Aレジスタ								61
\$2B (\$4B)	OCR1B	タイマ/カウンタ1 比較Bレジスタ								61
\$2A (\$4A)	予約									
\$29 (\$49)	予約									
\$28 (\$48)	予約									
\$27 (\$47)	DWDR	デバッグWIRE データレジスタ								85
\$26 (\$46)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	18
\$25 (\$45)	予約									
\$24 (\$44)	予約									
\$23 (\$43)	GTCCR	TSM	-	-	-	-	-	-	PSR10	65
\$22 (\$42)	予約									
\$21 (\$41)	WDTCR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	36
\$20 (\$40)	PCMSK1	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	40
\$1F (\$3F)	予約									
\$1E (\$3E)	EEAR	-	-	EEPROMアドレスレジスタ (EEAR5~0)						13
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								13
\$1C (\$3C)	EECR	-	-	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	13
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	49
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	49
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	49
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	49
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	49
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	49
\$15 (\$35)	GPOR2	汎用I/Oレジスタ2								14
\$14 (\$34)	GPOR1	汎用I/Oレジスタ1								14
\$13 (\$33)	GPOR0	汎用I/Oレジスタ0								14
\$12 (\$32)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	40
\$11 (\$31)	予約									
\$10 (\$30)	USIBR	USI 緩衝レジスタ								73
\$0F (\$2F)	USIDR	USI データレジスタ								73
\$0E (\$2E)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	72
\$0D (\$2D)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	71
\$0C (\$2C)	TIMSK1	-	-	-	-	-	OCIE1B	OCIE1A	TOIE1	62
\$0B (\$2B)	TIFR1	-	-	-	-	-	OCF1B	OCF1A	TOV1	62
\$0A (\$2A)	予約									
\$09 (\$29)	予約									
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	-	ACIS1	ACIS0	75
\$07 (\$27)	ADMUX	-	REFS	-	-	-	MUX2	MUX1	MUX0	82
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	82
\$05 (\$25)	ADCH	A/Dデータレジスタ 上位バイト (ADC9~8またはADC9~2)								84
\$04 (\$24)	ADCL	A/Dデータレジスタ 下位バイト (ADC7~0またはADC1~0)								
\$03 (\$23)	ADCSRB	BS	ACME	-	ADLAR	-	ADTS2	ADTS1	ADTS0	31,74,83
\$02 (\$22)	予約									
\$01 (\$21)	DIDR0	-	-	AIN1D	AIN0D	ADC3D	ADC2D	ADC1D	ADC0D	75,84
\$00 (\$20)	PRR	PRE2	PRE1	PRE0	-	PRTIM1	PRTIM0	PRUS1	PRADC	22

- 注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。
- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用によって検査できます。
 - いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに注意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。

23. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,C	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		レジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBSI	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	1,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグWIRE機能専用	I,T,H,S,V,N,Z,C	N/A

24. 注文情報

デバイス	速度(MHz)	電源電圧	動作範囲	外囲器 (注1)	注文コード (注2)
ATtiny43U	8	1.8~5.5V (注3)	工業用 (-40°C~85°C)	20M1	ATtiny43U-MU
					ATtiny43U-MUR
				20S2	ATtiny43U-SU
					ATtiny43U-SUR

注1: 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

注2: 符号識別子は次のとおりです。

- ・ F : 半光沢錫。
- ・ R : テープとリール。

注3: VCCピンでの供給電圧、昇圧変換器と無関係。昇圧変換器が活動の時にデバイスはここで示されるよりも低い電圧供給元から動作することができます。より多くの情報については105頁の「昇圧変換器特性」の表をご覧ください。

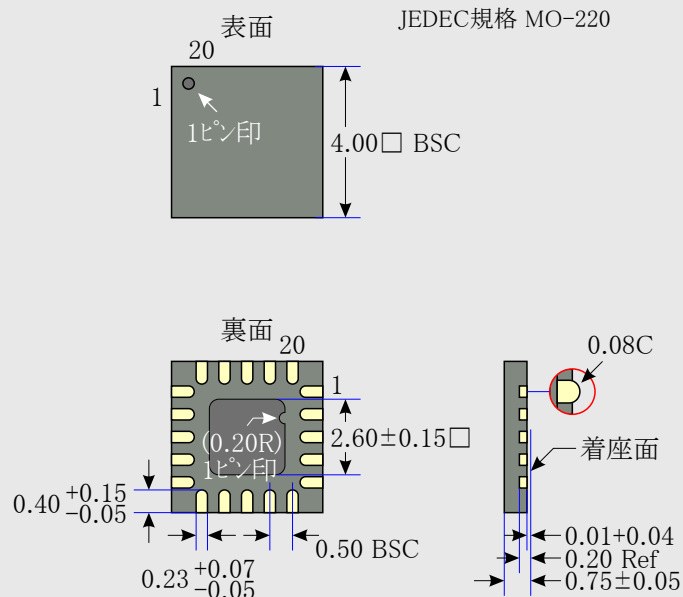
外囲器形式	
20M1	20ピン 4×4×0.8mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)
20S1	20リード 300mil幅 プラスティック ガルウイング 小型外形外囲器 (SOIC)

25. 外囲器情報

25.1. 20M1

20ピン 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

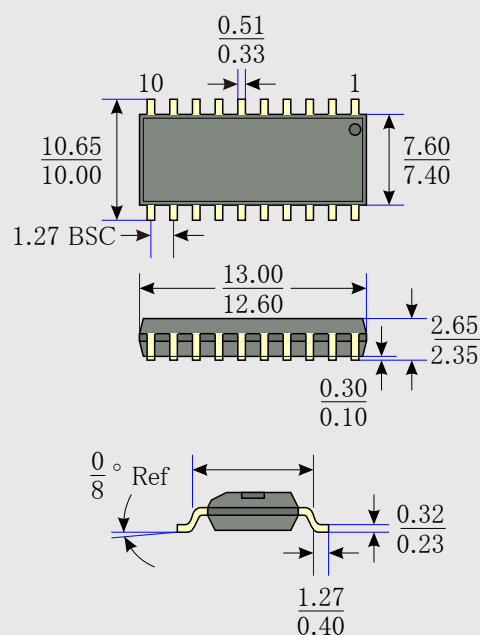
寸法: mm
JEDEC規格 MO-220



25.2. 20S1

20リード 300mil幅 プラスティック スモール アウトライン (SOIC)

寸法: mm
JEDEC規格 MS-013 AC



26. 障害情報

この章の改訂番号はATtiny43Uデバイスの改訂版を参照してください。

ATtiny43U 改訂A,B

試供されていません。

ATtiny43U 改訂D～F

既知の障害情報はありません。

ATtiny43U 改訂C

・昇圧変換器の低電流動作活動状態への移行が高まる見込み 43U-C

1. 昇圧変換器の低電流動作活動状態への移行が高まる見込み (43U-C)

昇圧変換器はそれらの仕様よりも高い供給電圧と負荷電流で低電流動作活動状態へ移行して留まるかもしれません。これはSOIC外囲器のボンディングワイヤでの高切り替え電流のためです。MLF外囲器のデバイスは影響を及ぼされません。

対策/対処

SOIC外囲器のLSWとGNDのピン間に1500pFのコンデンサを追加してください。またはVCCとGNDのピン間の(雑音)迂回コンデンサの容量を最低30μFに増やしてください。

代わりに、(上記)変更なしでMLFのデバイスを使ってください。

27. データシート改訂履歴

27.1. 改訂8048A – 2009年2月

1. 初版

27.2. 改訂8048B – 2009年5月

1. 1頁の「特徴」でデータ保持力告知を更新
2. 28頁の「代表的な応用」項を削除。今やこのデータはAVR188応用記述で得られます。

27.3. 改訂8048C – 2012年2月

1. デバイスの暫定状態を削除
2. 昇圧変換器記述更新
 - ・ 23頁の「8.1. 概要」項の最終節
 - ・ 28頁の「8.6.4. RC濾波器」項の第2節
 - ・ 29頁の表8-1内の昇圧変換器部品値
 - ・ 33頁の「9.2.3. 低電圧(ブラウンアウト)検出リセット」項の最終節
 - ・ 102頁の「20.1. 絶対最大定格」項内の昇圧変換器からの電流
 - ・ 105頁の「20.7. 昇圧変換器特性」項
 - ・ 106頁の「20.8. A/D変換器特性」項
 - ・ 110頁の「21.1. 昇圧変換器」項
3. 更新
 - ・ 1頁の「特徴」項
 - ・ 80頁の「16.8. アナログ入力回路」項
 - ・ 82頁の表16-4.
 - ・ 99頁の「19.7.1. 直列プログラミング手順」項
 - ・ 102頁の「20.2. DC特性」項
 - ・ 110頁の「21. 代表特性」章
 - ・ データシート全体を通してビット書式、例えばCSn2:0からCSn[2:0] (**訳注**:本書は書式が異なるため無視)
4. 追加
 - ・ 4頁の「3.3. 容量性接触感知」項
 - ・ 27頁の「8.5.1. 昇圧変換器停止」項内のリセットでの記述
 - ・ 30頁の「8.10. ファームウェア例」項
 - ・ 110頁の「21. 代表特性」章内の特性図
 - ・ 131頁の「24. 注文情報」章でのテープとリール。

目次

特徴	1	10.2. 外部割り込み	38
1. ピン配置	2	10.3. 割り込み用レジスタ	38
1.1. ピン説明	2	11. 入出力ポート	41
2. 概要	3	11.1. 序説	41
3. 一般情報	4	11.2. 標準デジタル入出力としてのポート	41
3.1. 資料	4	11.3. 交換ポート機能	44
3.2. コード例	4	11.4. I/Oポート用レジスタ	49
3.3. 容量性接触感知	4	12. PWM付き8ビット タイマ/カウンタ	50
3.4. データ保持力	4	(タイマ/カウンタ0とタイマ/カウンタ1)	50
4. AVR CPUコア	5	12.1. 特徴	50
4.1. 序説	5	12.2. 概要	50
4.2. 構造概要	5	12.3. タイマ/カウンタのクロック元	51
4.3. ALU (Arithmetic Logic Unit)	5	12.4. 計数器部	51
4.4. ステータス レジスタ	6	12.5. 比較出力部	52
4.5. 汎用レジスタ ファイル	7	12.6. 比較一致出力部	53
4.6. スタック ポインタ	7	12.7. 動作種別	54
4.7. 命令実行タイミング	8	12.8. タイマ/カウンタのタイミング	57
4.8. リセットと割り込みの扱い	8	12.9. 8ビット タイマ/カウンタ0,1用レジスタ	58
5. メモリ	10	13. タイマ/カウンタの前置分周器	64
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	10	13.1. 前置分周器リセット	64
5.2. データ用SRAMメモリ	10	13.2. 外部クロック元	64
5.3. データ用EEPROMメモリ	11	13.3. タイマ/カウンタ前置分周器用レジスタ	65
5.4. I/Oメモリ (レジスタ)	13	14. 多用途直列インターフェース (USI)	66
5.5. メモリ関係レジスタ	13	14.1. 特徴	66
6. システム クロックとクロック選択	15	14.2. 概要	66
6.1. クロックシステムとその配給	15	14.3. 機能説明	67
6.2. クロック元	15	14.4. USIでの代替使用	70
6.3. システム クロック前置分周器	17	14.5. USI用レジスタ	71
6.4. システム クロック出力緩衝部	17	15. アナログ比較器	74
6.5. クロック関係レジスタ	18	15.1. アナログ比較器入力選択	74
7. 電力管理と休止形態	19	15.1. アナログ比較器用レジスタ	74
7.1. 休止形態種別	19	16. A/D変換器	76
7.2. ソフトウェア低電圧検出(BOD)禁止	20	16.1. 特徴	76
7.3. 電力削減レジスタ	20	16.2. 概要	76
7.4. 消費電力の最小化	21	16.3. ADC操作	77
7.5. 電力管理用レジスタ	22	16.4. 変換の開始	77
8. 電源と内蔵昇圧変換器	23	16.5. 前置分周と変換タイミング	78
8.1. 概要	23	16.6. チャネル変更と基準電圧選択	79
8.2. 動作の状態	24	16.7. 雑音低減機能	80
8.3. 出力電圧 対 負荷電流	26	16.8. アナログ入力回路	80
8.4. 過負荷での動き	27	16.9. アナログ雑音低減技術	80
8.5. 昇圧変換器のソフトウェア制御	27	16.10. A/D変換の精度定義	81
8.6. 部品選択	27	16.11. A/D変換の結果	81
8.7. 特性	29	16.12. 温度測定	81
8.8. 潜在的な制限	29	16.13. A/D変換用レジスタ	82
8.9. 昇圧変換器の迂回	29	17. デバッグWIRE内蔵デバッグ機能	85
8.10. ファームウェア例	30	17.1. 特徴	85
8.11. 昇圧変換器関係レジスタ	31	17.2. 概要	85
9. システム制御とリセット	32	17.3. 物理インターフェース	85
9.1. AVRのリセット	32	17.4. ソフトウェア中断点	85
9.2. リセット元	32	17.5. デバッグWIREの制限	85
9.3. 内部基準電圧	34	17.6. デバッグWIRE用レジスタ	85
9.4. ウォッチドッグ タイマ	34	18. フラッシュの自己プログラミング	86
9.5. リセット関係レジスタ	35	18.1. SPM命令によるページ消去の実行	86
10. 割り込み	37	18.2. ページ一時緩衝部設定(ページ設定)	86
10.1. ATtiny43Uの割り込みベクタ	37	18.3. ページ書き込みの実行	86

18.4.	自己プログラミングでのフラッシュアドレス指定	86
18.5.	SPM書き込み時のEEPROM書き込み妨害	87
18.6.	ソフトウェアからの施錠、ヒューズと識別読み出し	87
18.7.	フラッシュメモリデータ化けの防止	88
18.8.	SPM使用時のフラッシュメモリ書き込み時間	88
18.9.	自己プログラミング用レジスタ	89
19.	メモリプログラミング	90
19.1.	プログラムメモリとデータメモリ用施錠ビット	90
19.2.	ヒューズビット	91
19.3.	デバイス識別票銘刻部	92
19.4.	ページ容量	92
19.5.	並列プログラミング	93
19.6.	並列プログラミング手順	94
19.7.	直列プログラミング	99
20.	電気的特性	102
20.1.	絶対最大定格	102
20.2.	DC特性	102
20.3.	速度	103
20.4.	クロック特性	103
20.5.	システムとリセットの特性	104
20.6.	外部割り込み特性	104
20.7.	昇圧変換器特性	105
20.8.	A/D変換器特性	106
20.9.	並列プログラミング特性	107
20.10.	直列プログラミング特性	109
21.	代表特性	110
21.1.	昇圧変換器	110
21.2.	活動動作消費電流	111
21.3.	アイドル動作消費電流	113
21.4.	パワーダウンス動作消費電流	114
21.5.	リセット消費電流	115
21.6.	周辺機能部消費電流	116
21.7.	プルアップ抵抗	116
21.8.	出力駆動部能力	118
21.9.	入力閾値とヒステリシス(対I/Oポート)	121
21.10.	低電圧検出器(BOD)、ハントキャップ、リセット	123
21.11.	内部発振器	126
22.	レジスタ要約	128
23.	命令要約	129
24.	注文情報	131
25.	外圍器情報	131
26.	障害情報	132
27.	データシート改訂履歴	133



本社

Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600

国外営業拠点

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Europe

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

104-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン株式会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

製品窓口

ウェブサイト

www.atmel.com

技術支援

avr@atmel.com

販売窓口

www.atmel.com/contacts

文献請求

www.atmel.com/literature

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2012. 不許複製 Atmel®、ロゴとそれらの組み合わせ、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

© HERO 2022.

本データシートはAtmelのATtiny43U英語版データシート(改訂8048C-02/12)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。