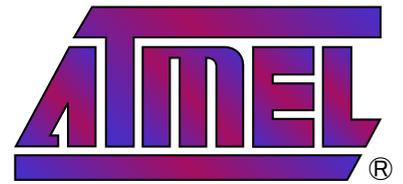


## 特徴

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

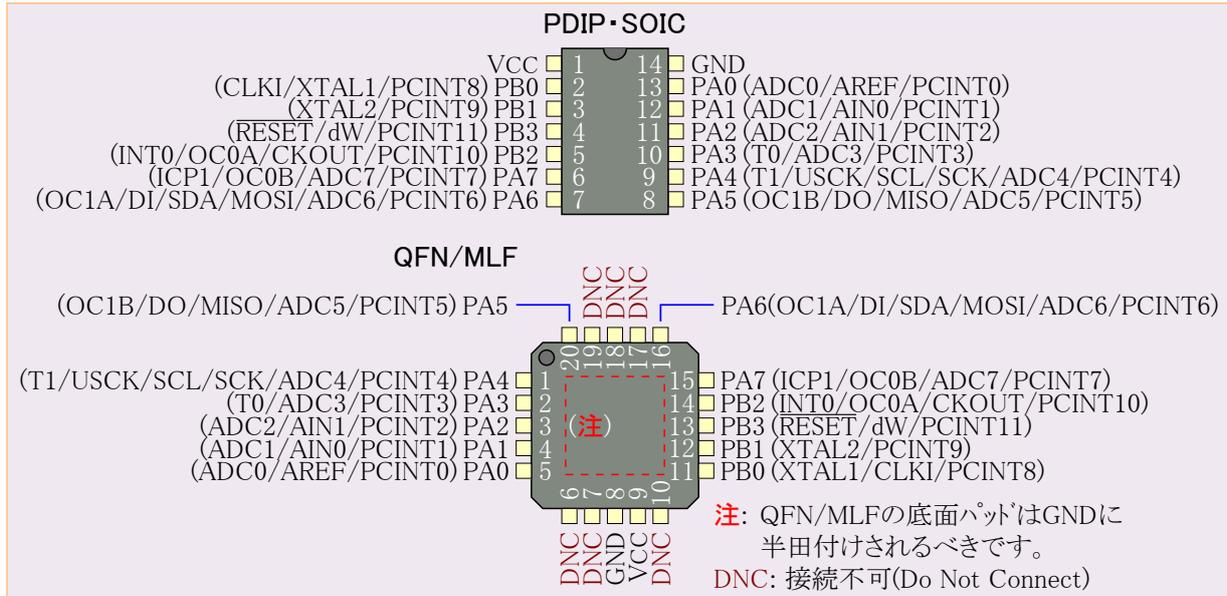
- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
  - ・強力な123命令(多くは1周期実行)
  - ・32個の1バイト長汎用レジスタ
  - ・完全なステティック動作
  - ・20MHz時、20MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
  - ・実装自己書き換え可能な2/4/8Kバイト(1/2/4K語)フラッシュメモリ内蔵
    - ・10,000回の書き換え耐久性
  - ・128/256/512バイトのEEPROM
    - ・100,000回の書き換え耐久性
  - ・128/256/512バイトの内蔵SRAM
  - ・データ保持力: 20年/85°C, 100年/25°C
  - ・ソフトウェア保護用の設定可能な施錠機能
- 内蔵周辺機能
  - ・各々2つのPWM出力付き、1つの8ビットと1つの16ビットのタイマ/カウンタ
  - ・10ビット A/D変換器
    - ・8つのシングル エント チャネル
    - ・設定可能な利得(×1, ×20)付き12種の差動ADCチャネル対
  - ・設定可能な専用発振器付きウォッチドッグ タイマ
  - ・アナログ比較器
  - ・多用途直列インターフェース(USI)
- 特殊マイクロコントローラ機能
  - ・デバッグWIRE内蔵デバッグ機能
  - ・SPIポート経由の実装書き込み
  - ・内部及び外部の割り込み: 12ピンでのピン変化割り込み
  - ・アイドル、A/D変換雑音低減、スタンバイ、パワーダウンの4つの低消費動作
  - ・強化した電源ONリセット回路
  - ・設定可能な低電圧検出器(BOD)回路
  - ・校正付き内蔵RC発振器
  - ・チップ上の温度感知器
- I/Oと外圍器
  - ・12ビットの設定変更可能なI/O
  - ・14ピンPDIP、14リードSOIC、20ピンQFN/MLFが利用可能
- 動作電圧
  - ・ATtiny24/44/84V: 1.8~5.5V
  - ・ATtiny24/44/84 : 2.7~5.5V
- 動作速度
  - ・ATtiny24/44/84V
    - ・0~4MHz/1.8~5.5V
    - ・0~10MHz/2.7~5.5V
  - ・ATtiny24/44/84
    - ・0~10MHz/2.7~5.5V
    - ・0~20MHz/4.5~5.5V
- 工業用温度範囲: -40~+85°C
- 低消費電力
  - ・300µA (1MHzシステム クロック, 1.8V, 活動動作)
  - ・0.1µA (1.8V, パワーダウン動作)



8ビット AVR®  
マイクロ コントローラ  
実装書き換え可能な  
2/4/8Kバイト  
フラッシュ メモリ内蔵

ATtiny24  
ATtiny24V  
ATtiny44  
ATtiny44V  
ATtiny84  
ATtiny84V

## 1. ピン配置



### 1.1. ピン概要

#### 1.1.1. VCC

電源ピン。

#### 1.1.2. GND

接地ピン。

#### 1.1.3. PA7～PA0 (ポートA)

ポートAは(ビット単位で選択される)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートA出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートAピンはHi-Zにされます。

ポートAには38頁で示されるA/D変換器とアナログ比較器用のアナログ入力、SPIとピン変化割り込みとしての交換機能があります。

#### 1.1.4. PB3～PB0 (ポートB)

ポートBは(ビット単位で選択される)内蔵プルアップ抵抗付きの4ビット双方向入出力ポートです。 $\overline{\text{RESET}}$ 能力を持つPB3を除いて、ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。PB3ピンをRESETの代わりにI/Oピンとして使うには、**RSTDISBLヒューズ**をプログラム(0)にしてください。入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。

ポートBは41頁の「**ポートBの交換機能**」で示されるATtiny24/44/84の様々な特殊機能も扱います。

#### 1.1.5. RESET

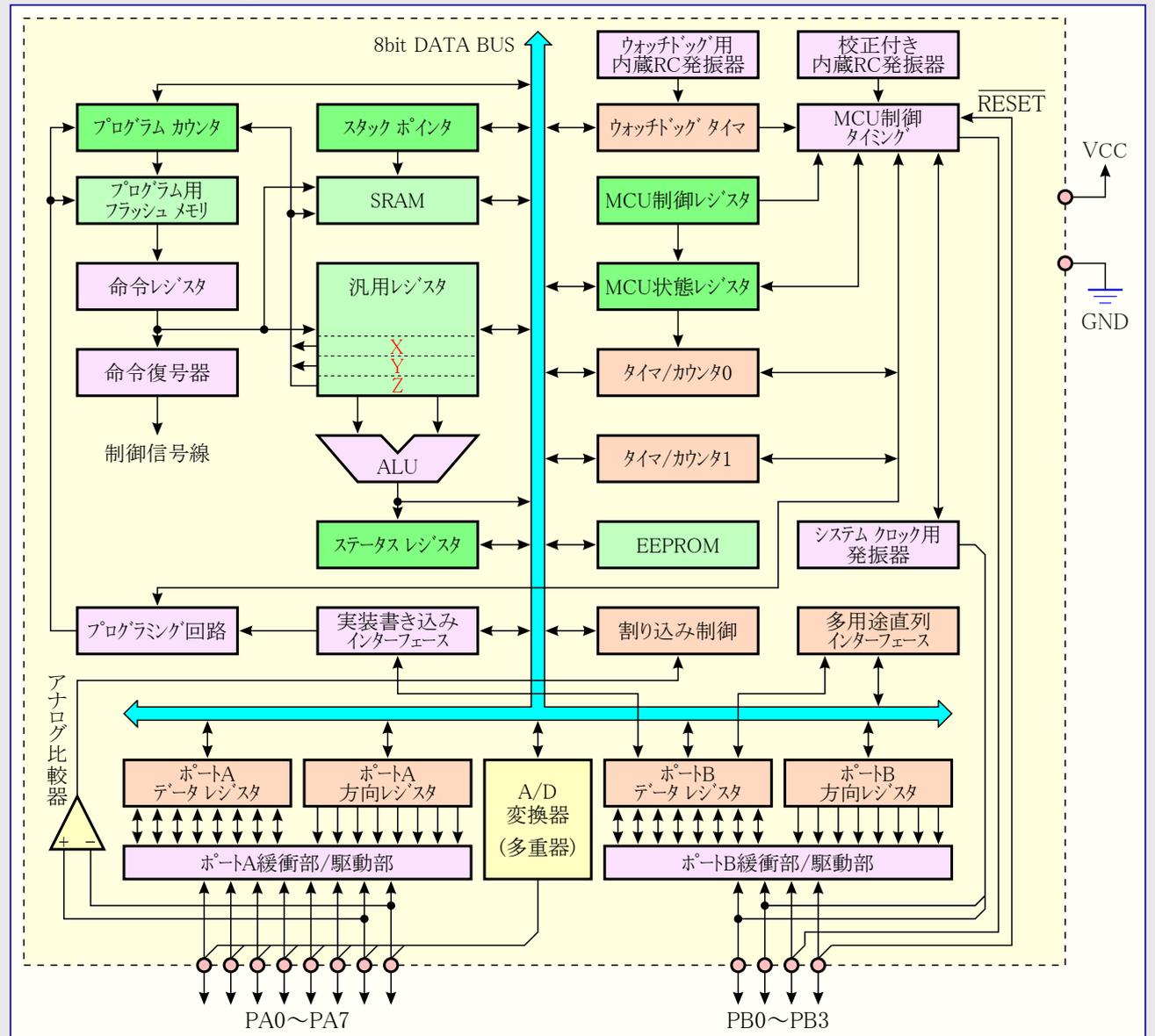
リセット入力。RESETピンが禁止されていないければ、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は116頁の表20-4.で与えられます。より短いパルスはリセットの生成が保証されません。

RESETピンは((駆動能力の)弱い)入出力ピンとしても使えます。

## 2. 概要

ATtiny24/44/84はAVR強化RISC構造を基にした低消費CMOS 8ビットマイクロコントローラです。1周期での強力な命令の実行によってATtiny24/44/84はMHzあたり1MIPSに達する他に処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図2-1. ATtiny24/44/84構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して最大10倍の単位処理量向上効果があります。

ATtiny24/44/84は2/4/8Kバイトの実装書き込み可能なフラッシュメモリ、128/256/512バイトのEEPROM、128/256/512バイトのSRAM、12本の汎用入出力線、32個の汎用作業レジスタ、2つのPWM出力付きの1つの8ビットタイマ/カウンタ、2つのPWM出力付きの1つの16ビットタイマ/カウンタ、多用途直列インターフェース(USI)、内部及び外部割り込み、12種のA/Dチャネル対用の設定可能な利得段(×1, ×20)と8チャネルの10ビットA/D変換器、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、校正付き内蔵RC発振器、ソフトウェアで選択できる4つの低消費動作を提供します。アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。A/D変換雑音低減動作はA/D変換中の切り替え雑音を最小とするためにA/D変換器を除く全I/O部とCPUを停止します。パワーダウン動作はレジスタの内容を保護し、発振器が停止するため、以降のハードウェアリセットか外部割り込みまで、他の全機能を禁止します。スタンバイ動作では水晶発振子/セラミック振動子用発振器が動作し、一方デバイスのその他は休止します。これは低消費電力と非常に速い起動の組み合わせを許します。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されます。チップ上のISPフラッシュメモリは通常の不揮発性メモリ書き込み器によるSPI直列インターフェースを通して、またはAVRコア上で走行するチップ上のブートコードによる実装書き換えをプログラム用メモリに許します。

ATtiny24/44/84 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、インサーキットエミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

### 3. 諸注意

#### 3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの記述は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

#### 3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、**IN**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SBI**命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。これは代表的に**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令を意味します。全てのAVRデバイスが拡張I/O領域を含むとは限らないことに注意してください。(訳補: 本デバイスに拡張I/O領域はありません。)

#### 3.3. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

#### 3.4. お断り

本データシート内で示された代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性を基にしています。

## 4. CPU コア

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

### 4.1. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX,Yレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは全アドレス空間を直接アドレス指定可能な条件/無条件分岐や呼び出し命令によって提供されます。殆どのAVR命令は16ビット語(ワード)形式ですが、32ビット命令もあります。いくつかのデバイスが部分的な命令一式だけを実装するため、実際の命令一式は変化します。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

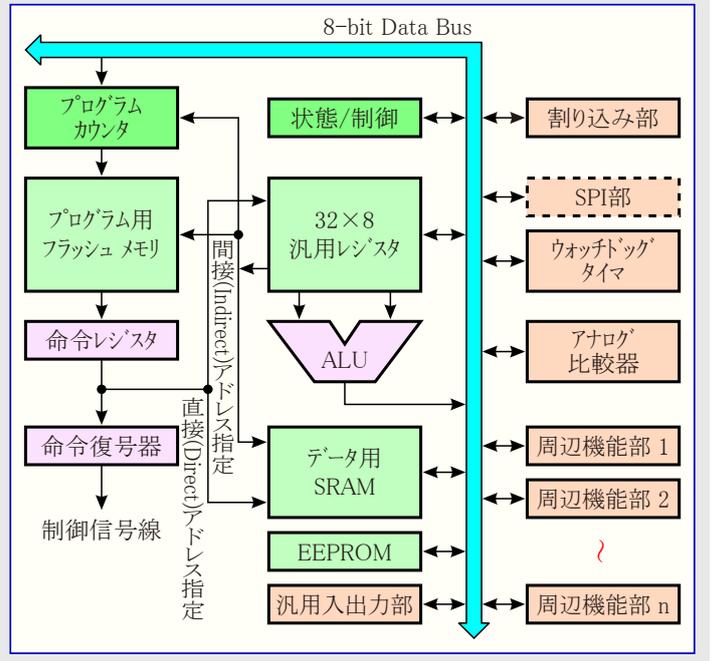
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(D)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。

### 4.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については、「命令要約」章をご覧ください。

図4-1. AVR構造構成図



### 4.3. ステータス レジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「命令一式参考書」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

#### 4.3.1. ステータス レジスタ (Status Register) SREG

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

##### ■ ビット7 - I : 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「命令一式参考書」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

##### ■ ビット6 - T : ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit LoaD)と**BST**(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

##### ■ ビット5 - H : ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「命令要約」記述をご覧ください。

##### ■ ビット4 - S : 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「命令要約」記述をご覧ください。

##### ■ ビット3 - V : 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「命令要約」記述をご覧ください。

##### ■ ビット2 - N : 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「命令要約」記述をご覧ください。

##### ■ ビット1 - Z : ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令要約」記述をご覧ください。

##### ■ ビット0 - C : キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(または borrow)を示します。詳細情報については「命令要約」記述をご覧ください。

## 4.4. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータメモリアドレスも割り当てられます。例え物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図

		7	0	アドレス		
汎用 レジスタ ファイル	R0			\$00		
	R1			\$01		
	R2			\$02		
	⋮					
	R13			\$0D		
	R14			\$0E		
	R15			\$0F		
	R16			\$10		
	R17			\$11		
	⋮					
	R26			\$1A	Xレジスタ	下位8ビット
	R27			\$1B		上位8ビット
	R28			\$1C	Yレジスタ	下位8ビット
	R29			\$1D		上位8ビット
	R30			\$1E	Zレジスタ	下位8ビット
	R31			\$1F		上位8ビット

### 4.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

X レジスタ	15	XH (上位)	XL (下位)	0
	7	R27 (\$1B)	R26 (\$1A)	0
Y レジスタ	15	YH (上位)	YL (下位)	0
	7	R29 (\$1D)	R28 (\$1C)	0
Z レジスタ	15	ZH (上位)	ZL (下位)	0
	7	R31 (\$1F)	R30 (\$1E)	0

## 4.5. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタックポインタレジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタックポインタを減少するという意味です。

スタックポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立ってプログラムによって定義されなければなりません。スタックポインタは\$60以上を指示するように設定されなければなりません。スタックポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタックポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタックポインタはI/O空間内の2つの8ビットレジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

### 4.5.1. スタックポインタ (Stack Pointer) SPH,SPL (SP)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	-	-	-	-	-	-	(SP9)	(SP8)	SPH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND								
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W								
初期値	RAMEND								

(訳補) 内蔵SRAMはATtiny24が128バイト(\$0060～\$00DF)、ATtiny44が256バイト(\$0060～\$015F)、ATtiny84が512バイト(\$0060～\$025F)です。従って、ATtiny44ではSPHのSP9が、ATtiny24ではSP9,8が利用できません。SRAM最終位置はATtiny24が\$00DF(0000 0000 1101 1111)、ATtiny44が\$015F(0000 0001 0101 1111)、ATtiny84が\$025F(0000 0010 0101 1111)になります。

## 4.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック( $clk_{CPU}$ )によって駆動されます。内部クロック分周は使われません。

図4-4.はハード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

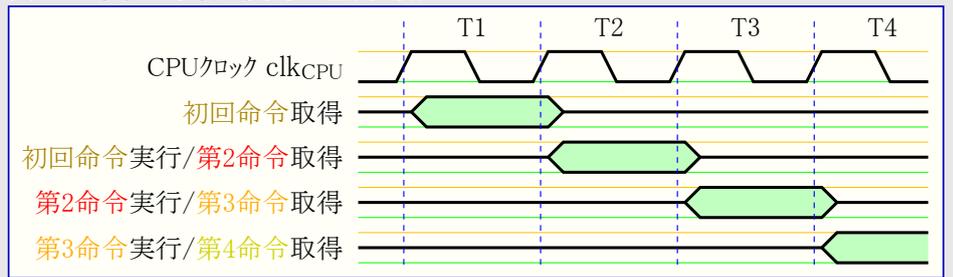
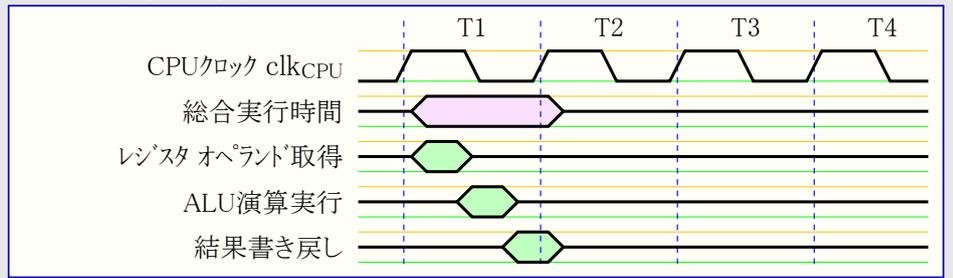


図4-5. 1周期ALU命令



## 4.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラムメモリ空間の最下位アドレスは既定によってリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は30頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続)けます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

## アセンブリ言語プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE    ;EEPROM主書き込み許可
SBI     EECR, EEPE     ;EEPROM書き込み開始
OUT     SREG, R16     ;ステータスレジスタを復帰
```

## C言語プログラム例

```
char cSREG;           /* ステータスレジスタ保存変数定義 */
cSREG = SREG;         /* ステータスレジスタを保存 */
_cli();              /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE); /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);  /* EEPROM書き込み開始 */
SREG = cSREG;        /* ステータスレジスタを復帰 */
```

注: 4頁の「コード例」をご覧ください。

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されません。

## アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行(割り込み待ち)
```

## C言語プログラム例

```
_sei(); /* 全割り込み許可 */
_sleep(); /* 休止形態移行(割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

注: 4頁の「コード例」をご覧ください。

### 4.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対するプログラムベクタアドレスが実行されます。この4クロック周期時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(訳注:原文は3(JMP命令=3を想定、実際はRJMP命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラムカウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。

## 5. メモリ

この項はATtiny24/44/84の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主要なメモリ空間があります。加えてATtiny24/44/84はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

### 5.1. 実装書き換え可能なプログラム用フラッシュメモリ

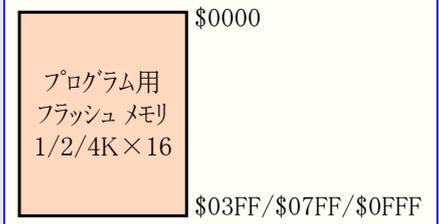
ATtiny24/44/84はプログラム保存用に実装書き換え可能な2/4/8Kバイトのフラッシュメモリをチップ上を含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは1/2/4K×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。ATtiny24/44/84のプログラムカウンタ(PC)は10/11/12ビット幅で、従って1/2/4Kプログラムメモリ位置のアドレス指定です。103頁の「メモリプログラミング」はSPIピンを使うフラッシュメモリの直列プログラミングの詳細な記述を含みます。

定数表は全てのプログラムメモリアドレス空間に配置できます。(LPMとSPM命令記述参照)

命令の取得と実行のタイミング図は8頁の「命令実行タイミング」で示されます。

図5-1. プログラムメモリ配置図



### 5.2. データ用SRAMメモリ

図5-2はATtiny24/44/84のSRAMメモリ構成方法を示します。

下位データメモリ位置はレジスタファイル、I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、そして最後の128/256/512位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny24/44/84の32個の汎用レジスタ、64個のI/Oレジスタ、128/256/512バイトのデータ用内蔵SRAMは、これら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは7頁の「汎用レジスタファイル」で記述されます。

図5-2. データメモリ配置図



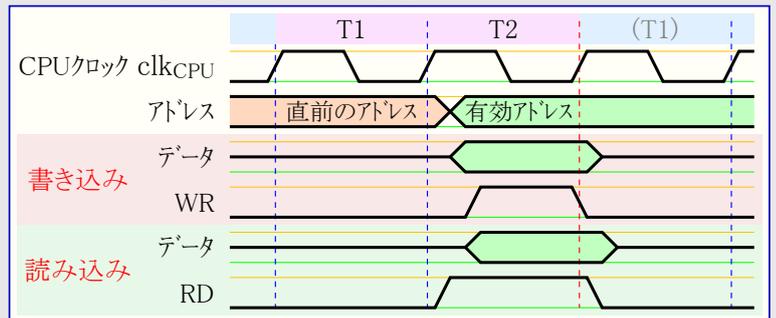
注: 赤字はI/Oアドレス

#### 5.2.1. データメモリアクセスタイミング

本節は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3.で図解されるように2clk<sub>CPU</sub>周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



## 5.3. データ用EEPROMメモリ

ATtiny24/44/84は128/256/512バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降の**EEPROMアドレスレジスタ**、**EEPROMデータレジスタ**、**EEPROM制御レジスタ**で詳細に記述されます。EEPROMの直列プログラミングの詳細な記述については106頁の「**低電圧直列プログラミング**」をご覧ください。

### 5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの消去/書き込み(訳注:原文はアクセス)時間は**表5-1**で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では電源の投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については12頁の「**EEPROMデータ化けの防止**」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と以下の「**非分離バイト書き込み**」と「**分離バイト書き込み**」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

### 5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPmnビットが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は**表5-1**で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

### 5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

### 5.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPmnビットが'01'なら、(EEMPEが1を書かれた後の4周期内の)EEPEの1書き込みは消去動作だけを起動します(プログラミング時間は**表5-1**で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

### 5.3.5. 書き込み

(特定)位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPmnビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は**表5-1**で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されてしまっていなければ、元の格納データは失ったとみなされなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。発振器周波数が19頁の「**発振校正レジスタ(OSCCAL)**」で記述した必要条件内であることを確かめてください。

### 5.3.6. プログラム例

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

#### アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI    R19, (0<<EPM1) | (0<<EPM0) ;プログラミング種別値取得(本例は非分離)
             OUT    EECR, R19                ;対応プログラミング種別設定
             OUT    EEARH, R18               ;EEPROMアドレス上位設定 (注: ATtiny84のみ)
             OUT    EEARL, R17               ;EEPROMアドレス下位設定
             OUT    EEDR, R16                ;EEPROM書き込み値を設定
             SBI    EECR, EEMPE              ;EEPROM主プログラム許可ビット設定
             SBI    EECR, EEPE              ;EEPROMプログラミング開始(プログラム許可ビット設定)
             RET                               ;呼び出し元へ復帰
```

#### C言語プログラム例

```
void EEPROM_write(unsigned int ucAddress, unsigned char ucData)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EPM1) | (0<<EPM0);            /* 対応プログラミング種別設定 */
    EEAR = ucAddress;                          /* EEPROMアドレス設定 */
    EEDR = ucData;                             /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                       /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                       /* EEPROMプログラミング開始 */
}
```

注: 4頁の「コード例」をご覧ください。

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

#### アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT    EEARH, R18               ;EEPROMアドレス上位設定 (注: ATtiny84のみ)
             OUT    EEARL, R17               ;EEPROMアドレス下位設定
             SBI    EECR, EERE              ;EEPROM読み出し開始(読み込み許可ビット設定)
             IN     R16, EEDR                ;EEPROM読み出し値を取得
             RET                               ;呼び出し元へ復帰
```

#### C言語プログラム例

```
unsigned char EEPROM_read(unsigned int ucAddress)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = ucAddress;                          /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                       /* EEPROM読み出し開始 */
    return EEDR;                              /* EEPROM読み出し値を取得, 復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

### 5.3.7. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起ると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

## 5.4. I/O メモリ (レジスタ)

ATtiny24/44/84のI/O空間定義は139頁の「レジスタ要約」で示されます。

ATtiny24/44/84の全てのI/Oと周辺機能はI/O空間に配置されます。全I/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を行うLD/LDS/LDD命令とST/STS/STD命令によってアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」章をご覧ください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに\$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに留意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fのレジスタでのみ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

### 5.4.1. 汎用I/Oレジスタ

ATtiny24/44/84は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲\$00～\$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビットアクセスが可能です。

## 5.5. メモリ関係レジスタ

### 5.5.1. EEPROMアドレスレジスタ (EEPROM Address Register) EEARH,EEARL (EEAR) (訳注: EEARH/Lを纏めて記述)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	–	–	–	–	–	–	–	(EEAR8)	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(EEAR7)	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

#### ■ ビット15～9 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEAR8はATtiny84, EEAR7はATtiny44, EEAR6はATtiny24でのEEPROMの各々最上位アドレスビットです。より小さなEEPROMを持つデバイスでのこれらのビットは予約され、常に0を読みます。

EEAR5～0はEEPROMアドレスレジスタの下位側ビットです。EEPROMデータバイトは0～127/255/511の範囲に直線的に配置されます。EEARの初期値は不定で、従ってEEPROMが入出力される前に正しい値が書かれなければなりません。

### 5.5.2. EEPROMデータレジスタ (EEPROM Data Register) EEDR

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

### 5.5.3. EEPROM制御レジスタ (EEPROM Control Register) EECR

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

#### ■ ビット7 – Res : 予約 (Reserved)

このビットは将来の使用に予約されており、常に0として読まれます。将来のAVRデバイスとの共通性のため、常に本ビットへ0を書いてください。読み込み後、本ビットを遮蔽排除してください。

■ **ビット6 - Res : 予約 (Reserved)**

このビットは予約されており、常に0として読まれます。

■ **ビット5.4 - EEPM1.0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)**

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されていると、EEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	-	将来使用に予約

■ **ビット3 - EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)**

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

■ **ビット2 - EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)**

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か無効かどうかを決めます。

EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選択したアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。

■ **ビット1 - EEPE : EEPROMプログラム許可 (EEPROM Program Enable)**

EEPROMプログラム許可信号(EEPE)はEEPROMへのプログラミング許可信号です。EEPEが(1)を書かれると、EEPROMはEEPMMnビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれねばならず、さもなければEEPROM書き込み(消去)は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

■ **ビット0 - EERE : EEPROM読み込み許可 (EEPROM Read Enable)**

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みスローブです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

5.5.4. 汎用I/Oレジスタ2 (General Purpose I/O Register 2) GPIOR2

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.5. 汎用I/Oレジスタ1 (General Purpose I/O Register 1) GPIOR1

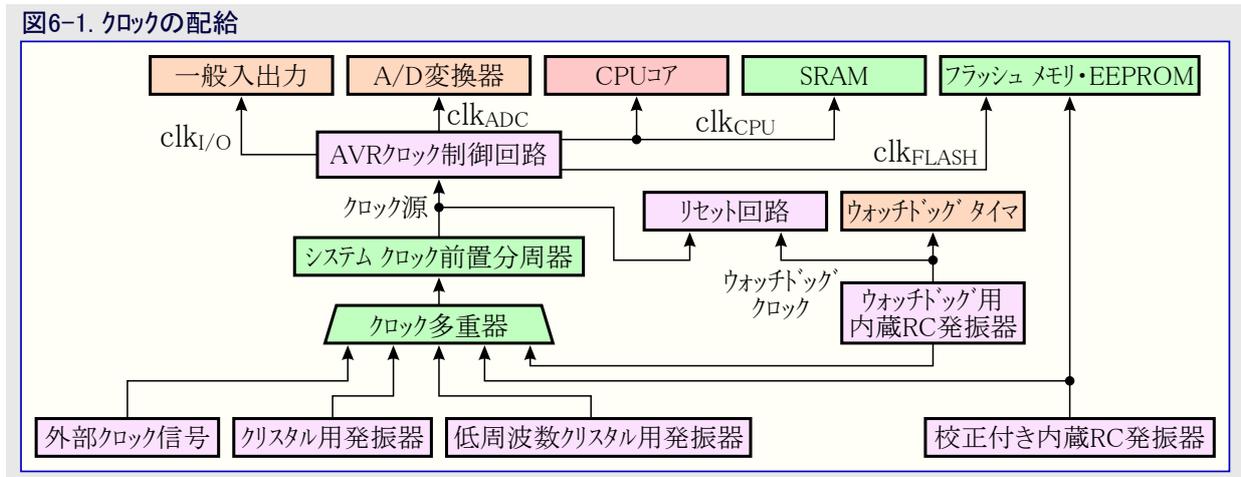
ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.6. 汎用I/Oレジスタ0 (General Purpose I/O Register 0) GPIOR0

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 6. クロック体系

図6-1はAVR内の主要なクロックシステムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、21頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われていない部分のクロックが停止できます。



### 6.1. クロック副系統

クロック副系統が以下の項で詳述されます。

#### 6.1.1. CPU クロック - clk<sub>CPU</sub>

CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

#### 6.1.2. I/O クロック - clk<sub>I/O</sub>

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

#### 6.1.3. フラッシュ クロック - clk<sub>FLASH</sub>

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。

#### 6.1.4. A/D変換クロック - clk<sub>ADC</sub>

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

### 6.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選択したクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動するとき、選択したクロック元は命令実行開始前に安定な発振器動作を保証する起動時間に使われます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器はこの起動時間の実時間部のタイミングに使われます。各計時終了に使われるウォッチドッグ(WDT)発振器の各周期数は表6-2で示されます。

表6-1. クロック種別選択

クロック種別	CKSEL3~0
外部水晶/セラミック発振器	1111~1000
外部低周波数水晶用発振器	0110
128kHz内部(WDT)発振器	0100
8MHz校正付き内蔵RC発振器	0010
外部クロック信号	0000
(予約)	0xx1

注: 1=非プログラム、0=プログラム、x=0または1

表6-2. WDT発振器の代表計時終了値、周期数

代表的計時終了値	周期数
4.0ms	512
64ms	8K (8192)

### 6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKIが図6-2.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、CKSELヒューズが'0000'にプログラム(設定)されなければなりません。

このクロック元が選択されると、起動時間は表6-3.で示されるようにSUTヒューズによって決定されます。

図6-2. 外部クロック信号駆動接続図

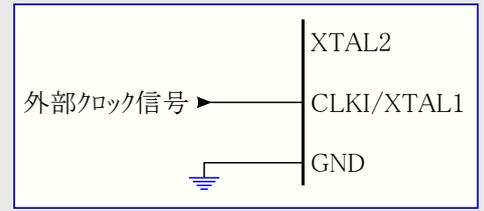


表6-3. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については18頁の「システムクロック前置分周器」を参照してください。

### 6.2.2. 校正付き内蔵RC発振器

既定で校正された内蔵RC発振器は概ね8MHzクロックを供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については115頁の表20-2.と133頁の「内部発振器周波数」をご覧ください。本デバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については18頁の「システムクロック前置分周器」をご覧ください。

表6-4. 校正付き内蔵RC発振器動作

CKSEL3~0	公称周波数 (MHz)
0 0 1 0	8.0 (注1)

注1: デバイスはこの選択で出荷されます。

このクロックは表6-4.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選択できます。選択したなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正値バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は表20-2.で工場校正として示されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使うよりも高い精度を得ることができます。この校正の精度は表20-2.で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグタイムとリセット付加遅延タイムに使われます。予め設定された校正値のより多くの情報については105頁の「校正バイト」項をご覧ください。

この発振器が選択されると、起動時間は表6-5.で示されるようにSUTヒューズによって決定されます。

表6-5. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK (注2)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0 (注1)	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

注1: デバイスはこの選択で出荷されます。

注2: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4.1msに増やされます。

## 6.2.3. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は供給電圧、温度、1群の変量に依存します。本クロックはCKSELヒューズを'0100'にプログラミング(設定)することによってシステムクロックとして選択できます。

このクロック元が選択されると、起動時間は表6-6.で示されるようにSUTヒューズによって決定されます。

表6-6. 128kHz内部発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間	推奨使用法
0 0	6×CK	14×CK (注1)	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は14×CK+4msに増やされます。

## 6.2.4. 低周波数クリスタル用発振器

デバイスに対するクロック元として時計用32.768kHzクリスタルを使うには、CKSEL3~0ヒューズの'0110'設定によって低周波数クリスタル発振器が選択されなければなりません。クリスタルは図6-3.で示されるように接続されるべきです。適切なコンデンサ値を得るには製造業者のデータシートを調べてください。

この発振器に対する起動遅延時間は表6-7.で示されるようにSUTヒューズで設定できます。

表6-7. 低周波数クリスタル用発振器起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	1K×CK (注1)	4ms	高速上昇電源または低電圧検出(BOD)リセット許可
0 1	1K×CK (注1)	64ms	低速上昇電源
1 0	32K×CK	64ms	起動時の周波数安定
1 1	(予約)		

注1: これらの選択は応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。

低周波数クリスタル用発振器は各XTALピンに於いて表6-8.で見られる内部負荷容量を提供します。

表6-8. 低周波数クリスタル用発振器内部容量

32kHz発振器形式	容量 (pF)	
	XTAL1	XTAL2
システムクロック用発振器	16	6

## 6.2.5. クリスタル/セラミック用発振器

XTAL1とXTAL2は図6-3.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振器またはセラミック振動子のどちらでも使えます。

C1とC2はクリスタル発振器とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振器やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振器使用に対するコンデンサ選択について初期の指針のいくつかは下の表6-9.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

発振器は示された周波数範囲で各々最適化された4つの異なる動作ができます。この動作は表6-9.で示されるCKSEL3~1ヒューズによって選択されます。

図6-3. クリスタル発振器接続図

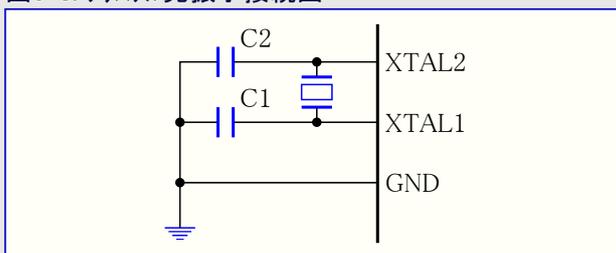


表6-9. クリスタル発振器動作

CKSEL3~1	周波数範囲	推奨C1,2容量
100 (注1)	0.4~0.9MHz	-
101	0.9~3.0MHz	12~22pF
110	3.0~8.0MHz	12~22pF
111	8.0~ MHz	12~22pF

注1: この選択はクリスタル発振器ではなく、セラミック振動子でだけ使われるべきです。

CKSEL0ヒューズはSUT1,0ヒューズと共に、表6-10.で示されるように起動遅延時間を選択します。

表6-10. クリスタル発振子/セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウンからの 起動遅延時間 (注1)	リセットからの 付加遅延時間	推奨使用法
0	0 0	258×CK (注2)	14×CK+4ms	外部セラミック振動子、高速上昇電源
	0 1	258×CK (注2)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	1 0	1K×CK (注3)	14×CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K×CK (注3)	14×CK+4ms	外部セラミック振動子、高速上昇電源
1	0 0	1K×CK (注3)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K×CK	14×CK+4ms	外部クリスタル発振子、高速上昇電源
	1 1	16K×CK	14×CK+64ms	外部クリスタル発振子、低速上昇電源

**注1:** 低電圧検出器(BOD)がソフトウェアによって禁止されていると、MCUが命令コードを実行する前にBODが正しく動作するのを保証するために、休止形態からの起動復帰時間は概ね60μsになります。

**注2:** これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

**注3:** これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

### 6.2.6. 既定のクロック元

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は最長起動時間の8MHzで走行する内蔵RC発振器、8で前置分周する初期システムクロックで、1MHzシステムクロックに帰着します。この既定設定は全ての使用者が実装または高電圧書き込み器を使って、それらを希望したクロック元設定にできることを保証します。

低電圧デバイス(ATtiny24V/44V/48V)に関し、CKDIV8ヒューズの非プログラム(1)が超過クロック駆動の結果になるかもしれないことに注意すべきです。低電圧(概ね2.4V以下)でのデバイスは最大8MHz動作と評価されます(115頁の「速度」をご覧ください)が、内蔵RC発振器からシステムクロック線への直接的なクロック信号経路はデバイスを8MHzで動かすでしょう。

### 6.3. システムクロック前置分周器

ATtiny24/44/84のシステムクロックはクロック前置分周レジスタ(CLKPR)の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clkCPU、clkFLASH、clkI/O、clkADCは表6-11.で示された値によって分周されます。

#### 6.3.1. 切り替え時間

前置分周器設定間を切り替えるとき、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリップルカウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

### 6.4. クロック出力緩衝部 (外部クロック出力)

本デバイスはシステムクロックをCKOUTピンに出力できます。この出力を許可するには、CKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)された時にI/Oピンの標準動作が無視され、このクロックがリセット間に出力されないことに注意してください。クロックがCKOUTに出力されるとき、校正付き内蔵RC発振器を含むどのクロック元も選択できます。システムクロック前置分周器が使われると、CKOUTヒューズがプログラム(0)された時の出力は分周されたシステムクロックです。

## 6.5. クロック関係レジスタ

### 6.5.1. 発振校正レジスタ (Oscillator Calibration Register) OSCCAL

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

#### ■ ビット7~0 - CAL7~0 : 発振校正値 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、115頁の表20-2.で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表20-2.で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに依って影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に対する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6~0ビットは選択した範囲内の周波数調整に使われます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。代表的な周波数については134頁の「図21-42. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値」をご覧ください。

MCUの安定な動作を保証するために校正値は小さく変更されるべきです。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。OSCCAL変更は各校正に対して\$20を越えるべきではありません。このようなクロック周波数変更の間、MCUはリセットに保たれるのを保証することが必要です。

### 6.5.2. クロック前置分周レジスタ (Clock Prescale Register) CLKPR

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

#### ■ ビット7 - CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

#### ■ ビット6~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット3~0 - CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)

これらのビットは選択したクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表6-11.で与えられます。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選択した場合、十分な分周値が選択されることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表6-11. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

## 7. 電力管理と休止形態

高機能と産業的に先行するコード効率は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

### 7.1. 休止形態種別

15頁の図6-1はATtiny24/44/84の各種クロック系統とその配給を示します。この図は適切な休止形態選択の助けになります。表7-1は異なる休止形態とそれらの起動元を示します。

表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲				発振器動作 主クロック 供給元	復帰起動要因 (割り込み)				
	clk CPU	clk FLASH	clk IO	clk ADC		INT0 ピン変化	SPM/EEPROM 操作可	A/D変換完了	その他 I/O	ウォッチドッグ
アイドル			○	○	○	○	○	○	○	○
A/D変換雑音低減				○	○	①	○	○		○
パワーダウン						①				○
スタンバイ					○	①				○

① INT0についてはレベル割り込みのみです。

4つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン、スタンバイ)のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態中に許可した割り込みが起こると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止状態から起動するとき、レジスタファイルとSRAMの内容は変更されません。休止形態中にリセットが起こると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については31頁の「外部割り込み」を参照してください。

#### 7.1.1. アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

#### 7.1.2. A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、SPM/EEPROM操作可割り込み、INT0の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

#### 7.1.3. パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、INT0の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

#### 7.1.4. スタンバイ動作

外部水晶発振子/セラミック振動子用クロック種別が選択され、SM1,0ビットが'10'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部水晶用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

## 7.2. ソフトウェア低電圧検出(BOD)禁止

低電圧検出器(BOD)がBODLEVELヒューズ(104頁の表19-4.参照)によって許可されていると、BODは休止期間中に電源電圧を活発に監視します。いくつかのデバイスはパワーダウンとスタンバイの休止形態でソフトウェアでBODを禁止することによる節電が可能です。この休止形態電力消費はBODがヒューズによって全面的に禁止される時と同じ水準になるでしょう。

BODがソフトウェアで禁止される場合、BOD機能は休止形態移行後、直ちにOFFされます。休止からの起動復帰で、BODは再び自動的に許可されます。これは休止期間中にVCCレベルが落ちた場合の安全な動作を保証します。

BODが禁止されてしまうと、MCUが命令コードの実行を継続する前にBODが正しく動作するのを保証するために、休止形態からの起動時間は概ね60 $\mu$ sになります。

BOD禁止はMCU制御レジスタ(MCU\_CR)のビット7、**BOD休止(BODS)ビット**によって制御されます。24頁の「**MCU制御レジスタ(MCU\_CR)**」をご覧ください。このビットへの**1**書き込みはパワーダウン動作とスタンバイ動作でのBODをOFFにし、一方このビットの**0**はBOD活動(有効)を保ちます。既定設定は**0**、換言するとBOD活動(有効)です。

BODSビットへの書き込みは許可ビットと時間制限手順によって制御されます。24頁の「**MCU制御レジスタ(MCU\_CR)**」をご覧ください。

### 7.2.1. 制限

BOD禁止機能は以下のデバイスにだけ実装されています。

- ATtiny24：改訂Eとそれ以降
- ATtiny44：改訂Dとそれ以降
- ATtiny84：改訂Bとそれ以降

改訂はデバイス外囲器上に記され、以下のように配置され得ます。

- 14P3と14S1外囲器の裏側
- 20M1外囲器の表側

### 7.3. 電力削減

電力削減レジスタ(24頁の「電力削減レジスタ(PRR)」参照)は個別周辺機能へのクロックを停止することにより、消費電力を削減方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使われていた資源は占有されたままなので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR)のビットを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力の削減のために活動動作とアイドル動作で使えます。その他の休止形態ではクロックが予め停止されます。例については120頁の「周辺機能部供給電流」をご覧ください。

### 7.4. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるために選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

#### 7.4.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については87頁の「A/D変換器」をご覧ください。

#### 7.4.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については85頁の「アナログ比較器」をご覧ください。

#### 7.4.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については26頁の「低電圧検出(BOD)」と22頁の「ソフトウェア低電圧検出器(BOD)禁止」をご覧ください。

#### 7.4.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については27頁の「内部基準電圧」をご覧ください。

#### 7.4.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については27頁の「ウォッチドッグ タイマ」をご覧ください。

#### 7.4.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック( $clk_{I/O}$ )とA/D変換クロック( $clk_{ADC}$ )の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については36頁の「デジタル入力許可と休止形態」をご覧ください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については86頁と97頁の「デジタル入力禁止レジスタ0(DIDR0)」をご覧ください。

## 7.5. 電力管理用レジスタ

### 7.5.1. MCU制御レジスタ (MCU Control Register) MCUCR

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7 - BODS : BOD休止 (BOD Sleep)

低電圧検出器(BOD)休止機能はいくつかのデバイスでだけ利用可能です。22頁の「制限」をご覧ください。

休止間(21頁の表7-1参照)にBODを禁止するために、BODSビットは論理1を書かれなければなりません。BODSビットの書き込みはMCUCRのBOD休止許可(BODSE)ビットと時間制限手順によって制御されます。最初にBODSとBODSEの両方が1に設定されなければなりません。次に4クロック周期内にBODSが1に設定され、BODSEが0に設定されなければなりません。BODSビットはそれが設定された後の3クロック周期間活性(有効)です。SLEEP命令は実際の休止形態に対してBODをOFFにするために、BODSが活性(有効)の間に実行されなければなりません。BODSビットは3クロック周期後、自動的に解除(0)されます。

BOD休止が実装されていないデバイスでは、このビットが使われず、常に0として読めます。

#### ■ ビット5 - SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

#### ■ ビット4,3 - SM1,0 : 休止種別選択 (Sleep Mode Select Bits 1 and 0)

これらのビットは表7-2で示される利用可能な4つの休止形態の1つを選択します。

#### ■ ビット2 - BODSE : BOD休止許可 (BOD Sleep Enable)

BOD休止機能はいくつかのデバイスでだけ利用可能です。22頁の「制限」をご覧ください。

BODSEビットはBOD休止(BODS)ビット記述で説明されるように、BODS制御ビットの設定を許可します。このBOD禁止は時間制限手順によって制御されます。

このビットはソフトウェアBOD禁止が実装されていないデバイスで使われず、それらのデバイスで常に0として読めます。

表7-2. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	スタンバイ動作 (注)

注: クロック元として外部クリスタル発振子またはセラミック振動子選択でだけ推奨されます。

### 7.5.2. 電力削減レジスタ (Power Reduction Register) PRR

電力削減レジスタは周辺機能のクロック信号の禁止を許すことによって消費電力削減の方法を提供します。

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	-	-	-	-	PRTIM1	PRTIM0	PRUSI	PRADC	PRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット3 - PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)

このビットへの1書き込みはタイマ/カウンタ1部を停止します。タイマ/カウンタ1が許可されると、停止前と同様に動作は継続します。

#### ■ ビット2 - PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は継続します。

#### ■ ビット1 - PRUSI : 多用途直列インターフェース電力削減 (Power Reduction USI)

このビットへの1書き込みはその部分へのクロック停止によって多用途直列インターフェース(USI)を停止します。USIの再起動時、USIは正しい動作を保証するために再初期化されるべきです。

#### ■ ビット0 - PRADC : A/D変換器電力削減 (Power Reduction ADC)

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使えません。

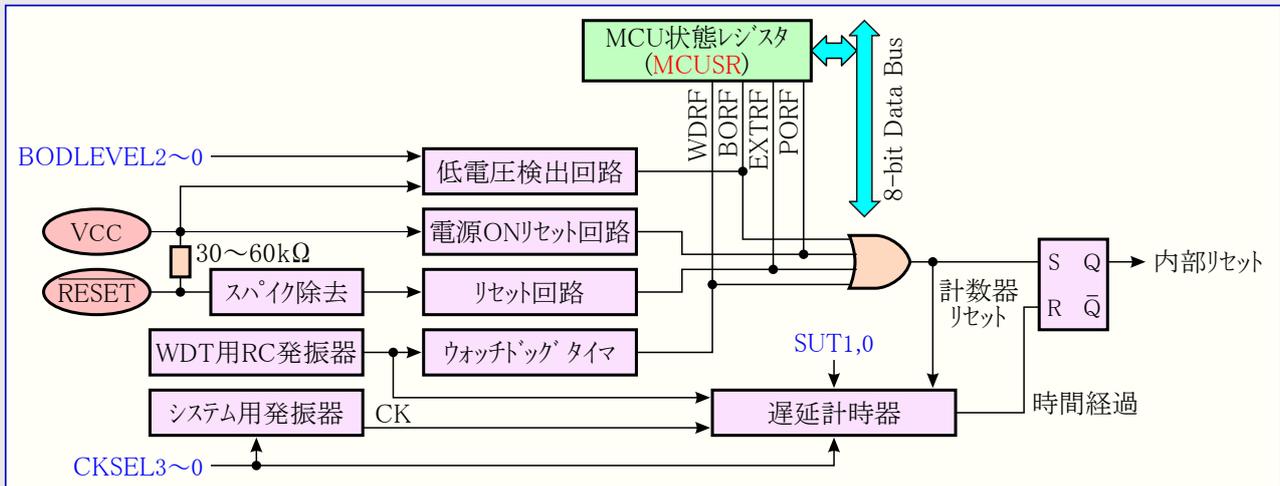
注: アナログ比較器は85頁の「アナログ比較器制御/状態レジスタ(ACSR)」のアナログ比較器禁止(ACD)ビットを使うことで禁止されます。(記注: 共通性から本注追加)

## 8. システム制御とリセット

### 8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図8-1の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は116頁の表20-4.で与えられます。

図8-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされた後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は15頁の「クロック元」で示されます。

### 8.2. リセット元

ATtiny24/44/84には次の4つのリセット元があります。

- **電源ONリセット** …… 供給電圧が電源ONリセット閾値電圧(V<sub>POA</sub>)以下でMCUがリセットされます。
- **外部リセット** …… RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグリセット** …… ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- **低電圧リセット** …… 低電圧検出器(BOD)が許可され、供給電圧(V<sub>CC</sub>)が低電圧検出電圧(V<sub>BOT</sub>)以下でMCUがリセットされます。

### 8.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は116頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧( $V_{POR}$ )への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. 内蔵電源ONリセット (RESETはVCCに接続)

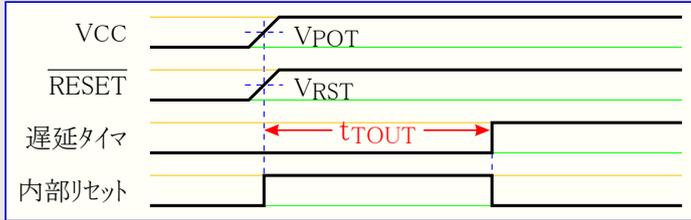
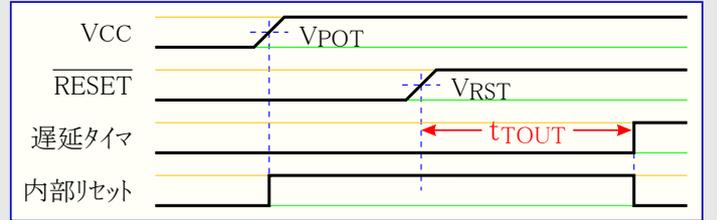


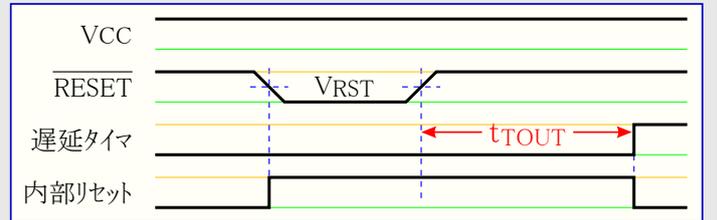
図8-3. 外部RESET信号による延長電源ONリセット



### 8.2.2. 外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(116頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧( $V_{RST}$ )に達すると(遅延タイマを起動し)、遅延タイマは遅延時間( $t_{TOUT}$ )経過後にMCUを始動します。

図8-4. 動作中の外部リセット



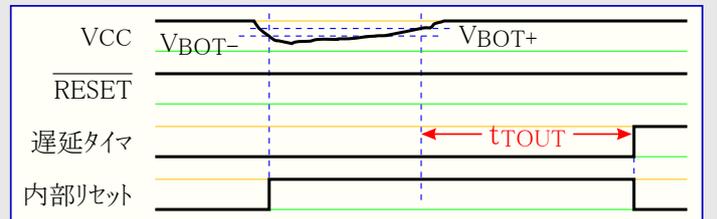
### 8.2.3. 低電圧(ブラウンアウト)検出リセット

ATtiny24/44/84には固定化された起動(検出)電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選択できます。この起動電圧はスパイク対策BODを保証するためにヒステシスを持ちます。検出電圧のヒステシスは $V_{BOT+}=V_{BOT+}+V_{HYST}/2$ 、 $V_{BOT-}=V_{BOT-}-V_{HYST}/2$ と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図8-5.の $V_{BOT-}$ )、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-5.の $V_{BOT+}$ )、(遅延タイマが起動され)遅延タイマは遅延時間( $t_{TOUT}$ )経過後にMCUを始動します。

BOD回路は電圧が116頁の「システムとリセットの特性」で与えられる $t_{BOD}$ 時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

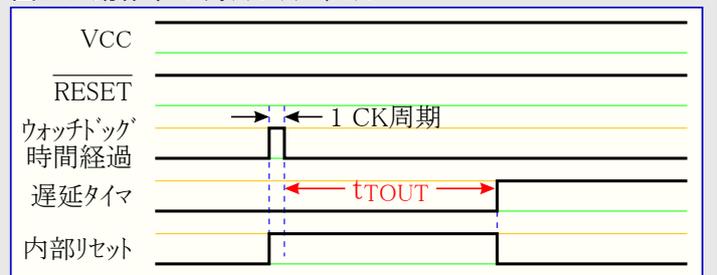
図8-5. 動作中の低電圧検出リセット



### 8.2.4. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間( $t_{TOUT}$ )の計時を始めます。ウォッチドッグ タイマ操作の詳細については27頁の「ウォッチドッグ タイマ」をご覧ください。

図8-6. 動作中のウォッチドッグ リセット



## 8.3. 内部基準電圧

ATtiny24/44/84は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。バンドギャップ電圧は供給電圧と温度で変化します。

### 8.3.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、116ページの「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVELヒューズのプログラム(0)により)
2. アナログ比較器内部基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

## 8.4. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで動く独立したチップ上の発振器からクロック駆動されます。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は29頁の表8-3.で示されるように調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。10種の異なるクロック周期がこのリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny24/44/84はリセットしてリセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては29頁の表8-3.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これはパワーダウン動作から起動するのにウォッチドッグを使う時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表8-1.で示されるWDTONヒューズによって選択されます。詳細については次の「ウォッチドッグ タイマ設定変更の時間制限手順」を参照してください。

図8-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

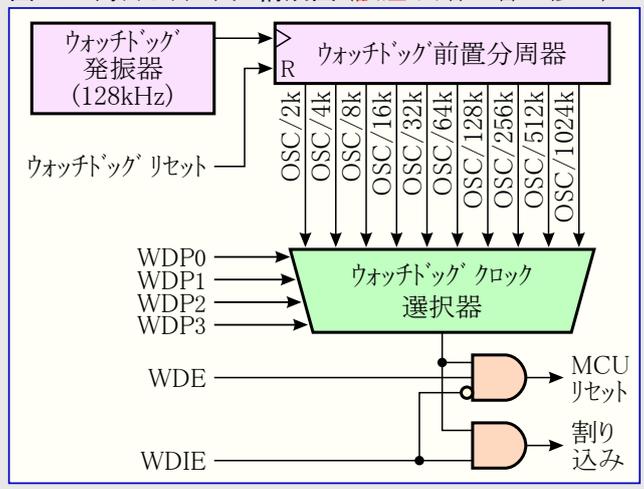


表8-1. WDTONヒューズ設定によるウォッチドッグ機能設定

WDTON ヒューズ	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	時間制限	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	時間制限

### 8.4.1. ウォッチドッグ タイマ設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

#### 8.4.1.1. 安全レベル1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことにより許可できます。許可したウォッチドッグ タイマを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)でウォッチドッグ変更許可(WDCE)とウォッチドッグ許可(WDE)に論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書きますが、WDCEビットは解除(0)されてです。

#### 8.4.1.2. 安全レベル2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEビットが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDP2~0ビットを書きますが、WDCEビットは解除(0)されてです。WDEビットに書かれた値は無関係です。

## 8.4.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

### アセンブリ言語プログラム例

```

WDT_OFF:    WDR                ;ウォッチドッグ タイマリセット
            LDI    R16, (0<<WDRF) ;WDRF=0値を取得
            OUT    MCUSR, R16      ;MCUSRのWDRFを解除(0)
            IN     R16, WDTCSR     ;現WDTCSR値を取得
            ORI    R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
            OUT    WDTCSR, R16    ;WDCEとWDEに論理1書き込み
            LDI    R16, (0<<WDE)  ;WDE論理0値を取得
            OUT    WDTCSR, R16    ;ウォッチドッグ禁止
            RET                    ;呼び出し元へ復帰
    
```

### C言語プログラム例

```

void WDT_off(void)
{
    _WDR();                /*ウォッチドッグ タイマリセット*/
    MCUSR = 0x00;         /*MCUSRのWDRFを解除(0)*/
    WDTCSR |= (1<<WDCE) | (1<<WDE); /*WDCEとWDEに論理1書き込み*/
    WDTCSR = 0x00;       /*ウォッチドッグ禁止*/
}
    
```

注: 4頁の「コード例」をご覧ください。

## 8.5. リセット関係レジスタ

### 8.5.1. MCU状態レジスタ (MCU Status Register) MCUSR

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

#### ■ ビット7~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

#### ■ ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

#### ■ ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

#### ■ ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセットフラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセットフラグを調べることによって得られます。

## 8.5.2. ウォッチドッグ タイム制御/状態レジスタ (Watchdog Timer Control and Status Register) WDTCSR

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

### ■ ビット7 - WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイムが割り込みに設定され、ウォッチドッグ タイムで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

### ■ ビット6 - WDIE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この動作ではウォッチドッグ タイムで計時完了が起きる場合、リセットに代わって対応する割り込みが実行されます。

WDEが設定(1)されると、WDIEは計時完了が起きるとき、ハードウェアによって自動的に解除(0)されます。これは割り込みを使う間のウォッチドッグ リセット保護を維持するのに有用です。WDIEビットが解除(0)された後、次の計時完了はリセットを生成するでしょう。このウォッチドッグ リセットを避けるには、各割り込み後にWDIEが設定(1)されなければなりません。

表8-2. ウォッチドッグ タイム設定

WDE	WDIE	動作状態	計時完了での動作
0	0	停止	なし
0	1	走行	割り込み
1	0	走行	リセット
1	1	走行	割り込み

### ■ ビット4 - WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。このビットは前置分周ビットを変更する時も設定(1)されなければなりません。27頁の「ウォッチドッグ タイム設定変更の時間制限手順」をご覧ください。

### ■ ビット3 - WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可(WDE)が論理1を書かれるとウォッチドッグ タイムが許可され、WDEが論理0を書かれるとウォッチドッグ タイム機能が禁止されます。WDEはウォッチドッグ変更許可(WDCE)ビットが論理レベル1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイムを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)内で、ウォッチドッグ変更許可(WDCE)ビットとウォッチドッグ許可(WDE)ビットに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

安全レベル2では上記の手順でもウォッチドッグ タイムを禁止することができません。27頁の「ウォッチドッグ タイム設定変更の時間制限手順」をご覧ください。

安全レベル1ではWDEがMCUSRのウォッチドッグ リセット フラグ(WDRF)によって無効にされます。WDRFの説明については28頁の「MCU状態レジスタ(MCUSR)」をご覧ください。これはWDRFが設定(1)されていると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するには上記手順でウォッチドッグを禁止する前にWDRFが解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

**注:** ウォッチドッグ タイムが応用で使われないなら、デバイス初期化でウォッチドッグ禁止手順を全て行なうことが重要です。ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、その転化が次のウォッチドッグ リセットを引き起こすでしょう。この状態を避けるため、応用ソフトウェアは初期化ルーチンでWDRFフラグとWDE制御ビットを常に解除(0)すべきです。

### ■ ビット5,2~0 - WDP3~0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイムが許可される時のウォッチドッグ タイムの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表8-3.で示されます。

表8-3. ウォッチドッグ前置分周器選択

WDP3	0								1							
	0				1				0				1			
WDP2	0		1		0		1		0		1		0		1	
WDP1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)(注)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

**注:** 選択したなら、1010未満の有効設定の1つが使用されます。



## 9. 割り込み

本項はATtiny24/44/84によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については、8頁の「[リセットと割り込みの扱い](#)」をご覧ください。

### 9.1. ATtiny24/44/84の割り込みベクタ

ATtiny24/44/84の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCI0)	ピン変化0群割り込み要求
4	\$0003	PCINT1 (PCI1)	ピン変化1群割り込み要求
5	\$0004	ウォッチドッグ WDT	ウォッチドッグ計時完了
6	\$0005	タイマ/カウンタ1 CAPT	タイマ/カウンタ1捕獲発生
7	\$0006	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
8	\$0007	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
9	\$0008	タイマ/カウンタ1 OVF1	タイマ/カウンタ1溢れ
10	\$0009	タイマ/カウンタ0 COMPA	タイマ/カウンタ0比較A一致
11	\$000A	タイマ/カウンタ0 COMPB	タイマ/カウンタ0比較B一致
12	\$000B	タイマ/カウンタ0 OVF0	タイマ/カウンタ0溢れ
13	\$000C	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
14	\$000D	A/D変換器 ADC	A/D変換完了
15	\$000E	EEPROM EE_RDY	EEPROM 操作可
16	\$000F	USI START	USI 開始条件検出
17	\$0010	USI OVF	USI 計数器溢れ

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードを配置できます。ATtiny24/44/84での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定は下のプログラム例で示されます。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	;各種リセット
\$0001		RJMP INT0	;外部割り込み要求0
\$0002		RJMP PCINT0	;ピン変化0群割り込み要求
\$0003		RJMP PCINT1	;ピン変化1群割り込み要求
\$0004		RJMP WDT	;ウォッチドッグ計時完了
\$0005		RJMP TIM1_CAPT	;タイマ/カウンタ1捕獲発生
\$0006		RJMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$0007		RJMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$0008		RJMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$0009		RJMP TIM0_COMPA	;タイマ/カウンタ0比較A一致
\$000A		RJMP TIM0_COMPB	;タイマ/カウンタ0比較B一致
\$000B		RJMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$000C		RJMP ANA_COMP	;アナログ比較器出力遷移
\$000D		RJMP ADC	;A/D変換完了
\$000E		RJMP EE_RDY	;EEPROM操作可
\$000F		RJMP USI_STRT	;USI 開始条件検出
\$0010		RJMP USI_OVF	;USI 計数器溢れ
		;	
\$0011	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得 (ATtiny44/84のみ)
\$0012		OUT SPH, R16	;スタックポインタ上位を初期化 (ATtiny44/84のみ)
\$0013		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0014		OUT SPL, R16	;スタックポインタ下位を初期化
		;	;以下、I/O初期化など

## 9.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～11ピンの何れかによって起動されます。許可したなら、例えINT0またはPCINT0～11ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。**ピン変化割り込みPCII**は許可したPCINT8～11の何れかが切り替わると起動します。**ピン変化割り込みPCIO**は許可したPCINT0～7の何れかが切り替わると起動します。ピン変化割り込み許可レジスタn(PCMSK0,PCMSK1)は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0～11でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使えることを意味します。

INT0割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。これは**MCU制御レジスタ(MCUCR)**の詳述で示される設定です。INT0割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0の上昇端または下降端割り込みの認知は**15頁の「クロック体系」**で記述されるI/Oクロックの存在を必要とすることに注意してください。

### 9.2.1. Lowレベル割り込み

INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みが**アイドル動作以外の休止形態**からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態で停止されます。

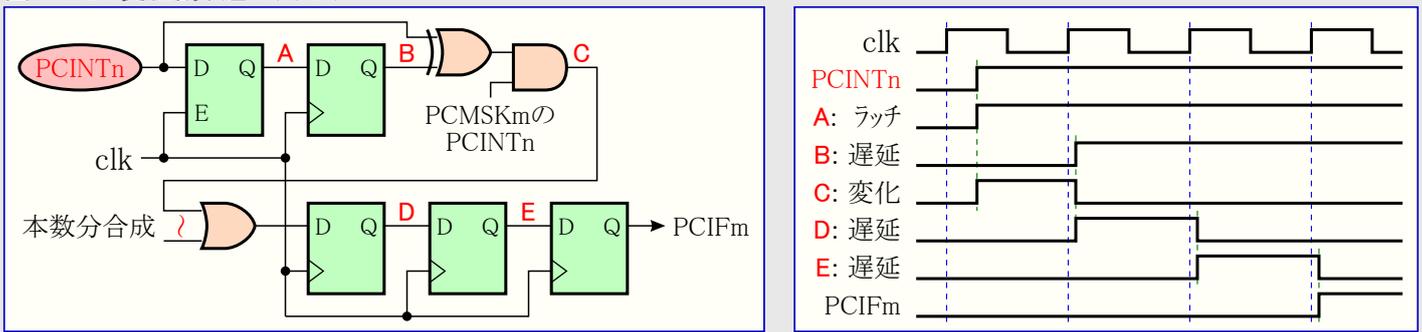
レベル起動割り込みが**パワーダウン動作**からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は**15頁の「クロック元」**で示されるように**SUTヒューズ**と**CKSELヒューズ**で定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、**SLEEP**命令に続く命令から継続します。

### 9.2.2. ピン変化割り込みタイミング

ピン変化割り込みの例は**図9-1**で示されます。

図9-1. ピン変化割り込みタイミング



## 9.3. 割り込み用レジスタ

### 9.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

MCU制御レジスタは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット1,0 - ISC01,0 : 外部割り込み0条件制御 (Interrupt Sense Control 0 bit1 and 0)

外部割り込み0は**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**と**一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビット**が設定(1)される場合のINT0外部ピンによって活性(有効)にされます。割り込みを活性にする外部INT0ピンのエッジとレベルは**表9-2**で定義されます。INT0ピンの値はエッジ検出に先立って採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表9-2. 外部割り込み0(INT0)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0ピンのLowレベル
0	1	INT0ピンの論理変化(両端)
1	0	INT0ピンの下降端
1	1	INT0ピンの上昇端

### 9.3.2. 一般割り込み許可レジスタ (General Interrupt Mask Register) GIMSK

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	–	INT0	PCIE1	PCIE0	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7,3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCU\_CR)の割り込み0条件制御(ISC01,0)ビットは、この外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

#### ■ ビット5 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE1ビットが設定(1)されると、ピン変化1群割り込みが許可されます。許可したPCINT8~11ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCIF1割り込みベクタから実行されます。PCINT8~11ピンはピン変化割り込み許可レジスタ1(PCMSK1)によって個別に許可されます。

#### ■ ビット4 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化0群割り込みが許可されます。許可したPCINT0~7ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCIF0割り込みベクタから実行されます。PCINT0~7ピンはピン変化割り込み許可レジスタ0(PCMSK0)によって個別に許可されます。

### 9.3.3. 一般割り込み要求フラグ レジスタ (General Interrupt Flag Register) GIFR

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	–	INTF0	PCIF1	PCIF0	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7,3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

INT0ピン上のエッジまたは論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

#### ■ ビット5 – PCIF1 : ピン変化1群割り込み要求フラグ (Pin Change Interrupt Flag 1)

PCINT8~11ピンの何れかの変化が割り込み要求を起動すると、PCIF1が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化1群割り込み許可(PCIE1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

#### ■ ビット4 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

PCINT0~7ピンの何れかの変化が割り込み要求を起動すると、PCIF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

### 9.3.4. ピン変化割り込み許可レジスタ1 (Pin Change Enable Mask 8~11) PCMSK1

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	-	-	-	-	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7~4 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット3~0 - PCINT11~PCINT8 : ピン変化割り込み11~8許可 (Pin Change Enable Mask 11~8)

各PCINT8~11ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT8~11と一般割り込み許可(GIMSK)レジスタのPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT8~11が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

### 9.3.5. ピン変化割り込み許可レジスタ0 (Pin Change Enable Mask 0~7) PCMSK0

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7~0 - PCINT7~PCINT0 : ピン変化割り込み7~0許可 (Pin Change Enable Mask 7~0)

各PCINT0~7ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0~7と一般割り込み許可(GIMSK)レジスタのPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0~7が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

## 10. 入出力ポート

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード・モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方角をも無意識に変更することなく、1つのポートピンの方角を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図10-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については114頁の「電気的特性」を参照してください。

本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は43頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は37頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

### 10.1. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属にPx<sub>n</sub>と呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-1. 入出力ピン等価回路

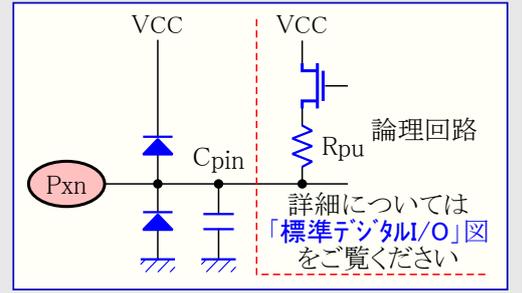
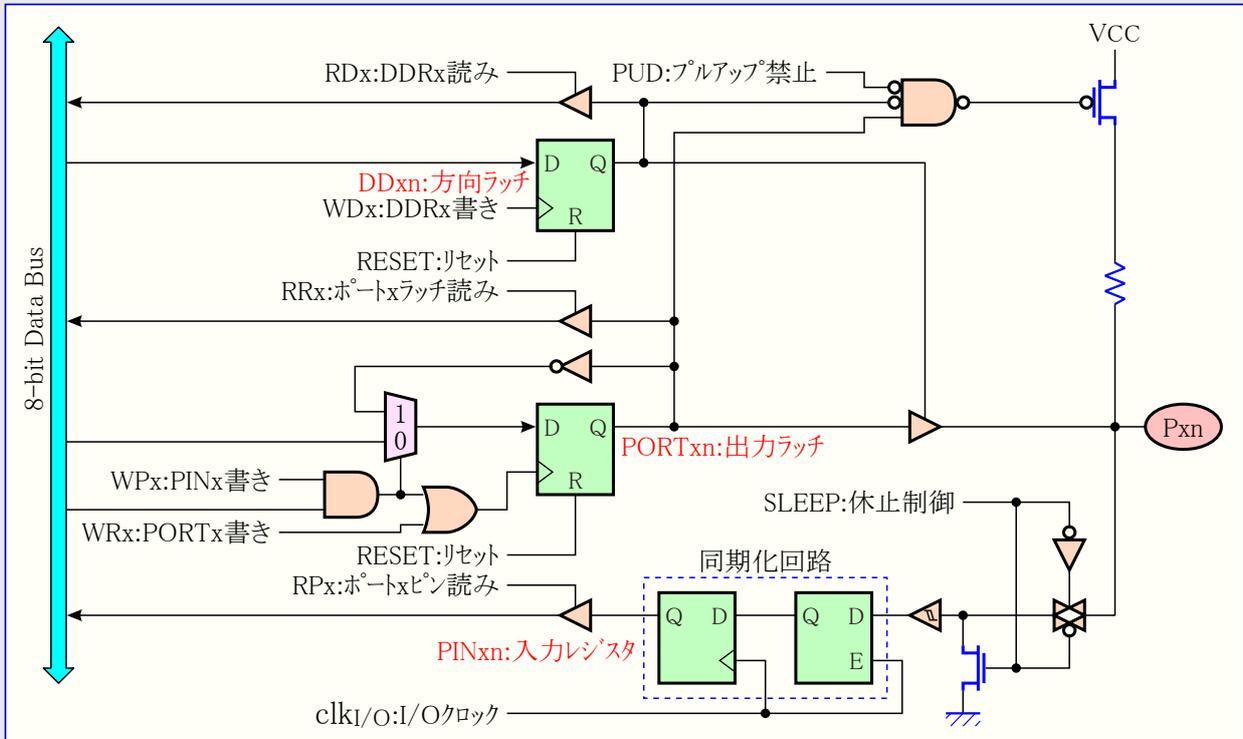


図10-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
clk<sub>I/O</sub>, SLEEP, PUDは全ポートで共通です。

## 10.1.1. ピンの設定

各ポートピンは3つのレジスタビット、DDxn、PORTxn、PINxnから成ります。43頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxnビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選択します。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

## 10.1.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

## 10.1.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの中間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表10-1.はピン値に対する制御信号の一覧を示します。

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

## 10.1.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタ ステープル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-3.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(図10-3.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間( $t_{pd}$ )は1システムクロック周期です。

図10-3. 外部供給ピン値読み込み時の同期化

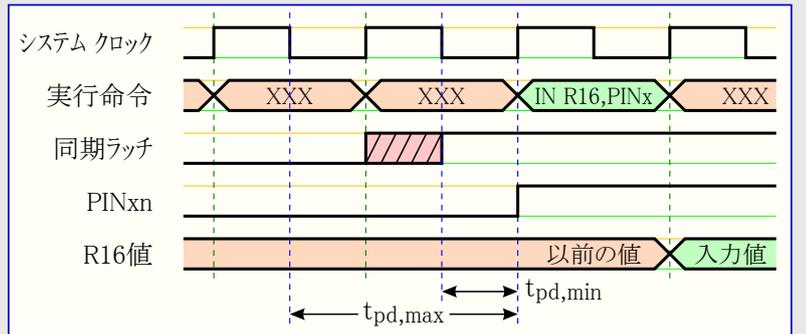
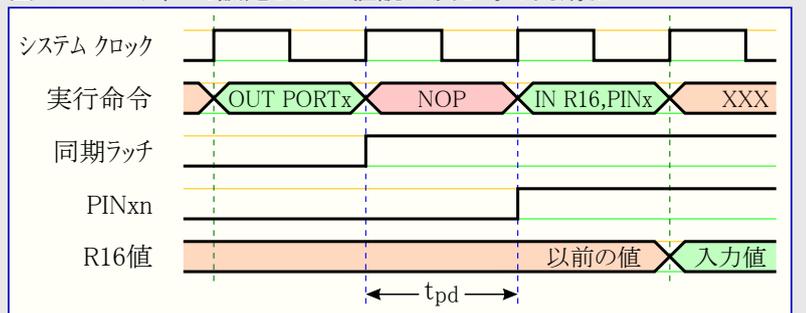


図10-4. プログラムで設定したピン値読み戻し時の同期化



次のコード例はポートAピンの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

#### アセンブリ言語プログラム例

```

~
LDI    R16, (1<<PA4) | (1<<PA1) | (1<<PA0)      ;プルアップとHigh値を取得
LDI    R17, (1<<DDA3) | (1<<DDA2) | (1<<DDA1) | (1<<DDA0) ;出力ビット値を取得
OUT    PORTA, R16                               ;プルアップとHigh値を設定
OUT    DDRA, R17                                ;入出力方向を設定
NOP                                         ;同期化遅延対処
IN     R16, PINA                                ;ピン値読み戻し
~
;

```

#### C言語プログラム例

```

unsigned char i;
~
PORTA = (1<<PA4) | (1<<PA1) | (1<<PA0);          /* */
DDRA = (1<<DDA3) | (1<<DDA2) | (1<<DDA1) | (1<<DDA0); /* プルアップとHigh値を設定 */
__no_operation();                               /* 入出力方向を設定 */
i = PINA;                                       /* 同期化遅延対処 */
~
/* ピン値読み戻し */
/* */

```

**注:** アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするために2つの一時レジスタが使われます。

**注:** 4頁の「コード例」をご覧ください。

### 10.1.5. デジタル入力許可と休止形態

図10-2.で示されるようにデジタル入力信号はシュmittトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**と**スタンバイ動作**でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは37頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

### 10.1.6. 未接続ピン

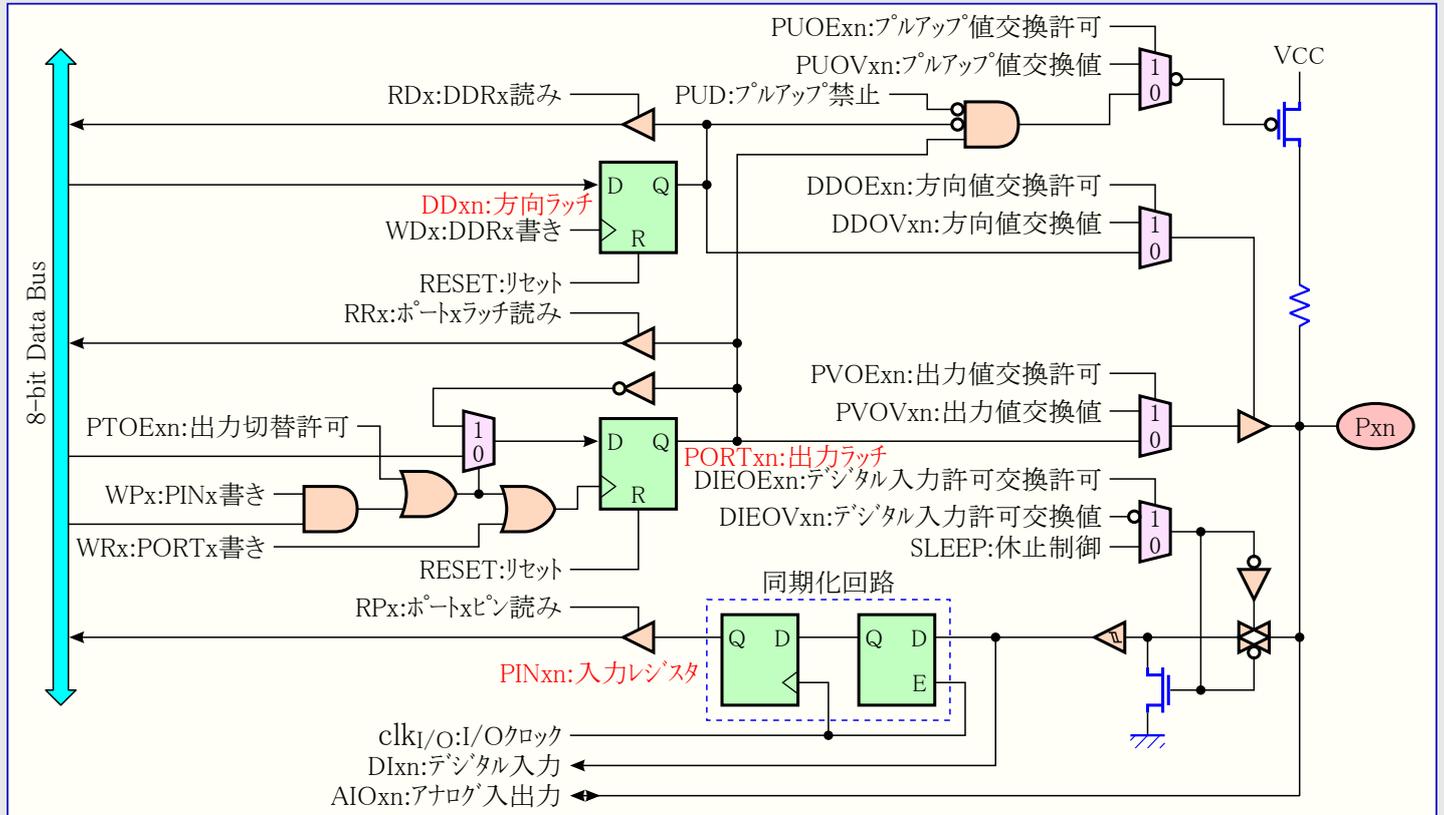
いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例え上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

## 10.2. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。下の図10-5.で単純化された図10-2.でのポートピン制御信号が交換機能によってどう重複し得るかが示されます。

図10-5. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。  
clkI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。

表10-2.は重複(交換)信号の機能一覧を示します。図10-5.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0なら、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。本信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

### 10.2.1. ポートAの交換機能

ポートAピンの交換機能は表10-3.で示されます。

ポート ピン	交換機能	ポート ピン	交換機能	
PA7	ICP1 (タイマ/カウンタ1 捕獲起動入力) OC0B (タイマ/カウンタ0比較B一致/PWM-B出力) ADC7 (A/D変換チャネル7入力) PCINT7 (ピン変化割り込み7入力)	PA4	T1 (タイマ/カウンタ1 外部クロック入力) USCK (3線動作USIクロック入出力) SCL (2線動作USI(TWI)クロック入出力) SCK (SPI 直列プログラミング クロック入力) ADC4 (A/D変換チャネル4入力) PCINT4 (ピン変化割り込み4入力)	
	PA6		OC1A (タイマ/カウンタ1比較A一致/PWM-A出力) DI (3線動作USIデータ入力) SDA (2線動作USI(TWI)データ入出力) MOSI (SPI 直列プログラミング データ入力) ADC6 (A/D変換チャネル6入力) PCINT6 (ピン変化割り込み6入力)	PA3
PA5		OC1B (タイマ/カウンタ1比較B一致/PWM-B出力) DO (3線動作USIデータ出力) MISO (SPI 直列プログラミング データ出力) ADC5 (A/D変換チャネル5入力) PCINT5 (ピン変化割り込み5入力)	PA2	ADC2 (A/D変換チャネル2入力) AIN1 (アナログ比較器反転入力) PCINT2 (ピン変化割り込み2入力)
			PA1	ADC1 (A/D変換チャネル1入力) AIN0 (アナログ比較器非反転入力) PCINT1 (ピン変化割り込み1入力)
	PA0	ADC0 (A/D変換チャネル0入力) AREF (A/D変換外部基準電圧入力) PCINT0 (ピン変化割り込み0入力)		

交換ピンの設定は次のとおりです。

• ICP1/OC0B/ADC7/PCINT7 – ポートA ビット7 : PA7

ICP1 : タイマ/カウンタ1の捕獲起動入力。PA7ピンはタイマ/カウンタ1用捕獲起動入力ピンとして動作できます。

OC0B : タイマ/カウンタ0の比較B一致出力。PA7ピンはタイマ/カウンタ0の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDA7=1)されなければなりません。これはタイマ機能のPWM動作用出力ピンでもあります。

ADC7 : A/D変換器チャネル7入力。

PCINT7 : ピン変化割り込み元7入力。PA7ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• OC1A/DI/SDA/MOSI/ADC6/PCINT6 – ポートA ビット6 : PA6

OC1A : タイマ/カウンタ1の比較A一致出力。PA6ピンはタイマ/カウンタ1の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDA6=1)されなければなりません。これはタイマ機能のPWM動作用出力ピンでもあります。

DI : 3線動作USIデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンは入力として設定されなければなりません。

SDA : 2線動作USI(TWI)のデータ入出力。

MOSI : SPI直列プログラミング時のデータ入力。

ADC6 : A/D変換器チャネル6入力。

PCINT6 : ピン変化割り込み元6入力。PA6ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• OC1B/DO/MISO/ADC5/PCINT5 – ポートA ビット5 : PA5

OC1B : タイマ/カウンタ1の比較B一致出力。PA5ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDA5=1)されなければなりません。このOC1Bピンはタイマ機能のPWM動作用出力ピンでもあります。

DO : 3線動作USIのデータ出力。データ出力(DO)はPORTA5値を無効にし、データ方向(DDA5)ビットが設定(1)されると、ポートが駆動されます。けれどもPORTA5ビットは未だプルアップを制御し、方向が入力でPORTA5が設定(1)されるならプルアップを許可します。

MISO : SPI直列プログラミング時のデータ出力。

ADC5 : A/D変換器チャネル5入力。

PCINT5 : ピン変化割り込み元5入力。PA5ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

• T1/USCK/SCL/SCK/ADC4/PCINT4 – ポートA ビット4 : PA4

T1 : タイマ/カウンタ1の外部クロック入力。

USCK : 3線動作USIのクロック入出力。

SCL : 2線動作USI(TWI)のクロック入出力。

SCK : SPI直列プログラミング時のクロック入力。

ADC4 : A/D変換器チャネル4入力。

PCINT4 : ピン変化割り込み元4入力。PA4ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- T0/ADC3/PCINT3 – ポートA ビット3 : PA3

T0 : タイマ/カウンタ0の外部クロック入力。

ADC3 : A/D変換器チャンネル3入力。

PCINT3 : ピン変化割り込み元3入力。PA3ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- ADC2/AIN1/PCINT2 – ポートA ビット2 : PA2

ADC2 : A/D変換器チャンネル2入力。

AIN1 : アナログ比較器の反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT2 : ピン変化割り込み元2入力。PA2ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- ADC1/AIN0/PCINT1 – ポートA ビット1 : PA1

ADC1 : A/D変換器チャンネル1入力。

AIN0 : アナログ比較器の非反転入力。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT1 : ピン変化割り込み元1入力。PA1ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- ADC0/AREF/PCINT0 – ポートA ビット0 : PA0

ADC0 : A/D変換器チャンネル0入力。

AREF : A/D変換器用外部アナログ基準電圧入力。このピンがA/D多重器選択(ADMUX)レジスタのREFS0ビット設定(=1)によってAREFピンで外部基準電圧、または外部コンデンサとで内部基準電圧として使われると、PA0でプルアップと出力駆動部が禁止されます。

PCINT0 : ピン変化割り込み元0入力。PA0ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

表10-4.と表10-5.はポートAの交換機能を37頁の図10-5.で示される交換信号に関連付けます。

表10-4. ポートA7~4の交換機能用交換信号

信号名	PA7/ICP1/OC0B/ADC7/ PCINT7	PA6/OC1A/DI/SDA/ MOSI/ADC6/PCINT6	PA5/OC1B/DO/MISO/ ADC5/PCINT5	PA4/T1/USCK/SCL/ SCK/ADC4/PCINT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線USI	0	2線USI
DDOV	0	( $\overline{\text{SDA}}+\text{PORTA6}$ ) $\cdot$ DDA6	0	(SCL保持+ $\overline{\text{PORTA4}}$ ) $\cdot$ DDA4
PVOE	OC0B許可	(2線USI $\cdot$ DDA6)+OC1A許可	3線USI+OC1B許可	2線USI $\cdot$ DDA4
PVOV	OC0B	(2線USI $\cdot$ DDA6) $\cdot$ OC1A	3線USI $\cdot$ DO+3線USI $\cdot$ OC1B	0
PTOE	0	0	0	USI許可
DIOE	(PCIE0 $\cdot$ PCINT7)+ADC7D	(PCIE0 $\cdot$ PCINT6) +USISIE+ADC6D	(PCIE0 $\cdot$ PCINT5)+ADC5D	(PCIE0 $\cdot$ PCINT4) +USISIE+ADC4D
DIOV	PCIE0 $\cdot$ PCINT7	(PCIE0 $\cdot$ PCINT6)+USISIE	PCIE0 $\cdot$ PCINT5	(PCIE0 $\cdot$ PCINT4)+USISIE
DI	ICP1/PCINT7入力	DI/SDA/PCINT6入力	PCINT5入力	T1/USCK/SCL/PCINT4 入力
AIO	ADC7入力	ADC6入力	ADC5入力	ADC4入力

表10-5. ポートA3~0の交換機能用交換信号

信号名	PA3/T0/ADC3/PCINT3	PA2/ADG2/AIN1/PCINT2	PA1/ADC1/AIN0/PCINT1	PA0/ADC0/AREF/PCINT0
PUOE	0	0	0	RESET $\cdot$ REFS0
PUOV	0	0	0	0
DDOE	0	0	0	$\overline{\text{RESET}}\cdot$ REFS0
DDOV	0	0	0	0
PVOE	0	0	0	$\overline{\text{RESET}}\cdot$ REFS0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIOE	(PCIE0 $\cdot$ PCINT3)+ADC3D	(PCIE0 $\cdot$ PCINT2)+ADC2D	(PCIE0 $\cdot$ PCINT1)+AIN1D	(PCIE0 $\cdot$ PCINT0)+AIN0D
DIOV	PCIE0 $\cdot$ PCINT3	PCIE0 $\cdot$ PCINT2	PCIE0 $\cdot$ PCINT1	PCIE0 $\cdot$ PCINT0
DI	PCINT3入力	PCINT2入力	PCINT1入力	PCINT0入力
AIO	ADC3入力	ADC2/ アナログ比較器反転入力	ADC1/ アナログ比較器非反転入力	ADC0/ アナログ基準電圧入力

(訳注) 原書の表10-4.、表10-5.、表10-6.の3つの表は表10-4.と表10-5.として纏めました。

## 10.2.2. ポートBの交換機能

ポートBピンの交換機能は表10-7.で示されます。

表10-7. ポートBピンの交換機能

ポート ピン	交換機能	ポート ピン	交換機能
PB3	RESET (外部リセット入力) dW (デバッグWIRE入出力) PCINT11 (ピン変化割り込み11入力)	PB1	XTAL2 (システムクロック用発振増幅器出力) PCINT9 (ピン変化割り込み9入力)
PB2	INT0 (外部割り込み0入力) OC0A (タイマ/カウンタ0比較A一致/PWM-A出力) CKOUT (システムクロック出力) PCINT10 (ピン変化割り込み10入力)	PB0	XTAL1 (システムクロック用発振増幅器入力) CLKI (外部クロック信号入力) PCINT8 (ピン変化割り込み8入力)

交換ピンの設定は次のとおりです。

- **RESET/dW/PCINT11 – ポートBビット3 : PB3**

**RESET** : 外部リセット入力はLow活性(有効)で、RSTDISBLヒューズ<sup>1</sup>の非プログラム(1)により許可されます。このピンがRESETピンとして使われると、プルアップが活性(有効)にされ、出力駆動部とデジタル入力は非活性(無効)にされます。

**dW** : デバッグWIRE許可(DWEN)ヒューズ<sup>2</sup>がプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

**PCINT11** : ピン変化割り込み元11入力。PB3ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

- **INT0/OC0A/CKOUT/PCINT10 – ポートBビット2 : PB2**

**INT0** : 外部割り込み0入力。PB2ピンはMCUへの外部割り込み元として扱えます。

**OC0A** : タイマ/カウンタ0の比較A一致出力。PB2ピンはタイマ/カウンタ0の比較A一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(DDB2=1)されなければなりません。このOC0Aピンはタイマ機能のPWM動作出力ピンでもあります。

**CKOUT** : システムクロック出力。分周したシステムクロックはPB2ピンに出力できます。分周したシステムクロックはCKOUTヒューズ<sup>3</sup>がプログラム(0)されると、PORTB2とDDB2設定に拘らず、出力されます。これはリセット中にも出力されます。

**PCINT10** : ピン変化割り込み元10入力。PB2ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

- **XTAL2/PCINT9 – ポートBビット1 : PB1**

**XTAL2** : システムクロック発振器ピン2。内部RC発振器と外部クロックを除く全てのチップクロック元用クロックピンとして使われます。クロックピンとして使われると、このピンはI/Oピンとして使えません。チップクロック元として校正可能な内蔵RC発振器または外部クロックを使うと、PB1は通常のI/Oピンとして扱います。

**PCINT9** : ピン変化割り込み元9入力。PB1ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

- **XTAL1/CLKI/PCINT8 – ポートBビット0 : PB0**

**XTAL1** : システムクロック発振器ピン1。校正可能な内蔵RC発振器を除く全てのチップクロック元用クロックピンとして使われます。クロックピンとして使われると、このピンはI/Oピンとして使えません。チップクロック元として校正可能な内蔵RC発振器を使うと、PB0は通常のI/Oピンとして扱います。

**CLKI** : 外部クロック元からのクロック信号入力。16ページの「外部クロック信号」をご覧ください。

**PCINT8** : ピン変化割り込み元8入力。PB0ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

表10-8. はポートBの交換機能を37頁の図10-5. で示される交換信号に関連付けます。

表10-8. ポートB3~0の交換機能用交換信号

信号名	PB3/RESET/dW/PCINT11	PB2/INT0/OC0A/CKOUT/PCINT10	PB1/XTAL2/PCINT9	PB0/XTAL1/PCINT8
PUOE	RSTDISBL+dW許可	CKOUT	外部用発振器	外部用発振器+外部クロック
PUOV	1	0	0	0
DDOE	RSTDISBL+dW許可	CKOUT	外部用発振器	外部用発振器+外部クロック
DDOV	dW許可・dW送信	1	0	0
PVOE	RSTDISBL+dW許可	CKOUT+OC0A許可	外部用発振器	外部用発振器+外部クロック
PVOV	0	(CKOUT・システムクロック) +(CKOUT・OC0A)	0	0
PTOE	0	0	0	0
DIEOE	(PCIE1・PCINT11) +RSTDISBL+dW許可	(PCIE1・PCINT10)+INT0	(PCIE1・PCINT9) +外部用発振器	(PCIE1・PCINT8) +外部用発振器+外部クロック
DIEOV	(PCIE1・PCINT11・ RSTDISBL)+dW許可	(PCIE1・PCINT10)+INT0	PCIE1・PCINT9	(PCIE1・PCINT8・内部クロック) +(外部クロック・パワーダウン)
DI	dW/PCINT11入力	INT0/PCINT10入力	PCINT9入力	外部クロック/PCINT8入力
AIO	-	-	クロック発振器出力	クロック発振器入力

注: ・ RSTDISBLはRSTDISBLヒューズがプログラム(0)時に1です。

- ・ dW(デバッグWIRE)はDWENヒューズがプログラム(0)で、且つ施錠ビットが非プログラム(1)の時に許可されます。
- ・ 外部用発振器はシステムクロックとしてクリスタル用発振器または低周波数クリスタル用発振器の選択時です。
- ・ 外部クロックはシステムクロックとして外部クロック信号の選択時です。
- ・ 内部クロックはシステムクロックとして内部のRC発振器選択時です。

(訳注) 原書の表10-8.と表10-9.は表10-8.として纏めました。

### 10.3. I/Oポート用レジスタ

#### 10.3.1. MCU制御レジスタ (MCU Control Register) MCUCR

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

##### ■ ビット4 – PUD : プルアップ禁止 (Pull-up Disable)

このビットが1を書かれると、例えばDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては35頁の「ピンの設定」をご覧ください。

#### 10.3.2. ポートA出力レジスタ (Port A Data Register) PORTA

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

#### 10.3.3. ポートA方向レジスタ (Port A Data Direction Register) DDRA

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

#### 10.3.4. ポートA入力レジスタ (Port A Input Address) PINA

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W								
初期値	不定								

#### 10.3.5. ポートB出力レジスタ (Port B Data Register) PORTB

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	–	–	–	–	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.3.6. ポートB方向レジスタ (Port B Data Direction Register) DDRB

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	–	–	–	–	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### 10.3.7. ポートB入力レジスタ (Port B Input Address) PINB

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	–	–	–	–	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

## 11. 8ビット タイマ/カウンタ0 (PWM付き)

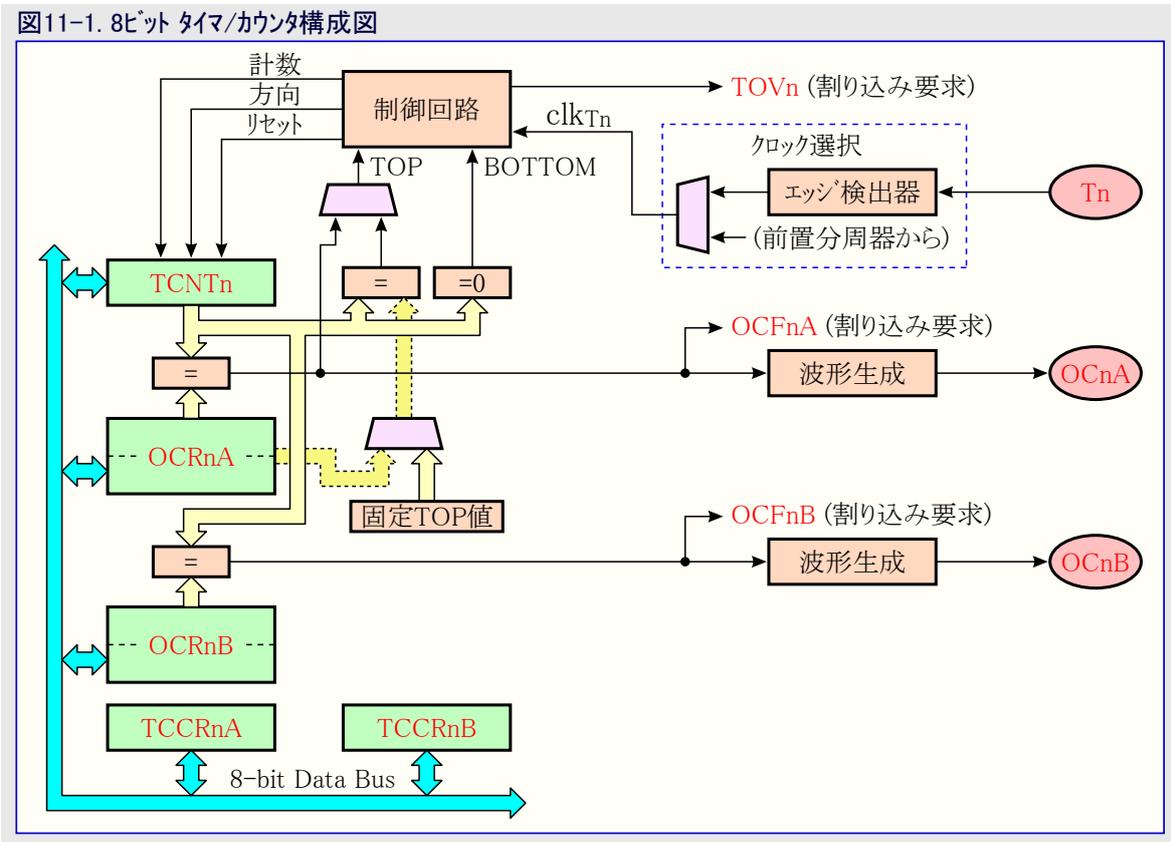
### 11.1. 特徴

- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

### 11.2. 概要

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

この8ビット タイマ/カウンタの簡便化した構成図は図11-1.で示されます。I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は52頁の「8ビット タイマ/カウンタ用レジスタ」で一覧されます。



#### 11.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ0割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ0割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については46頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

## 11.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表11-1.の定義は本資料を通して広範囲に渡って使われます。

表11-1. 用語定義

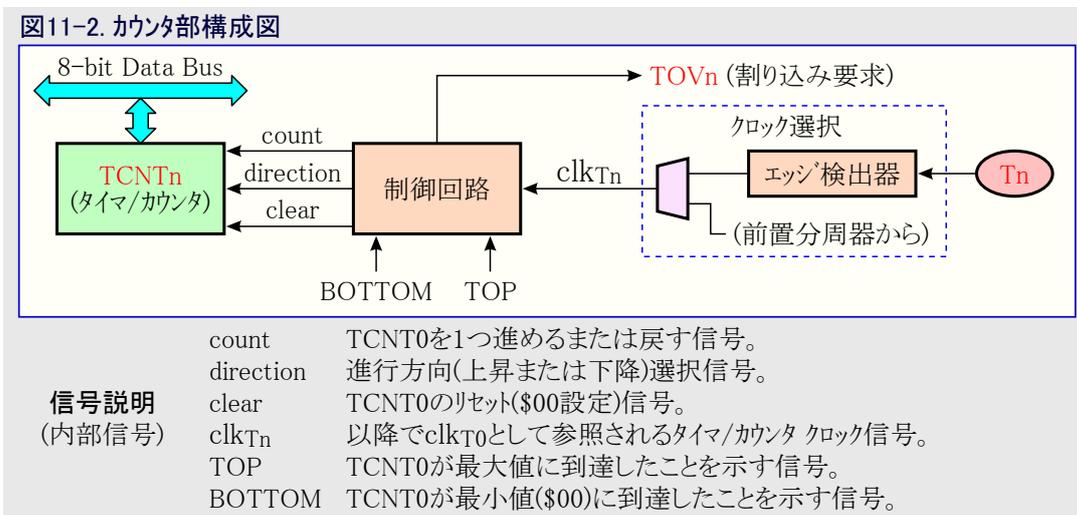
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

## 11.3. クロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については75頁の「タイマ/カウンタの前置分周器」をご覧ください。

## 11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-2.は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ0制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ0制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成については48頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選択された動作種別に従って設定(1)されます。TOV0はCPU割り込み発生に使えます。

## 11.5. 比較出力部

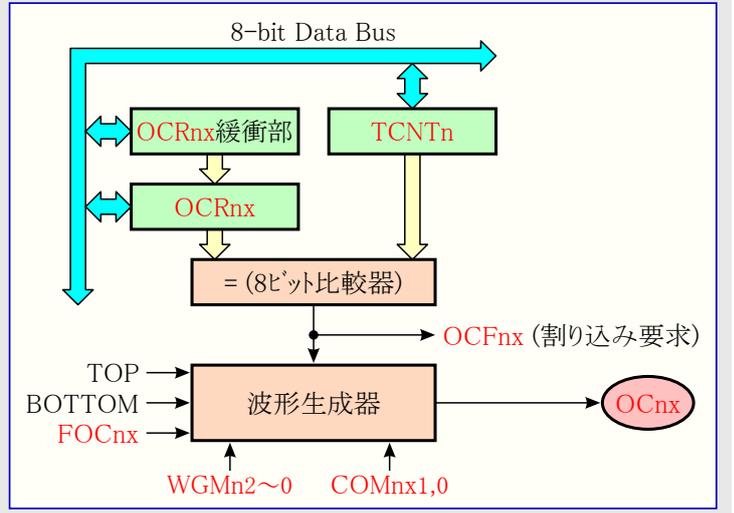
この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ比較器は一致を指示します。この一致は次のタイマ/カウンタ クロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(48頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図11-3.は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

図11-3. 比較出力部構成図



(訳注) ここでは比較レジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

### 11.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

### 11.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタ クロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタ クロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

### 11.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタ クロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

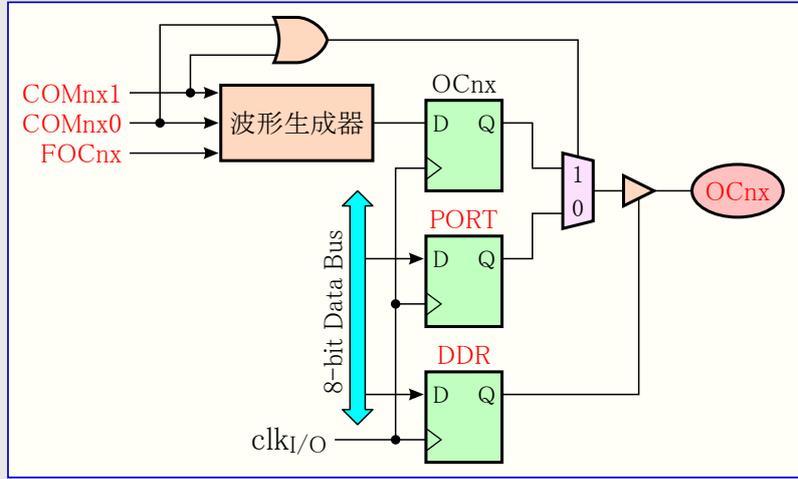
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)スローブ ビットを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

## 11.6. 比較一致出力部

比較出力選択(COM0x1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OC0x)状態の定義にCOM0x1,0ビットを使います。またCOM0x1,0ビットはOC0xピン出力元を制御します。図11-4はCOM0x1,0ビット設定によって影響を及ぼされる論理回路の簡単化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COM0x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OC0xの状態を参照するとき、その参照はOC0xピンでなく内部OC0xレジスタに対してです。システムリセットが起ると、OC0xレジスタは'0'にリセットされます。

図11-4. 比較一致出力回路図



COM0x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OC0x)によって無効にされます。けれどもOC0xピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC0xピンに対するポート方向レジスタのビット(DDR\_OC0x)はOC0x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC0x状態の初期化を許します。いくつかのCOM0x1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。52頁の「8ビットタイマ/カウンタ0用レジスタ」をご覧ください。

### 11.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOM0x1,0ビットを違うふうに使います。全ての動作種別に対してCOM0x1,0=00設定は次の比較一致で実行すべきOC0xレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については52頁の表11-2と表11-5を参照してください。高速PWM動作については52頁の表11-3と表11-6、位相基準PWMについては52頁の表11-4と表11-7を参照してください。

COM0x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOC0x)ストローブビットを使うことによって直ちに効果を得ることを強制できます。

## 11.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(47頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については51頁の「タイマ/カウンタのタイミング」を参照してください(訳注:原文中の図番号省略)。

### 11.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

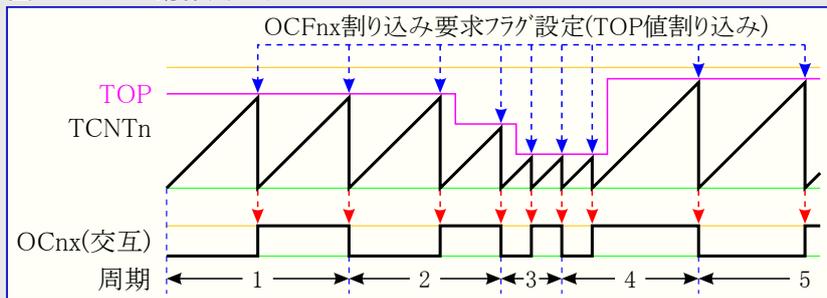
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

### 11.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタは\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-5.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後カウンタ(TCNT0)は解除(\$00)されます。

図11-5. CTC動作タイミング



注: COMnx1,0=01

OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR\_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0A} = f_{clk\_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnx)}$$

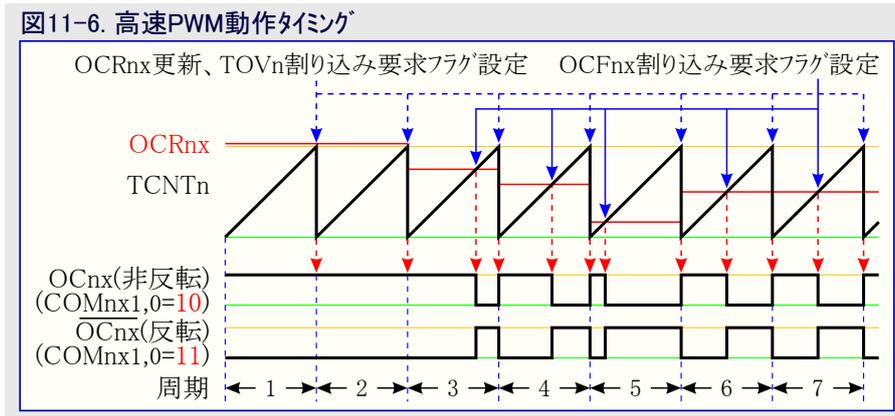
変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

## 11.7.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM02~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02~0=011時に\$FF、WGM02~0=111時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図11-6.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。



タイマ/カウンタ溢れ(TOV0)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ビットが設定(1)ならば、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(52頁の表11-3と表11-6をご覧ください)。実際のOC0x値はポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00,TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOC0xレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk\_I/O}}{N \times (1 + TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

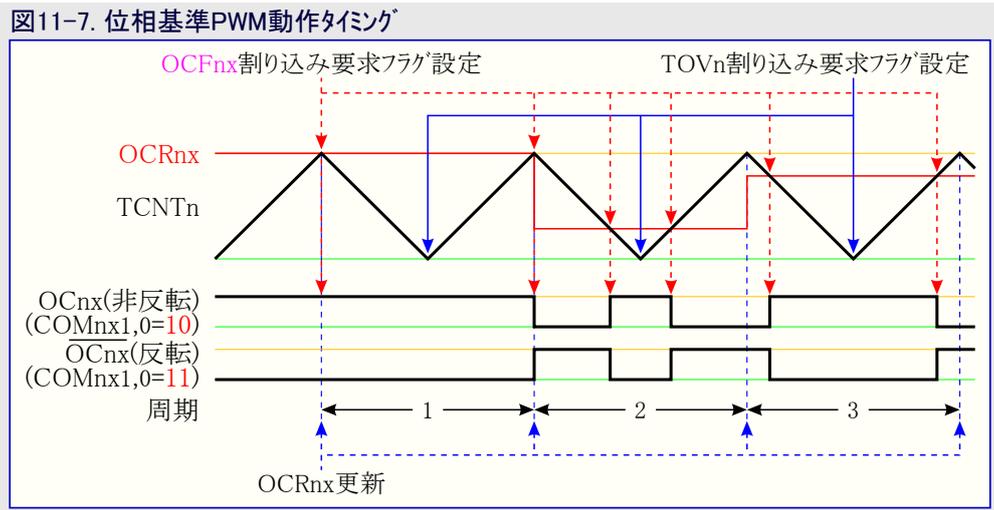
OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR0xがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

(訳補:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0x} = f_{clk\_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

### 11.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図11-7.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(52頁の表11-4.と表11-7.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR\_OC0x)が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_{I/O}}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図11-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図11-7.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

## 11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック( $clk_{T0}$ )がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図11-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

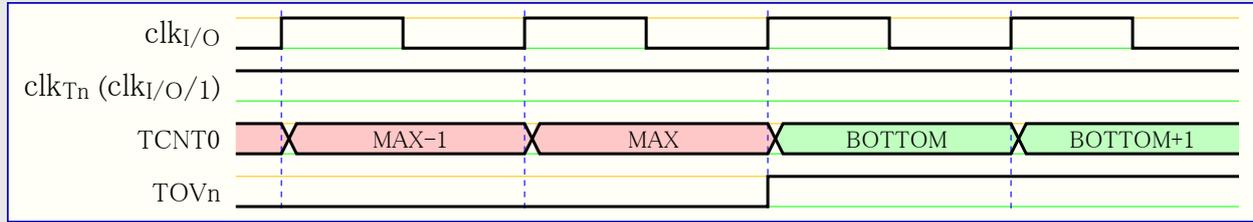


図11-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図11-9. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ タイミング

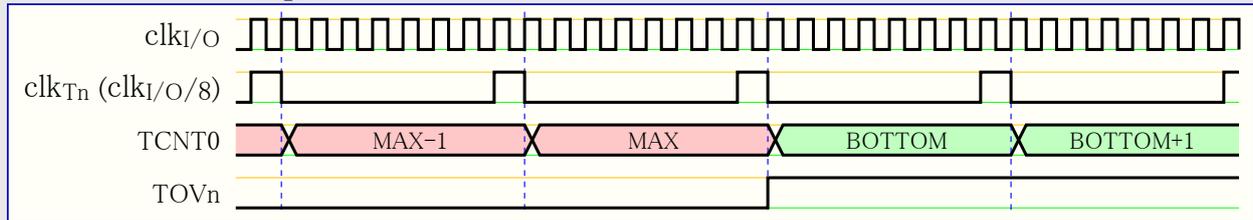


図11-10. はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図11-10. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF0x設定 タイミング

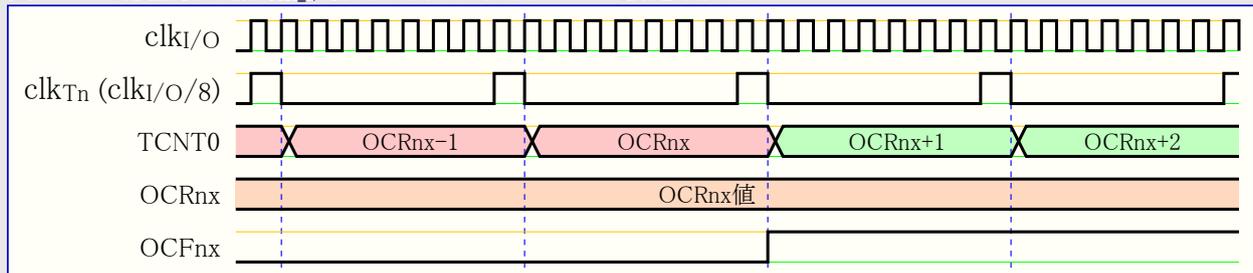
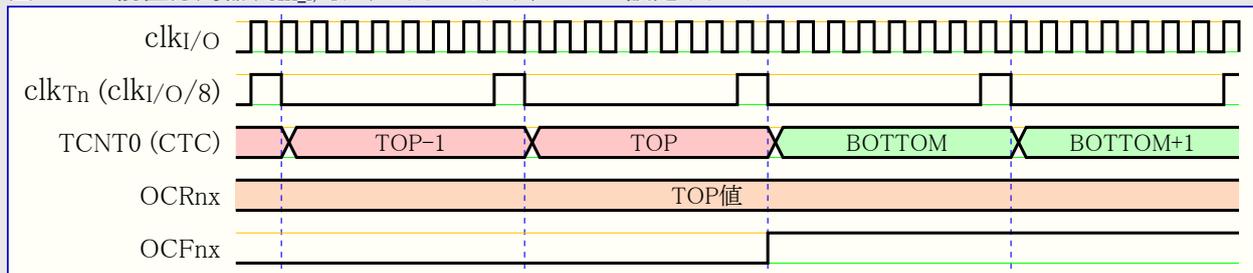


図11-11. はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図11-11. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、OCF0A設定 タイミング



## 11.9. 8ビット タイマ/カウンタ0用レジスタ

### 11.9.1. タイマ/カウンタ0制御レジスタA (Timer/Counter 0 Control Register A) TCCR0A

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Aがピンに接続される時、COM0A1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ビット機能を示します。

表11-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でOC0Aピン Lowレベル出力
1	1	比較一致でOC0Aピン Highレベル出力

表11-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aピンへ出力 (反転動作)

表11-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aピンへ出力

#### ■ ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Bがピンに接続される時、COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-5.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ビット機能を示します。

表11-6.はWGM02~0ビットが高速PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-7.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピントグル(交互)出力
1	0	比較一致でOC0Bピン Lowレベル出力
1	1	比較一致でOC0Bピン Highレベル出力

表11-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bピンへ出力 (反転動作)

表11-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bピンへ出力

**共通注意:** COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については49頁の「高速PWM動作」または50頁の「位相基準PWM動作」をご覧ください。(表11-3,4,6,7.各々での注:を纏めました。)

■ **ビット3,2 - Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

■ **ビット1,0 - WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)**

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表11-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。48頁の「動作種別」をご覧ください。

表11-8. 波形生成種別選択

番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	-	-	-
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	-	-	-
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

11.9.2. タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B) TCCR0B

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ **ビット7 - FOC0A : OC0A強制変更 (Force Output Compare A)**

FOC0AビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読まれます。

■ **ビット6 - FOC0B : OC0B強制変更 (Force Output Compare B)**

FOC0BビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読まれます。

■ **ビット5,4 - Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読まれます。

■ **ビット3 - WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)**

52頁の「タイマ/カウンタ制御レジスタA(TCCR0A)」のWGM01,0ビット記述をご覧ください。

■ ビット2~0 - CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選択します。

表11-9. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clk <sub>I/O</sub> (前置分周なし)
0	1	0	clk <sub>I/O</sub> /8 (8分周)
0	1	1	clk <sub>I/O</sub> /64 (64分周)
1	0	0	clk <sub>I/O</sub> /256 (256分周)
1	0	1	clk <sub>I/O</sub> /1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

11.9.3. タイマ/カウンタ0 (Timer/Counter0) TCNT0

ビット	7	6	5	4	3	2	1	0	
\$26 (\$46)	(MSB)							(LSB)	TCNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

11.9.4. タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register) OCR0A

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使えます。

11.9.5. タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register) OCR0B

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使えます。

## 11.9.6. タイマ/カウンタ0割り込み許可レジスタ (Timer/Counter 0 Interrupt Mask Register) TIMSK0

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ■ ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

### ■ ビット2 - OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

### ■ ビット1 - OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

### ■ ビット0 - TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言するとタイマ/カウンタ0割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ0溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

## 11.9.7. タイマ/カウンタ0割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register) TIFR0

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	-	-	-	-	-	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ■ ビット7~3 - Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読めます。

### ■ ビット2 - OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

### ■ ビット1 - OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

### ■ ビット0 - TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ0割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。位相基準PWM動作ではタイマ/カウンタ0が\$00で計数方向を変える時にこのビットが設定(1)されます。

これらフラグの設定はWGM02~0ビット設定に依存します。53頁の波形生成種別ビット記述の表11-8を参照してください。

## 12. 16ビット タイマ/カウンタ1

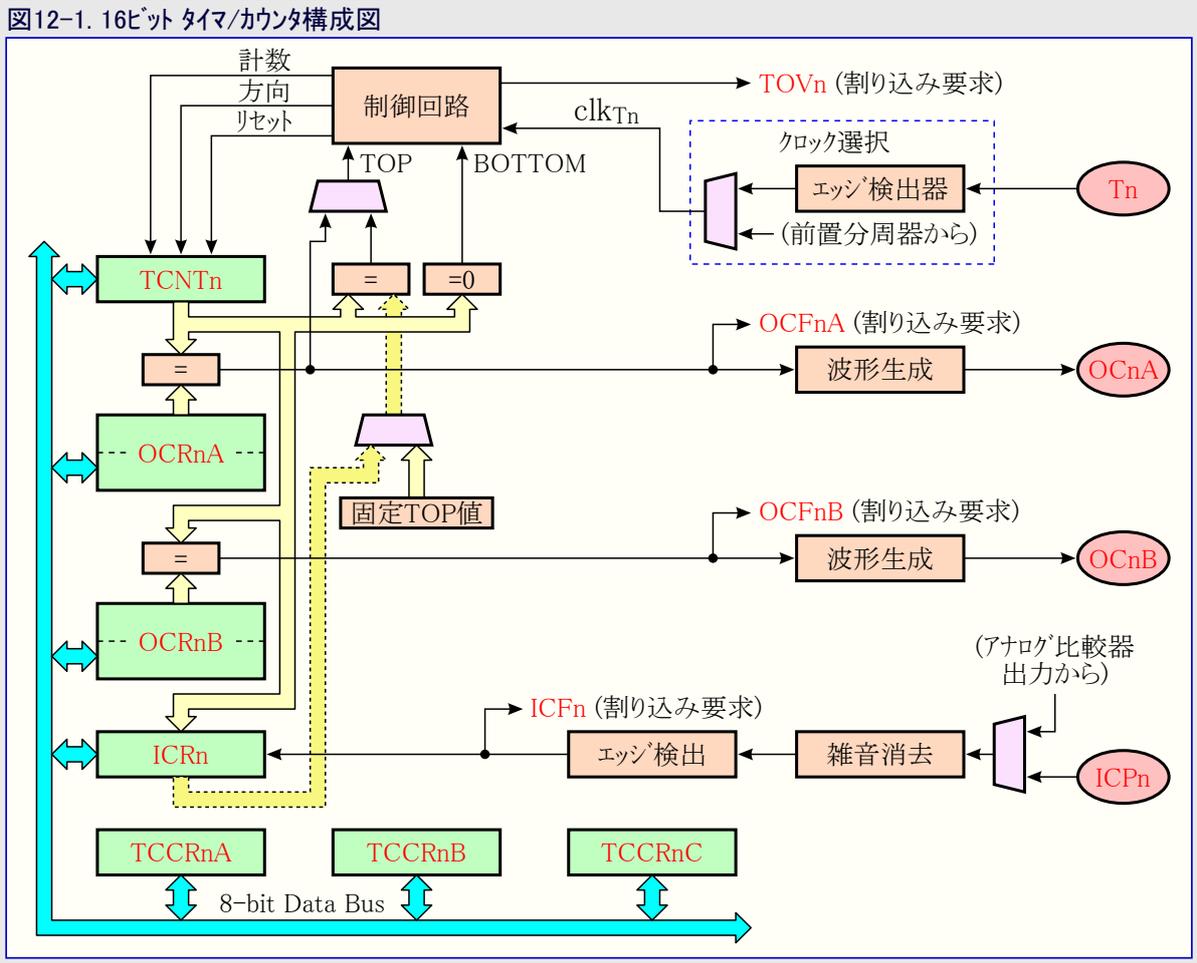
### 12.1. 特徴

- 真の16ビット設計 (換言すれば16ビットPWMの許容)
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 1つの捕獲入力部
- 捕獲入力雑音除去器
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 4つの独立した割り込み (TOV1,OCF1A,OCF1B,ICF1)

### 12.2. 概要

この16ビット タイマ/カウンタ部は正確なプログラム実行タイミング(事象管理)、波形生成、信号タイミング計測を許します。

この16ビット タイマ/カウンタの単純化した構成図は図12-1.で示されます。実際のI/Oピンの配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含むI/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は70頁の「16ビット タイマ/カウンタ1用レジスタ」で示されます。



本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、小文字の'x'は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ1のカウンタ値に対するアクセスのTCNT1のように)。

## 12.2.1. 関係レジスタ

タイマ/カウンタ(TCNT1)、比較レジスタ(OCR1A,OCR1B)、捕獲レジスタ(ICR1)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は68頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ1制御レジスタ(TCCR1A,TCCR1B,TCCR1C)は8ビットレジスタで、CPUアクセスの制限はありません。割り込み要求信号はタイマ/カウンタ1割り込み要求レジスタ(TIFR1)で全て見えます。全ての割り込みはタイマ/カウンタ1割り込み許可レジスタ(TIMSK1)で個別に遮蔽(禁止)されます。TIFR1とTIMSK1はこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT1ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT1)として参照されます。

2重緩衝化した比較レジスタ(OCR1A,OCR1B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC1A,OC1B)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。60頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF1A,OCF1B)も設定(1)します。

捕獲レジスタ(ICR1)は、捕獲起動(ICP1)ピンまたはアナログ比較器出力(85頁の「アナログ比較器」参照)のどちらかの外部(エッジで起動された)事象でタイマ/カウンタ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波器(雑音消去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCR1A、ICR1、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCR1Aを使うと、OCR1AはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝化します。固定的なTOP値が必要とされる場合、ICR1が代わりに使え、PWM出力として使われるべきOCR1Aを開放します。

## 12.2.2. 定義

次の定義は本資料を通して広範囲に使われます。

表12-1. 用語定義

用語	意味
BOTTOM	カウンタが\$0000に到達した時。
MAX	カウンタが\$FFFF(65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF,\$01FF,\$03FF)、OCR1A値、ICR1値の何れか1つを指定できます。この指定は動作種別に依存します。

## 12.2.3. 互換性

この16ビットタイマ/カウンタは旧版の16ビットAVRタイマ/カウンタから改良更新されてしまっています。この16ビットタイマ/カウンタは次の点に関して以前の版と完全な互換性があります。

- ・タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタアドレスの位置。
- ・タイマ/カウンタ割り込み関係レジスタを含め、16ビットタイマ/カウンタに関連する全てのI/Oレジスタ内のビット位置。
- ・割り込みベクタ。

次の制御ビットは変更された名前を持ちますが、同じ機能とレジスタ位置を持ちます。

- ・PWM10はWGM10に変更。
- ・PWM11はWGM11に変更。
- ・CTC1はWGM12に変更。

次の制御ビットが16ビットタイマ/カウンタ制御レジスタ内に追加されます。

- ・FOC1AとFOC1BがTCCR1Aに追加。
- ・WGM13がTCCR1Bに追加。

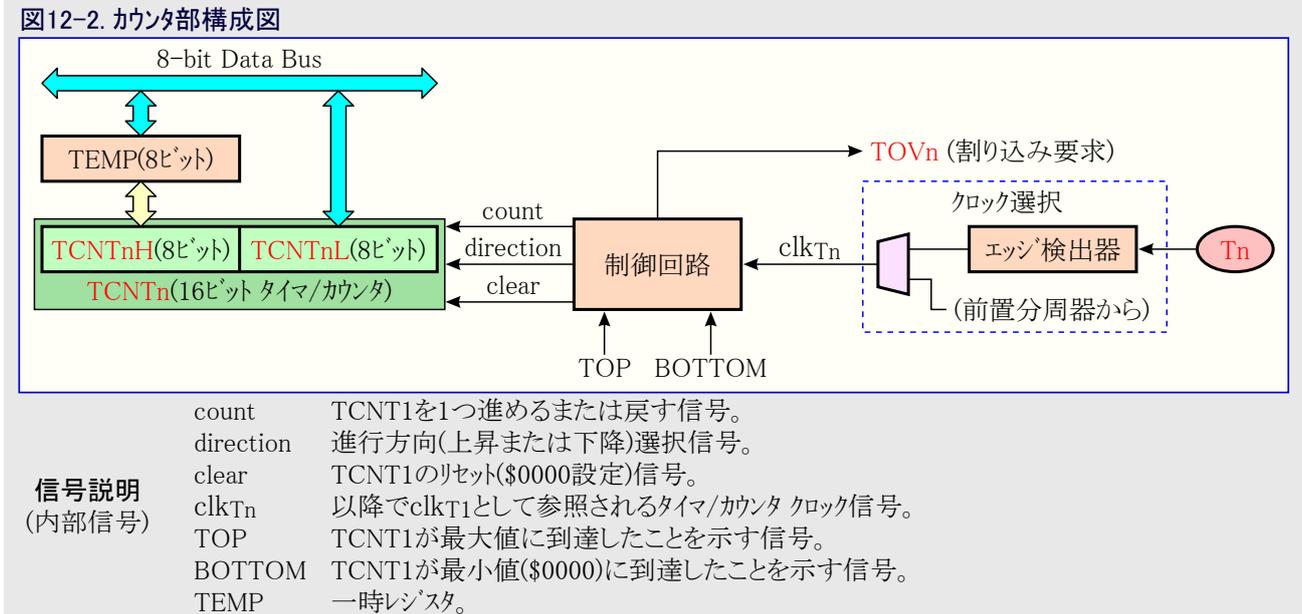
この16ビットタイマ/カウンタにはいくつかの特別な状況で互換性に影響を及ぼす改良点があります。

### 12.3. タイマ/カウンタのクロック

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元は**タイマ/カウンタ制御レジスタB(TCCR1B)**に配置された**クロック選択(CS12~0)**ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については75頁の「**タイマ/カウンタの前置分周器**」をご覧ください。

### 12.4. 計数器部

16ビットタイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。図12-2はこのカウンタとその周辺の構成図を示します。



この16ビットカウンタはカウンタの上位8ビットを含むカウンタ上位(TCNT1H)と下位8ビットを含むカウンタ下位(TCNT1L)の2つの8ビット I/Oメモリ位置に配置されます。TCNT1HレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNT1H I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNT1Lが読まれる時にTCNT1H値で更新され、TCNT1Lが書かれる時にTCNT1Hは一時レジスタ値で更新されます。これは8ビットデータバス経由で1クロック周期内の16ビットカウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNT1書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項で記述されます。

使った動作種別に依存して、カウンタは各タイマ/カウンタクロック(clkT1)でリセット(\$0000)、増加(+1)、または減少(-1)されます。clkT1はクロック選択(CS12~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS12~0=000)時にカウンタは停止されます。けれどもTCNT1値はタイマ/カウンタクロック(clkT1)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

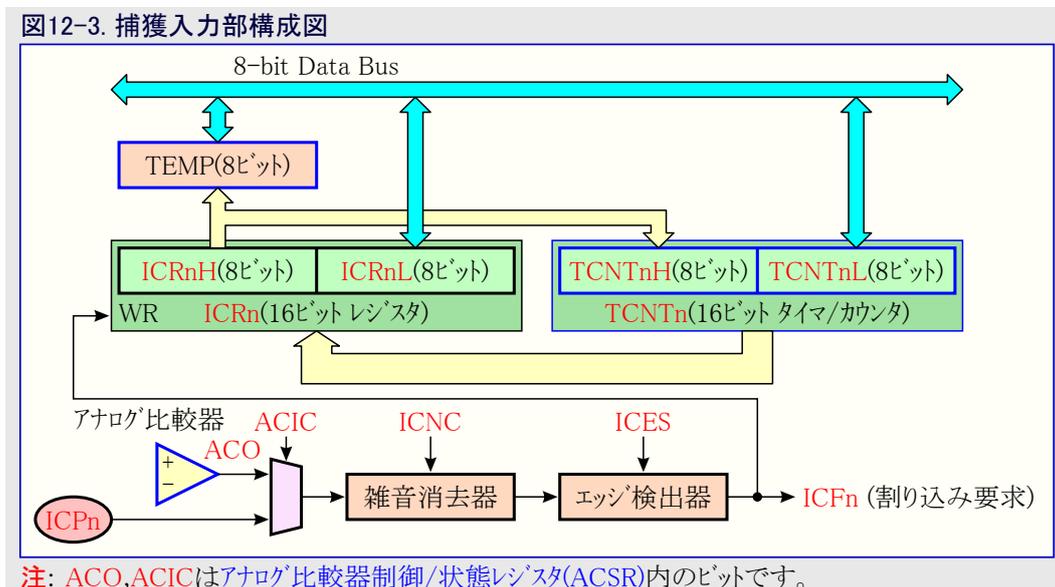
計数順序(方法)は**タイマ/カウンタ制御レジスタA(TCCR1A)**と**タイマ/カウンタ制御レジスタB(TCCR1B)**に配置された**波形生成種別(WGM13~0)**ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOC1x比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては63頁の「**動作種別**」をご覧ください。

**タイマ/カウンタ溢れ(TOV1)フラグ**はWGM13~0ビットによって選択された動作種別に従って設定(1)されます。TOV1はCPU割り込み発生に使えます。

## 12.5. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICP1ピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は図12-3.で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(注:原文は灰色背景)で示されます。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号を示します。



捕獲起動入力(ICP1)ピン若しくは代わりにアナログ比較器出力(ACO)で論理レベルの変化(出来事)が起き、その変化がエッジ検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNT1)の16ビット値が捕獲レジスタ(ICR1)に書かれます。捕獲割り込み要求フラグ(ICF1)はTCNT1値がICR1に複写されるのと同じシステムクロックで設定(1)されます。許可(I=1, ICIE1=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF1は割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。

捕獲レジスタ(ICR1)の16ビット値読み込みは、初めに下位バイト(ICR1L)、その後に上位バイト(ICR1H)を読むことによって行われます。下位バイトが読まれる時に上位バイトが上位バイト一時レジスタ(TEMP)に複写されます。CPUがICR1H I/O位置を読むと、この一時レジスタをアクセスします。

ICR1はカウンタのTOP値定義にICR1を利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICR1に書かれ得る前に波形生成種別(WGM13~0)ビットが設定されなければなりません。ICR1に書く時は下位バイトがICR1Lに書かれる前に、上位バイトがICR1H I/O位置に書かれなければなりません。

16ビットレジスタアクセス法のより多くの情報については68頁の「16ビットレジスタのアクセス」を参照してください。

### 12.5.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICP1)ピンです。タイマ/カウンタ1は捕獲入力部用起動元としてアナログ比較器出力を代わりに使えます。アナログ比較器はアナログ比較器制御/状態レジスタ(ACSR)のアナログ比較器捕獲起動許可(ACIC)ビットの設定(1)によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(ICF1)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICP1)ピンとアナログ比較器出力(ACO)の両入力は、T1ピン(75頁の図13-1.参照)についてと同じ技法を使って採取されます。エッジ検出器も全く同じです。けれども雑音除去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を4システムクロック周期増やします。タイマ/カウンタがTOP値定義にICR1を使う波形生成種別に設定されないなら、雑音除去器とエッジ検出器の入力が常に許可されることに注意してください。

捕獲入力はICP1ピンのポートを制御することによってソフトウェアで起動できます。

### 12.5.2. 雑音除去器

雑音除去器は雑音耐性を改善するために簡単なデジタル濾波器機構を使います。連続する採取が4段の深さのパイプラインで監視されます。信号は4つ全ての採取が等しい時にだけ変更を許されるエッジ検出器に行きます。

雑音除去器はタイマ/カウンタ制御レジスタB(TCCR1B)の捕獲入力雑音除去許可(ICNC1)ビットの設定(1)によって許可されます。許可時、雑音除去器はICR1が更新される前に入力に印加される変更に対して4システムクロック周期の追加遅延をもたらします。

雑音除去器はシステムクロックを使い、従って前置分周器によって影響を及ぼされません。

### 12.5.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して十分なプロセッサ能力を当てがうことです。2つの出来事間の時間が際どいとして、次の出来事が起こる前に捕獲した**捕獲レジスタ(ICR1)**の値をプロセッサが読めなかった場合、ICR1は新しい値で書き込まれます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR1は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大クロック周期数に依存します。

動作中に**TOP値(分解能)**が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICR1が読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、**捕獲割り込み要求フラグ(ICF1)**はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(訳補:エッジ変更によってICF1が設定(1)されることを想定)。周波数のみの測定について(割り込み処理が使われる場合)、ICF1の解除(0)は必要とされません。

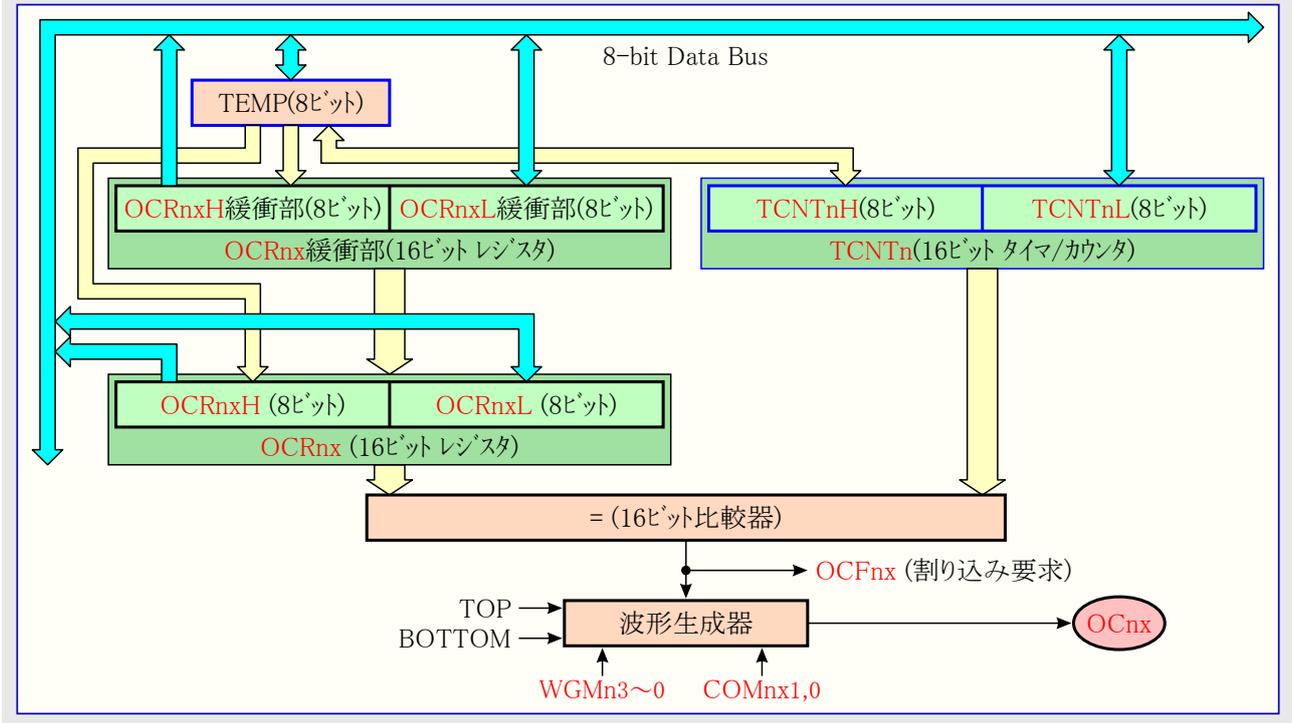
### 12.6. 比較出力部

この16ビット比較器は**TCNT1**と**比較レジスタ(OCR1x)**を継続的に比較します。TCNT1とOCR1xが等しければ、比較器は一致を指示します。この一致は**次のタイマ/カウンタクロック周期**で**比較割り込み要求フラグ(OCF1x)**を設定(1)します。許可(I=1, OCIE1x=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF1xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF1xはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は**波形生成種別(WGM13~0)ビット**と**比較出力選択(COM1x1,0)ビット**によって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(63頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値(換言するとカウンタの分解能)定義を許します。カウンタの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図12-4.は比較出力部の構成図を示します。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号(タイマ/カウンタ1に対してはn=1)、小文字の'x'は比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。

図12-4. 比較出力部構成図



OCR1xは12種類のパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR1xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR1x緩衝部をアクセスし、禁止されるとOCR1xレジスタを直接アクセスします。OCR1x(緩衝部またはレジスタ)の内容は書き込み操作によってのみ変更されます(タイマ/カウンタはTCNT1やICR1のようにOCR1xを自動的に更新しません)。従ってOCR1xは上位バイト一時レジスタ(TEMP)経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCR1x書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト(OCR1xH)が先に書かれなければなりません。上位バイトI/O位置がCPUによって書かれると、一時レジスタは書かれた値で更新されます。その後下位バイト(OCR1xL)が下位8ビットを書かれると、(一時レジスタ内の)上位バイトは(下位バイト書き込みと)同じシステムクロック周期でOCR1x緩衝部またはOCR1xレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については68頁の「16ビットレジスタのアクセス」を参照してください。

(訳注) ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

### 12.6.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF1x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC1xピンは実際の比較一致が起きた場合と同様に更新されます(COM1x1,0ビット設定がOC1xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

### 12.6.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNT1と同じ値に初期化されることをOCR1xに許します。

### 12.6.3. 比較一致部の使用

どの動作種別でのTCNT1書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、何れかの比較出力部を使う場合、TCNT1を変更する時に危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNT1を書いてはいけません。(行った場合)TOPに対する比較一致は無視され、カウンタは\$FFFFへ(計数を)続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNT1値を書いてはいけません。

OC1xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)スローブビットを使うことです。波形生成種別間を変更する時であっても、OC1x(内部)レジスタはその値を保ちます。

比較出力選択(COM1x1,0)ビットが比較値(OCR1x)と共に2重緩衝されないことに気付いてください。COM1x1,0ビットの変更は直ちに有効となります。



## 12.8. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は**波形生成種別(WGM13~0)ビット**と**比較出力選択(COM1x1,0)ビット**の組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1,0ビットは生成されたPWM出力が反転されるべきか否か(反転または非反転PWM)のどちらかを制御します。非PWM動作に対してのCOM1x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。62頁の「**比較一致出力部**」をご覧ください。

タイミング情報の詳細については67頁の「**タイマ/カウンタのタイミング**」を参照してください。

### 12.8.1. 標準動作

最も単純な動作種別が標準動作(WGM13~0=0000)です。この動作種別での計数方向は常に上昇(+)で、カウンタの解除は実行されません。カウンタは16ビット最大値(MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000(BOTTOM)から再び始めます。通常動作での**タイマ/カウンタ溢れ(TOV1)フラグ**はTCNT1が\$0000になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV1フラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOV1フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

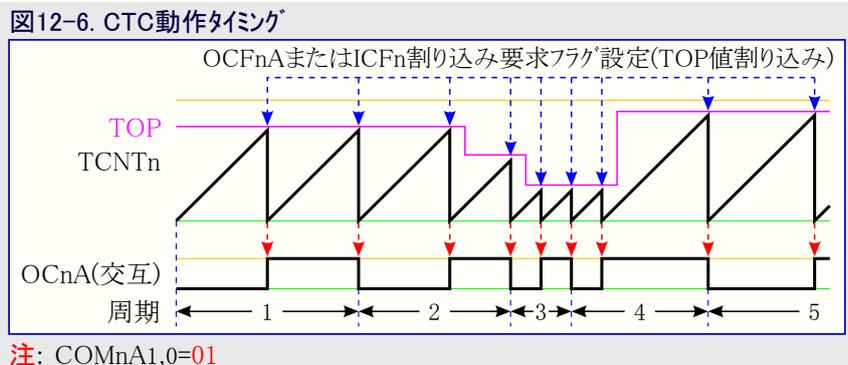
捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能(16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタ溢れ割り込みまたは前置分周器が使われなければなりません。

比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

### 12.8.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM13~0=0100または1100)ではOCR1AまたはICR1がカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT1)値がOCR1A(WGM13~0=4)またはICR1(WGM13~0=12)のどちらかと一致する時にカウンタが\$0000に解除されます。OCR1AまたはICR1はカウンタに対する**TOP値**、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図12-6.で示されます。カウンタ(TCNT1)値はOCR1AまたはICR1のどちらかで比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT1)は解除(\$0000)されます。



TOP値を定義するのに使われるレジスタに対してOCF1AまたはICF1のどちらかを使うことにより、カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR1AまたはICR1に書かれた新しい値がTCNT1の現在値よりも低い(小さい)場合、カウンタは(その回の)比較一致を失います。その後カウンタは比較一致が起こせるのに先立って、最大値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCR1Aが2重緩衝されるので、代替はTOPを定義するのにOCR1Aを用いる**高速PWM動作(WGM13~0=1111)**を使うことでしよう。

CTC動作で波形出力を生成するため、OC1A出力は**比較出力選択(COM1A1,0)ビット**を交互動作(=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OC1A値はそのピンに対するデータ方向が出力(DDR\_OC1A=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCR1Aが0(\$0000)に設定される時に $f_{OC1A} = f_{clk\_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk\_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、**タイマ/カウンタ溢れ割り込み要求(TOV1)フラグ**はカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

### 12.8.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM13~0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)はTCNT1とOCR1x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM1x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

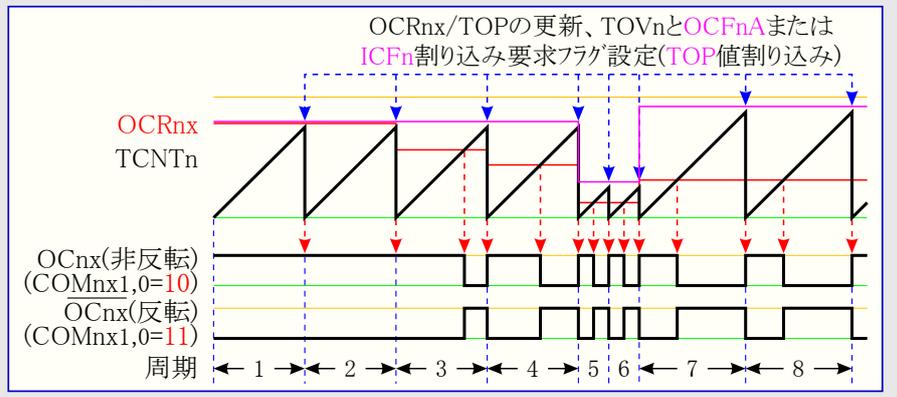
$$R_{\text{PWM}} = \frac{\log(\text{TOP} + 1)}{\log 2}$$

高速PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM13~0=0101,0110,0111)、ICR1値(WGM13~0=1110)またはOCR1A値(WGM13~0=1111)のどれかと一致するまで増加されます。そしてカウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$0000)されます。高速PWM動作のタイミング図は図12-7で示されます。本図はOCR1AかICR1がTOPを定義するのに使われる時の高速PWM動作を示します。TCNT1値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。本図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。

タイマ/カウンタ溢れ割り込み要求(TOV1)フラグはカウンタがTOPに到達する時毎に設定(1)されます。加えて、OCR1AかICR1のどちらかがTOP値を定義するのに使われると、OCF1AまたはICF1割り込み要求フラグはTOV1が設定(1)されるのと同じタイマ/カウンタクロック周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンはTOPと比較値を更新するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。

図12-7. 高速PWM動作タイミング



ICR1がTOP値を定義するのに使われるとき、ICR1を更新する手順はOCR1Aの更新と異なります。ICR1は2重緩衝されません。これは前置分周なしまたは低い前置分周値でカウンタが走行している時にICR1が小さな値に変更される場合、書かれた新しいICR1値がTCNT1の現在値よりも小さくなる危険を意味します。その後の結果はカウンタが(その回の)TOP値での比較一致を失うことです。その後のカウンタは比較一致が起こせるのに先立って、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければなりません。しかし、OCR1Aは2重緩衝されます。この特徴は何時でも書かれることをOCR1AのI/O位置に許します。OCR1A I/O位置が書かれると、書かれた値はOCR1A緩衝部に置かれます。OCR1A(比較)レジスタはその後にTCNT1がTOPと一致した次のタイマ/カウンタクロック周期にOCR1A緩衝部の値で更新されます。この更新はTCNT1の解除(\$0000)やTOV1の設定(1)と同じタイマ/カウンタクロック周期で行われます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手いきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重バッファ機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

高速PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます。70頁の表12-3をご覧ください。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR\_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$0000、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でのOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{\text{OCnxPWM}} = \frac{f_{\text{clk}_I/O}}{N \times (1 + \text{TOP})}$$

OCR1xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR1xがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。TOPに等しいOCR1x設定は(COM1x1,0ビットによって設定される出力極性に依存して)定期的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC1A設定(COM1A1,0=01)によって達成できます。これはTOP値を定義するのにOCR1Aが使われる(WGM13~0=1111)の場合にだけ適用されます。生成された波形はOCR1Aが0(\$0000)に設定される時に $f_{\text{OC1A}} = f_{\text{clk}_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC1A交互出力(COM1A1,0=01)と同じです。

12.8.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM13~0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCR1AかICR1のどちらかによって定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$
 位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGM13~0=0001,0010,0011)、ICR1値(WGM13~0=1010)またはOCR1A値(WGM13~0=1011)のどれかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロック周期、TOPと等しくなります。位相基準PWM動作のタイミング図は図12-8.で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。

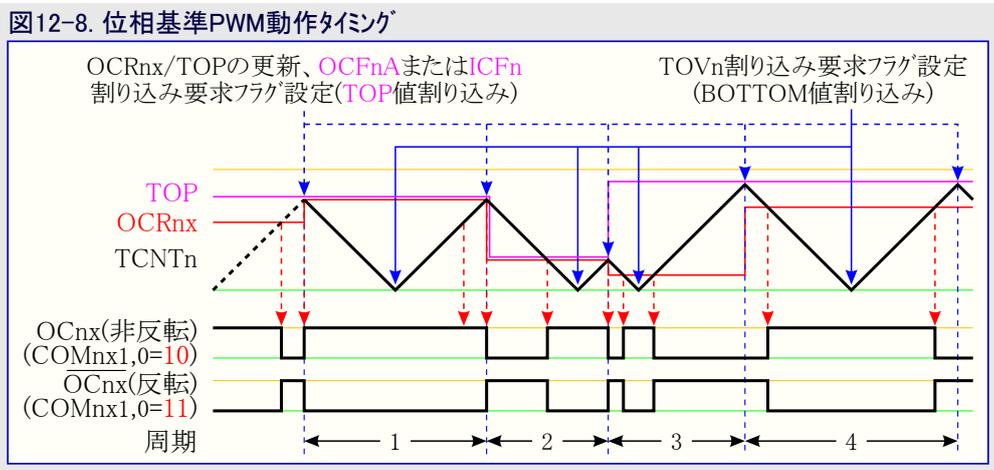


図12-8. 位相基準PWM動作タイミング

タイマ/カウンタ溢れ(TOV1)フラグはカウンタがBOTTOMに到達する時毎に設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われるとき、OCF1AまたはICF1割り込み要求フラグはOCR1xレジスタが(TOPに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期によって設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。固定TOP値を使う場合、どのOCR1xが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。図12-8.で示される第3周期が図解するように、タイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCR1xレジスタの更新時に見出せます。OCR1x更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違うとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(70頁の表12-4.をご覧ください)。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR\_OC1x=1)として設定される場合にだけ見えます。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk\_I/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13~0=1011)、COM1A1,0=01なら、OC1A出力はデューティ比50%で交互に変化します。

### 12.8.5. 位相/周波数基準PWM動作

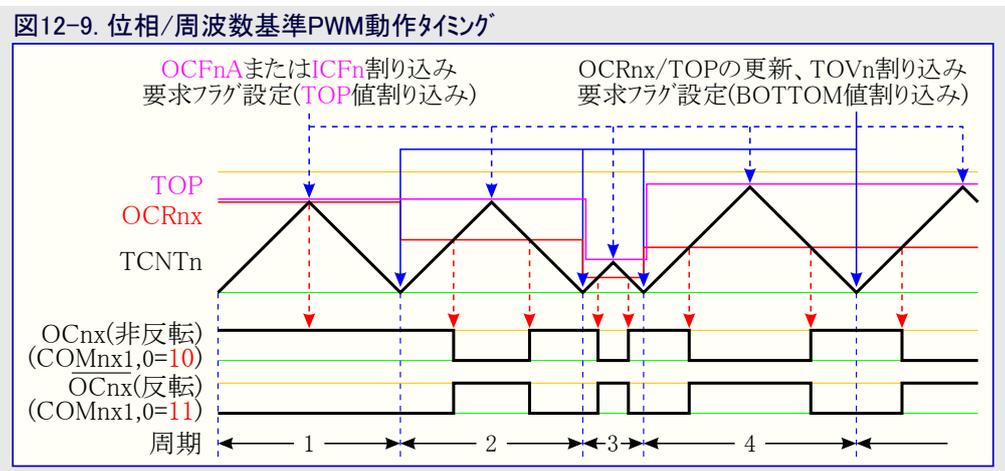
位相/周波数基準パルス幅変調(PWM)動作(WGM13~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした**位相基準PWM**と似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での比較出力(OC1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準と位相/周波数基準PWM動作間の主な違いはOCR1xレジスタがOCR1x緩衝部によって更新される時(訳補:TOPとBOTTOM)です(図12-8と図12-9.参照)。

位相/周波数基準PWM動作のPWM分解能はOCR1AかICR1のどちらかで定義できます。許された最小分解能は2ビット(OCR1AまたはICR1が\$0003設定)、最大分解能は16ビット(OCR1AまたはICR1がMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がICR1値(WGM13~0=1000)かOCR1A値(WGM13~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNT1値は1タイマ/カウンタクロック周期、TOPと等しくなります。位相/周波数基準PWM動作のタイミング図は図12-9.で示されます。この図はOCR1AかICR1がTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNT1値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF1x)は比較一致が起こると設定(1)されます。



タイマ/カウンタ溢れ(TOV1)フラグはOCR1xレジスタが(BOTTOMに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期で設定(1)されます。OCR1AかICR1のどちらかがTOP値を定義するのに使われるとき、OCF1AまたはICF1割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎に設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNT1とそのOCR1x間で比較一致は決して起きません。

図12-9.が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCR1xレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルス、従って正しい周波数を与えます。

TOPを定義するのにICR1を使うことは決まったTOP値を使う時に上手くいきます。ICR1を使うことにより、OC1AでのPWM出力を生成するためにOCR1Aが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCR1Aが2重緩衝機能のため、TOPとしてOCR1Aを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM1x1,0を'11'に設定することで生成できます(70頁の表12-4.をご覧ください)。実際のOC1x値はそのポートピンに対するデータ方向が出力(DDR\_OC1x=1)として設定される場合にだけ見えるでしょう。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致でOC1x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT1とOCR1x間の比較一致でOC1xレジスタを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk\_1/O}}{2 \times N \times TOP}$$

OCR1xの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCR1Aが使われ(WGM13~0=1001)、COM1A1,0=01なら、OC1A出力はデューティ比50%で交互に変化します。

## 12.9. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック( $clk_{T1}$ )が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そして $OCR1x$ レジスタが $OCR1x$ 緩衝値で更新される時(2重緩衝を使う動作種別のみ)の情報を含まず、図12-10は $OCF1x$ の設定についてのタイミング図を示します。

図12-10. 前置分周なし(1/1)のタイマ/カウンタ、 $OCF1x$ 設定 タイミング

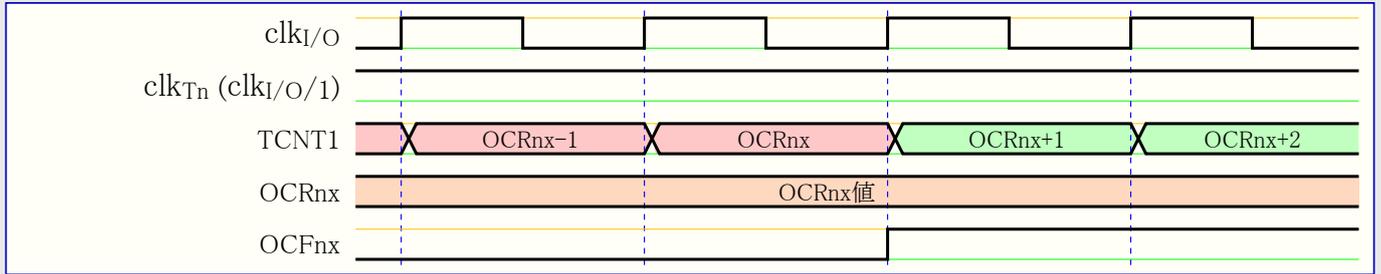


図12-11. は同じタイミング データを示しますが、前置分周器が許可されています。

図12-11. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、 $OCF1x$ 設定 タイミング

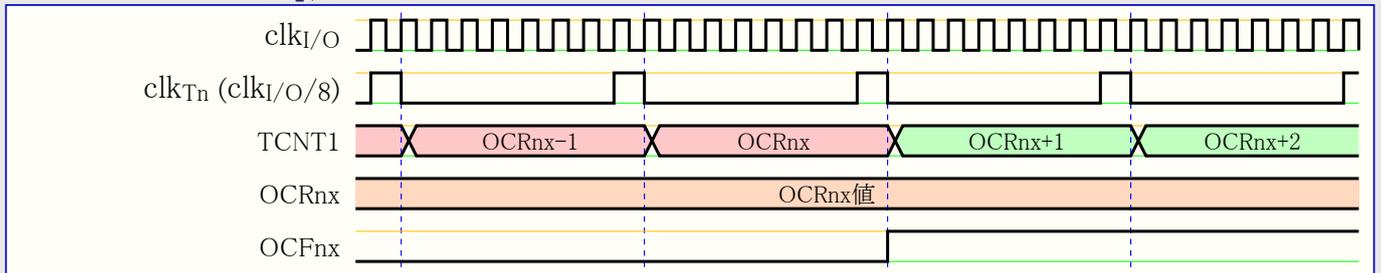


図12-12. は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時の $OCR_{nx}$ レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でどのように置き換えられます。BOTTOMで $TOV1$ を設定(1)する動作種別についても、同様な名称変更が適用されます。

図12-12. 前置分周なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

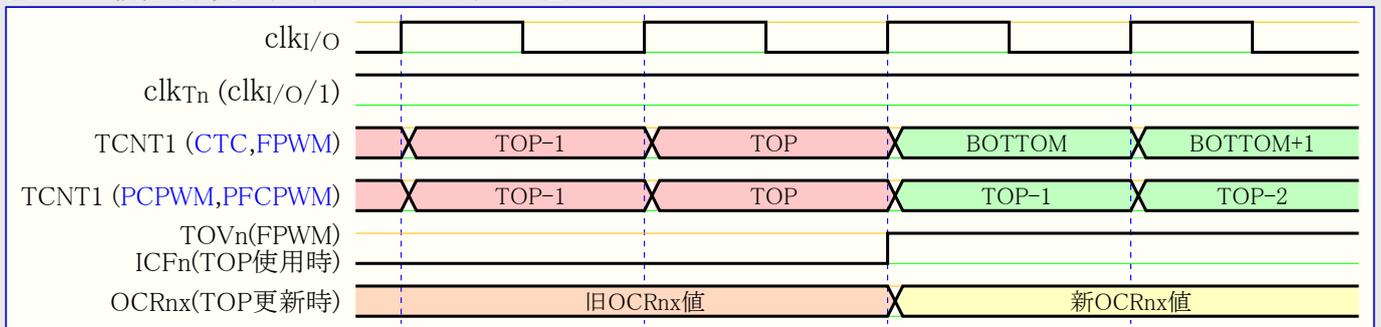
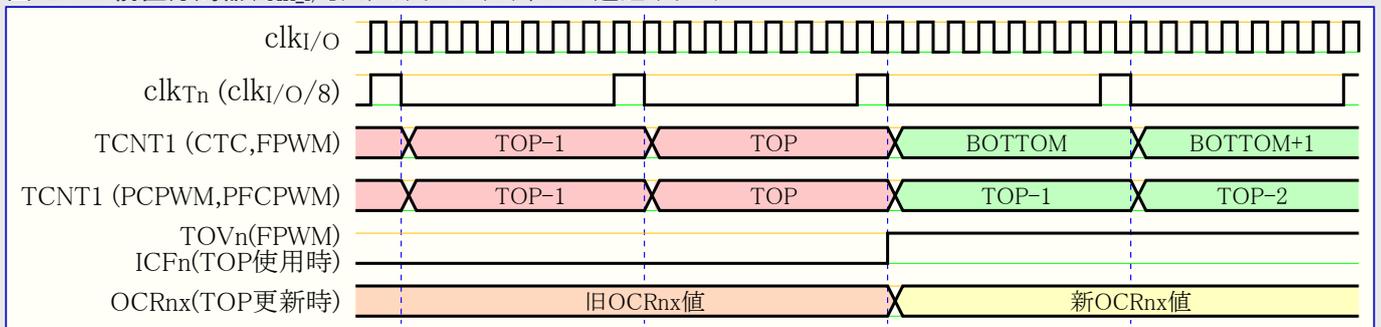


図12-13. は同じタイミング データを示しますが、前置分周器が許可されています。

図12-13. 前置分周器( $f_{clk_{I/O}/8}$ )のタイマ/カウンタ、TOP近辺 タイミング



## 12.10. 16ビットレジスタのアクセス

TCNT1, OCR1A, OCR1B, ICRI1は8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で両方が16ビットレジスタに複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使う訳ではありません。OCR1AとOCR1Bの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A, OCR1B, ICRI1レジスタのアクセスに対して同じ原理が直接的に使えます。C言語を使う時はコンパイラが16ビットアクセスを扱うことに注意してください。

### アセンブリ言語プログラム例

```

~
LDI    R17, $01
LDI    R16, $FF
OUT    TCNT1H, R17
OUT    TCNT1L, R16

IN     R16, TCNT1L
IN     R17, TCNT1H
~
;
; [16ビット($01FF)書き込み]
; $01FFの上位バイト値取得
; $01FFの下位バイト値取得
; 上位バイト設定(一時レジスタ)
; 下位バイト設定(一時レジスタ⇒上位バイト)
; [16ビット読み込み]
; 下位バイト取得(上位バイト⇒一時レジスタ)
; 上位バイト取得(一時レジスタ)
;

```

### C言語プログラム例

```

unsigned int i;
~
TCNT1 = 0x1FF;
i = TCNT1;
~
/**/
/* 16ビット($01FF)書き込み */
/* 16ビット読み込み */
/**/

```

**注:** 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT1レジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの読み込みも行えます。

## アセンブリ言語プログラム例

```
RD_TCNT1:   IN      R18, SREG           ; 現全割り込み許可フラグ(I)を保存
            CLI                    ; 全割り込み禁止
            IN      R16, TCNT1L        ; TCNT1下位バイト取得(上位バイト⇒一時レジスタ)
            IN      R17, TCNT1H        ; TCNT1上位バイト取得(一時レジスタ)
            OUT     SREG, R18          ; 全割り込み許可フラグ(I)を復帰
            RET                       ; 呼び出し元へ復帰
```

## C言語プログラム例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT1読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    i = TCNT1;                         /* TCNT1値を取得 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
    return i;                          /* TCNT1値で呼び出し元へ復帰 */
}
```

**注:** 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

次のコード例はTCNT1レジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1A,OCR1B,ICR1のどの書き込みも行えます。

## アセンブリ言語プログラム例

```
WR_TCNT1:   IN      R18, SREG           ; 現全割り込み許可フラグ(I)を保存
            CLI                    ; 全割り込み禁止
            OUT     TCNT1H, R17        ; TCNT1上位バイト設定(一時レジスタ)
            OUT     TCNT1L, R16        ; TCNT1下位バイト設定(一時レジスタ⇒上位バイト)
            OUT     SREG, R18          ; 全割り込み許可フラグ(I)を復帰
            RET                       ; 呼び出し元へ復帰
```

## C言語プログラム例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT1書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    TCNT1 = i;                         /* TCNT1値を設定 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
}
```

**注:** 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNT1へ書かれるべき値を含むことが必要です。

### 12.10.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

## 12.11. 16ビット タイマ/カウンタ1用レジスタ

### 12.11.1. タイマ/カウンタ制御レジスタA (Timer/Counter1 Control Register A) TCCR1A

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – COM1A1,0 : 比較1A出力選択 (Compare Output Mode1A bit 1 and 0)
- ビット5,4 – COM1B1,0 : 比較1B出力選択 (Compare Output Mode1B bit 1 and 0)

COM1A1,0とCOM1B1,0は各々OC1AとOC1B比較出力ピンの動作を制御します。COM1A1,0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。COM1B1,0ビットの1つまたは両方が1を書かれると、OC1B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC1AまたはOC1Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC1AまたはOC1Bがピンに接続されるとき、COM1x1,0ビットの機能はWGM13~0ビット設定に依存します。表12-2はWGM13~0ビットが標準動作またはCTC動作(つまり非PWM)に設定される時のCOM1x1,0ビット機能を示します。

表12-2. 非PWM動作での比較出力選択 (注: xはAまたはB)

COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	比較一致でOC1xピントグル(交互)出力
1	0	比較一致でOC1xピン Lowレベル出力
1	1	比較一致でOC1xピン Highレベル出力

表12-3はWGM13~0ビットが高速PWM動作に設定される時のCOM1x1,0ビット機能を示します。

表12-3. 高速PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	WGM13~0=111X : 比較一致でOC1Aピントグル(交互)出力、OC1Bは標準ポート動作(OC1B切断) WGM13~0上記以外: 標準ポート動作 (OC1x切断)
1	0	比較一致でLow、BOTTOMでHighをOC1xピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC1xピンへ出力 (反転動作)

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については64頁の「高速PWM動作」をご覧ください。

表12-4はWGM13~0ビットが位相基準または位相/周波数基準PWM動作に設定される時のCOM1x1,0ビット機能を示します。

表12-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: xはAまたはB, Xは0または1)

COM1x1	COM1x0	意味
0	0	標準ポート動作 (OC1x切断)
0	1	WGM13~0=10X1 : 比較一致でOC1Aピントグル(交互)出力、OC1Bは標準ポート動作(OC1B切断) WGM13~0上記以外: 標準ポート動作 (OC1x切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC1xピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC1xピンへ出力

注: COM1x1が設定(1)され、OCR1xがTOPと等しい時に特別な状態が起きます。より多くの詳細については65頁の「位相基準PWM動作」をご覧ください。

## ■ ビット1,0 – WGM11,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR1B)で得られるWGM13,2ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(表12-5参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と3形式のパルス幅変調(PWM)動作です。63頁の「動作種別」をご覧ください。

表12-5. 波形生成種別選択

番号	WGM13~0	タイマ/カウンタ動作種別	TOP値	OCR1x更新時	TOV1設定時
0	0 0 0 0	標準動作	\$FFFF	即値	MAX
1	0 0 0 1	8ビット位相基準PWM動作	\$00FF	TOP	BOTTOM
2	0 0 1 0	9ビット位相基準PWM動作	\$01FF	TOP	BOTTOM
3	0 0 1 1	10ビット位相基準PWM動作	\$03FF	TOP	BOTTOM
4	0 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	OCR1A	即値	MAX
5	0 1 0 1	8ビット高速PWM動作	\$00FF	TOP	TOP
6	0 1 1 0	9ビット高速PWM動作	\$01FF	TOP	TOP
7	0 1 1 1	10ビット高速PWM動作	\$03FF	TOP	TOP
8	1 0 0 0	位相/周波数基準PWM動作	ICR1	BOTTOM	BOTTOM
9	1 0 0 1	位相/周波数基準PWM動作	OCR1A	BOTTOM	BOTTOM
10	1 0 1 0	位相基準PWM動作	ICR1	TOP	BOTTOM
11	1 0 1 1	位相基準PWM動作	OCR1A	TOP	BOTTOM
12	1 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	ICR1	即値	MAX
13	1 1 0 1	(予約)	-	-	-
14	1 1 1 0	高速PWM動作	ICR1	TOP	TOP
15	1 1 1 1	高速PWM動作	OCR1A	TOP	TOP

## 12.11.2. タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B) TCCR1B

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

### ■ ビット7 – ICNC1 : 捕獲起動入力1雑音消去許可 (Input Capture1 Noise Canceler)

このビットを(1)に設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP1)ピンからの入力が濾波されます。この濾波器機能はそれが出力を更新するのに、連続4回等しく評価されたICP1ピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(システムクロック)周期遅らされます。

### ■ ビット6 – ICES1 : 捕獲起動入力端選択 (Input Capture1 Edge Select)

このビットは出来事での捕獲を起動するのに使われる捕獲起動入力(ICP1)ピンのどちらかのエッジを選択します。ICES1ビットが0を書かれると起動動作として下降(負)端が使われ、ICES1ビットが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICES1設定に従って起動されると、カウンタ値が捕獲レジスタ(ICR1)に複写されます。この出来事は捕獲入力割り込み要求フラグ(ICF1)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICR1がTOP値として使われると(TCCR1AとTCCR1Bに配置されたWGM13~0ビットの記述をご覧ください)、ICP1が切り離され、従って捕獲入力機能は禁止されます。

### ■ ビット5 – Res : 予約 (Reserved)

このビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保つため、TCCR1Bが書かれるとき、このビットは0を書かれなければなりません。

### ■ ビット4,3 – WGM13,2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

TCCR1AのWGM11,0ビット記述をご覧ください。

■ ビット2~0 - CS12~0 : クロック選択1 (Clock Select1, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT1)によって使われるべきクロック元を選択します。図12-10と図12-11をご覧ください。

表12-6. タイマ/カウンタ1入力クロック選択

CS12	CS11	CS10	意味
0	0	0	停止 (タイマ/カウンタ1動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T1ピンの下降端 (外部クロック)
1	1	1	T1ピンの上昇端 (外部クロック)

タイマ/カウンタ1に対して外部ピン(クロック)動作が使われる場合、例えばT1ピンが出力として設定されても、T1ピンの遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数制御を許します。

12.11.3. タイマ/カウンタ1制御レジスタC (Timer/Counter1 Control Register C) TCCR1C

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	FOC1A	FOC1B	-	-	-	-	-	-	TCCR1C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - FOC1A : OC1A強制変更 (Force Output Compare 1A)

■ ビット6 - FOC1B : OC1B強制変更 (Force Output Compare 1B)

FOC1A/FOC1BビットはWGM13~0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR1Cが書かれる場合、これらのビットは0に設定されなければなりません。FOC1A/FOC1Bビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OC1x出力はCOM1x1,0ビット設定に従って変更されます。FOC1A/FOC1Bビットがスロープとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOM1x1,0ビットに存在する値です。

FOC1A/FOC1Bスロープは何れの割り込みの生成もTOPとしてOCR1Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$0000)も行いません。

FOC1A/FOC1Bビットは常に0として読まれます。

■ ビット5~0 - Res : 予約 (Reserved)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性を保証するため、本レジスタが書かれるとき、これらのビットは0を書かれなければなりません。

12.11.4. タイマ/カウンタ1 (Timer/Counter1) TCNT1H,TCNT1L (TCNT1)

ビット	15	14	13	12	11	10	9	8	
\$2D (\$4D)	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置(TCNT1HとTCNT1Lを合わせたTCNT1)は、読み書き両方についてタイマ/カウンタ部の16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。68ページの「16ビットレジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ(TCNT1)を変更することはOCR1xの1つとTCNT1間の比較一致消失の危険を誘発します。

TCNT1への書き込みは全ての比較部に対して次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。

## 12.11.5. タイマ/カウンタ1 比較Aレジスタ (Timer/Counter1 Output Compare Register A) OCR1AH,OCR1AL (OCR1A)

ビット	15	14	13	12	11	10	9	8	
\$2B (\$4B)	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

## 12.11.6. タイマ/カウンタ1 比較Bレジスタ (Timer/Counter1 Output Compare Register B) OCR1BH,OCR1BL (OCR1B)

ビット	15	14	13	12	11	10	9	8	
\$29 (\$49)	(MSB)								OCR1BH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)								(LSB)	OCR1BL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT1)値と比較される16ビット値を含みます。一致は比較一致割り込みやOC1xピンでの波形出力を生成するのに使えます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共有されます。68頁の「16ビットレジスタのアクセス」をご覧ください。

## 12.11.7. タイマ/カウンタ1 捕獲レジスタ (Timer/Counter1 Input Capture Register) ICR1H,ICR1L (ICR1)

ビット	15	14	13	12	11	10	9	8	
\$25 (\$45)	(MSB)								ICR1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)								(LSB)	ICR1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICP1ピン(またはタイマ/カウンタ1については任意のアナログ比較器出力)で出来事が起こる毎にカウンタ(TCNT1)値で更新されます。この捕獲レジスタはタイマ/カウンタのTOP値を定義するのに使えます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読まれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共有されます。68頁の「16ビットレジスタのアクセス」をご覧ください。

### 12.11.8. タイマ/カウンタ1割り込み許可レジスタ (Timer/Counter1 Interrupt Mask Register) TIMSK1

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	-	-	ICIE1	-	-	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット5 - ICIE1 : タイマ/カウンタ1捕獲割り込み許可 (Timer/Counter1 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1捕獲割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された捕獲割り込み要求フラグ(ICF1)が設定(1)されると、対応する割り込みベクタ(30頁の「割り込み」参照)が実行されます。

#### ■ ビット2 - OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output Compare B Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された比較1B割り込み要求フラグ(OCF1B)が設定(1)されると、対応する割り込みベクタ(30頁の「割り込み」参照)が実行されます。

#### ■ ビット1 - OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare A Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置された比較1A割り込み要求フラグ(OCF1A)が設定(1)されると、対応する割り込みベクタ(30頁の「割り込み」参照)が実行されます。

#### ■ ビット0 - TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1割り込み要求フラグレジスタ(TIFR1)に配置されたタイマ/カウンタ1溢れ割り込み要求フラグ(TOV1)が設定(1)されると、対応する割り込みベクタ(30頁の「割り込み」参照)が実行されます。

### 12.11.9. タイマ/カウンタ1割り込み要求フラグレジスタ (Timer/Counter1 Interrupt Flag Register) TIFR1

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	-	-	ICF1	-	-	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット5 - ICF1 : タイマ/カウンタ1捕獲割り込み要求フラグ (Timer/Counter1, Input Capture Flag)

ICP1ピンに捕獲の事象が起こると、このフラグが設定(1)されます。捕獲レジスタ(ICR1)がWGM13~0によってTOP値として設定されると、ICF1フラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、ICF1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF1は解除(0)できます。

#### ■ ビット2 - OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

このフラグはカウンタ(TCNT1)値が比較Bレジスタ(OCR1B)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1B)ストロブがOCF1Bフラグを設定(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF1Bは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Bは解除(0)できます。

#### ■ ビット1 - OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

このフラグはカウンタ(TCNT1)値が比較Aレジスタ(OCR1A)と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC1A)ストロブがOCF1Aフラグを設定(1)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCF1Aは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもOCF1Aは解除(0)できます。

#### ■ ビット0 - TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Flag)

このフラグの(1)設定はWGM13~0ビット設定に依存します。標準またはCTC動作でのTOV1フラグはタイマ/カウンタ1溢れ時に設定(1)されます。他のWGM13~0ビット設定を使う時のTOV1フラグ動作については71頁の表12-5を参照してください。

タイマ/カウンタ1溢れ割り込みベクタが実行されると、TOV1は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもTOV1は解除(0)できます。

(注) 本頁レジスタ内のビット7,6,4,3は予約されており、常に0として読まれます。

### 13. タイマ/カウンタの前置分周器

タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定ができます。以下の記述は両タイマ/カウンタに適用します。Tn(n=0,1)は一般名として使われます。

タイマ/カウンタはシステムクロック(CSn2~0=001設定)によって直接的にクロック駆動できます。これはシステムクロック周波数(fclk\_I/O)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。この前置分周したクロックはfclk\_I/O/8, fclk\_I/O/64, fclk\_I/O/256, fclk\_I/O/1024の何れかの周波数です。

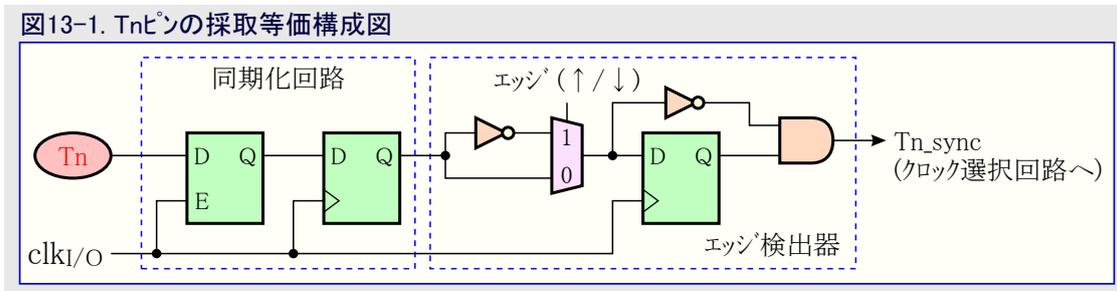
#### 13.1. 前置分周器リセット

この前置分周器は自由走行で(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作する)、Tnによって共有されます。前置分周器はタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステムクロック周期数はNが前置分周値(8,64,256,1024)とすると、1~N+1システムクロック周期になり得ます。

前置分周器リセットはプログラム実行に対してタイマ/カウンタを同期するのに用いることができます。

#### 13.2. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタクロック(clkTn)として使えます。このTnピンはピン同期化論理回路によって全てのシステムクロック周期に一度採取されます。この同期化(採取)された信号はその後にエッジ検出器を通して通過されます。図13-1はTn同期化とエッジ検出器論理回路の機能等価構成図を示します。レジスタは内部システムクロック(clk\_I/O)の上昇端でクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(Low区間で保持)です。



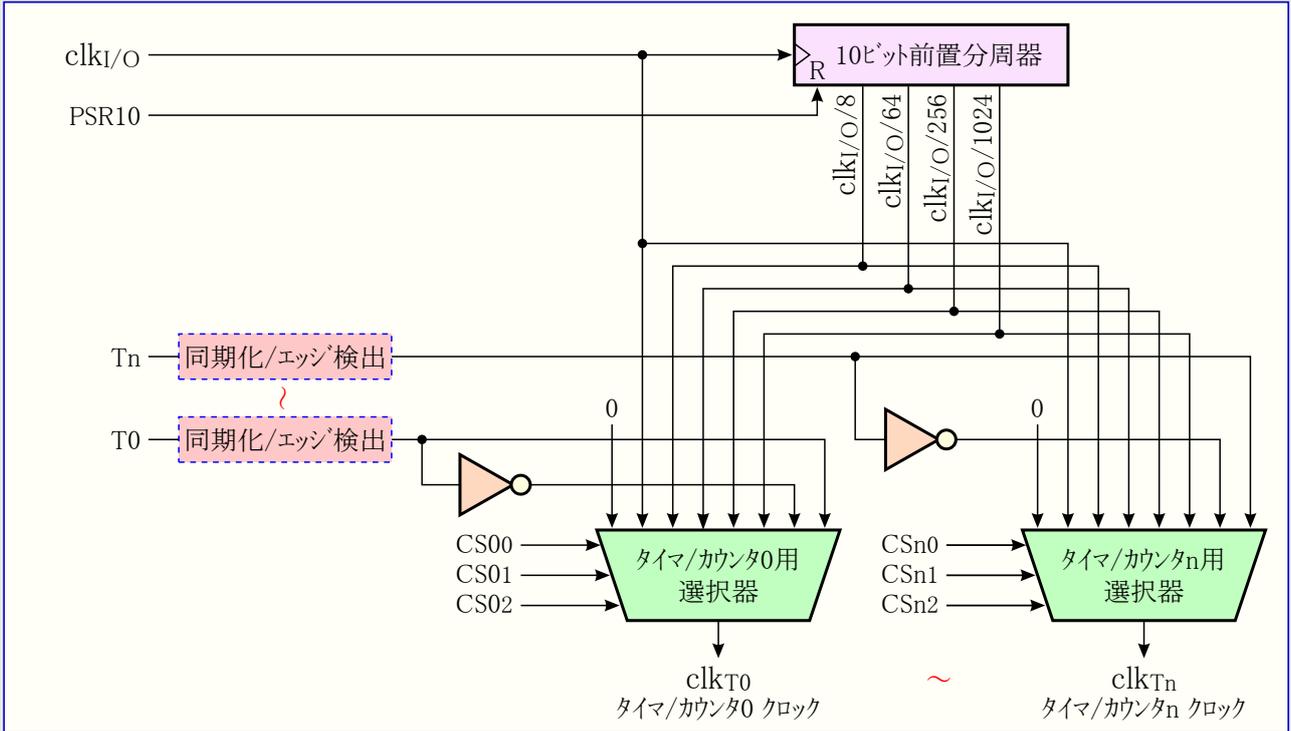
エッジ検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つのclkTnパルスを生成します。同期化とエッジ検出器論理回路はTnピンへ印加されたエッジからカウンタが更新されるまでに2.5~3.5システムクロック周期の遅延をもたらします。

クロック入力の許可と禁止はTnが最低1システムクロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システムクロック周波数の半分未満(fEXTclk < fclk\_I/O/2)であることが保証されなければなりません。エッジ検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイキストの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステムクロック周波数やデューティ比の変動のため、外部クロック元の最大周波数はfclk\_I/O/2.5未満が推奨されます。

外部クロック元は前置分周できません。

図13-2. タイマ/カウンタ0,1の前置分周器部構成図



注: 入力ピンの同期化/エッジ検出論理回路は図13-1.で示されます。

### 13.3. タイマ/カウンタ前置分周器制御用レジスタ

#### 13.3.1. 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register) GTCCR

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	-	-	-	-	-	-	PSR10	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

■ **ビット7 - TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)**

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR10へ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これはタイマ/カウンタが停止され、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSR10ビットはハードウェアによって解除(0)され、タイマ/カウンタが計数を始めます。

■ **ビット0 - PSR10 : タイマ/カウンタ前置分周器リセット (Prescaler Reset Timer/Counter 1,0)**

このビットが1のとき、タイマ/カウンタ0とタイマ/カウンタ1の前置分周器はリセットします。通常、TSMビットが設定(1)されている場合を除いて、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器を共用し、この前置分周器のリセットが全てのタイマ/カウンタに影響を及ぼすことに注意してください(訳注:共通性から本行追加)。

## 14. 多用途直列インターフェース (USI: Universal Serial Interface)

### 14.1. 特徴

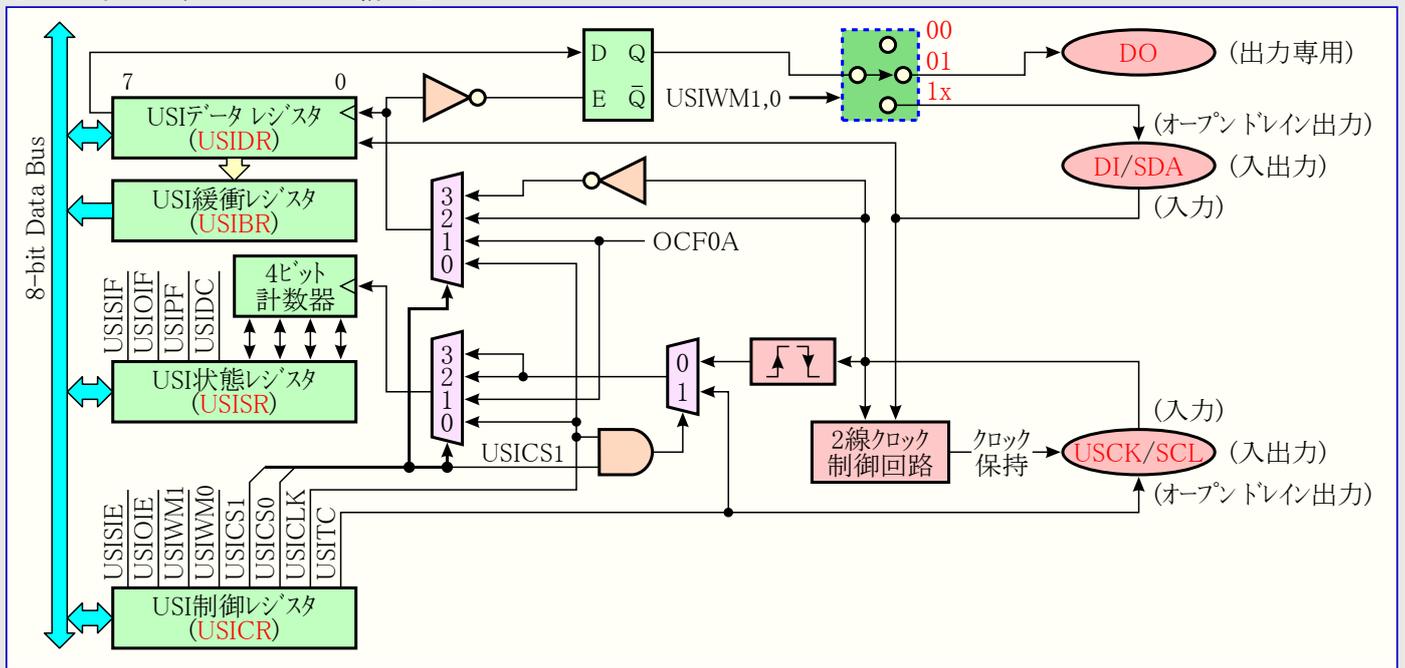
- 2線同期データ転送 (主装置または従装置)
- 3線同期データ転送 (主装置または従装置)
- データ受信割り込み
- **アイドル動作からの起動復帰**
- 2線動作での**パワーダウン動作**を含む**全休止形態**からの起動復帰
- 割り込み能力を持つ2線動作**開始条件**検出器

### 14.2. 概要

多用途直列インターフェース(USI)は直列通信で必要とされる基本的なハードウェア資源(機能)を提供します。最低限の制御ソフトウェアとの組み合わせで、USIはソフトウェアのみを元とした方法よりも少ないコード量と重要な高い転送レートを許します。プロセッサ負荷を最小とするために割り込みが含まれます。

USIの簡易化した構成図は図14-1.で示されます。実際のI/Oピンの配置は2頁の「**ピン配置**」を参照してください。デバイス仕様のI/Oレジスタとビット位置は82頁の「**USI用レジスタ**」で一覧されます。

図14-1. 多用途直列インターフェース構成図



8ビットの**USIデータレジスタ(USIDR)**は入ってくるデータと出て行くデータを含みます。これはデータバス経由で直接的にアクセス可能ですが、その内容の複製を後で回収できる**USI緩衝レジスタ(USIBR)**にも配置されます。直接USIデータレジスタを読む場合、データが失われないことを保証するためにデータは可能な限り早く読まなければなりません。

最上位ビットは(動作種別設定(**USI制御レジスタ(USICR)**参照)に依存して)2つの出力ピンの1つに接続されます。データ入力採取と逆のクロック端にデータ出力の変更を遅らせるのが、USIデータレジスタと出力ピン間のトランスペアレント(透過型)ラッチです。直列入力(種別)設定に拘らず、常にデータ入力(DI)ピンから採取されます。

**4ビット計数器**はデータバス経由で読み書き両方ができ、**溢れ割り込み**を生成できます。この計数器とUSIデータレジスタは同じクロック元によって同時にクロック駆動されます。これは受信または送信したビット数を数え、転送完了時に割り込みの生成を計数器に許します。外部クロック元が選択されると、この計数器が両クロック端で計数することに注意してください。これは計数レジスタがデータビット数でなく、クロック端数であることを意味します。クロックは3つの異なる**クロック元**(USCKピン、タイマ/カウンタ0の比較A一致、ソフトウェア)から選択できます。

2線クロック制御部(回路)は2線バスで**開始条件**が検出された時に割り込みを生成する設定にできます。**開始条件**検出後または計数器溢れ後にクロックピンをLowへ保持することによって待ち状態を生成する設定にもできます。

(**訳注**) 原書の本章はタイマ/カウンタ0からのクロック元が明確ではないため、本書では比較A一致(OCF0A)として記載しましたが、比較B一致かもしれません。

## 14.3. 機能説明

### 14.3.1. 3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使われるピン名はDI,DO,USCKです。

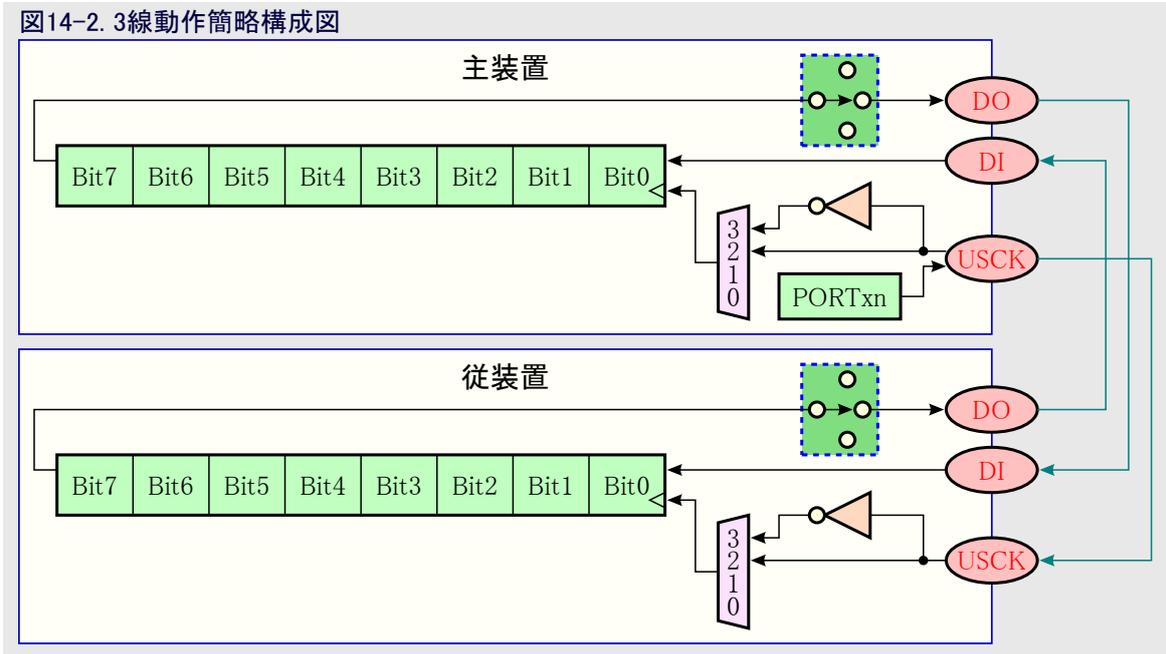
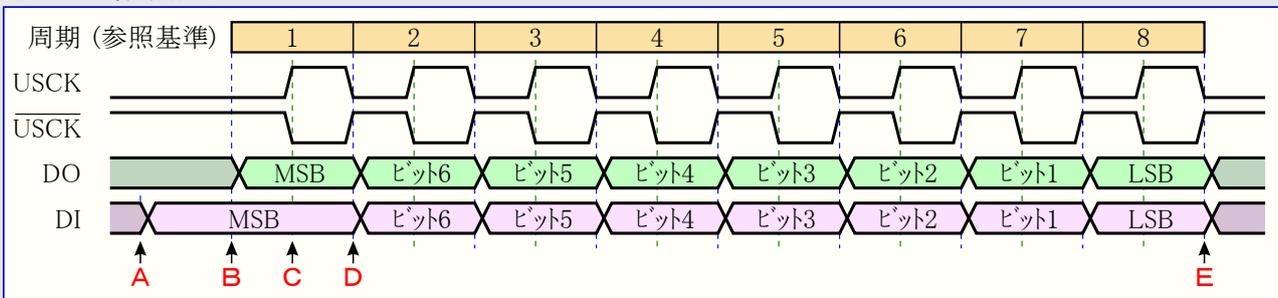


図14-2.は3線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。このような方法で連結された2つの移動レジスタは8USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSIの4ビット計数器も増加(+1)します。従って計数器溢れ割り込み要求フラグ(USIOIF)は転送が完了される時を決めるのに使えます。このクロックはPORTレジスタ経由USCKピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置装置ソフトウェアによって生成されます。

図14-3. 3線動作タイミング



3線動作タイミングは図14-3.で示されます。図の最上部はUSCK周期参照基準です。これらの各周期に対して1ビットがUSI移動レジスタ(USIDR)に移動されます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICCS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つ移動)されます。外部クロック動作1(USICCS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータが採取され、上昇端で出力が変更されます。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図14-3.)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はデータ出力を設定し、使用規約に依存して出力駆動部を許可します(AとB)。この出力は直列データレジスタへの送信されるべきデータ書き込みによって設定します。出力の許可はポート方向レジスタの対応するビット設定によって行います。A点とB点はどんな特別な順番もありますが、両方共にデータが採取されるC点よりも最低1/2USCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するために行わなければならないことです。4ビット計数器は0にリセットします。
2. 主装置はUSCK線をソフトウェアで2度切り替えることによってクロックパルスを生成します(CとD)。主装置と従装置のデータ入力(DI)ピンのビット値は最初のエッジ(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビット計数器は両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロックパルス(換言すると16クロック端)後、計数器が溢れて転送完了を示します。USI緩衝レジスタ(USIBR)が使われない場合、転送したバイトデータは新規転送が開始され得るのに先立って直ぐに処置されなければなりません。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。

## 14.3.2. SPI主装置操作例

次のコードはSPI主装置としてのUSI使用法を実際に示します。

```

アセンブリ言語プログラム例
SPIM:    OUT     USIDR, R16                ;送信データを設定
         LDI     R16, (1<<USIOIF)        ;USIOIFビットのみ1値を取得
         OUT     USISR, R16              ;フラグ解除/計数器初期化
         LDI     R16, (1<<USIWM0) | (1<<USICS1) | (1<<USICLK) | (1<<USITC) ;3線動作クロック生成値を取得
;
SPIM_LP: OUT     USICR, R16                ;SCKクロック端発生
         SBIS    USISR, USIOIF            ;計数器溢れでスキップ
         RJMP    SPIM_LP                  ;計数器溢れまで継続
;
         IN      R16, USIDR                ;受信データを取得
         RET
    
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDOとUSCKピンがDDRAで出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は従装置に転送され、転送が完了された時に従装置から受信したデータがR16レジスタに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求フラグ(USIOIF)を解除(0)し、USI 4ビット計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端クロック、USITCスローブ計数、SCK出力交互切り替え(PORTA4)を設定します。この繰り返しは16回繰り返されます。

次のコードは最高速( $f_{SCK}=f_{CK}/2$ )でのSPI主装置としてのUSI使用法を実際に示します。

```

アセンブリ言語プログラム例
SPIM_F:  OUT     USIDR, R16                ;送信データを設定
         LDI     R16, (1<<USIWM0) | (0<<USICS0) | (1<<USITC)        ;3線動作初期値を取得
         LDI     R17, (1<<USIWM0) | (0<<USICS0) | (1<<USITC) | (1<<USICLK) ;3線動作クロック生成値を取得
;
         OUT     USICR, R16                ;MSB転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット6転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット5転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット4転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット3転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット2転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;ビット1転送
         OUT     USICR, R17                ;
         OUT     USICR, R16                ;LSB転送
         OUT     USICR, R17                ;
;
         IN      R16, USIDR                ;受信データを取得
         RET
    
```

### 14.3.3. SPI従装置操作例

次のコードはSPI従装置としてのUSI使用法を実際に示します。

```

アセンブリ言語プログラム例
init:    LDI     R16, (1<<USIWM0) | (1<<USICS1)      ;3線動作,外部クロック値を取得
         OUT     USICR, R16                          ;3線動作,外部クロック設定

SPIS:    OUT     USIDR, R16                          ;送信データを設定
         LDI     R16, (1<<USIOIF)                    ;USIOIFビットのみ1値を取得
         OUT     USISR, R16                          ;フラグ解除/計数器初期化
;
SPIS_LP: SBIS    USISR, USIOIF                       ;計数器溢れでスキップ
         RJMP   SPIS_LP                             ;計数器溢れまで継続
;
         IN     R16, USIDR                          ;受信データを取得
         RET
    
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDDRAレジスタでDOピンが出力、USCKピンが入力として設定されると仮定します。この関数が呼び出される前にR16レジスタへ格納した値は主装置に転送され、転送が完了された時に主装置から受信したデータがR16レジスタに格納されて戻ります。

最初の2命令は初期化用だけで、一度だけ実行されるのを必要とすることに注意してください。これらの命令は3線動作と上昇端クロックを設定します。この繰り返しはUSI計数器溢れフラグが設定(1)されるまで繰り返されます。

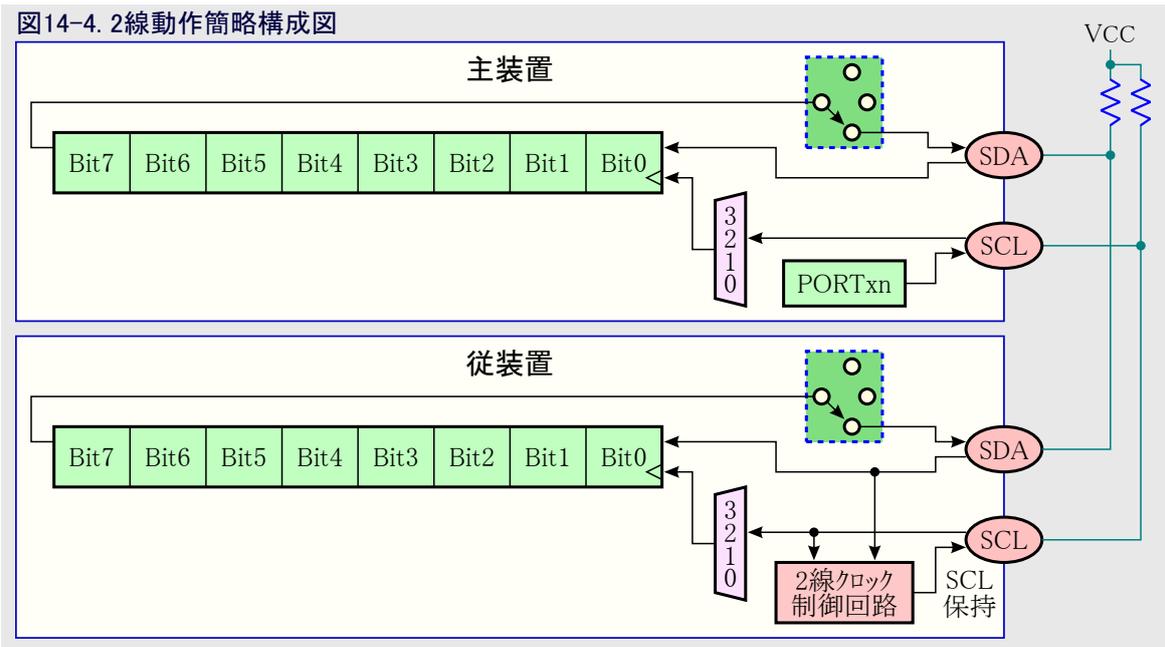
### 14.3.4. 2線動作

USIの2線動作はI<sup>2</sup>C(TWI)バス規約に準拠していますが、出力のスレーブ制限と入力雑音濾波器がありません。この動作で使われるピン名はSCLとSDAです。

図14-4.は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。システム動作が使用通信構造に大きく依存するために示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列クロック生成と、従装置だけがクロック制御部(回路)を使うことです。

クロック生成はソフトウェアで実行されなければなりません、移動動作は両装置で自動的に行われます。データの移動に関してこの動作種別で下降端でのクロックだけを実際に使うことに注意してください。従装置はSCLクロックをLowに強制することにより、転送の開始と終了で待ち状態(ウェイト ステート)を挿入できます。これは(主装置が)上昇端を生成してしまった後に主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

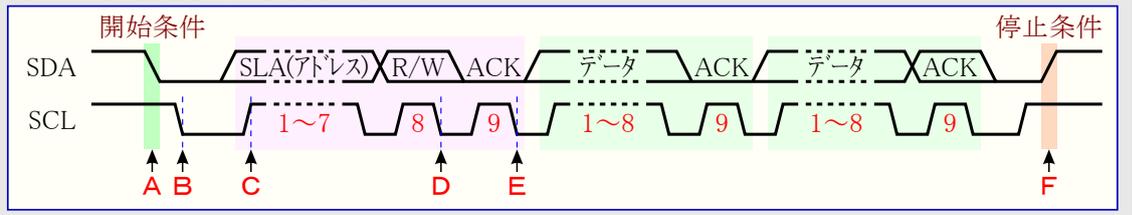
このクロックが(4ビット)計数器も増加(+1)するため、計数器溢れ(USIOIF)は転送が完了されたことを示すのに使えます。このクロックは主装置によるPORTAレジスタ経由のSCLピン交互切り替えによって生成されます。



データ方向は物理層によって与えられません。データの流れを制御するためにTWIバスで使用したような或る種の規約が実装されなければなりません。

このタイミング図(図14-5.)を参照すると、バス転送は次の手順を含みます。

図14-5. 代表的な2線動作タイミング



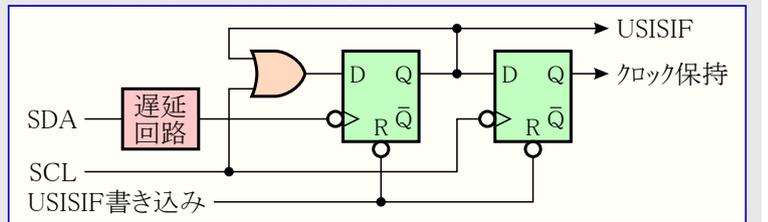
1. 開始条件は主装置によるSCL線High中のSDA線Low強制によって生成されます(A)。SDAはUSIデータレジスタ(USIDR)のビット7への0書き込みか、またはPORTレジスタで対応ビットを0に設定のどちらかによって強制実行できます。出力が許可されるにはデータ方向(DDR)レジスタのビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図14-6.参照)が開始条件を検出してUSISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で上昇端を強制してしまった後にSCL線をLowに保持します(B)。これはアドレスを受信するために移動レジスタを設定する前に休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)して開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定してSCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取して移動レジスタへ移動します。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れてSCL線がLowを強制されます(D)。従装置は主装置の1つがアドレス指定してしまわない場合、SCL線を開放して新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前に(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置か従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)にSCL線をLowに保持することができます。
6. 主装置によって停止条件(F)か新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。従装置はより多くのデータを受信できない場合、最後に受信したバイトデータに回答しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することによってこの動作を終了しなければなりません。

### 14.3.5. 開始条件検出器

開始条件検出器は図14-6.で示されます。SDA線はSCL線の有効な採取を保証するために(50~300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使う規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使う時にCKSELヒューズで設定する発振器起動時間(15頁の「クロック元」参照も考慮内に取り入れられなければなりません。更なる詳細については82頁のUSISIFフラグ記述を参照してください。

図14-6. 開始条件検出器回路構成



### 14.3.6. クロック速度の考察

SCLとUSCKに対する最大周波数は $f_{CK}/2$ です。これは2線と3線の両動作での最大データ転送と受信速度でもあります。2線従装置動作では従装置が更にデータを受信する準備ができるまで、2線クロック制御部がSCLを保持します。これは2線動作で実データ速度を減らすかもしれません。

## 14.4. USIでの代替使用

USI部を直列通信に使わないなら、柔軟な設計のため、代替処理を行うように設定できます。

### 14.4.1. 半二重非同期データ転送

3線動作で移動レジスタを使うことによってソフトウェアだけよりも簡潔で高性能のUART実装が可能です。

### 14.4.2. 4ビット計数器

4ビット計数器は溢れ割り込みとの自立型計数器として使えます。この計数器が外部的にクロック駆動される場合、両クロック端が増加(+1)を発生することに注意してください。

### 14.4.3. 12ビット計数器

USIの4ビット計数器とタイマ/カウンタ0の組み合わせは12ビット計数器としての使用を許します。

### 14.4.4. エッジ起動外部割り込み

4ビット計数器を最大値(\$F)に設定することによって追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットはこの外部割り込みに対して使われます。この特徴(機能)はUSICS1ビットによって選択(=1)されます。

### 14.4.5. ソフトウェア割り込み

4ビット計数器の溢れ割り込みはクロックストローブによって起動するソフトウェア割り込みとして使えます。

## 14.5. USI用レジスタ

### 14.5.1. USI データレジスタ (USI Data Register) USIDR

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データレジスタ(USIDR)は直接アクセスできますが、データの複製がUSI緩衝レジスタ(USIBR)でも得られます。

USI制御レジスタ(USICR)のUSICS1,0ビット設定に応じて(左)移動動作が実行され得ます。この移動動作は外部クロック端、タイマ/カウンタ0比較A一致により、またはUSICLKビット経由のソフトウェア直接で同期化できます。レジスタが書かれるのと同じ周期で直列クロックが起こると、レジスタは書いた値を含み、移動は実行されません。

2または3線動作種別が選択されない(USIWM1,0=00)時でも、外部データ入力(DI/SDA)と外部クロック入力(USCK/SCL)の両方が未だUSIデータレジスタによって使われ得ることに注意してください。

出力ピン(DOまたはSDA、動作種別依存)は出力ラッチを経由してデータレジスタの最上位ビット(ビット7)に接続されます。このラッチは逆のクロック端でのデータ入力採取とデータ出力変更を保証します。この出力ラッチは外部クロック元が選択される(USICS1=1)時に直列クロック周期の前半中が透過(トランスペアレント)で、内部クロック元が使われる(USICS1=0)時に定常的な透過です。ラッチが透過である限り、新規MSBが書かれると、出力は直ちに更新されます。

USIデータレジスタからの出力データを許可するために、ピンに対応するデータ方向レジスタ(DDxn)が1に設定されなければならないことに注意してください。

### 14.5.2. USI 緩衝レジスタ (USI Buffer Register) USIBR

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	(MSB)							(LSB)	USIBR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

USIデータレジスタ(USIDR)からデータを読む代わりにUSI緩衝レジスタ(USIBR)が使えます。これはUSI制御の微妙なタイミングをなくして他のプログラム処理を扱うより多くの時間をCPUに与えます。USIのフラグはUSIDRを読む時と同様に設定されます。

USIデータレジスタ(USIDR)の内容は転送が完了される時にUSI緩衝レジスタ(USIBR)へ格納されます。

### 14.5.3. USI状態レジスタ (USI Status Register) USISR

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、計数器値を含みます。

#### ■ ビット7 - USISIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

2線動作選択時に開始条件が検出されると、USISIFフラグが設定(1)されます。出力禁止動作または3線動作の選択時、USCKピンのどのエッジもがこのフラグを設定(1)します。

ステータスレジスタ(SREG)の全割り込み許可(1)ビットとUSI制御レジスタ(USICR)で開始条件検出許可(USISIE)ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSISIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの開始条件保持を解除(開放)します。

開始条件検出割り込みは全ての休止形態からプロセッサを起動します。

#### ■ ビット6 - USIOIF : 計数器溢れ割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビット計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(1)ビットとUSICRで計数器溢れ割り込み許可(USIOIE)ビットが設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSIOIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの計数器溢れ保持を解除(開放)します。

計数器溢れ割り込みはアイドル休止動作からプロセッサを起動します。

#### ■ ビット5 - USIPF : 停止条件検出フラグ (Stop Condition Flag)

2線動作が選択された時に停止条件が検出されると、USIPFフラグが設定(1)されます。このフラグはこのビットへの1書き込みによって解除(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は2線バス主装置調停の実装時に有用です。

## ■ ビット4 – USIDC : 出力データ衝突フラグ (Data Output Collision Flag)

USIデータレジスタ(USIDR)のビット7(MSB)が物理ピン値と異なる時にこのビットは論理1です。このフラグは2線動作が使用される時にだけ有効です。この合図は2線バス主装置調停の実装時に有用です。

## ■ ビット3~0 – USICNT3~0 : 計数器値 (Counter Value)

これらのビットは現在の4ビット計数器値を反映します。この4ビット計数器値はCPUによって直接的に読み書きできます。

この4ビット計数器は外部クロック端検出器、タイマ/カウンタ0比較A一致、USICLKまたはUSITCスローブビットを使うソフトウェアのどれかによって生成した各クロックに対して1つ増加します。このクロック元はUSICS1,0ビット設定に依存します。外部クロック動作に対してUSITCスローブビットへの書き込みによって生成されるのをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元(USICS1=1)設定とUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選択されている時でも、外部クロック入力(USCK/SCL)が未だ計数器によって使われることに注意してください。

### 14.5.4. USI 制御レジスタ (USI Control Register) USICR

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロック スローブを含みます。

## ■ ビット7 – USISIE : 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが開始条件検出割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSISIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については82頁の開始条件検出割り込み要求フラグ(USISIF)記述を参照してください。

## ■ ビット6 – USIOIE : 計数器溢れ割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することが計数器溢れ割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSIOIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については82頁の計数器溢れ割り込み要求フラグ(USIOIF)記述を参照してください。

## ■ ビット5,4 – USIWM1,0 : 動作種別選択 (Wire Mode)

下の表14-1.で示されるようにこれらのビットは使われるべき動作種別(2または3線動作)を設定します。

表14-1. USI操作とUSIWM1,0の関係

USIWM1	USIWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO,DI,USCKピンを使用。 データ出力(DO)ピンはこの動作でPORTAレジスタの対応ビットを無視します。けれども対応するDDRAビットは未だデータ方向を制御します。ポートピンが入力として設定(DDxn=0)されると、そのピンのプルアップはPORTAビットによって制御されます。 データ入力(DI)と直列クロック(USCK)ピンは標準ポート操作に影響を及ぼしません。主装置として動作する時のクロックパルスはデータ方向が出力に設定されている(DDxn=1)間のPORTAレジスタの交互切り替えによってソフトウェアで生成されます。USICRのUSITCビットがこの目的に使えます。
1	0	2線動作。SDA(DI)とSCL(USCK)ピンを使用。(注1) 直列データ(SDA)と直列クロック(SCL)ピンは双方向でオープンドレイン出力駆動を使います。この出力駆動部はDDRAレジスタでSDAとSCLに対応するビットの設定(=1)によって許可されます。 SDAピンに対して出力駆動部が許可されると、出力駆動部はUSIデータレジスタ(USIDR)の出力またはPORTAレジスタの対応ビットが0ならばSDA線をLowに強制します。さもないと、SDA線は駆動されません(換言すると開放されます)。SCLピン出力駆動部が許可されると、SCL線はPORTAレジスタの対応ビットが0なら、または開始条件検出器によってLowを強制されます。さもないとSCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出すると、Lowに保持されます。開始条件検出フラグ(USISIF)の解除(0)がその線を開放します。SDAとSCLピン入力はこの動作の許可によって影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 SCL線は計数器溢れが起こる時にもLowへ保持され、計数器溢れフラグ(USIOIF)が解除(0)されるまでLowに保持されることを除いて、上の2線動作と同じ動作です。

注1: DIとUSCKピンは動作種別間での混乱を避けるため、各々直列データ(SDA)と直列クロック(SCL)に改称されます。

基本的に出力の機能だけがこれらのビットによって影響を及ぼされます。データとクロック入力を選択した動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でもUSIデータレジスタ(USIDR)とカウンタは外部的にクロック駆動でき、入力データが採取されます。

### ■ ビット3,2 - USICS1,0 : クロック選択 (Clock Source Select)

これらのビットは移動レジスタと計数器に対するクロック元を設定します。外部クロック元(USCK/SCL)を使う時にデータ出力ラッチはデータ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。タイマ/カウンタ0比較A一致またはソフトウェア ストローブが選択されると、出力ラッチは透過で、従って出力は直ちに変更されます。USICS1,0ビットの解除(=00)がソフトウェア ストローブ選択を許可します。この選択を使う時のUSICLKビットへの1書き込みはUSIデータレジスタ(USIDR)と計数器の両方をクロック駆動します。外部クロック元(USICS1=1)に対してUSICLKビットはもはやストローブとして使われませんが、外部クロックとUSITCストローブビットによるソフトウェア クロック間を選択します。

表14-2.はUSIデータレジスタ(USIDR)と4ビット計数器に対して使われるクロック元とUSICS1,0、USICLK設定間の関連を示します。

表14-2. USICS1,0とUSICLK設定との関係

USICS1	USICS0	USICLK	移動レジスタ クロック元	4ビット計数器クロック元
0	0	0	クロックなし	クロックなし
		1	ソフトウェア クロック ストローブ (USICLK)	ソフトウェア クロック ストローブ (USICLK)
	1	X	タイマ/カウンタ0比較A一致	タイマ/カウンタ0比較A一致
1	0	0	外部クロック上昇端	外部クロック両端
	1		外部クロック下降端	
	0	1	外部クロック上昇端	ソフトウェア クロック ストローブ (USITC)
	1		外部クロック下降端	

### ■ ビット1 - USICLK : クロック ストローブ (Clock Strobe)

USICS1,0ビットのゼロ(=00)書き込みによってソフトウェア ストローブ任意選択が選択されたなら、このビット位置への1書き込みはUSIデータレジスタ(USIDR)を1段移動して計数器を1つ増加します。このクロック ストローブが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。USIデータレジスタ(USIDR)内に移動した値は直前の命令周期で採取されます。

外部クロック元が選択される(USICS1=1)と、USICLK機能はクロック ストローブからクロック選択レジスタに変更されます。この場合のUSICLKビットの設定(1)は4ビット計数器に対するクロック元としてのUSITCストローブを選びます(表14-2.参照)。

このビットは0として読まれます。

### ■ ビット0 - USITC : クロック値切り替え (Toggle Clock Port Pin)

このビット位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORT値がピンで見られるべきなら、DDRビットが出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なクロック生成を許します。

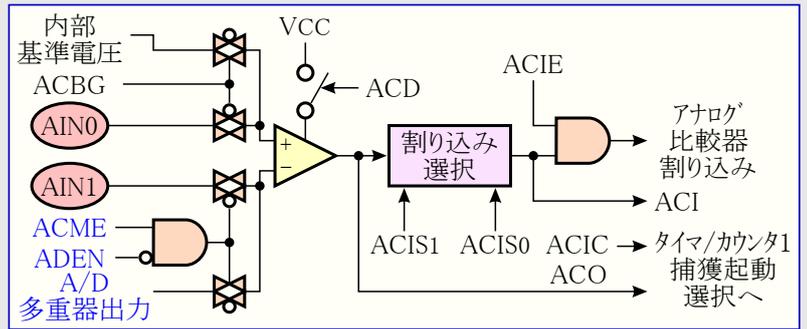
外部クロック元が選択され(USICS1=1)、USICLKビットが1に設定されると、USITCストローブビットへの書き込みは直接的に4ビット計数器をクロック駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

このビットは0として読まれます。

## 15. アナログ比較器

アナログ比較器は非反転入力AIN0(PA1)ピンと反転入力AIN1(PA2)ピンの入力値を比較します。非反転AIN0ピンの電圧が反転AIN1ピンの電圧よりも高い時にACSRのアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図15-1.で示されます。

図15-1. アナログ比較器部構成図



注: A/D多重器出力については表15-1.をご覧ください。  
アナログ比較器ピン配置については2頁の「ピン配置」と38頁の表10-3.を参照してください。

### 15.1. アナログ比較器入力選択

A/D変換器(ADC)がシングルエンドとして設定される時、アナログ比較器への反転入力を取り替えるのにADC7~0のどれかを選択することができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。ADCSRBのアナログ比較器多重器許可(ACME)ビットが設定(1)され、A/D変換部がOFF(ADCSRAのADENビットが0)なら、表15-1.で示されるようにADMUXのチャンネル選択(MUX4~0)ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEが解除(0)またはADENが設定(1)されると、AIN1がアナログ比較器への反転入力に印加されます。

表15-1. アナログ比較器反転入力選択

ACME	ADEN	MUX4~0	アナログ比較器反転入力
0	x	x x x x x	AIN1
	1	x x x x x	
1	0	0 0 0 0 0	ADC0
		0 0 0 0 1	ADC1
		0 0 0 1 0	ADC2
		0 0 0 1 1	ADC3
		0 0 1 0 0	ADC4
		0 0 1 0 1	ADC5
		0 0 1 1 0	ADC6
		0 0 1 1 1	ADC7

### 15.2. アナログ比較器用レジスタ

#### 15.2.1. アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register) ACSR

ビット	7	6	5	4	3	2	1	0	ACSR
\$30 (\$50)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

##### ■ ビット7 - ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起り得ます。

##### ■ ビット6 - ADBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、固定の内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。このビットが解除(0)されると、AIN0がアナログ比較器の非反転入力に印加されます。27頁の「内部基準電圧」をご覧ください(訳注:共通性から本行追加)。

##### ■ ビット5 - ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接ACOへ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

##### ■ ビット4 - ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRのアナログ比較器割り込み条件(ACIS1,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSRのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

■ **ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)**

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

■ **ビット2 – ACIC : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)**

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。論理0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ1捕獲割り込みを起動するには、タイマ/カウンタ1割り込み許可レジスタ(TIMSK1)の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません。

■ **ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)**

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表15-2.で示されます。

ACIS1,ACIS0ビットを変更する時にACSRのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表15-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

15.2.2. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BIN	ACME	–	ADLAR	–	ADTS2	ADTS1	ADTS0	ADCSR B
Read/Write	R/W	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ **ビット6 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)**

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAのADENビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選択します。このビットが論理0を書かれると、AIN1がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については前頁の「アナログ比較器入力選択」をご覧ください。

15.2.3. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D AIN1D	ADC1D AIN0D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ **ビット2,1 – AIN1D,AIN0D : AIN1,AIN0 デジタル入力禁止 (AIN1,AIN0 Digital Input Disable)**

このビットが論理1を書かれると、AIN1/0ピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。AIN1/0ピンにアナログ信号が印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、このビットは論理1を書かれるべきです。

## 16. A/D変換器

### 16.1. 特徴

- 10ビット分解能
- 積分非直線性誤差1.0LSB
- 絶対精度±2LSB
- 変換時間13μs (1MHz変換クロック)
- 最大分解能で15kSPS(採取/s)まで (200kHz変換クロック)
- 8チャンネルのシングルエンド入力多重器内蔵
- 利得(×1, ×20)選択可能な12種の差動入力チャンネル
- 温度感知器入力チャンネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~VCC A/D変換入力電圧範囲
- A/D変換器用1.1V基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能
- 単極性/両極性入力動作
- 入力極性反転動作

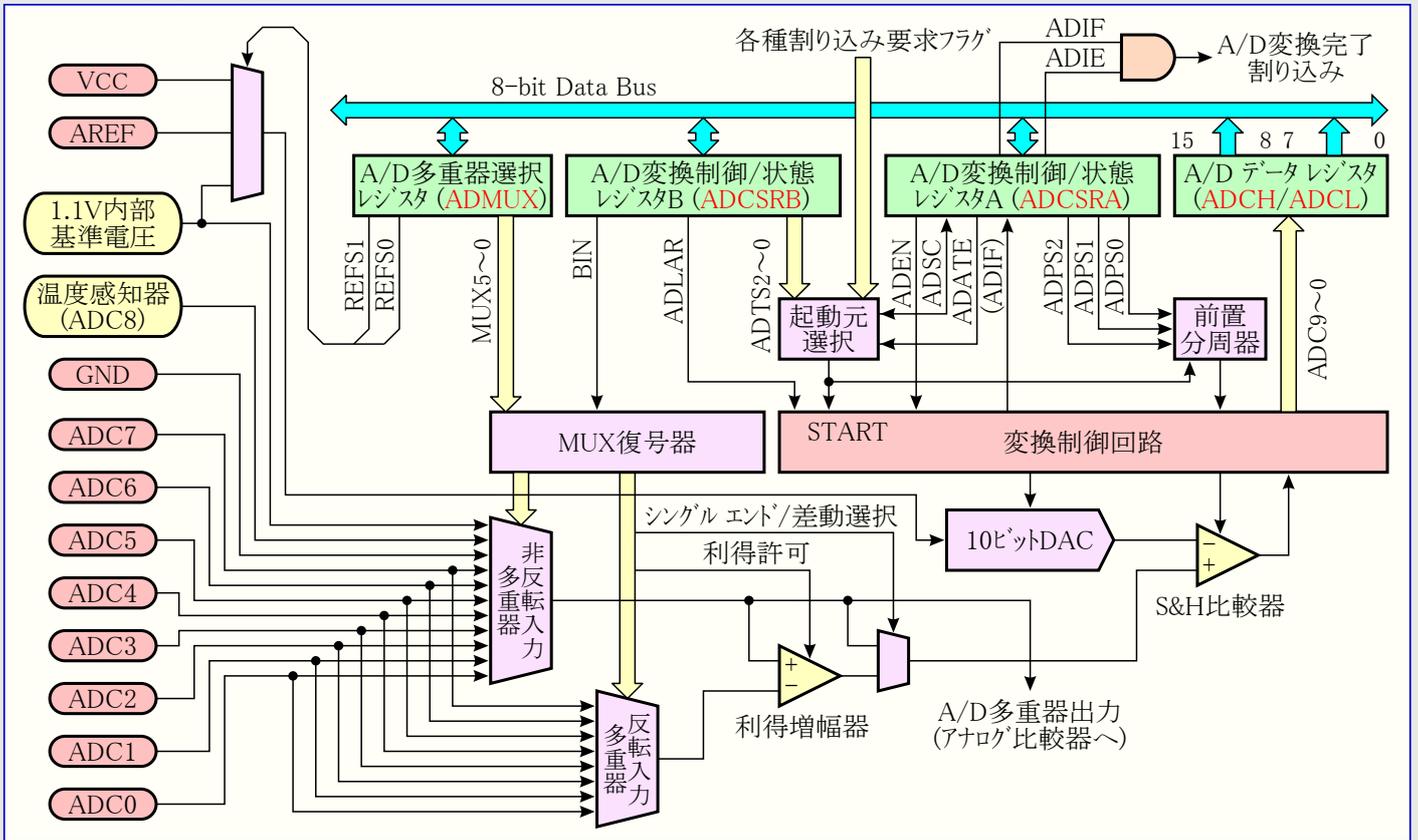
### 16.2. 概要

ATtiny24/44/84は10ビット逐次比較A/D変換器が特徴です。このA/D変換器は外部(信号)源用のポートAの8ピンに接続されます。外部(信号)源に加えて内部温度感知器がA/D変換器で計測できます。アナログ多重器はポートAからの8つのシングルエンドチャンネルまたは12種の差動チャンネルを許します。設定可能な利得段は12種の差動A/D変換チャンネルに対して0dB(×1)と26dB(×20)の増幅段を提供します。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図16-1.で示されます。

公称1.1Vの内蔵基準電圧がチップ上で提供されます。代わりにVCCがシングルエンドチャンネル用の基準電圧として使えます。内部基準電圧をOFFにして外部基準電圧を使う任意選択もあります。

図16-1. A/D変換器部構成図



### 16.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値は基準電圧を表します。A/D変換器用の基準電圧はA/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS1,0)ビットへの書き込みによって選択できます。VCC電源、AREFピン、または1.1V内部基準電圧がA/D変換器基準電圧として選択できます。

アナログ入力チャネルと差動利得はADMUXのチャネル選択(MUX5~0)ビットへの書き込みによって選択されます。8つのADC入力ピン(ADC7~0)のどれかがA/D変換器のシングルエンド入力として選択できます。差動計測に対して全アナログ入力は各々隣が入力対として選択できます。全ての入力はADC3と計測することが可能です。これらの差動入力対は差動利得増幅器を通してA/D変換によって計測されます。

差動チャネルが選択されると、差動利得段は選択した入力チャネル対間の差電圧を、ADMUXのMUX0ビット設定に従って、1倍または20倍の選択した増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャネルが使われると、利得増幅器全体が迂回(無視)されます。

差動チャネルのオフセットは反転と非反転両方の入力として同じ入力を選択することによって計測できます。オフセット校正はADC0,ADC3,ADC7に対して行なえます。ADC0,ADC3またはADC7が差動利得増幅器への反転と非反転両方の入力として選択されると、利得段と変換回路の残留オフセットが変換結果として直接測定できます。この数値はオフセット誤差を1LSB以下に減らすために、同じ利得設定で後続する変換(結果)から減算できます。

チップ上の温度感知器はADMUXのMUX5~0ビットへの'100010'書き込みによって選択されます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、A/D変換制御/状態レジスタB(ADCSRB)で左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足りります。さもないとデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まなければならない。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

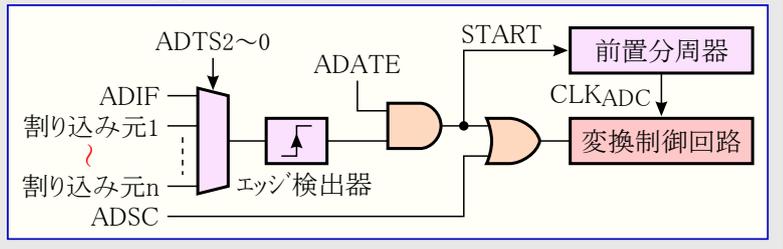
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

### 16.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時に起動信号が未だ設定(1)されている場合は新規の変換が開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければならない。

図16-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければならない。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については91頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

16.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50~200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。1MHzよりも高い入力クロック周波数を使うことは推奨されません。

図16-3.で図解されるように、A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周器はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2~0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は13変換クロック周期で行われます。下の図16-4.で示されるように、A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

図16-3. A/D変換前置分周器部構成

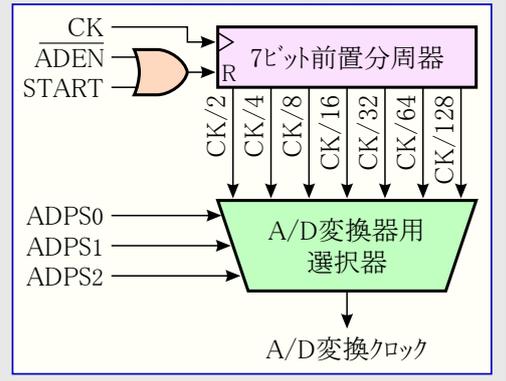
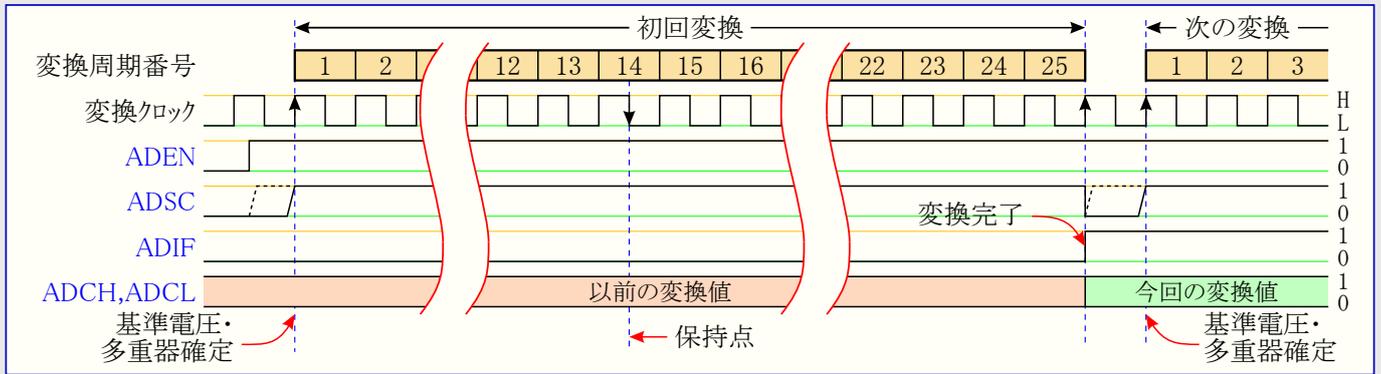
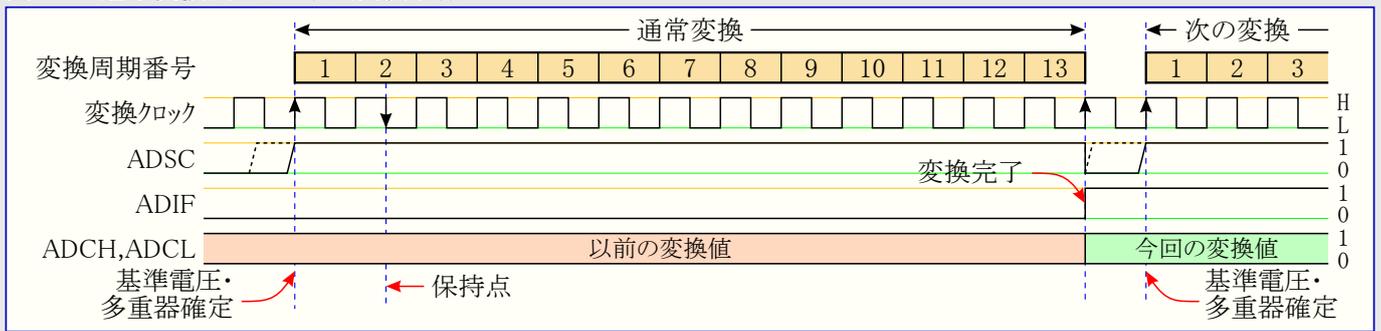


図16-4. 初回変換タイミング (単独変換動作)



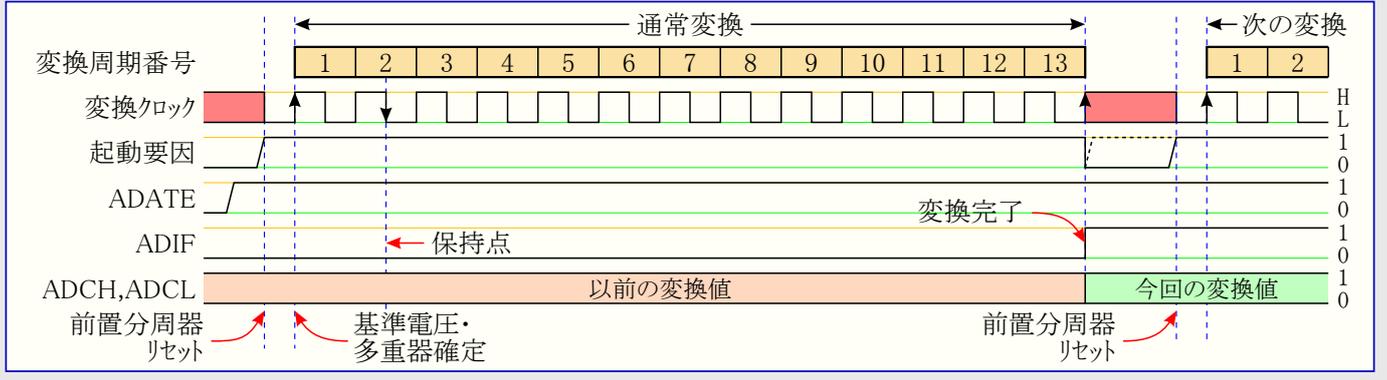
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後にソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図16-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、下の図16-6.で示されるように前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の3CPUクロック周期が費やされます。

図16-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。図16-7.をご覧ください。変換時間の要約については表16-1.をご覧ください。

図16-7. 連続変換動作タイミング

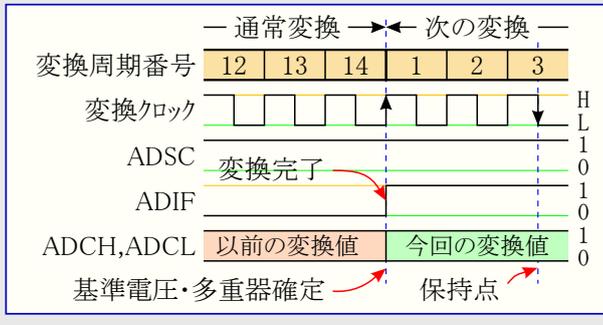


表16-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	2	13.5
連続変換	2.5	14

注: 変換時間を除く各値は変換開始からの変換クロック数です。

## 16.6. チャネル変更と基準電圧選択

A/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX5~0)ビットと基準電圧選択(REFS1,0)ビットはCPUが乱順にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の變換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADMUXに書かないことを推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXの更新時に特別な注意が祓われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

### 16.6.1. A/D入力チャネル

チャネル変更する時に使用者は正しいチャネルが選択されることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル変更をすることです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

## 16.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングル エント'入力チャネルは\$3FFで打ち切る符号に帰着します。VREFはVCC、1.1V内部基準電圧、外部AREFピンのどれかとして選択できます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

## 16.7. 雑音低減機能

このA/D変換部は**休止形態**中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺I/Oが誘導した雑音を減らします。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使うことができます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ0を書くことが推奨されます。

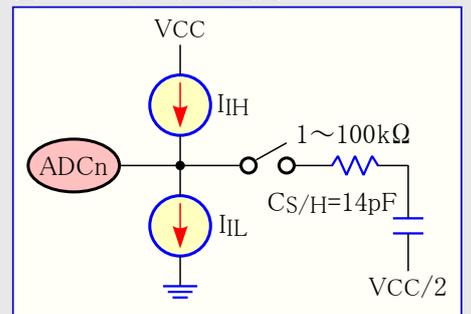
## 16.8. アナログ入力回路

シングル エント'入力チャネルのアナログ回路は**図16-8**で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。緩やかに変化する信号で、必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は低インピーダンス信号源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数( $f_{ADC}/2$ )よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器(ローパスフィルタ)で高い周波数成分を取り除くことが推奨されます。

図16-8. アナログ入力回路



**注:** 図内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

## 16.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定に精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要なとき、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分分離することを守ってください。
- 何れかのADCポートピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステムクロック周波数が1MHz以上、または「**温度測定**」で記述されるようにA/D変換が内部温度感知器読み込みに使われる場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

## 16.10. A/D変換の精度定義

シングルエンド入力電圧のnビットA/D変換はGNDとVREF間を $2^n$ で直線的に変換します。最低値コードは0として読み、最高値コードは $2^n-1$ として読みます。以下の各種パラメータは理想状態からの偏差を表します。

### • オフセット誤差 - 図16-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5LSB)と比較した偏差です。理想値は0LSBです。

### • 利得誤差 - 図16-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

### • 積分非直線性誤差 (INL) - 図16-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

### • 微分非直線性誤差 (DNL) - 図16-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

### • 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に $\pm 0.5$ LSBです。

### • 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は $\pm 0.5$ LSBです。

図16-9. オフセット誤差

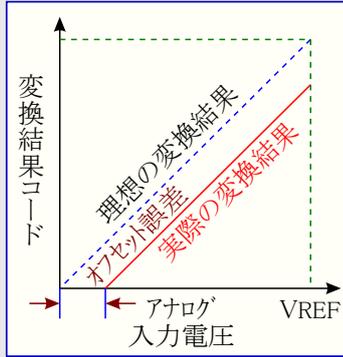


図16-10. 利得誤差

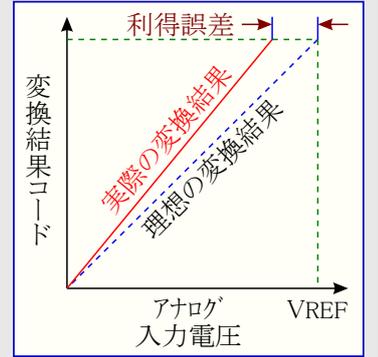


図16-11. 積分非直線性誤差

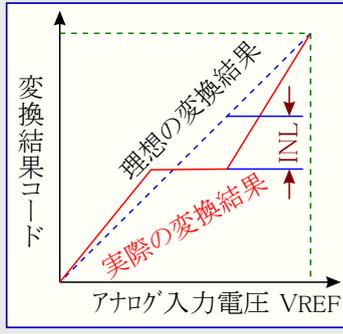
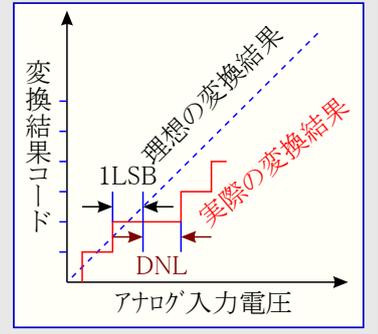


図16-12. 微分非直線性誤差



## 16.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH,ADCL)で得られます。変換結果の形式はシングルエンド変換、単極差動変換、両極差動変換の3つの変換形式に依存します。

### 16.11.1. シングルエンド変換

シングルエンド入力変換での結果は右式で示されます。

$V_{IN}$ は選択した入力ピンの電圧で、 $V_{REF}$ は選択した基準電圧です(94頁の表16-3と表16-4をご覧ください)。 $\$000$ はアナログGNDを表し、 $\$3FF$ は選択した基準電圧-1LSBを表します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

### 16.11.2. 単極差動変換

差動チャンネルで単極入力動作が使われると、その結果は右式で示されます。

$V_{POS}$ は非反転入力ピンの電圧、 $V_{NEG}$ は反転入力ピンの電圧、 $GAIN$ は選択した倍率、 $V_{REF}$ は選択した基準電圧です。非反転ピンの電圧は常に反転ピンの電圧より高くなければならず、さもなければ差電圧は0に飽和します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。 $GAIN$ は1倍か20倍の何れかです。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 1024}{V_{REF}}$$

### 16.11.3. 両極差動変換

差動チャンネルで両極入力動作が使われると、その結果は右式で示されます。

$V_{POS}$ は非反転入力ピンの電圧、 $V_{NEG}$ は反転入力ピンの電圧、 $GAIN$ は選択した倍率、 $V_{REF}$ は選択した基準電圧です。結果は-512(\$200)から0(\$000)を通して+511(\$1FF)までの符号付き2進数で表されます。 $GAIN$ は1倍か20倍の何れかです。使用者が(変換)結果の素早い極性検査を欲する場合、それが結果のMSB読み込み(ADCHのADC9ビット)で充分なことに注意してください。このビットが1ならば結果が負、0ならば正です。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

既定としてA/D変換器は単極入力動作で働きますが、A/D変換制御/状態レジスタB(ADCSR)の両極入力動作(BIN)ビットの1書き込みによって両極入力動作が選べます。両極入力動作では±両側の差電圧が許され、従って反転入力ピンの電圧は非反転入力ピンの電圧よりも高くもできます。

## 16.12. 温度測定

温度測定はシングル エント ADC8チャンネルに連結されるチップ上の温度感知器に基きます。A/D多重器選択(ADMUX)レジスタのチャンネル選択(MUX5~0)ビットへの'100010'書き込みによるADC8チャンネル選択がこの温度感知器を許可します。1.1V内部基準電圧も温度感知器測定でA/D変換器基準電圧源に選択されなければなりません。温度感知器が許可されると、A/D変換器は温度感知器上の電圧測定を単独変換動作(ADATE=0)で使うことができます。

測定した電圧は表16-2.で記述されたように温度に対して直線的関係を持ちます。感度は概ね1LSB/°Cで、精度は使用者校正に依存します。代表的には、室温校正との仮定で、単独温度校正後の測定精度は±10°Cです。より良い精度は校正に対して2つの温度点を使うことで達せられます。

表16-2. 温度対感知器出力電圧 (代表値)

温度(°C)	-40°C	+25°C	+85°C
A/D変換値(LSB)	230	300	370

表16-2.に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使って行なえます。

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでADCH:ADCLはA/D変換器データレジスタ、 $k$ は固定傾斜係数、 $T_{OS}$ は温度感知器オフセット値です。代表的に係数 $k$ は1.0に大変近く、単点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つ温度での測定を基に評価されるべきです。

## 16.13. A/D変換用レジスタ

### 16.13.1. A/D多重器選択レジスタ (ADC Multiplexer Select Register) ADMUX

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	MUX5	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7,6 – REFS1,0 : 基準電圧選択 (Reference Select Bits)

これらのビットは表16-3.で示されるようにA/D変換器の基準電圧(VREF)を選びます。

表16-3. A/D変換部の基準電圧選択

REFS1	REFS0	基準電圧
0	0	基準電圧にVCC使用 (AREF(PA0)ピン切断。)
0	1	AREF(PA0)ピンの外部基準電圧 (内部1.1V基準電圧OFF。)
1	0	内部1.1V基準電圧 (AREF(PA0)ピン切断。)
1	1	(予約)

これらのビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。これらのビットが変更された時に次の変換が25A/D変換クロック周期かかることにも注意してください。

差動チャネルを変更するとき、特別な配慮が求められるべきです。一旦差動チャネルが選択されてしまうと、この入力段は安定時間が掛かるかもしれません。従ってチャネル選択または基準電圧設定の変更時、長い変換の実行をA/D変換器に強制することが推奨されます。これは最初にA/D変換器をOFFにし、次に基準設定を変更し、そしてA/D変換器をONにすることで行えます。代替として、基準設定変更後の変換結果は破棄されるべきです。

差動利得付きのチャネルに対して(VCC-1V)よりも高い外部AREFを使うことは、これがA/D変換精度に影響を及ぼすために推奨されません。

内部基準電圧選択はAREFピンに外部電圧が印加されている場合に使えないかもしれません。

#### ■ ビット5~0 – MUX5~0 : A/Dチャネル/利得選択 (Analog Channel and Gain Select Bits 5~0)

これらビットの値はA/D変換器にどのアナログ入力の組み合わせが接続されるかを選びます。差動入力の場合、利得選択もこれらのビットで行なわれます。表16-4.の選択はシングル エント' チャネルの値とオフセット校正だけでなく差動チャネル選択が何処に配置されているかを示します。シングル エント' チャネルのADC8選択は温度感知器を許可します。詳細については表16-4.をご覧ください。これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

差動チャネルを変更する時に特別な配慮が求められるべきです。一旦差動チャネルが選択されてしまうと、この入力段は安定時間が掛かるかもしれません。従ってチャネル選択または基準電圧設定の変更時に長い変換の実行をA/D変換器に強制することが推奨されます。これは最初にA/D変換器をOFFにし、次に基準設定を変更し、そしてA/D変換器をONにすることで行えます。代替として、基準設定変更後の変換結果は破棄されるべきです。

表16-4. アナログ入力チャネル選択

MUX5~0	シングル エント' 入力	備考/注意
000000	ADC0(PA0)	
000001	ADC1(PA1)	
000010	ADC2(PA2)	
000011	ADC3(PA3)	
000100	ADC4(PA4)	
000101	ADC5(PA5)	
000110	ADC6(PA6)	
000111	ADC7(PA7)	
001000~011111	差動チャネル用予約	詳細については表16-5.をご覧ください。
100000	0V(GND)	
100001	1.1V(内部ref)	内部電圧基準切り替え後、測定が安定する前にA/D変換器は1msの安定時間が必要です。これに先立つ変換の開始は信頼できないかもしれません。A/D変換器は安定時間の間、許可されていなければなりません。
100010	ADC8(温度感知器)	93頁の「温度測定」をご覧ください。
100011~100111	オフセット校正用予約	オフセット校正専用、表16-5.と88頁の「操作」をご覧ください。
101000~111111	反転差動チャネル用予約	詳細については表16-5.をご覧ください。

オフセット校正チャンネルの選択だけでなく差動入力チャンネル選択の詳細についても表16-5をご覧ください。MUX0ビットは差動チャンネルに対する利得選択として働きます。MUX0ビットが解除(0)されると利得1倍が選択され、設定(1)されると利得20倍が選択されます。標準差動チャンネルに対してMUX5ビットは極性反転ビットとして働きます。MUX5ビットの切り替えは非反転と反転チャンネルを逆極性に交換します。

表16-5. 差動入力チャンネル選択

MUX5~0		非反転入力	反転入力	備考	MUX5~0		非反転入力	反転入力	備考	
利得×1	利得×20				利得×1	利得×20				
N/A	100011	ADC0 (PA0)	ADC0 (PA0)	(注)	010110	010111	ADC3 (PA3)	ADC6 (PA6)		
001000	001001		ADC1 (PA1)		011000	011001		ADC7 (PA7)		
001010	001011		ADC3 (PA3)		110010	110011	ADC4 (PA4)	ADC3 (PA3)		
101000	101001	ADC1 (PA1)	ADC0 (PA0)		011010	011011		ADC5 (PA5)	ADC5 (PA5)	
001100	001101		ADC2 (PA2)		110100	110101	ADC5 (PA5)	ADC3 (PA3)		
001110	001111		ADC3 (PA3)		111010	111011		ADC4 (PA4)	ADC4 (PA4)	
101100	101101	ADC2 (PA2)	ADC1 (PA1)		011100	011101	ADC6 (PA6)	ADC6 (PA6)		
010000	010001		ADC3 (PA3)		110110	110111		ADC3 (PA3)	ADC3 (PA3)	
101010	101011	ADC3 (PA3)	ADC0 (PA0)		111100	111101	ADC6 (PA6)	ADC5 (PA5)		
101110	101111		ADC1 (PA1)		011110	011111		ADC7 (PA7)	ADC7 (PA7)	
110000	110001		ADC2 (PA2)		111000	111001	ADC7 (PA7)	ADC3 (PA3)		
100100	100101		ADC3 (PA3)	(注)	111110	111111		ADC6 (PA6)	ADC6 (PA6)	
010010	010011		ADC4 (PA4)		100110	100111		ADC7 (PA7)	ADC7 (PA7)	(注)
010100	010101	ADC5 (PA5)								

注: オフセット校正専用。88頁の「操作」をご覧ください。

オフセット校正目的に関して反転と非反転入力の両方に同じ入力を選択することによって、特定差動チャンネルのオフセットが測定できます。この校正はADC0,ADC3,ADC7に対して行なえます。88頁の「操作」はより多くの詳細な段階を記述します。

### 16.13.2. A/D制御/状態レジスタ (ADC Control and Status Register A) ADCSRA

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7 - ADEN : A/D許可 (ADC Enable)

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

#### ■ ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

#### ■ ビット5 - ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1が書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSR)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選択されます。

#### ■ ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード モディファイ ライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

#### ■ ビット3 - ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1が書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。

■ ビット2~0 - ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表16-6. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

16.13.3. A/D変換制御/状態レジスタB (ADC Control and Status Register B) ADCSRB

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BIN	ACME	-	ADLAR	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7 - BIN : 両極入力動作 (Bipolar Input Mode)

利得段は既定として単極動作で動きますが、このBINビット(=1)書き込みによって両極動作が選択できます。単極動作では(±)の片側変換だけが支援され、非反転入力 of 電圧は反転入力 of 電圧よりも常に高くなければなりません。さもなければ、その結果は基準電圧に飽和されます。両極動作では(±)の両側変換が支援され、その結果は2の補数形式で表されます。単極動作での分解能は10ビットで、両極動作での分解能は9ビット+1符号ビットです。

■ ビット6 - ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

86頁の「A/D変換制御/状態レジスタB(ADCSRB)」をご覧ください。

■ ビット5 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット4 - ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については97頁の「A/Dデータレジスタ」をご覧ください。

■ ビット3 - Res : 予約 (Reserved)

このビットは予約されており、常に0として読まれます。

■ ビット2~0 - ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのかわを選択します。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上に上昇端を生成することに注意してください。ADC SRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表16-7. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ1比較B一致
1	1	0	タイマ/カウンタ1溢れ
1	1	1	タイマ/カウンタ0捕獲発生

16.13.4. A/Dデータレジスタ (ADC Data Register) ADCH,ADCL

ADLAR=0時									
ビット	15	14	13	12	11	10	9	8	
\$05 (\$25)	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ADLAR=1時									
ビット	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
ビット	7	6	5	4	3	2	1	0	
	ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃え、且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなくばADCLが初めに、その後にADCHが読まれなければなりません。

A/D変換制御状態レジスタB(ADCSRB)の左揃え選択(ADLAR)ビットとA/D多重器選択(ADMUX)レジスタのA/Dチャネル選択(MUX5~0)ビットは、本レジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えにされます。ADLARが解除(0)されていると(既定)、結果は右揃えにされます。

■ ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは92頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

16.13.5. デジタル入力禁止レジスタ0 (Digital Input Disable Register 0) DIDR0

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D AIN1D	ADC1D AIN0D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

■ ビット7~0 - ADC7D~ADC0D : ADC7~0 デジタル入力禁止 (ADC7~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADCnピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するために、そのビットは論理1を書かれるべきです。

## 17. デバッグWIRE 内蔵デバッグ システム

### 17.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリックデバッグ支援 (アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレークポイント:ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

### 17.2. 概要

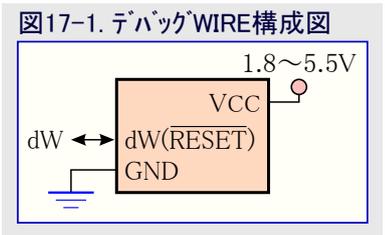
デバッグWIRE内蔵デバッグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

### 17.3. 物理インターフェース

デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図17-1はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選択したクロック元です。

デバッグWIREが使われるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。



- dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもこのプルアップ抵抗は任意です。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

### 17.4. ソフトウェア中断点 (ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続される時、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

### 17.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタをアクセスする間、注意が妨げられなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

デバッグWIREインターフェースはデバッグがシステムクロックに同期する必要があることを意味する、非同期です。システムクロックがソフトウェア(例えばCLKPSビット書き込み)によって変更されると、デバッグWIRE経由通信は失敗するかもしれません。また、100kHz未満のクロック周波数は通信問題を引き起こすかもしれません。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

### 17.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使うレジスタを記述します。

#### 17.6.1. デバッグWIRE データレジスタ (debugWIRE Data Register) DWDR

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

## 18. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むのに、利用可能なデータインターフェースと関連する規約のどれもが使えます。SPM命令は既定で禁止ですが、SELPFRGENヒューズを(0)にプログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前にそのページは消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時緩衝部格納)

- ・ページ一時緩衝部を満たしてください。
- ・ページ消去を実行してください。
- ・ページ書き込みを実行してください。

手段2 (ページ消去後の一時緩衝部格納)

- ・ページ消去を実行してください。
- ・ページ一時緩衝部を満たしてください。
- ・ページ書き込みを実行してください。

ページの一部の変更だけがが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更が書かれます。手段1.を使う場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効率的な読み-修正-書き(リード モデファイライト)機能をデバイスが提供します。手段2.が使われる場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱手順でアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページをアドレス指定することが非常に重要です。

### 18.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは無視されます。

注: ページ消去中、CPUは停止されます。

### 18.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRのCTPBEビット(=1)書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

### 18.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定してSPMCSRに'00000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは0を書かれなければなりません。

注: ページ書き込み中、CPUは停止されます。

### 18.4. 自己プログラミング中のフラッシュメモリのアドレス指定

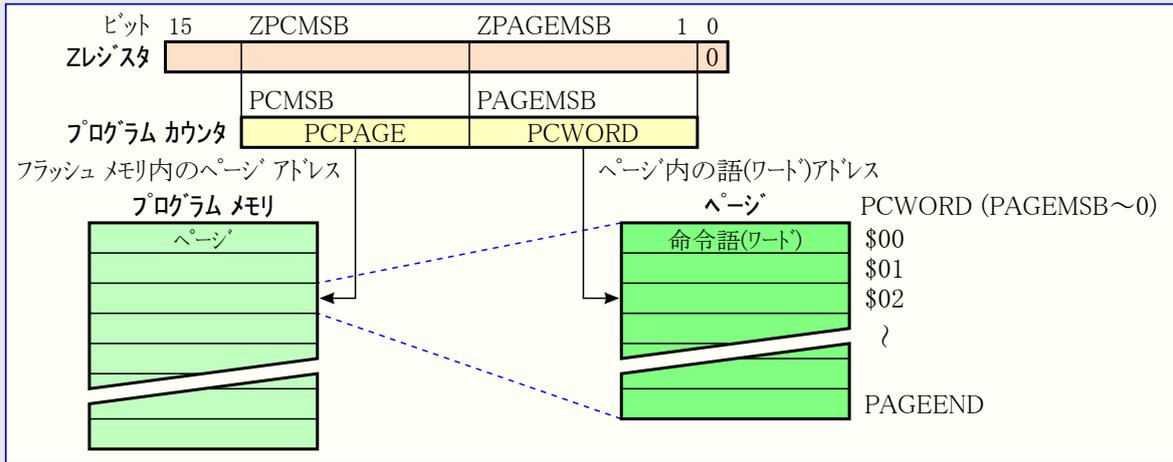
Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(105頁の表19-8参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図18-1.で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するのにZポインタを使います。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使われます。

図18-1. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使った各変数は105頁の表19-8.で一覧されます。

### 18.5. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットが解除(0)されているのを確認することが推奨されます。

### 18.6. ソフトウェアからの施錠ヒューズと識票データの読み出し

ファームウェアに関してデバイスのヒューズと施錠ビットを読むことが可能です。加えてファームウェアはデバイス識票銘刻部(105頁参照)からデータを読むこともできます。

注: プログラム(0)されたヒューズと施錠ビットは0として読めます。非プログラム(1)にされたヒューズと施錠ビットは1として読めます。

#### 18.6.1. ファームウェアからの施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)とSPM操作許可(SPMEN)ビットを設定(1)した後の3CPU周期内でLPM命令が発行された後、転送先レジスタ内に施錠ビット値が返されます。RFLBとSPMENビットは施錠ビット読み出しの完了で、または3CPU周期内にLPM命令が実行されないか、または4CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSPMENビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手続きに従ってください。

1. Zポイントに\$0001を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタから施錠ビット値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

より多くの情報については103頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

#### 18.6.2. ファームウェアからのヒューズビット読み出し

ヒューズバイトを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。ヒューズ下位バイト(FLB)を読むには以下の手続きに従ってください。

1. Zポイントに\$0000を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタからFLB値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ下位バイトの配置と詳細記述については104頁の表19-5.を参照してください。

ヒューズ上位バイト(FHB)を読むには単にZポイント内のアドレスを\$0003に置き換え、前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズ上位バイトの配置と詳細記述については104頁の表19-4を参照してください。

ヒューズ拡張バイト(FEB)を読むにはZポイント内のアドレスを\$0002に置き換え、直前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	-	FEB0

ヒューズ拡張バイトの配置と詳細記述については104頁の表19-3を参照してください。

### 18.6.3. ファームウェアからのデバイス識別銘刻読み出し

デバイス識別銘刻部の内容を読むには以下の手続きに従ってください。

1. Zポイントに銘刻指示子を格納してください。
2. SPMCSRでデバイス識別銘刻読み込み(RSIG)とSPM操作許可(SPMEN)ビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. SPMENビットが解除(0)されるために3クロック周期待機してください。
5. LPM転送先レジスタから表データ値を読んでください。

RSIGとSPMENのビットは3 CPU周期後に自動解除(0)されます。RSIGとSPMENが解除されると、LPM命令は「命令要約」の説明で記述されるように動きます。

以下のプログラム例をご覧ください。

アセンブリ言語プログラム例			
DSIT_read:	LDI	ZH, 0	; 表指示子上位バイト値設定
	LDI	ZL, 1	; 表指示子下位バイト値設定
	LDI	R17, (1<<RSIG)   (1<<SPMEN)	; RSIG, SPMEN=1 値取得
	OUT	SPMCSR, R16	; RSIG, SPMEN=1 設定
	LPM	R16, Z	; \$0001位置の識別値取得
	RET		; 呼び出し元へ復帰

注: 4頁の「コード例」をご覧ください。

成功なら、転送先レジスタの内容は105頁の「デバイス識別銘刻部」項で記述されたとおりです。

### 18.7. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSRに従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

### 18.8. SPM命令使用時のフラッシュメモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使われます。表18-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表18-1. SPM命令によるフラッシュメモリのプログラミング時間

項目	最小	最大
SPM命令によるフラッシュ書き込み (ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

## 18.9. 自己プログラミング用レジスタ

### 18.9.1. SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register) SPMCSR

このレジスタはプログラムメモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	-	-	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

#### ■ ビット7,6 - Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読まれます。

#### ■ ビット5 - RSIG : デバイス識別票銘刻読み込み (Read Device Signature Imprint Table)

SPMCSRでRSIGとSPMENが設定(1)された後の3クロック周期内のLPM命令実行はデバイス識別票銘刻部から(Zポインタ値に依存する)選択したデータを転送先レジスタ内に返します。詳細については105頁の「デバイス識別票銘刻部」をご覧ください。

#### ■ ビット4 - CTPB : ページ一時緩衝部消去 (Clear Temporary Page Buffer)

ページ一時緩衝部を満たしている間にCTPBビットが1を書かれると、ページ一時緩衝部は消去され、データが失われます。

#### ■ ビット3 - RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0に依存して)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については100頁の「ソフトウェアからのヒューズビットと施錠ビットの読み出し」をご覧ください。

#### ■ ビット2 - PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の書き込み動作中に、CPUは停止されず。

#### ■ ビット1 - PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の消去中、CPUは停止されます。

#### ■ ビット0 - SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間、SPM命令を許可します。このビットがRSIG,CTPB,RFLB,PGWRT,PGERSのどれかと共に1に設定されると、別のところで記述されるように続くSPM命令は特別な意味を持ちます。

SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

## 19. メモリプログラミング

本項はATtiny24/44/84のメモリプログラミングに対する各種方法を記述します。

### 19.1. プログラムメモリとデータメモリ用施錠ビット

ATtiny24/44/84は、非プログラム(1)のままか、表19-2.で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

デバイスは独立したブートローダ領域を持ちません。自己プログラミング許可(SELFPRGEN)ヒューズがプログラム(0)される場合にSPM命令はフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

プログラムメモリは例え施錠ビットが設定されていても、デバッグWIRE許可(DWEN)ヒューズがプログラム(0)されていると、デバッグWIREインターフェース経由で読み出せます。従って施錠ビット保護が必要とされる場合、DWENヒューズを解除(=1)することによってデバッグWIREが常に禁止されるべきです。

表19-1. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表19-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズビットを書いてください。デバッグWIREは全面的に禁止されます。

施錠ビットはデバイスファームウェアによって読むこともできます。100頁の「ソフトウェアからの施錠ヒューズと識票のデータ読み出し」項をご覧ください。

## 19.2. ヒューズ ビット

ATtiny24/44/84には3つのヒューズ バイトがあります。表19-3.~5.は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表19-3. 拡張ヒューズ バイト一覧

名称	ビット	意味	既定値
-	7~1		1 (非プログラム)
SELFPRGEN (注1)	0	自己プログラミング機能許可。	1 (非プログラム) 自己プログラミング不許可

注1: SPM命令許可。99頁の「フラッシュ メリの自己プログラミング」をご覧ください。

表19-4. ヒューズ 上位バイト一覧

名称	ビット	意味	既定値
RSTDISBL (注1)	7	PB3がI/OピンかまたはRESETピンかを選択します。	1 (非プログラム) PB3はRESETピン
DWEN (注2)	6	デバッグWIRE機能許可。	1 (非プログラム) デバッグWIRE不許可
SPIEN (注3)	5	低電圧直列プログラミング許可。	0 (プログラム) 低電圧直列プログラミング許可
WDTON (注4)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCSRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2	低電圧検出(BOD)リセットの制御と検出電圧選択。 (注5)	1 (非プログラム)
BODLEVEL1	1		1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注1: RSTDISBLヒューズの記述については41頁の「ポートBの交換機能」をご覧ください。RSTDISBLヒューズがプログラム(0)された後はヒューズを変更して更なるプログラミングを許すのに高電圧プログラミングが使われなければなりません。

注2: DWENヒューズは施錠ビット保護が必要とされる場合、非プログラム(1)にされなければなりません。

注3: SPIENヒューズは低電圧直列プログラミングでアクセスできません。

注4: このヒューズのプログラム(0)はウォッチドッグ タイマ割り込みを禁止します。詳細については27頁の表8-1.をご覧ください。

注5: BODLEVELヒューズの符号化については116頁の表20-7.をご覧ください。

表19-5. ヒューズ 下位バイト一覧

名称	ビット	意味	既定値
CKDIV8 (注1)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注2)	6	システム クロック出力許可。	1 (非プログラム) 不許可
SUT1	5	起動時間選択。 (注3)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。 (注4)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: 詳細については18頁の「システム クロック前置分周器」をご覧ください。

注2: CKOUTはポートB2に出力することをシステム クロックに許します。詳細については18頁の「クロック出力緩衝部」をご覧ください。

注3: 既定値は既定クロック元に対する最大起動時間になります。詳細については16頁の表6-5.をご覧ください。

注4: 既定設定は8MHz校正付き内蔵RC発振器になります。詳細については15頁の表6-1.をご覧ください。

施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。ヒューズ ビットの状態はチップ消去によって影響されません。

ヒューズ ビットはデバイス ファームウェアによって読むこともできます。100頁の「ソフトウェアからの施錠ヒューズと識票のデータ読み出し」項をご覧ください。

### 19.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値への変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは電源投入でもラッチされます。

### 19.3. デバイス識票銘刻部

デバイス識票銘刻部はデバイス識票、発振器校正データのような一連の各種デバイス情報に使われる専用のメモリ領域です。表19-6.で略述されるようにこのメモリ領域の殆どは内部使用に予約されています。

表19-6. デバイス識票銘刻内容

アドレス	上位バイト
\$00	識票バイト0 (注1)
\$01	校正付き内蔵RC発振器用校正データ (注2)
\$02	識票バイト1 (注1)
\$03	(内部使用予約)
\$04	識票バイト2 (注1)
\$05～\$2A	(内部使用予約)

注1: より多くの情報については「識票バイト」をご覧ください。

注2: より多くの情報については「校正値バイト」をご覧ください。

#### 19.3.1. 識票バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は低電圧直列と高電圧直列の両プログラミング動作で、またデバイスが施錠されている場合にも読めます。

識票バイトはデバイスファームウェアによって読むこともできます。100頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

この3バイトの識票バイトはデバイス識票銘刻部と呼ばれる分離された空間に存在します。ATtiny24/44/84用の識票バイトは表19-7.で与えられます。

表19-7. デバイスの識別番号(ID)

部品番号	識票バイトアドレス		
	\$0000	\$0001	\$0002
ATtiny24	\$1E	\$91	\$0B
ATtiny44	\$1E	\$92	\$07
ATtiny84	\$1E	\$93	\$0C

#### 19.3.2. 校正バイト

表19-6.で示されるようにATtiny24/44/84のデバイス識票銘刻部は内蔵RC発振器用に1バイトの校正データを含みます。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正(OSCCAL)レジスタへ自動的に書かれます。

校正バイトはデバイスファームウェアによって読むこともできます。100頁の「ソフトウェアからの施錠、ヒューズと識票のデータ読み出し」項をご覧ください。

### 19.4. ページ容量

表19-8. フラッシュメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATtiny24	1Kワード(2Kバイト)	16ワード	PC3～0	64	PC9～4	9
ATtiny44	2Kワード(4Kバイト)	32ワード	PC4～0	64	PC10～5	10
ATtiny84	4Kワード(8Kバイト)	32ワード	PC4～0	128	PC11～5	11

表19-9. EEPROMメモリのページ数とページの語数

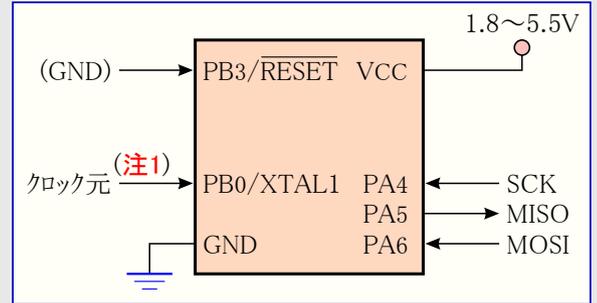
デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATtiny24	128バイト	4バイト	EEA1～0	32	EEA6～2	6
ATtiny44	256バイト	4バイト	EEA1～0	64	EEA7～2	7
ATtiny84	512バイト	4バイト	EEA1～0	128	EEA8～2	8

## 19.5. 低電圧直列プログラミング

フラッシュとEEPROMの両メモリ配列はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。右の図19-1をご覧ください。

RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってプログラミング許可命令が初めに実行されることを必要とします。

図19-1. 低電圧直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、CLKIピンにクロック元を接続する必要はありません。

表19-10. 低電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PA6	入力	直列データ入力
MISO	PA5	出力	直列データ出力
SCK	PA4	入力	直列クロック

注: 上の表19-10でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使うとは限りません。

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ(低電圧直列プログラミングのみ)、チップ消去命令を先に実行する必要がありません。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELヒューズに依存して有効なクロックが存在しなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$ : Low区間 > 2CPUクロック周期	$f_{CK} < 12\text{MHz}$ : High区間 > 2CPUクロック周期
$f_{CK} \geq 12\text{MHz}$ : Low区間 > 3CPUクロック周期	$f_{CK} \geq 12\text{MHz}$ : High区間 > 3CPUクロック周期

### 19.5.1. 低電圧直列プログラミング手順

ATtiny24/44/84に直列データを書く時にデータはSCKの上昇端で行われ、ATtiny24/44/84から読む時にデータはSCKの下降端で行われます。タイミングの詳細については119頁の図20-4と図20-5をご覧ください。

低電圧直列プログラミング動作でのATtiny24/44/84のプログラミングと照合は次の手順が推奨されます(形式は表19-12.命令一式参照)。

#### 1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは正パルスを与えられなければなりません。このパルス時間は最低 $t_{RST}$ (RESETピンの最小パルス幅、116頁の表20-4.をご覧ください)+2CPUクロック周期でなければなりません。

#### 2. 最低20ms待ち、MOSIピンにプログラミング許可命令を送ることによって直列プログラミングを許可してください。

#### 3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

#### 4. フラッシュメモリは1ページ単位で書かれます。ページ容量は105頁の表19-8.で得られます。このメモリページはページ設定命令と共にアドレスの下位4/5/5+1ビットとデータを供給することによって1バイトづつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位6/6/7ビットを含むページ書き込み命令の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低 $t_{WD\_FLASH}$ (表19-11.参照)待たなければなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。

#### 5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。

**バイト単位:** EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低 $t_{WD\_EEPROM}$ (表19-11.参照)待たなければなりません。

**ページ単位:** EEPROMの1ページはEEPROMページ設定命令と共にアドレスの下位2ビットとデータを供給することによって1バイトづつ設定されます。EEPROMページはアドレスの上位5/6/7ビットを含むEEPROMページ書き込み命令によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次のページ(表19-9.参照)を行う前に最低 $t_{WD\_EEPROM}$ (表19-11.参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

#### 6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。

#### 7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

#### 8. 電源OFF手順(必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

表19-11. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

19.5.2. 低電圧直列プログラミング命令一式

命令一式は表19-12と次頁の図19-2で記述されます。

表19-12. 低電圧直列プログラミング命令一式

命令 (注1)	命令形式				備考
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定	\$4D	\$00	拡張アドレス	\$00	
フラッシュページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注:ページ内指示以外のビットは0。
読み出し命令					
フラッシュメモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
施錠ビット読み出し	\$58	\$00	\$00	施錠ビット値	
識票バイト読み出し	\$30	\$00	アドレス	識票バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
校正バイト読み出し	\$38	\$00	\$00	校正バイト	
書き込み命令 (注2)					
フラッシュページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMバイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注:ページ指示以外のアドレスビットは0。
施錠ビット書き込み	\$AC	\$E0	\$00	施錠ビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

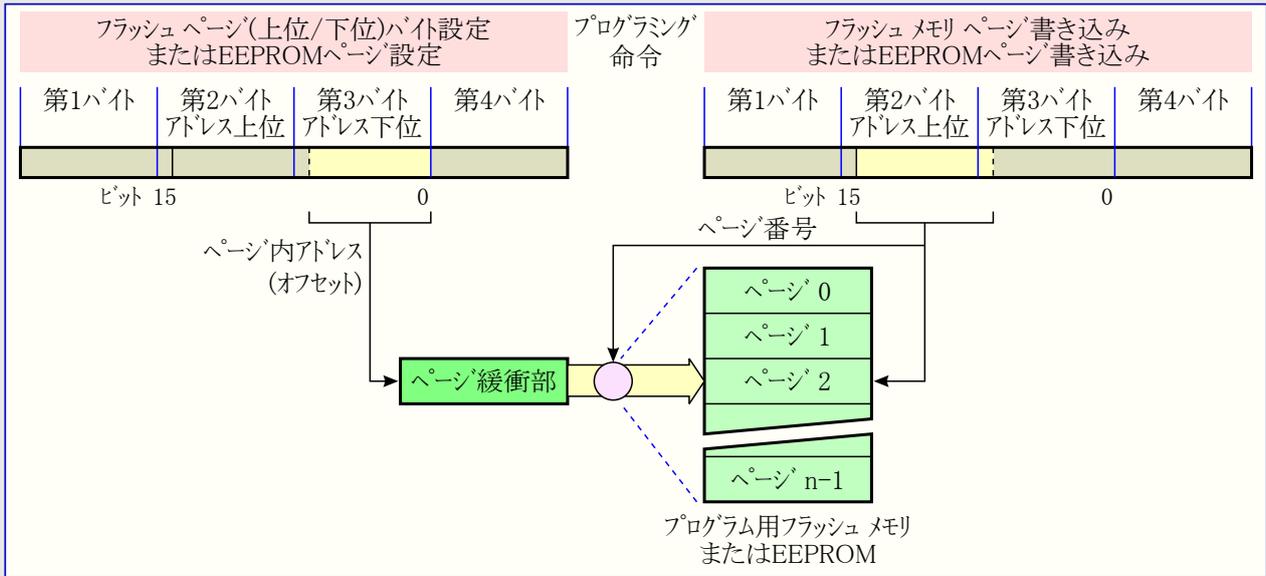
注1: 全命令が全デバイスで利用可能な訳ではありません。

注2: プログラム用メモリにアクセスする命令は語(ワード)アドレスを使います。このアドレスはページ範囲内で乱順にできます。

注: 施錠ビットとヒューズ値はプログラムが0、非プログラムが1です。将来との互換性のため、未使用のヒューズと施錠ビットは非プログラム(1)にすべきです。

- ヒューズ、施錠ビット、識票バイト、校正バイト、ページ容量については対応項を参照してください。
- プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- 第4バイトの赤背景はホスト読み込み(デバイス出力)を示します。

図19-2. 低電圧直列プログラミング命令例



多忙/準備可検査バイトデータ出力のLSBが1なら、プログラミング操作が未だ保留(動作中)です。次の命令が実行される前に本ビットが0に戻るまで待ってください。

同じページ内で、下位バイトデータは上位バイトデータに先行して格納されなければなりません。

データがページ緩衝部に格納された後にEEPROMページをプログラムしてください。図19-2をご覧ください。

(訳補) フラッシュメモリ、EEPROM、ページ緩衝部内のアドレス(位置)指定に使われるビットはメモリ容量とページ構成に依存します。ATtiny24/44/84でのこれらの指定方法は次表で要約されます。

表19-A. アドレス(第2,3バイト)指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュページ内バイト設定	0000 0000	0000 LLLL 000L LLLL	ATtiny24 : L=PC3~0 ATtiny44/84 : L=PC4~0
EEPROMページ内バイト設定	0000 0000	0000 00LL	ATtiny24/44/84 : L=EEA1~0
フラッシュメモリ読み出し	0000 00HH 0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny24 : H=PC9~8, L=PC7~0 ATtiny44 : H=PC10~8, L=PC7~0 ATtiny84 : H=PC11~8, L=PC7~0
EEPROM読み出し	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny24 : L=EEA6~0 ATtiny44 : L=EEA7~0 ATtiny84 : H=EEA8, L=EEA7~0
フラッシュページ書き込み	0000 00HH 0000 0HHH 0000 HHHH	LLLL 0000 LLL0 0000 LLL0 0000	ATtiny24 : H=PC9~8, L=PC7~4 ATtiny44 : H=PC10~8, L=PC7~5 ATtiny84 : H=PC11~8, L=PC7~5
EEPROMバイト書き込み	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny24 : L=EEA6~0 ATtiny44 : L=EEA7~0 ATtiny84 : H=EEA8, L=EEA7~0
EEPROMページ書き込み	0000 0000 0000 0000 0000 000H	0LLL LL00 LLLL LL00 LLLL LL00	ATtiny24 : L=EEA6~2 ATtiny44 : L=EEA7~2 ATtiny84 : H=EEA8, L=EEA7~2

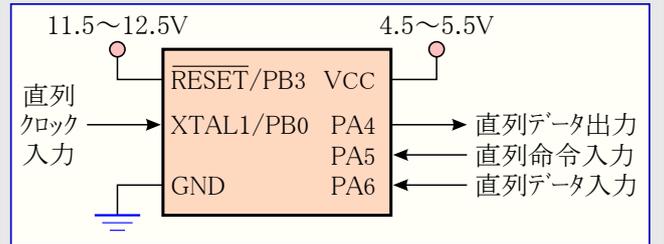
## 19.6. 高電圧直列プログラミング

本項はATtiny24/44/84でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**のプログラミングと照合の方法を記述します。

表19-13. 高電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
SDI	PA6	入力	直列データ入力
SII	PA5	入力	直列命令入力
SDO	PA4	出力	直列データ出力
SCI	PB0	入力	直列クロック入力 (最小周期=220ns)

図19-3. 高電圧直列プログラミング構成図



高電圧直列プログラミング間中の直列クロック入力(SCI)に対する最小周期は220nsです。

表19-14. プログラミング動作移行に使うピン値

ピン(信号)名	シンボル	値
SDI	Prog_enable[0]	0
SII	Prog_enable[1]	0
SDO	Prog_enable[2]	0

## 19.7. 高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny24/44/84のプログラミングと照合は次の手順が推奨されます(命令形式は表19-16参照)。

### 19.7.1. 高電圧直列プログラミング動作への移行

次に示す方法がデバイスを高電圧直列プログラミング動作にします。

1. VCCとRESETピンを0V、表19-14.で一覧されるProg\_enableピンを全てLow(0)に設定します。
2. VCCとGND間に4.5~5.5Vを印加します。次に20μs以内にVCCが最低1.8Vに達することを保証してください。
3. RESETに11.5~12.5Vを印加し、20~60μs待ちます。
4. Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog\_enableピンを無変化に保ちます。
5. t<sub>HVRST</sub>経過後にProg\_enable[2]ピンを開放します。
6. SDI/SIIで如何なる直列命令を与える前に少なくとも300μs間待ちます。
7. デバイスの電源を落とすか、RESETピンを0Vに持つてくることによってプログラミング動作を抜けます。

VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使えます。

1. VCCとRESETピンを0V、表19-14.で一覧されるProg\_enableピンを全てLow(0)に設定します。
2. VCCとGND間に4.5~5.5Vを印加します。
3. VCCを監視し、0.9~1.1Vに達したら直ぐ、RESETに11.5~12.5Vを印加します。
4. Prog\_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog\_enableピンを無変化に保ちます。
5. Prog\_enable[2]/SDOピンでの駆動衝突を避けるため、Prog\_enable[2]/SDOピンを開放します。
6. SDI/SIIで如何なる直列命令を与える前に、VCCが実際に4.5~5.5Vに達するまで待ちます。
7. デバイスの電源を落とすか、RESETピンを0Vに持つてくることによってプログラミング動作を抜けます。

表19-15. 高電圧リセット特性

供給電圧 (VCC)	RESETピン高電圧閾値電圧 (V <sub>HVRST</sub> )	プログラミング許可識別ラッチに対する最小高電圧時間 (t <sub>HVRST</sub> )
4.5V	11.5V	100ns
5.5V	11.5V	100ns

### 19.7.2. 効率的なプログラミングへの考慮

設定した命令とアドレスはプログラミング中、デバイス内で維持されます。効率的なプログラミングを行うために次が考慮されるべきです。

- 複数のメモリ領域を読み書きする時に命令設定は一度だけ必要です。
- チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識票バイト読み出しにも適用されます。

### 19.7.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

1. チップ消去命令を設定します(表19-16をご覧ください)。
2. チップ消去終了に対してSDOがHighになるまで待ちます。
3. 無操作命令を設定します。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中に保護されます。

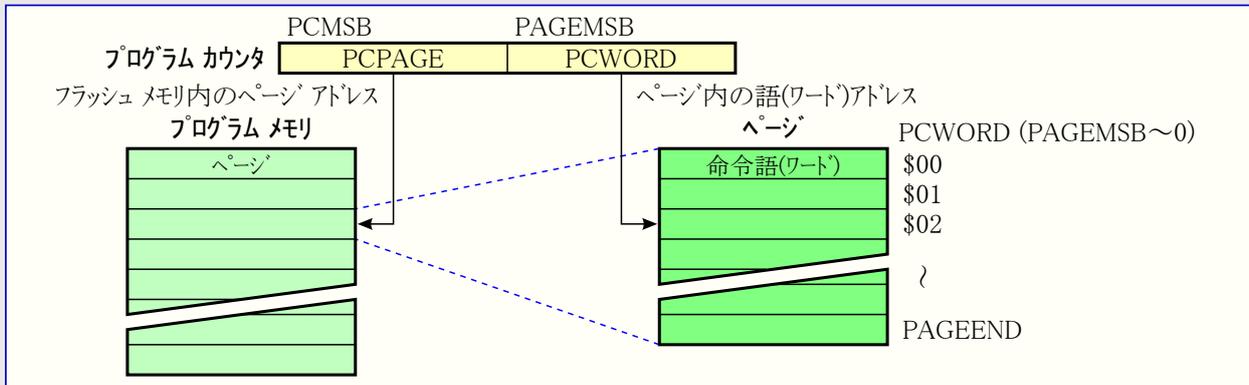
### 19.7.4. フラッシュメモリ書き込み

フラッシュメモリはページで構成されます(105頁の表19-8参照)。フラッシュメモリへ書く時にプログラムデータはページ緩衝部にラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

1. フラッシュ書き込み移行命令を設定します(表19-16をご覧ください)。
2. フラッシュメモリページ緩衝部を設定します。
3. フラッシュメモリ上位アドレス設定とフラッシュページ書き込み命令を設定します。第3命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. フラッシュメモリ全体または全データが書かれてしまうまで2.~3.を繰り返します。
5. 無操作命令の設定によってフラッシュページ書き込みを終えます。

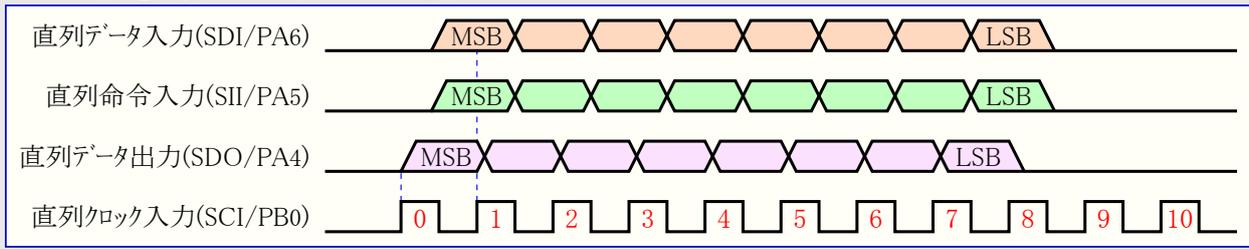
ATtiny24/44/84との直列データ読み書き時、データは直列クロックの上昇端でクロック駆動(取得/出力変更)されます。詳細については図19-5、119頁の図20-6と表20-13をご覧ください。

図19-4. ページで構成されたフラッシュメモリのアドレス指定



注: PCPAGEとPCWORDは105頁の表19-8.で一覧されます。

図19-5. 高電圧直列プログラミングバイト通信波形



### 19.7.5. EEPROM書き込み

EEPROMはページで構成されます(105頁の表19-9参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(表19-16参照)

1. EEPROM書き込み移行命令を設定します。
2. EEPROMページ緩衝部を設定します。
3. EEPROMページ書き込み命令を設定します。第2命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. EEPROM全体または全データが書かれてしまうまで2.~3.を繰り返します。
5. 無操作命令の設定によってEEPROMページ書き込みを終えます。

### 19.7.6. フラッシュメモリ読み出し

フラッシュメモリの読み出し方法は次のとおりです。(表19-16参照)

1. フラッシュ読み出し移行命令を設定します。
2. フラッシュの上下バイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

### 19.7.7. EEPROM読み出し

EEPROMの読み出し方法は次のとおりです。(表19-16参照)

1. EEPROM読み出し移行命令を設定します。
2. EEPROMのバイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

### 19.7.8. ヒューズと施錠ビットの読み出し/書き込み

ヒューズ上位/下位と施錠ビットの読み出し/書き込み方法は表19-16.で示されます。

### 19.7.9. 識票バイトと校正バイトの読み出し

識票バイトと校正值バイトの読み出し方法は表19-16.で示されます。

### 19.7.10. 電源OFF手順

SCIを0に設定します。RESETを1に設定します。VCC電源をOFFにします。



表19-16. 高電圧直列プログラミング命令一式

命令	命令形式						備考
	第1/7バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	
チップ消去	SDI	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00			第3バイト後SDO=Highまで待機。
	SII	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
フラッシュメモリ書き込み移行	SDI	0 0001 0000 00					フラッシュメモリ書き込み処理移行。
	SII	0 0100 1100 00					
	SDO	x xxxx xxxx xx					
フラッシュページ緩衝部設定	SDI	0 AAAA AAAA 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 HHHH HHHH 00	0 0000 0000 00
	SII	0 0000 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00	0 0011 1100 00	0 0111 1101 00
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx
	SDI	0 0000 0000 00		必要数分第1~7バイト繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ			
	SII	0 0111 1100 00					
フラッシュメモリ上位アドレス設定ページ書き込み	SDI	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第3バイト後SDO=Highまで待機。ページ毎に第2,3バイトを繰り返し、新規256バイトページ時は第1バイトから。 U=上位アドレス		
	SII	0 0001 1100 00	0 0110 0100 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
フラッシュメモリ読み出し移行	SDI	0 0000 0010 00			フラッシュメモリ読み出し処理移行。		
	SII	0 0100 1100 00					
	SDO	x xxxx xxxx xx					
フラッシュメモリ上下バイト読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00	0 0111 1000 00	0 0111 1100 00
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx	x xxxx xxxx xx	H HHHH HHx xx
EEPROM書き込み移行	SDI	0 0001 0001 00		EEPROM書き込み処理移行	第1,3~6バイトを繰り返し。新規256バイトページ時は第2バイトも繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ		
	SII	0 0100 1100 00					
	SDO	x xxxx xxxx xx					
EEPROMページ緩衝部設定	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	必要数分第1~5バイト繰り返し。 A=下位アドレス(注2), U=上位アドレス(注2), L=データ
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00	
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	
EEPROMページ書き込み	SDI	0 0000 0000 00	0 0000 0000 00		第2バイト後SDO=Highまで待機。		
	SII	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx				
EEPROMバイト書き込み	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 0100 00	0 0110 1100 00
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx
EEPROM読み出し移行	SDI	0 0000 0011 00		EEPROM読み出し処理移行。	第6バイト後SDO=Highまで待機。必要数分第1~6バイト繰り返し。(注3) A=下位アドレス, U=上位アドレス, L=データ		
	SII	0 0100 1100 00					
	SDO	x xxxx xxxx xx					
EEPROMバイト読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第1,3,4バイトを繰り返し。新規256バイトページ時は第2バイトも繰り返し。 A=下位アドレス, U=上位アドレス, L=データ	
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx		
ヒューズ下位書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7~0はビット位置で論理0でプログラム。 (104頁の表19-5参照)	
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
ヒューズ上位書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7~0はビット位置で論理0でプログラム。 (104頁の表19-4参照)	
	SII	0 0100 1100 00	0 0010 1100 00	0 0111 0100 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
拡張ヒューズ書き込み	SDI	0 0100 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 0はビット位置で論理0でプログラム。 (104頁の表19-3参照)	
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0110 00	0 0110 1110 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
施錠ビット書き込み	SDI	0 0010 0000 00	0 0000 0010 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 1~0はビット位置で論理0でプログラム。 (103頁の表19-1参照)	
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
ヒューズ下位読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7~0はビット位置で論理0でプログラム。 (104頁の表19-5参照)	
	SII	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
ヒューズ上位読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7~0はビット位置で論理0でプログラム。 (104頁の表19-4参照)	
	SII	0 0100 1100 00	0 0111 1010 00	0 0111 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
拡張ヒューズ読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		0はビット位置で論理0でプログラム。 (104頁の表19-3参照)	
	SII	0 0100 1100 00	0 0110 1010 00	0 0110 1110 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xx0x xx			

次頁へ続く

表19-16 (続き). 高電圧直列プログラミング命令一式

命令	命令形式						備考
	第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	
施錠ビット読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00			1~0はビット位置で論理0でプログラム。 (103頁の表19-1.参照)
	SII	0 0100 1100 00	0 0111 1000 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx x10x xx			
識票バイト読み出し	SDI	0 0000 1000 00	0 0000 00AA 00	0 0000 0000 00	0 0000 0000 00		A=アドレス 7~0はビット位置。
	SII	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx		
校正バイト読み出し	SDI	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00		7~0はビット位置。
	SII	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx		
無操作	SDI	0 0000 0000 00					アイドル状態に復帰。
	SII	0 0100 1100 00					
	SDO	x xxxx xxxx xx					

**注1:** 256語(ワード)よりも少ないページ容量に関する上位余剰ビットはページアドレス部です。

**注2:** 256バイトよりも少ないページ容量に関する上位余剰ビットはページアドレス部です。

**注3:** EEPROMはページ単位で書かれます。しかし、ページ内に設定されたバイトだけが実際にEEPROMへ書かれます。複数バイトが同じページに書かれるべきなら、ページ単位EEPROMアクセスはより効果的です。EEPROMの自動消去はSPI(低電圧)直列プログラミングだけで、高電圧直列プログラミングで利用できないことに注意してください。

**注4:** 上位(ページ)アドレスの有効ビットはATtiny24/44/84で各々異なります(105頁の「ページ容量」と108頁の図19-2.参照)。

## 20. 電気的特性

### 20.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

### 20.2. DC特性

表20-1. DC特性 TA=-40°C~85°C

シンボル	項目	条件	最小	代表 (注1)	最大	単位
VIL	Lowレベル入力電圧	VCC=1.8~2.4V	-0.5		0.2VCC (注2)	V
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
VIH	Highレベル入力電圧 (RESETを除く)	VCC=1.8~2.4V	0.7VCC (注3)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
VIH1	Highレベル入力電圧 (RESET)	VCC=1.8~5.5V	0.9VCC (注3)		VCC+0.5	
VOL	Lレベル出力電圧 (RESET(注6)を除く) (注4)	IOL=10mA, VCC=5V			0.6	
		IOL=5mA, VCC=3V			0.5	
VOH	Hレベル出力電圧 (RESET(注6)を除く) (注5)	IOH=-10mA, VCC=5V	4.3			
		IOH=-5mA, VCC=3V	2.5			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	
IIH	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	
RRST	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	
ICC	活動動作消費電流 (注7)	VCC=2V, 1MHz		0.33	0.8	mA
		VCC=3V, 4MHz		1.6	2.5	
		VCC=5V, 8MHz		5	9	
	アイドル動作消費電流 (注7)	VCC=2V, 1MHz		0.11	0.4	
		VCC=3V, 4MHz		0.4	1.0	
		VCC=5V, 8MHz		1.5	3.5	
パワーダウン動作消費電流 (注8)	VCC=3V, WDT有効			4.5	10	μA
	VCC=3V, WDT禁止			0.15	2	

注1: 25°Cでの代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吸い込み電流を流すことができるとは言え、(全ポートに対して)全IOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吸い込み電流を流すことは保証されません。

注5: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA、VCC=3Vで5mA)よりも多くの吐き出し電流を流すことができるとは言え、(全ポートに対して)全IOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吐き出し電流を流すことは保証されません。

注6: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。(128頁から始まる)図21-24~27をご覧ください。

注7: 23頁の「消費電力の最小化」で記述された方法を用いた外部クロックでの値です。電力削減が許可(PRR=\$FF)され、I/Oの駆動はありません。

注8: 低電圧検出器(BOD)禁止です。

## 20.3. 速度

最高周波数は動作電圧に依存します。図20-1.と図20-2.で示されるように最高周波数対動作電圧曲線は1.8~2.7Vと2.7~4.5V間で直線です。

図20-1. ATtiny24/44/84Vの最高周波数対VCC

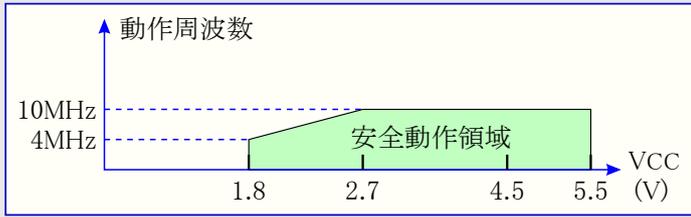
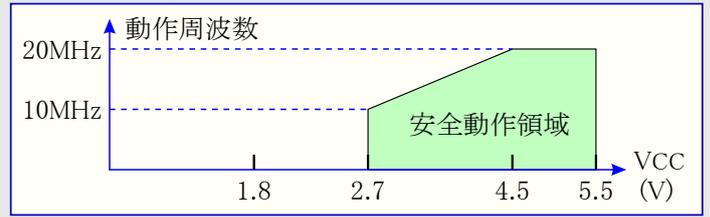


図20-2. ATtiny24/44/84の最高周波数対VCC



## 20.4. クロック特性

### 20.4.1. 校正付き内蔵RC発振器精度

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は133頁の図21-40.と134頁の図21-41.で得られます。

表20-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注1)
工場校正	8.0MHz	3V	25°C	±10%
使用者校正	7.3~8.1MHz 内の固定周波数	1.8~5.5V(注2), 2.7~5.5V(注3) 内の固定電圧	-40~85°C 内の固定温度	±1%

注1: 校正点での発振器周波数精度(固定温度と固定電圧)

注2: ATtiny24V/44V/84Vに対する電圧範囲

注3: ATtiny24/44/84に対する電圧範囲

### 20.4.2. 外部クロック信号駆動

図20-3. 外部クロック駆動波形

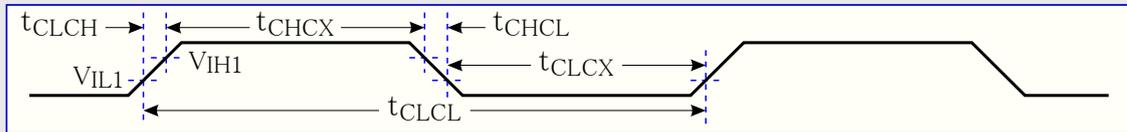


表20-3. 外部クロック特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/t <sub>CLCL</sub>	クロック周波数	0	4	0	10	0	20	MHz
t <sub>CLCL</sub>	クロック周期	250		100		50		ns
t <sub>CHCX</sub>	Highレベル時間	100		40		20		
t <sub>CLCX</sub>	Lowレベル時間	100		40		20		
t <sub>CLCH</sub>	上昇時間		2.0		1.6		0.5	μs
t <sub>CHCL</sub>	下降時間		2.0		1.6		0.5	
Δt <sub>CLCL</sub>	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については16頁の「外部クロック信号」を参照してください。

## 20.5. システムとリセットの特性

表20-4. システムとリセットの電氣的特性

シンボル	項目	条件	最小	代表	最大	単位
V <sub>RST</sub>	RESETピン閾値電圧		0.2V <sub>CC</sub>		0.9V <sub>CC</sub>	V
t <sub>RST</sub>	RESETピンでの最小パルス幅	V <sub>CC</sub> =1.8V		2		μs
		V <sub>CC</sub> =3V		0.7		
		V <sub>CC</sub> =5V		0.4		
V <sub>HYST</sub>	低電圧検出ヒステリシス電圧			50		mV
t <sub>BOD</sub>	最小低電圧検出時間			2		μs
V <sub>BG</sub>	基準電圧	V <sub>CC</sub> =5V T <sub>A</sub> =25°C	1.0	1.1	1.2	V
t <sub>BG</sub>	起動時間			40	70	μs
I <sub>BG</sub>	消費電流			15		μA

注: 値は指針だけです。

以下のように2つの電源ONリセット版が実装されています。

### 20.5.1. 標準電源ONリセット

この電源ONリセットの実装はATtiny24/44/84の初期版で存在します。下表はこの電源ONリセットの特性を記述し、それは以下のデバイスに対してだけ有効です。

- ATtiny24 : 改訂Dとそれ以前
- ATtiny44 : 改訂Cとそれ以前
- ATtiny84 : 改訂A

注: 改訂は外圍器上に記されます(14P3と14S1外圍器:裏面、20M1外圍器:表面)。

表20-5. 標準電源ONリセット特性 (T<sub>A</sub>=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
V <sub>POR</sub>	電源ONリセット開放閾値電圧 (注1)	0.7	1.0	1.4	V
V <sub>POA</sub>	電源ONリセット活性閾値電圧 (注2)	0.05	0.9	1.3	
S <sub>RON</sub>	電源投入時上昇率	0.01		4.5	V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がV<sub>POA</sub>未満でなければ電源ONリセットは動作しません(電圧下降時)。

### 20.5.2. 強化電源ONリセット

この電源ONリセットの実装はATtiny24/44/84の新版で存在します。下表はこの電源ONリセットの特性を記述し、それは以下のデバイスに対してだけ有効です。

- ATtiny24 : 改訂Eとそれ以降
- ATtiny44 : 改訂Dとそれ以降
- ATtiny84 : 改訂Bとそれ以降

表20-6. 強化電源ONリセット特性 (T<sub>A</sub>=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
V <sub>POR</sub>	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
V <sub>POA</sub>	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
S <sub>RON</sub>	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がV<sub>POA</sub>未満でなければ電源ONリセットは動作しません(電圧下降時)。

### 20.5.3. 低電圧検出 (BOD)

表20-7. BODLEVELヒューズ (V<sub>BOT</sub>) 設定 (注1)

BODLEVEL2~0	最小	代表	最大	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注1: いくつかのデバイスでV<sub>BOT</sub>が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、V<sub>CC</sub>=V<sub>BOT</sub>に落として検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

20.6. アナログ比較器特性

表20-8. アナログ比較器特性 (TA=-40℃~85℃)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2		<10	40	mV
ILAC	入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
tAPD	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.8~5.5V		1	2	clk <sub>I/O</sub>

注: 全てのパラメータはシミュレーション結果に基づきます。

## 20.7. A/D変換器特性

表20-9. A/D変換特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位	
シングル エンド 入力 変換	分解能				10	ビット	
	絶対精度 (INL,DNL,利得, オフセット,量子化 誤差を含む)	VCC=4V	変換クロック=200kHz		2.0		LSB
		VREF=4V	変換クロック=1MHz		2.5		
		雑音低 減動作	変換クロック=200kHz		1.5		
		変換クロック=1MHz		2.0			
	積分非直線性誤差(INL) (オフセット,利得誤差校正後)	VCC=4V			1.0		LSB
	微分非直線性誤差(DNL)	VREF=4V		0.5			
	利得誤差	変換クロック=200kHz		2.0			
	オフセット(ゼロ)誤差			1.5			
		変換クロック周波数		50		1000	kHz
		変換時間	連続変換動作	14		280	μs
	AREF	外部基準電圧		2.0		VCC	V
VIN	入力電圧		GND		VREF		
	入力周波数帯域			38.4		kHz	
差動 入力 変換	分解能		×1		10	ビット	
			×20		10		
	絶対精度 (INL,DNL,利得,オフセット, 量子化誤差を含む)		×1		10.0 / 8.0		LSB
			×20		20.0 / 8.0		
	積分非直線性誤差(INL) (オフセット,利得誤差校正後)	VCC=5V	×1		4.0 / 4.0		
		VREF=4V	×20		10.0 / 5.0		
	利得誤差	変換クロック=50~200kHz	×1		10.0 / 4.0		
			×20		15.0 / 5.0		
	オフセット(ゼロ)誤差		×1		3.0 / 3.0		
			×20		4.0 / 4.0		
		変換クロック周波数		50		200	kHz
		変換時間	連続変換動作	70		280	μs
AREF	外部基準電圧		2.0		VCC-1.0	V	
VIN	入力電圧		GND		VCC		
VDIFF	差動入力電圧差		0		VREF/利得		
	入力周波数帯域			4		kHz	
共通	A/D変換出力	単極動作	0		1023	LSB	
		両極動作	-512		511		
	VINT	内蔵基準電圧		1.0	1.1	1.2	V
	RREF	基準電圧入力インピーダンス			32		kΩ
RAIN	アナログ入力インピーダンス			100		MΩ	

注: 値は指針だけです。

注: 差動入力変換内の/で区切られた値は前が単極動作、後ろが両極動作での値です。

(訳注) 原書の表20-9.、表20-10.と表20-11.は表20-9.として統合しました。

20.8. 低電圧直列プログラミング特性

図20-4. 低電圧直列プログラミング ハイ通信波形

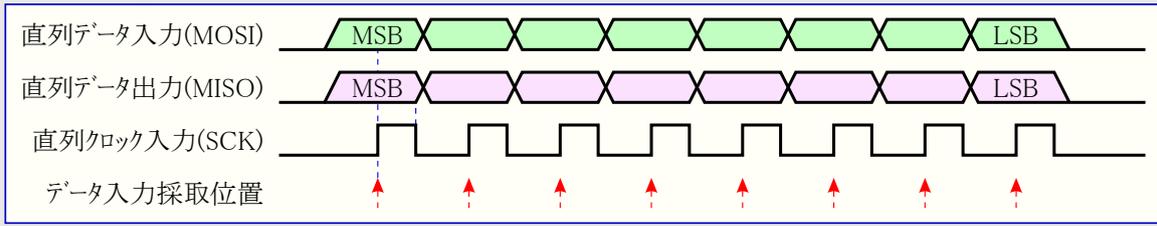


図20-5. 低電圧直列プログラミング タイミング

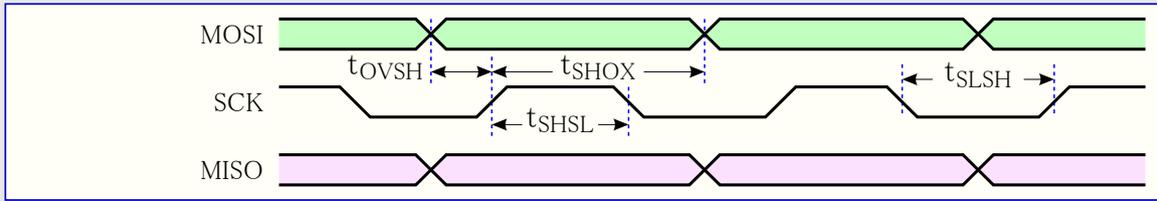


表20-12. 低電圧直列プログラミング特性 (特記条件を除いて、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ ,  $V_{CC} = 1.8 \sim 5.5\text{V}$ )

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	1.8~2.7V	0	4	MHz
		2.7~4.5V	0	10	
		4.5~5.5V	0	20	
tCLCL	発振器周期	1.8~2.7V	250		ns
		2.7~4.5V	100		
		4.5~5.5V	50		
tSHSL	SCKパルスHレベル幅 (注1)	2tCLCL			
tSLSH	SCKパルスLレベル幅 (注1)	2tCLCL			
tOVSH	SCK ↑ に対するMOSI準備時間	tCLCL			
tSHOX	SCK ↑ に対するMOSI保持時間	2tCLCL			

注1:  $f_{CK} < 12\text{MHz}$ 時2tCLCL、 $f_{CK} \geq 12\text{MHz}$ 時3tCLCL。

20.9. 高電圧直列プログラミング特性

図20-6. 高電圧直列プログラミング タイミング

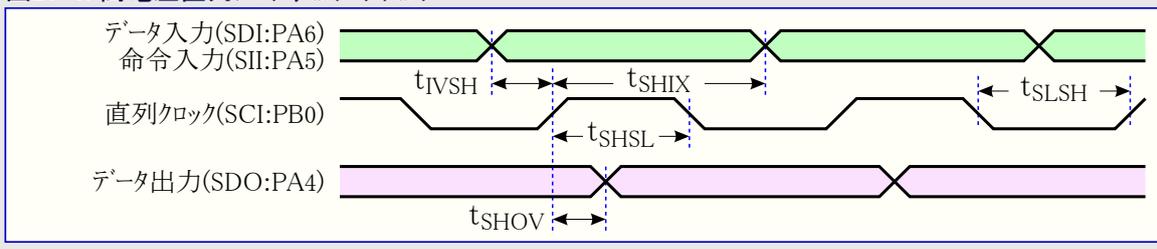


表20-13. 高電圧直列プログラミング特性 (特記条件を除いて、 $V_{CC} = 5.0\text{V}$ )

シンボル	項目	最小	代表	最大	単位
tSHSL	SCIパルスHレベル幅	125			ns
tSLSH	SCIパルスLレベル幅	125			
tIVSH	SCI ↑ に対するSDI,SII準備時間	50			
tSHIX	SCI ↑ に対するSDI,SII保持時間	50			
tSHOV	SCI ↑ に対するSDO出力遅延時間		16		
tWLWH_PFB	ヒューズ書き込み第3バイト後待機時間		2.5		ms

## 21. 代表特性

本項内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文コードが示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ許可**のパワーダウン動作での消費電流と**ウォッチドッグタイマ禁止**のパワーダウン動作での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して)  $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f_{sw}(\text{I/Oピンの平均切り替え周波数})$  として推測できます。

### 21.1. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使えます。周辺機能部の許可や禁止は電力削減レジスタによって制御されます。詳細については24頁の「電力削減レジスタ(PRR)」をご覧ください。

表21-1. 各部追加消費電流 (絶対値:  $\mu\text{A}$ )

PRR内ビット	1MHz, 2V	4MHz, 3V	8MHz, 5V
PRTIM1	5.1	31.0	118.2
PRTIM0	6.6	40.0	153.0
PRUSI	3.7	23.1	92.2
PRADC	29.6	88.3	333.3

表21-2. 各部追加消費電流 (相対値: %)

PRR内ビット	活動動作(図21-1, 図21-2)	アイドル動作(図21-6, 図21-7)
PRTIM1	1.8	8.0
PRTIM0	2.3	10.4
PRUSI	1.4	6.1
PRADC	6.7	28.8

表21-1.で一覧される以外のVCCと周波数設定については、表21-2.からの数値を元に代表的な消費電流を計算できます。

例1: VCC=2V,  $f=1\text{MHz}$ でUSI, タイマ/カウンタ0, A/D変換器が許可されたアイドル動作での予測される消費電流を計算します。表21-2.のアイドル動作列からUSIが6.1%、タイマ/カウンタ0が10.4%、A/D変換器が28.8%追加する必要があります。図21-7.を読み、VCC=2V,  $f=1\text{MHz}$ でのアイドル動作消費電流が約0.04mAであることを得ます。USI, タイマ/カウンタ0, A/D変換器許可のアイドル動作での総消費電流を得ます。

$$\text{総消費電流} = 0.04\text{mA} \times (1 + 0.061 + 0.104 + 0.288) \approx 0.06\text{mA}$$

### 21.2. 活動動作消費電流

図21-1. 活動動作消費電流 対 周波数 (100kHz~1MHz)

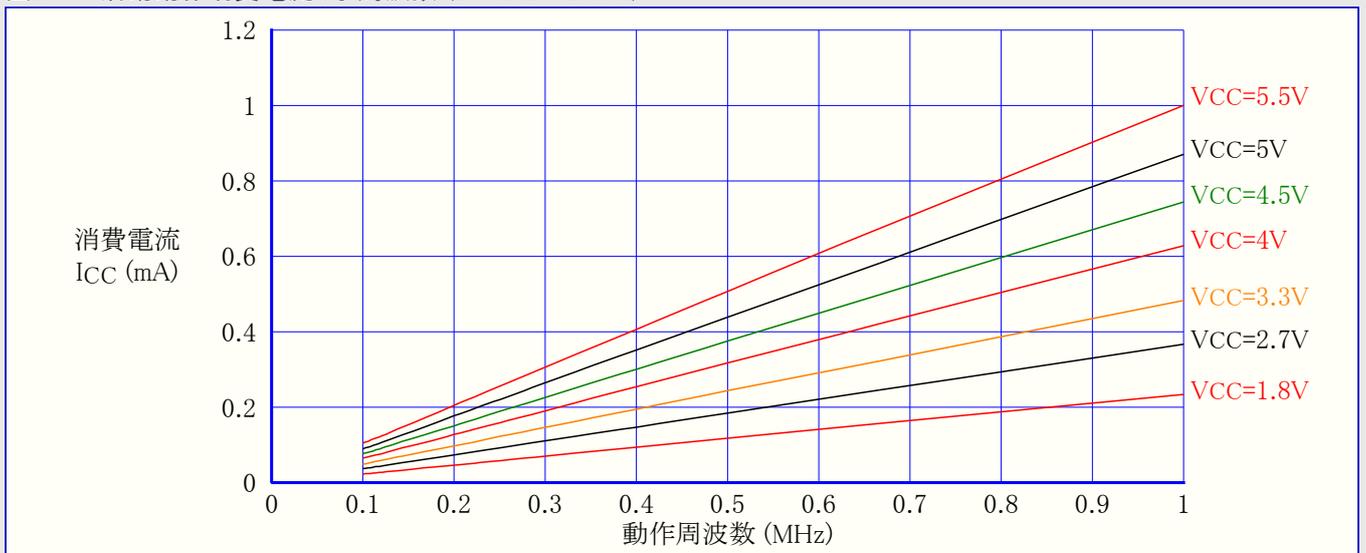


図21-2. 活動動作消費電流 対 周波数 (1MHz~20MHz)

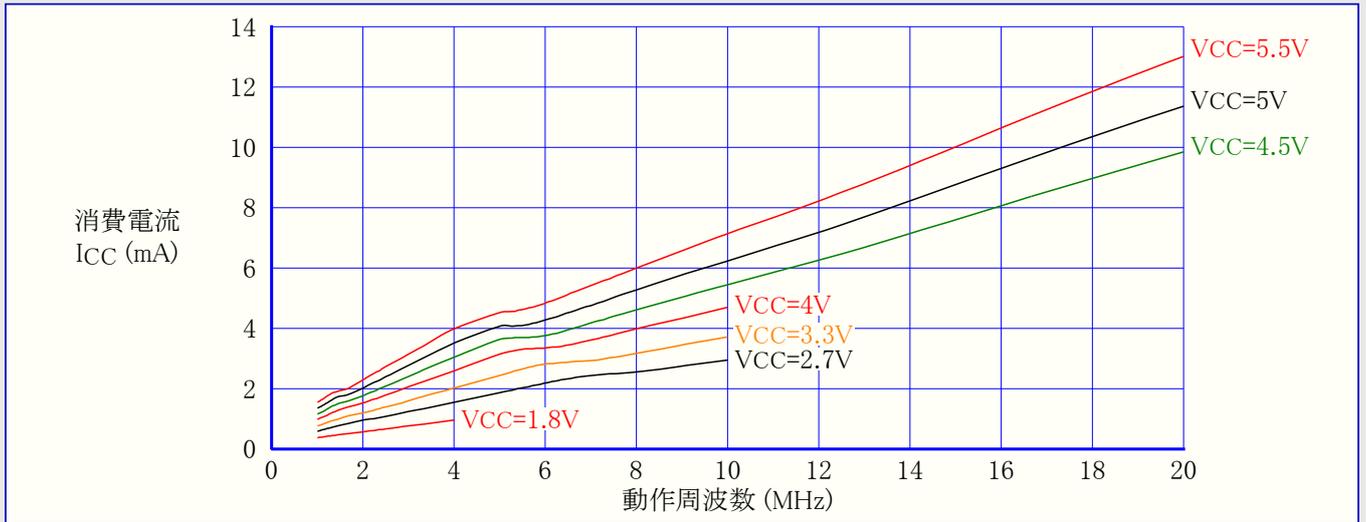


図21-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

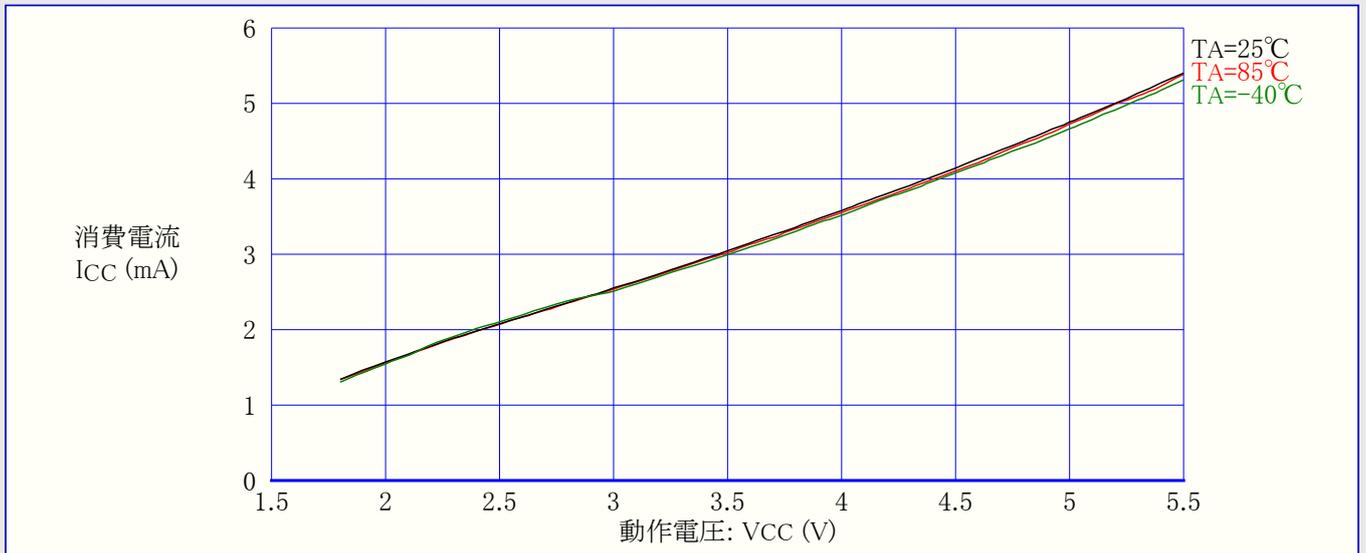


図21-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

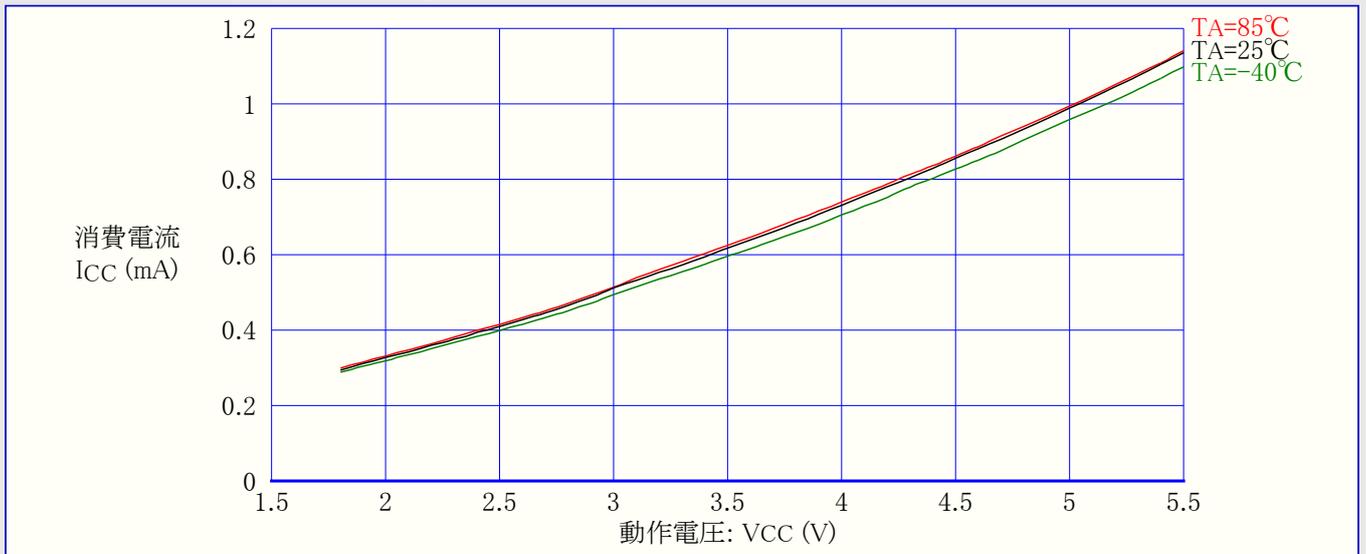
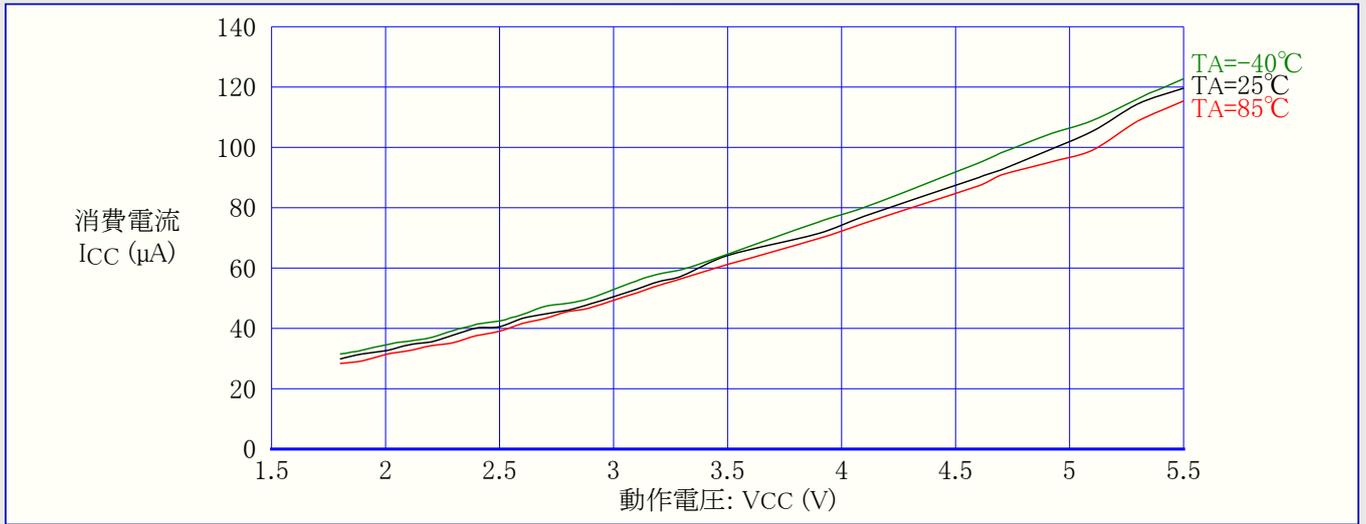


図21-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



### 21.3. アイドル動作消費電流

図21-6. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

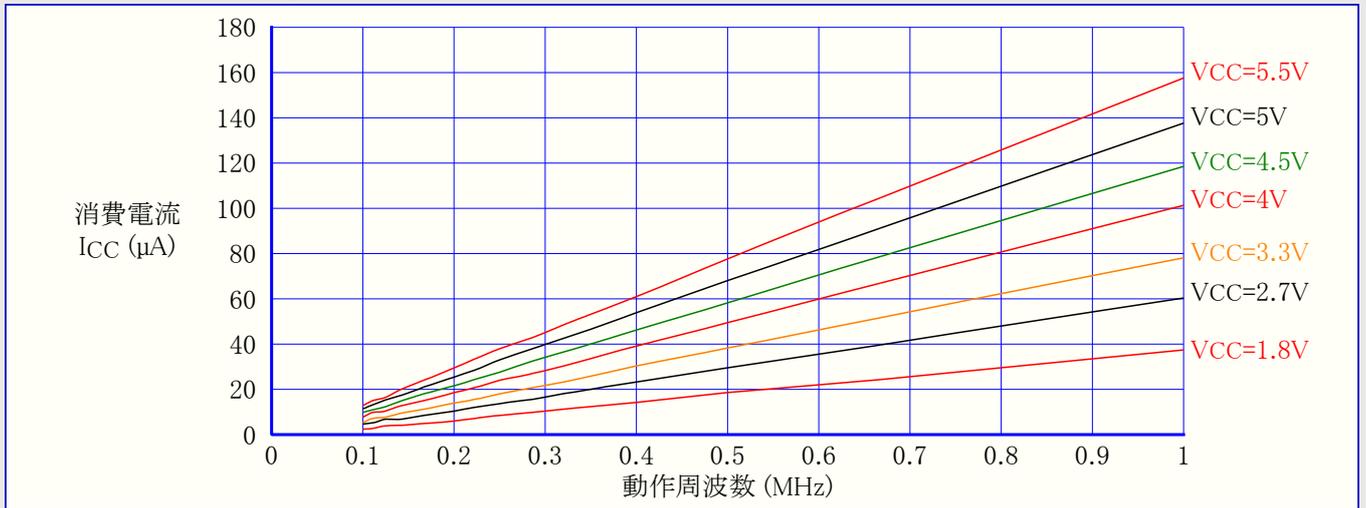


図21-7. アイドル動作消費電流 対 周波数 (1MHz~20MHz)

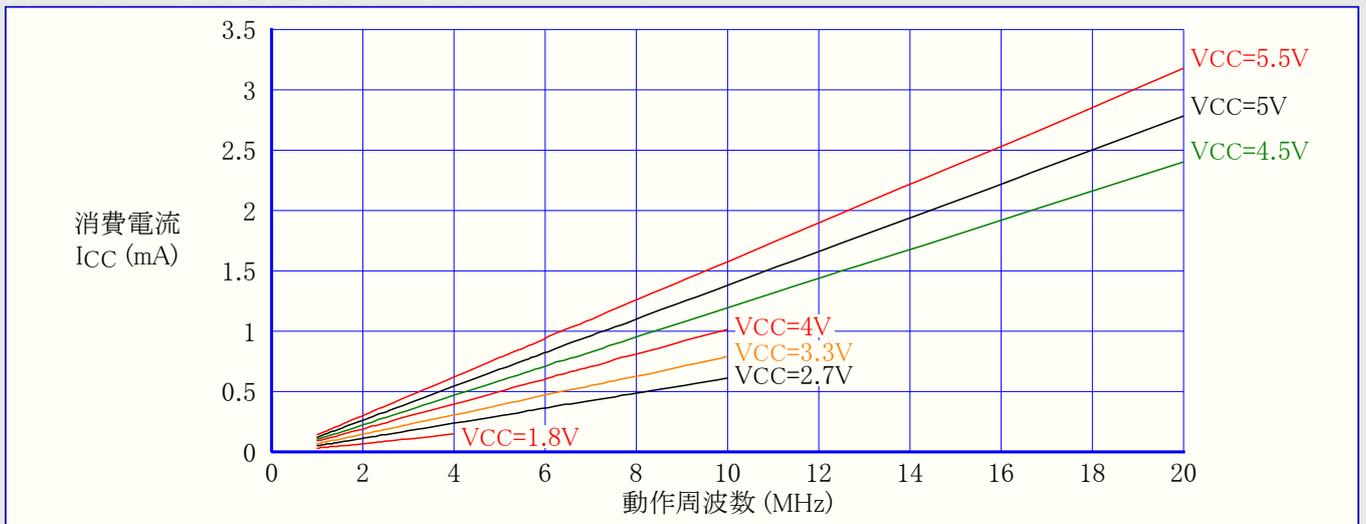


図21-8. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

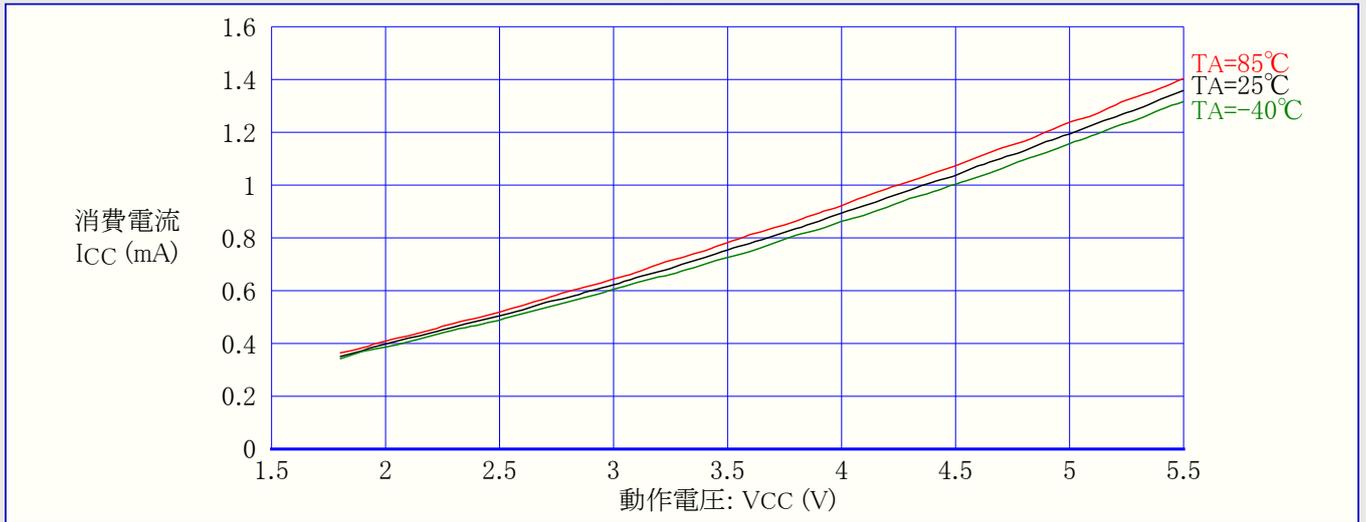


図21-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

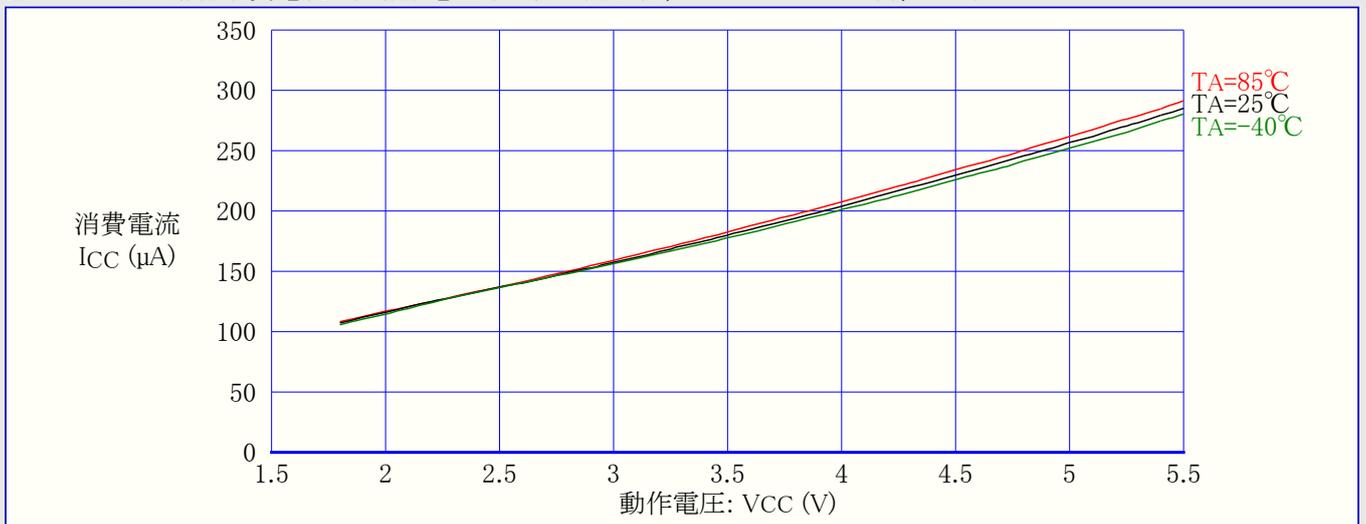
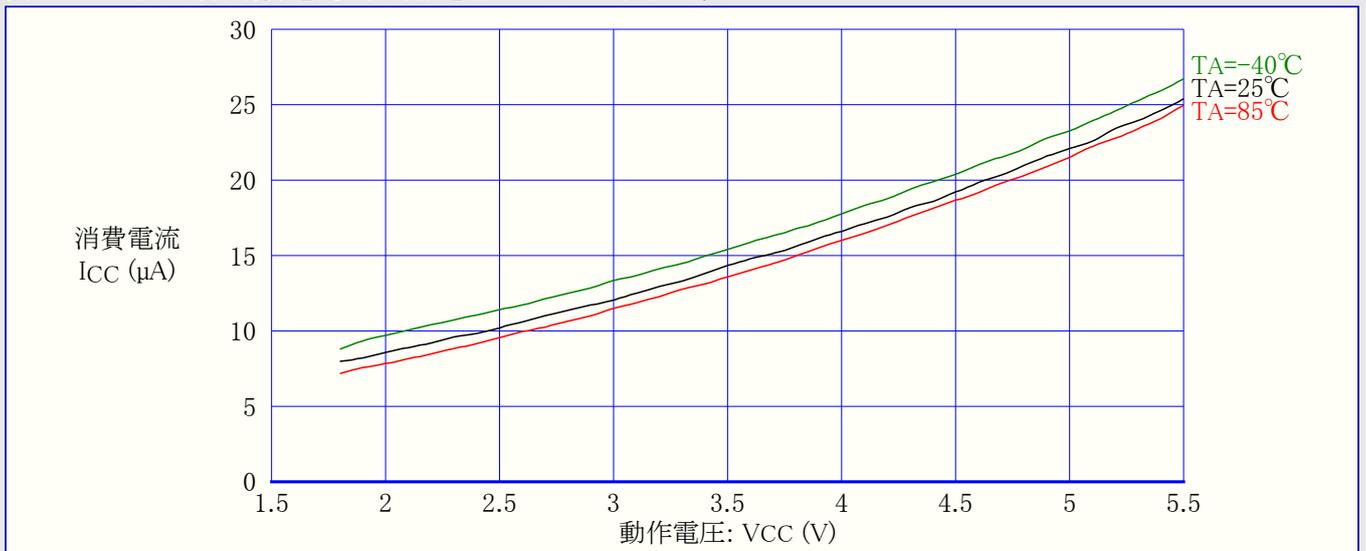


図21-10. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



## 21.4. パワーダウン動作消費電流

図21-11. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

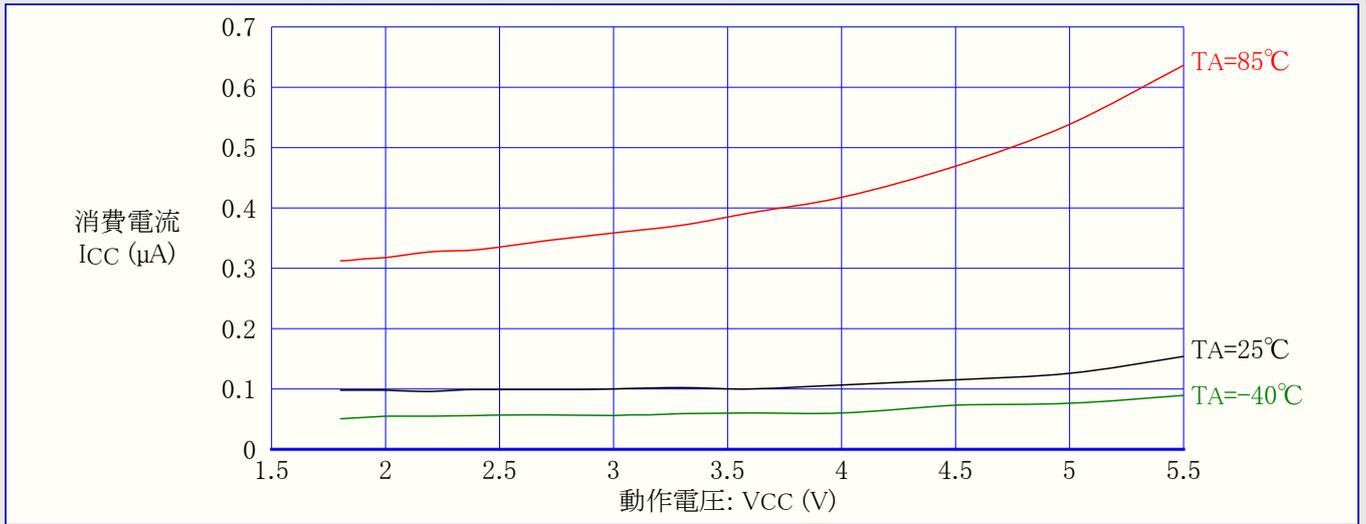
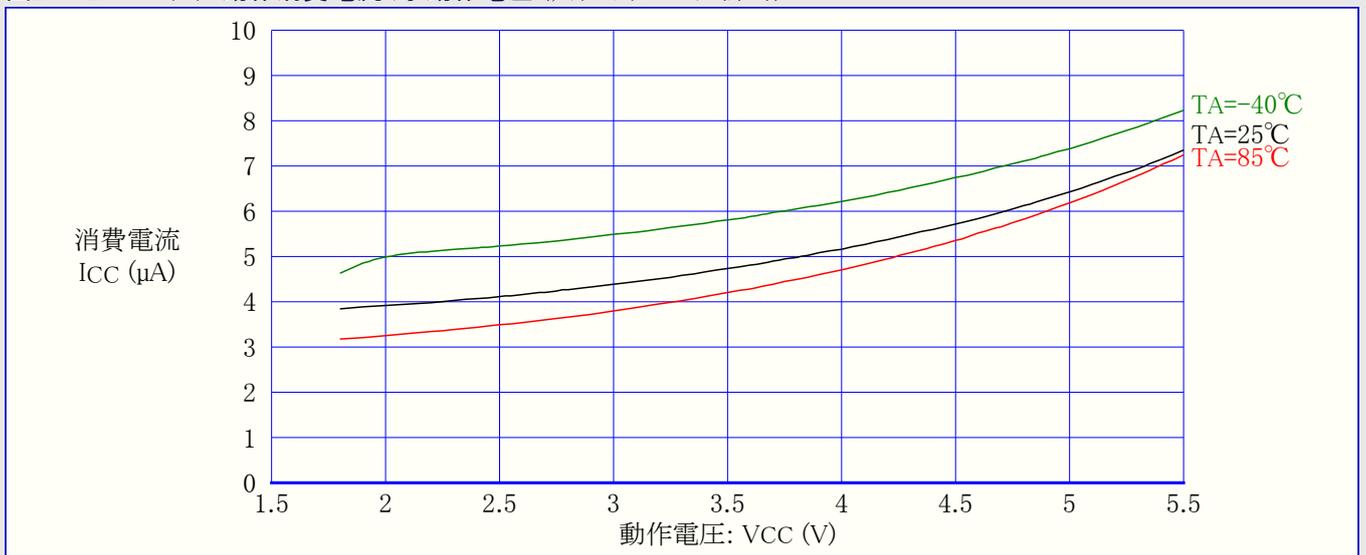
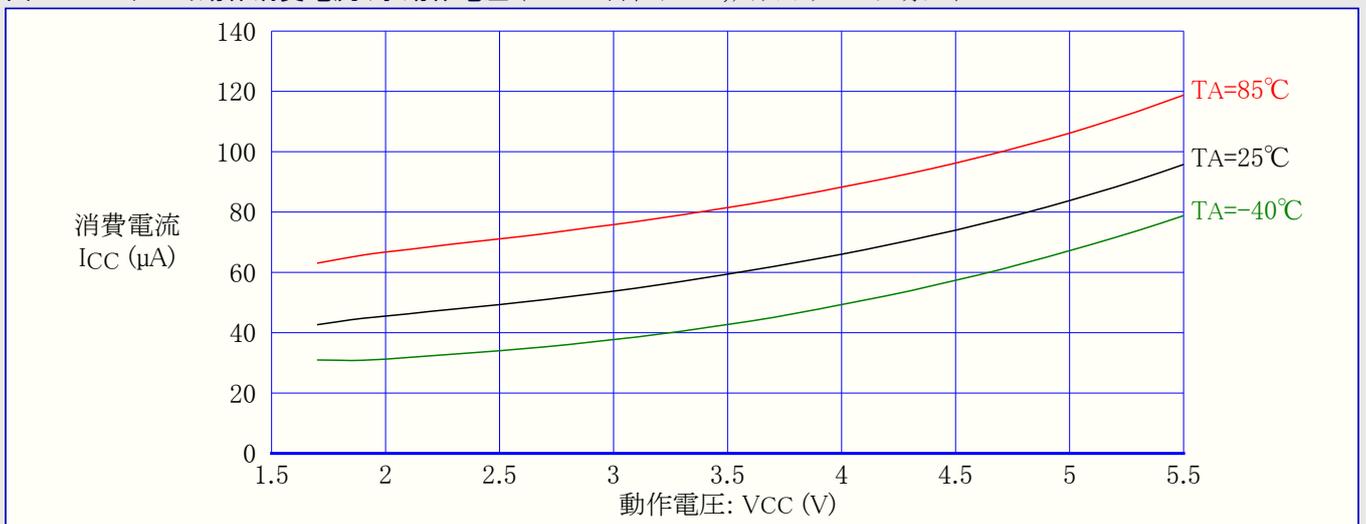


図21-12. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



## 21.5. スタンバイ動作消費電流

図21-13. スタンバイ動作消費電流 対 動作電圧 (4MHz外部クリスタル,ウォッチドッグ タイマ禁止)



21.6. ピンプルアップ

図21-14. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

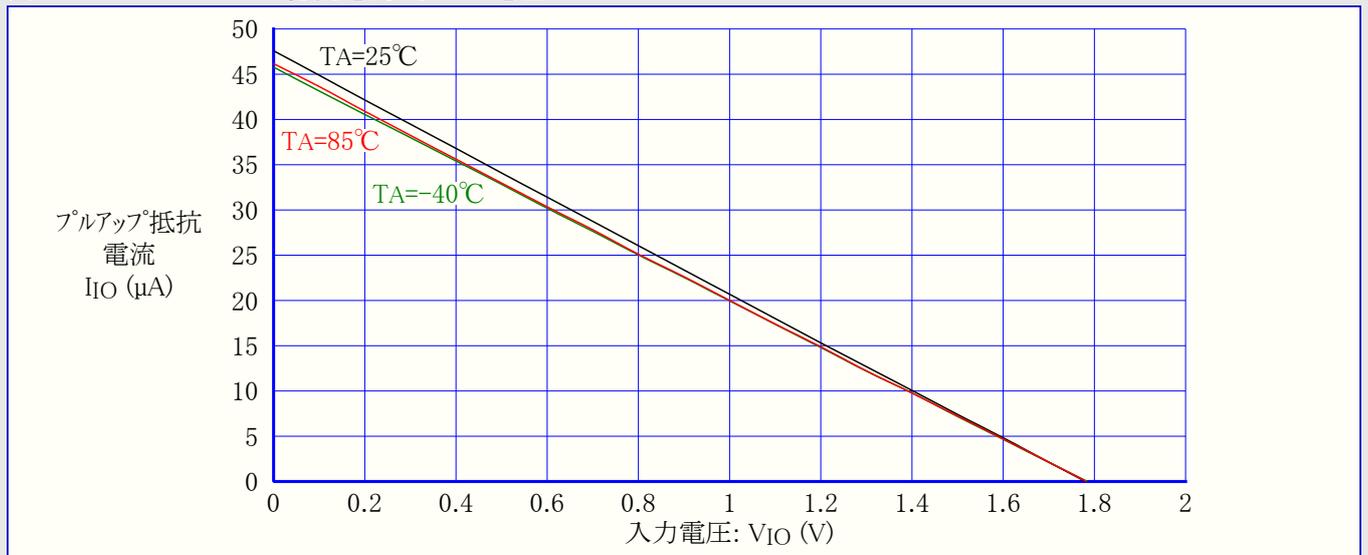


図21-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

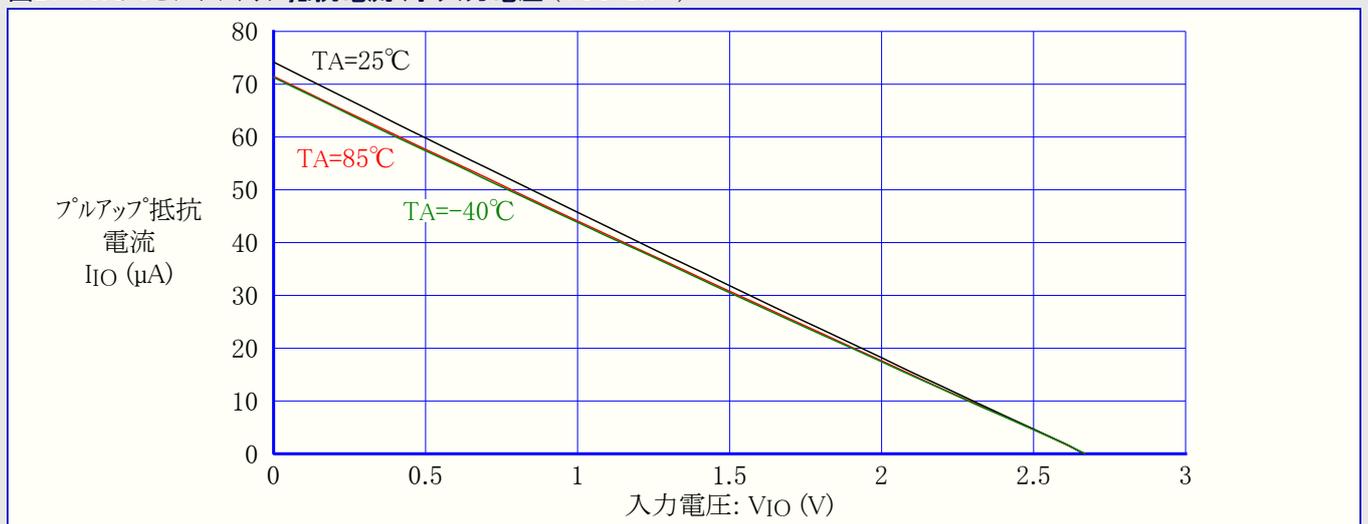


図21-16. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

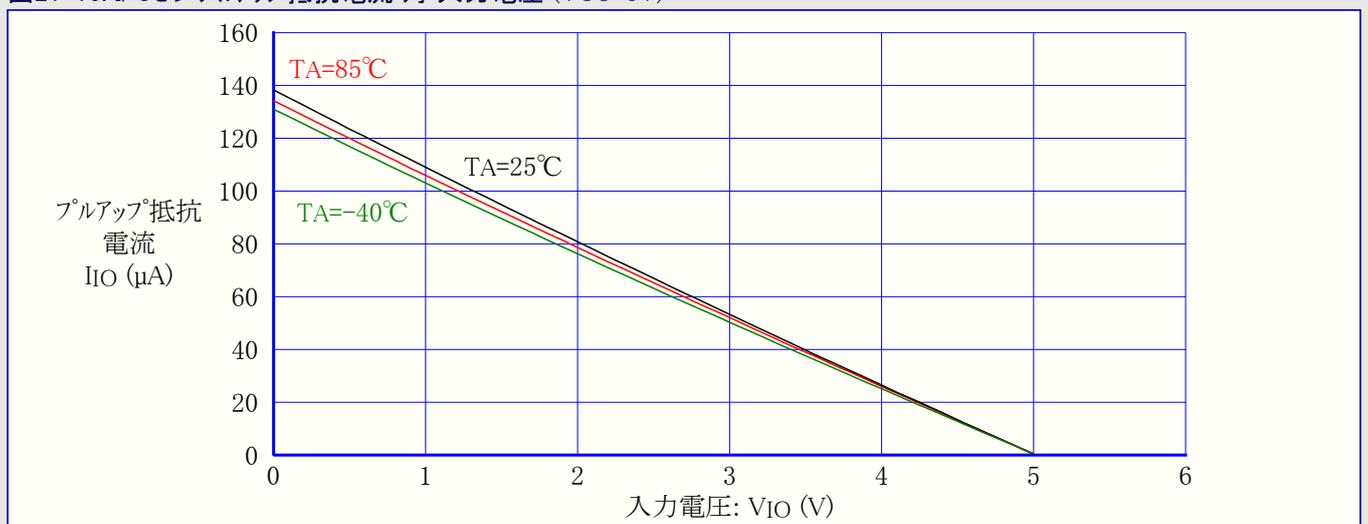


図21-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

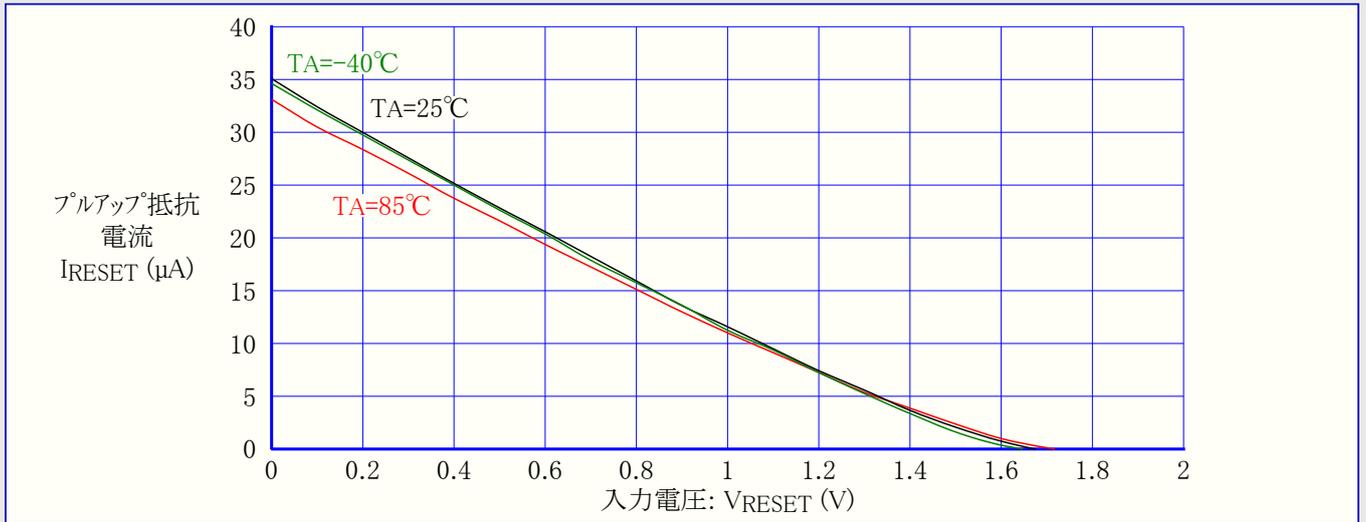


図21-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

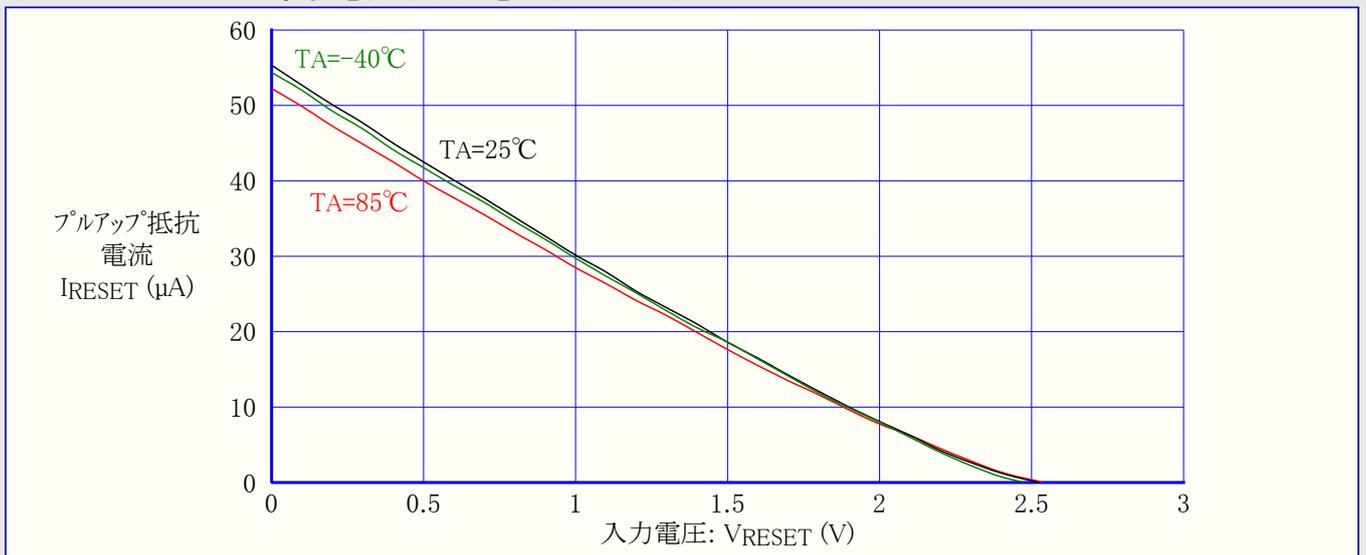
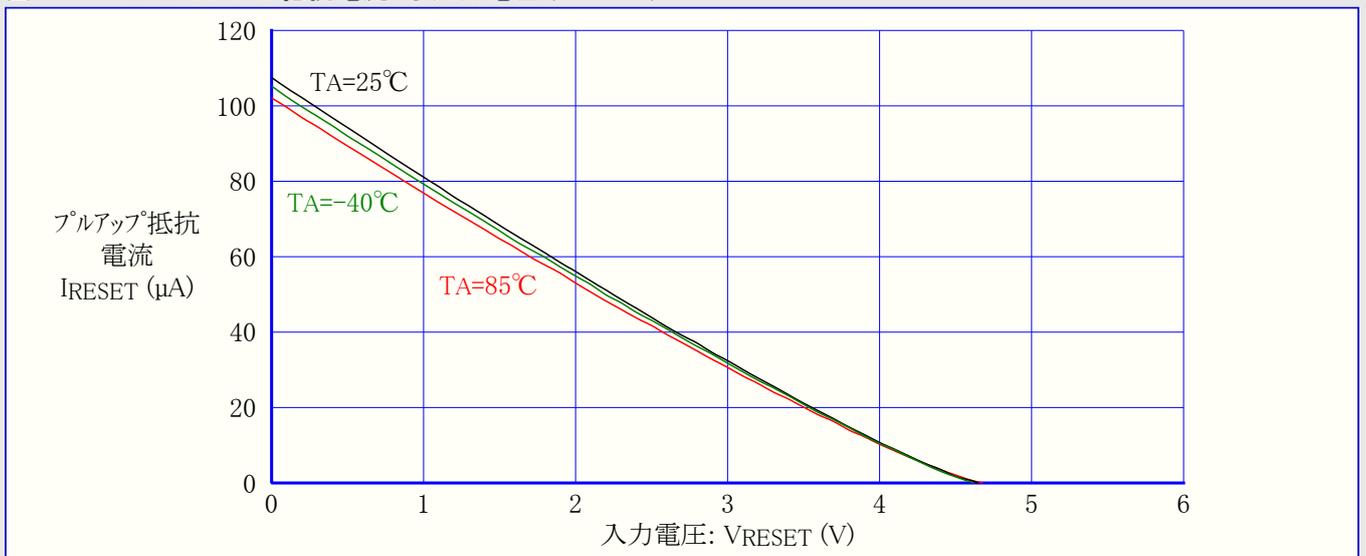


図21-19. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



21.7. ピン駆動能力

図21-20. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

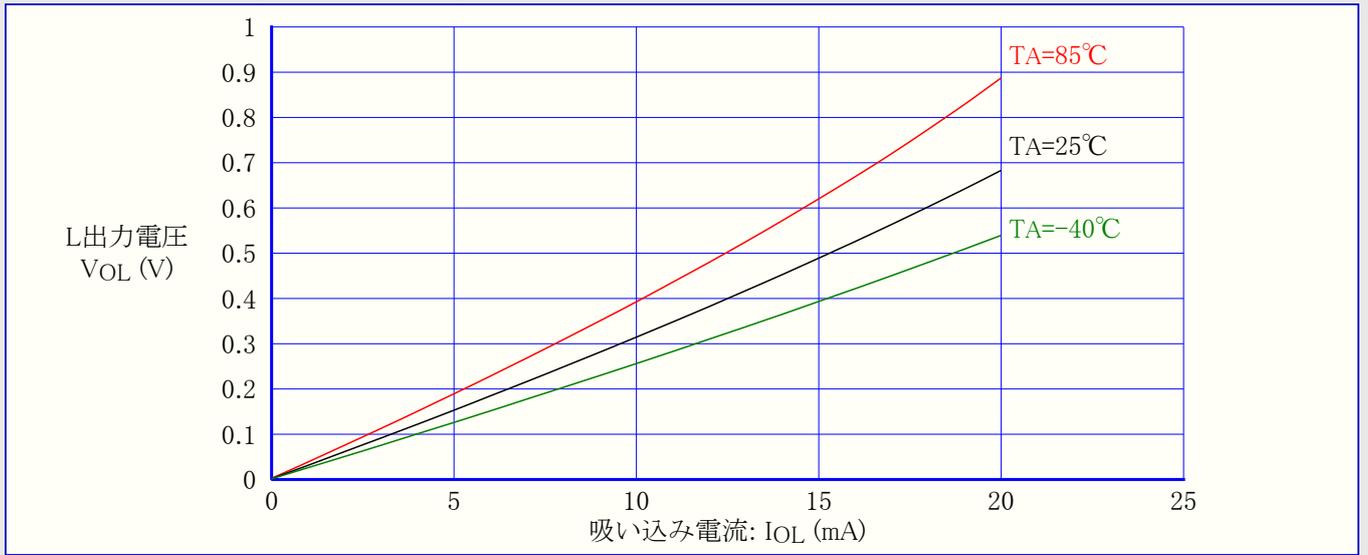


図21-21. I/Oピン出力電圧 対吸い込み電流 (VCC=5V)

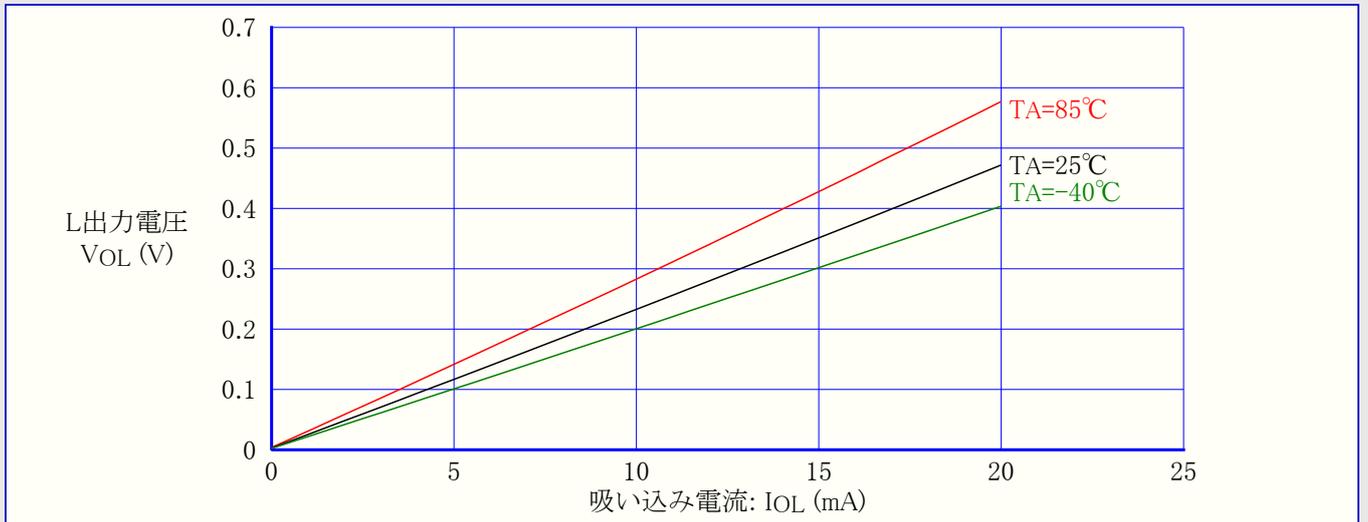


図21-22. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

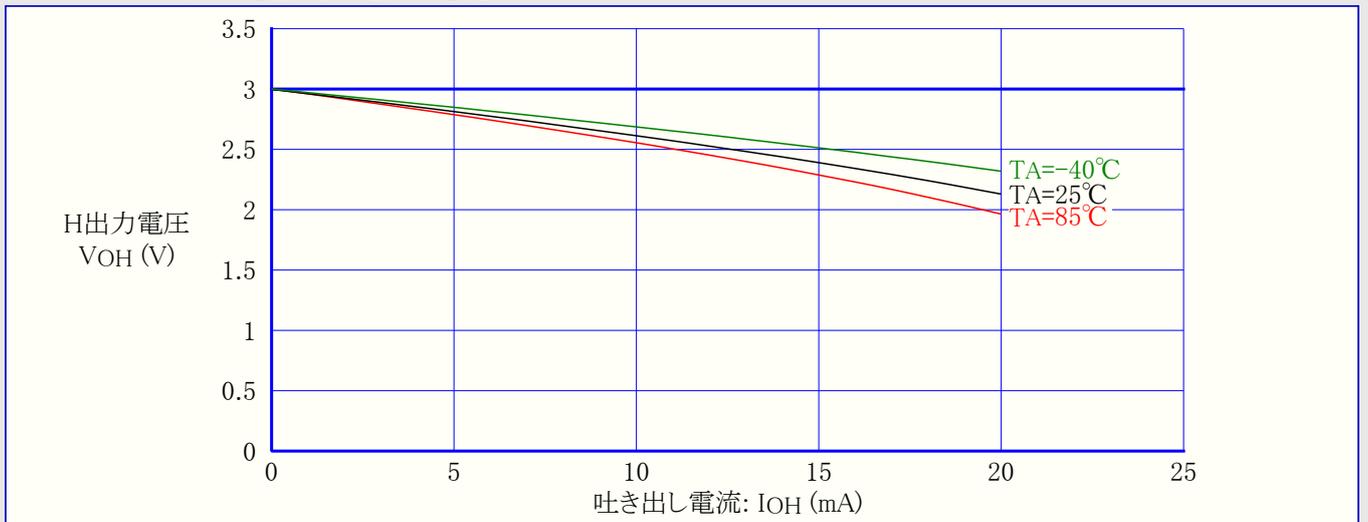


図21-23. I/O<sup>レ</sup>出力電圧 対 吐き出し電流 (VCC=5V)

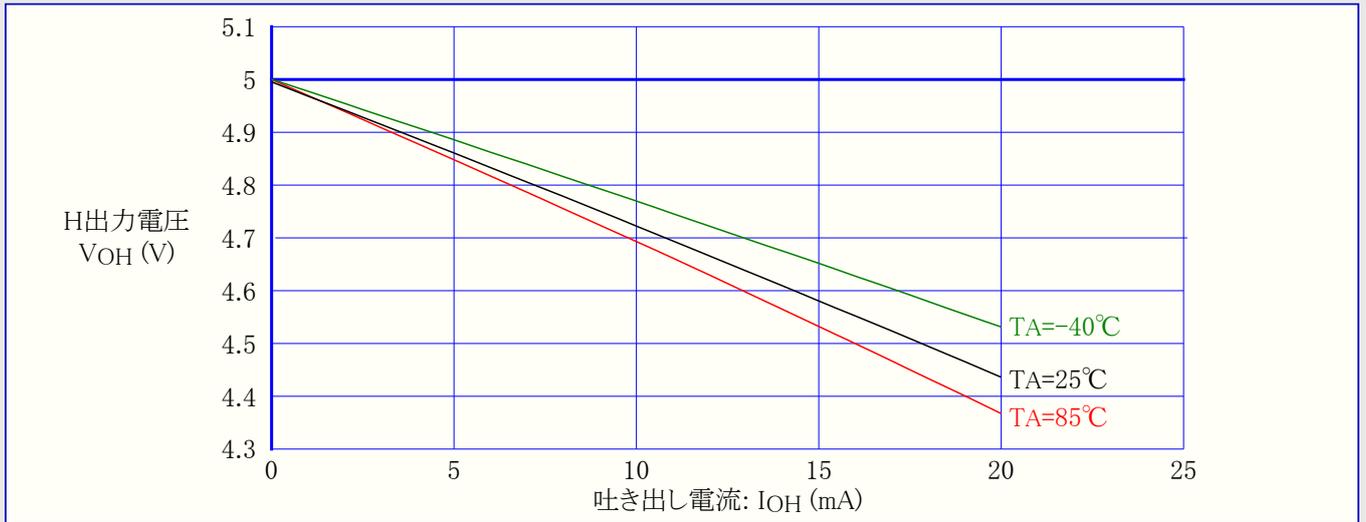


図21-24. RESET<sup>レ</sup>出力電圧 対 吸い込み電流 (VCC=3V)

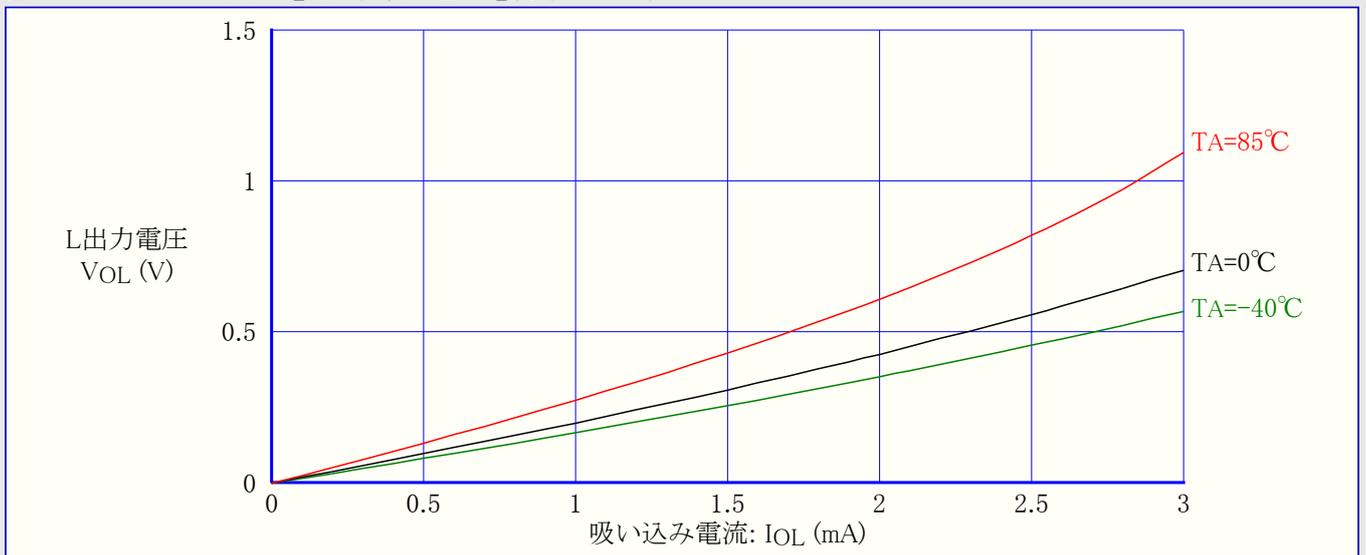


図21-25. RESET<sup>レ</sup>出力電圧 対 吸い込み電流 (VCC=5V)

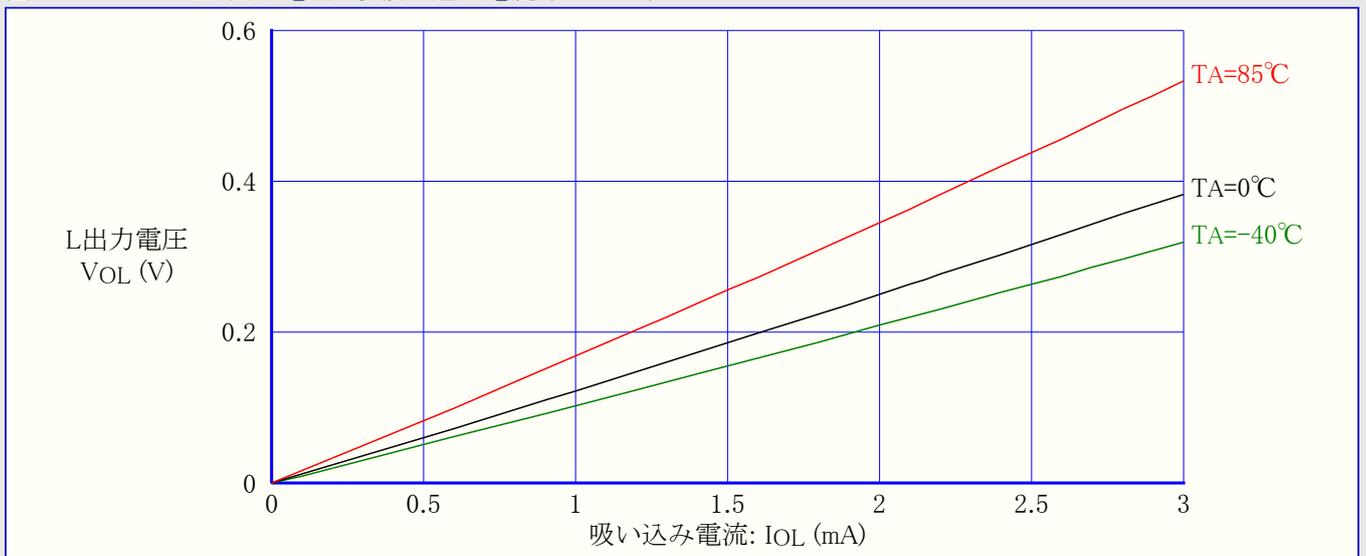


図21-26. RESETピン出力電圧 対 吐き出し電流 (VCC=3V)

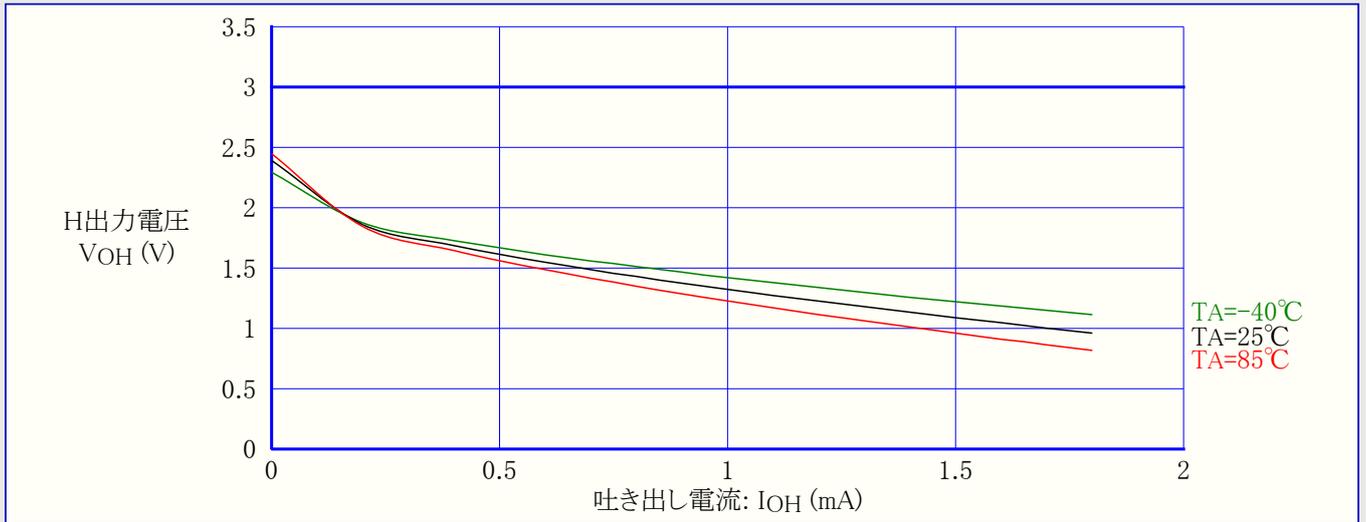
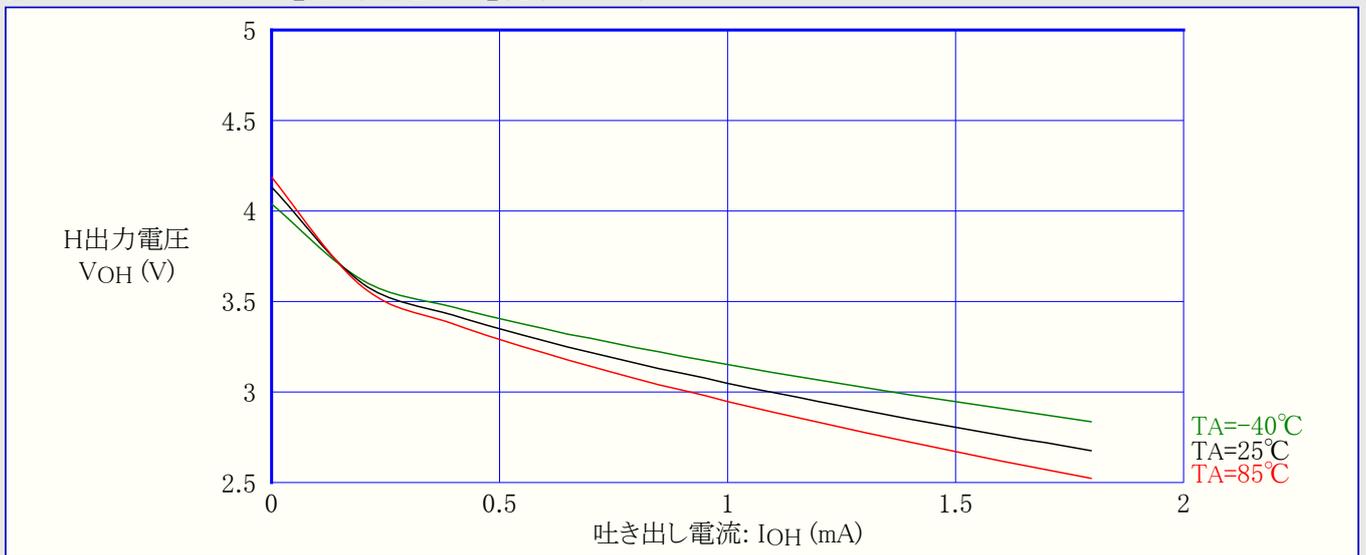


図21-27. RESETピン出力電圧 対 吐き出し電流 (VCC=5V)



21.8. ピン 閾値とヒステリシス

図21-28. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

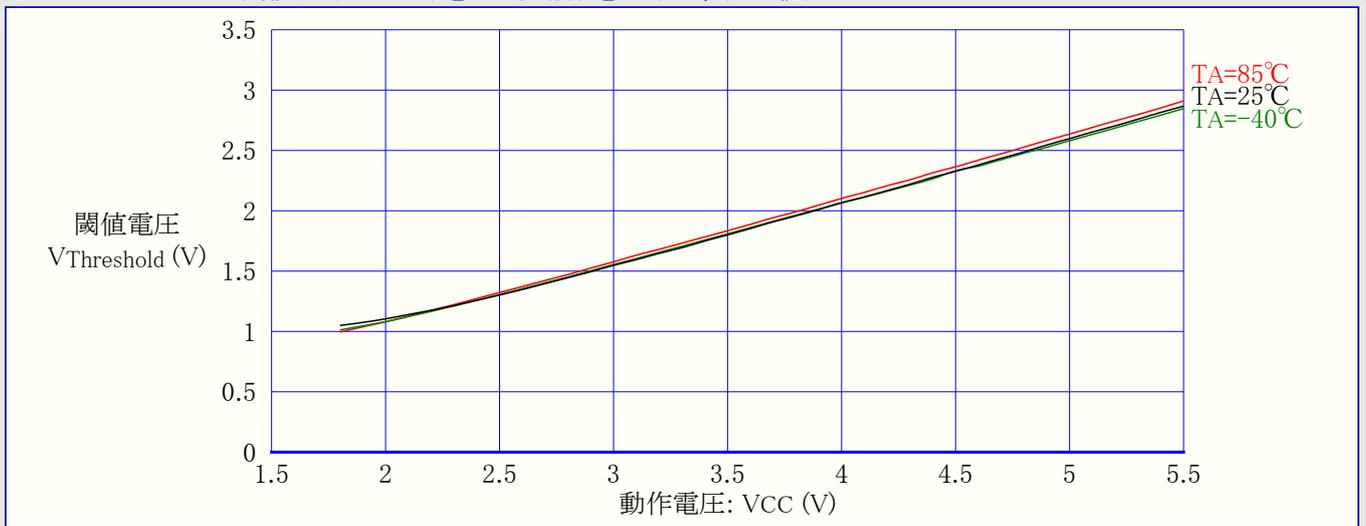


図21-29. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)

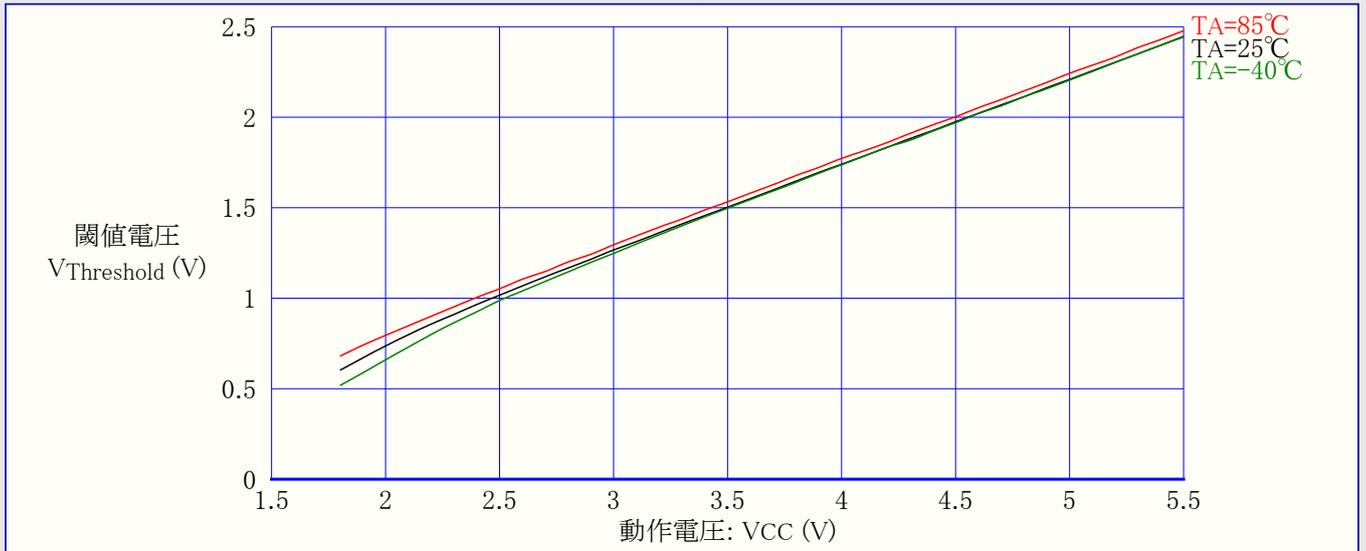


図21-30. I/Oピン入力ヒステリシス電圧 対 動作電圧

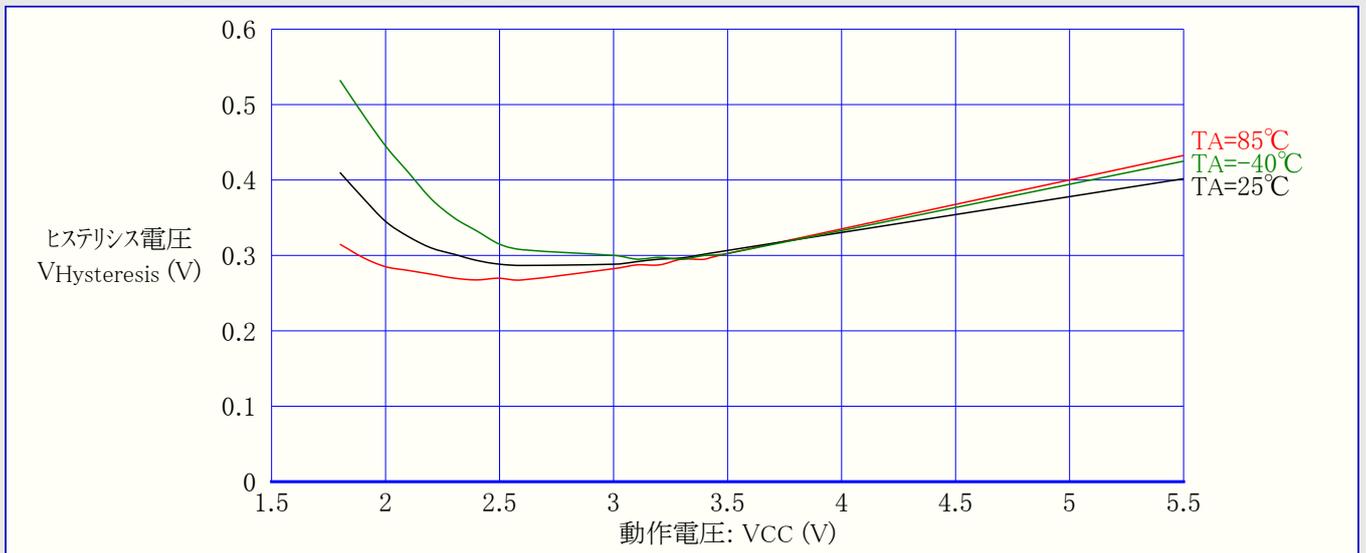


図21-31. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

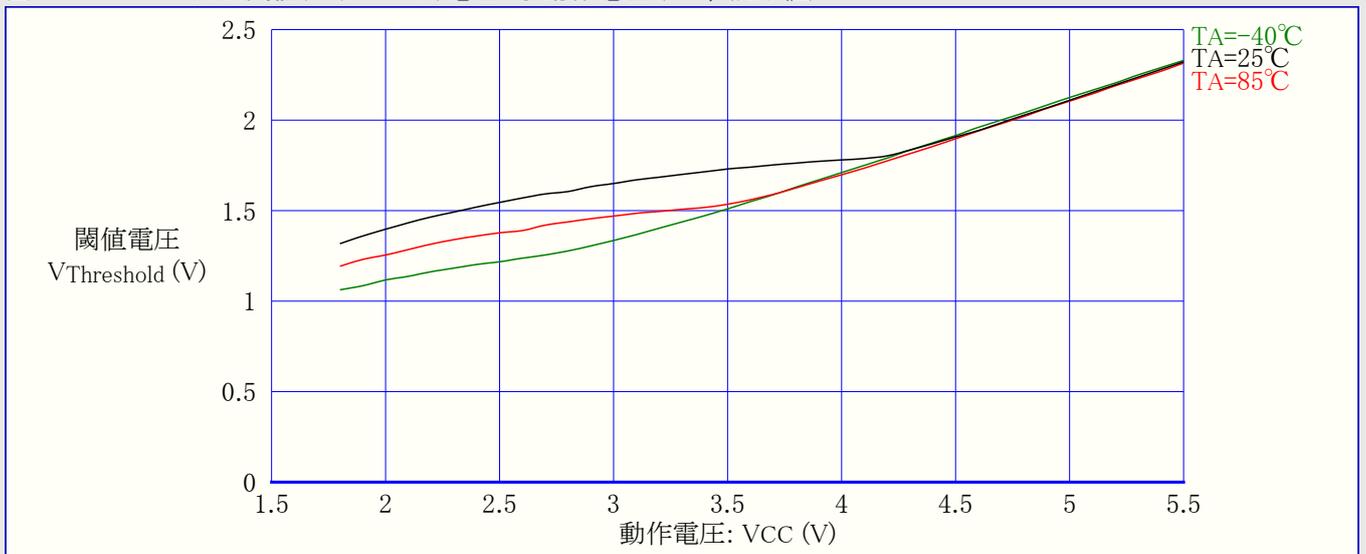


図21-32. RESET入力閾値(スレッシュホールド)電圧 対 動作電圧 (VIL,0読み値)

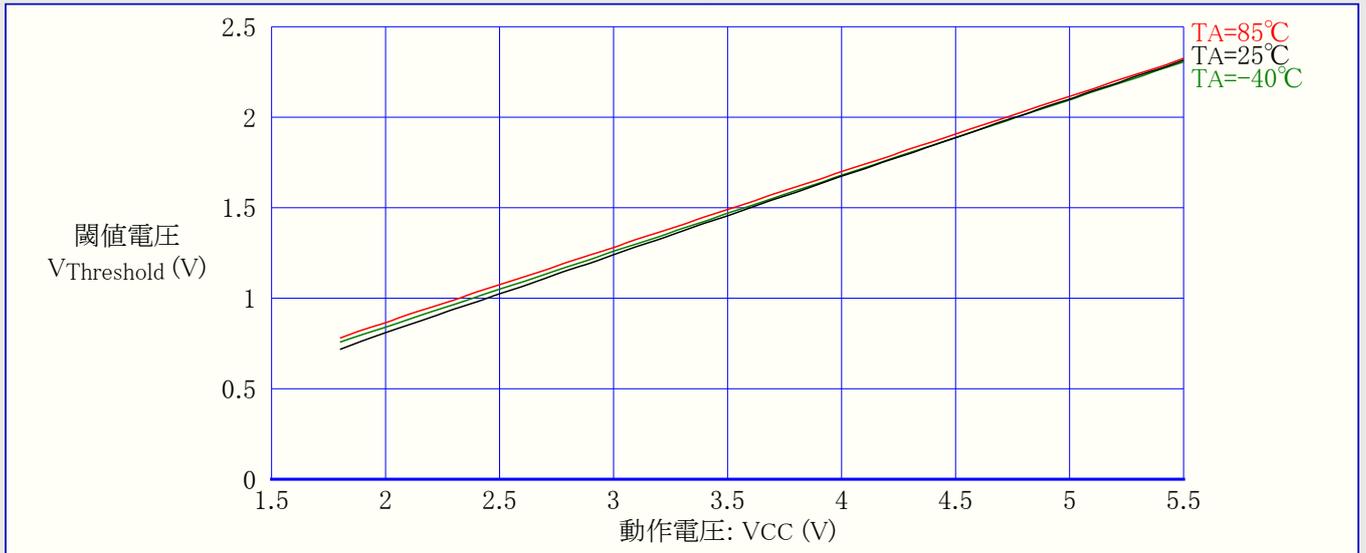


図21-33. RESET入力ヒステリシス電圧 対 動作電圧

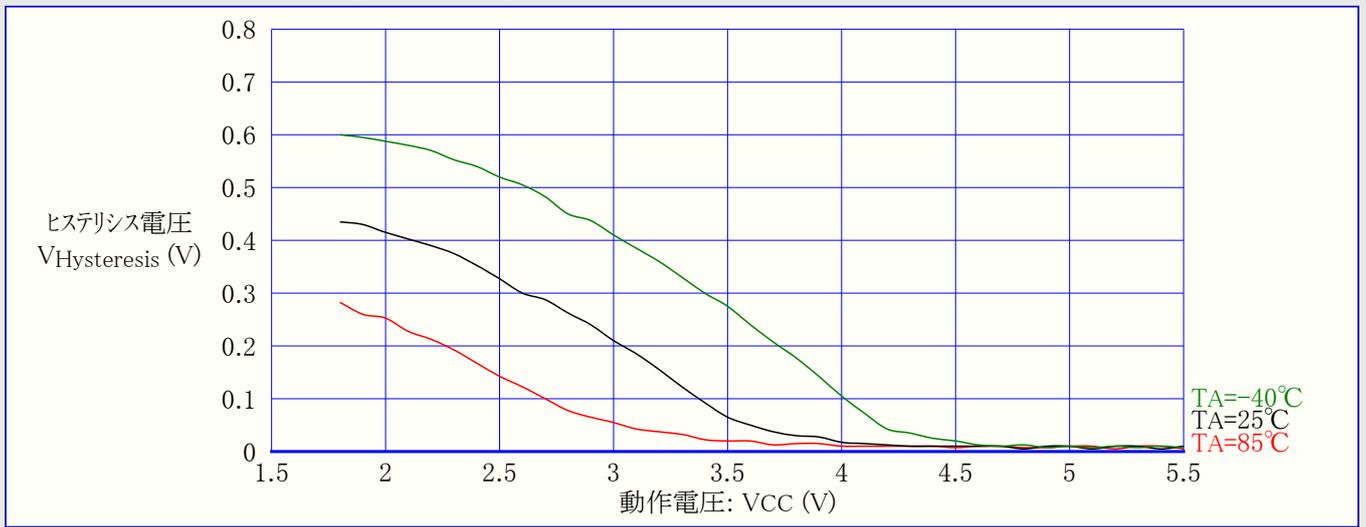
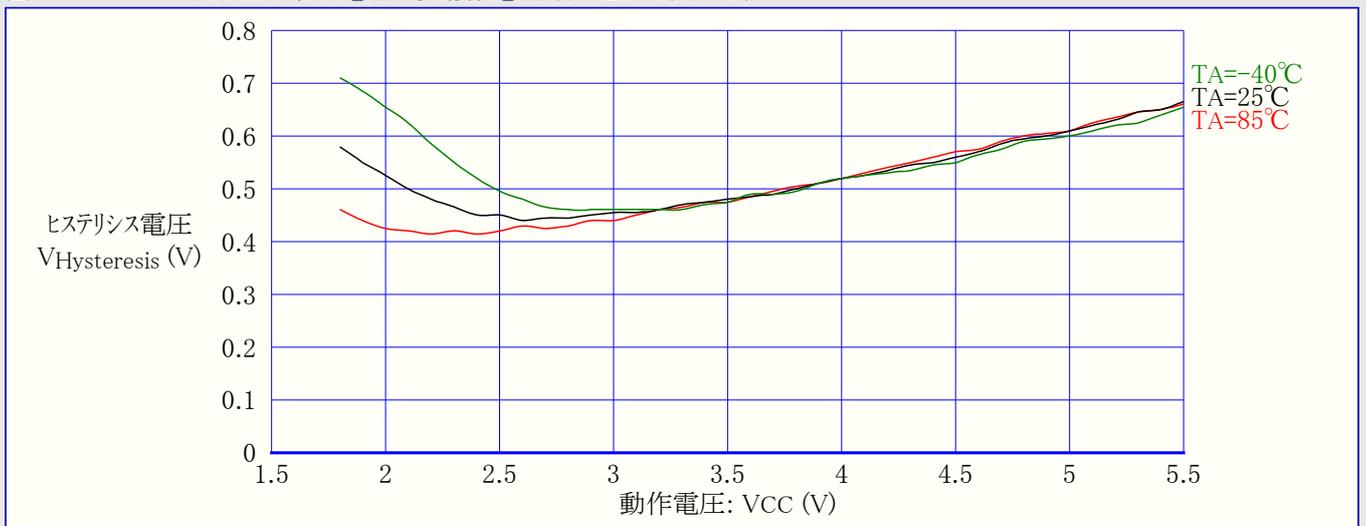


図21-34. RESET入力ヒステリシス電圧 対 動作電圧 (I/Oとして使用時)



## 21.9. 低電圧検出器(BOD)閾値とアナログ比較器オフセット

図21-35. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)

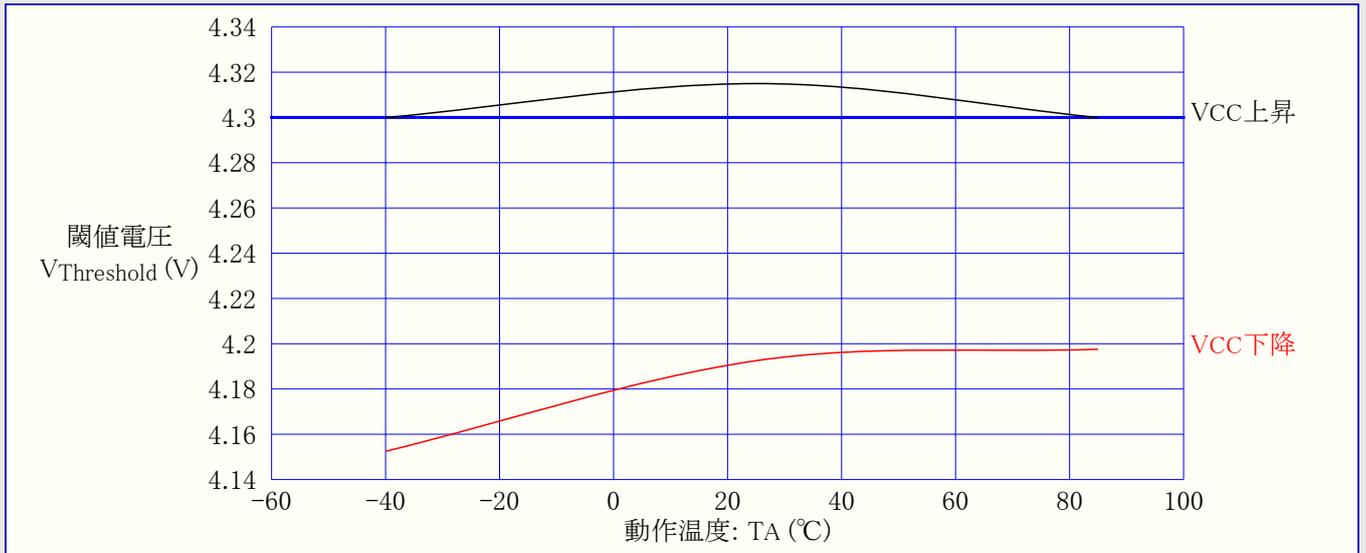


図21-36. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

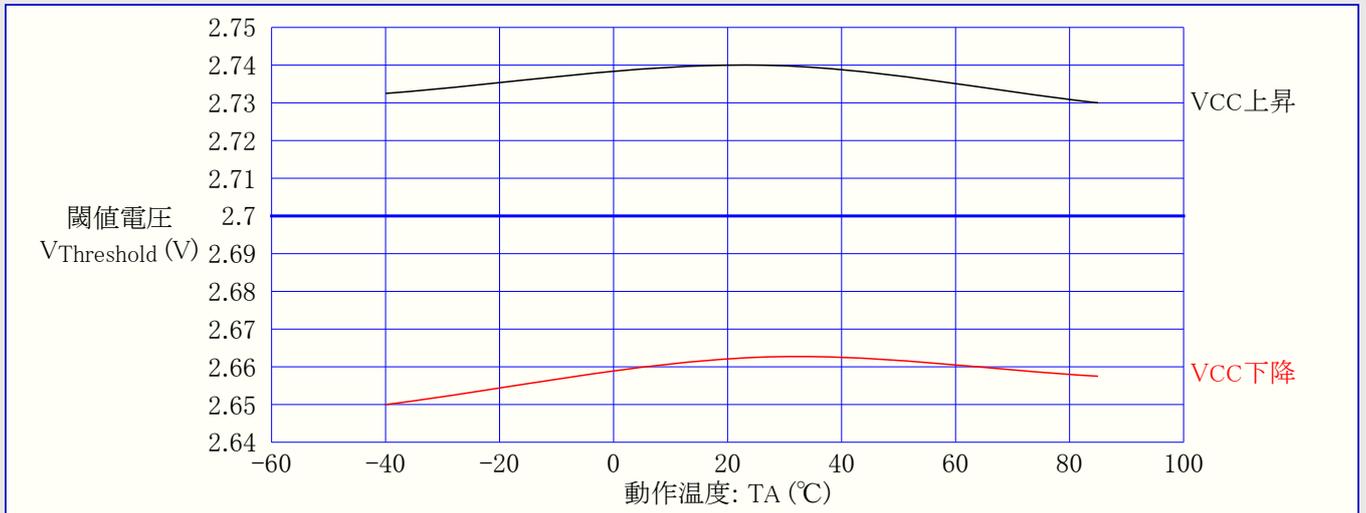
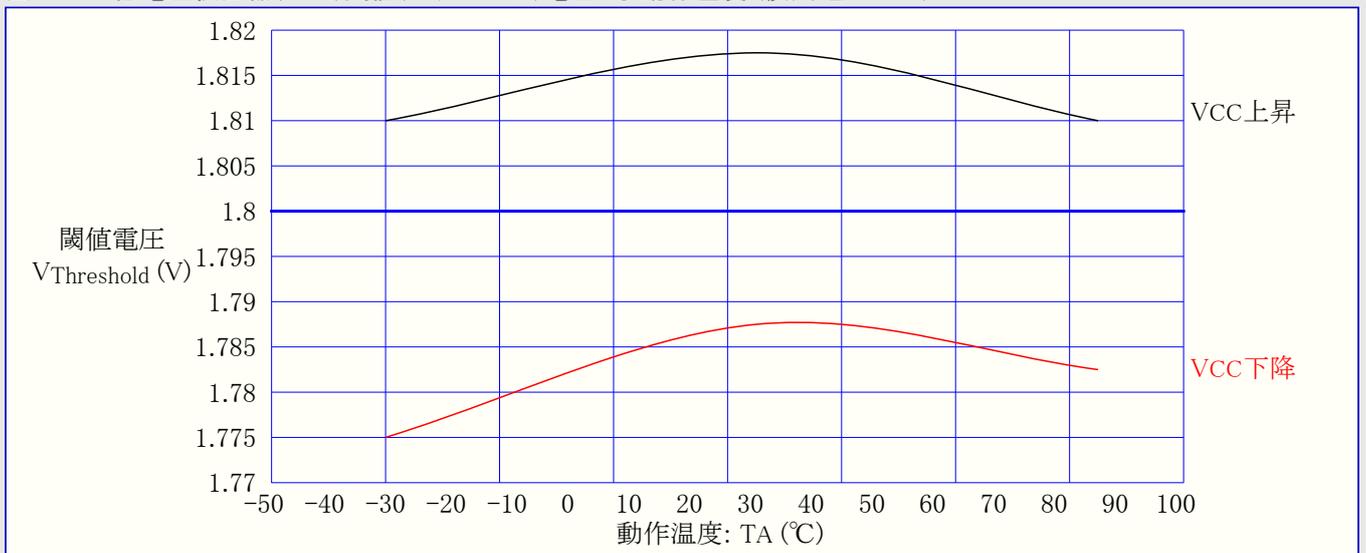


図21-37. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)



21.10. 内部発振器周波数

図21-38. ウォッチドッグ発振器周波数 対 動作電圧

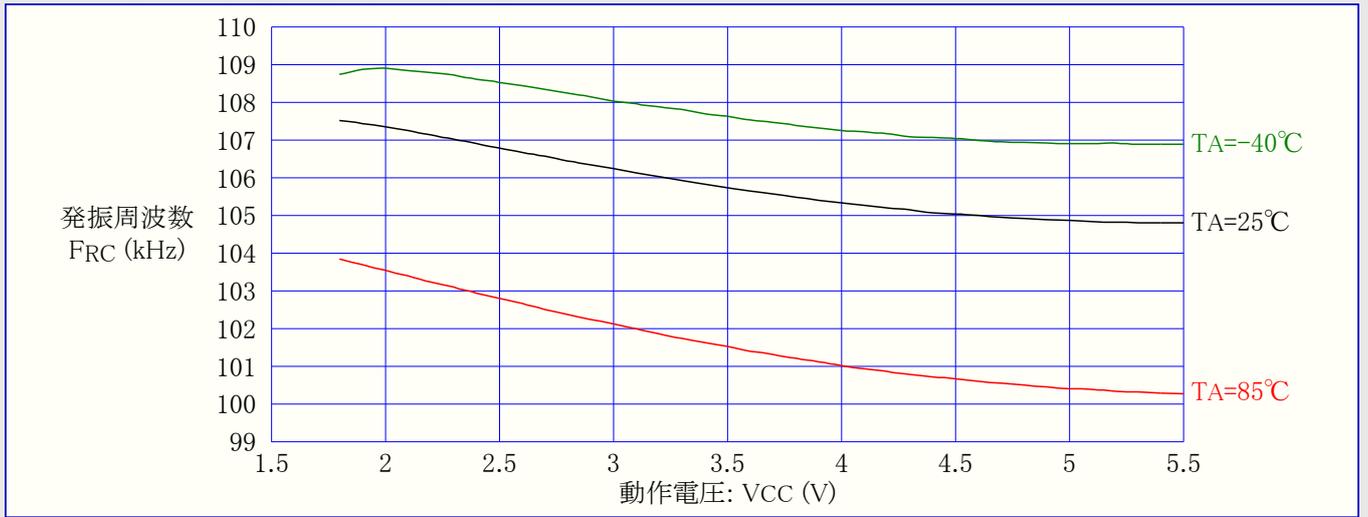


図21-39. ウォッチドッグ発振器周波数 対 動作温度

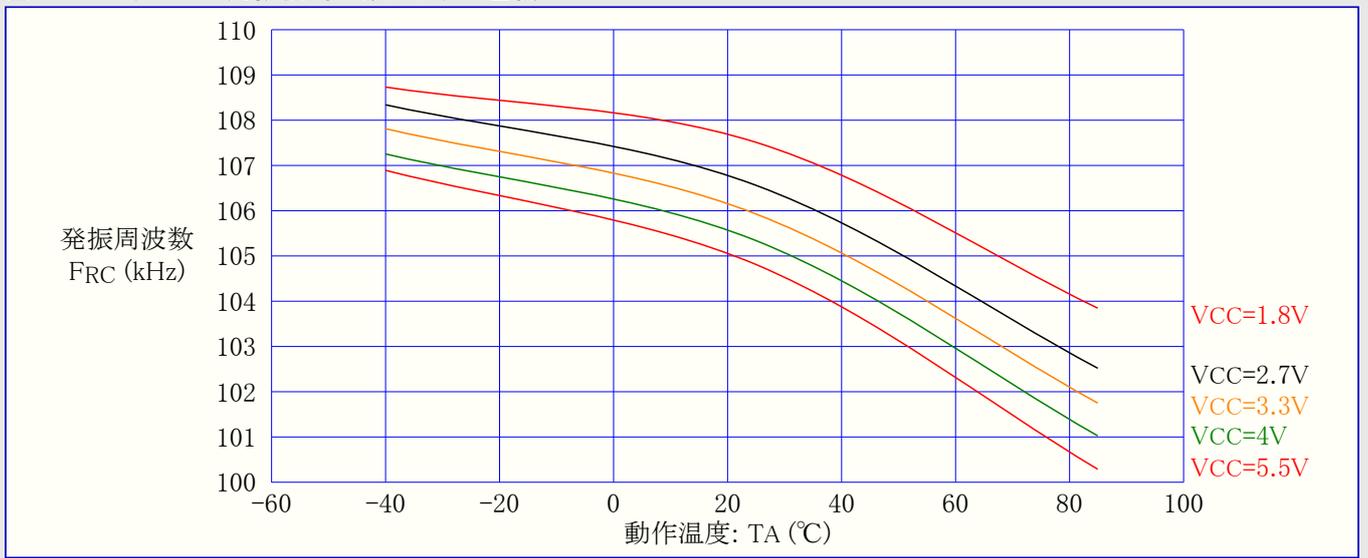


図21-40. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

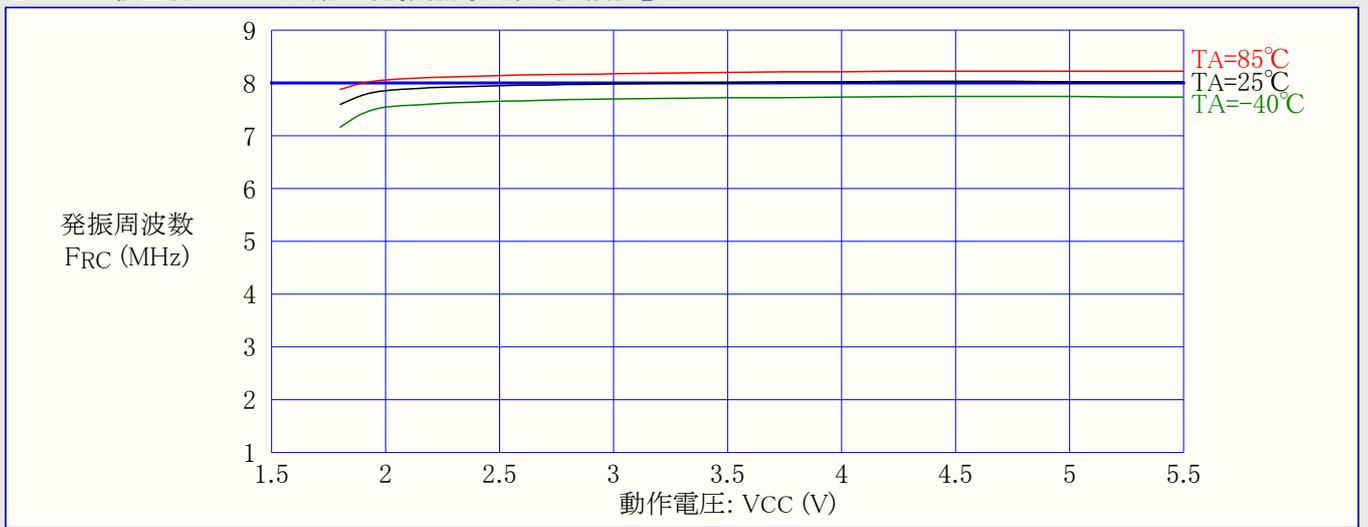


図21-41. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

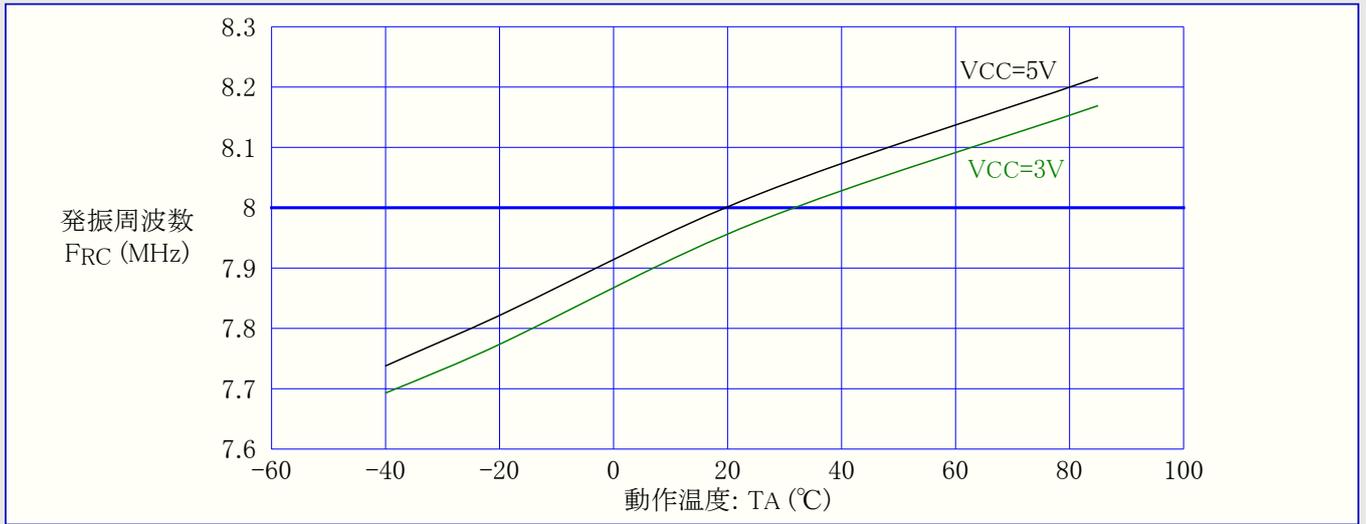
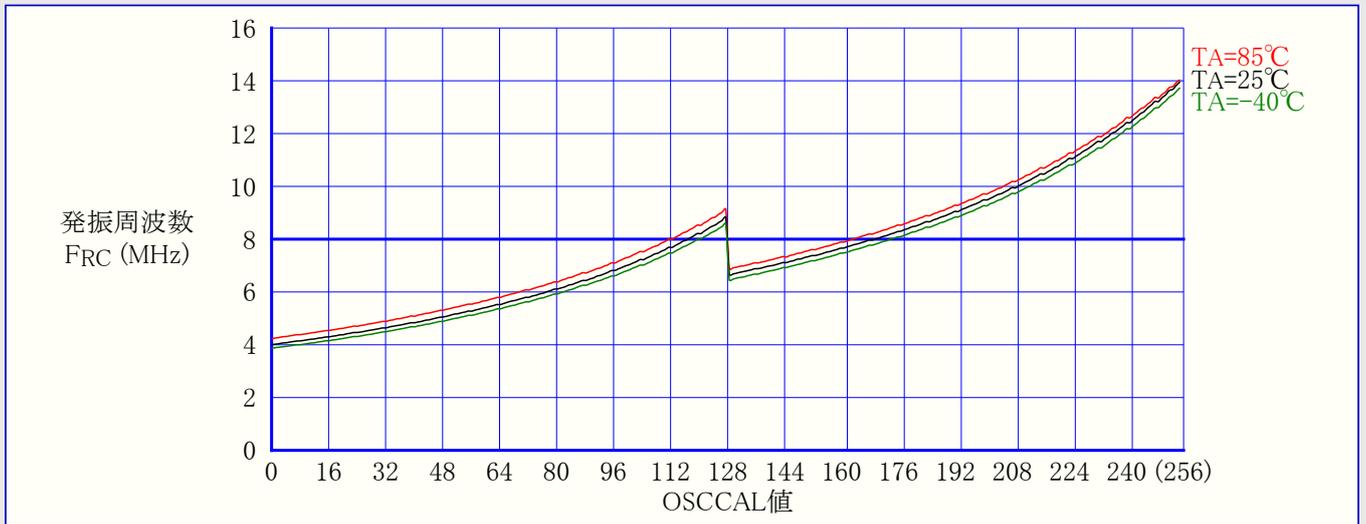


図21-42. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



## 21.11. 周辺機能部消費電流

図21-43. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

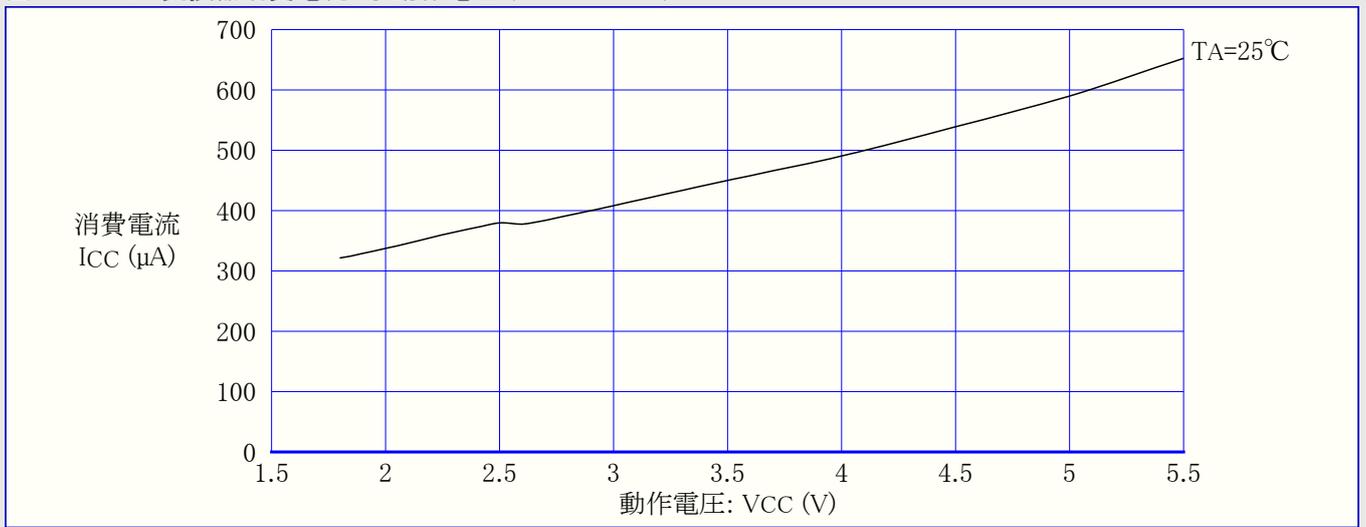


図21-44. 外部基準電圧(AREF)電流 対 動作電圧

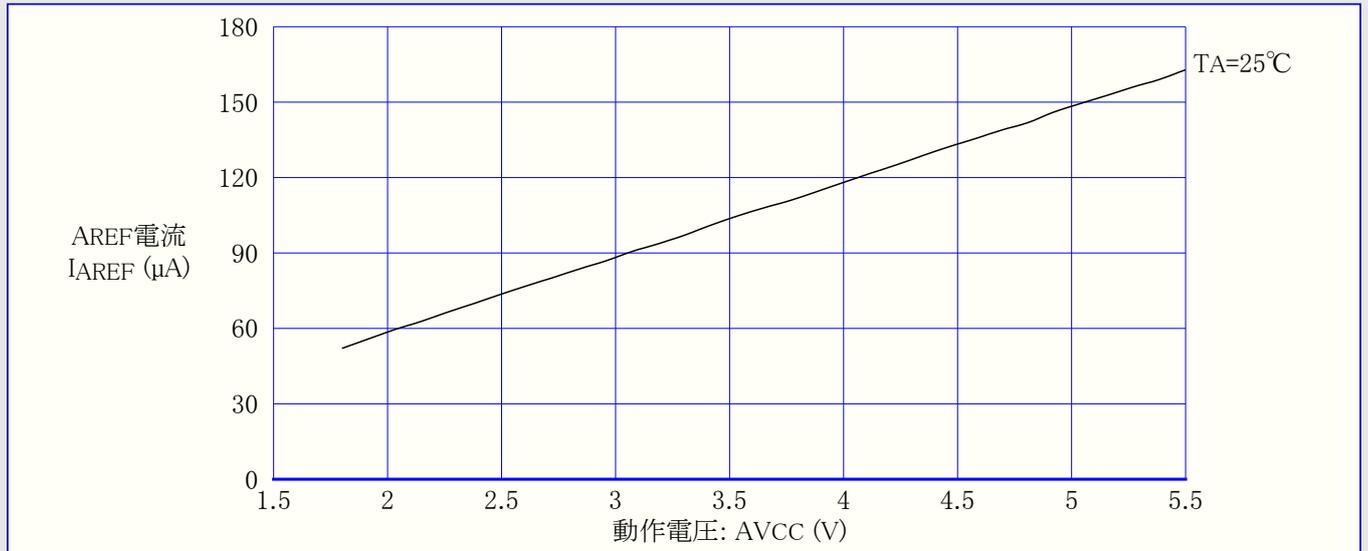


図21-45. アナログ比較器消費電流 対 動作電圧

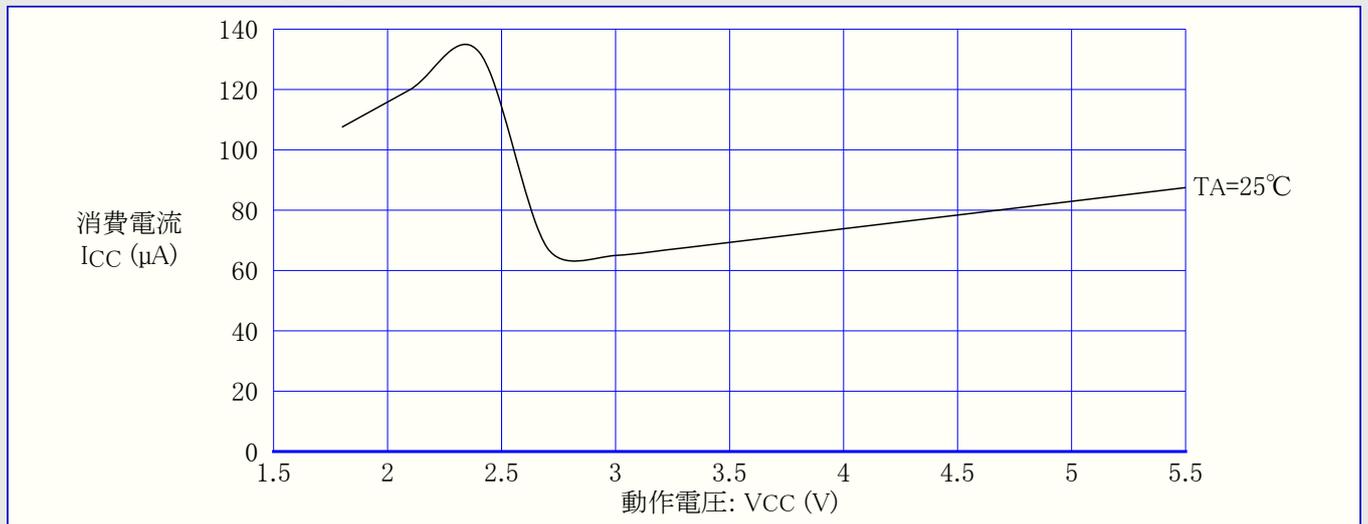


図21-46. プログラミング電流 対 動作電圧 (ATtiny24)

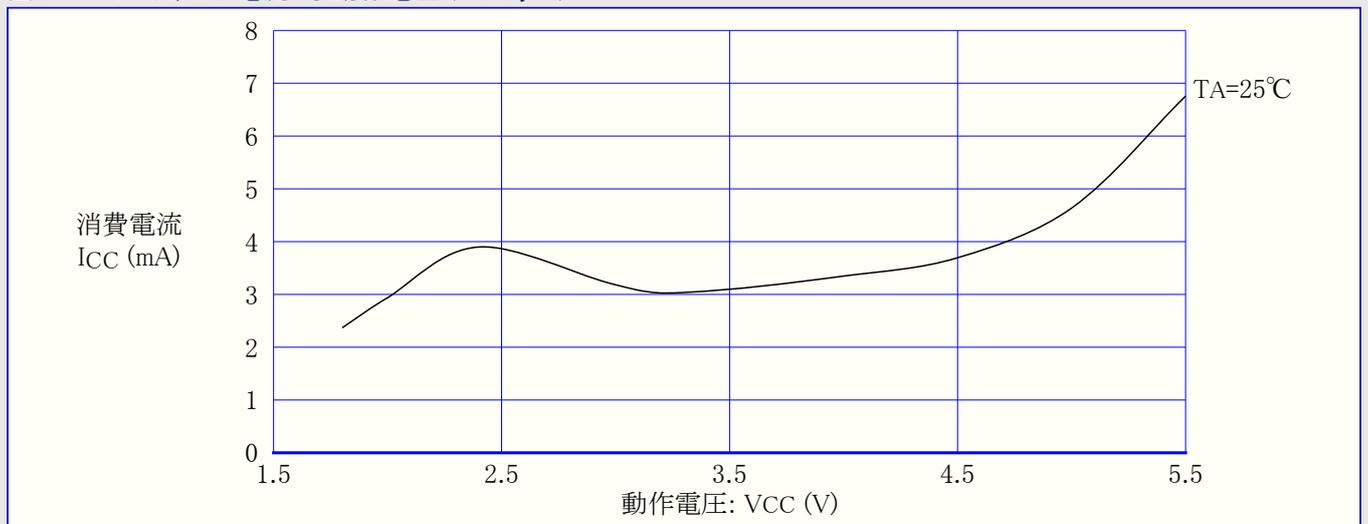


図21-47. フロタラミンク電流 対 動作電圧 (ATtiny44)

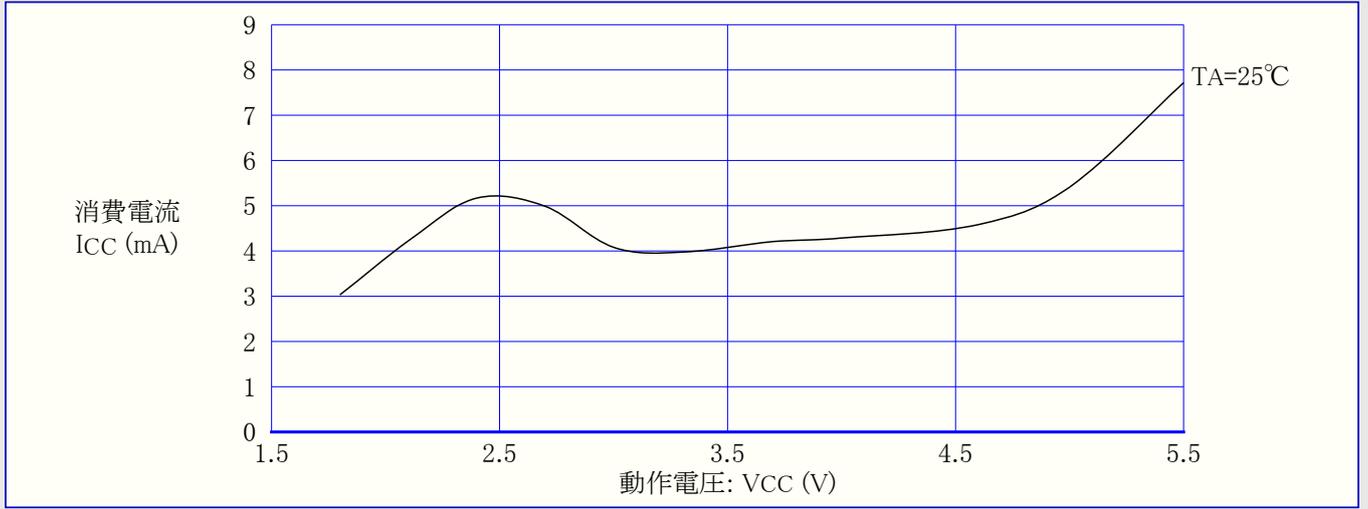


図21-48. フロタラミンク電流 対 動作電圧 (ATtiny84)

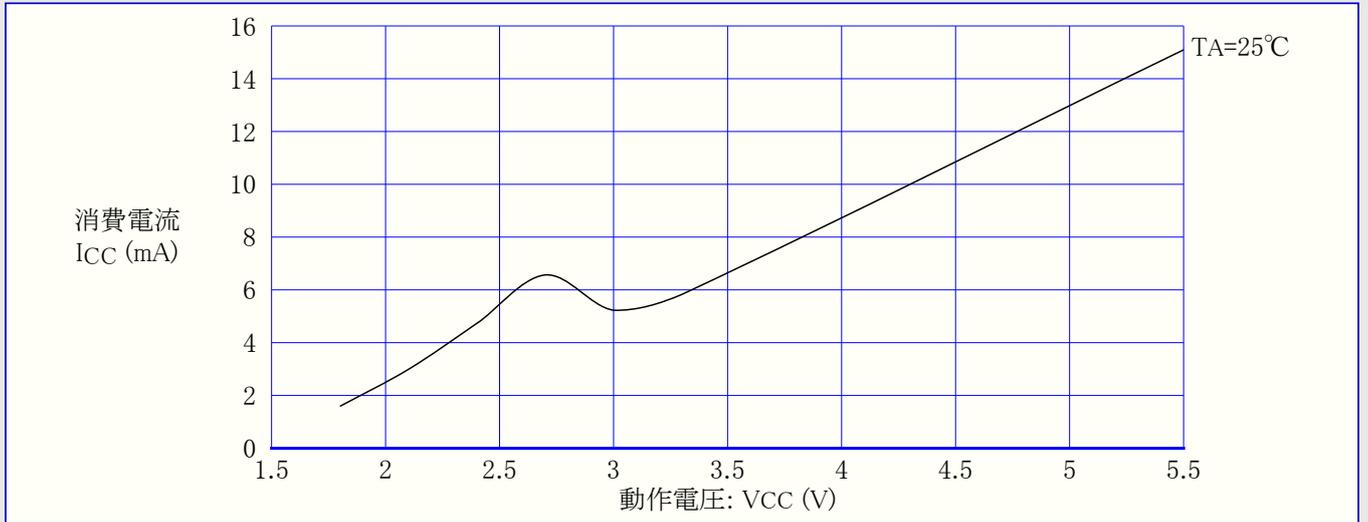


図21-49. 低電圧検出器(BOD)消費電流 対 動作電圧

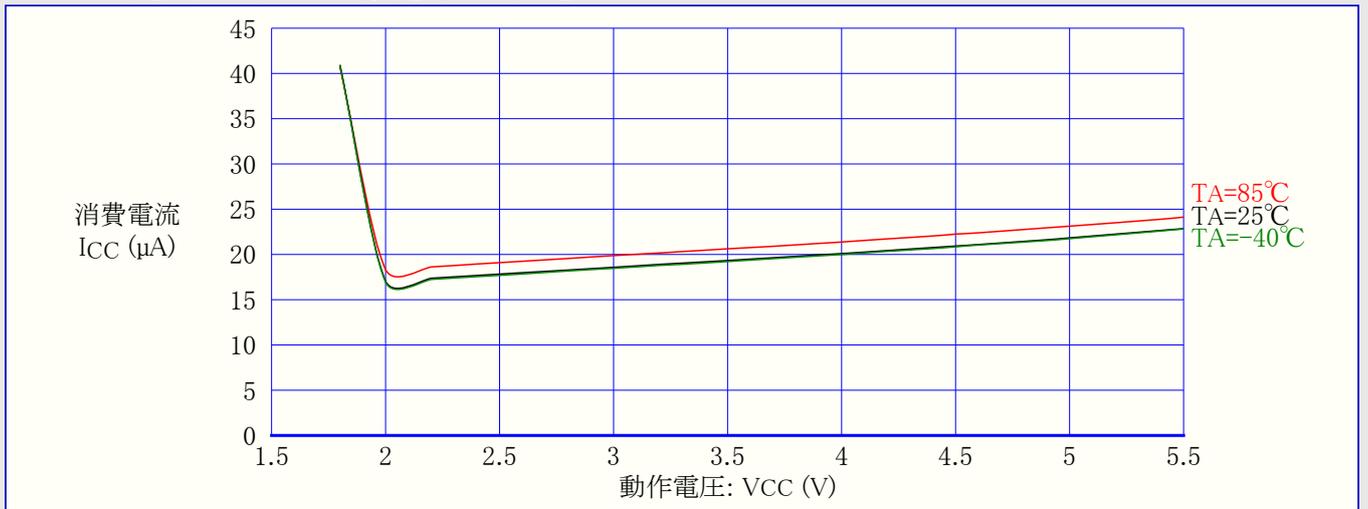
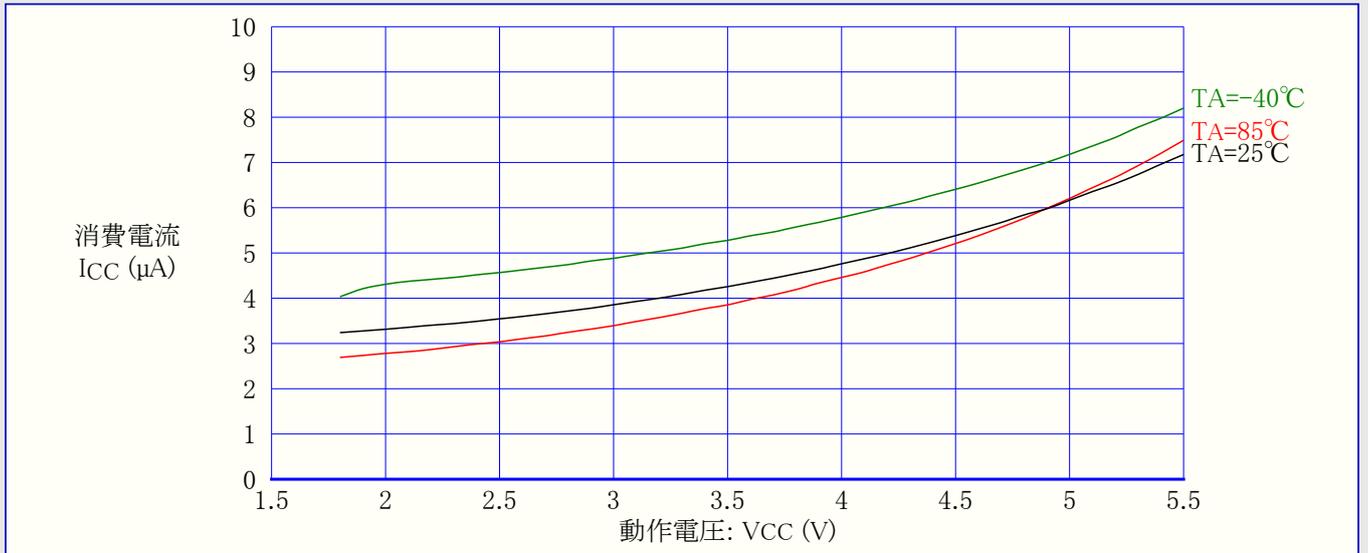


図21-50. ウォッチドッグ タイマ消費電流 対 動作電圧



21.12. リセット消費電流とリセット パルス幅

図21-51. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

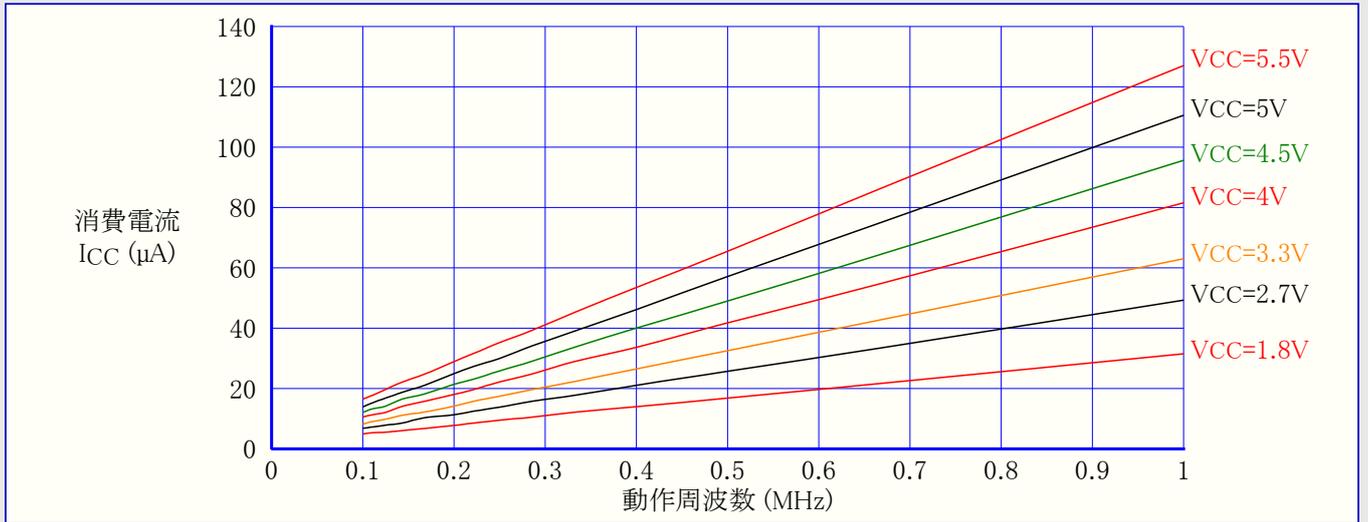


図21-52. リセット消費(供給)電流 対 周波数 (1MHz~20MHz、RESETプルアップ電流を除く)

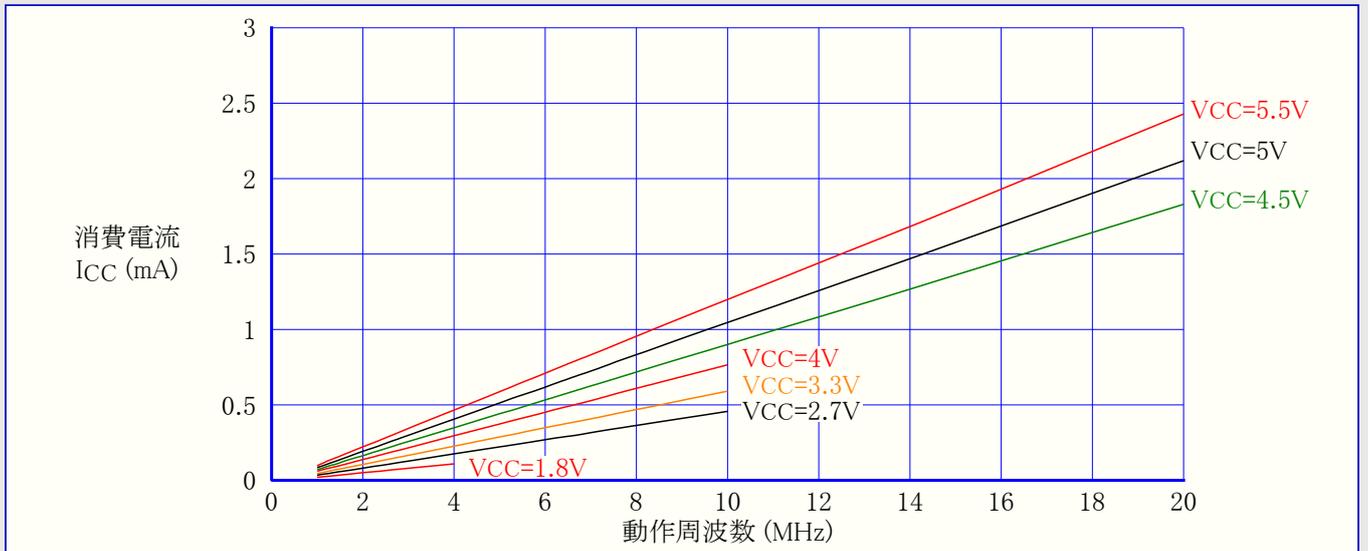
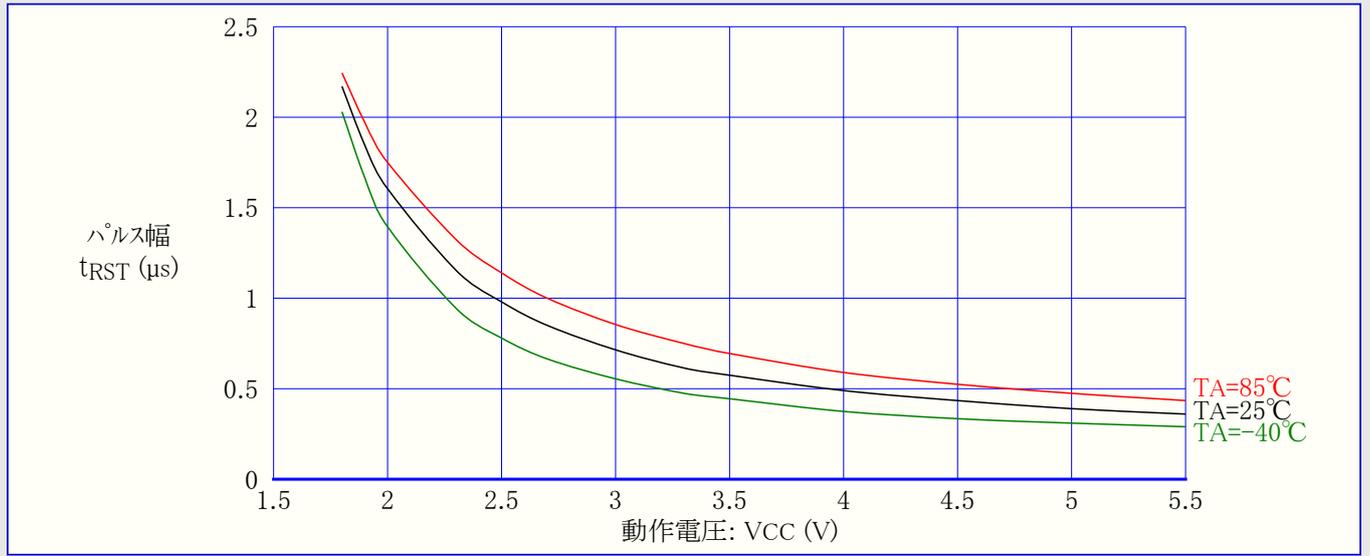


図21-53. 最小リセットパルス幅 対 動作電圧



22. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	6
\$3E (\$5E)	SPH	-	-	-	-	-	-	(SP9)	(SP8)	7
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	OCR0B	タイマ/カウンタ0 比較レジスタ				-	-	-	-	54
\$3B (\$5B)	GIMSK	-	INT0	PCIE1	PCIE0	-	-	-	-	32
\$3A (\$5A)	GIFR	-	INTF0	PCIF1	PCIF0	-	-	-	-	32
\$39 (\$59)	TIMSK0	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0	55
\$38 (\$58)	TIFR0	-	-	-	-	-	OCF0B	OCF0A	TOV0	55
\$37 (\$57)	SPMCSR	-	-	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	102
\$36 (\$56)	OCR0A	タイマ/カウンタ0 比較レジスタ				-	-	-	-	54
\$35 (\$55)	MCUCR	BODS	PUD	SE	SM1	SM0	BODSE	ISC01	ISC00	43,24,31
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	28
\$33 (\$53)	TCCR0B	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	53
\$32 (\$52)	TCNT0	タイマ/カウンタ0				-	-	-	-	54
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ				-	-	-	-	19
\$30 (\$50)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00	52
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10	70
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10	71
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト				-	-	-	-	72
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト				-	-	-	-	72
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較レジスタ上位バイト				-	-	-	-	73
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較レジスタ下位バイト				-	-	-	-	73
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較レジスタ上位バイト				-	-	-	-	73
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較レジスタ下位バイト				-	-	-	-	73
\$27 (\$47)	DWDR	デバッグWIRE データレジスタ				-	-	-	-	98
\$26 (\$46)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	19
\$25 (\$45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト				-	-	-	-	73
\$24 (\$44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト				-	-	-	-	73
\$23 (\$43)	GTCCR	TSM	-	-	-	-	-	-	PSR10	76
\$22 (\$42)	TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-	72
\$21 (\$41)	WDTCR	WDFR	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	29
\$20 (\$40)	PCMSK1	-	-	-	-	PCINT11	PCINT10	PCINT9	PCINT8	33
\$1F (\$3F)	EEARH	-	-	-	-	-	-	-	(EEAR8)	13
\$1E (\$3E)	EEARL	(EEAR7)	EEPROMアドレスレジスタ (EEAR6~0)				-	-	-	
\$1D (\$3D)	EEDR	EEPROMデータレジスタ				-	-	-	-	13
\$1C (\$3C)	EEDR	-	-	EEM1	EEM0	EERIE	EEMPE	EEPE	EERE	13
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	43
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	43
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	43
\$18 (\$38)	PORTB	-	-	-	-	PORTB3	PORTB2	PORTB1	PORTB0	43
\$17 (\$37)	DDRB	-	-	-	-	DDB3	DDB2	DDB1	DDB0	43
\$16 (\$36)	PINB	-	-	-	-	PINB3	PINB2	PINB1	PINB0	43
\$15 (\$35)	GPOR2	汎用I/Oレジスタ2				-	-	-	-	14
\$14 (\$34)	GPOR1	汎用I/Oレジスタ1				-	-	-	-	14
\$13 (\$33)	GPOR0	汎用I/Oレジスタ0				-	-	-	-	14
\$12 (\$32)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	33
\$11 (\$31)	予約	-	-	-	-	-	-	-	-	-
\$10 (\$30)	USIBR	USI 緩衝レジスタ				-	-	-	-	82
\$0F (\$2F)	USIDR	USI データレジスタ				-	-	-	-	82
\$0E (\$2E)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	82
\$0D (\$2D)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	83
\$0C (\$2C)	TIMSK1	-	-	ICIE1	-	-	OCIE1B	OCIE1A	TOIE1	74
\$0B (\$2B)	TIFR1	-	-	ICF1	-	-	OCF1B	OCF1A	TOV1	74
\$0A (\$2A)	予約	-	-	-	-	-	-	-	-	-
\$09 (\$29)	予約	-	-	-	-	-	-	-	-	-
\$08 (\$28)	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	85
\$07 (\$27)	ADMUX	REFS1	REFS0	MUX5	MUX4	MUX3	MUX2	MUX1	MUX0	94
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	95
\$05 (\$25)	ADCH	A/Dデータレジスタ 上位バイト (ADC9~8またはADC9~2)				-	-	-	-	97
\$04 (\$24)	ADCL	A/Dデータレジスタ 下位バイト (ADC7~0またはADC1~0)				-	-	-	-	
\$03 (\$23)	ADCSRB	BIN	ACME	-	ADLAR	-	ADTS2	ADTS1	ADTS0	86,96
\$02 (\$22)	予約	-	-	-	-	-	-	-	-	-
\$01 (\$21)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D/AIN1D	ADC1D/AIN0D	ADC0D	97,86
\$00 (\$20)	PRR	-	-	-	-	PRTIM1	PRTIM0	PRUSI	PRADC	24

注: ・ 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。  
 ・ アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用によって検査できます。  
 ・ いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに注意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。



## 23. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
<b>算術、論理演算命令</b>					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \text{\$FF} - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \text{\$00} - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\text{\$FF} - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\\$FF)	$Rd \leftarrow \text{\$FF}$	I,T,H,S,V,N,Z,C	1
<b>分岐命令</b>					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの $\geq$ で分岐	$C=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの $\geq$ で分岐	$(N \text{ EOR } V)=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数    P : I/Oレジスタ    Rd, Rr : 汎用レジスタ(R0~R31)    X, Y, Z : X, Y, Zレジスタ  
 b : ビット(0~7)    k : アドレス定数(7,12,16ビット)    q : 符号なし6ビット定数(変位)    s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
<b>データ移動命令</b>					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
<b>ビット関係命令</b>					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,T,I	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
<b>MCU制御命令</b>					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグWIRE機能専用	I,T,H,S,V,N,Z,C	N/A



## 24. 注文情報

デバイス	速度(MHz)	電源電圧	注文コード* (注1,2)	外囲器 (注3)	動作範囲
ATtiny24	10	1.8~5.5V	ATtiny24V-10PU	14P3	工業用 (-40°C~85°C)
			ATtiny24V-10SSU	14S1	
			ATtiny24V-10SSU	14S1	
			ATtiny24V-10MU	20M1	
	20	2.7~5.5V	ATtiny24-20PU	14P3	
			ATtiny24-20SSU	14S1	
			ATtiny24-20SSUR	14S1	
			ATtiny24-20MU	20M1	
ATtiny44	10	1.8~5.5V	ATtiny44V-10PU	14P3	工業用 (-40°C~85°C)
			ATtiny44V-10SSU	14S1	
			ATtiny44V-10SSUR	14S1	
			ATtiny44V-10MU	20M1	
	20	2.7~5.5V	ATtiny44-20PU	14P3	
			ATtiny44-20SSU	14S1	
			ATtiny44-20SSUR	14S1	
			ATtiny44-20MU	20M1	
ATtiny84	10	1.8~5.5V	ATtiny84V-10PU	14P3	工業用 (-40°C~85°C)
			ATtiny84V-10SSU	14S1	
			ATtiny84V-10SSUR	14S1	
			ATtiny84V-10MU	20M1	
	20	2.7~5.5V	ATtiny84-20PU	14P3	
			ATtiny84-20SSU	14S1	
			ATtiny84-20SSUR	14S1	
			ATtiny84-20MU	20M1	
			ATtiny84-20MUR	20M1	

**注1:** 符号識別子は次のとおりです。

- ・ U : 半光沢錫。
- ・ R : テープとリール。

**注2:** このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

**注3:** 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

### 外囲器形式

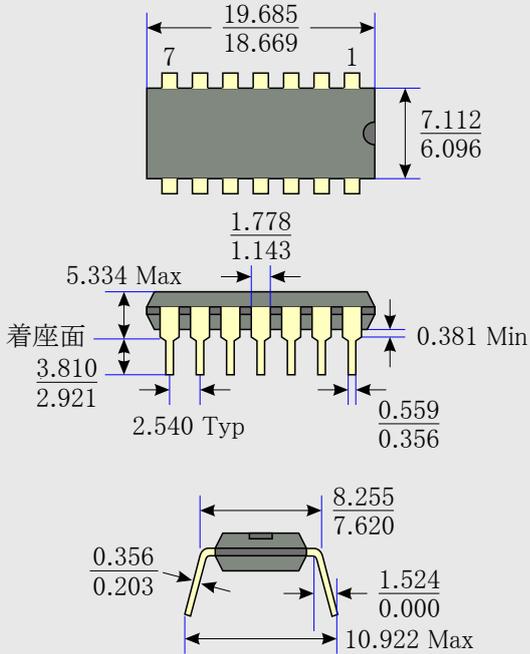
14P3	14ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
14S1	14リード 150mil幅 プラスティック ガルウイング 小型外形外囲器 (SOIC)
20M1	20パッド 4×4×0.8mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

## 25. 外圍器情報

### 25.1. 14P3

14ピン 300mil幅 プラスティック2列直線外圍器 (PDIP)

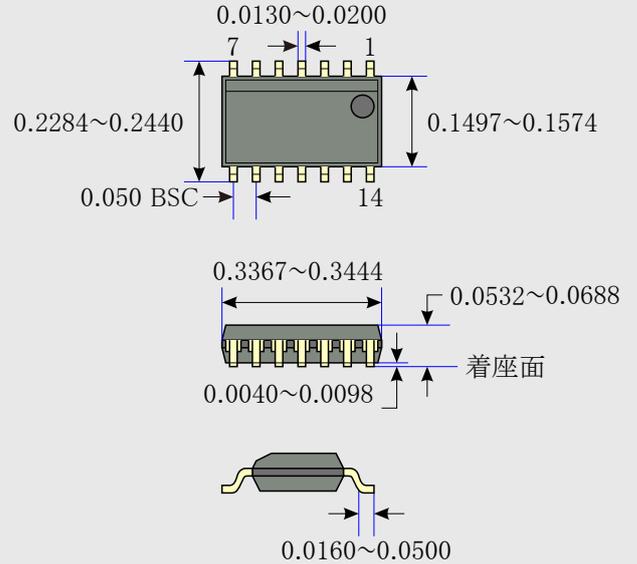
寸法: mm  
JEDEC規格 MS-001 AA



### 25.2. 14S1

14リード 小型外形外圍器 (SOIC)

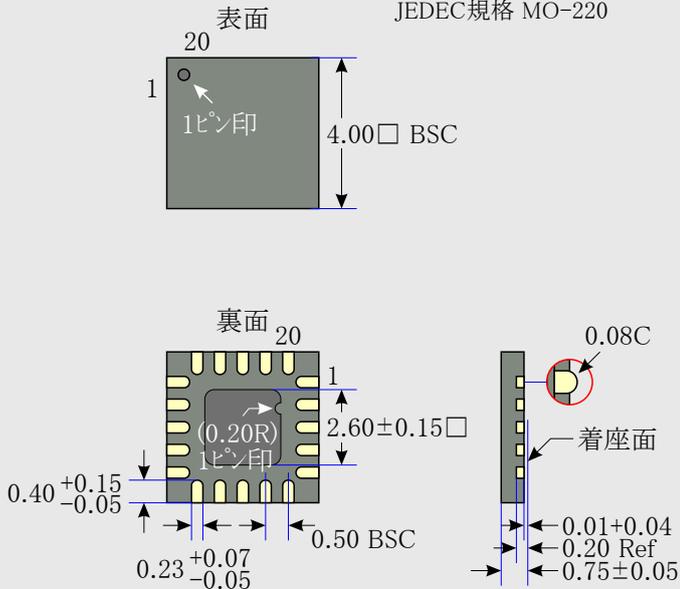
寸法: インチ  
JEDEC規格 MS-012



### 25.3. 20M1

20パッド 0.5mmピッチ 4方向平板リードなし/小リード 枠外圍器 (QFN/MLF)

寸法: mm  
JEDEC規格 MO-220



## 26. 障害情報

この章の改訂記号はATtiny24/44/84(V)デバイスの改訂版を参照してください。

### ATtiny24 改訂A

試供されていません。

### ATtiny24 改訂D,E

既知の障害はありません。

### ATtiny44 改訂B,C,D

既知の障害はありません。

### ATtiny84 改訂A,B

既知の障害はありません。

### ATtiny24 改訂B,C、ATtiny44 改訂A

- ・ 応用コードからのEEPROM読み出しが施錠ビット種別3で働かない 24-B
- ・ システム クロック900kHz以下時EEPROM読み込み不良の可能性 24-B/C, 44-A

#### 1. 応用コードからのEEPROM読み出しが施錠ビット種別3で働かない (24-B)

メモリ施錠ビットのLB2とLB1が動作種別3にプログラム(設定)されると、EEPROM読み出しが応用コードから動作しません。

##### 対策/対処

応用コードがEEPROMからの読み出しを必要とする時は施錠ビット保護動作種別3を設定しないでください。

#### 2. システム クロック900kHz以下時EEPROM読み込み不良の可能性 (24-B/C, 44-A)

900kHz以下のシステム クロック周波数でのEEPROMからの読み込みは不正データ読み込みに終わるかもしれません。

##### 対策/対処

900kHz以下のクロック周波数でのEEPROM使用を避けてください。

## 27. データシート改訂履歴

この章内の参照頁番号はこの資料が参照されていることに注意してください。この章内の改訂番号は資料の改訂番号を参照してください。

### 27.1. 改訂A – 2005年12月

1. 初版

### 27.2. 改訂B – 2006年5月

1. 18頁の「既定のクロック元」を更新
2. 23頁の「電力削減」を更新
3. 116頁の表20-4., 94頁の表16-3., 104頁の表19-5., 107頁の表19-12., 112頁の表19-16., 118頁の表20-8.を更新
4. 87頁で「A/D変換器」の特徴を更新
5. 88頁で「A/D変換器」の操作を更新
6. 93頁の「温度測定」を更新
7. 114頁で「電気的特性」のDC特性を更新
8. 120頁の「代表特性 (暫定)」を更新
9. 144頁の「障害情報」を更新

### 27.3. 改訂C – 2006年7月

1. 77頁の「多用途直列インターフェース (USI)」を更新
2. 81頁に「クロック速度の考察」を追加
3. 94頁の「A/D多重器選択レジスタ – ADMUX」内のビット記述を更新
4. 101頁の表18-1.に注を追加

### 27.4. 改訂D – 2006年8月

1. 16頁の「校正付き内蔵RC発振器」を更新
2. 19頁の「発振校正レジスタ – OSCCAL」を更新
3. 115頁に表20-2.を追加
4. 79頁で「SPI主装置操作例」のコード例を更新
5. 80頁で「SPI従装置操作例」のコード例を更新
6. 105頁の「識票バイト」を更新

### 27.5. 改訂E – 2006年9月

1. 全ての特性データを114頁の「電気的特性」へ移動
2. 全てのレジスタ記述は各節の終りで分離項に纏められました。
3. 25頁の「システム制御とリセット」を更新
4. 52頁の表11-3.と表11-6., 53頁の表11-8., 70頁の表12-3., 71頁の表12-5.を更新
5. 66頁の「高速PWM動作」を更新
6. 66頁の図12-7., 90頁の表16-1.を更新
7. 85頁の「アナログ比較器入力選択」を更新
8. 107頁の表19-12.に注を追加
9. 114頁の「電気的特性」を更新
10. 120頁の「代表特性 (暫定)」を更新

### 27.6. 改訂F – 2007年2月

1. 2頁の「ピン配置」、27頁の図8-7., 119頁の図20-6.を更新
2. 30頁の表9-1., 41頁の表10-7., 52頁の表11-2.,表11-3.,表11-5.,表11-6.,表11-7., 53頁の表11-8., 118頁の表20-8., 119頁の表20-11.を更新
3. 52頁の「タイマ/カウンタ0制御レジスタ – TCCR0A」での表参照を更新
4. 41頁の「ポートBの交換機能」内のポートB ビット0機能を更新
5. 28頁のアセンブリ言語コード例でレジスタ名WDTCRをWDTCSRへ更新
6. 74頁の「タイマ/カウンタ1割り込み要求フラグ レジスタ – TIFR1」のビット5名称を更新

7. 74頁の「タイマ/カウンタ1割り込み要求フラグ レジスタ – TIFR1」のビット5を更新
8. 79頁の「SPI主装置操作例」を更新
9. 109頁の「高電圧直列プログラミング動作への移行」内の手順⑤を更新

## 27.7. 改訂G – 2008年1月

### 1. 項内容更新:

- 1頁の「特徴」、2頁の「RESET」
- 3頁の「概要」
- 4頁の「諸注意」
- 7頁の「スタックポインタ – SPH,SPL(SP)」
- 11頁の「非分離バイトプログラミング」と「書き込み」
- 15頁の「クロック元」、18頁の「既定のクロック元」
- 21頁の「休止形態種別」、22頁の「ソフトウェア低電圧検出(BOD)禁止」
- 31頁の「外部割り込み」
- 82頁の「USI緩衝レジスタ – USIBR」と「USIデータレジスタ – USIDR」
- 86頁の「デジタル入力禁止レジスタ0 – DIDR0」
- 87頁の「特徴」、89頁の「前置分周と変換タイミング」、93頁の「温度測定」、94頁の「A/D変換多重器選択レジスタ – ADMUX」
- 98頁の「デバッグWIREの制限」
- 100頁の「ソフトウェアからの施錠ヒューズと識票データの読み込み」
- 105頁の「デバイス識票銘刻部」、109頁の「高電圧プログラミング動作への移行」
- 114頁の「絶対最大定格」と「DC特性」、115頁の「速度」と「クロック特性」の「校正付き内蔵RC発振器精度」、116頁の「システムトリセットの特性」
- 120頁の「周辺機能部供給電流」
- 144頁の「障害情報」

### 2. 項内のビット定義更新

- 24頁と31頁と43頁で「MCU制御レジスタ – MCUCR」
- 43頁の「ポートA入力レジスタ – PINA」
- 102頁の「SPM命令制御/状態レジスタ – SPMCSR」
- 139頁の「レジスタ要約」

### 3. 図更新

- 25頁の図8-1.、26頁の図8-6.、
- 47頁の図11-4.
- 87頁の図16-1.、90頁の図16-7.、91頁の図16-8.
- 109頁の図19-3.
- 119頁の図20-5.、図20-6.
- 120頁の図21-1.、121頁の図21-2.、図21-3.、図21-4.、122頁の図21-5.、図21-6.、図21-7.、123頁の図21-8.、図21-9.、図21-10.、124頁の図21-11.、図21-12.、131頁の図21-33.、図21-34.、133頁の図21-38.、図21-39.、図21-40.、134頁の図21-41.、図21-43.、135頁の図21-46.、136頁の図21-47.、図21-48.

### 4. 図追加

- 128頁の図21-24.、図21-25.、129頁の図21-26.、図21-27.

### 5. 表更新

- 15頁の表6-1.、16頁の表6-3.、表6-5.、17頁の表6-6.、18頁の表6-9.
- 21頁の表7-1.
- 29頁の表8-3.
- 30頁の表9-1.
- 40頁の表10-4.、表10-5.、41頁の表10-7.、42頁の表10-8.
- 71頁の表12-5.
- 90頁の表16-1.、93頁の表16-2.
- 114頁の表20-1.、115頁の表20-2.、116頁の表20-4.、表20-7.、118頁の表20-8.、119頁の表20-11.、表20-12.

### 6. 項内のコード例更新

- 12頁のEEPROM書き込み例
- 79頁のUSIでのSPI主装置操作例

### 7. 142頁の「注文情報」を更新

## 27.8. 改訂H – 2009年10月

1. 資料雛形更新、いくつかの章を再整理
2. 17頁の表6-8.で「低周波数クリスタル用発振器」を更新

### 3. 表更新

- ・ 21頁の「表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因」
- ・ 114頁の「表20-1. DC特性」
- ・ 139頁の「レジスタ要約」

### 4. レジスタ説明更新

- ・ 94頁の「A/D多重器選択レジスタ – ADMUX」

### 5. 101頁の「ファームウェアからのデバイス識別銘刻読み出し」で識別銘刻読み出し手段を更新

### 6. 項内容更新

- ・ 1061頁の手順1

### 7. 表追加

- ・ 117頁の「表20-8. アナログ比較器特性」

### 8. 図更新

- ・ 121頁の「図21-2. 活動動作消費電流 対 周波数 (1MHz～20MHz)」

### 9. 「閾値とヒステリシス」下の130頁で図21-30と図21-33を更新

### 10. ATtiny24/44デバイスの状況を「新規設計に非推奨、ATtiny24A/44Aを使ってください」に変更

## 27.9. 改訂I – 2010年6月

1. 表紙から“暫定”を削除
2. 17頁の「表6-8. 低周波数クリスタル用発振器内部容量」の前に説明文を追加
3. 112頁の「表19-16. 高電圧直列プログラミング命令一式」の注を更新
4. 114頁の「20. 電氣的特性」でいくつかの表の注を更新

## 27.10. 改訂J – 2010年8月

1. 18頁の「6.4. クロック出力緩衝部 (外部クロック出力)」を更新、CLKOをCKOUTに変更
2. 表紙から「新規設計に非推奨」を削除

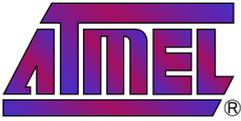
## 27.11. 改訂K – 2010年10月

1. 94頁の表16-4. で内部1.1V電圧基準に対する注を追加
2. 142頁の「注文情報」にテープとリールを追加
3. 最終頁を更新

# 目次

特徴	1	11.7. 動作種別	48
1. ピン配置	2	11.8. タイマ/カウンタのタイミング	51
1.1. ピン説明	2	11.9. 8ビット タイマ/カウンタ0用レジスタ	52
2. 概要	3	12. 16ビット タイマ/カウンタ1	56
3. 諸注意	4	12.1. 特徴	56
3.1. 資料	4	12.2. 概要	56
3.2. コード例	4	12.3. タイマ/カウンタのクロック	58
3.3. データ保持力	4	12.4. 計数器部	58
3.4. お断り	4	12.5. 捕獲入力部	59
4. CPU コア	5	12.6. 比較出力部	60
4.1. 構造概要	5	12.7. 比較一致出力部	62
4.2. ALU (Arithmetic Logic Unit)	5	12.8. 動作種別	63
4.3. ステータス レジスタ	6	12.9. タイマ/カウンタのタイミング	67
4.4. 汎用レジスタ ファイル	7	12.10. 16ビット レジスタのアクセス	68
4.5. スタック ポインタ	7	12.11. 16ビット タイマ/カウンタ1用レジスタ	70
4.6. 命令実行タイミング	8	13. タイマ/カウンタの前置分周器	75
4.7. リセットと割り込みの扱い	8	13.1. 前置分周器リセット	75
5. メモリ	10	13.2. 外部クロック元	75
5.1. 実装書き換え可能なプログラム用フラッシュ メモリ	10	13.3. タイマ/カウンタ前置分周器用レジスタ	76
5.2. データ用SRAMメモリ	10	14. 多用途直列インターフェース (USI)	77
5.3. データ用EEPROMメモリ	11	14.1. 特徴	77
5.4. I/Oメモリ (レジスタ)	13	14.2. 概要	77
5.5. メモリ関係レジスタ	13	14.3. 機能説明	78
6. クロック体系	15	14.4. USIでの代替使用	81
6.1. クロック副系統	15	14.5. USI用レジスタ	82
6.2. クロック元	15	15. アナログ 比較器	85
6.3. システム クロック前置分周器	18	15.1. アナログ 比較器入力選択	85
6.4. システム クロック出力緩衝部	18	15.2. アナログ 比較器用レジスタ	85
6.5. クロック関係レジスタ	19	16. A/D変換器	87
7. 電力管理と休止形態	21	16.1. 特徴	87
7.1. 休止形態種別	21	16.2. 概要	87
7.2. ソフトウェア低電圧検出(BOD)禁止	22	16.3. 操作	88
7.3. 電力削減(電力削減レジスタ)	23	16.4. 変換の開始	88
7.4. 消費電力の最小化	23	16.5. 前置分周と変換タイミング	89
7.5. 電力管理用レジスタ	24	16.6. チャネル変更と基準電圧選択	90
8. システム制御とリセット	25	16.7. 雑音低減機能	91
8.1. AVRのリセット	25	16.8. アナログ入力回路	91
8.2. リセット元	25	16.9. アナログ雑音低減技術	91
8.3. 内部基準電圧	27	16.10. A/D変換の精度定義	92
8.4. ウォッチドッグ タイマ	27	16.11. A/D変換の結果	92
8.5. リセット関係レジスタ	28	16.12. 温度測定	93
9. 割り込み	30	16.13. A/D変換用レジスタ	94
9.1. 割り込みベクタ	30	17. デバッグWIRE内蔵デバッグ機能	98
9.2. 外部割り込み	31	17.1. 特徴	98
9.3. 割り込み用レジスタ	31	17.2. 概要	98
10. 入出力ポート	34	17.3. 物理インターフェース	98
10.1. 標準デジタル入出力としてのポート	34	17.4. ソフトウェア中断点	98
10.2. 交換ポート機能	37	17.5. デバッグWIREの制限	98
10.3. I/Oポート用レジスタ	43	17.6. デバッグWIRE用レジスタ	98
11. 8ビット タイマ/カウンタ0 (PWM)	44	18. フラッシュの自己プログラミング	99
11.1. 特徴	44	18.1. SPM命令によるページ消去の実行	99
11.2. 概要	44	18.2. ページ一時緩衝部設定(ページ設定)	99
11.3. クロック元	45	18.3. ページ書き込みの実行	99
11.4. 計数器部	45	18.4. 自己プログラミングでのフラッシュ アドレス指定	99
11.5. 比較出力部	46	18.5. SPM書き込み時のEEPROM書き込み妨害	100
11.6. 比較一致出力部	47	18.6. ソフトウェアからの施錠、ヒューズと識票読み出し	100
		18.7. フラッシュ メモリ データ化けの防止	101

18.8.	SPM使用時のフラッシュメモリ書き込み時間	101
18.9.	自己プログラミング用レジスタ	102
19.	メモリプログラミング	103
19.1.	プログラムメモリとデータメモリ用施錠ビット	103
19.2.	ヒューズビット	104
19.3.	デバイス識別票銘刻部	105
19.4.	ページ容量	105
19.5.	低電圧直列プログラミング	106
19.6.	高電圧直列プログラミング	109
19.7.	高電圧直列プログラミング手順	109
20.	電気的特性	114
20.1.	絶対最大定格	114
20.2.	DC特性	114
20.3.	速度	115
20.4.	クロック特性	115
20.5.	システムとリセットの特性	116
20.6.	アナログ比較器特性	117
20.7.	A/D変換器特性	118
20.8.	低電圧直列プログラミング特性	119
20.9.	高電圧直列プログラミング特性	119
21.	代表特性	120
21.1.	周辺機能部供給電流	120
21.2.	活動動作消費電流	120
21.3.	アイドル動作消費電流	122
21.4.	パワーダウン動作消費電流	124
21.5.	スタンバイ動作消費電流	124
21.6.	ピンプルアップ	125
21.7.	ピン駆動能力	127
21.8.	ピン閾値とヒステリシス	129
21.9.	低電圧検出器(BOD)閾値と アナログ比較器オフセット	132
21.10.	内部発振器周波数	133
21.11.	周辺機能部消費電流	134
21.12.	リセット消費電流とリセットパルス幅	137
22.	レジスタ要約	139
23.	命令要約	140
24.	注文情報	142
25.	外圍器情報	143
26.	障害情報	144
27.	データシート改訂履歴	145



## 本社

### *Atmel Corporation*

2325 Orchard Parkway  
San Jose, CA 95131  
USA  
TEL 1(408) 441-0311  
FAX 1(408) 487-2600

## 国外営業拠点

### *Atmel Asia Limited*

Unit 1-5 & 16, 19/F  
BEA Tower, Millennium City 5  
418 Kwun Tong Road  
Kwun Tong, Kowloon  
HONG KONG  
TEL (852) 2245-6100  
FAX (852) 2722-1369

### *Atmel Munich GmbH*

Business Campus  
Parking 4  
D-85748 Garching b. Munich  
GERMANY  
TEL (+49) 89-31970-0  
FAX (+49) 89-3194621

### *Atmel Japan*

141-0032 東京都品川区  
大崎1-6-4  
新大崎勸業ビル 16F  
アトメル ジャパン株式会社  
TEL (+81)(3)-6417-0300  
FAX (+81)(3)-6417-0370

## 製品窓口

### ウェブサイト

[www.atmel.com](http://www.atmel.com)

### 技術支援

[avr@atmel.com](mailto:avr@atmel.com)

### 販売窓口

[www.atmel.com/contacts](http://www.atmel.com/contacts)

### 文献請求

[www.atmel.com/literature](http://www.atmel.com/literature)

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益の損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© Atmel Corporation 2010. 不許複製 Atmel®、ロゴとそれらの組み合わせ、AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

## © HERO 2022.

本データシートはAtmelのATtiny24/44/84英語版データシート(改訂8006K-10/10)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。