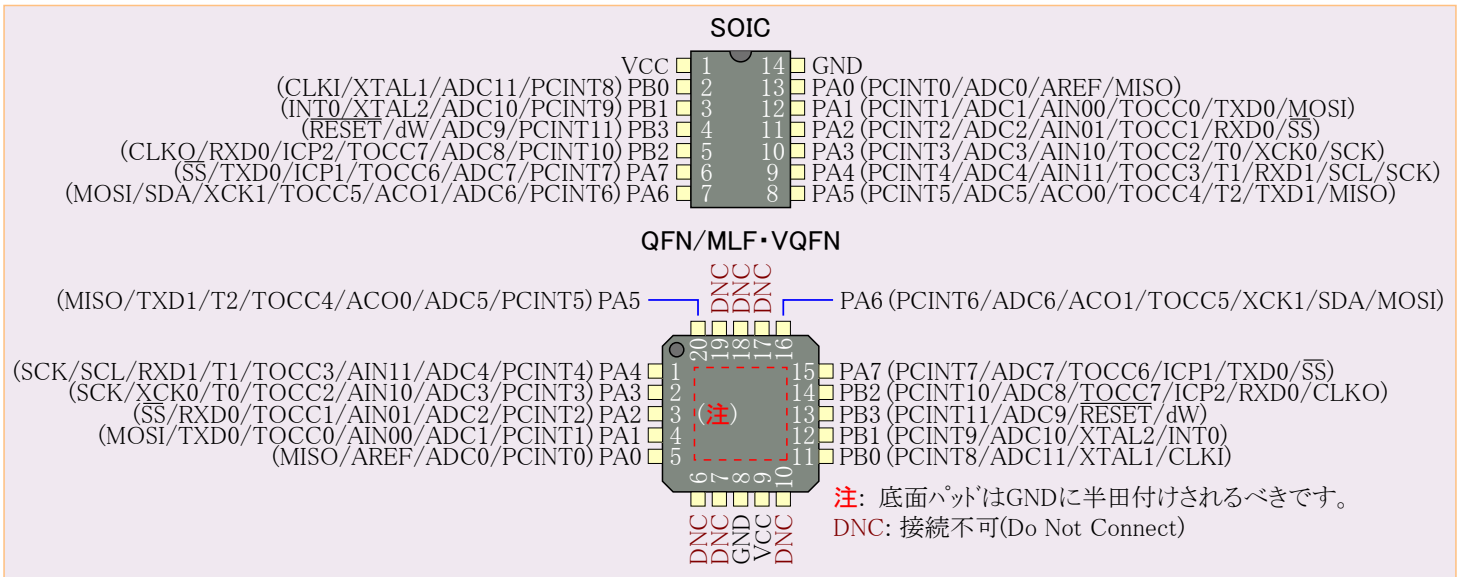


特徴

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な123命令(多くは1周期実行)
 - 32個の1バイト長汎用レジスタ
 - 完全なスタティック動作
 - 16MHz時、16MIPSに達する高速動作
- 不揮発性プログラム用メモリとデータ用メモリ
 - 実装書き換え可能な4/8Kバイト(2/4K語)フラッシュ メモリ内蔵
 - 10,000回の書き換え耐久性
 - 実装書き換え可能な256/512バイトのEEPROM
 - 100,000回の書き換え耐久性
 - 256/512バイトの内蔵SRAM
 - 自己プログラミング フラッシュとEEPROMデータ保護用の設定可能な施錠
- 内蔵周辺機能
 - 各々2つのPWM出力を持つ、1つの8ビットと2つの16ビットのタイマ/カウンタ
 - 設定可能な超低電力ウォッチドッグ タイマ
 - 10ビット A/D変換器
 - 外部12と内部5つのシングル エントリ入力チャネル
 - 設定可能な利得(×1, ×20, ×100)付き、46種の差動ADCチャネル対
 - チップ上の2つのアナログ比較器
 - 開始フレーム検出を持つ2つの全2重USART
 - 従装置I²C直列インターフェース
- 特殊マイクロ コントローラ機能
 - アイドル、A/D変換雑音低減、スタンバイ、パワーダウンの低電力動作
 - 強化した電源ONリセット回路
 - 供給電圧採取での設定可能な低電圧検出器(BOD)回路
 - 内部及び外部の割り込み
 - 12ピンでのピン変化割り込み
 - 温度校正任意選択を持つ校正付き8MHz発振器
 - 校正付き32kHz超低電力発振器
 - 2つの入出力ピンでの高電流駆動能力
- I/Oと外圍器
 - 14リードSOIC、20パッドMLF/QFN、20パッドVQFN
 - 12ビットの設定変更可能なI/O線
- 動作速度
 - 0~2MHz/1.7~5.5V
 - 0~4MHz/1.8~5.5V
 - 0~10MHz/2.7~5.5V
 - 0~16MHz/4.5~5.5V
- 低消費電力 (1MHz, 1.8V)
 - 0.2mA (活動動作)
 - 30µA (アイドル動作)
 - 1.3µA (パワーダウン動作、WDT許可)
 - 150nA (パワーダウン動作、WDT禁止)

1. ピン配置



1.1. ピン概要

1.1.1. VCC

電源ピン。

1.1.2. GND

接地ピン。

1.1.3. RESET

リセット入力。RESETピンが禁止されていないならば、例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は165頁の表25-5.で与えられます。より短いパルスはリセットの生成が保証されません。

RESETピンは((駆動能力の)弱い)入出力ピンとしても使えます。

1.1.4. PA7～PA0 (ポートA)

これは(ビット単位で選択される)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。出力緩衝部は高吸い込み能力を持つポートPA7とPA5を除いて標準的な吐き出し/吸い込み能力を持ちます。ポート駆動能力については163頁の表25-1.をご覧ください。

入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートピンはHi-Zにされます。

このポートはA/D変換器、アナログ比較器、ピン変化割り込み用の交換機能を持ちます。41頁の「交換ピン機能」をご覧ください。

1.1.5. PB3～PB0 (ポートB)

これは(ビット単位で選択される)内蔵プルアップ抵抗付きの4ビット双方向入出力ポートです。RESET能力を持つPB3を除き、標準的な吐き出し/吸い込み能力を持ちます。ポート駆動能力については163頁の表25-1.をご覧ください。

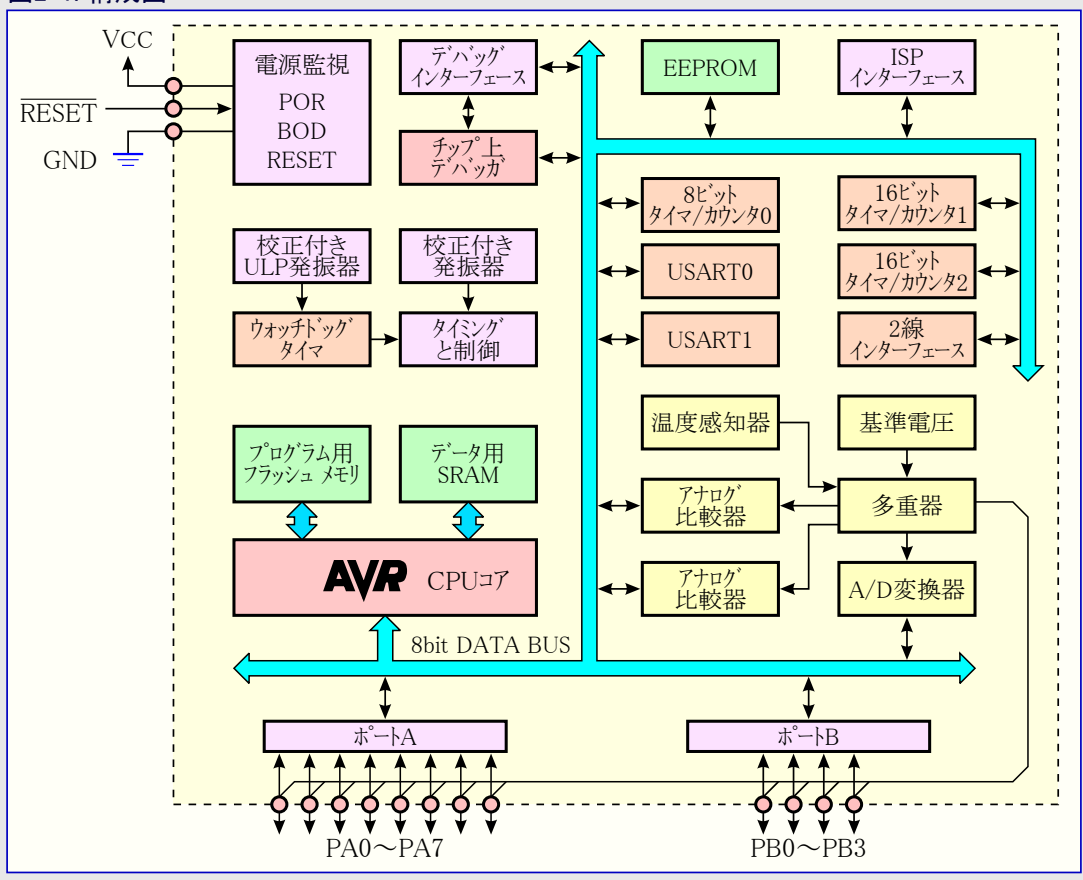
入力するとき、プルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートピンはHi-Zにされます。

このポートはA/D変換器やピン変化割り込み用の交換機能を持ちます。41頁の「交換ピン機能」をご覧ください。

2. 概要

ATtiny441/841はAVR強化RISC構造を基にした低消費CMOS 8ビット マイクロ コントローラです。1周期での強力な命令の実行によってATtiny441/841はMHzあたり1MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

図2-1. 構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、1クロック周期で実行され、単一命令でアクセスされるべき2つの個別レジスタを許します。結果の構造は簡潔でコード効率的な一方で、現状のCISC型マイクロコントローラに対して最大10倍の単位処理量を達成します。

ATtiny441/841は以下の機能を提供します。

- 4/8Kバイトの実装書き込み可能なフラッシュメモリ
- 256/512バイトのSRAMデータメモリ
- 256/512バイトのEEPROMデータメモリ
- 12本の汎用入出力線
- 32個の汎用作業レジスタ
- 2つのPWMチャネルを持つ1つの8ビットタイマ/カウンタ
- 2つのPWMチャネルを持つ2つの16ビットタイマ/カウンタ
- 内部及び外部の割り込み
- 内部5つと12個の外部チャネルを持つ1つの10ビットA/D変換器
- 内蔵発振器を持つ設定可能な1つの超低電力ウォッチドッグタイマ
- 開始フレーム検出を持つ設定可能な2つのUSART
- 従装置2線インターフェース(TWI)
- 主/従装置直列周辺インターフェース(SPI)
- 校正付き8MHz発振器
- 校正付き32kHz超低電力発振器
- ソフトウェア選択可能な4つの節電動作形態

デバイスは節電用の以下の動作形態を含みます。

- **アイドル動作**：CPUを停止し、一方タイマ/カウンタ、A/D変換器、アナログ比較器、SPI、TWI、割り込み機構に機能の継続を許します。
- **A/D変換雑音低減動作**：A/D変換器を除く全I/O部とCPUを停止することによってA/D変換中の切り替え雑音を最小にします。
- **パワーダウン動作**：レジスタがそれらの内容を保ち、以降の割り込みまたはハードウェアリセットまで、全チップ機能が禁止されます。
- **スタンバイ動作**：発振器が走行する一方でデバイスの残りが休止し、低消費電力と組み合わせた非常に速い起動を許します。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されます。プログラム用フラッシュメモリは通常の不揮発性メモリ書き込み器による直列インターフェースを通して、またはAVRコアで走行するチップ上のブートコードによって実装書き換えすることができます。

ATtiny441/841 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

3. 一般情報

3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの説明は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

3.2. コード例

この資料はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立って、デバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、**IN**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SBI**命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。これは代表的に**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令を意味します。全てのAVRデバイスが拡張I/O領域を含むとは限らないことに注意してください。

3.3. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

3.4. お断り

本データシートに含まれる代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性に基きます。

4. CPU コア

本項はAVRコア構造を一般的に説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.1. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの16個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行されてその結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX、Y、Zレジスタで、本項内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するために、ステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定する能力があります。殆どのAVR命令は単一16ビット語(ワード)形式ですが、32ビット幅の命令も存在します。実際の命令1式はいくつかのデバイスが(全)命令1式の部分だけを実装するように変わります。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量はSRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される4つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリはデータ空間位置\$0000～\$003Fとしてアクセスできます。加えて、ATtiny441/841はST/STS/STDとLD/LDS/LDDの命令だけを使うことができるデータ空間内の\$0060～\$00FFの拡張I/O空間を持ちます。

4.2. ALU (Arithmetic Logic Unit)

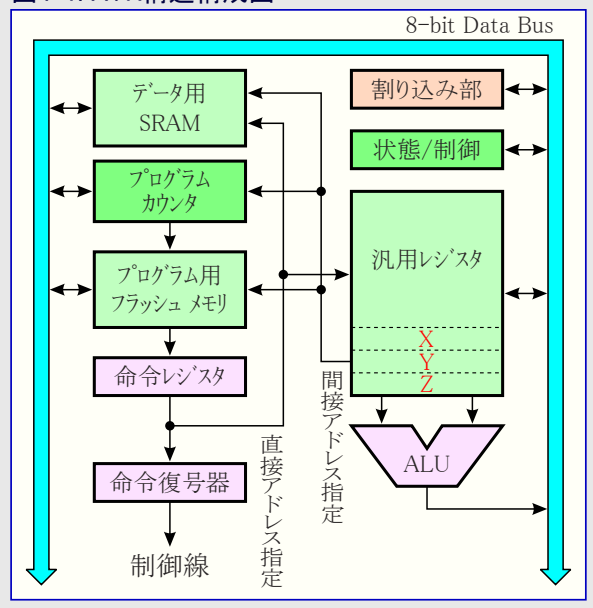
高性能なAVRのALUは32個全ての汎用レジスタに直接接続され動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。より多くの情報については外部資料の「AVR命令一式」と241頁の「命令要約」章をご覧ください。

4.3. ステータスレジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。より多くの情報については外部資料の「AVR命令一式」と241頁の「命令要約」章をご覧ください。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)が自動的に行われません。これはソフトウェアによって扱われなければなりません。

図4-1. AVR構造構成図



4.4. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくてもX,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. 汎用レジスタ構成図

7	0	アドレス	特殊機能
R0		\$00	
R1		\$01	
R2		\$02	
⋮			
R13		\$0D	
R14		\$0E	
R15		\$0F	
R16		\$10	
R17		\$11	
⋮			
R26		\$1A	Xレジスタ
R27		\$1B	
R28		\$1C	Yレジスタ
R29		\$1D	
R30		\$1E	Zレジスタ
R31		\$1F	

4.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式参考書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
	15	YH (上位)		YL (下位)	0
Y レジスタ	7	R29 (\$1D)	0	7	R28 (\$1C)
	15	ZH (上位)		ZL (下位)	0
Z レジスタ	7	R31 (\$1F)	0	7	R30 (\$1E)

4.5. スタック ポインタ

スタックは主に一時データ、局所変数、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタ(SPHとSPL)レジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長することに注意してください。これはPUSH命令がスタック ポインタ値を減少し、POP命令が増加することを意味します。

スタック ポインタはサブルーチンや割り込みのスタックが置かれるデータSRAMのスタック領域を指し示します。このスタック空間はどのサブルーチン呼び出しの実行や割り込みの許可にも先立ってプログラムによって定義されなければなりません。

このポインタはPUSH命令でデータがスタックに格納されると-1され、POP命令でデータがスタックから引き出されると+1されます。それはサブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタック ポインタはI/O空間内の2つの8ビットレジスタとして実装されます。スタック ポインタの幅と実装されるビット数はデバイス依存です。いくつかのAVRデバイスでは全てのデータ メモリがSPLだけを使ってアドレス指定することができます。この場合、SPHレジスタは実装されません。

スタック ポインタはSRAMの最低アドレスである最低値、I/Oレジスタ領域の上の位置に設定されなければなりません。11頁の表5-2.をご覧ください。

4.6. 命令実行タイミング

本項は命令実行の一般的なアクセス タイミング の概念を記述します。AVR CPUはチップ(デバイス)用に選択したクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

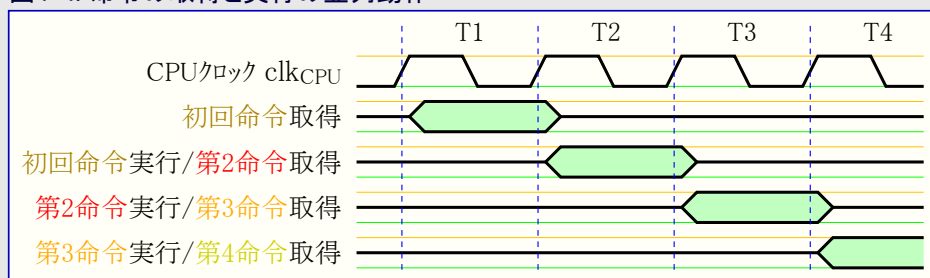
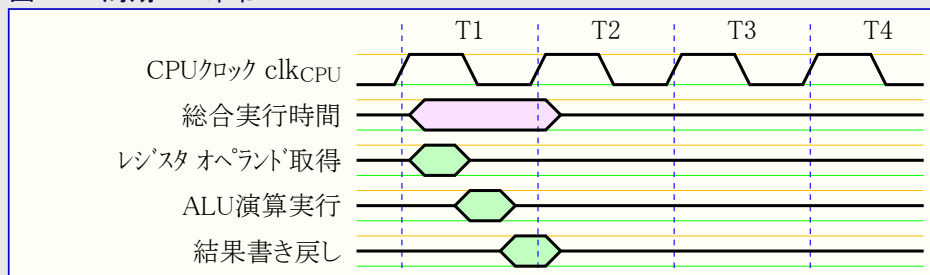


図4-5. 1周期ALU命令



4.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセット ベクタ各々はプログラム メモリ空間内に独立したプログラム ベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラム メモリ空間の最下位アドレスは既定によってリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は33頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラム カウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われないことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するために**CLI**命令を使うと、割り込みは直ちに禁止されます。**CLI**命令と同時に割り込みが起こっても、**CLI**命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使えるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG          ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE        ;EEPROM主書き込み許可
SBI     EECR, EEPE         ;EEPROM書き込み開始
OUT     SREG, R16          ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;                /* ステータスレジスタ保存変数定義 */
cSREG = SREG;              /* ステータスレジスタを保存 */
_cli();                    /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);       /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);        /* EEPROM書き込み開始 */
SREG = cSREG;              /* ステータスレジスタを復帰 */
```

注: 4頁の「コード例」をご覧ください。

割り込みを許可するために**SEI**命令を使うと、次例で示されるようにどの保留割り込みにも先立って**SEI**命令の次の命令が実行されます。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

C言語プログラム例

```
_sei();                    /* 全割り込み許可 */
_sleep();                  /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

注: 4頁の「コード例」をご覧ください。

4.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対する**プログラム ベクタ アドレス**が実行されます。この4クロック周期時間中にプログラム カウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は3クロック周期要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選択した休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラム カウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタック ポインタは増加され(+2)、**ステータス レジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されます。

4.8. コア関係レジスタ

4.8.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection Register)

ビット (\$71)	7	6	5	4	3	2	1	0	
	(MSB)							(LSB)	CCP
Read/Write	W	W	W	W	W	W	W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – CCP7～0 : 構成設定変更保護 (Configuration Change Protection)

保護されたI/Oレジスタの内容を変更するため、CCPレジスタは最初に正しい識票を書かれなければなりません。CCPが書かれた後、保護されたI/Oレジスタは次からの4CPU命令周期中に書けます。これらの周期中は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらの優先権に従って実行されます。

保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。CCP7～1は常に0として読めます。

表4-1. は認証に於ける識票を示します。

表4-1. 構成設定変更保護レジスタによって認証される識票

識票	適用群	説明
\$D8	CLKPR, MCUCR, WDTCSR (注)	保護されたI/Oレジスタ

注: WDTCSRではWDEとWDP3～0のビットだけが保護されます。

4.8.2. SPH, SPL (SP) – スタック ポインタ (Stack Pointer)

ビット \$3E (\$5E)	15	14	13	12	11	10	9	8	
	–	–	–	–	–	–	(SP9)	SP8	SPH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット \$3D (\$5D)	7	6	5	4	3	2	1	0	
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

● ATtiny441 : ビット8～0 – SP8～0 : スタック ポインタ (Stack Pointer)

● ATtiny841 : ビット9～0 – SP9～0 : スタック ポインタ (Stack Pointer)

スタック ポインタ レジスタは上位側メモリ位置から下位側メモリ位置へ伸長するように実行されるスタックの先頭を指し示します。従ってスタックへのPUSH命令はスタック ポインタを減らします。

データSRAM内のスタック空間は、どのサブルーチン呼び出し実行や割り込み許可にも先立ってプログラムによって定義されなければなりません。

(訳補) 内蔵SRAMはATtiny441が256バイト(\$0100～\$01FF)、ATtiny841が512バイト(\$0100～\$02FF)です。従って、ATtiny441ではSPHのSP9が利用できません。SRAM最終位置はATtiny441が\$01FF(0000 0001 1111 1111)、ATtiny841が\$02FF(0000 0010 1111 1111)になります。

4.8.3. SREG – ステータス レジスタ (Status Register)

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – I: 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「[命令一式参考書](#)」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

● ビット6 – T: ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit Load)と**BST**(Bit Store)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

● ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「[命令要約](#)」をご覧ください。

● ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「[命令要約](#)」記述をご覧ください。

● ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「[命令要約](#)」記述をご覧ください。

● ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

● ビット1 – Z: ゼロフラグ (Zero Flag)

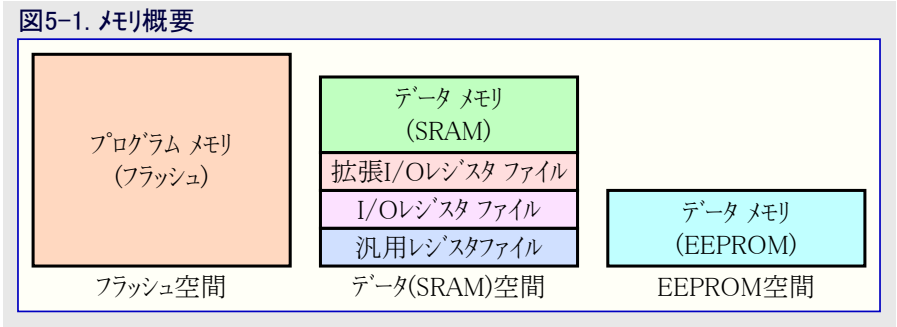
ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

● ビット0 – C: キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(または borrow)を示します。詳細情報については「[命令要約](#)」記述をご覧ください。

5. メモリ

AVR構造は独立したアドレス空間に各メモリ形式を配置して、プログラムメモリとデータメモリを区別します。実行可能なコードは不揮発性プログラムメモリ(フラッシュ)に置かれ、一方データは揮発性(SRAM)または不揮発性メモリ(EEPROM)のどちらにも置くことができます。下の図5-1をご覧ください。



全てのメモリ空間は直線的で規則的です。

5.1. プログラムメモリ (フラッシュ)

ATtiny441/841はプログラム保存用に実装書き換え可能なチップ上の4K/8Kバイトのフラッシュメモリを含みます。フラッシュメモリは不揮発性、換言するとそれらは例え給電されない時でも格納された情報を維持します。

全てのAVR命令が16または32ビット幅のため、フラッシュメモリは2048/4096×16ビットとして構成されます。プログラムカウンタ(PC)は11/12ビット幅で、従って、下の表5-1で説明されるように、プログラムの全2048/4096位置をアドレス指定する能力があります。

定数表はプログラムメモリのアドレス空間全体に置くことができます。241頁の「命令要約」でLPM(プログラムメモリ取得)とSPM(プログラムメモリ格納)の命令をご覧ください。プログラム用フラッシュメモリは154頁の「外部プログラミング」で記述されるように、外部装置からもプログラミングすることができます。

命令の取得と実行のタイミング図は7頁の「命令実行タイミング」で示されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性を持ちます。

表5-1. プログラムメモリ(フラッシュ)の大きさ

デバイス	フラッシュ容量		アドレス範囲
ATtiny441	4Kバイト	2048語	\$0000～\$07FF
ATtiny841	8Kバイト	4096語	\$0000～\$0FFF

5.2. データメモリ(SRAM)とレジスタファイル

表5-2はATtiny441/841のデータメモリとレジスタファイルがどう構成されるかを示します。これらのメモリ領域は揮発性、換言すると、それらは電力が取り去れる時に情報を維持しません。

表5-2. データメモリとレジスタファイルの配置

デバイス	メモリ領域	容量	長アドレス (注1)	短アドレス (注2)
ATtiny441	汎用レジスタファイル	32バイト	\$0000～\$001F	(利用不可)
	I/Oレジスタファイル	64バイト	\$0020～\$005F	\$00～\$3F
	拡張I/Oレジスタファイル	160バイト	\$0060～\$00FF	(利用不可)
	データ用SRAM	256バイト	\$0100～\$01FF	(利用不可)
ATtiny841	汎用レジスタファイル	32バイト	\$0000～\$001F	(利用不可)
	I/Oレジスタファイル	64バイト	\$0020～\$005F	\$00～\$3F
	拡張I/Oレジスタファイル	160バイト	\$0060～\$00FF	(利用不可)
	データ用SRAM	512バイト	\$0100～\$02FF	(利用不可)

注1: データアドレスとしても知られます。このアドレス指定の形態はデータメモリとレジスタファイル全体を網羅します。アドレスは2語命令の16ビット領域に含まれます。

注2: 直接I/Oアドレスとしても知られます。このアドレス指定の形態はI/Oレジスタ領域の一部だけを網羅します。これはアドレスが命令語に組み込まれた命令によって使われます。

512/768個のメモリ位置は汎用レジスタファイル、I/Oレジスタ、拡張I/Oレジスタ、内部データメモリ(SRAM)を含みます。

将来のデバイスとの互換性のため、アクセスされる場合、予約ビットは0が書かれるべきです。予約されたI/Oメモリアドレスは決して書かれるべきではありません。

5.2.1. 汎用レジスタファイル

最初の32位置は汎用レジスタファイル用に予約されます。これらのレジスタは6頁の「汎用レジスタファイル」で詳細に記述されます。

5.2.2. I/Oレジスタ ファイル

汎用レジスタ ファイルに後続する次の64位置はI/Oレジスタ用に予約されます。この領域内のレジスタは主にデバイスのI/Oと周辺機能部との通信に使われます。データはIN,OUT,LD,STとその派生のような命令を用いて、I/O空間とレジスタ ファイル間で転送することができます。この領域内の全てのI/OレジスタはINとOUTの命令でアクセスすることができます。これらのI/O特有命令はI/Oレジスタ内の先頭位置を\$00とし、最後を\$3Fとしてアドレス指定します。

下位32個のレジスタ(アドレス範囲\$00～\$1F)はいくつかのビット特有命令によってアクセス可能です。これらのレジスタではSBIとCBIを用いてビットが容易に設定(1)と解除(0)が行われ、一方ビット条件分岐はSBIC,SBIS,SBRC,SBRSの命令を用いて容易く作成されます。

この領域のレジスタはLD/LDD/LDS/(LDI)とST/STD/STSの命令でアクセスすることもできます。これらの命令は揮発性メモリ全体を1つのデータ空間として扱い、従ってI/Oレジスタを\$0020で始まるアドレスで指定します。

241頁の「命令要約」をご覧ください。

ATtiny441/841はどんな情報の格納にも使うことができる3つの汎用I/Oレジスタも含みます。237頁の「レジスタ要約」でGPOR0、GPOR1、GPOR2をご覧ください。これらの汎用I/OレジスタはそれらがSBI,CBI,SBIC,SBIS,SBRC,SBRSのようなビット特有命令でアクセス可能なため、全域変数や状態フラグの格納に著しく有用です。

5.2.3. 拡張I/Oレジスタ ファイル

標準I/Oレジスタ ファイルに後続する次の160位置は拡張I/Oレジスタ用に予約されます。ATtiny441/841はINとOUTの命令でアドレス指定することができるよりも多くの周辺機能部を持つ複合マイクロ コントローラです。拡張I/O領域内のレジスタはLD/LDD/LDSとST/STD/STSの命令を用いてアクセスされなければなりません。241頁の「命令要約」をご覧ください。

I/Oレジスタの一覧については237頁の「レジスタ要約」をご覧ください。

5.2.4. データ メモリ (SRAM)

汎用レジスタ ファイルとI/Oレジスタ ファイルに後続する残りの256/512位置は内部データSRAM用に予約されます。

5つの利用可能なアドレス指定形態があります。

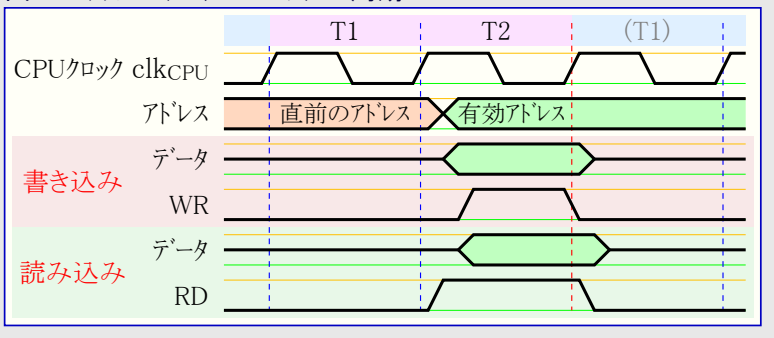
- 直接：このアドレス指定形態はデータ空間全体に届きます。
- 間接
- 変位付き間接：このアドレス指定形態はYまたはZのレジスタによって与えられる基本アドレスから63アドレス位置に届きます。
- 事前減少付き間接：この形態ではアクセス前にアドレスレジスタが自動的に減少(-1)されます。アドレス ポインタレジスタ(X,Y,Z)は汎用レジスタ ファイルでレジスタR26～R31内に置かれます。6頁の「汎用レジスタ ファイル」をご覧ください。
- 事後増加付き間接：この形態ではアクセス後にアドレスレジスタが自動的に増加(+1)されます。アドレス ポインタレジスタ(X,Y,Z)は汎用レジスタ ファイルでレジスタR26～R31内に置かれます。6頁の「汎用レジスタ ファイル」をご覧ください。

全てのアドレス指定形態は汎用レジスタ ファイル、I/Oレジスタ ファイル、データ メモリを含む揮発性メモリ全体で使うことができます。

内部SRAMは下の図5-2で図解されるように、2clkCPU周期でアクセスされます。

(訳補) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-2. チップ上データSRAMアクセス周期



5.3. データ メモリ (EEPROM)

ATtiny441/841は256/512バイトの不揮発性データ メモリを含みます。このEEPROMは単一バイトで読み書きすることができる独立したデータ空間として構成されます。全てのアクセスレジスタはI/O空間に置かれます。

EEPROM配置は下の表5-3.で要約されます。

EEPROM操作計時に内部8MHz発振器が使われます。この発振器の周波数は22頁の「OSCCAL0 - 発振器校正レジスタ」で記述される必要条件内でなければなりません。

激しく濾波した供給によって給電される時に供給電圧(VCC)は電力上昇と電力下降で緩やかに上昇または下降しそうです。緩やかな上昇と下降の時間はデバイスを指定されるよりも低い供給電圧で走る状態に置くかもしれません。このような状況での問題を避けるために14頁の「EEPROM化けの防止」をご覧ください。

表5-3. 不揮発性データメモリ(EEROM)の大きさ

デバイス	EEPROM容量	アドレス範囲
ATtiny441	256バイト	\$00～\$0FF
ATtiny841	512バイト	\$00～\$1FF

EEPROMは最低100,000回の消去/書き込み回数の耐久性を持ちます。

5.3.1. プログラミング方法

EEPROMプログラミングには以下のように2つの方法があります。

- 非分離バイトプログラミング。これは単一操作で目標位置が消去されて書かれる単純なプログラミング動作形態です。この動作形態では常に目標が書き込み前に消去されることを保証されますが、プログラミング時間がより長くなります。
- 分離バイトプログラミング。2つの違う操作で消去と書き込みを分けることが可能です。これは短いアクセス時間が必要とされる、例えば供給電圧が降下する時に有用です。この方法を利用するために、目標位置はそれらへ書く前に消去されなければなりません。これはシステムが時間に重要な操作を許す、代表的に始動と初期化時に時々行うことができます。

プログラミング方法はEEPROM制御レジスタ(ECCR)のEEPROMプログラミング種別(EPPM1,0)ビットを用いて選択されます。表5-4をご覧ください。書き込みと消去の時間はこの同じ表で与えられます。

EEPROMプログラミングは幾許かの時間がかかるため、応用は次を開始する前に1つの操作の完了を待たなければなりません。これはEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットのポーリング、またはEEPROM操作可割り込み経由のどちらによって行うことができます。EEPROM割り込みはECCRのEEPROM操作可割り込み許可(EERIE)ビットによって制御されます。

5.3.2. 読み込み

EEPROM位置を読むには下の手続きに従ってください。

1. 他のEEPROM操作が進行中でないことを確実にするためにEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットをポーリングしてください。
2. EEPROMアドレスレジスタ(EARH/EARL)に目的アドレスを書いてください。
3. EEPROM制御レジスタ(ECCR)のEEPROM読み込み許可(EERE)ビットを設定(1)することによって読み込み操作を開始してください。読み込み操作中、CPUは次の命令を実行する前に4クロック周期間停止されます。
4. EEPROMデータレジスタ(EDR)からデータを読んでください。

5.3.3. 消去

予期せぬEEPROM書き込みを防ぐため、メモリ位置を消去するのに特別な手続きに従わなければなりません。EEPROM位置を消去するには下の手続きに従ってください。

1. 他のEEPROM操作が進行中でないことを確実にするためにEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットをポーリングしてください。設定(1)の場合、解除(0)を待ってください。
2. EEPROM制御レジスタ(ECCR)のEEPROMプログラミング種別(EPPM1,0)ビットを書くことによって消去のためのプログラミング形態を設定してください。
3. EEPROMアドレスレジスタ(EARH/EARL)に目的アドレスを書いてください。
4. EEPROM制御レジスタ(ECCR)のEEPROM主プログラム許可(EMPE)を設定(1)することによって消去を許可してください。4クロック周期内に、EEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットを設定(1)することによって消去操作を開始してください。消去操作中、CPUは次の命令を実行する前に2クロック周期間停止されます。

EPEビットは消去操作が完了されるまで設定(1)に留まります。デバイスがプログラミングで多忙の間、他のどのEEPROM操作を実行することも不可能です。

5.3.4. 書き込み

予期せぬEEPROM書き込みを防ぐため、メモリ位置を書くのに特別な手続きに従わなければなりません。

EEPROMにデータを書く前に目的位置は消去されなければなりません。これは同じ操作で、または分離操作の一部としてのどちらかで行うことができます。未消去EEPROM位置への書き込みは不正なデータに終わるでしょう。

EEPROM位置を書くには下の手続きに従ってください。

1. 他のEEPROM操作が進行中でないことを確実にするためにEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットをポーリングしてください。設定(1)の場合、解除(0)を待ってください。
2. EEPROM制御レジスタ(ECCR)のEEPROMプログラミング種別(EPPM1,0)ビットを書くことによって書き込みのためのプログラミング形態を設定してください。二者選択で、データは1操作で書くことができるか、または書き込み手続きを消去のみと書き込みのみに分割することができます。
3. EEPROMアドレスレジスタ(EARH/EARL)に目的アドレスを書いてください。
4. EEPROMデータレジスタ(EDR)に目的データを書いてください。
5. EEPROM制御レジスタ(ECCR)のEEPROM主プログラム許可(EMPE)を設定(1)することによって書き込みを許可してください。4クロック周期内に、EEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EPE)ビットを設定(1)することによって書き込み操作を開始してください。書き込み操作中、CPUは次の命令を実行する前に2クロック周期間停止されます。

EPEビットは書き込み操作が完了されるまで設定(1)に留まります。デバイスがプログラミングで多忙の間、他のどのEEPROM操作も行うことが不可能です。

5.3.5. EEPROM化けの防止

低VCCの間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

低供給電圧でEEPROM内のデータは以下の2つの点で不正にされ得ます。

- その他正当なEEPROMプログラミング手順の正しい動作を維持するのに供給電圧が低すぎます。
- CPUに対して供給電圧が低すぎて、命令が不正に実行されるかもしれません。

EEPROMデータ化けは不十分な供給電源電圧の期間中、デバイスをリセットに保つことによって避けられます。これは内部**低電圧検出器 (BOD)**を許可することによって容易に行えます。BOD検出電圧が設計に対して不十分な場合、外部低VCCリセット回路を使うことができます。

供給電圧が充分なら、例えリセットが起きても、EEPROM書き込み操作は完了されます。

5.3.6. プログラム例

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_WR                ;以前のEEPROMプログラミング完了まで待機
;
LDI          R19, (0<<EEPM1) | (0<<EEPM0)      ;プログラミング種別値取得(本例は非分離)
OUT          EECR, R19                        ;対応プログラミング種別設定
OUT          EEARH, R18                       ;EEPROMアドレス上位設定 (訳注: ATtiny441で無効)
OUT          EEARL, R17                       ;EEPROMアドレス下位設定
OUT          EEDR, R16                       ;EEPROM書き込み値を設定
SBI          EECR, EEMPE                      ;EEPROM主プログラム許可ビット設定
SBI          EECR, EEPE                      ;EEPROMプログラミング開始(プログラム許可ビット設定)
RET                                     ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned int ucAddress, unsigned char ucData)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEPM1) | (0<<EEPM0);          /* 対応プログラミング種別設定 */
    EEAR = ucAddress;                          /* EEPROMアドレス設定 */
    EEDR = ucData; /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                      /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                      /* EEPROMプログラミング開始 */
}
```

注: 4頁の「コード例」をご覧ください。

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP    EEPROM_RD                ;以前のEEPROMプログラミング完了まで待機
;
OUT          EEARH, R18                       ;EEPROMアドレス上位設定 (訳注: ATtiny441で無効)
OUT          EEARL, R17                       ;EEPROMアドレス下位設定
SBI          EECR, EERE                      ;EEPROM読み出し開始(読み込み許可ビット設定)
IN           R16, EEDR                        ;EEPROM読み出し値を取得
RET                                     ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned int ucAddress)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = ucAddress;                          /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                      /* EEPROM読み出し開始 */
    return EEDR; /* EEPROM読み出し値を取得, 復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

5.4. メモリ関係レジスタ

5.4.1. EEARH,EEARL (EEAR) – EEPROMアドレスレジスタ (EEPROM Address Register)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	–	–	–	–	–	–	–	(EEAR8)	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

●ビット15～9 – 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は読み書き操作によってアクセスされるメモリ位置を示すのに必要とされます。

EEPROMデータバイトはメモリ範囲(0～255/511)全体に渡って直線的にアドレス指定されます。これらのビットの初期値は未定義で、故にEEPROMがアクセスされる前に正当な値がこのレジスタに書かれなければなりません。

256またはそれ以下のバイトのEEPROMを持つデバイスはアドレス上位レジスタ(EEAH)が不要です。従って、このようなデバイスではアドレス上位レジスタが省かれますが、互換性の問題のため残りのレジスタは未だEEPROMアドレスレジスタの下位バイト(EEARL)として参照されます。

アドレスバイト全体が満たされないデバイス、換言すると、256に等しくないEEPROM容量を持つデバイスは未使用位置での読み込み専用ビットを実装します。未使用ビットはアドレスレジスタの最上位側に置かれ、それらは常に0を読みます。

注: EEAR8はATtiny441に実装されません。

5.4.2. EEDR – EEPROMデータレジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えられたEEPROMアドレスへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARによって与えられたEEPROMアドレスから読み出したデータを含みます。

5.4.3. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

●ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)

EEPROMプログラミング種別ビットはEEPROMプログラム許可(EEPE)が書かれる時に起動される活動を定義します。データは新しいデータが書かれる前に前の値が自動的に消去される単一非分離操作で書くことができ、または消去と書き込みが2つの異なる操作に分けることができます。各種動作形態に対するプログラミング時間が表5-4で示されます。

EEPE設定(1)時、EEPMnへのどの書き込みも無視されます。

リセット中、EEPMnビットはEEPROMがプログラミング多忙を除いて'00'にリセットされます。

表5-4. EEPROMプログラミング種別

EEPM1	EEPM0	プログラミング時間	動作
0	0	3.4ms	1操作での非分離操作(消去と書き込み)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	–	(予約)

●ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)

このビットの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているならば、EEPROM操作可割り込みを許可し、不揮発性メモリがプログラミング準備可の時にEEPROM操作可割り込みが起動されます。

このビットの0書き込みはEEPROM操作可割り込みを禁止します。

● ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か否かのどちらかを決めます。

EEMPEが設定(1)されて4クロック周期内にEEPE書かれる(1)と、選択したアドレスでEEPROMがプログラミングされます。4クロック周期後にハードウェアがEEMPEビットを0に解除します。

EEMPEが0なら、EEPEビットは無効です。

● ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)

これはEEPROMのプログラミング許可信号です。EEPEが(1)を書かれる前にEEPROM主プログラム許可(EEMPE)ビットが設定(1)されなければならず、さもなければEEPROMはプログラミングされません。

EEPEが(1)を書かれると、EEPROMはEEPROMビット設定に従ってプログラミングされます。EEPEが設定(1)されてしまうと、CPUは次の命令が実行される前に2周期間停止されます。書き込み(プログラミング)アクセス時間経過後、EEPEビットはハードウェアによって解除(0)されます。

EEPROM書き込み操作がフラッシュ、ヒューズビット、施錠ビットの全てのソフトウェアプログラミングを妨げることに注意してください。

● ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)

これはEEPROMの読み込みストローブです。目的アドレスがEEPROMアドレスレジスタ(EEAR)で構成設定されてしまうと、EEPROM読み込み操作を起動するためにEEREビットが1を書かれなければなりません。

EEPROM読み出しアクセスは(その)1命令かかり、要求したデータは直ちに利用可能です。EEPROMが読まれる時にCPUは次の命令が実行される前に4周期間停止されます。

使用者は読み込み操作を開始する前にEEPEビットをポーリングすべきです。書き込み(プログラミング)操作が進行中の場合、EEPROMを読むことやアドレスレジスタ(EEAR)を変更することは不可能です。

5.4.4. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.4.5. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

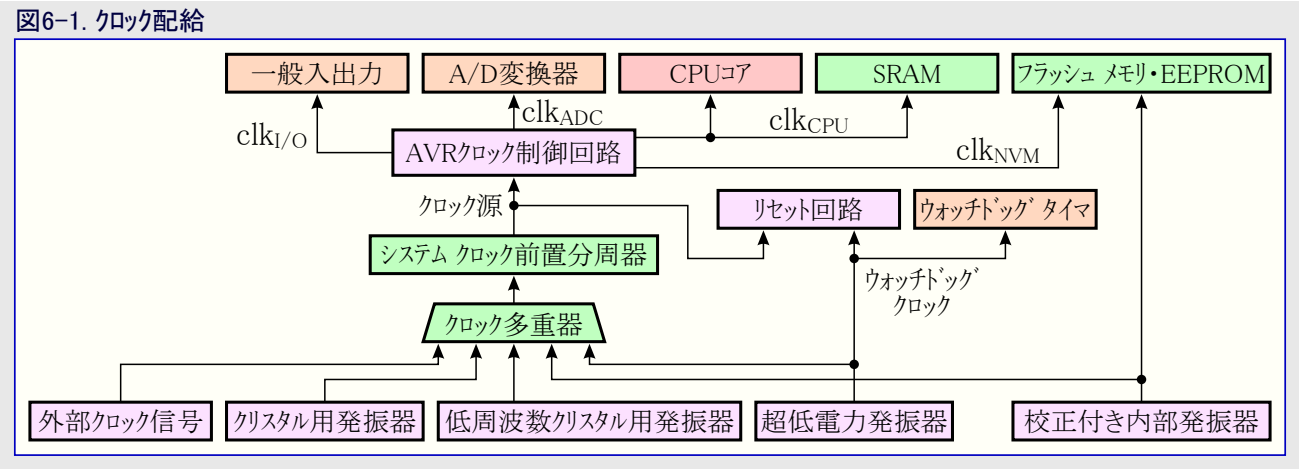
ビット	7	6	5	4	3	2	1	0	
\$14 (\$34)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.4.6. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6. クロック体系

図6-1.はATtiny441/841に於ける主要なクロック系統とそれらの配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、24頁の「電力管理と休止形態動作」で記述されるように、各種休止動作形態と電力削減レジスタビットを使うことによって、使われていない単位部へのクロックを停止することができます。クロック体系は下で詳述されます。



6.1. クロック副系統

クロック副系統が以下の項で詳述されます。

6.1.1. CPU クロック – clkCPU

CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような単位部の例は汎用レジスタファイル、システムレジスタ、SRAMデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック – clkI/O

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止されても検出されることをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

6.1.3. NVMクロック – clkNVM

NVMクロックは不揮発性メモリ制御部の動作を制御します。このNVMクロックは常にCPUクロックと同時に活動します。

6.1.4. A/D変換クロック – clkADC

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

6.2. クロック元

このデバイスはシステムクロック用に以下のどれも使うことができます。

- 外部クロック信号 (18頁参照)
- 校正付き内部8MHz発振器 (18頁参照)
- 内部超低電力(ULP)発振器 (18頁参照)
- 低周波数クリスタル用発振器 (18頁参照)
- クリスタル/セラミック用発振器 (19頁参照)

クロック元は右の表6-1.で示されるようにCKSELヒューズを使って選ばれます。

表6-1. CKSELヒューズビットとデバイスクロック駆動任意選択

CKSEL3~0 (注1)	周波数	デバイスクロック駆動任意選択
0 0 0 0	どれも	外部クロック信号 (18頁参照)
0 0 0 1	–	(未使用)
0 0 1 0	8MHz	校正付き内部8MHz発振器 (18頁参照) (注2)
0 0 1 1	–	(未使用)
0 1 0 0	32~512kHz	内部超低電力(ULP)発振器 (18頁参照)
0 1 0 1	–	(未使用)
0 1 1 0	32kHz	低周波数クリスタル用発振器 (18頁参照)
0 1 1 1	–	(未使用)
1 0 0 x	0.4~0.9MHz	クリスタル/セラミック用発振器 (19頁参照)
1 0 1 x	0.9~3MHz	
1 1 0 x	3~8MHz	
1 1 1 x	8MHz以上	

注1: 全てのヒューズに対して“1”は非プログラム、“0”はプログラムを意味します。

注2: これが既定設定です。デバイスはこのヒューズの組み合わせで出荷されます。

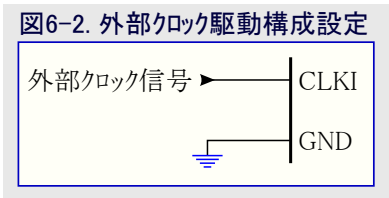
CKSELヒューズビットはファームウェアによって読むことができますが(151頁の「ソフトウェアからの施錠、ヒューズ、識別データの読み出し」をご覧ください)、ファームウェアはヒューズビットを書くことができません。

デバイスがパワーダウンから起き上がる時に、命令実行開始前の安定な発振器動作を保証するために、始動時間に選択したクロック元が使われます。CPUがリセットから始まる時に、通常のデバイス動作が開始される前に安定な水準に達することを供給電圧に許す、付加遅延を生成するのに内部32kHz発振器が使われます。

システムクロック代替は以下の項で検討されます。

6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するには、図6-2.で示されるようにCLKIが接続されるべきです。このクロック元に対する始動時間は表6-5.で示されるように、始動時間(SUT)ビットによって決められます。



外部クロック周波数での急な変化を避けるためにMCUの安定動作を保証することが必要とされます。或るクロック周期から次への2%よりも大きな周波数での変化は予測されない動きを引き起こし得ます。クロック周波数でのこのような変化中、MCUはリセットに保たれるのを保証することが必要とされます。

システムクロックでの大きな段階の変更に対する安定な操作はシステムクロック前置分周器を使う時に保証されます。「システムクロック前置分周器」をご覧ください。

6.2.2. 校正付き内部8MHz発振器

内部8MHz発振器は外部部品なしで動作し、既定によって概ね8MHzの周波数を持つクロック元を提供します。電圧と温度に依存しますが、このクロックは使用者によって非常に正確に校正することができます。より多くの詳細については164頁の表25-2と199頁の「内部発振器周波数」をご覧ください。

リセット中、ハードウェアが発振器校正0(OSCCAL0)レジスタ内に予めプログラムされた校正値を設定し、これによって発振器を自動的に校正します。この校正の精度は表25-2.で「工場校正」として参照されます。予めプログラムされた校正値の自動設定のより多くの情報については151頁の「校正バイト」項をご覧ください。

特に応用が狭い範囲の温度と電圧を許す時に、工場既定よりも高い精度に達することが可能です。ファームウェアは始動時や走行中のどちらでもOSCCAL0に校正データを再設定することができます。継続的な走行時校正法は電圧と温度の監視と検出したどの変化の補償もファームウェアに許します。「OSCCAL0 – 発振器校正0レジスタ」、139頁の「温度測定」、140頁の表20-4.をご覧ください。この校正の精度は表25-2.で「使用者校正」として参照されます。

発振器温度校正レジスタ(OSCTCAL0AとOSCTCAL0B)は発振器周波数の一時的な温度校正に使うことができます。「OSCTCAL0A – 発振器温度校正レジスタA」と「OSCTCAL0B – 発振器温度校正レジスタB」をご覧ください。

このクロック元に対する始動時間は表6-5.で示されるように、SUTヒューズビットによって決められます。

6.2.3. 内部超低電力(ULP)発振器

内部超低電力発振器は外部部品なしで動作する低電力発振器です。概ね32,64,128,256,512kHzの周波数を持つクロック元を提供します。周波数は供給電圧、温度と一群の変化に依存します。精度の詳細については164頁の表25-3.をご覧ください。

リセット中、ハードウェアが発振器校正1(OSCCAL1)レジスタ内に予めプログラムされた校正値を設定し、これによって発振器を自動的に校正します。この校正の精度は表25-3.で「工場校正」として参照されます。予めプログラムされた校正値の自動設定のより多くの情報については151頁の「校正バイト」項をご覧ください。

表6-2. ULP発振器周波数選択

ULPOSCSEL2~0	ULP周波数
1 1 1	32kHz
1 1 0	64kHz
1 0 1	128kHz
1 0 0	256kHz
0 1 1	512kHz
0 0 0 ~ 0 1 0	(予約)

ULP発振器がシステムクロックとして使われる時に、動作周波数はULPOSC2~0ヒューズを使って設定することができます。利用可能な周波数は表6-2.で示されます。システムクロックに対して単により高い周波数が利用可能なことに注目してください。例えばより高い周波数が選択されても、ウォッチドッグタイマとリセット時間経過計数器は未だ32kHzを使います。

このクロック元に対する始動時間は表6-5.で示されるように、SUTヒューズビットによって決められます。

6.2.4. 低周波数クリスタル用発振器

この動作形態はデバイスにクロック元として時計用32.768kHzクリスタルの使用を許します。クリスタルは図6-3.で示されるように接続されるべきです。

表6-3. 低周波数クリスタル用発振器の容量

ピン	容量
XTAL1	16pF
XTAL2	6pF

低周波数クリスタル用発振器は各XTALピンで内部負荷容量を持ち込みます。表6-3.をご覧ください。

6.2.5. クリスタル/セラミック用発振器

XTAL1とXTAL2は図6-3.で示されるように、チップ上の発振器としての使用に設定することができる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。

図6-3. クリスタル発振子接続図

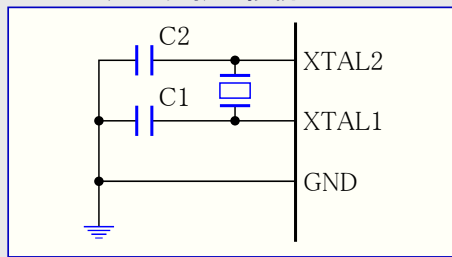


表6-4. クリスタル用発振器動作形態

周波数範囲	推奨C1,2容量	注意
<1MHz	–	セラミック振動子ではなく、クリスタル発振子専用
>1MHz	12~22pF	

C1とC2のコンデンサはクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子での使用に対するコンデンサ選択について初期の指針のいくつかは上の表6-4.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

発振器は指定された周波数範囲に各々最適化される各種形態で動作することができます。表6-1.をご覧ください。

このクロック元に対する始動時間は「始動時間」で説明されるように、SUTヒューズビットによって決められます。

6.2.6. 既定クロック設定

このデバイスは以下のヒューズ設定で出荷されます。

- 校正付き内部8MHz発振器 (表6-1.でCKSELヒューズビットをご覧ください。)
- 可能な最長始動時間 (表6-5.でSUTヒューズビットをご覧ください。)
- システム クロック前置分周器を8に設定 (表23-5.でCKDIV8ヒューズビットをご覧ください。)

既定設定は1MHzシステム クロックを与え、全ての使用者が実装または高電圧の書き込み器を使ってそれらを望むクロック元設定にすることができるのを保証します。

6.3. システム クロック前置分周器

ATtiny441/841のシステム クロックは「CLKPR – クロック前置分周レジスタ」の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clk_{CPU}、clk_{NVM}、clk_{I/O}、clk_{ADC}は表6-6.で示された値によって分周されます。

6.3.1. 切り替え時間

前置分周器設定間を切り替えるとき、システム クロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリップル カウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1+2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

6.4. クロック出力緩衝部 (外部クロック出力)

本デバイスはシステム クロックをCLKOピンに出力することができます。この出力を許可するには、CKOUTヒューズがプログラム(0)されなければなりません。

この動作はチップのクロックがシステム上の他の回路を駆動する時に適します。このヒューズがプログラム(0)された時にI/Oピンの標準動作が無視され、このクロックがリセット間に出力されないことに注意してください。クロックがCLKOに出力される時は校正付き内部発振器を含むどのクロック元も選択できます。システム クロック前置分周器が使われると、出力されるのは分周されたシステム クロックです。

6.5. 始動時間

下の表6-5.で示されるように、CKSELとSUTのヒューズビットはデバイスの始動時間を定義します。

表6-5. CKSELとSUTのヒューズビット対デバイス始動時間

CKSEL3~0	SUT	クロック元	パワーダウンから (注1,2)	リセットから (注3)
0 0 0 0	0	外部クロック信号	$6 \times CK$	$14 \times CK + 16ms$
	1	(予約)	—	—
0 0 0 1	x	(予約)	—	—
0 0 1 0 (注4)	0 (注4)	内部 (8MHz)	$6 \times CK$	$14 \times CK + 16ms$
	1	(予約)	—	—
0 0 1 1	x	(予約)	—	—
0 1 0 0	0	内部 (32~512kHz)	$6 \times CK$	$14 \times CK + 16ms$
	1	(予約)	—	—
0 1 0 1	x	(予約)	—	—
0 1 1 0	0	低周波数クリスタル用発振器	$1K \times CK$ (注5)	$14 \times CK + 16ms$
	1		$32K \times CK$ (注5)	
0 1 1 1	x	(予約)	—	—
1 0 0 0	0	クリスタル/セラミック用発振器 (0.4~0.9MHz)	$256 \times CK$	$14 \times CK + 16ms$
	1		$1K \times CK$	
1 0 0 1	0	(予約)	$16K \times CK$	—
	1		—	
1 0 1 0	0	クリスタル/セラミック用発振器 (0.9~3MHz)	$256 \times CK$	$14 \times CK + 16ms$
	1		$1K \times CK$	
1 0 1 1	0	(予約)	$16K \times CK$	—
	1		—	
1 1 0 0	0	クリスタル/セラミック用発振器 (3~8MHz)	$256 \times CK$	$14 \times CK + 16ms$
	1		$1K \times CK$	
1 1 0 1	0	(予約)	$16K \times CK$	—
	1		—	
1 1 1 0	0	クリスタル/セラミック用発振器 (8MHz以上)	$256 \times CK$	$14 \times CK + 16ms$
	1		$1K \times CK$	
1 1 1 1	0	(予約)	$16K \times CK$	—
	1		—	

注1: パワーダウン休止動作形態からのデバイス始動時間。

注2: 低電圧検出器(BOD)がソフトウェアによって禁止されていると、MCUがコード実行を続ける前にBODが正しく動作するのを保証するために、休止形態からの起き上がり時間は概ね60μsになります。

注3: リセット後のデバイス始動時間。

注4: デバイスはこの任意選択が選択されて出荷されます。

注5: この任意選択は始動での周波数安定性が重要でない場合だけ使われるべきです。

注6: 推奨使用法:高速立ち上がり電源またはBOD許可

6.6. クロック関係レジスタ

6.6.1. CLKCR – クロック制御レジスタ (Clock Control Register)

ビット (\$72)	7	6	5	4	3	2	1	0	
	OSCRDY	CSTR	CKOUTC	SUT	CKSEL3	CKSEL2	CKSEL1	CKSEL0	CLKCR
Read/Write	R	W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0		ビット記述をご覧ください。				

- **ビット7 – OSCRDY : 発振器準備可 (Oscillator Ready)**
このビットは発振器(始動)時間経過完了時に設定(1)されます。OSCRDYが設定(1)される時に発振器は安定でクロック元は安全に変更することができます。
- **ビット6 – CSTR : クロック選択起動 (Clock Select Trigger)**
このビットはクロック選択を起動します。発振器が安定する前に予め発振器を許可してクロック元を選択するのに使うことができます。CSTRが**クロック選択(CKSEL)ビット**が書かれるのと同じ時に設定(1)される場合、内容が直接CKSELに複写され、システムクロックは直ちに切り換えられます。
CSTRの設定(1)なしでCKSELが書かれる場合、CKSELビットによって選択された発振器が許可されますが、システムクロックは未だ切り換えられません。
- **ビット5 – CKOUTC : クロック出力(複製) (Clock Output (Copy))**
このビットはクロック出力緩衝部を許可します。CKOUTCビットは**CKOUTヒューズビット**の複製で、デバイスが電源投入またはリセットされた時に設定されます。
- **ビット4 – SUT : 始動時間 (Start-Up Time)**
SUTと**クロック選択(CKSEL)ビット**は表6-5.で示されるように、デバイスの始動時間を定義します。SUTビットの初期値は**SUTヒューズ**によって決められます。SUTヒューズはデバイスが電源投入またはリセットされる時にSUTビットに設定されます。
- **ビット3~0 – CKSEL3~0 : クロック選択 (Clock Select Bits)**
これらのビットはシステムクロックのクロック元を選択し、走行時に書くことができます。クロックシステムはクロック元の異常なし切り替えを保証します。**CKSELヒューズ**はデバイスが給電またはリセットされる時のCKSELビットの初期化を決めます。
クロック代替は表6-1.で示されます。
クロック元の意図されない切り替えを避けるため、CKSELビットを変更するのに以下のように保護された変更手順に従わなければなりません。
 1. 構成設定変更保護(CCP)レジスタに保護されたI/Oレジスタの変更許可用の識票を書いてください。
 2. 4命令周期内に望む値でCKSELビットを書いてください。

6.6.2. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット (\$73)	7	6	5	4	3	2	1	0	
	–	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

- **ビット7~4 – Res : 予約 (Reserved)**
これらのビットは予約されており、常に0を読みます。
- **ビット3~0 – CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)**
これらのビットは選択したクロック元と内部システムクロック間の分周係数を定義します。これらのビットは応用の必要条件に合わせてクロック周波数を変えるために走行時に書くことができます。前置分周器はMCUへの主クロック入力を分周するため、これによって全ての同期周辺機能の速度が減じられます。分周係数は表6-6.で与えられます。
前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

表6-6. クロック前置分周器選択

CLKPS3	0								1							
CLKPS2	0				1				0				1			
CLKPS1	0		1		0		1		0		1		0		1	
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1 (注1)	2	4	8 (注2)	16	32	64	128	256	(予約)						

注1: これはCKDIV8ヒューズが非プログラム(1)にされた時の初期値です。

注2: これはCKDIV8ヒューズがプログラム(0)にされた時の初期値です。デバイスはCKDIV8ヒューズがプログラム(0)されて出荷されます。

クロック前置分周ビットの初期値はCKDIV8ヒューズによって決められます(150頁の表23-5をご覧ください)。CKDIV8が非プログラム(1)にされる時にシステムクロック前置分周器は1に、プログラム(0)される時に8に設定されます。どの値もCKDIV8ヒューズビット設定に拘らずCLKPSビットに書くことができます。

CKDIV8がプログラム(0)される時にCLKPSビットの値は始動での8分周クロック係数を与えます。これは選択したクロック元が現在の動作条件下で許されるよりも高い周波数を持つ時に有用です。164頁の「速度」をご覧ください。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更するには保護された変更手順に従わなければなりません。

1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
2. 4命令周期内に望む値でCLKPSビットを書いてください。

6.6.3. OSCCAL0 – 発振器校正レジスタ (Oscillator Calibration Register)

ビット (\$74)	7	6	5	4	3	2	1	0	
	CAL07	CAL06	CAL05	CAL04	CAL03	CAL02	CAL01	CAL00	OSCCAL0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

● ビット7～0 – CAL07～0 : 発振器校正値 (Oscillator Calibration Value)

発振器校正レジスタは内部8MHz発振器の調整と発振器周波数からの変化除去処理に使われます。チップのリセット中に164頁の表25-2で指定される工場校正された周波数を与える予めプログラムされた校正値が自動的にこのレジスタに書かれます。

応用ソフトウェアは発振器周波数を変更するために、このレジスタを書くことができます。この発振器は表25-2で指定される周波数に校正することができます。この範囲外への校正は保証されません。

最低発振器周波数はこれらのビットを0に設定することによって達成されます。レジスタ値の増加は発振器周波数を増加します。代表的な周波数応答曲線が200頁の図26-77で示されます。

この発振器がEEPROMとフラッシュメモリの書き込みアクセスに使われ、それによって書き込み時間が影響を及ぼされますことに注意してください。EEPROMやフラッシュメモリが書かれる場合、8.8MHz以上に校正しないでください。さもなければ、EEPROMやフラッシュメモリの書き込みが失敗するかもしれません。

MCUの安定な動作を保証するため、校正値は小さな間隔で変更されるべきです。或る周回から次へ2%以上の周波数での段階変更は予測不能な動きを引き起こし得ます。また、連続する2つのレジスタ値の差は\$20を超えるべきではありません。これらの限度を超える場合、MCUはクロック周波数変更の間にリセットを保たなければなりません。

6.6.4. OSCTCAL0A – 発振器温度校正レジスタA (Oscillator Temperature Calibration Register A)

ビット (\$75)	7	6	5	4	3	2	1	0	
	発振器温度校正データ								OSCTCAL0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

● ビット7～0 – 発振器温度校正値 (Oscillator Temperature Calibration Value)

温度校正値は校正付き8MHz発振器を調節して発振器周波数から温度変動を取り去るのに使うことができます。

6.6.5. OSCTCAL0B – 発振器温度校正レジスタB (Oscillator Temperature Calibration Register B)

ビット (\$76)	7	6	5	4	3	2	1	0	
	発振器温度校正データ								OSCTCAL0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正値								

● ビット7～0 – 発振器温度校正値 (Oscillator Temperature Calibration Value)

温度校正値は校正付き8MHz発振器を調節して発振器周波数から温度変動を取り去るのに使うことができます。

6.6.6. OSCCAL1 – 発振器校正レジスタ (Oscillator Calibration Register)

ビット (\$77)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	CAL11	CAL10	OSCCAL1
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	デバイス固有の校正値								

● ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

● ビット1,0 – CAL11~0 : 発振器校正値 (Oscillator Calibration Value)

この発振器校正レジスタは内部32kHz発振器の調整と発振器周波数からの変化除去処理に使われます。チップのリセット中に164頁の表25-3で指定される工場校正された周波数を与える予めプログラムされた校正値が自動的にこのレジスタに書かれます。

応用ソフトウェアは発振器周波数を変更するために、このレジスタを書くことができます。この発振器は表25-3で指定される周波数に校正することができます。この範囲外への校正は保証されません。

最低発振器周波数はこれらのビットを0に設定することによって達成されます。レジスタ値の増加は発振器周波数を増加します。代表的な周波数応答曲線は201頁の図26-80で示されます。

7. 電力管理と休止形態動作

高機能と産業的に先行するコード効率は低電力の応用に対してAVRマイクロコントローラを理想的に選択させます。加えて休止形態動作は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態動作を提供します。

7.1. 休止形態動作種別

17頁の図6-1はATtiny441/841の各種クロック系統とその配給を示します。この図は適切な休止形態動作選択の助けになります。表7-1は異なる休止形態動作と起き上がりに使える起動元を示します。

表7-1. 各休止形態動作に於ける動作クロック範囲と復帰起動要因

休止形態種別	発振器動作 許可された 主クロック 供給元	動作クロック範囲				復帰起動要因 (割り込み)						
		clk CPU	clk NVM	clk IO	clk ADC	ウォッチ ドッグ	INT0 ピン変化	USART	従装置 TWI	A/D変換 完了	SPM/ EEPROM 準備可	その他 I/O
アイドル	○			○	○	○	○	○	○	○	○	○
A/D変換雑音低減	○				○	○	①	②	③	○	○	
スタンバイ	○					○	①	②	③			
パワーダウン						○	①	②	③			

①: INT0についてはレベル割り込みのみです。

②: フレーム開始検出のみです。

③: アドレス一致割り込みのみです。

休止形態動作へ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが設定(1)され、SLEEP命令が実行されなければなりません。MCUCRの休止形態種別選択(SMn)ビットはSLEEP命令によって活性(有効)にされる休止形態のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態動作中に許可した割り込みが起ると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止状態から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態動作中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については35頁の「外部割り込み」を参照してください。

7.1.1. アイドル動作

この休止形態は基本的にclkCPUとclkNVMを停止する一方、他のクロックに走行を許します。アイドル動作ではCPUが停止されますが、以下の周辺機能は動作を続けます。

- ウォッチドッグと割り込み機構
- アナログ比較器とA/D変換器
- USART、TWI、タイマ/カウンタ

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起き上がりも許します。アナログ比較器割り込みからの起き上がりが必要とされないなら、アナログ比較器はACSRAのアナログ比較器禁止(ACD)ビットを設定(1)することによって電源断にすることができます。130頁の「ACSRIA – アナログ比較器1制御/状態レジスタ」をご覧ください。これはアイドル動作での消費電力を削減します。

A/D変換が許可されているなら、この動作に移行すると自動的に変換が始まります。

7.1.2. A/D変換雑音低減動作

この休止形態は基本的にclkIO、clkCPU、clkNVMを停止する一方、他のクロックの走行を許します。A/D変換雑音低減動作ではCPUが停止されますが、以下の周辺機能は動作を続けます。

- (許可されていれば)ウォッチドッグと外部割り込み
- A/D変換器
- USARTフレーム開始検出部とTWI

これはA/D変換に対する雑音環境を改善し、より高い分解能の測定を許します。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。

以下の事象がMCUを起き上がらせ得ます。

- ウォッチドッグリセット、外部リセット、低電圧検出(BOD)リセット
- INT0の外部レベル割り込み、ピン変化割り込み
- A/D変換完了割り込み、SPM/EEPROM準備可割り込み
- USARTフレーム開始検出、TWIアドレス一致

7.1.3. パワーダウン動作

この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。パワーダウン動作では発振器が停止される一方で以下の周辺機能は動作を続けます。

- (許可されていれば)ウォッチドッグ、外部割り込み

以下の事象がMCUを起き上がらせ得ます。

- ウォッチドッグ リセット、外部リセット、低電圧検出(BOD)リセット
- INT0の外部レベル割り込み、ピン変化割り込み
- USARTフレーム開始検出、TWIアドレス一致

7.1.4. スタンバイ動作

スタンバイ動作は発振器が走行(動作)を保たれる例外を除いて**パワーダウン動作**と同じです。スタンバイ動作からは6クロック周期でデバイスが起き上がります。

7.2. 電力削減レジスタ

電力削減レジスタ(26頁の「[PRR – 電力削減レジスタ](#)」参照)は個別周辺機能へのクロックを停止することにより、消費電力を削減方法を提供します。周辺機能へのクロックが停止されると、以下のようになります。

- 周辺機能の現在の状態が固定化されます。
- 関連するレジスタは読み書きすることができません。
- 周辺機能によって使われる資源は専有されたままに留まります。

周辺機能は殆どの場合に於いてクロックを停止する前に禁止されるべきです。電力削減レジスタ(PRR)のビットを解除(0)することが周辺機能部を起し、停止前と同じ状態にします。

周辺機能停止は全体に亘る重要な消費電力の削減のために通常動作とアイドル動作で使えます。その他の休止形態動作ではクロックが予め停止されます。

7.3. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態動作は可能な限り多く使われるべきで、休止形態種別は動作するデバイスの機能が可能な限り少なくなるように選択されるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とするでしょう。

7.3.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全ての休止形態動作で許可されます。節電するため、休止形態動作の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については133頁の「[A/D変換器](#)」をご覧ください。

7.3.2. アナログ比較器

アイドル動作移行時に未使用ならばアナログ比較器は禁止されるべきです。A/D変換雑音削減動作移行時にアナログ比較器は禁止されるべきです。その他の休止形態動作ではアナログ比較器が自動的に禁止されます。けれども、アナログ比較器が入力として内部基準電圧を使うように構成設定される場合、アナログ比較器は全ての休止動作形態で禁止されるべきです。さもないと、休止動作形態と無関係に内部基準電圧が許可されます。アナログ比較器の構成設定方法の詳細については127頁の「[アナログ比較器0](#)」と130頁の「[アナログ比較器1](#)」をご覧ください。

7.3.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODPDヒューズによって許可されていると全休止形態動作で許可され、故に常時電力を消費します。これはより深い休止形態動作での総消費電流にとって重要な一因になります。応用に於いて低電圧検出器が必要とされる場合、この単位部は節電のために採取BOD動作形態に設定することもできます。低電圧検出器(BOD)設定法の詳細については29頁の「[低電圧検出\(BOD\)](#)」をご覧ください。

7.3.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、またはA/D変換器によって必要とされる時に許可されます。これらの単位部が上の項で記述されるように禁止されるなら、内部基準電圧は禁止され、電力を消費しません。再びONに切り替わる時に、この出力が使われる前に使用者はこの基準電圧に始動を許さなければなりません。基準電圧が休止動作形態でONを維持されるなら、この出力は直ちに使うことができます。始動時間の詳細については165頁の表25-5.内の内部バントギャップ基準をご覧ください。

7.3.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFされるべきです。ウォッチドッグ タイマが許可されていると全休止形態動作で許可され、故に常時電力を消費します。これはより深い休止形態動作での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については30頁の「[ウォッチドッグ タイマ](#)」をご覧ください。

7.3.6. ポートピン

休止形態動作へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック($clk_{I/O}$)とA/D変換器クロック(clk_{ADC})の両方が停止される休止形態動作ではデバイス
の入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの
場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については
40頁の「デジタル入力許可と休止形態動作」をご覧ください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナ
ログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は通常動作でも
重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ(DIDR0,1)の書き込みによって禁止できます。詳細に
ついては143頁の「DIDR0 – デジタル入力禁止レジスタ0」と「DIDR1 – デジタル入力禁止レジスタ1」をご覧ください。

7.4. 電力管理用レジスタ

7.4.1. MCUCR – MCU制御レジスタ (MCU Control Register)

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	–	SE	SM1	SM0	–	ISC01	ISC00	MCUCR
Read/Write	R	R	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット5 – SE : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを休止形態動作へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。
MCUの目的外休止形態動作移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)する
ことが推奨されます。

- ビット4,3 – SM1,0 : 休止形態種別選択 (Sleep Mode Select Bit 1 and 0)

これらのビットは表7-2.で示される利用可能な休止形態動作を選択します。

表7-2. 休止形態動作種別選択

SM1	SM0	休止形態動作種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	スタンバイ動作 (注)

注: クロック元として外部のクリスタルまたはセラミック振動子での選択でだけ推奨されます。

- ビット2 – Res : 予約 (Reserved)

このビットは予約されており、常に0を読みます。

7.4.2. PRR – 電力削減レジスタ (Power Reduction Register)

電力削減レジスタは周辺機能クロック信号が禁止されることを許すことによって電力消費を減らす方法を提供します。

ビット	7	6	5	4	3	2	1	0	
(\$70)	PRTWI	PRUSART1	PRUSART0	PRSPI	PRTIM2	PRTIM1	PRTIM0	PRADC	PRR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – PRTWI : TWI電力削減 (Power Reduction Two-Wire Interface)

このビットへの論理1書き込みは2線インターフェース(TWI)部を停止します。

- ビット6 – PRUSART1 : USART1電力削減 (Power Reduction USART1)

このビットへの論理1書き込みはこの単位部へクロックを停止することによってUSART1部を停止します。USART1が再び許可されると、停
止前と同様に動作は継続します。

- ビット5 – PRUSART0 : USART0電力削減 (Power Reduction USART0)

このビットへの論理1書き込みはこの単位部へクロックを停止することによってUSART0部を停止します。USART0が再び許可されると、停
止前と同様に動作は継続します。

- ビット4 – PRSPI : SPI電力削減 (Power Reduction SPI)

このビットへの論理1書き込みはこの単位部へクロックを停止することによってSPI部を停止します。SPIが再び起きる時に、正しい動作を
保証するためにSPIは再初期化されるべきです。

- **ビット3 – PRTIM2 : タイマ/カウンタ2電力削減** (Power Reduction Timer/Counter2)

このビットへの論理1書き込みは**タイマ/カウンタ2**部を停止します。タイマ/カウンタ2が再び許可されると、停止前と同様に動作は継続します。

- **ビット2 – PRTIM1 : タイマ/カウンタ1電力削減** (Power Reduction Timer/Counter1)

このビットへの論理1書き込みは**タイマ/カウンタ1**部を停止します。タイマ/カウンタ1が再び許可されると、停止前と同様に動作は継続します。

- **ビット1 – PRTIM0 : タイマ/カウンタ0電力削減** (Power Reduction Timer/Counter0)

このビットへの論理1書き込みは**タイマ/カウンタ0**部を停止します。タイマ/カウンタ0が再び許可されると、停止前と同様に動作は継続します。

- **ビット0 – PRADC : A/D変換器電力削減** (Power Reduction ADC)

このビットへの論理1書き込みは**A/D変換器(ADC)**を停止します。A/D変換器は停止前に**禁止**されなければなりません。A/D変換器停止時、**アナログ比較器**は**ADC入力切替器**を使えません。

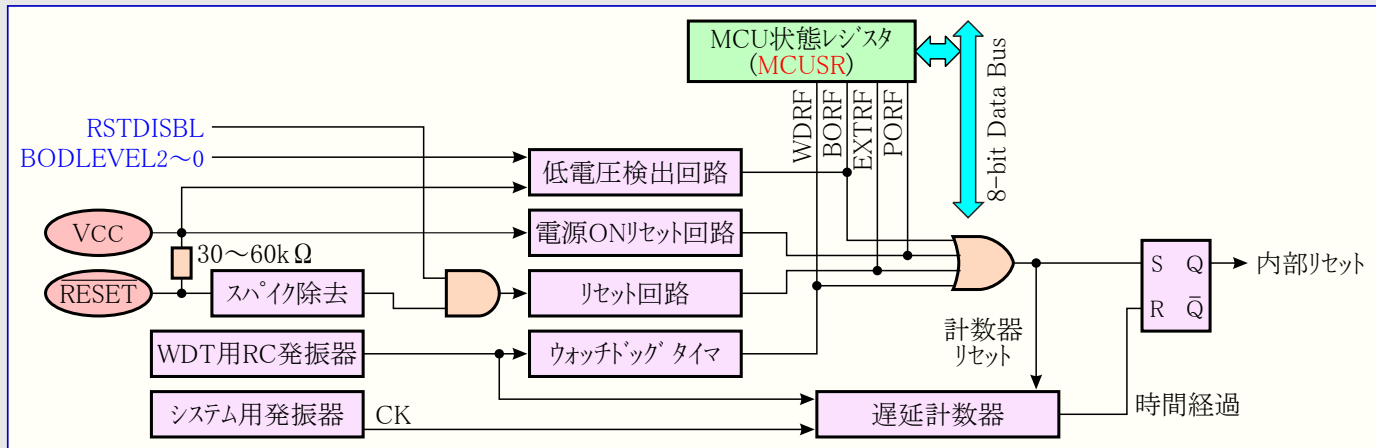
8. システム制御とリセット

8.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、例えば他の1または2語命令が使えたとしても、リセット処理ルーチンへの無条件絶対分岐(JMP)2語命令であるべきです。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。

図8-1.の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は165頁の「システムとリセットの特性」項で定義されます。

図8-1. リセット回路構成



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。

8.2. リセット元

ATtiny441/841には次の4つのリセット元があります。

- **電源ONリセット** 供給電圧が**電源ONリセット閾値電圧(V_{POA})**以下でMCUがリセットされます。
- **外部リセット** RESET機能許可時にRESETピンが**最小パルス幅**以上**Low**レベルに保たれると、MCUがリセットされます。
- **ウォッチドッグリセット** ... ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- **低電圧リセット** 低電圧検出器(BOD)が許可され、供給電圧(VCC)が**低電圧検出電圧(V_{BOD})**以下でMCUがリセットされます。

8.2.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路により、生成されます。検出電圧は165頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。**電源ONリセット閾値電圧(V_{POR})**への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. MCU始動、VCCに繋がれたRESET

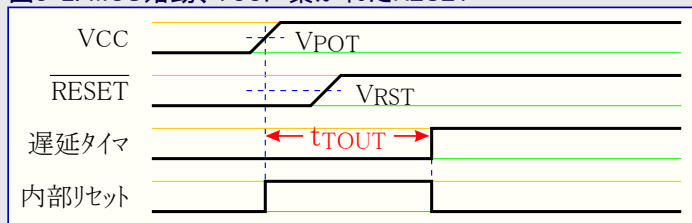
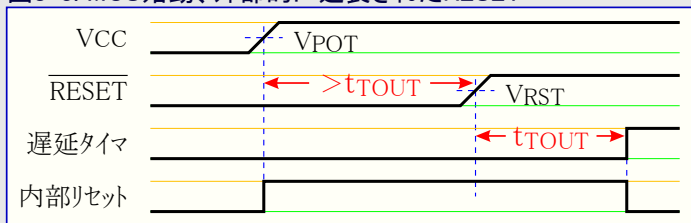


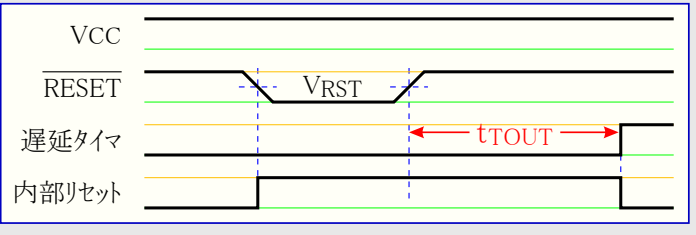
図8-3. MCU始動、外部的に延長されたRESET



8.2.2. 外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(165頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧(VRST)に達すると(遅延タイマを起動し)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

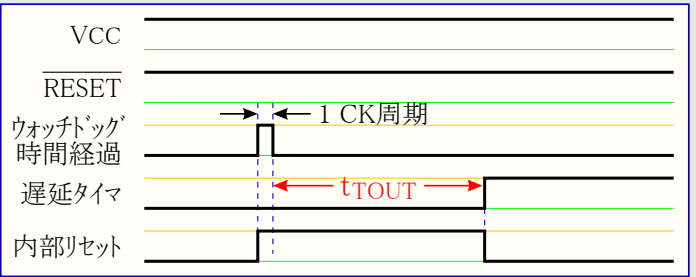
図8-4. 動作中の外部リセット



8.2.3. ウォッチドッグ リセット

ウォッチドッグ時間経過時に(内部で)短いリセットパルスを生成します。遅延タイマはこのパルスの下降端で遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグ タイマ操作の詳細については30頁を、リセット遅延時間については165頁の表25-5をご覧ください。

図8-5. 動作中のウォッチドッグ リセット



8.2.4. 低電圧(ブラウンアウト)検出リセット

低電圧検出(BOD)回路はVCC水準が構成設定可能な検出レベル(VBOT)以上を維持することを監視します。BOD許可時、VCCが下降して検出時間の長さ(t_{BOD})の間、検出レベル以下に留まる時にBODリセットが与えられます。このリセットはVCCが再び検出レベル以上に上昇するまで活性を維持します。

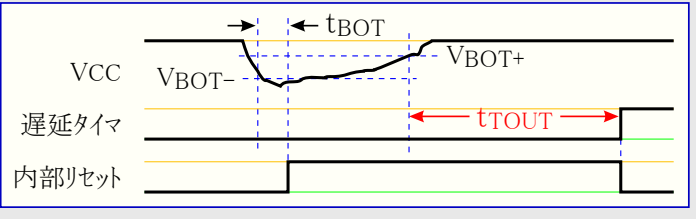
BOD回路は電圧が検出時間(t_{BOD})の間、検出レベル以下に留まらなければ、VCCの降下を検出しません(165頁の「システムとリセットの特性」をご覧ください)。

BOD回路は以下のように3つの動作形態を持ちます。

- **禁止:** この動作形態ではVCCが監視されず、従って供給電力が安定を維持する応用だけに推奨されます。
- **許可:** この動作形態ではVCCレベルが継続的に監視されます。VCCが最低 t_{BOD} 間、VBOT以下へ降下した場合に低電圧(Brown-out)リセットが生成されます。
- **採取:** この動作形態ではVCCが32kHz超低電力(ULP)発振器から配給される1kHzクロックの各負端で採取されます。各採取間でBODはOFFされます。この動作種別はBODが継続的に許可される動作形態に比べて消費電力を減らしますが、1kHzクロックの2つの正端間のVCCでの降下検出を怠ります。この動作形態で低電圧(Brown-out)が検出された場合、VCCがVBOT以上に上昇するまでデバイスがリセットを維持するのを保証するために、BOD回路が許可動作形態に設定されます。BODはリセットが開放されてヒューズが読み込まれた後で採取動作形態に戻ります。

BOD動作形態はBODACTとBODPDのヒューズビットを用いて選択されます。BODACTヒューズビットは表8-1.で示されるように、活動動作とアイドル動作でBODがどう動作するかを決めます。

図8-6. 低電圧検出(BOD)リセット



BODPDヒューズビットは表8-2.で示されるように、アイドル動作を除く全ての休止形態動作でBODがどう動作するかを決めます。

149頁の「ヒューズビット」をご覧ください。

表8-1. 活動とアイドルの動作でのBOD動作構成設定

BODACT1	BODACT0	動作形態
0	0	(予約)
0	1	採取動作: 採取動作でBOD許可
1	0	許可動作: 継続的にBOD許可
1	1	禁止動作: BOD禁止

表8-2. アイドル以外の休止形態でのBOD動作構成設定

BODPD1	BODPD0	動作形態
0	0	(予約)
0	1	採取動作: 採取動作でBOD許可
1	0	許可動作: 継続的にBOD許可
1	1	禁止動作: BOD禁止

8.3. 内部基準電圧

ATtiny441/841は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。バントギャップ電圧は供給電圧と温度で変化します。

8.3.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、165頁の「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

- 1. 低電圧検出リセット許可時 (BODACTとBODPDのヒューズのプログラム(0)によって)
- 2. アナログ比較器内部基準電圧接続時 (アナログ比較器0制御/状態レジスタ(ACSR0A,ACSR0B)の正入力多重器(ACPMUX2~0)=100 またはアナログ比較器1制御/状態レジスタA(ACSR1A)の基準電圧入力選択(ACBG1)=1)
- 3. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.4. ウォッチドッグ タイマ

ウォッチドッグ タイマは32kHz超低電力(ULP)発振器からクロック駆動されます(18頁をご覧ください)。ウォッチドッグ タイマ前置分周器の制御によってウォッチドッグ リセット間隔は32頁の表8-5.で示されるように調整できます。ウォッチドッグ リセット (WDR) 命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。10種の異なるクロック周期時間がこのリセット周期を決めるために選択できます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny 441/841はリセットしてリセット ベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては32頁の表8-5.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これは「パワーダウン動作」から起動するのにウォッチドッグを使う時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全レベルが表8-3.で示されるWDTON構成設定ビットによって選択されます。詳細については次の「ウォッチドッグ タイマ構成設定変更手順」を参照してください。

図8-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

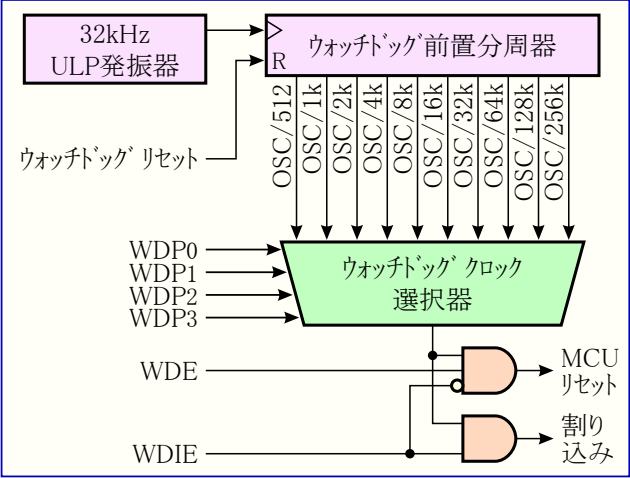


表8-3. WDTON構成設定ビットの設定によるウォッチドッグ機能設定

WDTON構成設定ビット	安全レベル	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	時間制限変更手順	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	時間制限変更手順

8.4.1. ウォッチドッグ タイマ構成設定変更用時間制限手順

ウォッチドッグ構成設定変更手順は安全レベル間で僅かに異なります。各レベルに対して独立した手順が記述されます。

8.4.1.1. 安全レベル1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことによって許可できます。許可したウォッチドッグ タイマを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

- 1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
- 2. (次からの)4命令周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書いてください。

8.4.1.2. 安全レベル2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読めます。ウォッチドッグ計時完了周期を変更する時に時間制限された変更が必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

- 1. 保護されたI/Oレジスタの変更許可用の識票を構成設定変更保護(CCP)レジスタに書いてください。
- 2. (次からの)4命令周期内に同じ操作(命令)でWDP2~0ビットを書いてください。WDEビットに書かれた値は無関係です。

8.4.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替える方法を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故この関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
WDT_OFF:      WDR          ;ウォッチドッグ タイマ リセット
              IN          R16, MCUSR      ;現MCUSR値を取得
              ANDI        R16, ~(1<<WDRF) ;WDRFビットのみ0値を取得
              OUT         MCUSR, R16      ;MCUSRのWDRFを解除(0)
              LDI         R16, $D8       ;変更許可識別値を取得
              OUT         CCP, R16       ;構成設定変更許可手順開始
              LDI         R16, (0<<WDE)   ;WDE論理0値を取得
              OUT         WDTCSR, R16     ;ウォッチドッグ禁止
              RET                     ;呼び出し元へ復帰
```

注: 4頁の「コード例」をご覧ください。

8.5. リセット関係レジスタ

8.5.1. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

● ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

● ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

8.5.2. WDTCSR – ウォッチドッグ タイマ制御/状態レジスタ (Watchdog Timer Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDIF	WDIE	WDP3	–	WDE	WDP2	WDP1	WDP0	WDTCSR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

●ビット7 – WDIF : ウォッチドッグ時間超過割り込み要求フラグ (Watchdog Timeout Interrupt Flag)

ウォッチドッグ タイマが割り込みに設定され、ウォッチドッグ タイマで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全体割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていると、ウォッチドッグ計時完了割り込みが実行されます。

●ビット6 – WDIE : ウォッチドッグ時間超過割り込み許可 (Watchdog Timeout Interrupt Enable)

このビットが1を書かれ、ウォッチドッグ リセット許可(WDE)ビットが解除(0)され、ステータスレジスタ(SREG)の全体割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ時間超過割り込みが許可されます。この動作形態ではウォッチドッグ タイマで時間超過が起きた場合にリセットの代わりに対応する割り込みが実行されます。

WDEが設定(1)されると、時間経過発生時にハードウェアによってWDIEが自動的に解除(0)されます。これはウォッチドッグ リセット保護を維持すると同時に割り込みを使うのに有用です。WDIEビット解除(0)後、次の時間経過がリセットを生成します。ウォッチドッグ リセットを避けるには各割り込み後にWDIEが設定(1)されなければなりません。

表8-4. ウォッチドッグ タイマ構成設定

WDE	WDIE	ウォッチドッグ タイマの状態	時間超過での活動
0	0	停止	なし
0	1 (注)	走行	割り込み
1	0	走行	リセット
1	1 (注)	走行	割り込み

注: 安全レベル2ではWDIEを設定(1)することができません。

●ビット4 – Res : 予約 (Reserved)

このビットは予約されており、常に0を読みます。

●ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

WDEが論理1を書かれると、ウォッチドッグ タイマが許可され、WDEが論理0を書かれた場合にウォッチドッグ タイマ機能が禁止されます。

安全レベル2では、例えば上で記述した方法でもウォッチドッグ タイマを禁止することが不可能です。30頁の「ウォッチドッグ タイマ構成設定変更用時間制限手順」をご覧ください。

安全レベル1では、WDEがMCUSRのウォッチドッグ リセット フラグ(WDRF)によって無効化されます。WDRFの記述については31頁の「MCUSR – MCU状態レジスタ」をご覧ください。WDEを解除(0)するには、上で記述した手順でウォッチドッグを禁止する前に、WDRFが解除(0)されなければなりません。この特質は失敗が起こっている状況中の複数リセットと、失敗後の安全な始動を保証します。

ウォッチドッグ タイマを応用で使わないつもりなら、デバイスの初期化でウォッチドッグ禁止手順全体を行うことが重要です。例えばポインタ暴走や低電圧状況によってウォッチドッグが予期せず許可された場合、デバイスは順に新しいウォッチドッグ リセットを引き起こす、リセットにされるでしょう。この状況を避けるため、応用ソフトウェアは初期化ルーチン内でWDRFとWDE制御ビットを常に解除(0)すべきです。

●ビット5,2~0 – WDP3~0 : ウォッチドッグ タイマ前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

WDP3~0ビットはウォッチドッグ タイマが許可される時のウォッチドッグ タイマ前置分周を決めます。各種前置分周値と対応する計時完了周期は表8-5.で示されます。

表8-5. ウォッチドッグ前置分周器選択																
WDP3	0								1							
WDP2	0				1				0				1			
WDP1	0		1		0		1		0		1		0		1	
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	512	1k	2k	4k	8k	16k	32k	64k	128k	256k	(予約)(注)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

注: 選択したなら、1010未満の有効設定の1つが使われます。

これらのビットの予期せぬ変更を避けるため、以下の手順に従わなければなりません。

- 必要とされる識票を構成設定変更保護(CCP)レジスタに書いてください。9頁をご覧ください。
- (次からの)4命令周期内に望むビット値を書いてください。

9. 割り込み

割り込み操作の一般説明については7頁の「リセットと割り込みの扱い」をご覧ください。

9.1. 割り込みベクタ

ATtiny441/841の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	ラベル表記	割り込み元
1	\$0000	RESET	電源ON, WDT, BOD等の各種リセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT0 (PCI0)	ピン変化0群割り込み要求
4	\$0003	PCINT1 (PCI1)	ピン変化1群割り込み要求
5	\$0004	WDT	ウォッチドッグ計時完了
6	\$0005	TIM1_CAPT	タイマ/カウンタ1捕獲発生
7	\$0006	TIM1_COMPA	タイマ/カウンタ1比較A一致
8	\$0007	TIM1_COMPB	タイマ/カウンタ1比較B一致
9	\$0008	TIM1_OVF	タイマ/カウンタ1溢れ
10	\$0009	TIM0_COMPA	タイマ/カウンタ0比較A一致
11	\$000A	TIM0_COMPB	タイマ/カウンタ0比較B一致
12	\$000B	TIM0_OVF	タイマ/カウンタ0溢れ
13	\$000C	ANA_COMP0	アナログ比較器0出力遷移
14	\$000D	ADC_READY	A/D変換完了
15	\$000E	EE_RDY	EEPROM操作可
16	\$000F	ANA_COMP1	アナログ比較器1出力遷移
17	\$0010	TIM2_CAPT	タイマ/カウンタ2捕獲発生
18	\$0011	TIM2_COMPA	タイマ/カウンタ2比較A一致
19	\$0012	TIM2_COMPB	タイマ/カウンタ2比較B一致
20	\$0013	TIM2_OVF	タイマ/カウンタ2溢れ
21	\$0014	SPI	SPI直列転送完了
22	\$0015	USART0_RXS	USART0受信開始
23	\$0016	USART0_RXC	USART0受信完了
24	\$0017	USART0_DRE	USART0データレジスタ空
25	\$0018	USART0_TXC	USART0送信完了
26	\$0019	USART1_RXS	USART1受信開始
27	\$001A	USART1_RXC	USART1受信完了
28	\$001B	USART1_DRE	USART1データレジスタ空
29	\$001C	USART1_TXC	USART1送信完了
30	\$001D	TWI	2線インターフェース
31	\$001E	RESERVED	(予約)

割り込みベクタ アドレスに対する代表的な構成設定は下のプログラム例で示されます。

アドレス	ラベル	命令	注釈
		. ORG \$0000	; 次命令行開始アドレス
\$0000		JMP RESET	; 各種リセット
\$0001		JMP INTO_ISR	; 外部割り込み要求0
\$0002		JMP PCINT0_ISR	; ピン変化0群割り込み要求
\$0003		JMP PCINT1_ISR	; ピン変化1群割り込み要求
\$0004		JMP WDT_ISR	; ウォッチドッグ計時完了
\$0005		JMP TIM1_CAPT_ISR	; タイマ/カウンタ1捕獲発生
\$0006		JMP TIM1_COMPA_ISR	; タイマ/カウンタ1比較A一致
\$0007		JMP TIM1_COMPB_ISR	; タイマ/カウンタ1比較B一致
\$0008		JMP TIM1_OVF_ISR	; タイマ/カウンタ1溢れ
\$0009		JMP TIM0_COMPA_ISR	; タイマ/カウンタ0比較A一致
\$000A		JMP TIM0_COMPB_ISR	; タイマ/カウンタ0比較B一致
\$000B		JMP TIM0_OVF_ISR	; タイマ/カウンタ0溢れ
\$000C		JMP ANA_COMP0_ISR	; アナログ比較器0出力遷移
\$000D		JMP ADC_ISR	; A/D変換完了
\$000E		JMP EE_RDY_ISR	; EEPROM操作可
\$000F		JMP ANA_COMP1_ISR	; アナログ比較器1出力遷移
\$0010		JMP TIM2_CAPT_ISR	; タイマ/カウンタ2捕獲発生
\$0011		JMP TIM2_COMPA_ISR	; タイマ/カウンタ2比較A一致
\$0012		JMP TIM2_COMPB_ISR	; タイマ/カウンタ2比較B一致
\$0013		JMP TIM2_OVF_ISR	; タイマ/カウンタ2溢れ
\$0014		JMP SPI_ISR	; SPI直列転送完了
\$0015		JMP USART0_RXS_ISR	; USART0受信開始
\$0016		JMP USART0_RXC_ISR	; USART0受信完了
\$0017		JMP USART0_DRE_ISR	; USART0データレジスタ空
\$0018		JMP USART0_TXC_ISR	; USART0送信完了
\$0019		JMP USART1_RXS_ISR	; USART1受信開始
\$001A		JMP USART1_RXC_ISR	; USART1受信完了
\$001B		JMP USART1_DRE_ISR	; USART1データレジスタ空
\$001C		JMP USART1_TXC_ISR	; USART1送信完了
\$001D		JMP TWI_ISR	; 2線インターフェース
\$001E		JMP RESERVED	; (予約)
;			
\$001F	RESET:	↪	; プログラム開始、以下、I/O初期化など

注: 4ページの「コード例」をご覧ください。

プログラムが決して割り込み元を許可しない条件では、割り込みベクタは使われず、結果としてこれらの位置に通常のプログラムコードを置くことができます。

9.2. 外部割り込み

外部割り込みはINT0ピンまたはPCINT0～17ピンの何れかによって起動されます。許可したなら、例えINT0またはPCINT0～17ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。

ピン変化割り込みは以下のように起動します。

- **ピン変化0群割り込み(PCI0)**は許可したPCINT0～7ピンの何れかが切り替わる場合に起動します。
- **ピン変化1群割り込み(PCI1)**は許可したPCINT8～11ピンの何れかが切り替わる場合に起動します。

ピン変化割り込み許可レジスタn(PCMSK0,PCMSK1)は、どのピンがピン変化割り込み要因となるかを制御します。

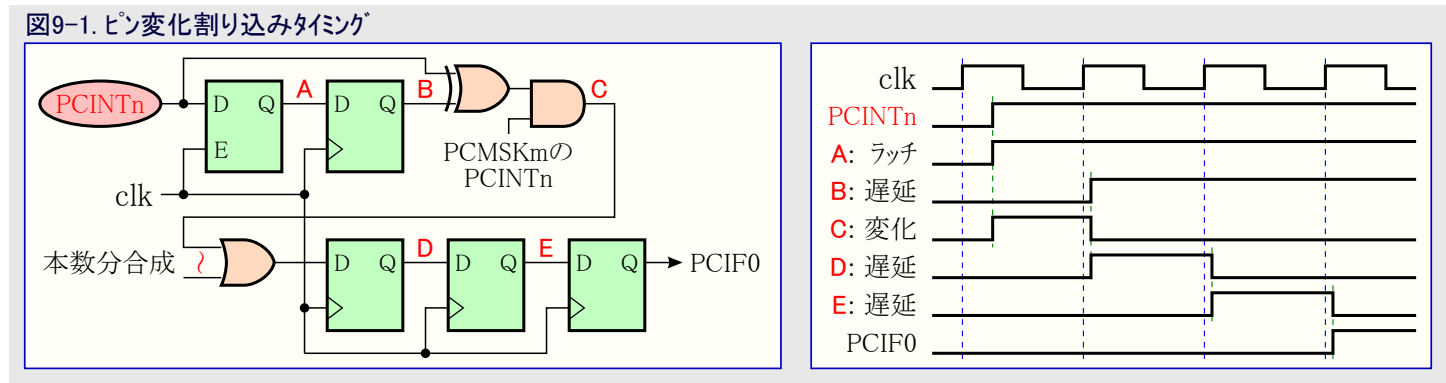
PCINT0～11でのピン変化割り込みは非同期に検知され、そしてそれはそれらの割り込みがアイドル動作以外の休止形態動作からもデバイスを起動するのに使えることを意味します。

INT0外部割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。INT0がレベル起動として構成設定されて許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。

INT0の上昇端または下降端の割り込みの認知は17頁の「クロック体系」で記述されるようにI/Oクロックの存在を必要とすることに注意してください。

9.2.1. ピン変化割り込みタイミング

ピン変化割り込みのタイミング例は図9-1.で示されます。



9.2.2. Lowレベル割り込み

INT0のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態動作からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態動作で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は17頁の「クロック体系」で示されるように定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP命令に続く命令から継続します。

9.3. 割り込み用レジスタ

9.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	—	—	SE	SM1	SM0	—	ISC01	ISC00	MCUCR
Read/Write	R	R	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット1,0 – ISC01,0 : 外部割り込み0判断制御 (Interrupt Sense Control 0 bit 1 and 0)**

外部割り込み0はステータスレジスタ(SREG)の全割り込み許可(I)ビットと対応する割り込み許可が設定(1)される場合のINT0ピンの活動によって起動されます。割り込みを起動するのに必要とされる条件は表9-2.で定義されます。

表9-2. 外部割り込み0(INT0)判断制御

ISC01	ISC00	説明
0	0	INT0ピンのLowレベルが割り込み要求を生成します。 (注1)
0	1	INT0ピンのどの論理変化(両端)も割り込み要求を生成します。 (注2)
1	0	INT0ピンの下降端が割り込み要求を生成します。 (注2)
1	1	INT0ピンの上昇端が割り込み要求を生成します。 (注2)

注1: Lowレベル割り込みが選択される場合、そのLowレベルは割り込みを生成するのに現在実行している命令の完了まで保たれなければなりません。

注2: INT0ピンの値はエッジ検出に先立って採取されます。エッジまたは論理変化割り込みが選択される場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込みの生成が保証されません。

9.3.2. GIMSK – 一般割り込み許可レジスタ (General Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	–	INT0	PCIE1	PCIE0	–	–	–	–	GIMSK
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – Res : 予約 (Reserved)

このビットは予約されており、常に0を読みます。

●ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのビットが設定(1)される時にINT0外部ピン割り込みが許可されます。起動条件はMCU制御レジスタ(MCUCR)の割り込み判断制御0のビット(ISC0n)で設定されます。

例えばINT0ピンが出力として設定されても、このピンの活動が割り込み要求を引き起こします。

●ビット5 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのビットが設定(1)される時にピン変化割り込み1が許可されます。許可したPCINT8～11ピンの何れかの変化が割り込みを引き起こします。33頁の表9-1をご覧ください。

各ピンは個別に許可することができます。次頁の「PCMSK1 – ピン変化割り込み許可レジスタ1」をご覧ください。

●ビット4 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットとこのビットが設定(1)される時にピン変化割り込み0が許可されます。許可したPCINT0～7ピンの何れかの変化が割り込みを引き起こします。33頁の表9-1をご覧ください。

各ピンは個別に許可することができます。次頁の「PCMSK0 – ピン変化割り込み許可レジスタ0」をご覧ください。

●ビット3～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

9.3.3. GIFR – 一般割り込み要求フラグレジスタ (General Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	–	INTF0	PCIF1	PCIF0	–	–	–	–	GIFR
Read/Write	R	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

このビットはINT0ピン上の活動が割り込み要求を起動する時に設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。

このフラグは割り込み処理ルーチンが実行される時に解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

INT0がレベル割り込みとして構成設定される時にこのフラグは常に解除(0)されます。

●ビット5 – PCIF1 : ピン変化1群割り込み要求フラグ (Pin Change Interrupt Flag 1)

このビットはPCINT8～11ピンの何れかの論理変化が割り込み要求を起動する時に設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化1群割り込み許可(PCIE1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。

このフラグは割り込み処理ルーチンが開始される時に解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

●ビット4 – PCIF0 : ピン変化0群割り込み要求フラグ (Pin Change Interrupt Flag 0)

このビットはPCINT0～7ピンの何れかの論理変化が割り込み要求を起動する時に設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(1)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。

このフラグは割り込み処理ルーチンが開始される時に解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

●ビット3～0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

9.3.4. PCMSK1 – ピン変化割り込み許可レジスタ1 (Pin Change Mask Register 1)

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	–	–	–	–	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット3～0 – PCINT11～PCINT8 : ピン変化割り込み11～8許可 (Pin Change Enable Mask 11～8)

各PCINTnビットは対応するI/Oピンのピン変化割り込みが許可されるかどうかを選びます。ピンでのピン変化割り込みはピンに対する許可ビット(PCINTn)と一般割り込み許可レジスタ(GIMSK)の対応するn群許可(PCIE_n)ビットの設定(1)によって許可されます。

このビットが解除(0)されると、対応するピンのピン変化割り込みが禁止されます。

9.3.5. PCMSK0 – ピン変化割り込み許可レジスタ0 (Pin Change Mask Register 0)

ビット	7	6	5	4	3	2	1	0	
\$12 (\$32)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7～0 – PCINT7～PCINT0 : ピン変化割り込み7～0許可 (Pin Change Enable Mask 7～0)

各PCINTnビットは対応するI/Oピンのピン変化割り込みが許可されるかどうかを選びます。ピンでのピン変化割り込みはピンに対する許可ビット(PCINTn)と一般割り込み許可レジスタ(GIMSK)の対応するn群許可(PCIE_n)ビットの設定(1)によって許可されます。

このビットが解除(0)されると、対応するピンのピン変化割り込みが禁止されます。

10. 入出力ポート

10.1. 概要

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード-モディファイ-ライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方向をも無意識に変更することなく、1つのポートピンの方向を変更できることを意味します。(出力として設定されていれば)駆動値を変更、またはプルアップ抵抗を許可/禁止する時にも同じく適用されます。

ピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持ちます。全てのI/Oピンは図10-1.で示されるように、VCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については163頁の「電気的特性」を参照してください。

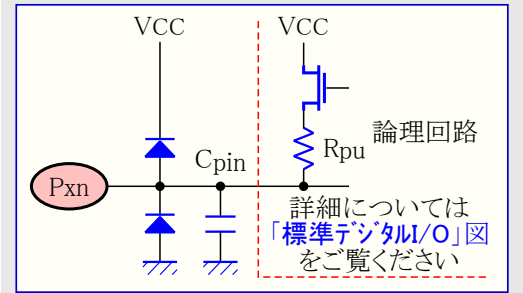
本項内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTxnがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は48頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、プルアップ許可レジスタ(PUEx)、入力レジスタ(PINx)の各ポートに対して、4つのI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタ、方向レジスタ、プルアップ許可レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は41頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

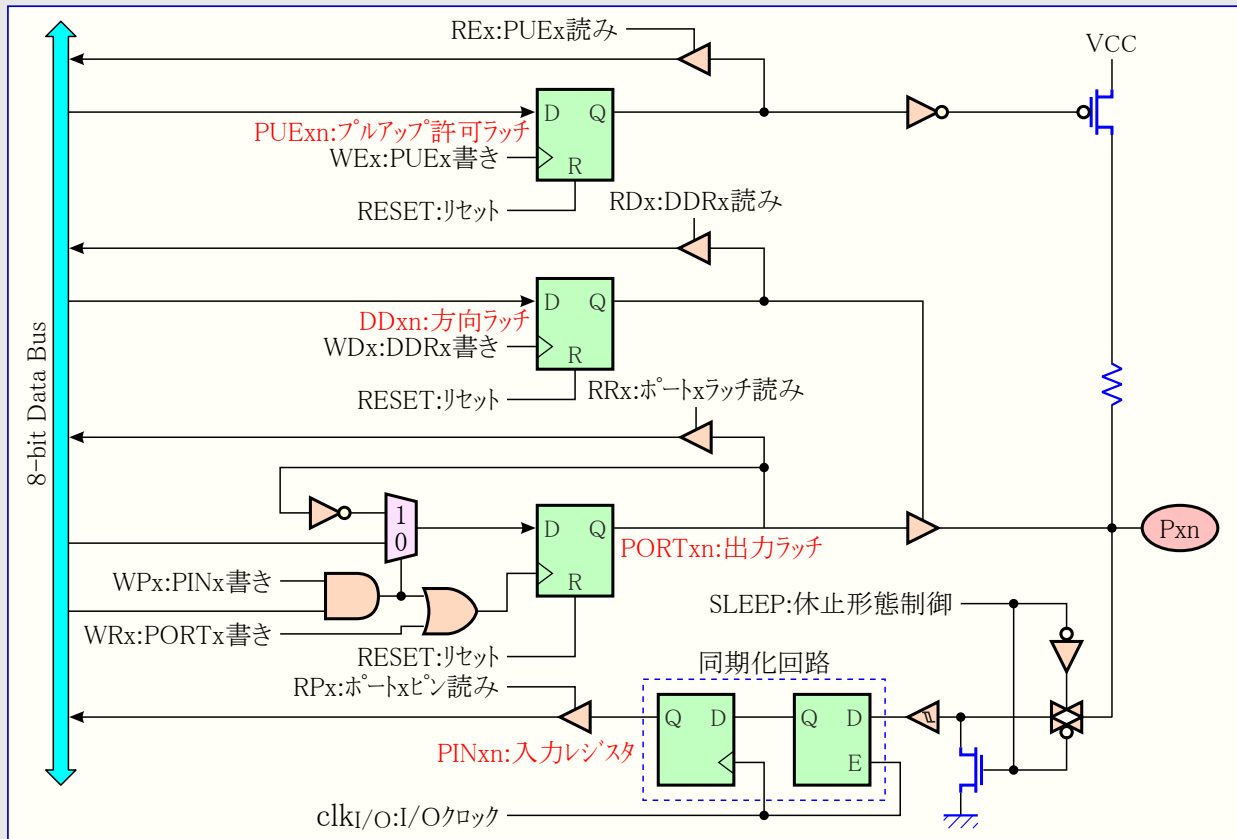
図10-1. 入出力ピン等価回路



10.2. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-2. 標準デジタル入出力回路構成



注: WEx, WRx, WPx, WDx, REx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/OとSLEEPは全ポートで共通です。

10.2.1. ピンの構成設定

各ポートピンはDDXn、PUExn、PORTxn、PINxnの4つのレジスタビットから成ります。48頁の「I/Oポート用レジスタ」で示されるように、DDXnビットはDDR_x I/O位置、PUExnビットはPUEx I/O位置、PORTxnビットはPORT_x I/O位置、PINxnビットはPIN_x I/O位置でアクセスされます。DDR_xレジスタ内のDDXnビットはそのピンの方向を選択します。DDXnが論理1を書かれるとPx_nは出力ピンとして設定されます。DDXnが論理0を書かれるとPx_nは入力ピンとして設定されます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

PUExnが論理1を書かれた場合にプルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPUExnが論理0を書かれなければなりません。

表10-1. ピン値に対する制御信号を要約します。

表10-1. ポートピンの設定					
DDXn	PORTxn	PUExn	入出力	プルアップ抵抗	備考
0	x	0	入力	なし	高インピーダンス (Hi-Z)
0	x	1	入力	あり	外部的にLowへ引かれた場合に電流を吐き出します。
1	0	0	出力	なし	Low (吐き出し)出力
1	0	1	出力	あり	非推奨: Low (吐き出し)出力、内部プルアップ活性(有効) 内部プルアップ抵抗を通して電流を吐き出し、常に電力を消費します。
1	1	0	出力	なし	High (吐き出し)出力
1	1	1	出力	あり	High (吐き出し)出力、内部プルアップ活性(有効)

ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

10.2.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えします。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

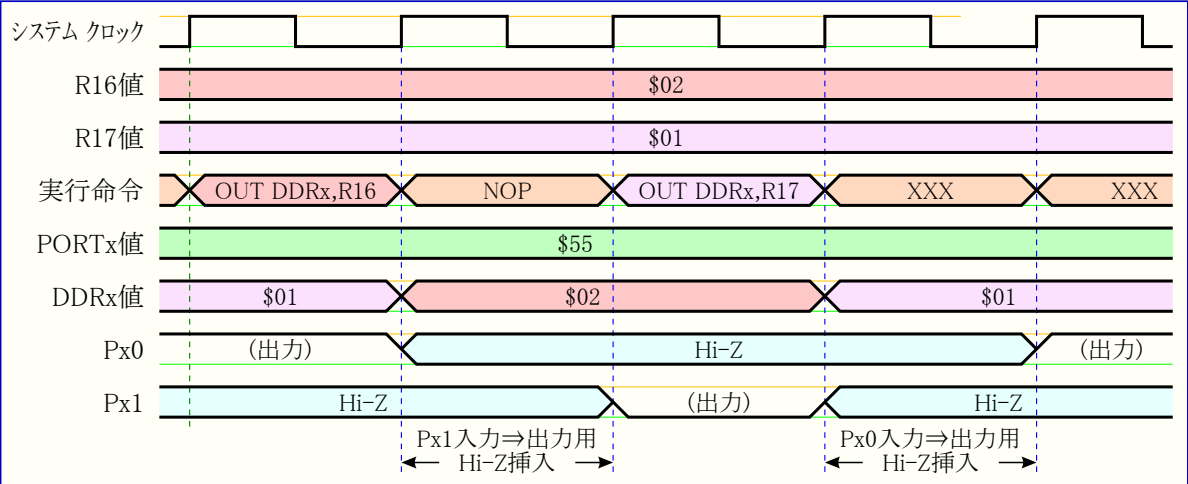
10.2.3. 接続前切断(Break-Before-Make)切り替え

接続前切断動作ではDDRxnを入力から出力へ切り換える時に1システムクロック持続する隣接Hi-Z区間が図10-3で示されるように導入されます。例えば、システムクロックが4MHzでDDRxnが出力にするように書かれた場合、PORTxnの値がポートピンに見える前に250nsの隣接Hi-Z区間が導入されます。

異常を避けるため、DDRxn最大切り替え周波数は2システムクロックが推奨されます。この接続前切断はポート単位動作で、ポート単位の接続前切断許可(BBMx)ビットによって活性(有効)にされます。BBMxビットの詳細については48頁の「PORTCR – ポート制御レジスタ」をご覧ください。

DDRxnビットを出力から入力に切り替える時に隣接Hi-Z区間は導入されません。

図10-3. 接続前切断での入出力間切り替え



10.2.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックのエッジ付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-4.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(図10-4.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスパレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-5.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図10-4. 外部供給ピン値読み込み時の同期化

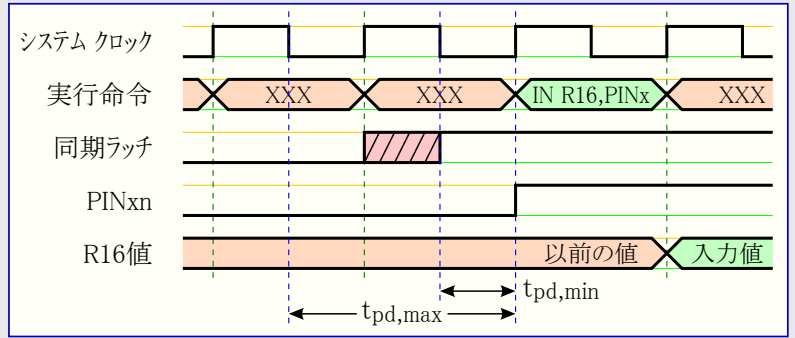
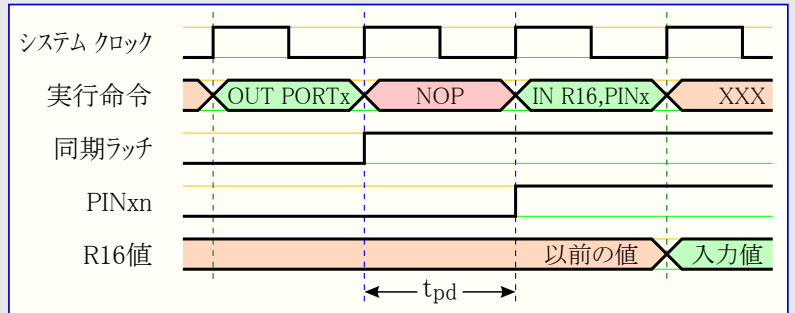


図10-5. プログラムで設定したピン値読み戻し時の同期化



10.2.5. デジタル入力許可と休止形態動作

図10-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、パワーダウン動作とスタンバイ動作でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対して無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは41頁の「交換ポート機能」で記載されるように様々な他の交換機能によっても無視されます。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上の休止形態動作から(復帰)再開する時に、これらの休止形態動作に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

10.2.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つことの保証が推奨されます。例えば上記のような深い休止形態動作で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、通常動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部のプルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

10.2.7. プログラム例

次のコード例はポートBピンの0をHigh出力、1をLow出力、ポートピンの2に割り当てられたプルアップと共に2～3のポートピンを入力として設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

アセンブリ言語プログラム例

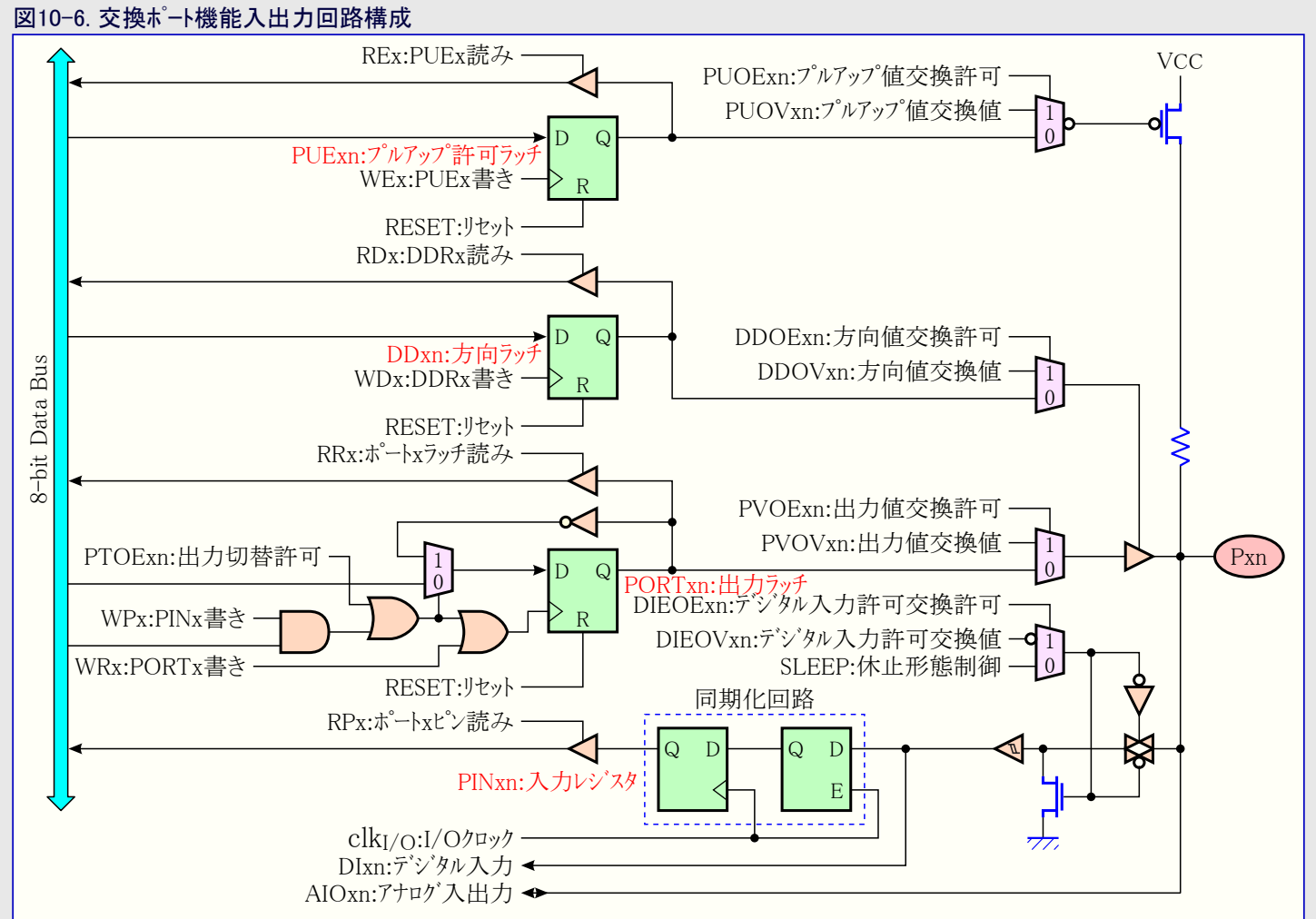
LDI R16, (1<PUEB2)
LDI R17, (1<<PB0)
LDI R18, (1<<DDB1) | (1<<DDB0)
OUT PUEB, R16
OUT PORTB, R17
OUT DDRB, R18
NOP
IN R16, PINB

; PB2プルアップ指定値取得
; PB1=0,PB0=1出力ビット値取得
; PB1,PB0出力指定値取得
; PB2プルアップ設定
; PB1=0,PB0=1出力ビット値設定
; 入出力方向設定
; 同期化遅延対処
; ピン値読み戻し
;

注: 4頁の「コード例」をご覧ください。

10.3. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。下の図10-6は単純化された38頁の図10-2.でのポートピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVRマイクロコントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。



注: WEx, WRx, WPx, WDx, REx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clki/oとSLEEPは全ポートで共通です。他の信号は各ピン固有です。

上の図の図解はAVRマイクロコントローラシステムの全ポートピンに適用できる一般的な記述として取り扱います。いくつかの重複信号は全てのポートピンに存在しないかもしれません。

表10-2.は重複(交換)信号の機能一覧を示します。図10-6.で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、PUExn=1でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、PUExnレジスタビット設定に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0なら、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可 交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態動作)によって決定されます。
OIEOV	デジタル入力許可 交換値	DIEOE=1時、MCUの状態(活動動作、休止形態動作)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。本信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

次節は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

10.3.1. ポートAの交換機能

ポートAの交換機能は表10-3.で示されます。

表10-3. ポートAの交換機能

ピン	機能	交換機能の説明
PA0	MISO	SPIの主装置入力/従装置出力 (代替位置)
	AREF	アナログ外部基準電圧
	ADC0	A/D変換器(ADC)用入力チャネル
	PCINT0	ピン変化割り込み元
PA1	MOSI	SPIの主装置出力/従装置入力 (代替位置)
	TXD0	USART0の直列データ出力 (既定位置)
	TOCC0	タイマ/カウンタ比較出力チャネル0
	AIN00	アナログ比較器0の正入力
	ADC1	A/D変換器(ADC)用入力チャネル
	PCINT1	ピン変化割り込み元
PA2	SS	SPIの従装置選択入力 (代替位置)
	RXD0	USART0の直列データ入力 (既定位置)
	TOCC1	タイマ/カウンタ比較出力チャネル1
	AIN01	アナログ比較器0の負入力
	ADC2	A/D変換器(ADC)用入力チャネル
	PCINT2	ピン変化割り込み元
PA3	SCK	SPIの主装置クロック出力/従装置クロック入力 (代替位置)
	XCK0	USART0の転送クロック入出力
	T0	タイマ/カウンタ0外部クロック入力
	TOCC2	タイマ/カウンタ比較出力チャネル2
	AIN10	アナログ比較器1の正入力
	ADC3	A/D変換器(ADC)用入力チャネル
	PCINT3	ピン変化割り込み元
	SCK	SPIの主装置クロック出力/従装置クロック入力 (既定位置)
PA4	SCL	TWIのクロック線
	RXD1	USART1の直列データ入力
	T1	タイマ/カウンタ1外部クロック入力
	TOCC3	タイマ/カウンタ比較出力チャネル3
	AIN11	アナログ比較器1の負入力
	ADC4	A/D変換器(ADC)用入力チャネル
	PCINT4	ピン変化割り込み元
	MISO	SPIの主装置入力/従装置出力 (既定位置)
PA5	TXD1	USART1の直列データ出力
	T2	タイマ/カウンタ2外部クロック入力
	TOCC4	タイマ/カウンタ比較出力チャネル4
	ACO0	アナログ比較器0の出力
	ADC5	A/D変換器(ADC)用入力チャネル
	PCINT5	ピン変化割り込み元
PA6	MOSI	SPIの主装置出力/従装置入力 (既定位置)
	SDA	TWIのデータ線
	XCK1	USART1の転送クロック入出力
	TOCC5	タイマ/カウンタ比較出力チャネル5
	ACO1	アナログ比較器1の出力
	ADC6	A/D変換器(ADC)用入力チャネル
PA7	PCINT6	ピン変化割り込み元
	SS	SPIの従装置選択入力 (既定位置)
	TXD0	USART0の直列データ出力 (代替位置)
	ICP1	タイマ/カウンタ1捕獲入力
	TOCC6	タイマ/カウンタ比較出力チャネル6
	ADC7	A/D変換器(ADC)用入力チャネル
	PCINT7	ピン変化割り込み元

下の表10-4.はポートの交換機能によって使われる再定義信号を要約します。信号どう使われるかの図解については41頁の図10-6.をご覧ください。

表10-4. ポートAの再定義信号

ピン	信号	構成
PA0	PUOE	$\overline{\text{RESET}} \cdot \overline{\text{REFS2}}$
	PUOV	0
	DDOE	$(\overline{\text{RESET}} \cdot \overline{\text{REFS2}}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	DDOV	0
	PVOE	$(\overline{\text{RESET}} \cdot \overline{\text{REFS2}}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	PVOV	$(\overline{\text{RESET}} \cdot \overline{\text{REFS2}}) \cdot \text{SPI}$ 従装置出力
	PTOE	0
	DIEOE	$(\text{PCINT0} \cdot \text{PCIE0}) + \text{ADC0D}$
	DIEOV	$\text{PCINT0} \cdot \text{PCIE0}$
	DI	PCINT/SPI主装置入力
	AIO	ADC0/AREF入力
PA1	PUOE	$\text{TXEN0} \cdot \overline{\text{U0MAP}}$
	PUOV	0
	DDOE	$(\text{TXEN0} \cdot \overline{\text{U0MAP}}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	DDOV	$\text{MUXEN1} + \text{XEN1} \cdot (\text{TXEN0} \cdot \overline{\text{U0MAP}})$
	PVOE	$\text{TOCC0OE} + (\text{TXEN0} \cdot \overline{\text{U0MAP}}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	PVOV	$\text{TOCC0OE} \cdot \text{TOCC0}$ 出力 + $\text{OTCC0OE} \cdot (\text{TXEN0} \cdot \overline{\text{U0MAP}}) \cdot \text{TXD0}$ 出力 + $\text{TOCC0OE} \cdot (\text{TXEN0} \cdot \overline{\text{U0MAP}}) \cdot \text{SPI}$ 主装置出力
	PTOE	0
	DIEOE	$(\text{PCINT1} \cdot \text{PCIE0}) + \text{ADC1D}$
	DIEOV	$\text{PCINT1} \cdot \text{PCIE0}$
	DI	PCINT1/SPI従装置入力
	AIO	ADC1/アナログ比較器0正入力
PA2	PUOE	0
	PUOV	0
	DDOE	$(\text{RXEN0} \cdot \overline{\text{U0MAP}}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	DDOV	0
	PVOE	TOCC1OE
	PVOV	TOCC1出力
	PTOE	0
	DIEOE	$(\text{PCINT2} \cdot \text{PCIE0}) + \text{ADC2D} + (\text{RXEN0} \cdot \text{SFDE0} \cdot \overline{\text{U0MAP}})$
	DIEOV	$(\text{PCINT2} \cdot \text{PCIE0}) + (\text{RXEN0} \cdot \text{SFDE0} \cdot \overline{\text{U0MAP}})$
	DI	PCINT2/RXD0/ $\overline{\text{SS}}$ 入力
	AIO	ADC2/アナログ比較器0負入力
PA3	PUOE	0
	PUOV	0
	DDOE	$(\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	DDOV	0
	PVOE	$\text{TOCC2OE} + \text{XCK0}$ 主装置 + $(\text{SPE} \cdot \overline{\text{MSTR}} \cdot \text{SPIMAP})$
	PVOV	$\text{TOCC2OE} \cdot \text{TOCC2}$ 出力 + $\text{TOCC2OE} \cdot \text{XCK0}$ 主装置・XCK0出力 + $\text{TOCC2OE} \cdot \text{XCK0}$ 主装置・SCK出力
	PTOE	0
	DIEOE	$(\text{PCINT3} \cdot \text{PCIE0}) + \text{ADC3D} + (\text{XCK0}$ 従装置・ $\text{RXEN0} \cdot \text{SFDE0})$
	DIEOV	$(\text{PCINT3} \cdot \text{PCIE0}) + (\text{XCK0}$ 従装置・ $\text{RXEN0} \cdot \text{SFDE0})$
	DI	PCINT3/T0/SCK/入力
	AIO	ADC3/アナログ比較器1正入力

表10-4. (続き) ホートAの再定義信号

ピン	信号	構成
PA4	PUOE	0
	PUOV	0
	DDOE	$\overline{\text{TWEN}} + \text{RXEN1} + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	DDOV	$\overline{\text{TWEN}} \cdot \text{SCL}$ 出力
	PVOE	$\overline{\text{TWEN}} + \text{TOCC3OE} + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	PVOV	$\overline{\text{TWEN}} \cdot \text{TOCC3OE} \cdot \text{TOCC3}$ 出力 + $\overline{\text{TWEN}} \cdot \overline{\text{TOCC3OE}} \cdot \text{SCK}$ 出力
	PTOE	0
	DIEOE	$(\text{PCINT4} \cdot \text{PCIE0}) + \text{ADC4D} + (\text{RXEN1} \cdot \text{SFDE1})$
	DIEOV	$(\text{PCINT4} \cdot \text{PCIE0}) + (\text{RXEN1} \cdot \text{SFDE1})$
	DI	PCINT4/T1/SCK/RXD1入力
	AIO	ADC4/SCL/アナログ比較器1負入力
PA5	PUOE	TXEN1
	PUOV	0
	DDOE	$\overline{\text{TXEN1}} + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	DDOV	TXEN1
	PVOE	$\text{TOCC4OE} + \text{TXEN1} + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	PVOV	$\text{TOCC4OE} \cdot \text{TOCC4}$ 出力 + $\overline{\text{TOCC4OE}} \cdot \text{TXEN1} \cdot \text{TXD1}$ 出力 + $\overline{\text{TOCC4OE}} \cdot \overline{\text{TXEN1}} \cdot \text{SPI}$ 従装置出力
	PTOE	0
	DIEOE	$(\text{PCINT5} \cdot \text{PCIE0}) + \text{ADC5D}$
	DIEOV	$\text{PCINT5} \cdot \text{PCIE0}$
	DI	PCINT5/SPI主装置入力
	AIO	ADC5入力/アナログ比較器0出力
PA6	PUOE	0
	PUOV	0
	DDOE	$\overline{\text{TWEN}} + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	DDOV	$\overline{\text{TWEN}} \cdot \text{SDA}$ 出力
	PVOE	$\overline{\text{TWEN}} + \text{TOCC5OE} + \text{XCK1}$ 主装置 + $(\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	PVOV	$\overline{\text{TWEN}} \cdot \text{TOCC5OE} \cdot \text{TOCC5}$ 出力 + $\overline{\text{TWEN}} \cdot \overline{\text{TOCC5OE}} \cdot \text{XCK1}$ 主装置・XCK0出力 + $\overline{\text{TWEN}} \cdot \overline{\text{TOCC5OE}} \cdot \text{XCK1}$ 主装置・SPI主装置出力
	PTOE	0
	DIEOE	$(\text{PCINT6} \cdot \text{PCIE0}) + \text{ADC6D} + (\text{XCK1}$ 従装置・RXEN1・SFDE1)
	DIEOV	$(\text{PCINT6} \cdot \text{PCIE0}) + (\text{XCK1}$ 従装置・RXEN1・SFDE1)
	DI	PCINT6/SPI従装置入力
	AIO	ADC6入力/アナログ比較器1出力
PA7	PUOE	TXEN0・U0MAP
	PUOV	0
	DDOE	$(\text{TXEN0} \cdot \text{U0MAP}) + (\text{SPE} \cdot \overline{\text{MSTR}} \cdot \overline{\text{SPIMAP}})$
	DDOV	$(\text{TXEN0} \cdot \text{U0MAP})$
	PVOE	$\text{TOCC6OE} + (\text{TXEN0} \cdot \text{U0MAP})$
	PVOV	$\text{TOCC6OE} \cdot \text{TOCC6}$ 出力 + $\overline{\text{TOCC6OE}} \cdot \text{TXD1}$ 出力
	PTOE	0
	DIEOE	$(\text{PCINT7} \cdot \text{PCIE0}) + \text{ADC7D}$
	DIEOV	$\text{PCINT7} \cdot \text{PCIE0}$
	DI	PCINT7/ICP1/SS入力
	AIO	ADC7入力

10.3.2. ポートBの交換機能

ポートBの交換機能は表10-5.で示されます。

表10-5. ポートBの交換機能		
ピン	機能	交換機能の説明
PB0	CLKI	外部供給元からのクロック入力
	XTAL1	外部クリスタル/セラミック用発振増幅器入力
	ADC11	A/D変換器(ADC)用入力チャネル
	PCINT8	ピン変化割り込み元
PB1	INT0	外部割込み要求0入力
	XTAL2	外部クリスタル/セラミック用発振増幅器出力
	ADC10	A/D変換器(ADC)用入力チャネル
	PCINT9	ピン変化割り込み元
PB2	CLKO	システム クロック出力
	RXD0	USART0の直列データ入力 (代替位置)
	ICP2	タイマ/カウンタ2捕獲入力
	TOCC7	タイマ/カウンタ比較出力チャネル7
	ADC8	A/D変換器(ADC)用入力チャネル
	PCINT10	ピン変化割り込み元
PB3	dW	デバッグWIRE入出力
	RESET	外部リセット入力、Low活性
	ADC9	A/D変換器(ADC)用入力チャネル
	PCINT11	ピン変化割り込み元

下の表10-6.はポートの交換機能によって使われる再定義信号を要約します。信号どう使われるかの図解については41頁の図10-6.をご覧ください。

表10-6. ポートBの再定義信号

ピン	信号	構成
PB0	PUOE	外部クロック+外部用発振器
	PUOV	0
	DDOE	外部クロック+外部用発振器
	DDOV	0
	PVOE	外部クロック+外部用発振器
	PVOV	0
	PTOE	0
	DIEOE	外部クロック+外部用発振器+(PCINT8・PCIE1)+ADC11D
	DIEOV	(外部クロック・パワーダウ ⁿ)+(外部クロック・外部用発振器・PCINT8・PCIE1)
	DI	PCINT8/クロック入力
PB1	AIO	ADC11/XTAL1入力
	PUOE	外部用発振器
	PUOV	0
	DDOE	外部用発振器
	DDOV	0
	PVOE	外部用発振器
	PVOV	0
	PTOE	0
	DIEOE	外部用発振器+(PCINT9・PCIE1)+ADC10D+INT0
	DIEOV	外部用発振器+(PCINT9・PCIE1)+INT0
PB2	DI	PCINT9/INT0入力
	AIO	ADC10入力
	PUOE	CKOUT
	PUOV	0
	DDOE	CKOUT+(RXEN0・U0MAP)
	DDOV	CKOUT
	PVOE	CKOUT+TOCC7OE
	PVOV	CKOUT・システム クロック+CKOUT・TOCC7出力
	PTOE	0
	DIEOE	(PCINT10・PCIE1)+ADC8D+(RXEN0・SFDE0・U0MAP)
PB3	DIEOV	(PCINT10・PCIE1)+(RXEN0・SFDE0・U0MAP)
	DI	PCINT10/ICP2/RXD0入力
	AIO	ADC8入力
	PUOE	RSTDISBL
	PUOV	1
	DDOE	RSTDISBL
	DDOV	0
	PVOE	RSTDISBL
	PVOV	0
	PTOE	0
	DIEOE	(PCINT11・PCIE1)+ADC9D+RSTDISBL
	DIEOV	PCINT11・PCIE1・RSTDISBL
	DI	PCINT11入力
	AIO	ADC9/RESET入力

10.4. I/Oポート用レジスタ

10.4.1. PORTCR – ポート制御レジスタ (Port Control Register)

ビット (\$64)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	BBMB	BBMA	PORTCR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット1 – BBMB : ポートB接続前切断動作許可 (Break-Before-Make Mode Enable)

このビットが設定(1)されると、ポートB全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRBn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については39頁の「接続前切断切り替え」をご覧ください。

- ビット0 – BBMA : ポートA接続前切断動作許可 (Break-Before-Make Mode Enable)

このビットが設定(1)されると、ポートA全体に対して接続前切断動作が活性(有効)にされます。そして出力にするためのDDRAn書き込み時に中間のHi-Z周期が挿入されます。更なる情報については39頁の「接続前切断切り替え」をご覧ください。

10.4.2. PHDE – ポート高駆動許可レジスタ (Port High Drive Enable Register)

ビット (\$6A)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	PHDEA1	PHDEA0	PHDE
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット1 – PHDEA1 : PA7ピン高駆動許可 (Pin PA7 High Drive Enable)

このビットが設定(1)されると、PA7ピンの追加高吸い込み能力が許可されます。

- ビット0 – PHDEA0 : PA5ピン高駆動許可 (Pin PA5 High Drive Enable)

このビットが設定(1)されると、PA5ピンの追加高吸い込み能力が許可されます。

10.4.3. PUEB – ポートBプルアップ許可制御レジスタ (Port B Pull-up Enable Control Register)

ビット (\$62)	7	6	5	4	3	2	1	0	
	–	–	–	–	PUEB3	PUEB2	PUEB1	PUEB0	PUEB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット3～0 – PUEB3～0 : ポートBプルアップ許可ビット (Pull-Up Enable Bits)

プルアップ許可ビット(PUEBn)が設定(1)されると、対応するポートピン(PBn)のプルアップ抵抗が許可されます。

10.4.4. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット \$18 (\$38)	7	6	5	4	3	2	1	0	
	–	–	–	–	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット3～0 – PORTB3～0 : ポートB出力データビット (Port Data Bits)

PBnピンが出力として構成設定されると、PORTBn設定(1)はPBnをHighに駆動します。PORTBn解除(0)はPBnをLowに駆動します。ピンが入力として構成設定されると、PORTBnビットの値は問題になりません。39頁の表10-1をご覧ください。

10.4.5. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	–	–	–	–	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット3～0 – DDB3～0 : ポートB出力方向ビット (Data Direction Bits)

DDBnが設定(1)されると、PBnピンは出力として構成設定されます。DDBnが解除(0)されると、ピンは入力として構成設定されます。

10.4.6. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	–	–	–	–	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	不定	不定	不定	

- ビット7～4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット3～0 – PINB3～0 : ポートB入力データ (Port Input Data)

データ方向ビットの設定に拘らず、PBnポートピンの値はPINBnビットを通して読むことができます。

PINBnへの論理1書き込みはDDBnの値に拘らず、PORTBnの値を(交互に)切り替えます。

10.4.7. PUEA – ポートAプルアップ許可制御レジスタ (Port A Pull-up Enable Control Register)

ビット	7	6	5	4	3	2	1	0	
(\$63)	PUEA7	PUEA6	PUEA5	PUEA4	PUEA3	PUEA2	PUEA1	PUEA0	PUEA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – PUEA7～0 : ポートAプルアップ許可ビット (Pull-Up Enable Bits)

プルアップ許可ビット(PUEAn)が設定(1)されると、対応するポートピン(PAn)のプルアップ抵抗が許可されます。

10.4.8. PORTA – ポートA出力レジスタ (Port A Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – PORTA7～0 : ポートA出力データビット (Port Data Bits)

PAnピンが出力として構成設定されると、PORTAn設定(1)はPAnをHighに駆動します。PORTAn解除(0)はPAnをLowに駆動します。

ピンが入力として構成設定されると、PORTAnビットの値は問題になりません。39頁の表10-1をご覧ください。

10.4.9. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～0 – DDA7～0 : ポートA出力方向ビット (Data Direction Bits)

DDAnが設定(1)されると、PAnピンは出力として構成設定されます。DDAnが解除(0)されると、ピンは入力として構成設定されます。

10.4.10. PINA – ポートA入力レジスタ (Port A Input Address)

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 – PINA7~0 : ポートA入力データ (Port Input Data)

データ方向ビットの設定に拘らず、PAnポート ピンの値はPINAnビットを通して読むことができます。

PINAnへの論理1書き込みはDDAnの値に拘らず、PORTAnの値を(交互に)切り替えます。

11. PWM付き8ビット タイマ/カウンタ0

11.1. 特徴

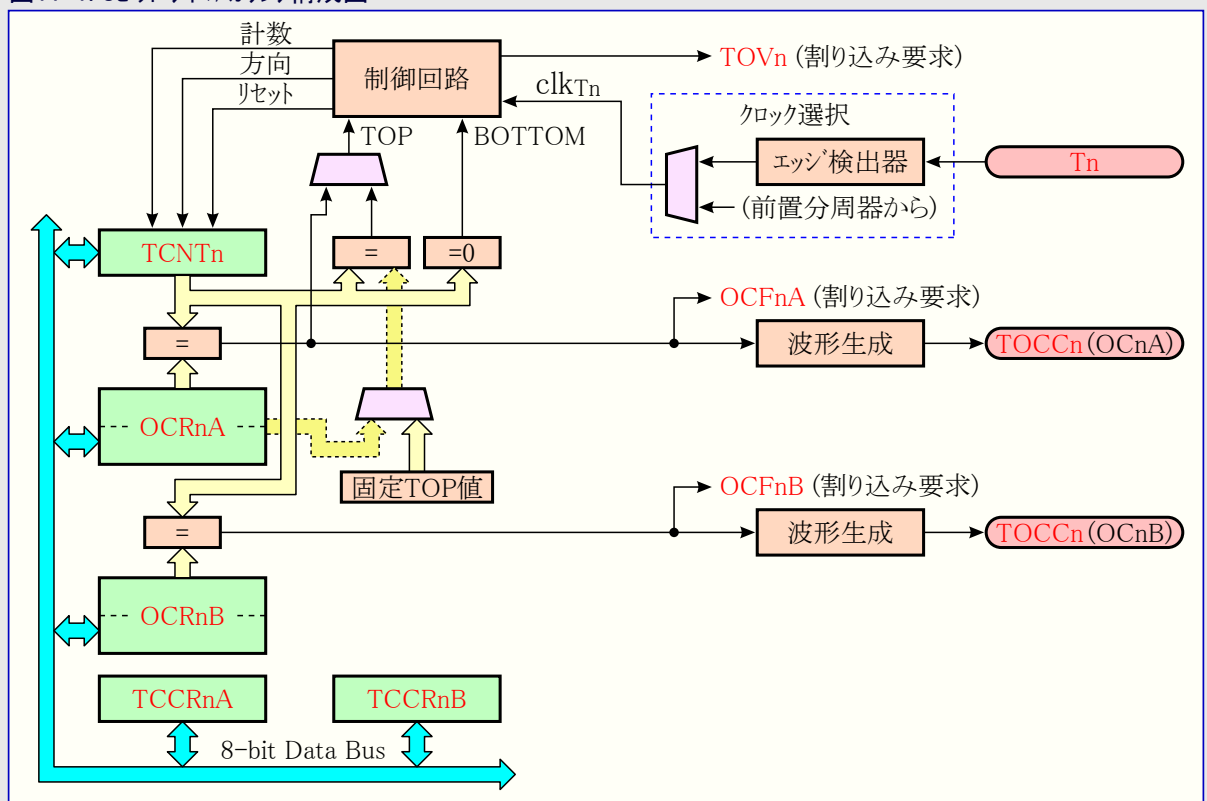
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 3つの独立した割り込み (TOV0, OCF0A, OCF0B)

11.2. 概要

タイマ/カウンタ0は2つの独立した比較出力部とPWM支援付きの汎用8ビット タイマ/カウンタ部です。それは正確なプログラム実行タイミング(事象管理)、波形生成を許します。

この8ビット タイマ/カウンタの簡易化した構成図は図11-1で示されます。

図11-1. 8ビット タイマ/カウンタ構成図



CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は59頁の「8ビット タイマ/カウンタ0用レジスタ」で一覧されます。

I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。また、79頁の「TOCPMSA1, TOCPMSA0 - タイマ/カウンタ比較出力ピン多重器選択レジスタ」と80頁の「TOCPMCOE - タイマ/カウンタ比較出力ピン多重器チャネル出力許可レジスタ」もご覧ください。

11.2.1. 関係レジスタ

タイマ/カウンタ(TCNT0)と比較レジスタ(OCR0AとOCR0B)は8ビットのレジスタです。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR0)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK0)で個別に遮蔽(禁止)されます。TIFR0とTIMSK0は本図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはT0ピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元を制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkT0)として参照されます。

2重緩衝化した比較レジスタ(OCR0AとOCR0B)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OC0AとOC0B)ピンでPWMまたは可変周波数出力を作成するための波形生成器によって使えます。詳細については53頁の「比較出力部」をご覧ください。この比較一致発生は比較一致割り込み要求の発生に使える比較一致割り込み要求フラグ(OCF0AとOCF0B)も設定(1)します。

11.2.2. 定義

本項でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0のように)。

表11-1.の定義は本資料を通して広範囲に渡って使われます。

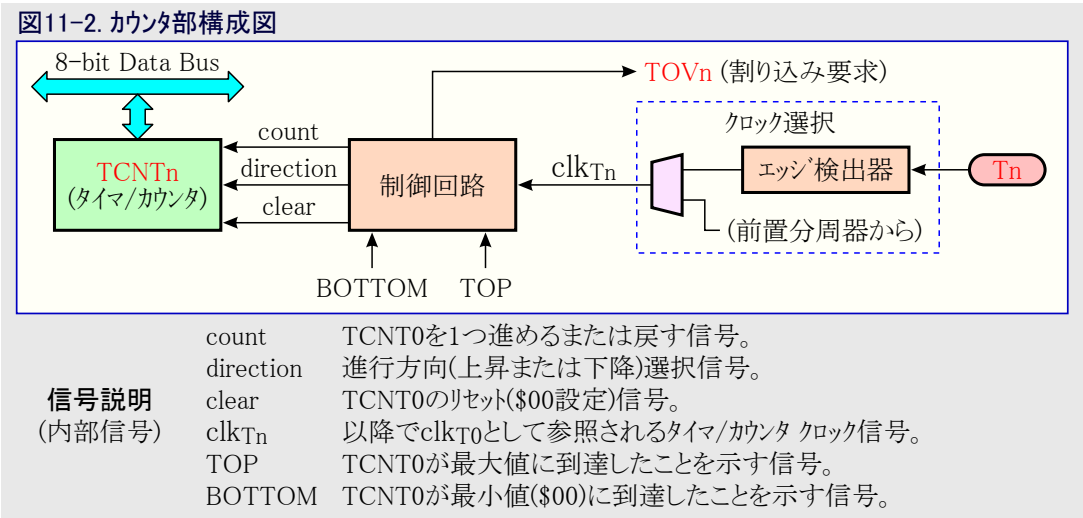
用語	意味
BOTTOM	タイマ/カウンタが\$00に到達した時。
MAX	タイマ/カウンタが\$FF(255)に到達した時。
TOP	タイマ/カウンタが指定された固定値(\$FF)またはOCR0A値に到達した時。この指定(TOP)値は動作種別に依存します。

11.3. クロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については84頁の「タイマ/カウンタ前置分周器」をご覧ください。

11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能な双方向カウンタ部です。図11-2.は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkT0)で解除(\$00)、増加(+1)、または減少(-1)されます。clkT0はクロック選択(CS02~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CS02~0=000)とき、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCR0A)に配置された波形生成種別(WGM01,0)ビットとタイマ/カウンタ制御レジスタB(TCCR0B)に配置された波形生成種別(WGM02)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法とOC0A/OC0B比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に関しては55頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV0)フラグはWGM02~0ビットによって選択された動作種別に従って設定(=1)されます。TOV0はCPU割り込み発生に使えます。

11.5. 比較出力部

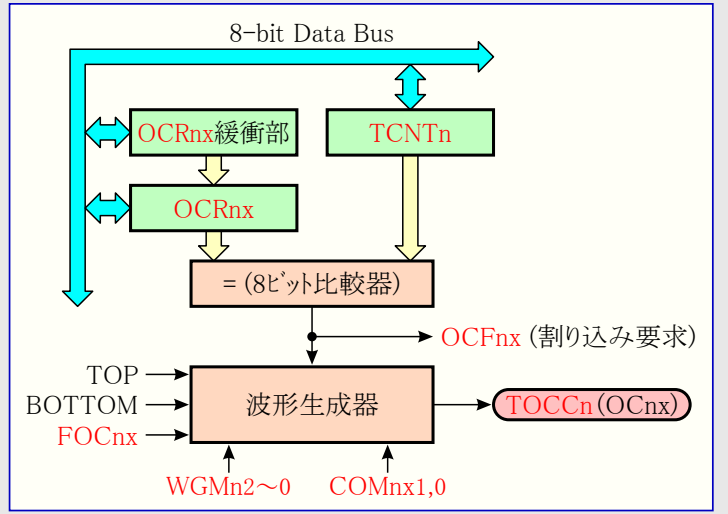
この8ビット比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較します。TCNT0がOCR0AまたはOCR0Bと等しければ、比較器は一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0AまたはOCF0B)を設定(1)します。対応する割り込みが許可(I=1, OCIE0AまたはOCIE0B=1)されているならば、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。MAXとBOTTOM信号は動作種別(55頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

図11-3.は比較出力部の構成図を示します。

OCR0xはパルス幅変調(PWM)のどれかを使う時に2重緩衝化されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR0xレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCR0xのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCR0x緩衝部をアクセスし、禁止されるとOCR0xレジスタを直接アクセスします。

図11-3. 比較出力部構成図



(訳注) ここでは比較nxレジスタ全体をOCR0x、OCR0xを構成する緩衝部分をOCR0x緩衝部、実際の比較に使われるレジスタ本体部分をOCR0xレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

11.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は、強制変更(FOC0x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF0x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OC0xピンは実際の比較一致が起きた場合と同様に更新されます(COM0x1,0ビット設定がOC0xピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

11.5.2. TCNT0書き込みによる比較一致妨害

TCNT0への全てのCPU書き込みは、例えばタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0xに許します。

11.5.3. 比較一致部の使用

どの動作種別でのTCNT0書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるか否かに拘らず、比較出力部を使う場合、TCNT0を変更する時に危険を伴います。TCNT0に書かれた値がOCR0x値と同じ場合に比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT0値を書いてはいけません。

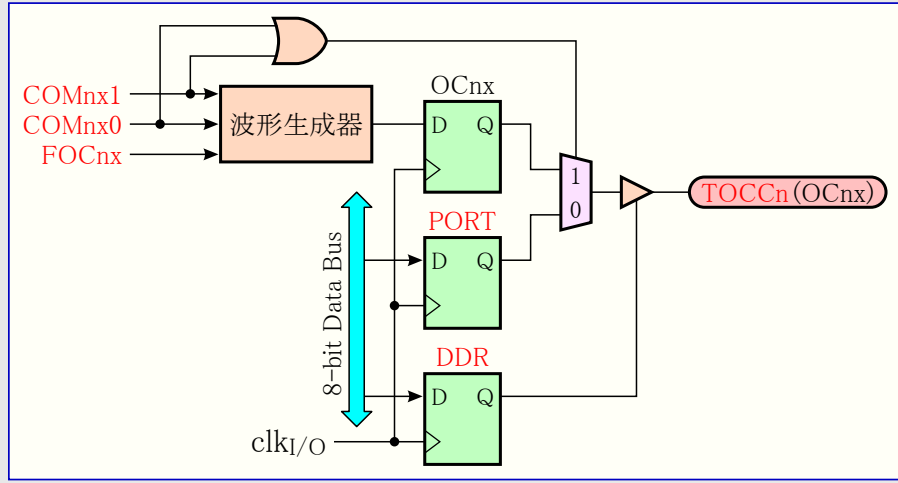
OC0xの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OC0x値を設定する一番簡単な方法は標準動作で強制変更(FOC0x)ストローブビットを使うことです。波形生成動作種別間を変更する時でも、OC0x(内部)レジスタはその値を保ちます。

比較出力選択(COM0x1,0)ビットが比較値(OCR0x)と共に2重緩衝されないことに気付いてください。COM0x1,0ビットの変更は直ちに有効となります。

11.6. 比較一致出力部

比較出力選択($COM0x1,0$)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力($OC0x$)状態の定義に $COM0x1,0$ ビットを使います。また $COM0x1,0$ ビットは $OC0x$ ピン出力元を制御します。図11-4は $COM0x1,0$ ビット設定によって影響を及ぼされる論理回路の簡略化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。 $COM0x1,0$ ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。 $OC0x$ の状態を参照するとき、その参照は $OC0x$ ピンでなく内部 $OC0x$ レジスタに対してです。システムリセットが起ると、 $OC0x$ レジスタは'0'にリセットされます。

図11-4. 比較一致出力回路図



$COM0x1,0$ ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力($OC0x$)によって無効にされます。けれども $OC0x$ ピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。 $OC0x$ ピンに対するポート方向レジスタのビット(DDR_OC0x)は $OC0x$ 値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は波形生成種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前の $OC0x$ 状態の初期化を許します。いくつかの $COM0x1,0$ ビット設定が或る種の動作種別に対して予約されることに注意してください。59頁の「8ビットタイマ/カウンタ用レジスタ」をご覧ください。

11.6.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作で $COM0x1,0$ ビットを違うふうに使います。全ての動作種別に対して $COM0x1,0=00$ 設定は次の比較一致で実行すべき $OC0x$ レジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については59頁の表11-2.と表11-5.を参照してください。高速PWM動作については59頁の表11-3.と表11-6.、位相基準PWMについては59頁の表11-4.と表11-7.を参照してください。

$COM0x1,0$ ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更($FOC0x$)ストローブビットを使うことによって直ちに効果を得ることを強制できます。「TCCR0B - タイマ/カウンタ制御レジスタB」をご覧ください。

11.7. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM02~0)ビットと比較出力選択(COM0x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COM0x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)どちらかを制御します。非PWM動作に対するCOM0x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します(54頁の「比較一致出力部」をご覧ください)。

タイミング情報の詳細については58頁の「タイマ/カウンタ0のタイミング」を参照してください(訳注:原文中の図番号省略)。

11.7.1. 標準動作

最も単純な動作種別が標準動作(WGM02~0=000)です。この動作種別での計数方向は常に上昇(+)で、カウンタ解除は実行されません。カウンタは8ビット最大値(TOP=\$FF)を通過すると単に範囲を超え、そして\$00(BOTTOM)から再び始めます。通常動作でのタイマ/カウンタ溢れ(TOV0)フラグはTCNT0が\$00になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

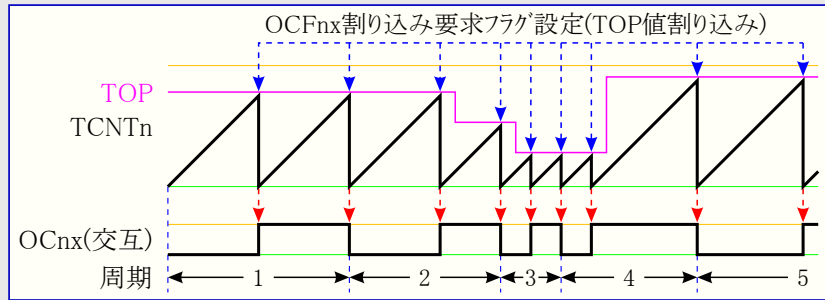
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

11.7.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGM02~0=010)ではOCR0Aがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致する時にカウンタが\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-5.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。

図11-5. CTC動作タイミング



OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後のカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければならないでしょう。

CTC動作で波形出力を生成するため、OC0A出力は比較出力選択(COM0A1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OC0A値はそのピンに対するデータ方向が出力(DDR_OC0A=1)に設定されない限りポートピンで見えないでしょう。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0A} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnx} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnx)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

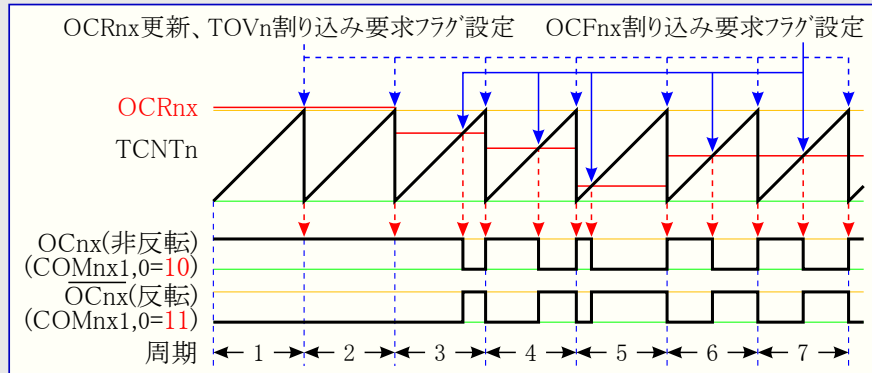
標準動作と同じように、タイマ/カウンタ溢れ(TOV0)フラグはカウンタがMAXから\$00へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

11.7.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGM02~0=011または111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。TOPはWGM02~0=011時に\$FF、WGM02~0=111時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)はTCNT0とOCR0x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM0x1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作でのタイマ/カウンタはタイマ/カウンタ値がTOP値と一致するまで増加されます。そしてタイマ/カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$00)されます。高速PWM動作のタイミング図は図11-6.で示されます。TCNT0値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。赤細線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCF0x)はOCR0x=TOPを除いて比較一致が起こると設定(1)されます(訳注:共通性のため本行追加)。

図11-6. 高速PWM動作タイミング



タイマ/カウンタ溢れ(TOV0)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0を'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(59頁の表11-3と表11-6をご覧ください)。実際のOC0x値はポートピンに対するデータ方向(DDR_OC0x)が出力として設定される場合だけ見えるでしょう。PWM波形はTCNT0とOCR0x間の比較一致で、OC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$00、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でOC0xレジスタを解除(0)または設定(1)することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clk_I/O}}{N \times (1 + TOP)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

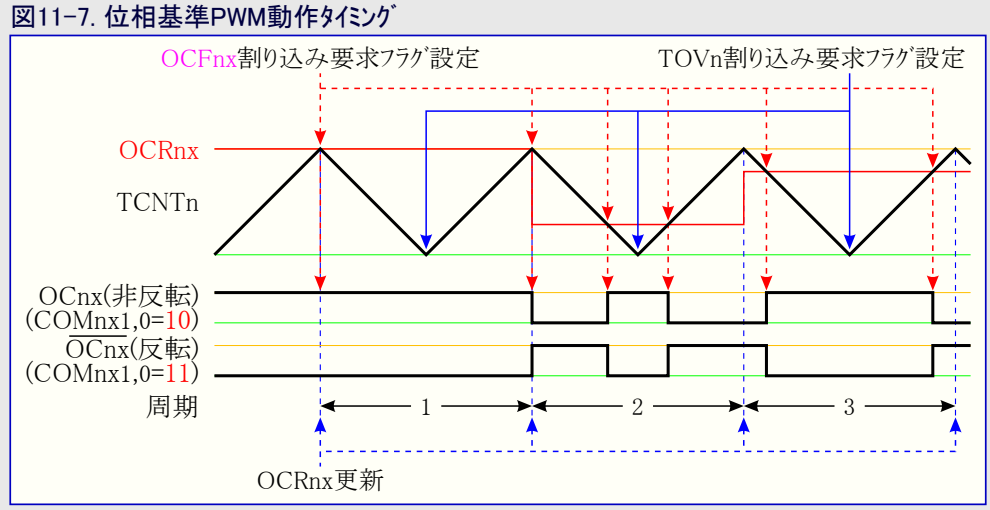
OCR0xの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCR0xがBOTTOM(\$00)と等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR0xがTOPに等しく設定されると、(COM0x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

(訳補:WGM02~0=111の場合については、)高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOC0A設定(COM0A1,0=01)によって達成できます。生成された波形はOCR0Aが0(\$00)に設定される時に $f_{OC0x} = f_{clk_I/O} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOC0A交互出力(COM0A1,0=01)と同じです。

11.7.4. 位相基準PWM動作

位相基準パルス幅変調(PWM)動作(WGM02~0=001または101)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とします。カウンタはBOTTOMからTOPへそして次にTOPからBOTTOMへを繰り返し計数します。TOPはWGM02~0=001時に\$FF、WGM02~0=101時にOCR0Aとして定義されます。非反転比較出力動作(COM0x1,0=10)での比較出力(OC0x)は上昇計数中のTCNT0とOCR0xの比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM0x1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作でのカウンタはカウンタ値がTOPと一致するまで増加されます。カウンタはTOPに達すると計数方向を変更します。このTCNT0値は1タイマ/カウンタクロック周期間TOPと等しくなります。位相基準PWM動作のタイミング図は図11-7.で示されます。TCNT0値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCR0x値を示し、TCNT0値との交点(接点)がTCNT0とOCR0x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV0)フラグはタイマ/カウンタがBOTTOMに到達する時毎に設定(1)されます。この割り込み要求フラグはカウンタがBOTTOM値に到達する毎に割り込みを発生するために使えます。

位相基準PWM動作での比較部はOC0xピンでのPWM波形の生成を許します。COM0x1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOM0x1,0ビットを'11'に設定することで生成できます。WGM02ビットが設定(1)なら、COM0A1,0ビットの'01'設定は比較一致での交互反転をOC0Aピンに許します。この任意選択はOC0Bピンに対して利用できません(59ページの表11-4.と表11-7.をご覧ください)。実際のOC0x値はそのポートピンに対するデータ方向(DDR_OC0x)が出力として設定される場合だけ見えてでしょう。PWM波形はカウンタが増加する時のTCNT0とOCR0x間の比較一致でOC0x(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNT0とOCR0x間の比較一致でOC0xレジスタを解除(0)(または設定(1))によって生成されます。位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPCPWM} = \frac{f_{clk_I/O}}{2 \times N \times TOP}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

OCR0xの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR0xがBOTTOM(\$00)に等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

図11-7.の第2周期のその出発点に於いて、例えば比較一致がないとしても、OCnxにはHighからLowへの遷移があります。この遷移点はBOTTOMを挟む対称を保証するためです。比較一致なしに遷移を生ずるのは2つの場合です。

- 図11-7.のようにOCR0xはTOPからその値を変更します。OCR0x値がTOPのとき、OCnxピン値は下降計数での比較一致の結果と同じです(訳補: L→H、直前がHのため、常にH)。BOTTOMを挟む対称を保証するため、(変更直後の)TOP(位置)でのOCnx値は上昇計数での比較一致の結果(H→L)と一致しなければなりません。
- タイマ/カウンタがOCR0x値よりも高い値から数え始め、そしてその理屈のために比較一致、それ故上昇途中で起こされるであろうOCnxの変更を逃します。(訳補: 従って上記同様、TOP位置で(直前がHならば)H→L遷移が生じます。)

11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{T0})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相基準PWM動作以外の全ての動作種別でのMAX値近辺の計数の流れを示します。

図11-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

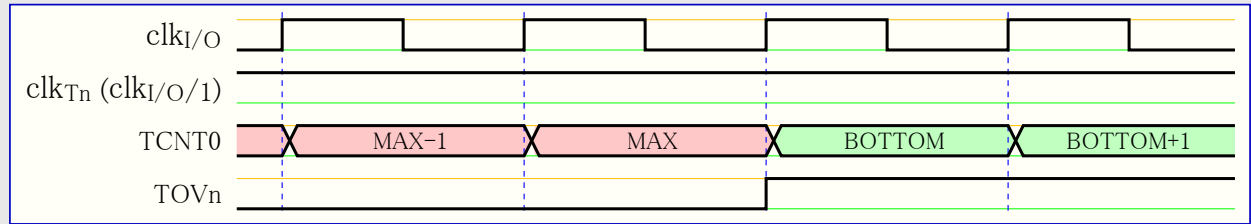


図11-9. は同じタイミング データを示しますが、前置分周器が許可されています。

図11-9. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ タイミング

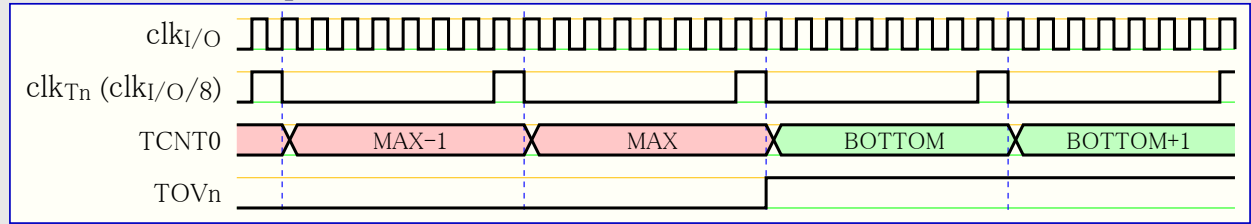


図11-10. はCTC動作とOCR0AがTOPのPWM動作を除く全動作種別でのOCF0Aと全動作種別でのOCF0Bの設定を示します。

図11-10. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0x設定 タイミング

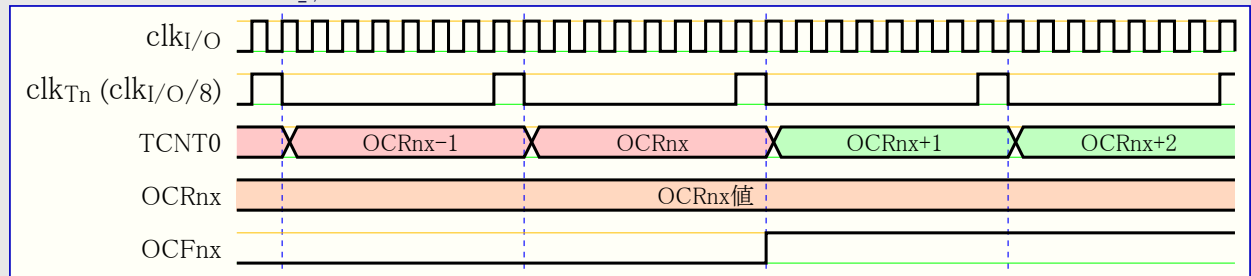
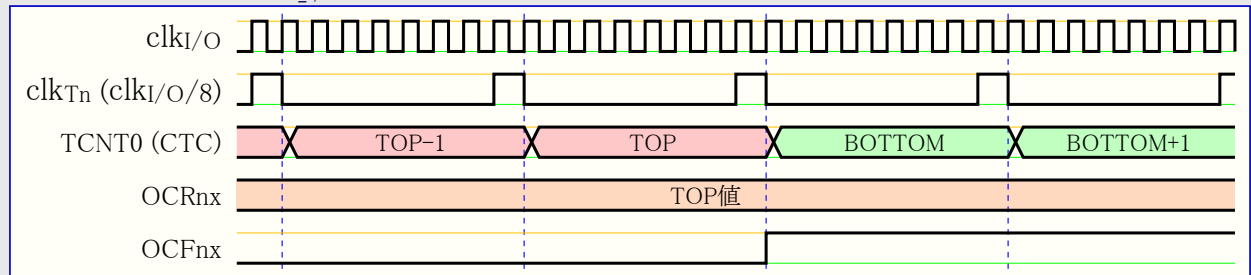


図11-11. はOCR0AがTOPの高速PWM動作と、CTC動作でのTCNT0の解除とOCF0Aの設定を示します。

図11-11. 前置分周器($f_{\text{clk}_{I/O}/8}$)のタイマ/カウンタ、OCF0A設定 タイミング



11.9. 8ビット タイマ/カウンタ0用レジスタ

11.9.1. TCCR0A – タイマ/カウンタ0制御レジスタA (Timer/Counter 0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM0A1	COM0A0	COM0B1	COM0B0	–	–	WGM01	WGM00	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6 – COM0A1,0 : 比較A出力選択 (Compare Match A Output Mode bit 1 and 0)

これらのビットはOC0A比較出力ピンの動作を制御します。COM0A1,0ビットの1つまたは両方が1を書かれると、OC0A出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Aがピンに接続されるとき、COM0A1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-2.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0A1,0ビット機能を示します。

表11-3.はWGM02~0ビットが高速PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-4.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0A1,0ビットの機能を示します。

表11-2. 非PWM動作比較A出力選択

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でOC0Aピン Lowレベル出力
1	1	比較一致でOC0Aピン Highレベル出力

表11-4. 位相基準PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Aピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Aピンへ出力

表11-3. 高速PWM動作比較A出力選択 (共通注意参照)

COM0A1	COM0A0	意味
0	0	標準ポート動作 (OC0A切断)
0	1	WGM02=0 : 標準ポート動作 (OC0A切断) WGM02=1 : 比較一致でOC0Aピントグル(交互)出力
1	0	比較一致でLow、BOTTOMでHighをOC0Aピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Aピンへ出力 (反転動作)

●ビット5,4 – COM0B1,0 : 比較B出力選択 (Compare Match B Output Mode bit 1 and 0)

これらのビットはOC0B比較出力ピンの動作を制御します。COM0B1,0ビットの1つまたは両方が1を書かれると、OC0B出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OC0Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

OC0Bがピンに接続されるとき、COM0B1,0ビットの機能はWGM02~0ビット設定に依存します。

表11-5.はWGM02~0ビットが標準動作またはCTC動作(つまりPWM以外)に設定される時のCOM0B1,0ビット機能を示します。

表11-6.はWGM02~0ビットが高速PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-7.はWGM02~0ビットが位相基準PWM動作に設定される時のCOM0B1,0ビットの機能を示します。

表11-5. 非PWM動作比較B出力選択

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	比較一致でOC0Bピントグル(交互)出力
1	0	比較一致でOC0Bピン Lowレベル出力
1	1	比較一致でOC0Bピン Highレベル出力

表11-7. 位相基準PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOC0Bピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOC0Bピンへ出力

表11-6. 高速PWM動作比較B出力選択 (共通注意参照)

COM0B1	COM0B0	意味
0	0	標準ポート動作 (OC0B切断)
0	1	(予約)
1	0	比較一致でLow、BOTTOMでHighをOC0Bピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOC0Bピンへ出力 (反転動作)

共通注意: COM0x1が設定(1)され、対応するOCR0xがTOPと等しい時に、特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMまたはTOPでの設定(1)または解除(0)は行われます。より多くの詳細については56頁の「高速PWM動作」または57頁の「位相基準PWM動作」をご覧ください。(表11-3,4,6,7.各々での注:を纏めました。)

●ビット3,2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

●ビット1,0 – WGM01,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCR0B)で得られるWGM02ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大カウンタ(TOP)値の供給元、使われるべき波形生成のどの形式かを制御します(表11-8参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と2形式のパルス幅変調(PWM)動作です。55頁の「動作種別」をご覧ください。

表11-8. 波形生成種別選択							
番号	WGM02	WGM01	WGM00	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準動作	\$FF	即時	MAX
1	0	0	1	8ビット位相基準PWM動作	\$FF	TOP	BOTTOM
2	0	1	0	比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX
3	0	1	1	8ビット高速PWM動作	\$FF	BOTTOM	MAX
4	1	0	0	(予約)	-	-	-
5	1	0	1	位相基準PWM動作	OCR0A	TOP	BOTTOM
6	1	1	0	(予約)	-	-	-
7	1	1	1	高速PWM動作	OCR0A	BOTTOM	TOP

注: MAX=\$FF、BOTTOM=\$00です。

11.9.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00	TCCR0B
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – FOC0A : OC0A強制変更 (Force Output Compare A)

FOC0AビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Aビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0A出力はCOM0A1,0ビット設定に従って変更されます。FOC0Aビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0A1,0ビットに存在する値です。

FOC0Aスロープは何れの割り込みの生成もTOPとしてOCR0Aを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$00)も行いません。

FOC0Aビットは常に0として読みます。

●ビット6 – FOC0B : OC0B強制変更 (Force Output Compare B)

FOC0BビットはWGM02~0ビットが非PWM動作を指示する時だけ有効です。

けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCR0Bが書かれる場合、このビットは0に設定されなければなりません。FOC0Bビットに論理1を書くと、波形生成部で直ちに比較一致が強制されます。OC0B出力はCOM0B1,0ビット設定に従って変更されます。FOC0Bビットがスロープとして実行されることに注意してください。従って強制した比較の効果を決めるのはCOM0B1,0ビットに存在する値です。

FOC0Bスロープは何れの割り込みの生成も行いません。

FOC0Bビットは常に0として読みます。

●ビット5,4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

●ビット3 – WGM02 : 波形生成種別 (Waveform Generation Mode bit 2)

59頁の「TCCR0A – タイマ/カウンタ0制御レジスタA」のWGM01,0ビット記述をご覧ください。

●ビット2~0 – CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNT0)によって使われるクロック元を選択します。

表11-9. タイマ/カウンタ0入力クロック選択			意味
CS02	CS01	CS00	
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

11.9.3. TOCPMSA1, TOCPMSA0 – タイマ/カウンタ比較出力ピン多重器選択レジスタ (Timer/Counter Output Compare Pin Mux Selection Registers)

ビット (\$68)	15	14	13	12	11	10	9	8	TOCPMSA1
	TOCC7S1	TOCC7S0	TOCC6S1	TOCC6S0	TOCC5S1	TOCC5S0	TOCC4S1	TOCC4S0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$67)	7	6	5	4	3	2	1	0	TOCPMSA0
	TOCC3S1	TOCC3S0	TOCC2S1	TOCC2S0	TOCC1S1	TOCC1S0	TOCC0S1	TOCC0S0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

79頁をご覧ください。

11.9.4. TCNT0 – タイマ/カウンタ0 (Timer/Counter0)

ビット \$32 (\$52)	7	6	5	4	3	2	1	0	TCNT0
	(MSB)							(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタレジスタは読み書き両方の操作について、タイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0への書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0)を変更することはTCNT0とOCR0x間の比較一致消失の危険を誘発します。

11.9.5. OCR0A – タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register)

ビット \$36 (\$56)	7	6	5	4	3	2	1	0	OCR0A
	(MSB)							(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Aピンでの波形出力を生成するのに使えます。

11.9.6. OCR0B – タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register)

ビット \$3C (\$5C)	7	6	5	4	3	2	1	0	OCR0B
	(MSB)							(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0)値と比較される8ビットの値を含みます。一致は比較一致割り込みやOC0Bピンでの波形出力を生成するのに使えます。

11.9.7. TIMSK0 – タイマ/カウンタ0割り込み許可レジスタ (Timer/Counter 0 Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	–	–	–	–	–	OCIE0B	TOIE0	TOIE0?	TIMSK0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

- ビット2 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

- ビット1 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ(TCNT0)で比較一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

- ビット0 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ(TCNT0)溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR0)でタイマ/カウンタ溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

11.9.8. TIFR0 – タイマ/カウンタ0割り込み要求フラグレジスタ (Timer/Counter 0 Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	–	–	–	–	–	OCF0B	OCF0A	TOV0	TIFR0
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～3 – Res : 予約 (Reserved)

このビットは予約されており、常に0を読みます。

- ビット2 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

- ビット1 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

- ビット0 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK0)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

このフラグの設定(1)はWGM02～0設定に依存します。60頁の表11-8をご覧ください。

12. 16ビット タイマ/カウンタ (タイマ/カウンタ1とタイマ/カウンタ2)

12.1. 特徴

- 真の16ビット設計 (換言すれば16ビットPWMの許容)
- 2つの独立した比較出力部
- 2重緩衝の比較レジスタ
- 1つの捕獲入力部
- 捕獲入力雑音消去器
- 比較一致でのタイマ/カウンタ解除 (自動再設定)
- 不具合なしで正しい位相のパルス幅変調器 (PWM)
- 可変PWM周期
- 周波数発生器
- 外部事象計数器
- 4つの独立した割り込み (TOVn, OCFnA, OCFnB, ICFn)

12.2. タイマ/カウンタ1とタイマ/カウンタ2

ATtiny441/841はタイマ/カウンタ1とタイマ/カウンタ2の2つの16ビット タイマ/カウンタを持ちます。

この16ビット タイマ/カウンタは機能的に同じで、従って以下の項で提供される記述を共用します。使われる殆どのレジスタ名とビット参照は小文字の“n”を含み、ここでの“n”はタイマ/カウンタ番号、即ち1または2を示すのに使われます。実際のレジスタとビットの名前は文字“n”ではなくタイマ/カウンタ番号を含みます。

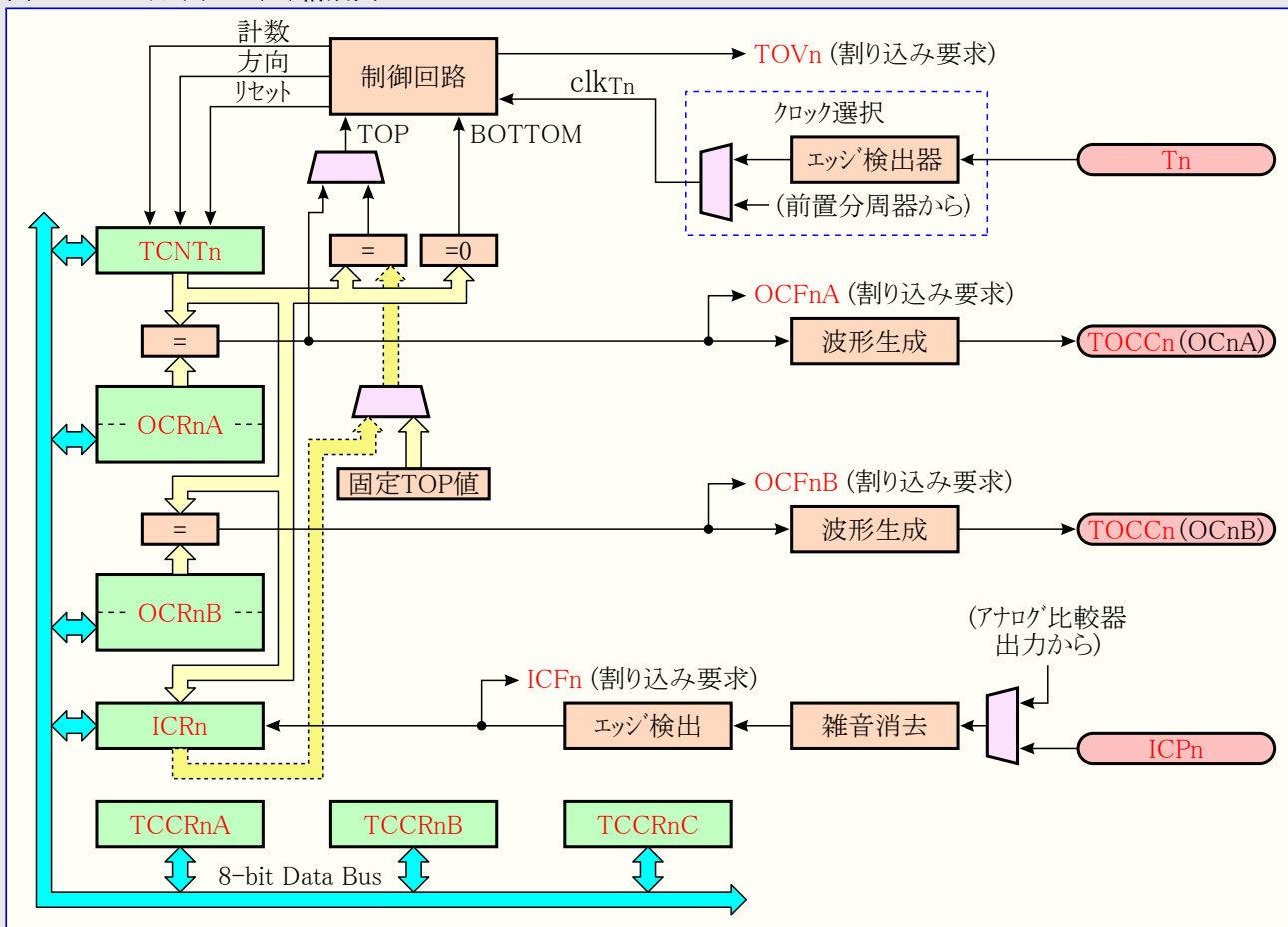
タイマ/カウンタ1とタイマ/カウンタ2は237頁の「レジスタ要約」で示されるように異なるI/Oレジスタを持ちます。

12.3. 概要

この16ビット タイマ/カウンタ部は正確なプログラム実行タイミング(事象管理)、波形生成、信号タイミング計測を許します。

この16ビット タイマ/カウンタの簡単化した構成図は図12-1.で示されます。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は77頁の「16ビット タイマ/カウンタ1と2用レジスタ」で示されます。

図12-1. 16ビット タイマ/カウンタ構成図



I/Oピンの実際の配置については2頁の「ピン配置」を参照してください。また、79頁の「TOCPMSA1, TOCPMSA0 – タイマ/カウンタ比較出力ピン多重器選択レジスタ」と80頁の「TOCPMCOE – タイマ/カウンタ比較出力ピン多重器チャネル出力許可レジスタ」もご覧ください。

本資料でのレジスタとビット参照の多くは一般形で書かれます。小文字の“n”はタイマ/カウンタ番号、小文字の“x”は比較出力部の置き換えです。けれどもプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ1のカウンタ値に対するアクセスのTCNT1のように)。

12.3.1. 関係レジスタ

タイマ/カウンタ(TCNTn)、比較レジスタ(OCRnA,OCRnB)、捕獲レジスタ(ICRn)は全て16ビットレジスタです。16ビットレジスタをアクセスするとき、特別な手順に従わなければなりません。これらの手順は75頁の「16ビットレジスタのアクセス」項で記述されます。タイマ/カウンタ制御レジスタ(TCCRnA,TCCRnB,TCCRnC)は8ビットレジスタで、CPUアクセスの制限はありません。割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFRn)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSKn)で個別に遮蔽(禁止)されます。TIFRnとTIMSKnはこの図で示されません。

このタイマ/カウンタは内部的、前置分周器経由、またはTnピンの外部クロック元によってクロック駆動されます。クロック選択論理部はタイマ/カウンタが値を増加(または減少)するのに使うクロック元とエッジを制御します。クロック元が選択されないとき、タイマ/カウンタは動きません。クロック選択論理部からの出力はタイマ/カウンタクロック(clkTn)として参照されます。

2重緩衝した比較レジスタ(OCRnA,OCRnB)はタイマ/カウンタ値と常に比較されます。この比較結果は比較出力(OCnA,OCnB)ピンでPWMまたは可変周波数出力を生成するための波形生成器によって使えます。67頁の「比較出力部」をご覧ください。この比較一致発生は比較出力割り込み要求の発生に使える比較一致割り込み要求フラグ(OCFnA,OCFnB)も設定(1)します。

捕獲レジスタ(ICRn)は、捕獲起動(ICPn)ピンまたはアナログ比較器出力(127頁の「アナログ比較器0」と130頁の「アナログ比較器1」を参照)のどちらかの外部(エッジで起動された)事象でタイマ/カウンタ値を捕獲(複写)できます。捕獲入力部は尖頭雑音を捕らえる機会を軽減するためにデジタル濾波器(雑音除去器)を含みます。

TOP値または最大タイマ/カウンタ値は、いくつかの動作種別で、OCRnA、ICRn、または一群の固定値のどれかによって定義できます。PWM動作でTOP値としてOCRnAを使うと、OCRnAはPWM出力生成用に使えません。けれどもこの場合、TOP値は動作中に変更されるのをTOP値に許す2重緩衝にします。固定的なTOP値が必要とされる場合、ICRnが代わりに使え、PWM出力として使われるべきOCRnAを開放します。

12.3.2. 定義

次の定義は本資料を通して広範囲に使われます。

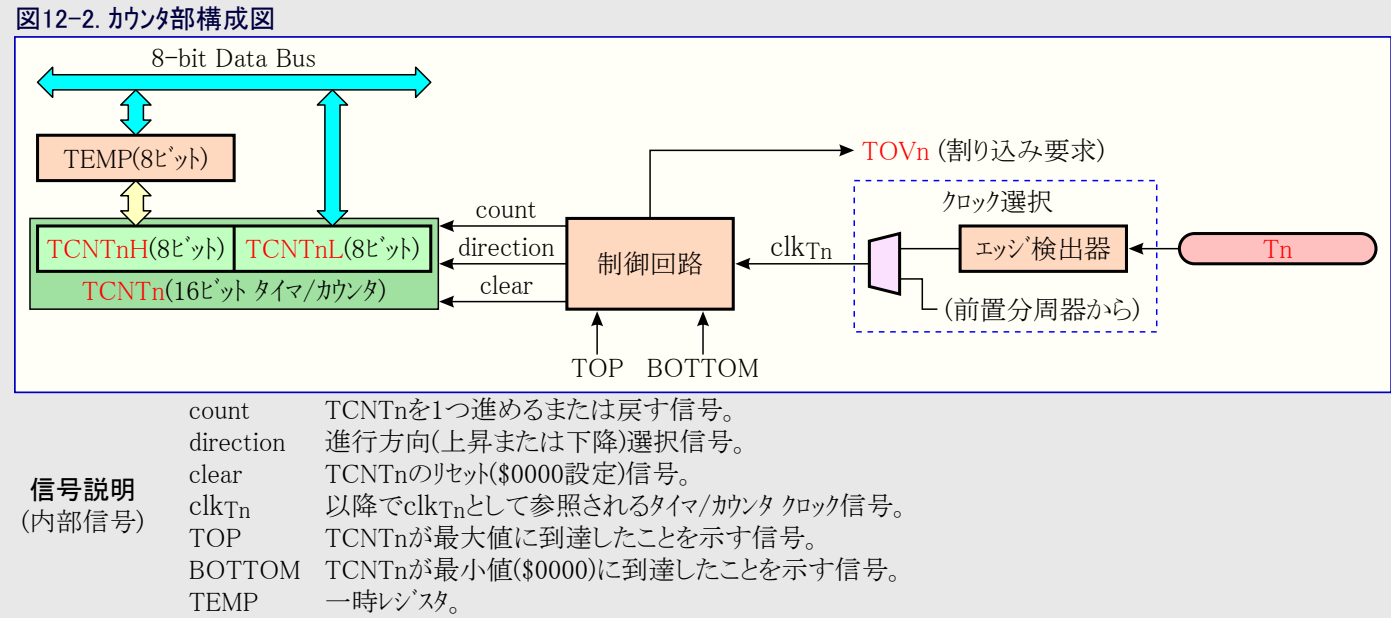
表12-1. 用語定義	
用語	意味
BOTTOM	カウンタが\$0000に到達した時。
MAX	カウンタが\$FFFF(65535)に到達した時。
TOP	カウンタがTOP値に到達した時(計数動作での最大値と等しくなった時)。TOP値は固定値(\$00FF,\$01FF,\$03FF)、OCRnA値、ICRn値の何れか1つを指定できます。この指定は動作種別に依存します。

12.4. タイマ/カウンタのクロック元

このタイマ/カウンタは内部または外部のクロック元によってクロック駆動できます。このクロック元はタイマ/カウンタ制御レジスタB(TCCRnB)に配置されたクロック選択(CSn2~0)ビットによって制御されるクロック選択論理回路で選択されます。クロック元と前置分周器の詳細については84頁の「タイマ/カウンタの前置分周器」をご覧ください。

12.5. 計数器部

16ビット タイマ/カウンタの主な部分は設定可能な16ビット双方向カウンタ部です。図12-2はこのカウンタとその周辺の構成図を示します。



この16ビット カウンタはカウンタの上位8ビットを含むカウンタ上位(TCNTnH)と下位8ビットを含むカウンタ下位(TCNTnL)の2つの8ビット I/Oメモリ位置に配置されます。TCNTnHレジスタはCPUによる間接的なアクセスのみできます。CPUがTCNTnH I/O位置をアクセスするとき、CPUは上位バイト一時レジスタ(TEMP)をアクセスします。この一時レジスタはTCNTnLが読まれる時にTCNTnH値で更新され、TCNTnLが書かれる時にTCNTnHは一時レジスタ値で更新されます。これは8ビット データ バス経由で1クロック周期内の16ビット カウンタ値全体の読み書きをCPUに許します。予測不能な結果を生じる、カウンタが計数中の時のTCNTn書き込みの特別な場合に注意することが重要です。この特別な場合はそれらが重要となる項目で記述されます。

動作種別に依存して、カウンタは各タイマ/カウンタ クロック(clkTn)でリセット(\$0000)、増加(+1)、または減少(-1)されます。clkTnはクロック選択(CSn2~0)ビットによって選択された内部または外部のクロック元から生成できます。クロック元が選択されない(CSn2~0=000)時にカウンタは停止されます。けれどもTCNTn値はタイマ/カウンタ クロック(clkTn)が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタA(TCCRnA)とタイマ/カウンタ制御レジスタB(TCCRnB)に配置された波形生成種別(WGMn3~0)ビットの設定によって決定されます。これらはカウンタ動作(計数)方法と波形がOCnx比較出力に生成される方法間の接続に近いものです。進化した計数順序と波形生成についてより多くの詳細に対しては70頁の「動作種別」をご覧ください。

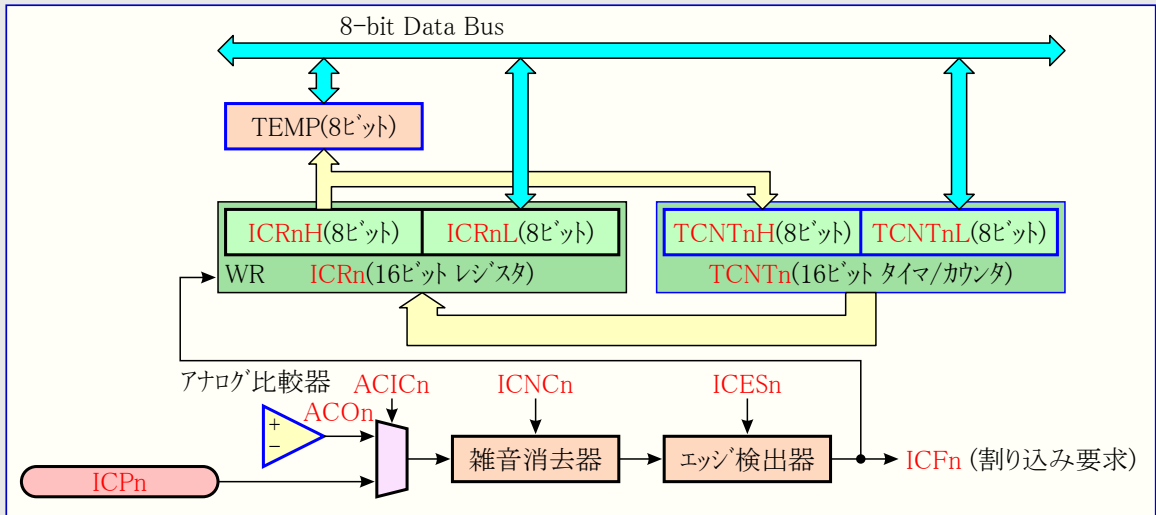
タイマ/カウンタ溢れ(TOVn)フラグはWGMn3~0ビットによって選択された動作種別に従って設定(=1)されます。TOVnはCPU割り込み発生に役立ちます。

12.6. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICPnピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特性の計算に使えます。代わりに時間印は出来事の記録作成にも使えます。

捕獲入力部は図12-3.で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。レジスタとビット名での小文字の'n'はタイマ/カウンタとアナログ比較器の番号を示します。

図12-3. 捕獲入力部構成図



注: ACO_n, ACIC_nはアナログ比較器n制御/状態レジスタA(ACSR0A, ACSR1A)内のビットです。

捕獲起動入力(ICPn)ピン若しくは代わりにアナログ比較器n出力(ACO0, ACO1)で論理レベルの変化(出来事)が起き、その変化がエッジ検出器の設定を迫認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNTn)の16ビット値が捕獲レジスタ(ICRn)に書かれます。捕獲割り込み要求フラグ(ICF_n)はTCNTn値がICRnに複写されるのと同じシステムクロックで設定(1)されます。許可(I=1, ICIE_n=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF_nは割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。

捕獲レジスタ(ICRn)の16ビット値読み込みは、初めに下位バイト(ICRnL)、その後に上位バイト(ICRnH)を読むことによって行われます。下位バイトが読まれる時に上位バイトが上位バイト一時レジスタ(TEMP)に複写されます。CPUがICRnH I/O位置を読むと、この一時レジスタにアクセスします。

ICRnはカウンタのTOP値定義にICRnを利用する波形生成種別を使う時にだけ書けます。これらの場合、TOP値がICRnに書かれ得る前に波形生成種別(WGMn3~0)ビットが設定されなければなりません。ICRnに書く時は下位バイトがICRnLに書かれる前に、上位バイトがICRnH I/O位置に書かれなければなりません。

16ビットレジスタアクセス法のより多くの情報については75頁の「16ビットレジスタのアクセス」を参照してください。

12.6.1. 捕獲起動元

捕獲入力部用の主な起動元は捕獲起動入力(ICPn)ピンです。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使えます。アナログ比較器はアナログ比較器制御/状態レジスタA(ACSR0A, ACSR1A)のアナログ比較器捕獲起動許可(ACIC0, ACIC1)ビットの設定(1)によって起動元として選択されます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(ICF_n)は、その変更後に解除(0)されなければなりません。

捕獲起動入力(ICPn)ピンとアナログ比較器出力(ACO_n)の両入力は、Tnピン(84頁の図13-2参照)についてと同じ技法を使って採取されます。エッジ検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路がエッジ検出器の前に挿入され、そして遅延を4システムクロック周期増やします。タイマ/カウンタがTOP値定義にICRnを使う波形生成種別に設定されないなら、雑音消去器とエッジ検出器の入力が常に許可されることに注意してください。

捕獲入力ICPnピンのポートを制御することによってソフトウェアで起動できます。

12.6.2. 雑音消去器

雑音消去器は雑音耐性を改善するために簡単なデジタル濾波器機構を使います。連続する採取が4段の深さのパイプラインで監視されます。信号は4つ全ての採取が等しい時にだけ変更を許されるエッジ検出器に行きます。

雑音消去器はタイマ/カウンタ制御レジスタB(TCCRnB)の捕獲入力雑音消去許可(ICNCn)ビットの設定(1)によって許可されます。許可時、雑音消去器はICRnが更新される前に入力に印加される変更に対して4システムクロック周期の追加遅延をもたらします。

雑音消去器はシステムクロックを使い、従って前置分周器によって影響を及ぼされません。

12.6.3. 捕獲入力の使用

捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して十分なプロセッサ能力を当てがうことです。2つの出来事間の時間が際どいします。次の出来事が起こる前に捕獲した**捕獲レジスタ(ICRn)**の値をプロセッサが読めなかった場合、ICRnは新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICRnは割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求のどれかを扱うのに必要とされる最大クロック周期数に依存します。

動作中に**TOP値(分解能)**が積極的に変更されるとき、どの動作種別での捕獲入力部の使用も推奨されません。

外部信号のデューティ比測定は各捕獲後に起動端が変更されることを必要とします。検出端の変更はICRnが読まれてしまった後に可能な限り早く行われなければなりません。エッジの変更後、**捕獲割り込み要求フラグ(ICFn)**はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(訳補:エッジ変更によってICFnが設定(1)されることを想定)。周波数のみの測定について(割り込み処理が使われる場合)、ICFnの解除(0)は必要とされません。

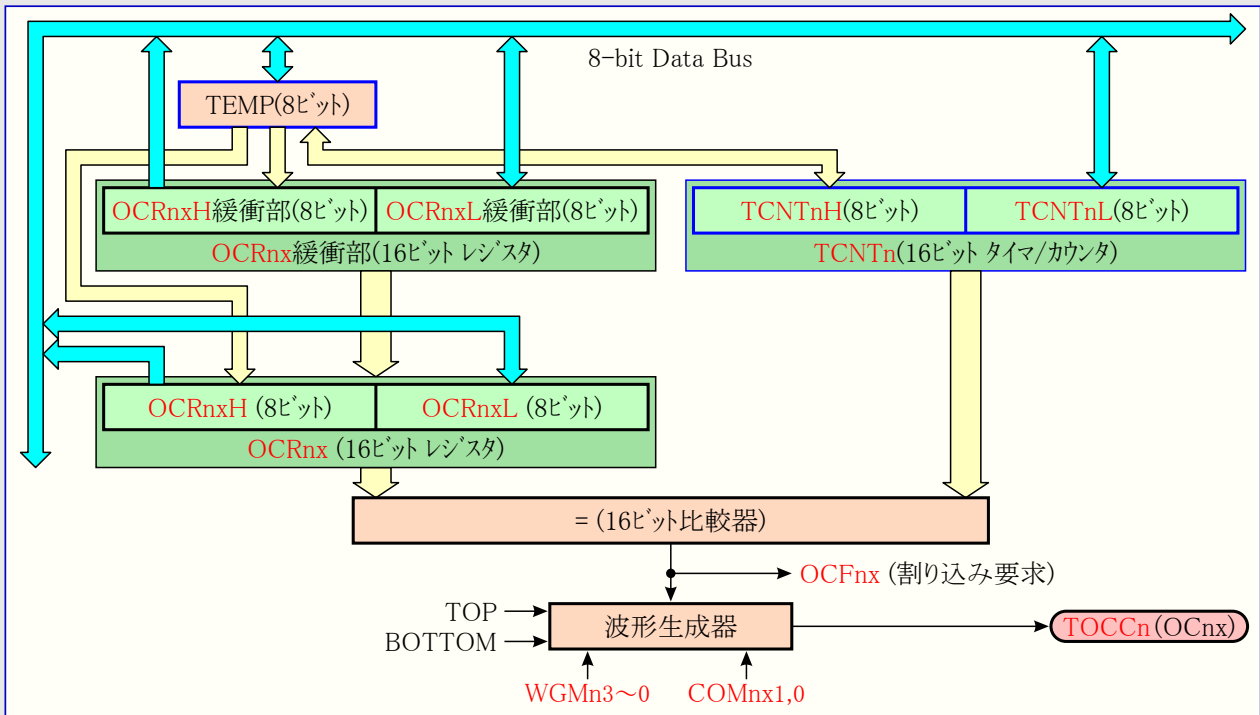
12.7. 比較出力部

この16ビット比較器は**TCNTn**と**比較レジスタ(OCRnx)**を継続的に比較します。TCNTnとOCRnxが等しければ、比較器は一致を指示します。この一致は**次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCFn)**を設定(1)します。許可(I=1, **OCIEnx=1**)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCFnは割り込みが実行されると自動的に解除(0)されます。代わりにOCFnはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は**波形生成種別(WGMn3~0)ビット**と**比較出力選択(COMnx1,0)ビット**によって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(70頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うため、波形生成器によって使われます。

比較A出力部の特殊な特性はタイマ/カウンタのTOP値(換言するとカウンタの分解能)定義を許します。カウンタの分解能に加え、TOP値は波形生成器によって生成された波形の周期時間を定義します。

図12-4.は比較出力部の構成図を示します。レジスタとビット名での小文字の'n'はタイマ/カウンタ番号(例えばタイマ/カウンタ1に対してはn=1)、小文字の'x'は比較出力部(AまたはB)を表します。直接的な比較出力部の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。

図12-4. 比較出力部構成図



OCRnxは12種類のパルス幅変調(PWM)のどれかを使う時に2重緩衝されます。標準動作と比較一致タイマ/カウンタ解除(CTC)動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCRnxレジスタの更新を同期化します。この同期化は奇数長、非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。

OCRnxのアクセスは複雑なように思えますが決してそんなことはありません。2重緩衝動作が許可されるとCPUはOCRnx緩衝部をアクセスし、禁止されるとOCRnxレジスタを直接アクセスします。OCRnx(緩衝部またはレジスタ)の内容は書き込み操作によってのみ変更されます(タイマ/カウンタはTCNTnやICRnのようにOCRnxを自動的に更新しません)。従ってOCRnxは上位バイト一時レジスタ(TEMP)経由で読まれません。けれども他の16ビットレジスタをアクセスする時のように下位バイトを先に読むのは良い習慣です。OCRnx書き込みは16ビット全ての比較が継続的に行われるため、一時レジスタ経由で行われなければなりません。上位バイト(OCRnxH)が先に書かれなければなりません。上位バイトI/O位置がCPUによって書かれると、一時レジスタは書かれた値で更新されます。その後に下位バイト(OCRnxL)が下位8ビットを書かれると、(一時レジスタ内の)上位バイトは(下位バイト書き込みと)同じシステムクロック周期でOCRnx緩衝部またはOCRnxレジスタのどちらかに複写されます。

16ビットレジスタアクセス法のより多くの情報については75頁の「16ビットレジスタのアクセス」を参照してください。

(訳注) ここでは比較nxレジスタ全体をOCRnx、OCRnxを構成する緩衝部分をOCRnx緩衝部、実際の比較に使われるレジスタ本体部分をOCRnxレジスタとして記述しています。他の部分での記述でも特に必要がある場合はこの記述方法を適用します。

12.7.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOCnx)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCFnx)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、OCnxピンは実際の比較一致が起きた場合と同様に更新されます(COMnx1,0ビット設定がOCnxピンの設定(1)、解除(0)、1/0交互のどれかを定義)。

12.7.2. TCNTn書き込みによる比較一致妨害

TCNTnへの全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNTnと同じ値に初期化されることをOCRnxに許します。

12.7.3. 比較一致部の使用

どの動作種別でのTCNTn書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかंनाいかに拘らず、何れかの比較出力部を使う場合、TCNTnを変更する時に危険を伴います。TCNTnに書かれた値がOCRnx値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。可変TOP値のPWM動作でTOPに等しいTCNTnを書いてはいけません。(行った場合)TOPに対する比較一致は無視され、カウンタは\$FFFFへ(計数を)続けます。同様にカウンタが下降計数のとき、BOTTOMに等しいTCNTn値を書いてはいけません。

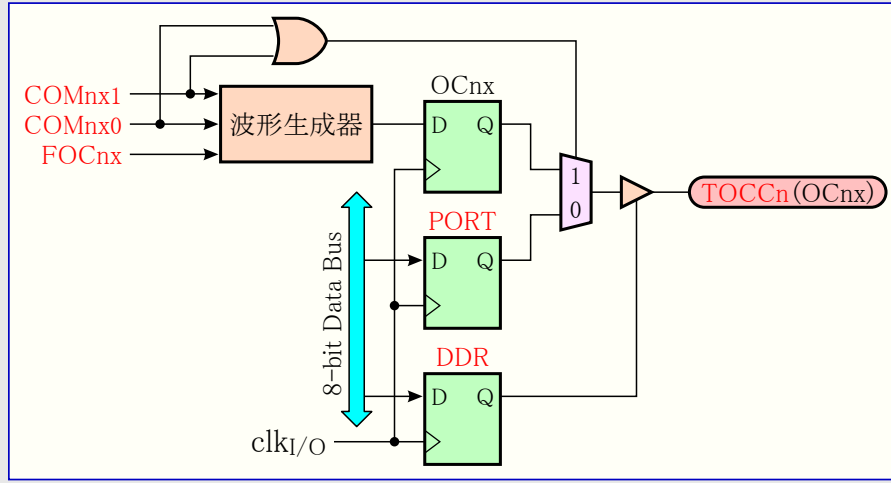
OCnxの初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OCnx値を設定する一番簡単な方法は標準動作で強制変更(FOCnx)スローブビットを使うことです。波形生成種別間を変更する時であっても、OCnx(内部)レジスタはその値を保ちます。

比較出力選択(COMnx1,0)ビットが比較値(OCRnx)と共に2重緩衝されないことに気付いてください。COMnx1,0ビットの変更は直ちに有効となります。

12.8. 比較一致出力部

比較出力選択(COMnx1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での比較出力(OCnx)状態の定義にCOMnx1,0ビットを使います。次にCOMnx1,0ビットはOCnxピン出力元を制御します。図12-5はCOMnx1,0ビット設定によって影響される論理回路の簡略化した図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文は太字)で示されます。COMnx1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。OCnxの状態を参照するとき、その参照はOCnxピンでなく内部OCnxレジスタに対してです。システムリセットが起ると、OCnxレジスタは0にリセットされます。

図12-5. 比較一致出力回路図 (非PWM動作)



COMnx1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は波形生成器からの比較出力(OCnx)によって無効にされます。けれどもOCnxピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OCnxピンに対するポート方向レジスタのビット(DDR_OCnx)はOCnx値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は一般的に波形生成種別と無関係ですが、いくつかの例外があります。詳細については表12-2、表12-3、表12-4を参照してください。

比較出力ピン論理回路の設計は出力が許可される前のOCnx状態の初期化を許します。いくつかのCOMnx1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。77頁の「16ビットタイマ/カウンタと2用レジスタ」をご覧ください。

COMnx1,0ビットは捕獲入力部での何の効果もありません。

12.8.1. 比較一致出力選択と波形生成

波形生成器は標準、CTC、PWM動作でCOMnx1,0ビットを違うふうに使います。全ての動作種別に対してCOMnx1,0=00設定は次の比較一致で実行すべきOCnxレジスタの動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については77頁の表12-2を参照してください。高速PWM動作については77頁の表12-3、位相基準PWMと位相/周波数基準PWMについては77頁の表12-4を参照してください。

COMnx1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作について、この動作は強制変更(FOCnx)スローブビットを使うことによって直ちに効果を得ることを強制できます。

12.9. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は**波形生成種別(WGMn3~0)ビット**と**比較出力選択(COMnx1,0)ビット**の組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響を及ぼしませんが、一方波形生成種別ビットは影響を及ぼします。COMnx1,0ビットは生成されたPWM出力が反転されるべきか、されないべきか(反転または非反転PWM)のどちらかを制御します。非PWM動作に対するCOMnx1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。69頁の「**比較一致出力部**」をご覧ください。

タイミング情報の詳細については74頁の「**タイマ/カウンタのタイミング**」を参照してください。

12.9.1. 標準動作

最も単純な動作種別が標準動作(WGMn3~0=0000)です。この動作種別での計数方向は常に上昇(+)で、カウンタの解除は実行されません。カウンタは16ビット最大値(MAX=\$FFFF)を通過すると単に範囲を超え、そして\$0000(BOTTOM)から再び始めます。通常動作での**タイマ/カウンタ溢れ(TOVn)フラグ**はTCNTnが\$0000になる時と同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOVnフラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOVnフラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

捕獲入力部は標準動作での使用が容易です。けれども外部の事象間の最大間隔がタイマ/カウンタの分解能(16ビット長)を越えてはならないことに気付いてください。事象間の間隔が長すぎる場合、捕獲部に対して分解能を拡張するために、タイマ/カウンタ溢れ割り込みまたは前置分周器が使われなければなりません。

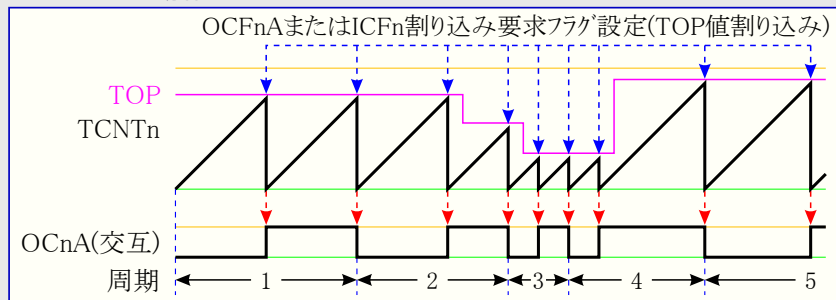
比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのは、それが大変多くのCPU時間を占有するため推奨されません。

12.9.2. 比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(WGMn3~0=0100または1100)ではOCRnAまたはICRnがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNTn)値がOCRnA(WGMn3~0=4)またはICRn(WGMn3~0=12)のどちらかと一致する時にカウンタが\$0000に解除されます。OCRnAまたはICRnはカウンタに対する**TOP値**、従って分解能も定義します。この動作種別はより大きい比較一致出力周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図12-6.で示されます。カウンタ(TCNTn)値はOCRnAまたはICRnのどちらかで比較一致が起こるまで増加し、そしてその後にカウンタ(TCNTn)は解除(\$0000)されます。

図12-6. CTC動作タイミング



注: COMnA1,0=01

TOP値を定義するのに使われるレジスタに対してOCFnAまたはICFnのどちらかを使うことにより、カウンタ値がTOP値に到達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更するのは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCRnAまたはICRnに書かれた新しい値がTCNTnの現在値よりも低い(小さい)場合、カウンタは(その回の)比較一致を失います。その後カウンタは比較一致が起こせるのに先立って、最大値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。多くの場合でこの特性は好ましくありません。OCRnAが2重緩衝されるので、代替はTOPを定義するのにOCRnAを用いる**高速PWM動作(WGMn3~0=1111)**を使うことでしょ。

CTC動作で波形出力を生成するため、OCnA出力は**比較出力選択(COMnA1,0)ビット**を交互動作(=01)に設定することによって各比較一致での論理レベル交互切替に設定できます。OCnA値はそのピンに対するデータ方向が出力(DDR_OCnA=1)に設定されない限り、ポートピンで見えないでしょう。生成された波形はOCRnAが0(\$0000)に設定される時に $f_{OCnA} = f_{clk_I/O} / 2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OCnA} = \frac{f_{clk_I/O}}{2 \times N \times (1 + OCRnA)}$$

変数Nは前置分周数(1,8,64,256,1024)を表します。

標準動作と同じように、**タイマ/カウンタ溢れ割り込み要求(TOVn)フラグ**はカウンタがMAXから\$0000へ計数するのと同じタイマ/カウンタクロック周期で設定(1)されます。

12.9.3. 高速PWM動作

高速パルス幅変調(PWM)動作(WGMn3~0=0101,0110,0111,1110,1111)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることによって他のPWM動作と異なります。カウンタはBOTTOMからTOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)はTCNTnとOCRnx間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COMnx1,0=11)の出力は比較一致で設定(1)され、BOTTOMで解除(0)されます。単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相基準や位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWMのPWM分解能は8,9,10ビットに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ビット(OCRnAまたはICRnが\$0003設定)、最大分解能は16ビット(OCRnAまたはICRnがMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{\text{PWM}} = \frac{\log(\text{TOP} + 1)}{\log 2}$$

高速PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGMn3~0=0101,0110,0111)、ICRn値(WGMn3~0=1110)またはOCRnA値(WGMn3~0=1111)のどれかと一致するまで増加されます。そしてカウンタは(一致の)次のタイマ/カウンタクロック周期で解除(\$0000)されます。高速PWM動作のタイミング図は図12-7で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の高速PWM動作を示します。TCNTn値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCFnx)は比較一致が起こると設定(1)されます。

タイマ/カウンタ溢れ割り込み要求(TOVn)フラグはカウンタがTOPに到達する時毎に設定(1)されます。加えて、OCRnAかICRnのどちらかがTOP値を定義するのに使われると、OCFnxまたはICFnx割り込み要求フラグはTOVnが設定(1)されるのと同じタイマ/カウンタクロック周期で設定(1)されます。これらの割り込みの1つが許可されるなら、その割り込み処理ルーチンはTOPと比較値を更新するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。

ICRnがTOP値を定義するのに使われるとき、ICRnを更新する手順はOCRnAの更新と異なります。ICRnは2重緩衝されません。これは前置分周なしまたは低い前置分周値でカウンタが走行している時にICRnが小さな値に変更される場合、書かれた新しいICRn値がTCNTnの現在値よりも小さくなる危険を意味します。その後の結果はカウンタが(その回の)TOP値での比較一致を失うことです。その後のカウンタは比較一致が起こせるのに先立って、MAX値(\$FFFF)へそして次に\$0000から始める計数をしなければならないでしょう。けれども、OCRnAは2重緩衝されます。この特徴は何時でも書かれることをOCRnAのI/O位置に許します。OCRnA I/O位置が書かれると、書かれた値はOCRnA緩衝部に置かれます。OCRnA(比較)レジスタはその後TCNTnがTOPと一致した次のタイマ/カウンタクロック周期にOCRnA緩衝部の値で更新されます。この更新はTCNTnの解除(\$0000)やTOVnの設定(1)と同じタイマ/カウンタクロック周期で行われます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くなります。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

高速PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます。77頁の表12-3をご覧ください。実際のOCnx値はそのポートピンに対するデータ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はTCNTnとOCRnx間の比較一致でOCnx(内部)レジスタを設定(1)(または解除(0))と、カウンタが解除(\$0000、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期でのOCnxレジスタを解除(0)(または設定(1))することによって生成されます。

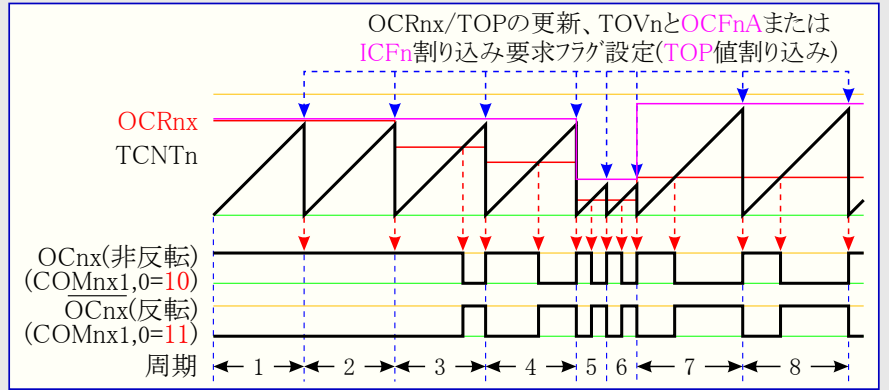
PWM出力周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{\text{OCnxPWM}} = \frac{f_{\text{clk_I/O}}}{N \times (1 + \text{TOP})}$$

OCRnxの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合に当たります。OCRnxがBOTTOM(\$0000)に等しく設定されると、出力はTOP+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。TOPに等しいOCRnx設定は(COMnx1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作で(デューティ比50%)周波数の波形出力は比較一致毎に論理反転するOCnA設定(COMnA1,0=01)によって達成できます。これはTOP値を定義するのにOCRnAが使われる(WGMn3~0=1111)の場合にだけ適用されます。生成された波形はOCRnAが\$0(\$0000)に設定される時に $f_{\text{OCnA}} = f_{\text{clk_I/O}} / 2$ の最大周波数でしょう。この特性は高速PWM動作で比較出力部の2重緩衝機能が許可されることを除いて、CTC動作でのOCnA交互出力(COMnA1,0=01)と同じです。

図12-7. 高速PWM動作タイミング



12.9.4. 位相基準PWM動作

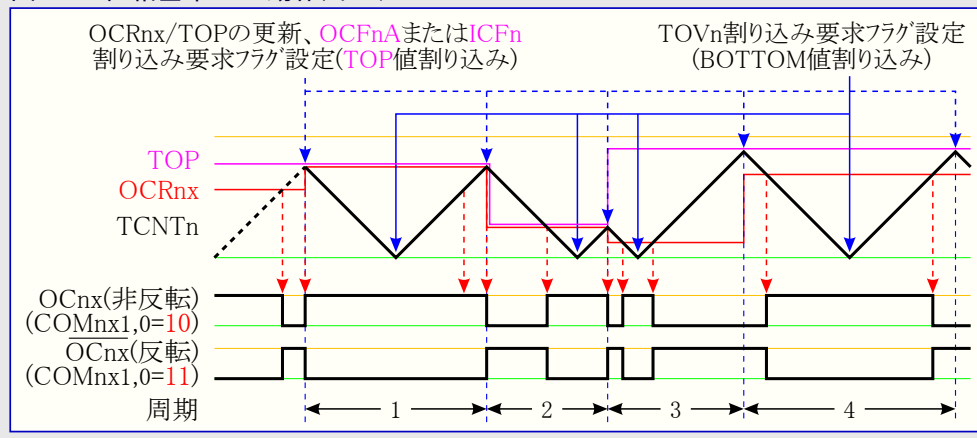
位相基準パルス幅変調(PWM)動作(WGMn3~0=0001,0010,0011,1010,1011)は高分解能で正しい位相のPWM波形生成選択を提供します。位相基準PWM動作は両傾斜(三角波)動作を基準とした位相/周波数基準PWMと似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

位相基準PWM動作のPWM分解能は8,9,10ビットに固定、若しくはOCRnAかICRnのどちらかによって定義できます。許された最小分解能は2ビット(OCRnAまたはICRnが\$0003設定)、最大分解能は16ビット(OCRnAまたはICRnがMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相基準PWM動作でのカウンタはカウンタ値が固定値\$00FF,\$01FF,\$03FF(WGMn3~0=0001,0010,0011)、ICRn値(WGMn3~0=1010)またはOCRnA値(WGMn3~0=1011)のどれかと一致するまで増やされます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNTn値は1タイマ/カウンタクロック周期TOPと等しくなります。位相基準PWM動作のタイミング図は図12-8.で示されます。本図はOCRnAかICRnがTOPを定義するのに使われる時の位相基準PWM動作を示します。TCNTn値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCFnx)は比較一致が起こると設定(1)されます。

図12-8. 位相基準PWM動作タイミング



タイマ/カウンタ溢れ(TOVn)フラグはカウンタがBOTTOMに到達する時毎に設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnxまたはICFnx割り込み要求フラグはOCRnxレジスタが(TOPに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期によって設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。固定TOP値を使う場合、どのOCRnxが書かれる時も、未使用ビットが0で隠(に置換)されることに注意してください。図12-8.で示される第3周期が図解するように、タイマ/カウンタが位相基準PWM動作で走行中にTOPを積極的に変更するのは、非対称出力で終わることが有り得ます。これに対する理由はOCRnxレジスタの更新時に見出せます。OCRnx更新はTOPで起きるので、PWM周期はTOPで始まりそして終わります。これは下降傾斜長が直前のTOP値によって決定され、一方上昇傾斜長は新しいTOP値で決定されることを意味します。これら2つの値(TOP)が違うとき、その周期の2つの傾斜長は異なるでしょう。この長さの相違が出力での非対称な結果を生じます。

タイマ/カウンタが走行中にTOP値を変更する場合、位相基準PWM動作の代わりに位相/周波数基準PWM動作を使うことが推奨されます。一定のTOP値を使う時に2つの動作種別間に現実的な違いはありません。

位相基準PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます(77頁の表12-4.をご覧ください)。実際のOCnx値はそのポートピンに対するデータ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はカウンタが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNTnとOCRnx間の比較一致でOCnxレジスタを解除(0)(または設定(1))することによって生成されます。

位相基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPCPWM} = \frac{f_{clk1/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCRnAが使われ(WGMn3~0=1011)、COMnA1,0=01なら、OCnA出力はデューティ比50%で交互に変化します。

12.9.5. 位相/周波数基準PWM動作

位相/周波数基準パルス幅変調(PWM)動作(WGMn3~0=1000,1001)は高分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作を基準とした**位相基準PWM**と似ています。カウンタはBOTTOM(\$0000)からTOPへ、そしてその後にTOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COMnx1,0=10)での比較出力(OCnx)は上昇計数中のTCNTnとOCRnx間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COMnx1,0=11)での動作は逆にされます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性のため、これらの動作種別は電動機制御の応用に好まれます。

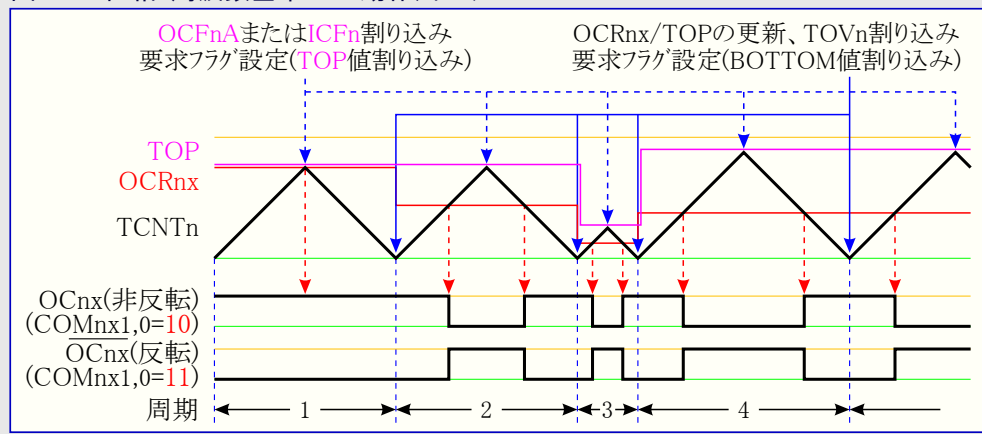
位相基準と位相/周波数基準PWM動作間の主な違いはOCRnxレジスタがOCRnx緩衝部によって更新される時(訳補:TOPとBOTTOM)です(図12-8と図12-9参照)。

位相/周波数基準PWM動作のPWM分解能はOCRnAかICRnのどちらかで定義できます。許された最小分解能は2ビット(OCRnAまたはICRnが\$0003設定)、最大分解能は16ビット(OCRnAまたはICRnがMAX設定)です。ビットでのPWM分解能は次式を使うことによって計算できます。

$$R_{PFCPWM} = \frac{\log(TOP+1)}{\log 2}$$

位相/周波数基準PWM動作でのタイマ/カウンタはタイマ/カウンタ値がICRn値(WGMn3~0=1000)かOCRnA値(WGMn3~0=1001)のどちらかと一致するまで増加されます。カウンタはTOPに到達したその時に計数方向を変更します。このTCNTn値は1タイマ/カウンタクロック周期間、TOPと等しくなります。位相/周波数基準PWM動作のタイミング図は図12-9で示されます。この図はOCRnAかICRnがTOPを定義するのに使われる時の位相/周波数基準PWM動作を示します。TCNTn値はタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示されます。この図は非反転と反転のPWM出力を含みます。細い赤線はOCRnx値を示し、TCNTn値との交点(接点)がTCNTnとOCRnx間の比較一致を示します(訳注:図補正に伴い本行若干変更)。比較割り込み要求フラグ(OCFnx)は比較一致が起こると設定(1)されます。

図12-9. 位相/周波数基準PWM動作タイミング



タイマ/カウンタ溢れ(TOVn)フラグはOCRnxレジスタが(BOTTOMに於いて)2重緩衝値で更新されるのと同じタイマ/カウンタクロック周期で設定(1)されます。OCRnAかICRnのどちらかがTOP値を定義するのに使われるとき、OCFnxまたはICFnx割り込み要求フラグはタイマ/カウンタがTOPに到達する時毎に設定(1)されます。これらの割り込み要求フラグはカウンタがTOPまたはBOTTOM値に到達する毎に割り込みを発生するのに使えます。

TOP値を変更するとき、プログラムは新TOP値が全ての比較レジスタ値と等しいか大きいことを保証しなければなりません。TOP値が何れかの比較レジスタよりも小さな場合、TCNTnとそのOCRnx間で比較一致は決して起きません。

図12-9が示すように、生成された出力は位相基準PWM動作と異なり、全ての周期で対称です。OCRnxレジスタがBOTTOMで更新されるため、上昇と下降の傾斜長は常に等しくなります。これが対称出力パルス、従って正しい周波数を与えます。

TOPを定義するのにICRnを使うことは決まったTOP値を使う時に上手くいきます。ICRnを使うことにより、OCnAでのPWM出力を生成するためにOCRnAが自由に使えます。けれども基準PWM周波数が(TOP値を変更することによって)動的に変更される場合、OCRnAが2重緩衝機能のため、TOPとしてOCRnAを使うことは明らかに良い選択です。

位相/周波数基準PWM動作での比較部はOCnxピンでのPWM波形の生成を許します。COMnx1,0ビットを'10'に設定することは非反転PWM出力を作成し、反転PWM出力はCOMnx1,0を'11'に設定することで生成できます(77頁の表12-4をご覧ください)。実際のOCnx値はそのポートピンに対するデータ方向が出力(DDR_OCnx=1)として設定される場合にだけ見えるでしょう。PWM波形はカウンタが増加する時のTCNTnとOCRnx間の比較一致でOCnx(内部)レジスタを設定(1)(または解除(0))と、カウンタが減少する時のTCNTnとOCRnx間の比較一致でOCnxレジスタを解除(0)(または設定(1))することによって生成されます。

位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。変数Nは前置分周数(1,8,64,256,1024)を表します。

$$f_{OCnxPFCPWM} = \frac{f_{clk_1/O}}{2 \times N \times TOP}$$

OCRnxの両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCRnxがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。TOP値定義にOCRnAが使われ(WGMn3~0=1001)、COMnA1,0=01なら、OCnA出力はデューティ比50%で交互に変化します。

12.10. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従ってタイマ/カウンタクロック(clk_{Tn})が下図のクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時、そして OCR_{nx} レジスタが OCR_{nx} 緩衝値で更新される時(2重緩衝を使う動作種別のみ)の情報を含みます。図12-10は OCF_{nx} の設定についてのタイミング図を示します。

図12-10. 前置分周なし(1/1)のタイマ/カウンタ、 OCF_{nx} 設定 タイミング

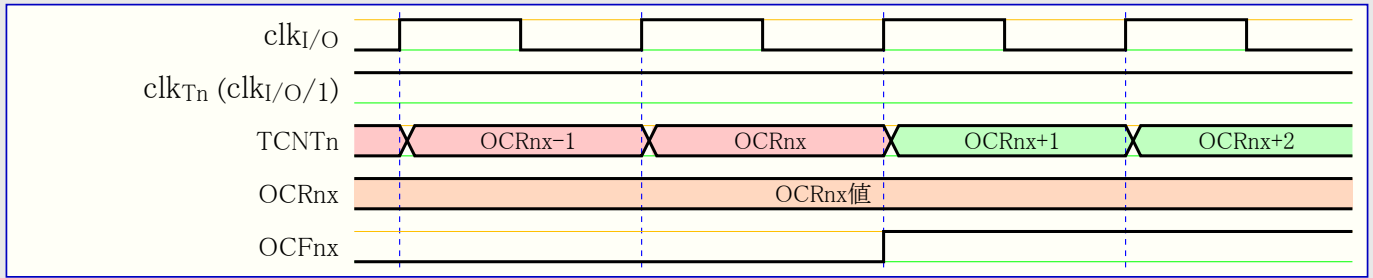


図12-11は同じタイミング データを示しますが、前置分周器が許可されています。

図12-11. 前置分周器($f_{\text{clk}_{\text{I/O}}/8}$)のタイマ/カウンタ、 OCF_{nx} 設定 タイミング

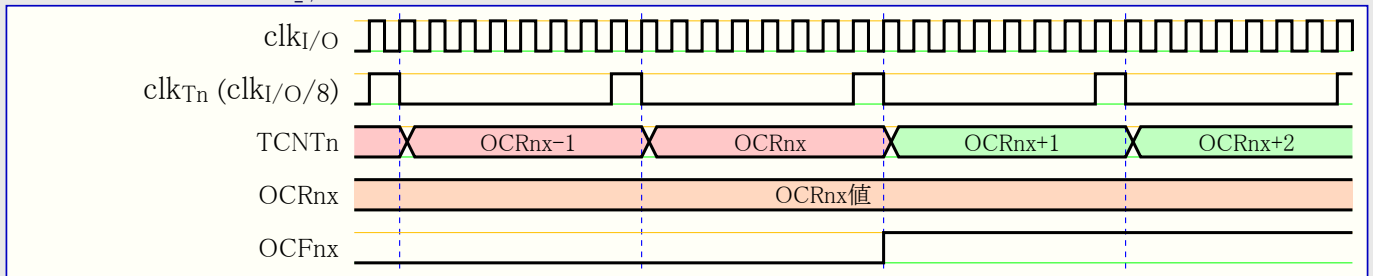


図12-12は各動作種別でのTOP近辺の計数手順を示します。位相/周波数基準PWM動作使用時の OCR_{nx} レジスタはBOTTOMで更新されます。タイミング図は同じになりますが、当然TOPはBOTTOMで、TOP-1はBOTTOM+1でなどのように置き換えられます。BOTTOMで TOV_{n} を設定(1)する動作種別についても、同様な名称変更が適用されます。

図12-12. 前置分周なし(1/1)のタイマ/カウンタ、TOP近辺 タイミング

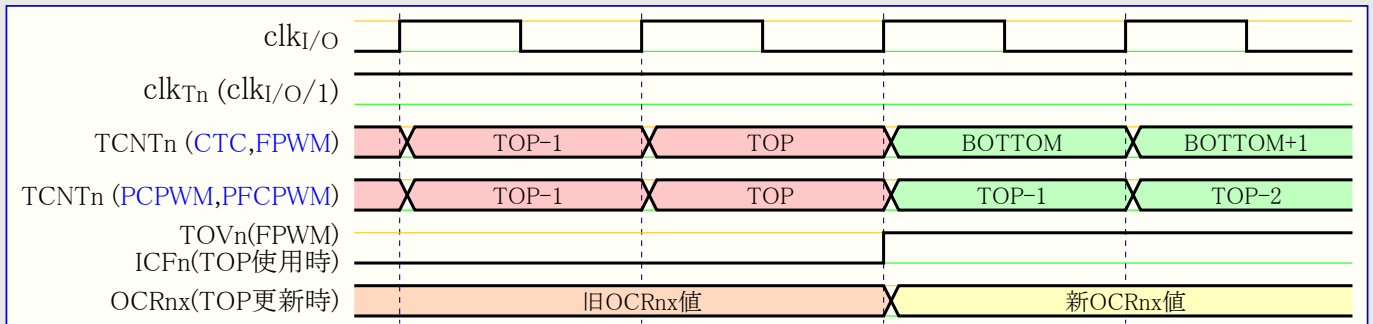
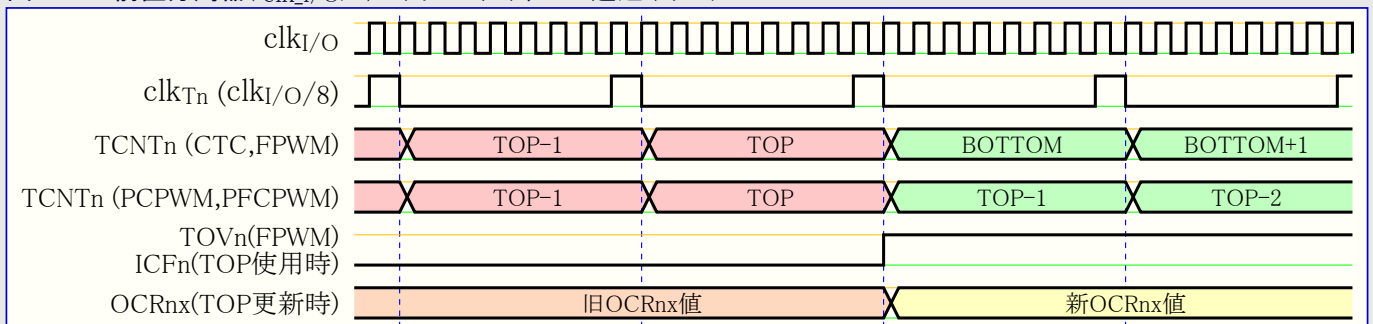


図12-13は同じタイミング データを示しますが、前置分周器が許可されています。

図12-13. 前置分周器($f_{\text{clk}_{\text{I/O}}/8}$)のタイマ/カウンタ、TOP近辺 タイミング



12.11. 16ビットレジスタのアクセス

TCNTn, OCRnA, OCRnB, ICnは8ビットバス経由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。16ビットタイマ/カウンタ内の全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で両方が16ビットレジスタに複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

全ての16ビットアクセスが上位バイトに対して一時レジスタを使う訳ではありません。OCRnAとOCRnBの16ビットレジスタ読み込みは一時レジスタの使用に関係しません。

16ビット書き込みを行うために上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイトの前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCRnA, OCRnB, ICnレジスタのアクセスに対して同じ原理が直接的に使えます。C言語を使う時はコンパイラが16ビットアクセスを扱うことに注意してください。

アセンブリ言語プログラム例

```

~
LDI    R17, $01           ;
LDI    R16, $FF           ;[16ビット($01FF)書き込み]
OUT    TCNTnH, R17        ;$01FFの上位バイト値取得
OUT    TCNTnL, R16        ;$01FFの下位バイト値取得
~                               ;上位バイト設定(一時レジスタ)
~                               ;下位バイト設定(一時レジスタ⇒上位バイト)
IN     R16, TCNTnL        ;[16ビット読み込み]
IN     R17, TCNTnH        ;下位バイト取得(上位バイト⇒一時レジスタ)
~                               ;上位バイト取得(一時レジスタ)
~                               ;
```

C言語プログラム例

```

unsigned int i;
~
TCNTn = 0x1FF;           /* */
i = TCNTn;               /* 16ビット($01FF)書き込み */
~                         /* 16ビット読み込み */
~                         /* */
```

注: 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNTn値を戻します。

16ビットレジスタアクセスが非分断操作であることに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNTnレジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,ICRnのどの読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNTn:    IN      R18, SREG          ;現全割り込み許可フラグ(I)を保存
             CLI          ;全割り込み禁止
             IN      R16, TCNTnL        ;TCNTn下位バイト取得(上位バイト⇒一時レジスタ)
             IN      R17, TCNTnH        ;TCNTn上位バイト取得(一時レジスタ)
             OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
             RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNTn(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNTn読み出し変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    i = TCNTn;                         /* TCNTn値を取得 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
    return i;                          /* TCNTn値で呼び出し元へ復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNTn値を戻します。

次のコード例はTCNTnレジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCRnA,OCRnB,ICRnのどの書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNTn:    IN      R18, SREG          ;現全割り込み許可フラグ(I)を保存
             CLI          ;全割り込み禁止
             OUT     TCNTnH, R17        ;TCNTn上位バイト設定(一時レジスタ)
             OUT     TCNTnL, R16        ;TCNTn下位バイト設定(一時レジスタ⇒上位バイト)
             OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
             RET                ;呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNTn(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                    /* TCNTn書き込み変数定義 */
    sreg = SREG;                       /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                            /* 全割り込み禁止 */
    TCNTn = i;                         /* TCNTn値を設定 */
    SREG = sreg;                       /* 全割り込み許可フラグ(I)を復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNTnへ書かれるべき値を含む必要があります。

12.11.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

12.12. 16ビット タイマ/カウンタ1と2用レジスタ

12.12.1. TCCRnA – タイマ/カウンタn制御レジスタA (Timer/Counter n Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	COM1A1	COM1A0	COM1B1	COM1B0	–	–	WGM11	WGM10	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
(\$CA)	COM2A1	COM2A0	COM2B1	COM2B0	–	–	WGM21	WGM20	TCCR2A
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – COMnA1,0 : 比較nA出力選択 (Compare Output Mode for Channel A)
 - ビット5,4 – COMnB1,0 : 比較nB出力選択 (Compare Output Mode for Channel B)
- COMnA1,0とCOMnB1,0は各々OCnAとOCnB比較出力ピンの動作を制御します。COMnA1,0ビットの1つまたは両方が1を書かれると、OCnA出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。COMnB1,0ビットの1つまたは両方が1を書かれると、OCnB出力はそのI/Oピンの通常ポート機能を無効にし、そのI/Oピンに接続されます。けれども出力駆動部を許可するため、OCnAまたはOCnBピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。
- OCnAまたはOCnBがピンに接続されるとき、COMnx1,0ビットの機能はWGMn3~0ビット設定に依存します。
- 表12-2.はWGMn3~0ビットが標準動作またはCTC動作(つまり非PWM)に設定される時のCOMnx1,0ビット機能を示します。

表12-2. 非PWM動作での比較出力選択 (注: nは1または2, xはAまたはB)		
COMnx1	COMnx0	意味
0	0	標準ポート動作 (OCnx切断)
0	1	比較一致でOCnxピントグル(交互)出力
1	0	比較一致でOCnxピン Lowレベル出力
1	1	比較一致でOCnxピン Highレベル出力

表12-3.はWGMn3~0ビットが高速PWM動作に設定される時のCOMnx1,0ビット機能を示します。

表12-3. 高速PWM動作での比較出力選択 (注: nは1または2, xはAまたはB, Xは0または1)		
COMnx1	COMnx0	意味
0	0	標準ポート動作 (OCnx切断)
0	1	WGMn3~0=111X : 比較一致でOCnAピントグル(交互)出力、OCnBは標準ポート動作(OCnB切断) WGMn3~0上記以外 : 標準ポート動作 (OCnx切断)
1	0	比較一致でLow、BOTTOMでHighをOCnxピンへ出力 (非反転動作)
1	1	比較一致でHigh、BOTTOMでLowをOCnxピンへ出力 (反転動作)

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。この状態での比較一致は無視されますが、BOTTOMでの設定(1)または解除(0)は実行されます。より多くの詳細については71頁の「高速PWM動作」をご覧ください。

表12-4.はWGMn3~0ビットが位相基準または位相/周波数基準PWM動作に設定される時のCOMnx1,0ビット機能を示します。

表12-4. 位相基準または位相/周波数基準PWM動作での比較出力選択 (注: nは1または2, xはAまたはB, Xは0または1)		
COMnx1	COMnx0	意味
0	0	標準ポート動作 (OCnx切断)
0	1	WGMn3~0=10X1 : 比較一致でOCnAピントグル(交互)出力、OCnBは標準ポート動作(OCnB切断) WGMn3~0上記以外 : 標準ポート動作 (OCnx切断)
1	0	上昇計数時の比較一致でLow、下降計数時の比較一致でHighをOCnxピンへ出力
1	1	上昇計数時の比較一致でHigh、下降計数時の比較一致でLowをOCnxピンへ出力

注: COMnx1が設定(1)され、OCRnxがTOPと等しい時に特別な状態が起きます。より多くの詳細については72頁の「位相基準PWM動作」をご覧ください。

●ビット1,0 – WGMn1,0 : 波形生成種別 (Waveform Generation Mode bit 1 and 0)

タイマ/カウンタ制御レジスタB(TCCRNb)で得られるWGMn3,2ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します(表12-5.参照)。タイマ/カウンタ部によって支援される動作種別は標準動作(カウンタ)、比較一致タイマ/カウンタ解除(CTC)動作と3形式のパルス幅変調(PWM)動作です。70頁の「動作種別」をご覧ください。

表12-5. 波形生成種別選択

番号	WGMn3~0	タイマ/カウンタ動作種別	TOP値	OCRnx 更新時	TOVn 設定時
0	0 0 0 0	標準動作	\$FFFF	即値	MAX
1	0 0 0 1	8ビット位相基準PWM動作	\$00FF	TOP	BOTTOM
2	0 0 1 0	9ビット位相基準PWM動作	\$01FF	TOP	BOTTOM
3	0 0 1 1	10ビット位相基準PWM動作	\$03FF	TOP	BOTTOM
4	0 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	OCRnA	即値	MAX
5	0 1 0 1	8ビット高速PWM動作	\$00FF	TOP	TOP
6	0 1 1 0	9ビット高速PWM動作	\$01FF	TOP	TOP
7	0 1 1 1	10ビット高速PWM動作	\$03FF	TOP	TOP
8	1 0 0 0	位相/周波数基準PWM動作	ICRn	BOTTOM	BOTTOM
9	1 0 0 1	位相/周波数基準PWM動作	OCRnA	BOTTOM	BOTTOM
10	1 0 1 0	位相基準PWM動作	ICRn	TOP	BOTTOM
11	1 0 1 1	位相基準PWM動作	OCRnA	TOP	BOTTOM
12	1 1 0 0	比較一致タイマ/カウンタ解除(CTC)動作	ICRn	即値	MAX
13	1 1 0 1	(予約)	-	-	-
14	1 1 1 0	高速PWM動作	ICRn	TOP	TOP
15	1 1 1 1	高速PWM動作	OCRnA	TOP	TOP

12.12.2. TCCRNb – タイマ/カウンタn制御レジスタB (Timer/Counter n Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
(\$C9)	ICNC2	ICES2	-	WGM23	WGM22	CS22	CS21	CS20	TCCR2B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – ICNCn : 捕獲起動入力n雑音消去許可 (Input Capture n Noise Canceler)

このビットを(1)に設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICPn)ピンからの入力が濾波されます。この濾波器機能はそれが出力を更新するのに、連続4回等しく評価されたICPnピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はそれによって4発振器(システム クロック)周期遅らされます。

●ビット6 – ICESn : 捕獲起動入力端選択 (Input Capture n Edge Select)

このビットは出来事での捕獲を起動するのに使われる捕獲起動入力(ICPn)ピンのどちらかのエッジを選択します。ICESnビットが0を書かれると起動動作として下降(負)端が使われ、ICESnビットが1を書かれると上昇(正)端が捕獲を起動します。

捕獲がICESn設定に従って起動されると、カウンタ値が捕獲レジスタ(ICRn)に複写されます。この出来事は捕獲入力割り込み要求フラグ(ICFn)も設定(1)し、そしてこれは、この割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

ICRnがTOP値として使われると(TCCRNbとTCCRNbに配置されたWGMn3~0ビットの記述をご覧ください)、ICPnが切り離され、従って捕獲入力機能は禁止されます。

●ビット5 – Res : 予約 (Reserved)

このビットは将来の使用に予約されています。将来のデバイスとの互換性を保証するため、このビットはレジスタが書かれる時に0を書かれなければなりません。

●ビット4,3 – WGMn3,2 : 波形生成種別 (Waveform Generation Mode bit 3 and 2)

タイマ/カウンタ制御レジスタA(TCCRNb)で得られるWGMn1,0ビットと組み合わせたこれらのビットはカウンタの計数順序(方向)、最大計数(TOP)値供給元、使われるべき波形生成のどの形式かを制御します。

TCCRNbのWGMn1,0ビット記述をご覧ください。

●ビット2~0 – CSn2~0 : クロック選択1 (Clock Select n, bit 2,1 and 0)

この3つのクロック選択ビットはタイマ/カウンタ(TCNTn)によって使われるべきクロック元を選択します。図12-10と図12-11をご覧ください。

表12-6. タイマ/カウンタn入力クロック選択			
CSn2	CSn1	CSn0	意味
0	0	0	停止 (タイマ/カウンタ動作停止)
0	0	1	clkI/O (前置分周なし)
0	1	0	clkI/O/8 (8分周)
0	1	1	clkI/O/64 (64分周)
1	0	0	clkI/O/256 (256分周)
1	0	1	clkI/O/1024 (1024分周)
1	1	0	Tnピンの下降端 (外部クロック)
1	1	1	Tnピンの上昇端 (外部クロック)

タイマ/カウンタnに対して外部ピン(クロック)動作が使われる場合、例えばTnピンが出力として設定されても、Tnピンの遷移はカウンタをクロック駆動します。この特性はソフトウェアに計数制御を許します。

12.12.3. TCCRnC – タイマ/カウンタ制御レジスタC (Timer/Counter n Control Register C)

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	FOC1A	FOC1B	–	–	–	–	–	–	TCCR1C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
(\$C8)	FOC2A	FOC2B	–	–	–	–	–	–	TCCR2C
Read/Write	W	W	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – FOCnA : OCnA強制変更 (Force Output Compare for Channel A)

●ビット6 – FOCnB : OCnB強制変更 (Force Output Compare for Channel B)

FOCnA/FOCnBビットはWGMn3~0ビットが非PWM動作を指示する時だけ有効です。けれども将来のデバイスとの共通性を保証するため、PWM動作で扱う時にTCCRnCが書かれる場合、これらのビットは0に設定されなければなりません。FOCnA/FOCnBビットに論理1を書くと波形生成部で直ちに比較一致が強制されます。OCnx出力はCOMnx1,0ビット設定に従って変更されます。FOCnA/FOCnBビットがストロープとして実行されることに注意してください。それによって強制された比較の効果を決めるのはCOMnx1,0ビットに存在する値です。

FOCnA/FOCnBストロープは何れの割り込みの生成もTOPとしてOCRnAを使う比較一致タイマ解除(CTC)動作でのタイマ/カウンタの解除(\$0000)も行いません。

FOCnA/FOCnBビットは常に0として読みます。

●ビット5~0 – Res : 予約 (Reserved)

これらのビットは将来の使用に予約されています。将来のデバイスとの互換性を保証するため、これらのビットはレジスタが書かれる時に0を書かれなければなりません。

12.12.4. TOCPMSA1, TOCPMSA0 – タイマ/カウンタ比較出力ピン多重器選択レジスタ (Timer/Counter Output Compare Pin Mux Selection Registers)

ビット	15	14	13	12	11	10	9	8	
(\$68)	TOCC7S1	TOCC7S0	TOCC6S1	TOCC6S0	TOCC5S1	TOCC5S0	TOCC4S1	TOCC4S0	TOCPMSA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
(\$67)	TOCC3S1	TOCC3S0	TOCC2S1	TOCC2S0	TOCC1S1	TOCC1S0	TOCC0S1	TOCC0S0	TOCPMSA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット15~0 – TOCCnS1,0 : タイマ/カウンタ比較出力チャネル選択 (Timer/Counter Output Compare Channel Select)

TOCCnS1とTOCCnS0のビットはどのタイマ/カウンタ比較出力が対応するTOCCnピンに配線されるかを選びます。次表で示されるように、2つのタイマ/カウンタは出力ピンに配線することができる6つの可能な比較出力を提供します。全ての奇数TOCCnピンが比較出力チャネルA、全ての偶数TOCCnピンが比較出力Bに配線され得ることに注意してください。

表12-7. TOCCnピンに対するタイマ/カウンタ比較出力選択

TOCCnS1	TOCCnS0	TOCC0出力	TOCC1出力	TOCC2出力	TOCC3出力	TOCC4出力	TOCC5出力	TOCC6出力	TOCC7出力
0	0	OC0B	OC0A	OC0B	OC0A	OC0B	OC0A	OC0B	OC0A
0	1	OC1B	OC1A	OC1B	OC1A	OC1B	OC1A	OC1B	OC1A
1	x	OC2B	OC2A	OC2B	OC2A	OC2B	OC2A	OC2B	OC2A

12.12.5. TOCPMCOE – タイマ/カウンタ比較出力ピン多重器チャネル出力許可レジスタ (Timer/Counter Output Compare Mux Channel Output Enable)

ビット (\$66)	7	6	5	4	3	2	1	0	
	TOCC7OE	TOCC6OE	TOCC5OE	TOCC4OE	TOCC3OE	TOCC2OE	TOCC1OE	TOCC0OE	TOCPMCOE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~0 – TOCCnOE : タイマ/カウンタ比較出力チャネル出力許可 (Timer/Counter Output Compare Channel Output Enable)

これらのビットは比較出力動作が選択されているか否かに拘らず、対応するTOCCnピンで選択した比較出力チャネルを許可します。

12.12.6. TCNTnH, TCNTnL (TCNTn) – タイマ/カウンタn (Timer/Counter n)

ビット \$2D (\$4D)	15	14	13	12	11	10	9	8	
	(MSB)								TCNT1H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット \$2C (\$4C)	7	6	5	4	3	2	1	0	
								(LSB)	TCNT1L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$C7)	15	14	13	12	11	10	9	8	
	(MSB)								TCNT2H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C6)	7	6	5	4	3	2	1	0	
								(LSB)	TCNT2L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この2つのタイマ/カウンタ I/O位置(TCNTnHとTCNTnLを合わせたTCNTn)は、読み書き両方についてタイマ/カウンタ部の16ビット カウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビット レジスタによって共用されます。75 頁の「16ビット レジスタのアクセス」をご覧ください。

カウンタが走行中にカウンタ(TCNTn)を変更することはOCRnxの1つとTCNTn間の比較一致消失の危険を誘発します。

TCNTnへの書き込みは全ての比較部に対して次のタイマ/カウンタ クロックでの比較一致を妨害(除去)します。

12.12.7. OCRnAH, OCRnAL (OCRnA) – タイマ/カウンタn 比較Aレジスタ (Timer/Counter n Output Compare Register A)

ビット \$2B (\$4B)	15	14	13	12	11	10	9	8	
	(MSB)								OCR1AH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット \$2A (\$4A)	7	6	5	4	3	2	1	0	
								(LSB)	OCR1AL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$C5)	15	14	13	12	11	10	9	8	OCR2AH
	(MSB)								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C4)	7	6	5	4	3	2	1	0	OCR2AL
								(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

12.12.8. OCRnBH, OCRnBL (OCRnB) – タイマ/カウンタn 比較レジスタ (Timer/Counter n Output Compare Register B)

ビット \$29 (\$49)	15	14	13	12	11	10	9	8	OCR1BH
	(MSB)								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット \$28 (\$48)	7	6	5	4	3	2	1	0	OCR1BL
								(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$C3)	15	14	13	12	11	10	9	8	OCR2BH
	(MSB)								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C2)	7	6	5	4	3	2	1	0	OCR2BL
								(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNTn)値と比較される16ビット値を含みます。一致は比較一致割り込みやOCnxピンでの波形出力を生成するのに使えます。

この比較レジスタは容量が16ビットです。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。75頁の「16ビットレジスタのアクセス」をご覧ください。

12.12.9. ICRnH, ICRnL (ICRn) – タイマ/カウンタn 捕獲レジスタ (Timer/Counter n Input Capture Register)

ビット \$25 (\$45)	15	14	13	12	11	10	9	8	ICR1H
	(MSB)								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット \$24 (\$44)	7	6	5	4	3	2	1	0	ICR1L
								(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$C1)	15	14	13	12	11	10	9	8	ICR2H
	(MSB)								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$C0)	7	6	5	4	3	2	1	0	ICR2L
								(LSB)	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この捕獲レジスタはICPnピン(または任意のアナログ比較器出力)で出来事が起こる毎にカウンタ(TCNTn)値で更新されます。この捕獲レジスタはタイマ/カウンタのTOP値を定義するのに使えます。

この捕獲レジスタは容量が16ビットです。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読まれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。75頁の「16ビットレジスタのアクセス」をご覧ください。

12.12.10. TIMSKn – タイマ/カウンタn割り込み許可レジスタ (Timer/Counter n Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	–	–	ICIE1	–	–	OCIE1B	OCIE1A	TOIE1	TIMSK1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	–	–	ICIE2	–	–	OCIE2B	OCIE2A	TOIE2	TIMSK2
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6,4,3 – Res : 予約 (Reserved)

これらのビットは将来の使用に予約されています。将来のデバイスとの互換性を保証するため、これらのビットはレジスタが書かれる時に0を書かれなければなりません。

●ビット5 – ICIE_n : タイマ/カウンタn捕獲割り込み許可 (Timer/Counter n Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタn捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR_n)に配置された捕獲割り込み要求フラグ(ICF_n)が設定(1)されると、対応する割り込みベクタ(33頁の「割り込み」参照)が実行されます。

●ビット2 – OCIE_{nB} : タイマ/カウンタn比較B割り込み許可 (Timer/Counter n Output Compare B Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタn比較B一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR_n)に配置された比較nB割り込み要求フラグ(OCF_{nB})が設定(1)されると、対応する割り込みベクタ(33頁の「割り込み」参照)が実行されます。

●ビット1 – OCIE_{nA} : タイマ/カウンタn比較A割り込み許可 (Timer/Counter n Output Compare A Match Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタn比較A一致割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR_n)に配置された比較nA割り込み要求フラグ(OCF_{nA})が設定(1)されると、対応する割り込みベクタ(33頁の「割り込み」参照)が実行されます。

●ビット0 – TOIE_n : タイマ/カウンタn溢れ割り込み許可 (Timer/Counter n Overflow Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタn溢れ割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR_n)に配置されたタイマ/カウンタn溢れ割り込み要求フラグ(TOV_n)が設定(1)されると、対応する割り込みベクタ(33頁の「割り込み」参照)が実行されます。

12.11.11. TIFRn – タイマ/カウンタn割り込み要求フラグレジスタ (Timer/Counter n Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	–	–	ICF1	–	–	OCF1B	OCF1A	TOV1	TIFR1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	–	–	ICF2	–	–	OCF2B	OCF2A	TOV2	TIFR2
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7,6,4,3 – Res : 予約 (Reserved)

これらのビットは将来の使用に予約されています。将来のデバイスとの互換性を保証するため、これらのビットはレジスタが書かれる時に0を書かれなければなりません。

●ビット5 – ICF_n : タイマ/カウンタn捕獲割り込み要求フラグ (Timer/Counter n, Input Capture Flag)

ICP_nピンに捕獲の事象が起ると、このフラグが設定(1)されます。捕獲レジスタ(ICR_n)がWGM_{n3~0}によってTOP値として設定されると、ICF_nフラグはカウンタがTOP値に到達する時に設定(1)されます。

捕獲割り込みベクタが実行されると、ICF_nは自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってICF_nは解除(0)できます。

●ビット2 – OCF_{nB} : タイマ/カウンタn比較B割り込み要求フラグ (Timer/Counter n, Output Compare B Match Flag)

このフラグはカウンタ(TCNT_n)値が比較Bレジスタ(OCR_{nB})と一致した後(次)のタイマ/カウンタクロック周期で設定(1)されます。

強制的な比較出力(FOC_{nB})スロープがOCF_{nB}フラグを設定(1)しないことに注意してください。

比較B一致割り込みベクタが実行されると、OCF_{nB}は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってOCF_{nB}は解除(0)できます。

- **ビット1 – OCFnA : タイマ/カウンタ比較A割り込み要求フラグ** (Timer/Counter n, Output Compare A Match Flag)

このフラグはカウンタ(TCNTn)値が**比較レジスタ(OCRnA)**と一致した後(次)のタイマ/カウンタクロック周期で設定(**1**)されます。

強制的な比較出力(FOCnA)ストローブがOCFnAフラグを設定(**1**)しないことに注意してください。

比較A一致割り込みベクタが実行されると、OCFnAは自動的に解除(**0**)されます。代わりにこのビット位置へ論理**1**を書くことによってOCFnAは解除(**0**)できます。

- **ビット0 – TOVn : タイマ/カウンタ溢れ割り込み要求フラグ** (Timer/Counter n Overflow Flag)

このフラグの設定(**1**)はWGMn3~0ビット設定に依存します。**標準**または**CTC動作**でのTOVnフラグはタイマ/カウンタ溢れ時に設定(**1**)されます。他のWGMn3~0ビット設定を使う時のTOVnフラグ動作については78頁の**表12-5**を参照してください。

タイマ/カウンタ溢れ割り込みベクタが実行されると、TOVnは自動的に解除(**0**)されます。代わりにこのビット位置へ論理**1**を書くことによってTOVnは解除(**0**)できます。

13. タイマ/カウンタの前置分周器

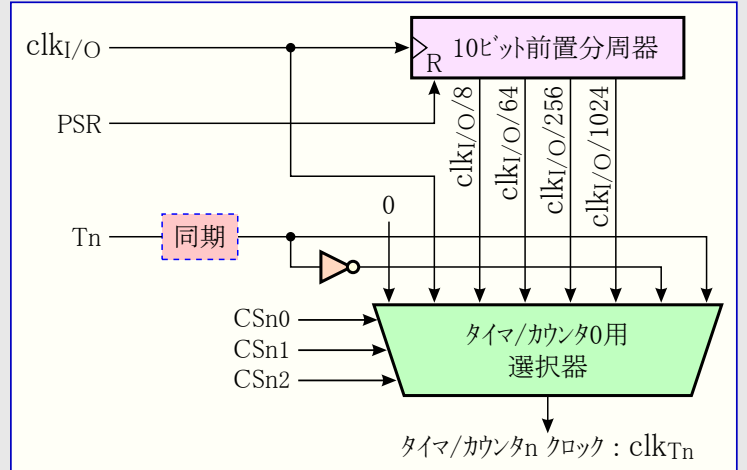
タイマ/カウンタ0とタイマ/カウンタ1は同じ前置分周器部を共有しますが、タイマ/カウンタは異なる前置分周器設定を持つことができます。以下の記述は全タイマ/カウンタに適用します。Tn (n=0,1,2) は一般名として使われます。

最速タイマ/カウンタ動作はタイマ/カウンタがシステムクロックによって直接クロック駆動される時に得られます。選択的にクロック元として前置分周器からの4つの引き出し点の1つを使うことができます。前置分周されるクロック引き出し点は次のとおりです。

- $f_{clk_I/O}/8$
- $f_{clk_I/O}/64$
- $f_{clk_I/O}/256$
- $f_{clk_I/O}/1024$

図13-1.はタイマ/カウンタ前置分周器の構成図を示します。

図13-1. タイマ/カウンタの前置分周器



注: 入力(Tn)ピンの同期論理回路は図13-2.で示されます。

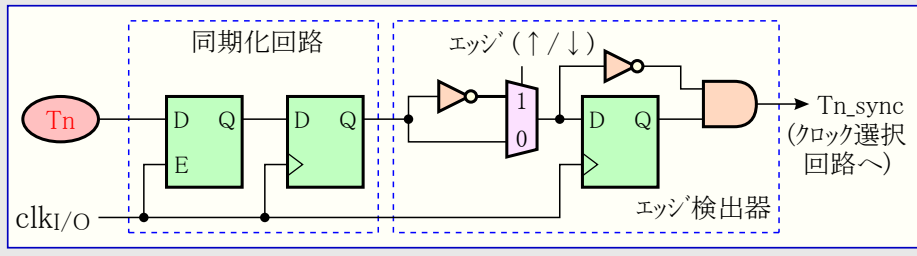
13.1. 前置分周器リセット

この前置分周器は自由走行で、換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作します。前置分周器がタイマ/カウンタのクロック選択によって影響を及ぼされないため、前置分周器の状態は前置分周したクロックが使われる場合に密接な関係を持ちます。タイマ/カウンタが許可され、前置分周器によってクロック駆動される(CSn2~0=5~2)時に、前置分周乱れの一例が生じます。タイマ/カウンタが許可されて最初の計数が起きる間の時間は、Nが前置分周値(8,64,256,1024)に等価とすると、1~N+1 システムクロック周期になり得ます。前置分周乱れを避けるため、タイマ/カウンタをプログラム実行に同期するのに前置分周リセットを使うことができます。

13.2. 外部クロック元

Tnピンに印加された外部クロック元はタイマ/カウンタクロック(clk_{Tn})として使うことができます。Tnピンはピン同期化論理回路によって毎回のシステムクロック周期に一度採取されます。この同期化(採取)された信号はその後にエッジ検出器を通して通過されます。図13-2.はTn同期化とエッジ検出器論理回路の構成図を示します。

図13-2. Tnピン採取



レジスタは内部システムクロック($clk_{I/O}$)の上昇端でクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(、Low区間で保持)です。

タイマ/カウンタのクロック選択ビットに依存して、エッジ検出器は上昇端(CSn2~0=111)または下降端(CSn2~0=110)の検出毎に1つの clk_{Tn} パルスを生成します。

同期化とエッジ検出器論理回路はTnピンへ印加したエッジから計数器が更新されるまでに2.5~3.5システムクロック周期の遅延を持ち込みます。

クロック入力の許可と禁止はTnが最低1システムクロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるものとして、システムクロック周波数の半分未満($f_{EXTclk} < f_{clk_I/O}/2$)であることが保証されなければなりません。エッジ検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイquistの標本化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステムクロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_I/O}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

13.3. タイマ/カウンタ前置分周器制御用レジスタ

13.3.1. GTCCR – 一般タイマ/カウンタ制御レジスタ (General Timer/Counter Control Register)

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	TSM	–	–	–	–	–	–	PSR	GTCCR
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットへの1書き込みはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSRへ書かれる値は保持され、従って対応する前置分周器リセット信号の有効を保持します。これはタイマ/カウンタが停止され、設定中に進行する危険なしに設定できることを保証します。

TSMビットが0を書かれると、PSRビットはハードウェアによって解除(0)され、タイマ/カウンタが計数を始めます。

● ビット6~1 – Res : 予約 (Reserved)

これらのビットは将来の使用のために予約されています。将来のデバイスとの互換性を保証するため、これらのビットはこのレジスタが書かれる時に0を書かれなければなりません。

● ビット0 – PSR : タイマ/カウンタ前置分周器リセット (Prescaler Reset)

このビットが1のとき、タイマ/カウンタの前置分周器はリセットします。

通常、TSMビットが設定(1)されている場合を除いて、このビットはハードウェアによって直ちに解除(0)されます。タイマ/カウンタ0とタイマ/カウンタ1とタイマ/カウンタ2は同じ前置分周器を共用し、この前置分周器のリセットが全てのタイマ/カウンタに影響を及ぼすことに注意してください(訳注:共通性から本行追加)。

14. 直列周辺インターフェース (SPI: Serial Peripheral Interface)

14.1. 特徴

- 全二重3線同期データ転送
- 主装置/従装置動作
- LSB/MSB先行データ転送
- 設定変更可能な7つのビット速度
- 送信完了割り込み要求フラグ
- 送信上書きフラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

14.2. 概要

直列周辺インターフェースはATtiny441/841と様々なAVRデバイスや周辺デバイス間の高速同期データ転送を許します。SPI単位部は図14-1.で描かれます。

SPI単位部を許可するために電力削減レジスタのPRSPIビットは0を書かれなければなりません。26頁の「PRR – 電力削減レジスタ」をご覧ください。

SPIでの主装置と従装置のCPU間相互連結は図14-2.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は希望した従装置のSS(従装置選択)ピンをLowへ引き込む時に一群の通信を開始します。主装置と従装置は各々の移動レジスタに送出すべきデータを用意し、主装置はデータを交換するのに必要なクロックパルスをSCK信号線に生成します。データは常にMOSI(Master Out Slave In)信号線を主装置から従装置へ、MISO(Master In Slave Out)信号線を従装置から主装置へ移動されます。各データパケット後、主装置はSS(従装置選択)ピンをHighへ引き上げることによって従装置と同期を取ります。

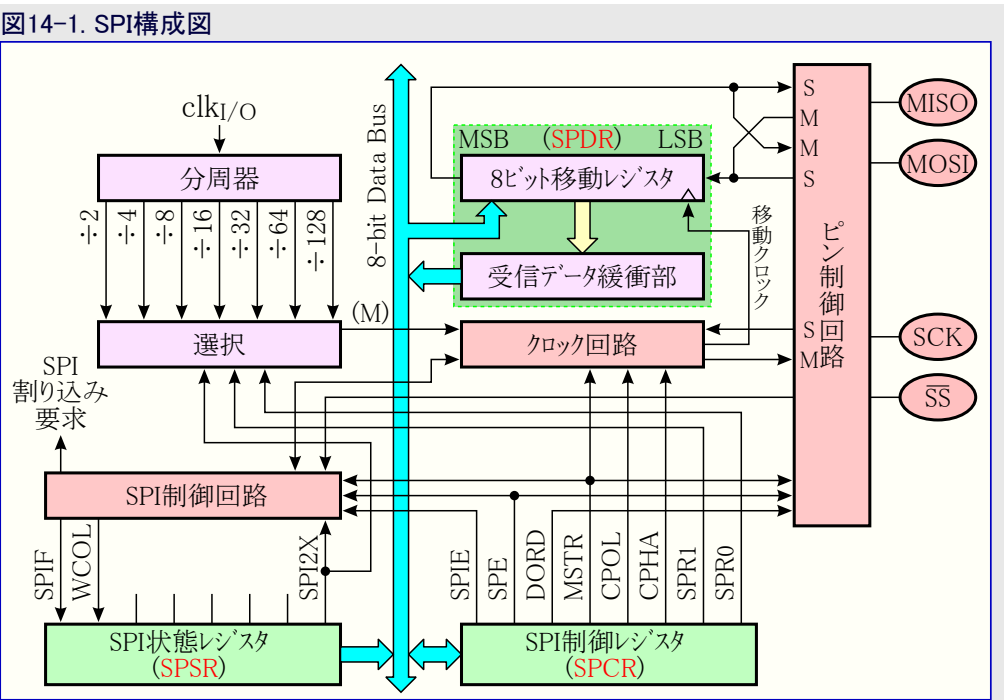
主装置として設定されると、SPIインターフェースにはSS信号線の自動制御がありません。これは通信が開始できるのに先立って使用者ソフトウェアによって操作されなければなりません。これが行われると、SPIデータレジスタ(SPDR)へのバイト書き込みがSPIクロック発生器を始動し、ハードウェアが従装置内へ8ビットを移動します。1バイトの移動後、SPIクロック発生器は停止し、SPI状態レジスタ(SPSR)の転送完了フラグ(SPIF)を設定(1)します。SPI制御レジスタ(SPCR)でSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。主装置はSPDR内へ次バイトを書くことによって次バイトの移動を継続、またはSS(従装置選択)信号線をHighへ引き上げることによってパケットの終了を指示することができます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

従装置として設定されると、SPIインターフェースはSSピンがHighに駆動される限り、MISOをHi-Zにした休止状態に留まります。この状態でプログラムはSPIデータレジスタ(SPDR)の内容を更新できますが、そのデータはSSピンがLowに駆動されるまでSCKピンでの到着クロックパルスによって移動出力されません。1バイトが完全に移動されてしまうと転送完了フラグ(SPIF)が設定(1)されます。SPCRでSPI割り込み許可(SPIE)ビットが設定(1)されていれば割り込みが要求されます。従装置は受信データを読む前にSPDR内へ送られるべき次のデータの配置を続けられます。最後の到着バイトはその後の使用のため、緩衝レジスタ内に保持されます。

このシステムは送信側で単一緩衝、受信側で2重緩衝です。これは一連の移動全体が完了される前に送信されるべきバイトがSPIデータレジスタ(SPDR)へ書けないことを意味します。けれども、データを受信するとき、次のデータが完全に移動入力される前に受信したデータがSPIデータレジスタ(SPDR)から読まれなければなりません。さもなければ始めのバイトは失われます。

SPI従装置動作では制御論理回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、High/Lowの最小時間は各々2CPUクロック周期よりも長くあるべきです。

SPIが許可されると、MOSI, MISO, SCK, SSピンのデータ方向は表14-1.に従って無視されます。自動的なポート無視のより多くの詳細については、41頁の「交換ポート機能」を参照してください。



注: SPIピン配置については2頁の「ピン配置」と43頁の表10-3.をご覧ください。

図14-2. SPI 主装置/従装置の連結

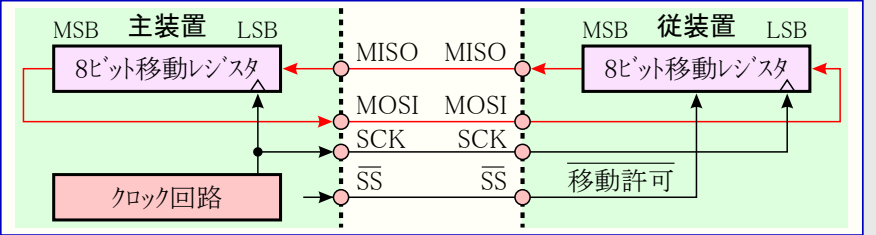


表14-1. SPIピン方向規定

ピン名	主装置時の方向規定	従装置時の方向規定
SCK	ポートA方向レジスタ(DDRA)の指定	入力
MISO	入力	ポートA方向レジスタ(DDRA)の指定
MOSI	ポートA方向レジスタ(DDRA)の指定	入力
SS	ポートA方向レジスタ(DDRA)の指定	入力

注: 使用者定義SPIピンの方向定義方法の詳細記述については41頁の「交換ポート機能」を参照してください。

次のコード例は主装置としてSPIを初期化する方法と簡単な送信を実行する方法を示します。例でのDDR_SPIはSPIピンを制御する実際のポート方向レジスタに置き換えられなければなりません。DD_MOSI, DD_MISO, DD_SCKはこれらのピンに対する実際のポート方向ビットに置き換えられなければなりません。例えばMOSIがPB3ピンに配置されるなら、DD_MOSIはDDB3、DDR_SPIはDDRBに置き換えます。

アセンブリ言語プログラム例

```
SPI_M_Init:  LDI    R17, (1<<DD_MOSI) | (1<<DD_SCK)      ;MOSI, SCK=出力、他は入力値を取得
              OUT    DDR_SPI, R17                        ;MOSI, SCK=出力、他は入力に設定
              LDI    R17, (1<<SPE) | (1<<MSTR) | (1<<SPR0) ;SPI許可、主装置、16分周値を取得
              OUT    SPCR, R17                          ;SPI許可、主装置、16分周に設定
              RET                                         ;呼び出し元へ復帰

SPI_M_Tx:    OUT    SPDR, R16                            ;データ(R16)送信開始
SPI_M_Tx_W:  IN     R17, SPSR                            ;SPI状態レジスタ値取得
              SBRS   R17, SPIF                          ;転送完了ならばスキップ
              RJMP   SPI_M_Tx_W                        ;転送完了まで待機

;

              RET                                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_MasterInit(void)
{
    DDR_SPI = (1<<DD_MOSI) | (1<<DD_SCK);          /* MOSI, SCK=出力、他は入力に設定 */
    SPCR = (1<<SPE) | (1<<MSTR) | (1<<SPR0);        /* SPI許可、主装置、16分周に設定 */
}

void SPI_MasterTransmit(char cData)
{
    SPDR = cData;                                  /* データ送信開始 */
    while(!(SPSR & (1<<SPIF)));                  /* 転送完了まで待機 */
}
```

注: 4頁の「コード例」をご覧ください。

次のコード例は従装置としてSPIを初期化する方法と簡単な受信を実行する方法を示します。

アセンブリ言語プログラム例

```
SPI_S_Init:  LDI    R17, (1<<DD_MISO)                  ;MISO出力、他は入力値を取得
              OUT    DDR_SPI, R17                      ;MISO出力、他は入力に設定
              LDI    R17, (1<<SPE)                    ;SPI許可値を取得
              OUT    SPCR, R17                        ;SPI許可設定
              RET                                         ;呼び出し元へ復帰

SPI_S_Rx:    IN     R16, SPSR                          ;SPI状態レジスタ値取得
              SBRS   R16, SPIF                        ;受信(転送)完了ならばスキップ
              RJMP   SPI_S_Rx                        ;受信(転送)完了まで待機

;

              IN     R16, SPDR                        ;受信データを取得
              RET                                         ;呼び出し元へ復帰
```

C言語プログラム例

```
void SPI_SlaveInit(void)
{
    DDR_SPI = (1<<DD_MISO);                          /* MISO出力、他は入力に設定 */
    SPCR = (1<<SPE);                                  /* SPI許可設定 */
}

char SPI_SlaveReceive(void)
{
    while(!(SPSR & (1<<SPIF)));                      /* 受信(転送)完了まで待機 */
    return SPDR;                                       /* 受信データと共に復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

14.3. \overline{SS} ピンの機能

14.3.1. 従装置動作

SPIが従装置として設定されると、従装置選択(\overline{SS})ピンは常に入力です。 \overline{SS} がLowに保たれるとSPIは活性に(作動)され、使用者によってそのように設定されていればMISOは出力になります。他の全てのピンは入力です。 \overline{SS} がHighに駆動されると、出力として使用者設定され得るMISOを除く全てのピンは入力、SPIは非活動で、それは到着データを受信しないことを意味します。一旦 \overline{SS} ピンがHighに駆動されると、SPI論理回路がリセットすることに注意してください。

この \overline{SS} ピンはパケット/バイト同期に対して、従装置ビット計数器が主装置クロック発生器との同期を保つのに有用です。 \overline{SS} ピンがHighに駆動されると、SPI従装置は直ちに送受信論理回路をリセットし、それは移動レジスタ内で部分的に受信したどのデータも取り落とします。

14.3.2. 主装置動作

SPIが主装置(SPI制御レジスタ(SPCR)の主装置許可(MSTR)ビット=1)として設定されると、 \overline{SS} ピンの方向は使用者が決められます。

\overline{SS} が出力として設定されると、このピンはSPIシステムに影響を及ぼされない標準出力ピンです。代表的にはこのピンがSPI従装置の \overline{SS} ピンを駆動するでしょう。

\overline{SS} が入力として設定されると、SPI主装置動作を保証するため、それはHighに保持されなければなりません。 \overline{SS} ピンが入力として定義されたSPI主装置として設定される時に周辺回路によって \overline{SS} ピンがLowに駆動されると、SPIシステムは他の主装置が従装置として選択してデータ送信を始めると解釈します。バスの衝突を避けるためにSPIシステムは次の動作を行います。

1. SPCRで主/従選択(MSTR)ビットが解除(0)され、SPIシステムは従装置になります。SPIシステムが従装置になる結果としてMOSIとSCKピンが入力になります。
2. SPI状態レジスタ(SPSR)でSPI割り込み要求フラグ(SPIF)が設定(1)され、そしてSPI割り込みが許可(SPCRのSPIE=1)され、且つステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)なら、割り込みルーチンが実行されます。

従って割り込み駆動SPI送信が主装置動作で使われ、 \overline{SS} がLowに駆動される可能性があるとき、その割り込み(処理)はMSTRビットが未だ設定(1)されていることを常に検査すべきです。MSTRビットが従装置選択によって解除(0)されてしまっていると、それはSPI主装置動作を再び許可するため、使用者によって設定(1)されなければなりません。

14.4. データ転送形式

直列データに関してはSPI制御レジスタ(SPCR)のSCK位相(CPHA)とSCK極性(CPOL)制御ビットによって決定されるSCK位相と極性で4つの組み合わせがあります。このSPIデータ転送形式は図14-3.と図14-4.で示されます。

図14-3. SPIデータ転送形式 (CPHA=0)

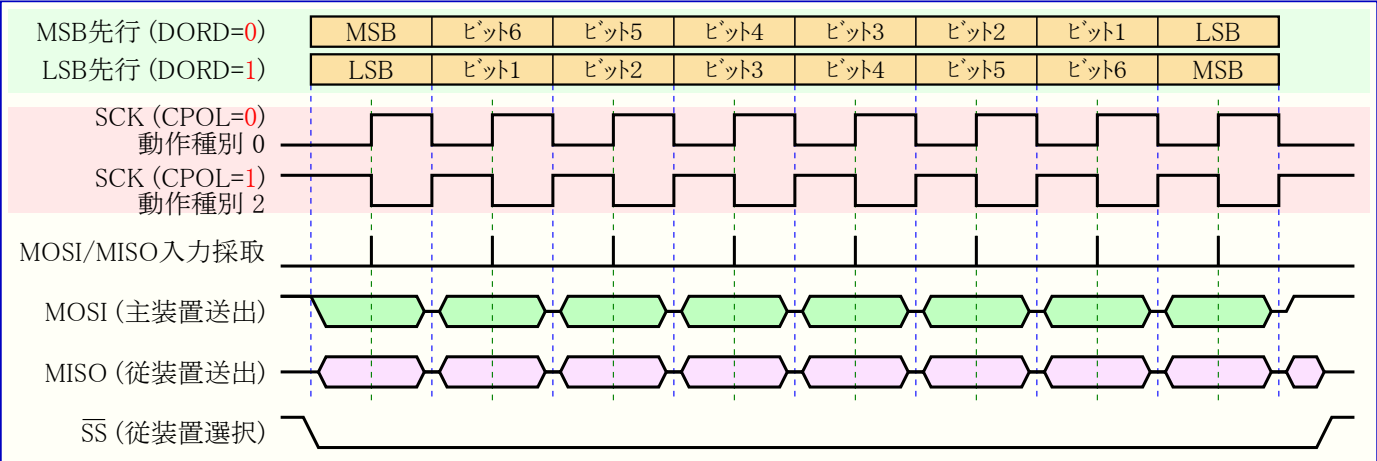
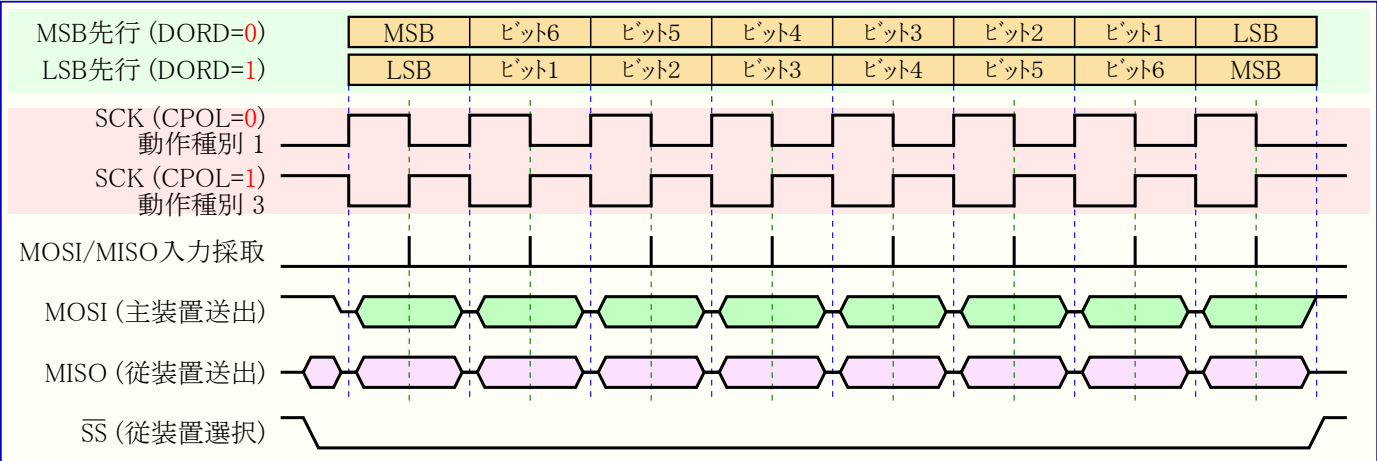


図14-4. SPIデータ転送形式 (CPHA=1)



データビットは安定のためデータ信号に対して充分な時間を保証するSCK信号の反対端で移動出力と(入力)ラッチが行われます。これは表14-3.と表14-4.を要約する表14-2.で示されます。

表14-2. SPI動作形態				
SPI動作形態番号	CPOL	CPHA	SCK先行端	SCK後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

14.5. SPI用レジスタ

14.5.1. SPCR – SPI制御レジスタ (SPI Control Register)

ビット (\$B2)	7	6	5	4	3	2	1	0	
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – SPIE : SPI割り込み許可 (SPI Interrupt Enable)

このビットが設定(1)されると、SPI割り込みが許可されます。[ステータスレジスタ\(SREG\)の全割り込み許可\(1\)ビット](#)が設定(1)なら、[SPI状態レジスタ\(SPSR\)のSPI割り込み要求フラグ\(SPIF\)](#)が設定(1)される時にSPI割り込み処理ルーチンが実行されます。

- ビット6 – SPE : SPI許可 (SPI Enable)

このビットが設定(1)されると、SPIが許可されます。どのSPI操作を許可するにも、このビットが設定(1)されなければなりません。

- ビット5 – DORD : データ順選択 (Data Order)

このビットが設定(1)されると、データ語のLSBが最初に転送されます。

このビットが解除(0)されると、データ語のMSBが最初に転送されます。

- ビット4 – MSTR : 主装置/従装置選択 (Master/Slave Select)

このビットは1を書かれると主装置動作、論理0を書かれると従装置動作を選択します。 \overline{SS} が入力として設定され、MSTRが設定(1)の間にLowへ駆動されると、MSTRが解除(0)され、SPI状態レジスタ(SPSR)で[SPI割り込み要求フラグ\(SPIF\)](#)が設定(1)になります。その後には使用者はSPI主装置動作を再び許可するためにMSTRを設定(1)しなければなりません。

- ビット3 – CPOL : SCK極性選択 (Clock Polarity)

このビットが設定(1)されると、SCKはアイドル時にHighです。このビットが解除(0)されると、SCKはアイドル時にLowです。例については[図14-3](#)と[図14-4](#)を参照してください。CPOL機能は右で要約されます。

表14-3. CPOL機能動作

CPOL	SCK先行端	SCK後行端
0	上昇端	下降端
1	下降端	上昇端

- ビット2 – CPHA : SCK位相選択 (Clock Phase)

このSCK位相選択(CPHA)ビットの設定はデータがSCKの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。例については[図14-3](#)と[図14-4](#)を参照してください。CPHA機能は右で要約されます。

表14-4. CPHA機能動作

CPHA	SCK先行端	SCK後行端
0	入力採取	出力設定
1	出力設定	入力採取

- ビット1,0 – SPR1,0 : SPIクロック選択 (SPI Clock Rate Select 1 and 0)

これら2ビットは主装置として設定されたデバイスのSCK速度を制御します。従装置でのSPR1とSPR0は無効です。SCKと(システム)発振器クロック周波数 f_{osc} 間の関連は以下の表で要約されます。

表14-5. SCK速度選択 (f_{osc} =CPUクロック周波数)

SPR1	0	0	1	1
SPR0	0	1	0	1
SPI2X	1	0	1	0
SCK周波数	$f_{osc}/2$	$f_{osc}/4$	$f_{osc}/8$	$f_{osc}/16$
	$f_{osc}/32$	$f_{osc}/64$	$f_{osc}/128$	

14.5.2. SPSR – SPI状態レジスタ (SPI Status Register)

ビット (\$B1)	7	6	5	4	3	2	1	0	
	SPIF	WCOL	–	–	–	–	–	SPI2X	SPSR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – SPIF : SPI割り込み要求フラグ (SPI Interrupt Flag)

このビットは直列転送完了時に設定(1)されます。全割り込みが許可([ステータスレジスタ\(SREG\)の全割り込み許可\(1\)ビット=1](#))されて、[SPI制御レジスタ\(SPCR\)でSPI割り込み許可\(SPIE\)ビット](#)が設定(1)されるなら、割り込みが生成されます。SPIが主装置動作の時に \overline{SS} ピンが入力でLowに駆動されるなら、これもこのSPIFフラグを同様に設定(1)します。対応する割り込み処理ベクタを実行する時にSPIFはハードウェアによって解除(0)されます。代わりにSPIFが設定(1)されたSPI状態レジスタ(SPSR)を始めに読み、その後にはSPIデータレジスタ(SPDR)にアクセスすることによってもSPIFフラグは解除(0)されます。

●ビット6 – WCOL : 上書き発生フラグ (Write Collision Flag)

このビットはデータ転送中にSPIデータレジスタ(SPDR)が書かれた時に設定(1)されます。WCOLビット(とSPIFビット)はWCOLが設定(1)されたSPI状態レジスタ(SPSR)を始めに読み、その後にSPIデータレジスタ(SPDR)をアクセスすることによって解除(0)されます。

●ビット5~1 – 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット0 – SPI2X : SPI倍速許可 (Double SPI Speed Bit)

このビットが論理1を書かれると、SPIが主装置動作の時にSCK速度(SCK周波数)が倍にされます(表14-5参照)。これは最小SCK周期が2CPUクロック周期であることを意味します。SPIが従装置として設定される時にSPIはfOSC(CPUクロック周波数)/4またはそれ以下での動作のみ保証されます。

14.5.3. SPDR – SPIデータレジスタ (SPI Data Register)

ビット (\$B0)	7	6	5	4	3	2	1	0	
	(MSB)							(LSB)	SPDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

SPIデータレジスタはSPI移動レジスタとレジスタファイル(汎用レジスタ)間のデータ転送に使われる読み書き可能なレジスタです。このレジスタへの書き込みがデータ送信を開始します。このレジスタの読み込みは移動レジスタの受信緩衝部読み出しを引き起こします。

14.5.4. REMAP – ポートピン再配置レジスタ (Remap Port Pins)

ビット (\$65)	7	6	5	4	3	2	1	0	
	–	–	–	–	–	–	SPIMAP	U0MAP	REMAP
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~2 – 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

●ビット1 – SPIMAP : SPIピン配置 (SPI Pin Mapping)

このビットは右の表14-6.で示されるように、SPIピンがピンにどう配置されるかを制御します。

表14-6. SPIピン配置

SPIMAP	SS	MOSI	MISO	SCK	注
0	PA7	PA6	PA5	PA4	既定
1	PA2	PA1	PA0	PA3	再配置(代替)

15. USART (USART0,USART1)

15.1. 特徴

- 全二重動作 (独立した送受信レジスタ)
- 同期または非同期動作
- 同期クロック駆動された主装置/従装置動作
- 高分解能**ボーレート発生器**
- 5, 6, 7, 8または9ビット データと1または2停止ビットの直列フレームの支援
- ハードウェアによって支援された奇数または偶数パリティの生成と検査
- データ オーバーラン検出
- フレーミング異常検出
- 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波器
- 受信完了、送信完了、送信データレジスタ空きの3つの分離した割り込み
- 複数プロセッサ通信機能
- 倍速非同期通信動作
- フレーム開始検出

15.2. USART0とUSART1

ATtiny441/841にはUSART0とUSART1の2つのUSARTがあります。

これら全てのUSARTに関する機能が以下で記述され、本項での多くのレジスタとビットの参照は一般形で書かれています。小文字の'n'はUSART番号で置き換えます。

USART0とUSART1は237頁の「**レジスタ要約**」で示されるように個別のI/Oレジスタを持ちます。

15.3. 概要

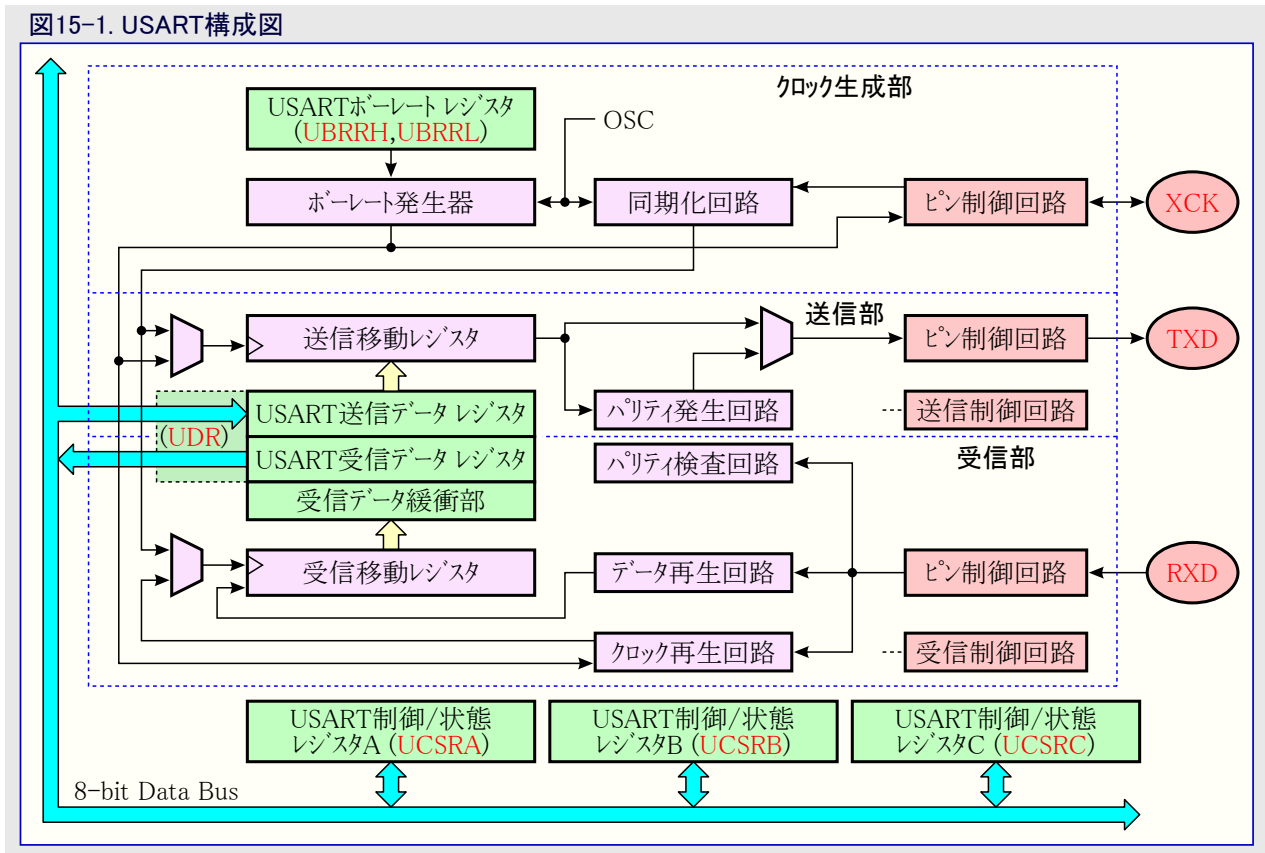
USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は高い柔軟性をもつ直列通信機能です。

USARTの簡略構成図は図15-1.で示されます。CPUがアクセス可能なレジスタとI/Oピンは**赤文字(訳注:原文は太字)**で示されます。

USARTは主装置SPI動作での使用もできます。111頁の「**USARTでのSPI動作**」をご覧ください。

USART0部を許可するために26頁での「**PRR - 電力削減レジスタ**」のUSART0電力削減(PRUSART0)ビットは**0**を書かれなければなりません。

USART1部を許可するために26頁での「**PRR - 電力削減レジスタ**」のUSART1電力削減(PRUSART1)ビットは**0**を書かれなければなりません。



USARTピン配置については2頁の「**ピン配置**」と41頁の「**交換ポート機能**」をご覧ください。

図15-1.内の構成図内の破線は(上から一覧にされる)以下のようなUSARTの3つの主要部分です。

- クロック生成部
- 送信部
- 受信部

クロック生成論理部はボーレート発生器と(同期従装置動作での外部クロック入力用の)同期化論理回路から成ります。転送クロック(XCKn)ピンは同期転送動作でだけ使われます。

送信部は単一書き込み緩衝部(UDRn)、直列移動レジスタ、パリティ発生器、異なる直列フレーム形式を扱うための制御論理回路から成ります。書き込み緩衝部はどんなフレーム間の遅れもなしにデータの継続転送を許します。

受信部はクロックとデータの再生部のため、USART部の最も複雑な部分です。再生部は非同期データ受信で使われます。再生部に加えて、受信部はパリティ検査器、制御論理回路、移動レジスタ、2重の受信緩衝部(UDRn)を含みます。受信部は送信部と同じフレーム形式を支援し、以下の異常を検出することができます。

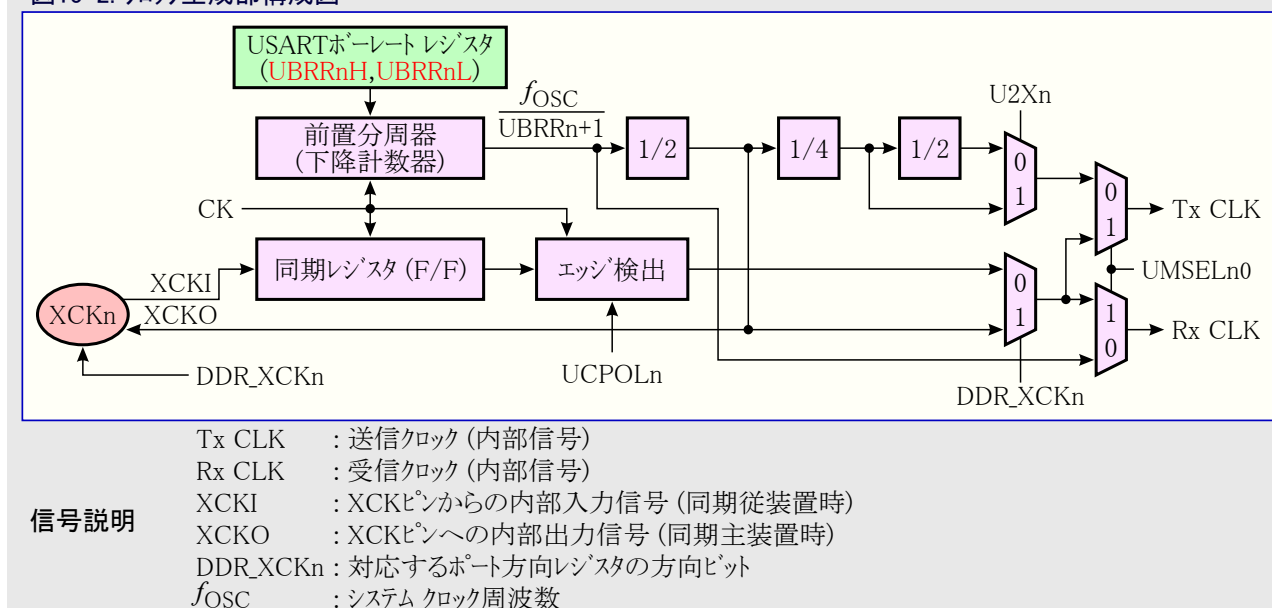
- フレーミング異常
- データ オーバーラン発生
- パリティ誤り

USARTnを操作するためにUSARTn電力削減ビットが禁止されなければなりません。26頁の「PRR – 電力削減レジスタ」をご覧ください。

15.4. クロック生成

クロック生成論理回路は送受信部用基準クロックを作成します。クロック生成論理回路の構成図は図15-2.で示されます。

図15-2. クロック生成部構成図



USARTは以下のような4つのクロック動作形態を支援します。

- 標準非同期動作
- 倍速非同期動作
- 主装置同期動作
- 従装置同期動作

USART制御/状態レジスタC(UCSRnC)のUSART動作種別選択(UMSELn0)ビットは同期動作と非同期動作を選びます。非同期動作では速度がUSART制御/状態レジスタA(UCSRnA)の倍速許可(U2Xn)ビットによって制御されます。

同期動作では、クロック元が内部(主装置動作)または外部(従装置動作)のどちらかかを、XCKnピンが配置されるデータ方向レジスタ(DDR x)内のXCKnピンの方向ビット(DDR_XCKn)が制御します。XCKnピンは同期動作でだけ活性(有効)です。

15.4.1. 内部クロック発生 – ボーレート発生器

内部クロック生成は非同期と同期主装置動作種別に対して使われます。本項の記述は図15-2.を参照してください。

USARTボーレート レジスタ(UBRRn(UBRRnH:UBRRnL))と下降計数器は設定可能な前置分周器またはボーレート発生器として機能するように接続されます。システム クロック(f_{OSC})で走行する下降計数器は0への下降計数時毎またはUBRRnLが書かれる時にUBRRn値で設定されます。

1クロックは計数器が0に達する毎に生成されます。これがボーレート発生器出力で $f_{OSC}/(UBRRn+1)$ の周波数を持ちます。動作形態に依存して送信部はボーレート発生器出力を2,8,16分周します。ボーレート発生器出力は受信部クロックとデータの再生部によって直接使われます。けれども、再生部はUSART動作形態選択(UMSELn0)、倍速許可(U2Xn)、DDR_XCKnビットによって設定される動作形態に依存して2,8,16段を使う状態機構を使います。

表15-1.は内部的に生成したクロック元を使う各動作形態に於けるボーレート(bps)とUBRRn値の計算式を含みます。

表15-1. ボーレートレジスタ(UBRRn)値計算式

動作種別	ボーレート (注)	UBRRn値
標準速非同期動作 (U2Xn=0)	$BAUD = \frac{f_{OSC}}{16 \times (UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{16 \times BAUD} - 1$
倍速非同期動作 (U2Xn=1)	$BAUD = \frac{f_{OSC}}{8 \times (UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{8 \times BAUD} - 1$
同期主装置動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRRn+1)}$	$UBRRn = \frac{f_{OSC}}{2 \times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BAUD : ボーレート (bps)

UBRRn : UBRRnHとUBRRnLレジスタ値 (0~4095)

f_{OSC} : システム発振器クロック周波数

選択したシステム クロック周波数に対するいくつかのUBRRn値の例が104頁の「ボーレート設定例」で示されます。

15.4.2. 倍速動作

転送速度はUSART制御/状態レジスタA(UCSRnA)で倍速許可(U2Xn)ビットを設定(1)することによって倍にすることができます。このビットの設定は非同期動作形態でだけ有効です。同期動作形態ではこのビットが解除(0)されるべきです。

このビットの設定(1)は事実上非同期通信に対する転送速度を倍にするボーレート分周器の分周数を16から8に減らします。けれども、この場合に受信部が半分の採取数だけを使うことに注意してください。倍速動作ではデータとクロックの再生採取が16から8に減らされ、従ってより正確なボーレート設定とシステム クロックが必要とされます。

送信部についての低下要因はありません。

15.4.3. 外部クロック

外部クロックは従装置同期動作形態で使われます。不確定レベル状態(メタステーブル)の機会を最少とするためにXCKnピンからの外部クロック入力同期化レジスタによって採取されます。その後同期化レジスタからの出力は送受信部で使われるのに先立ってエッジ検出器を通過します。この処理手順が2CPUクロック周期の遅延を持ち込み、従って最大外部(XCKn)クロック周波数が次式によって制限されます。

$$f_{XCKn} < \frac{f_{OSC}}{4}$$

f_{OSC} がシステム クロック元の安定度に依存することに注意してください。従って周波数変動のためのデータ消失の可能性を避けるため、いくつかの余裕分を追加することが推奨されます。

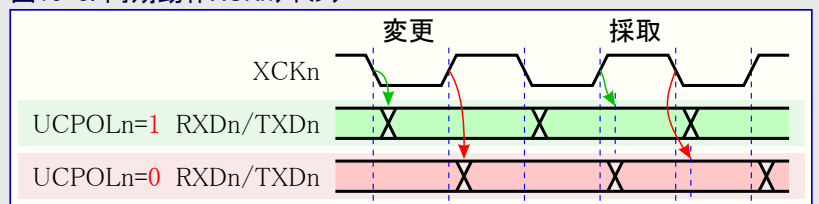
15.4.4. 同期クロック動作

同期動作(UMSELn=1)ではXCKnピンがクロック入力(従装置動作)またはクロック出力(主装置動作)のどちらかとして使われます。データ採取またはデータ変更とクロック端間の依存性は同じです。基本原則はデータ出力(TXDn)が変更される時のエッジと反対のXCKnクロック端でデータ入力(RXDn)が採取されることです。

データ採取とデータ変更に対してどちらのXCKnクロック端が使われるかはUSART制御/状態レジスタC(UCSRnC)のXCKn極性(UCPOLn)ビットで変更することができます。

図15-3.で示されるように、UCPOLn設定(1)時、データはXCKnの下降端で変更され、上昇端で採取されます。UCPOLn解除(0)時、データはXCKnの上昇端で変更され、下降端で採取されます。

図15-3. 同期動作XCKnタイミング



15.5. フレーム形式

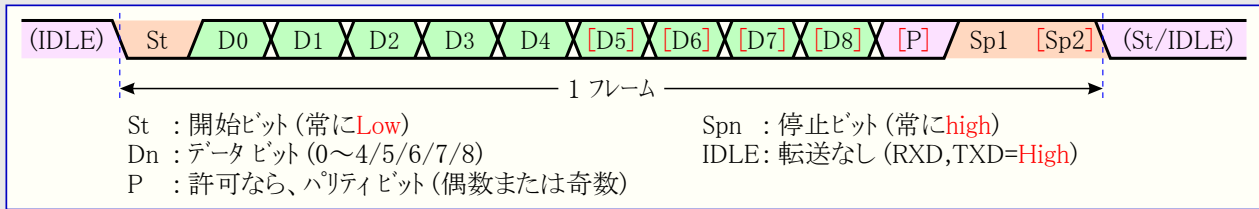
1つの直列フレームは複数のデータビットと同期ビット(開始ビット、停止ビット)、任意の異常検査用パリティビットで定義されます。USARTは有効なフレーム形式として以下の組み合わせ30種全てを受け入れます。

- 開始ビット : 1
- ビット データ : 5、6、7、8、または9
- パリティビット : なし、奇数、または偶数パリティ
- 停止ビット : 1または2

フレームは最下位データビット(LSB)が後続する開始ビットで始まります。その後他のデータビット、最上位データビット(MSB)となる最後の1つが後続します。許可したなら、データビットの後、停止ビットの前にパリティビットが挿入されます。完全なフレームが送信されると、新規フレームによって直ちに後続されるか、または通信線をアイドル状態(high)に設定され得ます。

図15-4.は組み合わせ可能なフレーム形式を図解します。[]付きビットは任意選択です。

図15-4. 1フレームの構成



USARTによって使われるフレーム形式は以下のようにUSART制御/状態レジスタBとC(UCSRnB, UCSRnC)でデータ長選択(UCSZn2~0)ビット、パリティ選択(UPMn1,0)ビット、停止ビット選択(USBSn)ビットによって設定されます。

- USARTデータ長選択(UCSZn2~0)ビットはフレーム内のデータビット数を選びます。
- USARTパリティ形態(UPMn1,0)ビットはパリティビットの形式を選びます。
- 1または2停止ビットのどちらかの選択は停止ビット選択(USBSn)ビットによって行われます。受信部は第2停止ビットを無視します。従ってフレーミング異常(FEn)は最初の停止ビットが0(Low)の場合にだけ検出されます。

受信部と送信部は同じ設定を使います。これらのどのビットの設定変更も、送受信部両方に対して進行中の通信を不正とすることに注意してください。

15.5.1. パリティビット計算

パリティビットは全データビットの排他的論理和(Ex-OR)を行うことによって計算されます。奇数パリティが使われる場合は排他的論理和の結果が反転されます。パリティビットとデータビットの関係は次のとおりです。

PEVEN = D0 Ex-OR D1 Ex-OR D2 Ex-OR ~ Ex-OR Dn-1
PODD = D0 Ex-OR D1 Ex-OR D2 Ex-OR ~ Ex-OR Dn-1 Ex-OR 1
PEVEN : 偶数パリティを使うパリティビット
PODD : 奇数パリティを使うパリティビット
Dn : データビットn

使った場合、パリティビットは直列フレームの最後のデータビットと最初の停止ビット間に配置されます。

15.6. USARTの初期化

何れかの通信が行えるのに先立ってUSARTは初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、フレーム形式設定、送受信部許可から成ります。割り込み駆動USART操作に対して、[ステータスレジスタの全割り込み許可\(I\)ビット](#)は解除(0)される(そして全割り込みが禁止される)べきです。

ボーレートまたはフレーム形式の変更を伴う再初期化を行う前に、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。[USART制御/状態レジスタA\(UCSRnA\)](#)の[送信完了\(TXCn\)フラグ](#)は送信部の全転送完了検査に使え、[受信完了\(RXCn\)フラグ](#)は受信緩衝部内の未読データ有無検査に使えます。使われる場合、各々の送信([USARTデータレジスタ\(UDRn\)](#)が書かれる)前にTXCnフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例は固定フレーム形式でボーリングを使う(割り込み不許可)非同期動作と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init:  OUT     UBRRnH, R17          ;ボーレート設定(上位バイト)
              OUT     UBRRnL, R16          ;ボーレート設定(下位バイト)
              LDI     R16, (1<<USBSn) | (3<<UCSZn0) ;フレーム形式値を取得
              OUT     UCSRnC, R16          ;フレーム形式設定(8ビット,2停止ビット)
              LDI     R16, (1<<RXENn) | (1<<TXENn) ;送受信許可値を取得
              OUT     UCSRnB, R16          ;送受信許可
              RET                          ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRnH = (unsigned char) (baud>>8); /* ボーレート設定(上位バイト) */
    UBRRnL = (unsigned char) baud;       /* ボーレート設定(下位バイト) */
    UCSRnC = (1<<USBSn) | (3<<UCSZn0);  /* フレーム形式設定(8ビット,2停止ビット) */
    UCSRnB = (1<<RXENn) | (1<<TXENn);   /* 送受信許可 */
}
```

注: 4頁の「コード例」をご覧ください。

割り込みの禁止や引数としてフレーム形式を含めるなどで、より進化した初期化ルーチンが作成できます。けれども多くの応用はボーレートや制御レジスタの固定した設定が使われ、これらの応用形式での初期化コードは主ルーチンに直接置けるか、または他のI/Oの初期化コードと併せられます。

15.7. データ送信 – USART送信部

USART送信部はUSART制御/状態レジスタB(UCSRnB)で送信許可(TXENn)ビットを設定(1)することによって許可されます。送信部が許可されると、TXDnピンの標準ピン動作はUSARTによって無視され、送信部の直列出力としての機能を与えられます。何かの送信を行う前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnピンの(受信)クロックは無視され、送信クロックとして使われます。

15.7.1. 5～8ビット データ フレーム送信

データ送信は送信されるべきデータを送信緩衝部に設定することによって開始されます。CPUはUSARTデータレジスタ(UDRn)へ書くことによって送信緩衝部に設定できます。送信緩衝部内のデータは移動レジスタが新規フレームを送る準備が整った時にそこへ移されます。移動レジスタはアイドル状態(送信進行中以外)、または直前のフレームの最後の停止ビット送信後、直ちに新規データが設定されます。移動レジスタが新規データを設定されると、ボーレートレジスタ(UBRRnH:UBRRnL)と倍速許可(U2Xn)ビット、また動作形態によってはXCKnピンによって与えられる速度で1つの完全なフレームを転送します。8ビット未満のフレームを使う時にUDRnへ書かれた上位ビットは無視されます。次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データレジスタ空き(UDREN)フラグのポーリングを基準とした簡単なUSART送信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:    SBIS    UCSRnA, UDREN    ;送信緩衝部空きでスキップ
             RJMP    USART_Tx        ;送信緩衝部空き待機
;
             OUT     UDRn, R16        ;データ送信(送信開始)
             RET                     ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned char data)
{
    while ( !(UCSRnA & (1<<UDREN)) );    /* 送信緩衝部空き待機 */
    UDRn = data;                          /* データ送信(送信開始) */
}
```

注: 4頁の「コード例」をご覧ください。

この関数は送信されるべき新規データを設定する前に、UDRENの検査によって送信緩衝部が空になるのを単純に待ちます。送信緩衝部空き割り込みが使われる場合、その割り込み処理ルーチンがデータを緩衝部内に書きます。

15.7.2. 9ビット データ フレーム送信

9ビットデータが使われる場合、データの下位バイトがUSARTデータレジスタ(UDRn)に書かれるのに先立って第9ビットがUSART制御/状態レジスタB(UCSRnB)の送信データビット8(TXB8n)ビットに書かれなければなりません。次のコード例は9ビットデータを扱う送信関数を示します。アセンブリ言語での送るべきデータはR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Tx:    SBIS    UCSRnA, UDREN    ;送信緩衝部空きでスキップ
             RJMP    USART_Tx        ;送信緩衝部空き待機
;
             CBI     UCSRnB, TXB8n    ;第9ビットを0に仮設定
             SBRC    R17, 0           ;送信すべき第9ビットが0でスキップ
             SBI     UCSRnB, TXB8n    ;第9ビットを1に設定
             OUT     UDRn, R16        ;データ送信(送信開始)
             RET                     ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Transmit(unsigned int data)
{
    while ( !(UCSRnA & (1<<UDREN)) );    /* 送信緩衝部空き待機 */
    UCSRnB &= ~(1<<TXB8n);              /* TXB8nを0に仮設定 */
    if (data & 0x0100) UCSRnB |= (1<<TXB8n); /* 第9ビットをR17からTXB8nへ複写 */
    UDRn = data;                          /* データ送信(送信開始) */
}
```

注: これらの送信関数は一般的な機能で書かれています。UCSRnBの内容が静的(換言すると、UCSRnBのTXB8nビットが初期化後に使われるだけ)ならば最適化できます。

4頁の「コード例」をご覧ください。

第9ビットは複数プロセッサ通信使用時のアドレス フレーム識別、また例えば同期として扱う他の規約で使うことができます。

15.7.3. 送信フラグと割り込み

USART送信部には状態を示す2つのフラグ、USARTデータレジスタ空き(UDREN)と送信完了(TXCn)があります。両フラグは割り込みを発生するのに使えます。

USARTデータレジスタ空き(UDREN)フラグは送信緩衝部が新規データを受け取る準備ができているかどうかを示します。このビットは送信緩衝部が空の時に設定(1)され、送信緩衝部が移動レジスタに未だ移動されてしまっていない送信されるべきデータを含む時に解除(0)されます。将来のデバイスとの共通性のため、常にこのビットに0を書いてください。

USART制御/状態レジスタB(UCSRnB)でデータレジスタ空き割り込み許可(UDRIEn)ビットが1を書かれると、(全割り込みが許可されていれば)UDRENフラグが設定(1)されている限り、USARTデータレジスタ空き割り込みが実行されます。UDRENはUSARTデータレジスタ(UDRn)書き込みによって解除(0)されます。割り込み駆動データ送信が使われる時に、データレジスタ空き割り込みルーチンはUDRENを解除(0)するために新規データをUDRnに書くか、データレジスタ空き割り込みを禁止するかのどちらかを行わなければならない、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起こります。

送信完了(TXCn)フラグは送信移動レジスタ内の完全なフレームが移動出力されてしまい、送信緩衝部に新規データが現在存在しない時に設定(1)されます。TXCnフラグは送信完了割り込みが実行される時に自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)できます。TXCnフラグは送信応用プログラムが送信完了後、直ちに通信回線を開放し、受信動作へ移行しなければならない(RS485規格のような)半二重(ハーフデュプレックス)通信インターフェースで有用です。

UCSRnBで送信完了割り込み許可(TXCIEEn)ビットが設定(1)され、(全割り込みが許可されていれば)TXCnフラグが設定(1)になる時にUSART送信完了割り込みが実行されます。送信完了割り込み使用時、割り込み実行時にこれが自動的に行われるため、割り込み処理ルーチンはTXCnフラグを解除(0)しなくても構いません。

15.7.4. パリティ発生器

パリティ発生器は直列フレームデータに対するパリティビットを計算します。パリティビットが許可されると(UPMn1=1)、送信部制御論理回路は送られているフレームの最終データビットと最初の停止ビット間にパリティビットを挿入します。

15.7.5. 送信の禁止

UCSRnBのUSART送信許可(TXENn)ビットの解除(0)は送信部を禁止しますが、その変更は進行中と保留中のどの送信も完了される、換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータが全く無いのに先立って有効にはなりません。禁止されると、送信部はもはやTXDnピン(の標準ピン機能)を無効にしません。

15.8. データ受信 - USART受信部

USART受信部はUSART制御/状態レジスタB(UCSRnB)で受信許可(RXENn)ビットに(1)を書くことによって許可されます。受信部が許可されると、RXDnピンの標準動作はUSARTによって無視され、受信部の直列入力としての機能を与えられます。何か直列受信が行われ得る前に一度はボーレート、フレーム形式、動作種別が設定されなければなりません。同期動作が使われる場合、XCKnピンのクロックは転送クロックとして使われます。

15.8.1. 5～8ビットデータフレーム受信

受信部は有効な開始ビットを検出する時にデータ受信を開始します。開始ビットに続く各ビットはボーレートまたはXCKnクロックで採取され、その後フレームの最初の停止ビットが受信されるまで受信移動レジスタ内へ移動されます。第2停止ビットは受信部によって無視されます。最初の停止ビットが受信される、換言すると、受信移動レジスタに完全なフレームが存在すると、その内容が受信緩衝部内へ移されます。受信緩衝部はUSARTデータレジスタ(UDRn)を読むことによって読めます。8ビット未満のフレームを使う時にUDRnから読むデータの上位ビットは0で覆われます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)フラグのポーリングを基準とした簡単なUSART受信関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。

アセンブリ言語プログラム例

```
USART_Rx:  SBIS      UCSRnA, RXCn      ;受信完了でスキップ
           RJMP      USART_Rx         ;受信完了待機
;
           IN        R16, UDRn        ;受信データ取得
           RET                     ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char USART_Receive(void)
{
    while ( !(UCSRnA & (1<<RXCn)) ); /* 受信完了待機 */
    return UDRn;                      /* 受信データ取得 */
}
```

注: 4頁の「コード例」をご覧ください。

この関数は緩衝部を読んで値を戻す前に、RXCnフラグの検査によって受信緩衝部にデータが存在するのを単純に待ちます。

15.8.2. 9ビット データ フレーム受信

9ビット データが使われる場合、USARTデータレジスタ(UDR_n)から下位バイトを読むのに先立って第9ビットがUSART制御/状態レジスタB(UCSR_nB)の受信データビット8(RXB8_n)ビットから読まれなければなりません。この規則はフレーミング異常(FE_n)、オーバーラン発生(DOR_n)、パリティ誤り(UPE_n)状態フラグにも適用されます。UDR_n読み込みが受信緩衝部FIFOの状態、その結果、RXB8_n,FE_n,DOR_n,UPE_nビットの状態を変更する(切り替える)ため、UDR_nからのデータに先立って状態ビットが読まれなければなりません。

次のコード例は9ビット データと状態ビット両方を扱う簡単なUSART受信関数を示します。

アセンブリ言語プログラム例

```
USART_Rx:    SBIS    UCSRnA, RXCn                ;受信完了でスキップ
              RJMP    USART_Rx                    ;受信完了待機
;
              IN      R18, UCSRnA                ;状態フラグ取得
              IN      R17, UCSRnB                ;受信第9ビット取得
              IN      R16, UDRn                  ;受信データ取得
              ANDI    R18, (1<<FEn) | (1<<DORn) | (1<<UPEn) ;受信異常検査
              BREQ    USART_Rx_V                  ;異常なしで分岐
;
              LDI     R17, -1                      ;異常で-1値設定
              LDI     R16, -1                      ;
USART_Rx_V:   LSR     R17                          ;RXB8nビットをビット0位置へ移動
              ANDI    R17, $01                    ;RXB8nビットのみ有効
              RET                                     ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int USART_Receive(void)
{
    unsigned char status, resh, resl;                /* 一時変数定義 */
    while ( !(UCSRnA & (1<<RXCn)) );              /* 受信完了待機 */
    status = UCSRnA;                                /* 状態フラグ取得 */
    resh = UCSRnB;                                  /* 受信第9ビット取得 */
    resl = UDRn;                                    /* 受信データ取得 */
    if ( status & ((1<<FEn) | (1<<DORn) | (1<<UPEn)) ) return -1; /* 受信異常で-1値設定/復帰 */
    resh = (resh>>1) & 0x01;                          /* RXB8nビットのみ有効最下位へ */
    return ((resh<<8) | resl);                        /* 結果9ビット データ取得/復帰 */
}
```

注: 4頁の「コード例」をご覧ください。

この受信関数例は何か評価を行う前に、全てのI/Oレジスタをレジスタ ファイルに読みます。これは読まれた緩衝部位置が可能な限り早く新規データを自由に受け入れられるため、最適な受信緩衝部利用になります。

15.8.3. 受信完了フラグと割り込み

USART受信部には受信部の状態を示す1つのフラグがあります。

USART受信完了(RXC_n)フラグは未読データが受信緩衝部に存在するかを示します。このフラグは受信緩衝部に未読データが存在する時に設定(1)され、受信緩衝部が空の(換言すると、何も未読データを含まない)時に解除(0)されます。受信部が禁止される場合(RXEN_n=0)、受信緩衝部が破棄され、その結果としてRXC_nフラグは0になります。

USART制御/状態レジスタB(UCSR_nB)でUSART受信完了割り込み許可(RXCIE_n)ビットが設定(1)されると、(全割り込みが許可されていれば)RXC_nフラグが設定(1)されている限り、USART受信完了割り込みが実行されます。割り込み駆動データ受信が使われる時に、受信完了割り込みルーチンはRXC_nフラグを解除(0)するためにUSARTデータレジスタ(UDR_n)から受信したデータを読まなければならず、さもなければ一旦割り込みルーチンを終了しても新しい割り込みが(継続的に)起きます。

15.8.4. 受信異常フラグ

USART受信にはフレーミング異常(FEn)、データ オーバーラン発生(DORn)、パリティ誤り(UPEn)の3つの異常フラグがあります。全ての以上フラグはそれらが異常状態を示すフレームと共に受信緩衝部に置かれ、それらはUSART制御/状態レジスタA(UCSRnA)経由で読めます。異常フラグの緩衝のため、USARTデータレジスタ(UDRn)読み込みが緩衝部を変更するので、それらは受信緩衝部(UDRn)の前に読まなければならない。

異常フラグはソフトウェアによって変更できませんが、将来のUSART(機能)実装の上位互換性のため、UCSRnAが書かれる時に全てのフラグは解除(0)されなければならない。異常フラグはどれも割り込みを生成できません。

- **フレーミング異常(FEn)フラグ**は受信緩衝部に格納された、次に読み込み可能なフレームの第1停止ビットの状態を示します。このフラグは停止ビットが正しく(Highとして)読まれた時に0で、停止ビットが不正(Low)だった時にこのフラグは1です。このフラグは同期外れ状態の検出、中断状態検出、規約操作に使えます。受信部が最初(第1)以外の全停止ビットを無視するため、このフラグはUSART制御/状態レジスタC(UCSRnC)の停止ビット選択(USBSn)ビット設定によって影響を及ぼされません。将来のデバイスとの共通性のため、このビットはUCSRnA書き込み時、常に解除(0)しなければならない。
- **データ オーバーラン発生(DORn)フラグ**は受信部緩衝部が一杯状態のためのデータ消失を示します。データ オーバーランの状況は受信緩衝部(2フレーム)が一杯で、受信移動レジスタで待っている(次の)新規フレーム データがあり、(更に次の)新規開始ビットが検出される時に起きます。このフラグが設定(1)なら、最後にUDRnから読んだフレームと次にUDRnから読むフレーム間で1つ以上の直列フレーム損失があります。将来のデバイスとの共通性のため、このビットはUCSRnA書き込み時、常に解除(0)しなければならない。このフラグは受信されたデータが移動レジスタから受信緩衝部へ正常に移動された時に解除(0)されます。
- **パリティ誤り(UPEn)フラグ**は受信緩衝部内の次のフレームがパリティ誤りを持つことを示します。パリティ検査が許可されていない場合、このフラグは常に0です。将来のデバイスとの共通性のため、このビットはUCSRnA書き込み時、常に解除(0)しなければならない。より多くの詳細については95頁の「パリティビット計算」と次の「パリティ検査器」をご覧ください。

15.8.5. パリティ検査器

パリティ検査器はパリティ種別上位ビット(UPMn1)が設定(1)されると活性(有効)になります。実行されるべきパリティ検査の形式(偶数または奇数)はUPMn0ビットによって選択されます。許可されると、パリティ検査器は到着フレーム内のデータビットのパリティを計算し、その結果と(受信)直列フレーム内のパリティビットを比較します。検査の結果は受信データ、停止ビットと共に受信緩衝部に格納されます。その後パリティ誤り(UPEn)フラグはフレームにパリティ異常があるかを検査するため、ソフトウェアによって読むことができます。

パリティ検査が許可される場合、受信緩衝部から読むことができる次のフレームが受信時にパリティ異常を持つなら、UPEnフラグが設定(1)されます。このビットはUSARTデータレジスタ(UDRn)が読まれるまで有効です。

15.8.6. 受信の禁止

送信部と違い、受信部は直ちに禁止され、受信進行中のどのデータも失われます。禁止(USART制御/状態レジスタB(UCSRnB)のUSART受信許可(RXENn)ビット=0)されると、受信部はもはやRXDnポートピンの標準機能を無効にせず、FIFO緩衝部が破棄され、緩衝部内の残データが失われます。

15.8.7. 受信緩衝部の破棄

受信緩衝部FIFOは受信が禁止されると破棄、換言すると、緩衝部は内容を空にされます。未読データは失われます。例えば異常状態のため、通常動作中に緩衝部を破棄するには、USART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)フラグが解除(0)されるまでUSARTデータレジスタ(UDRn)を読んでください。

次のコード例は受信緩衝部の破棄方法を示します

アセンブリ言語プログラム例

```
USART_Flush: SBIS      UCSRnA, RXCn      ;未読データありでスキップ
              RET                      ;未読データなしで復帰
;
              IN       R16, UDRn         ;データ受信
              RJMP     USART_Flush      ;未読データなしまで継続
```

C言語プログラム例

```
void USART_Flush(void)
{
    unsigned char dummy;                /* 一時変数定義 */
    while ( UCSRnA & (1<<RXCn) ) dummy=UDRn; /* 未読データ読み捨て */
}
```

注: 4頁の「コード例」をご覧ください。

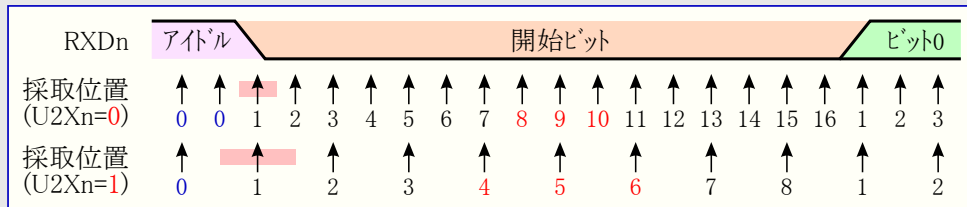
15.9. 非同期受信

USARTは非同期データ受信を扱うためのクロック再生とデータ再生部を含みます。クロック再生論理回路は内部的に生成したボーレートクロックをRXDnピンに到着する非同期直列フレームに同期化するために使われます。データ再生論理回路は到着ビット毎に低域通過の濾波と採取をし、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は内部ボーレートクロック精度、到着フレーム速度、フレーム長のビット数に依存します。

15.9.1. 非同期クロック再生

クロック再生論理回路は内部クロックを到着直列フレームに同期化します。図15-5は到着フレームの開始ビットの採取手順を図解します。採取速度は標準速動作でボーレートの16倍、倍速動作で8倍です。赤帯(訳注:原文は水平矢印)は採取処理のための同期変量を図示します。倍速動作($U2Xn=1$)を使う時の広い変量時間に注意してください。採取番号0はRXDn信号がアイドル(換言すると、通信の動きなし)の時に実行される採取です。

図15-5. 開始ビットの採取

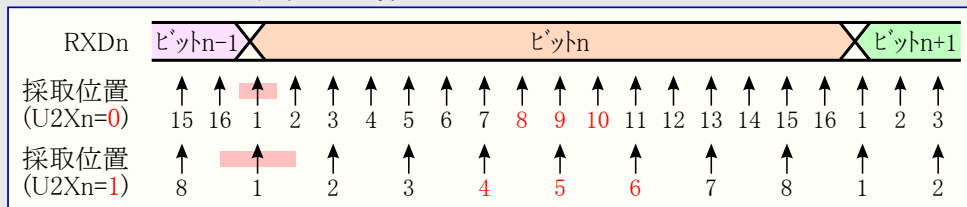


クロック再生論理回路がRXDn信号線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図16-5で採取は赤数字(訳注:原文は箱枠内)の番号で示され、採取1は最初のLow採取を意味します。その後にクロック再生回路は有効な開始ビットが受信されるかを決定するのに、(標準速動作で)採取8,9,10、(倍速動作で)採取4,5,6を使います。これら3回で2回以上の採取が論理Highレベルの場合(多数決)、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLowの遷移を探し始めます。けれども有効な開始ビットが検出された場合、クロック再生論理回路は同期化され、データ再生が開始されます。この同期化手順は各開始ビット毎に繰り返されます。

15.9.2. 非同期データ再生

受信部クロックが開始ビットに同期化されるとデータ再生が始まります。データ再生部は標準速動作で16段、倍速動作で8段の順列回路を使います。図15-6はデータビットとパリティビットの採取を示します。各採取は再生部の各段に等しい番号を与えられます。

図15-6. データビットとパリティビットの採取



受信したビットの論理値の決定は受信したビット中央の3採取で論理値の多数決を取るによって行われます。図に於ける中央の3採取は赤数字(訳注:原文は箱枠内)の採取番号によって強調されます。多数決の手順は次のように行われます。2または全3採取がHighレベルならば受信したビットは論理1が記録されます。2または全3採取がLowレベルならば受信したビットは論理0が記録されます。この多数決手順はRXDnピンの到着信号に対して低域通過濾波器(ローパスフィルタ)のように働きます。この再生手順はその後に完全なフレームが受信されるまで繰り返されます。これには最初の(第1)停止ビットを含みます。受信部がフレームの最初の停止ビットだけを使うことに注意してください。

図15-7は停止ビットの採取と次フレームの最も早い開始ビット開始の可能性を示します。

図15-7. 停止ビットの採取と次の開始ビットの採取



停止ビットはフレーム内の他のビットと同じ多数決に従わなければなりません。停止ビットが論理0値と記録されると、フレーミング異常(FEn)フラグが設定(1)されます。

新規フレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準速動作に於ける最初のLowレベル採取は図15-7のA点で有り得ます。倍速動作に於ける最初のLowレベルはB点に遅れます。C点は完全な長さの停止ビット(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

15.9.3. 非同期での動作範囲

受信部の動作範囲は受信したビット速度と内部的に生成したボーレート間の不一致に依存します。送信部が速すぎるまたは遅すぎるビット速度でフレームを送出したり、内部的に発生した受信部のボーレートが類似した基準周波数(表16-2参照)を持たない場合、受信部は開始ビットでフレームを同期できません。

次式は到着データ速度と内部受信部ボーレート間の比率計算に使えます。

$$R_{\text{slow}} = \frac{(D+1) \times S}{S-1+D \times S+S_F} \quad R_{\text{fast}} = \frac{(D+2) \times S}{(D+1) \times S+S_M}$$

D : データとパリティのビット数 (5~10)
 S : ビットあたりの採取数 (標準速=16、倍速=8)
 S_F : 多数決に使う最初の採取番号 (標準速=8、倍速=4)
 S_M : 多数決に使う中心の採取番号 (標準速=9、倍速=5)
 R_{slow} : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。
 R_{fast} : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表15-2は許容できる最大受信部ボーレート誤差一覧です。標準速動作には、より高いボーレート変動許容能力があることに注目してください。

表15-2. 標準速と倍速での受信部ボーレート推奨最大許容誤差

D	標準速動作 (U2Xn=0)				倍速動作 (U2Xn=1)			
	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	±2.5
6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	±2.0
7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	±1.5
8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	±1.5
9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	±1.5
10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0

注: Dはデータビット数とパリティビットの合計ビット数です。

(訳注) 原書は表18-2に標準速、表18-3に倍速を記載していますが、比較が容易なように表15-2として纏めました。

受信部ボーレートの推奨最大許容誤差は最大総合許容誤差を送信部と受信部で等分割する仮定で作られています。

受信部ボーレート誤差に対して2つの起こり得る原因があります。

- 受信部のシステムクロックは供給電圧範囲と温度範囲に関して常に若干の不安定性があります。
- 2つ目の誤差元はより制御可能です。ボーレート発振器は欲したボーレートを得るためにシステム周波数の正確な分周を常に行うことはできません。この場合、可能ならば受け入れ可能な低い誤差を与えるUBRRn値が使われるべきです。

15.9.4. フレーム開始検出

USARTフレーム開始検出器は開始ビット検出時にパワーダウン、スタンバイ、A/D変換雑音低減の休止動作形態からMCUを起こすことができます。

RXDnピンでHighからLowへの遷移が検出されると、内部8MHz発振器が給電されUSARTクロックが許可されます。ボーレートが内部8MHz発振器始動時間に関して充分遅ければ、始動後にデータフレームの残りを受信することができます。内部8MHz発振器の始動時間は供給電圧と温度で変化します。

USARTフレーム開始検出は非同期と同期の両動作形態で動きます。これはUSART制御/状態レジスタD(UCSRnD)のフレーム開始検出許可(SFDEn)ビットを(1)に書くことによって許可されます。USART開始割り込み許可(RXSIEn)ビットが設定(1)されるなら、開始検出時直ちにUSART受信開始割り込みが生成されます。

開始割り込みなしでこの機能使用時、開始検出論理回路は内部8MHz発振器とUSARTクロックを活性にし、同時にフレームが受信されつつあるだけです。他のクロックは受信完了割り込みがMCUを起こすまで停止されたままです。

同期動作形態での最大ボーレートは以下のようにデバイスが起こされる休止動作形態に依存します。

- アイドルまたはA/D変換雑音低減動作: システムクロック周波数/4
- スタンバイまたはパワーダウン動作: 500kbps

非同期動作形態での最大ボーレートは以下のようにデバイスが起こされる休止動作形態に依存します。

- アイドル動作: 活動動作と同じ
- 他の休止動作: 表15-4と表15-5をご覧ください。

表15-4. 標準動作での最大総ボーレート誤差

ボーレート	フレームの大きさ					
	5ビット	6ビット	7ビット	8ビット	9ビット	10ビット
0~28.8kbps	+6.67~-5.88	+5.79~-5.08	+5.11~-4.48	+4.58~-4.00	+4.14~-3.61	+3.78~-3.30
38.4kbps	+6.63~-5.88	+5.75~-5.08	+5.08~-4.48	+4.55~-4.00	+4.12~-3.61	+3.76~-3.30
57.6kbps	+6.10~-5.88	+5.30~-5.08	+4.69~-4.48	+4.20~-4.00	+3.80~-3.61	+3.47~-3.30
76.8kbps	+5.59~-5.88	+4.85~-5.08	+4.29~-4.48	+3.85~-4.00	+3.48~-3.61	+3.18~-3.30
115.2kbps	+4.57~-5.88	+3.97~-5.08	+3.51~-4.48	+3.15~-4.00	+2.86~-3.61	+2.61~-3.30

表15-5. 倍速動作での最大総ボーレート誤差

ボーレート	フレームの大きさ					
	5ビット	6ビット	7ビット	8ビット	9ビット	10ビット
0~57.6kbps	+5.66~-4.00	+4.92~-3.45	+4.35~-3.03	+3.90~-2.70	+3.53~-2.44	+3.23~-2.22
76.8kbps	+5.59~-4.00	+4.85~-3.45	+4.29~-3.03	+3.85~-2.70	+3.48~-2.44	+3.18~-2.22
115.2kbps	+4.57~-4.00	+3.97~-3.45	+3.51~-3.03	+3.15~-2.70	+2.86~-2.44	+2.61~-2.22

15.10. 複数プロセッサ通信動作

USART制御/状態レジスタA(UCSRnA)での**複数プロセッサ通信動作(MPCMn)ビット**の設定(1)はUSART受信部によって受信された到着フレームの選別機能を許可します。アドレス情報を含まないフレームは無視され、受信緩衝部に格納されません。これは同一直列バス経由で通信する複数MCUのシステムで、CPUによって扱われなければならない到着フレーム数を効果的に減らします。送信部はMPCMnビット設定によって影響されませんが、複数プロセッサ通信動作を利用するシステムの一部の時は違うふうに使われなければなりません。

受信部が5~8データビットを含むフレームを受信するように設定されるなら、最初の停止ビットはデータまたはアドレス情報を含むフレームかどうかを示します。受信部が9データビットのフレームに設定されるなら、**USART制御/状態レジスタB(UCSRnB)の受信第9(RXB8n)ビット**がアドレスとデータのフレームを識別するのに使われます。フレーム種別(最初の停止または第9)ビットが1の時にフレームはアドレスを含みます。フレーム種別ビットが0の時にそのフレームはデータフレームです。

複数プロセッサ通信動作は主MCUからのデータを多くの従MCUで受信することを可能にします。これはどのMCUがアドレス指定されるかを検出するため、最初にアドレスフレームを調べることによって行われます。特定の従MCUがアドレス指定されたなら、そのMCUは後続するデータフレームを通常のように受信し、一方その他の従MCUは他のアドレスフレームが受信されるまで受信したフレームを無視します。

主MCUとして動作するMCUについては**9ビットデータフレーム形式**を使えます。UCSRnBの**送信第9(TXB8n)ビット**はアドレスフレーム時に設定(1)、またはデータフレーム時に解除(0)されて送信されなければなりません。この場合、従MCUは9ビットデータフレーム形式の使用に設定されなければなりません。

複数プロセッサ通信動作でデータを交換するのに次の手順が使われるべきです。

1. 全ての従MCUは複数プロセッサ通信動作です(UCSRnAの**複数プロセッサ通信動作(MPCMn)ビット**が設定(1))。
2. 主MCUはアドレスフレームを送り、全ての従装置がこのフレームを受信し、これを読みます。従CPUでは通常のようにUCSRnAで**受信完了(RXCn)フラグ**が設定(1)されます。
3. 各従MCUは**USARTデータレジスタ(UDRn)**を読み、選択されたかを判定します。選択された場合はUCSRnAのMPCMnビットを解除(0)し、そうでなければ(非選択の場合は)MPCMnビット設定を保ち、次のアドレスフレームを待ちます。
4. アドレス指定されたMCUは新規アドレスフレームが受信されるまで全データフレームを受信します。MPCMnビットが未だ設定(1)されている他の従CPUはこのデータフレームを無視します。
5. 最後のデータフレームがアドレス指定されたMCUによって受信されると、アドレス指定されたMCUはMPCMnビットを設定(1)し、主装置からの新規アドレスフレームを待ちます。以降、手順は2.からを繰り返します。

5~8ビットデータフレーム形式のどの使用も可能ですが、受信側が使うnとn+1ビットデータフレーム形式間を切り替えなければならないため非実用的です。これは送信部と受信部が同じデータビット長設定を使うため、全二重(フルデュプレックス)動作を困難にします。5~8ビットデータフレームが使われる場合、最初の停止ビットがフレーム種別を示すのに使われるので、送信部は**2停止ビット**使用に設定されなければなりません。

MPCMnビットを設定(1)または解除(0)するのに読み-修正-書き(リード-モディファイ-ライト)命令(**SBI**と**CBI**)を使ってはいけません。MPCMnビットは**送信完了(TXCn)フラグ**と同じI/O位置を共用しており、**SBI**または**CBI**命令を使うと偶然に解除(0)されるかもしれません。

(訳注) ATtiny441/841ではUCSRnAのI/Oアドレスが**SBI**,**CBI**命令適用範囲外なので上記記述は不適切です。但し、命令の組み合わせによる同様処理の場合に対して、上記注意の本意は適切(有効)です。

15.11. ボーレート設定例

非同期動作に対して一般的に使われるボーレートは表15-6のUBRRn設定を使うことによって生成することができます。目的のボーレートに対して設定誤差1.5%(標準速:U2Xn=0)、1.0%(倍速:U2Xn=1)以上を赤字で示します(訳注:原書の本文は0.5%未満を太字)。より高い誤差率でも受け入れ可能ですが、特に長い直列フレーム(102頁の「非同期での動作範囲」参照)で誤差率が高いと、受信部は雑音耐性が低下します。誤差率は次式を使って計算されます。

$$\text{誤差率(\%)} = \left(\frac{\text{UBRRn設定ボーレート(最近似値)}}{\text{目的のボーレート}} - 1 \right) \times 100(\%)$$

表15-6. Xtal、ボーレート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボーレート (bps)	1MHz				1.8432MHz				2MHz				2.4576MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	51	0.2	103	0.2	95	0.0	191	0.0	103	0.2	207	0.2	127	0.0	255	0.0
2400	25	0.2	51	0.2	47	0.0	95	0.0	51	0.2	103	0.2	63	0.0	127	0.0
4800	12	0.2	25	0.2	23	0.0	47	0.0	25	0.2	51	0.2	31	0.0	63	0.0
9600	6	-7.0	12	0.2	11	0.0	23	0.0	12	0.2	25	0.2	15	0.0	31	0.0
14400	3	8.5	8	-3.5	7	0.0	15	0.0	8	-3.5	16	2.1	10	-3.0	20	1.6
19200	2	8.5	6	-7.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	0.0	15	0.0
28800	1	8.5	3	8.5	3	0.0	7	0.0	3	8.5	8	-3.5	4	6.7	10	-3.0
38400	1	-18.6	2	8.5	2	0.0	5	0.0	2	8.5	6	-7.0	3	0.0	7	0.0
57600	0	8.5	1	8.5	1	0.0	3	0.0	1	8.5	3	8.5	2	-11.1	4	6.7
76800	0	-18.6	1	-18.6	1	-25.0	2	0.0	1	-18.6	2	8.5	1	0.0	3	0.0
115.2k	-	-	0	8.5	0	0.0	1	0.0	0	8.5	1	8.5	0	33.3	2	-11.1
230.4k	-	-	0	-45.7	0	-50.0	0	0.0	0	-45.7	0	8.5	0	-33.3	0	33.3
250k	-	-	-	-	-	-	0	-7.8	-	-	0	0.0	-	-	0	22.9
最高速	62500		125k		115.2k		230.4k		125k		250k		153.6k		307.2k	

ボーレート (bps)	3.2768MHz				3.6864MHz				4MHz				4.608MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	170	-0.2	340	0.1	191	0.0	384	0.0	207	0.2	416	-0.1	239	0.0	479	0.0
2400	84	0.4	170	-0.2	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0
4800	42	-0.8	84	0.4	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0
9600	20	1.6	42	-0.8	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0
14400	13	1.6	27	1.6	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0
19200	10	-3.0	20	1.6	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0
28800	6	1.6	13	1.6	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0
38400	4	6.7	10	-3.0	5	0.0	11	0.0	6	-7.0	12	0.2	7	-6.3	14	0.0
57600	3	-11.1	6	1.6	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0
76800	2	-11.1	4	6.7	2	0.0	5	0.0	2	8.5	6	-7.0	3	-6.3	7	-6.3
115.2k	1	-11.1	3	-11.1	1	0.0	3	0.0	1	8.5	3	8.5	2	-16.7	4	0.0
230.4k	0	-11.1	1	-11.1	0	0.0	1	0.0	0	8.5	1	8.5	0	25.0	2	-16.7
250k	-	-	1	-18.1	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2
500k	-	-	0	-18.1	-	-	0	-7.8	-	-	0	0.0	0	-42.4	0	15.2
1M	-	-	-	-	-	-	-	-	-	-	-	-	-	-	0	-42.4
最高速	204.8k		409.6k		230.4k		460.8k		250k		500k		288k		576k	

注: 最高速はUBRR=0、誤差=0.0%です。以降の周波数は次頁へ続く。

(訳注) 原書では頁割された表毎に表番号18-6.~9.となっていますが、共通性から纏めて表15-6.としました。
原書に対して数種の発振周波数を追加しました。

表15-6 (続き). Xtal、ボート対UBRRnH,UBRRnL設定 (UBRR=UBRRnH:UBRRnL)

ボート (bps)	4.9152MHz				6.144MHz				7.3728MHz				8MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	255	0.0	511	0.0	319	0.0	639	0.0	383	0.0	767	0.0	416	-0.1	832	0.0
2400	127	0.0	255	0.0	159	0.0	319	0.0	191	0.0	383	0.0	207	0.2	416	-0.1
4800	63	0.0	127	0.0	79	0.0	159	0.0	95	0.0	191	0.0	103	0.2	207	0.2
9600	31	0.0	63	0.0	39	0.0	79	0.0	47	0.0	95	0.0	51	0.2	103	0.2
14400	20	1.6	42	-0.8	26	-1.2	52	0.6	31	0.0	63	0.0	34	-0.8	68	0.6
19200	15	0.0	31	0.0	19	0.0	39	0.0	23	0.0	47	0.0	25	0.2	51	0.2
28800	10	-3.0	20	1.6	12	2.6	26	-1.2	15	0.0	31	0.0	16	2.1	34	-0.8
38400	7	0.0	15	0.0	9	0.0	19	0.0	11	0.0	23	0.0	12	0.2	25	0.2
57600	4	6.7	10	-3.0	6	-4.8	12	2.6	7	0.0	15	0.0	8	-3.5	16	2.1
76800	3	0.0	7	0.0	4	0.0	9	0.0	5	0.0	11	0.0	6	-7.0	12	0.2
115.2k	2	-11.1	4	6.7	2	11.1	6	-4.8	3	0.0	7	0.0	3	8.5	8	-3.5
230.4k	1	33.3	2	-11.1	1	-16.7	2	11.1	1	0.0	3	0.0	1	8.5	3	8.5
250k	1	22.9	2	-18.1	1	-23.2	2	2.4	1	-7.8	3	0.0	1	0.0	3	0.0
500k	0	-38.6	0	22.9	0	-23.2	1	-23.2	0	-7.8	1	-7.8	0	0.0	1	0.0
1M	-	-	0	-38.6	-	-	0	-23.2	-	-	0	-7.8	-	-	0	0.0
最高速	307.2k		614.4k		384k		768k		460.8k		921.6k		500k		1M	

ボート (bps)	9.216MHz				9.8304MHz				10MHz				11.0592MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	479	0.0	959	0.0	511	0.0	1023	0.0	520	-0.0	1041	-0.0	575	0.0	1151	0.0
2400	239	0.0	479	0.0	255	0.0	511	0.0	259	0.2	520	-0.0	287	0.0	575	0.0
4800	119	0.0	239	0.0	127	0.0	255	0.0	129	0.2	259	0.2	143	0.0	287	0.0
9600	59	0.0	119	0.0	63	0.0	127	0.0	64	0.2	129	0.2	71	0.0	143	0.0
14400	39	0.0	79	0.0	42	-0.8	84	0.4	42	0.9	86	-0.2	47	0.0	95	0.0
19200	29	0.0	59	0.0	31	0.0	63	0.0	32	-1.4	64	0.2	35	0.0	71	0.0
28800	19	0.0	39	0.0	20	1.6	42	-0.8	21	-1.4	42	0.9	23	0.0	47	0.0
38400	14	0.0	29	0.0	15	0.0	31	0.0	15	1.8	32	-1.4	17	0.0	35	0.0
57600	9	0.0	19	0.0	10	-3.0	20	1.6	10	-1.4	21	-1.4	11	0.0	23	0.0
76800	7	6.7	14	0.0	7	0.0	15	0.0	7	1.8	15	1.8	8	0.0	17	0.0
115.2k	4	0.0	9	0.0	4	6.7	10	-3.0	4	8.5	10	-1.4	5	0.0	11	0.0
230.4k	2	-16.7	4	0.0	2	-11.1	4	6.7	2	-9.6	4	8.5	2	0.0	5	0.0
250k	1	15.2	4	-7.8	1	-23.2	4	-1.7	2	-16.7	4	0.0	2	-7.8	5	-7.8
500k	0	15.2	1	15.2	0	22.9	1	22.9	0	25.0	2	-16.7	0	38.2	2	-7.8
1M	0	-42.4	0	15.2	0	-38.6	0	22.9	0	-37.5	0	25.0	0	-30.9	0	38.2
最高速	576k		1.152M		614.4k		1.2288M		625k		1.25M		691.2k		1.3824M	

ボート (bps)	14.7456MHz				16MHz				18.4320MHz				20MHz			
	U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1		U2Xn=0		U2Xn=1	
	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)	UBRR	誤差(%)
1200	767	0.0	1533	0.0	832	0.0	1666	0.0	959	0.0	1919	0.0	1041	0.0	2082	0.0
2400	383	0.0	767	0.0	416	-0.1	832	0.0	479	0.0	959	0.0	520	0.0	1041	0.0
4800	191	0.0	383	0.0	207	0.2	416	-0.1	239	0.0	479	0.0	259	0.2	520	0.0
9600	95	0.0	191	0.0	103	0.2	207	0.2	119	0.0	239	0.0	129	0.2	259	0.2
14400	63	0.0	127	0.0	68	0.6	138	-0.1	79	0.0	159	0.0	86	-0.2	173	-0.2
19200	47	0.0	95	0.0	51	0.2	103	0.2	59	0.0	119	0.0	64	0.2	129	0.2
28800	31	0.0	63	0.0	34	-0.8	68	0.6	39	0.0	79	0.0	42	0.9	86	-0.2
38400	23	0.0	47	0.0	25	0.2	51	0.2	29	0.0	59	0.0	32	-1.4	64	0.2
57600	15	0.0	31	0.0	16	2.1	34	-0.8	19	0.0	39	0.0	21	-1.4	42	0.9
76800	11	0.0	23	0.0	12	0.2	25	0.2	14	0.0	29	0.0	15	1.7	32	-1.4
115.2k	7	0.0	15	0.0	8	-3.5	16	2.1	9	0.0	19	0.0	10	-1.4	21	-1.4
230.4k	3	0.0	7	0.0	3	8.5	8	-3.5	4	0.0	9	0.0	4	8.5	10	-1.4
250k	3	-7.8	6	5.3	3	0.0	7	0.0	4	-7.8	8	2.4	4	0.0	9	0.0
500k	1	-7.8	3	-7.8	1	0.0	3	0.0	1	15.2	4	-7.8	1	25.0	4	0.0
1M	0	-7.8	1	-7.8	0	0.0	1	0.0	0	15.2	1	15.2	0	25.0	1	25.0
最高速	921.6k		1.8432M		1M		2M		1.152M		2.304M		1.25M		2.5M	

注: 最高速はUBRR=0、誤差=0.0%です。

15.12. USART用レジスタ

15.12.1. UDRn – USARTデータレジスタ (USART I/O Data Register)

ビット (\$80)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$90)	7	6	5	4	3	2	1	0	
	R/TXB7	R/TXB6	R/TXB5	R/TXB4	R/TXB3	R/TXB2	R/TXB1	R/TXB0	UDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

同じI/Oアドレスを共用するUSART受信データ緩衝とUSART送信データ緩衝のレジスタはUSARTデータレジスタまたはUDRnとして参照されます。UDRnへのデータ書き込みは送信データ緩衝レジスタ(TXB)へ行き、UDRn読み込みは受信データ緩衝レジスタ(RXB)の内容を返します。

5～7ビットデータに対する上位未使用ビットは送信部によって無視され、受信部によって0に設定されます。

送信緩衝部はUCSRnAで送信データレジスタ空き(UDREN)フラグが設定(1)される時にだけ書くことができます。UDRENフラグが設定(1)されない時にUDRnへ書かれたデータは無視されます。送信部が許可されて送信緩衝部にデータが書かれると、送信部は送信移動レジスタが空きの時にそこへデータを設定(移動)します。その後データはTXDnピンで直列送信されます。

受信緩衝部は2段のFIFOから成ります。このFIFOは受信緩衝部がアクセスされると必ず状態を切り替えます。この受信緩衝部の動きのため、この位置をアクセスするのに読み-修正-書き(リット モデファイライト)命令(SBIとCBI)が使われるべきではありません。ビット検査(SBICとSBIS)命令もFIFOの状態を換えるので、これらの命令を使う時にも注意されるべきです(訳注:本レジスタがこれらの命令の適用可能アドレス範囲外のため、この注意は不適切ですが、複数命令で同様動作を行う場合は注意が必要です)。

15.12.2. UCSRnA – USART制御/状態レジスタA (USART Control and Status Register A)

ビット (\$86)	7	6	5	4	3	2	1	0	
	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0	UCSR0A
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

ビット (\$96)	7	6	5	4	3	2	1	0	
	RXC1	TXC1	UDRE1	FE1	DOR1	UPE1	U2X1	MPCM1	UCSR1A
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	1	0	0	0	0	0	

● ビット7 – RXCn : USART受信完了フラグ (USART Receive Complete)

このフラグは受信緩衝部に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると、どんな未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果RXCnフラグは0になります。このフラグは受信完了割り込みを発生するのに使うことができます(USART制御/状態レジスタB(UCSRnB)の受信完了割り込み許可(RXCIE)nビットをご覧ください)。

● ビット6 – TXCn : USART送信完了フラグ (USART Transmit Complete)

このフラグは送信移動レジスタ内の完全なフレームが移動出力されてしまい、送信緩衝部(UDRn)に新規データが現存しない時に設定(1)されます。TXCnフラグは送信完了割り込みが実行される時に自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)することができます。このフラグは送信完了割り込みを発生することができます(UCSRnBの送信完了割り込み許可(TXCIE)nビットをご覧ください)。

● ビット5 – UDREN : USART送信データレジスタ空きフラグ (USART Data Register Empty)

このフラグは送信緩衝部(UDRn)が新規データを受け取り準備可を示します。UDRENが1ならば緩衝部は空で、従って書かれる準備可です。UDRENフラグは送信データレジスタ空き割り込みを発生することができます(UCSRnBの送信データレジスタ空き割り込み許可(UDRIE)nビットをご覧ください)。

送信部が準備可であることを示すため、UDRENはリセット後に設定(1)されます。

● ビット4 – FEn : フレーミング異常フラグ (Framing Error)

このフラグは受信緩衝部内の次データが受信時にフレーミング異常の場合(換言すると、受信緩衝部内で次データの最初の(第1)停止ビットがLowの時に)設定(1)されます。このフラグは受信緩衝部(UDRn)が読まれるまで有効です。受信したデータの停止ビットがHighの時にFEnフラグは0です。

レジスタ書き込み時に常にこのビットを0に設定してください。

●ビット3 – DORn : データ オーバーラン発生フラグ (Data OverRun)

このビットはオーバーラン状態が検出される場合に設定(1)されます。データ オーバーランは受信緩衝部(2フレーム分)が一杯で、受信移動レジスタ内で新規フレームが待機中に新規開始ビットが検出される時に起きます。このビットは受信緩衝部(UDRn)が読まれるまで有効です。レジスタ書き込み時に常にこのビットを0に設定してください。

●ビット2 – UPEn : パリティ誤りフラグ (USART Parity Error)

このビットは受信緩衝部内の次データが受信時にパリティ異常があり、その時点でパリティ検査が許可されていた(UPMn1=1)場合に設定(1)されます。このビットは受信緩衝部(UDRn)が読まれるまで有効です。レジスタ書き込み時に常にこのビットを0に設定してください。

●ビット1 – U2Xn : 倍速許可 (Double the USART Transmission Speed)

このビットは非同期動作でだけ有効です。同期動作使用時、このビットに0を書いてください。

このビットの1書き込みはボーレート分周器の分周値を16から8に減らし、事実上、非同期通信に対して転送速度を倍にします。

●ビット0 – MPCMn : 複数プロセッサ通信動作 (Multi-Processor Communication Mode)

このビットは複数プロセッサ通信動作を許可します。このビットが1を書かれると、USART受信部によって受信したアドレス情報を含まない全到着フレームが無視されます。送信部はMPCMnによって影響を及ぼされません。より多くの詳細情報については103頁の「複数プロセッサ通信動作」をご覧ください。

15.12.3. UCSRnB – USART制御/状態レジスタB (USART Control and Status Register B)

ビット (\$85)	7	6	5	4	3	2	1	0	
	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80	UCSR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$95)	7	6	5	4	3	2	1	0	
	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	UCSZ12	RXB81	TXB81	UCSR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – RXCIEn : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)フラグでの割り込みを許可します。

USART受信完了割り込みはRXCIEnビット、ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUCSRnAのRXCnフラグが設定(1)される場合にだけ生成されます。

●ビット6 – TXCIEn : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の送信完了(TXCn)フラグでの割り込みを許可します。

USART送信完了割り込みはTXCIEnビット、SREGの全割り込み許可(I)ビットとUCSRnAのTXCnフラグが設定(1)される場合にだけ生成されます。

●ビット5 – UDRIEn : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の送信データレジスタ空き(UDREn)フラグでの割り込みを許可します。

USART送信データレジスタ空き割り込みはUDRIEnビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSRnAでUDREnフラグが設定(1)される場合にだけ生成されます。

●ビット4 – RXENn : 受信許可 (Receiver Enable)

このビットへの1書き込みはUSART受信(部)を許可します。許可されると、受信部はRXDnピンに対する標準ポート動作を無効にします。

このビットへの0書き込みは受信(部)を禁止します。受信の禁止は受信緩衝部を破棄し、フレーミング異常(FEn)、オーバーラン(DORn)、パリティ誤り(UPEn)のフラグを無効にします。

●ビット3 – TXENn : 送信許可 (Transmitter Enable)

このビットへの1書き込みはUSART送信(部)を許可します。許可されると、送信部はTXDnピンに対する標準ポート動作を無効にします。

このビットへの0書き込みは送信(部)を禁止します。送信禁止は進行中と保留中の送信が完了された後、換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない時に有効になります。禁止されると、送信部はもはやTXDnポート(の標準I/O機能)を無効にしません。

●ビット2 – UCSZn2 : データビット長選択2 (Character Size)

USART制御/状態レジスタC(UCSRnC)のUCSZn1,0ビットと組み合わせたUCSZn2ビットは送信部と受信部で使うフレームのデータビット数(Character size)を設定します。

●ビット1 – RXB8n : 受信データビット8 (Receive Data Bit 8)

RXB8nは9ビットデータでの直列フレーム操作時に受信したフレームの第9データビット(ビット8)です。UDRnから下位ビットを読む前に読まなければならないなりません。

●ビット0 – TXB8n : 送信データビット8 (Transmit Data Bit 8)

TXB8nは9ビットデータでの直列フレーム操作時に送信されるべきデータの第9データビット(ビット8)です。UDRnへ下位ビットを書く前に書かれなければならないなりません。

15.12.4. UCSRnC – USART制御/状態レジスタC (USART Control and Status Register C)

ビット (\$84)	7	6	5	4	3	2	1	0	
	UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0	UCSR0C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

ビット (\$94)	7	6	5	4	3	2	1	0	
	UMSEL11	UMSEL10	UPM11	UPM10	USBS1	UCSZ11	UCSZ10	UCPOL1	UCSR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

●ビット7,6 – UMSELn1,0 : USART動作選択 (USART Mode Select)

これらのビットは表15-10.で示されるようにUSART動作形態を選びます。

表15-10. UMSELnビット設定

UMSELn1	UMSELn0	動作種別
0	0	非同期USART
	1	同期USART
1	0	(予約)
	1	主装置SPI (MSPIM) (注)

注: 主装置SPI動作(MSPIM)操作の完全な記述については111頁の「USARTでのSPI動作」をご覧ください。

●ビット5,4 – UPMn1,0 : パリティ選択 (Parity Mode)

これらのビットはパリティの発生と検査の許可と形式を設定します。許可した場合、送信部は各フレーム内で送信したデータビットのパリティを自動的に生成して送出します。受信部は到着データに対してパリティ値を生成し、それをUPMn0設定と比較します。不一致が検出された場合、USART制御/状態レジスタA(UCSRnA)でパリティ誤り(UPEn)フラグが設定(1)されます。

表15-11. パリティ動作選択

UPMn1	UPMn0	パリティ動作
0	0	禁止
0	1	(予約)
1	0	偶数パリティ許可
1	1	奇数パリティ許可

●ビット3 – USBSn : 停止ビット選択 (Stop Bit Select)

このビットは送信部によって挿入される停止ビット数を選びます。受信部はこの設定を無視します(注補:常に第1停止ビットだけが有効)。

表15-12. USBSnビット設定

USBSn	停止ビット数
0	1ビット
1	2ビット

●ビット2,1 – UCSZn1,0 : データビット長選択 (Character Size)

USART制御/状態レジスタB(UCSRnB)のUCSZn2ビットと組み合わせたUCSZn1,0ビットは送信部と受信部で使うフレームのデータビット数(Character size)を設定します。表15-13.をご覧ください。

表15-13. UCSZnビット設定								
UCSZn2~0	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
データビット数	5ビット	6ビット	7ビット	8ビット	(予約)	(予約)	(予約)	9ビット

●ビット0 – UCPOLn : クロック極性選択 (Clock Polarity)

このビットは同期動作にだけ使われます。非同期動作が使われる時はこのビットに0を書いてください。UCPOLnビットはデータ出力変更、データ入力採取、同期クロック(XCKn)間の関係を設定します。

表15-14. クロック極性設定

UCPOLn	送信データ変更 (TXDnピン出力)	受信データ採取 (RXDnピン入力)
0	XCKnの上昇端	XCKnの下降端
1	XCKnの下降端	XCKnの上昇端

15.12.5. UCSRnD – USART制御/状態レジスタD (USART Control and Status Register D)

ビット (\$83)	7	6	5	4	3	2	1	0	UCSR0D
	RXSIE0	RXS0	SFDE0	–	–	–	–	–	
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

ビット (\$93)	7	6	5	4	3	2	1	0	UCSR1D
	RXSIE1	RXS1	SFDE1	–	–	–	–	–	
Read/Write	R/W	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

- **ビット7 – RXSIE_n : 受信開始割り込み許可 (USART RX Start Interrupt Enable)**
このビットへの1書き込みは受信開始(RXS_n)フラグでの割り込みを許可します。休止動作形態でこのビットは、RXD_nピンで開始条件が検出された時にMCUを起こすことができるフレーム開始割り込みを許可します。
USART受信開始割り込みはRXSIE_nビット、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**とUCSR_nDのRXS_nフラグが設定(1)される場合にだけ生成されます。
- **ビット6 – RXS_n : 受信開始 (USART RX Start)**
このフラグはRXD_nピンで開始条件が検出された時に設定(1)されます。受信開始割り込み許可(RXSIE_n)ビットとSREGの全割り込み許可(I)ビットが設定(1)されていれば、このフラグが設定(1)される時に受信開始割り込みが生成されます。このフラグはRXS_nビット位置に論理1を書くことによって解除(0)することができます。
フレーム開始検出器が許可され、全割り込み許可(I)ビットが設定(1)されていれば、受信開始割り込みは全ての休止動作形態からMCUを起こします。
- **ビット5 – SFDE_n : フレーム開始検出許可 (Start Frame Detection Enable)**
このビットへの1書き込みはUSARTフレーム開始動作を許可します。フレーム開始検出器は開始条件、換言すると、RXD_nピンでHigh(アイドル)からLow(開始)への遷移が検出される時に休止動作形態からMCUを起こすことができます。

表15-15. USARTフレーム開始検出動作			
SFDE _n	RXSIE _n	RXCIE _n	説明
0	x	x	フレーム開始検出禁止。
1	0	0	(予約)
1	0	1	フレーム開始検出許可。RXC _n フラグは全ての休止動作形態からMCUを起こします。
1	1	0	フレーム開始検出許可。RXS _n フラグは全ての休止動作形態からMCUを起こします。
1	1	1	フレーム開始検出許可。RXC _n とRXS _n の両フラグは全ての休止動作形態からMCUを起こします。

より多くの情報については102頁の「**フレーム開始検出**」をご覧ください。

- **ビット4~0 – 予約 (Reserved)**
これらのビットは予約されており、常に0として読めます。

15.12.6. UBRRnH, UBRRnL (UBRRn) – USARTボーレートレジスタ (USART Baud Rate Register)

ビット (\$82)	15	14	13	12	11	10	9	8	UBRR0H
	–	–	–	–	UBRR011	UBRR010	UBRR09	UBRR08	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$81)	7	6	5	4	3	2	1	0	UBRR0L
	UBRR07	UBRR06	UBRR05	UBRR04	UBRR03	UBRR02	UBRR01	UBRR00	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット (\$92)	15	14	13	12	11	10	9	8	UBRR1H
	–	–	–	–	UBRR111	UBRR110	UBRR19	UBRR18	
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット (\$91)	7	6	5	4	3	2	1	0	UBRR1L
	UBRR17	UBRR16	UBRR15	UBRR14	UBRR13	UBRR12	UBRR11	UBRR10	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット15~12 – 予約 (Reserved)

これらのビットは将来使用するために予約されています。将来のデバイスとの共通性のため、これらのビットはUBRRnHが書かれる時に0が書かれなければなりません。

● ビット11~0 – UBRR11~0 : ボーレート分周値 (USART Baud Rate Register)

これはUSARTのボーレートを含む、12ビットレジスタです。UBRRnHがUSARTボーレートの上位4ビットを含み、UBRRnLが下位8ビットを含みます。

UBRRnL書き込みはボーレート前置分周器の更新を直ちに始めます。送信部と受信部によって進行中の転送はボーレートが変更される時に不正にされます。

15.12.7. REMAP – ポートピン再配置レジスタ (Remap Port Pins)

ビット (\$65)	7	6	5	4	3	2	1	0	REMAP
	–	–	–	–	–	–	SPIMAP	U0MAP	
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット0 – U0MAP : USART0ピン配置 (USART0 Pin Mapping)

このビットは右の表15-16.で示されるように、USARTピンが入力と出力のピンにどう配置されるかを制御します。

表15-16. USART0ピン配置

U0MAP	RXD0	TXD0	注
0	PA2	PA1	既定
1	PB2	PA7	再配置(代替)

16. USARTでのSPI動作

16.1. 特徴

- 全二重動作、3線同期データ転送
- 主装置動作
- 4つ全てのSPI転送形式(動作種別0,1,2,3)支援
- LSBまたはMSB先行データ転送(データ順設定)
- 順列動作(2重緩衝)
- 高分解能ボーレート発振器
- 高速動作($f_{XCKmax}=f_{CK}/2$)
- 柔軟な割り込み生成

16.2. 概要

USART(Universal Synchronous and Asynchronous Receiver and Transmitter)は主装置SPI互換動作に設定できます。
USART動作選択(UMSELn1,0)ビットの11設定は主装置SPI(MSPIM)論理回路でのUSARTを許可します。この動作形態でのSPI主装置制御論理回路はUSART資源を直接制御します。これらの資源には送受信の移動レジスタと緩衝部、ボーレート発生器を含みます。パリティ発生/検査論理回路、データ/クロック再生論理回路、送受信制御論理回路は禁止されます。USART送受信論理回路は普通のSPI転送制御論理回路に置き換えられます。けれどもピン制御論理回路と割り込み生成論理回路は両動作形態で全く同じです。
I/Oレジスタ位置は両動作形態で同じです。けれどもMSPIM使用時、制御レジスタの一部の機能が変わります。

16.3. クロック生成

クロック生成論理回路は送信部と受信部に対する基準クロックを生成します。USARTのMSPIM動作形態に対しては内部クロック生成(換言すると主装置動作)だけが支援されます。従って、USARTでMSPIMを正しく動かすにはXCKnピンが配置されたデータ方向レジスタ(DDR_x)が出力(DDR_XCKn=1)として設定されなければなりません。なるべくならDDR_XCKnはUSARTでのMSPIMが許可(換言するとTXENnとRXENnが設定(1))される前に設定されるべきです。
MSPIM動作で使われる内部クロック生成はUSART同期主装置動作と同一です。従ってボーレートやUBRRn設定は同じ式を使って計算できます。表16-1をご覧ください。

表16-1. ボーレートレジスタ(UBRRn)値計算式

動作種別	ボーレート計算 (注)	UBRRn値計算
同期主装置動作	$BAUD = \frac{f_{OSC}}{2 \times (UBRRn + 1)}$	$UBRRn = \frac{f_{OSC}}{2 \times BAUD} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。
BAUD : ボーレート (bps)
UBRRn : UBRRnHとUBRRnLレジスタ値 (0~4095)
f_{OSC} : システム発振器クロック周波数

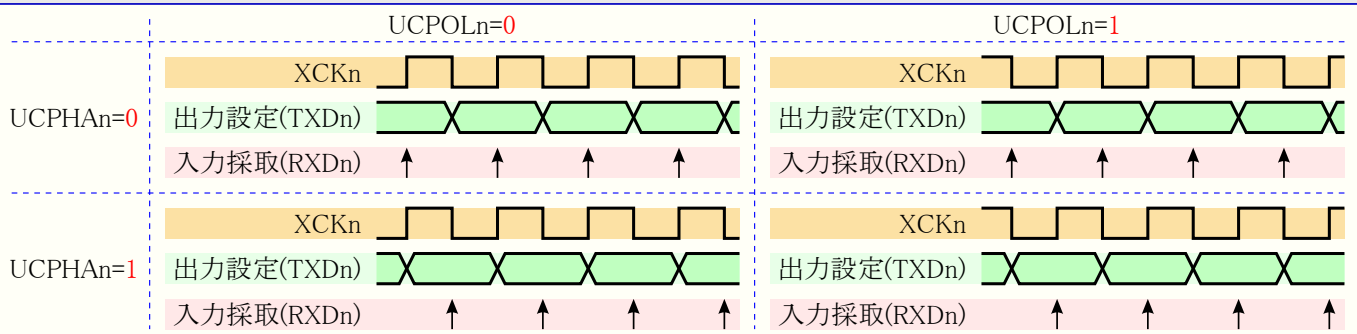
16.4. SPIデータ形態とタイミング

直列データに関してはクロック位相(UCPHAn)とクロック極性(UCPOLn)制御ビットによって決定されるXCKn(SCK)位相と極性で4つの組み合わせがあります。このデータ転送タイミング図は図16-1.で示されます。データビットは安定のためにデータ信号に対して十分な時間を保証するXCKn信号の反対端で移動出力と(入力)ラッチが行われます。UCPOLnとUCPHAnの機能は表16-2.で要約されます。これらビットのどの変更も送受信両方に対して実行中の通信を不正とすることに注意してください。

表16-2. UCPOLn,UCPHAn機能動作

SPI動作種別番号	UCPOLn	UCPHAn	XCKn(SCK)先行端	XCKn(SCK)後行端
0	0	0	入力採取/上昇端	出力設定/下降端
1	0	1	出力設定/上昇端	入力採取/下降端
2	1	0	入力採取/下降端	出力設定/上昇端
3	1	1	出力設定/下降端	入力採取/上昇端

図16-1. UCPHAnとUCPOLnによるデータ転送タイミング



16.5. フレーム形式

MSPIMの直列フレームは8データビット/1フレームに固定されます。USARTでのMSPIM動作は2つの有効なフレーム形式を持ちます。

- MSB先行 8ビット データ
- LSB先行 8ビット データ

フレームは最下位(LSB)または最上位(MSB)のデータビットで始まります。その後次のデータビットが、それによって最上位(MSB)または最下位(LSB)データビットで終わる合計8ビットまで続きます。完全なフレームが送信されると、新規フレームが直ちに後続するか、または通信線がアイドル状態(high)に設定されるでしょう。

USART制御/状態レジスタC(UCSRnC)のデータ順選択(UDORDn)ビットはUSARTでのMSPIMによって使われるフレーム形式を設定します。送受信部は同じ設定を使います。これらビットのどれかの設定変更が送受信部両方に対して実行中の通信を不正にすることに注意してください。

16ビット データ通信はUDRnに2バイト データを書くことによって達せられます。その後のUSART送信完了割り込み(TXCn)はこの16ビット値が移動出力されてしまったことを示します。

16.5.1. USART MSPIM初期化

USARTでのMSPIM動作はどれかの通信が行われ得るのに先立って初期化されなければなりません。標準的な初期化手順は使用方法に依存するボーレート設定、主装置動作構成設定、フレーム形式設定、送受信部許可から成ります。送信部だけが独立して操作できます。割り込み駆動USART操作に関して初期化を行う時にステータスレジスタの全割り込み許可(I)ビットが解除(0)される (そして全割り込みが禁止される)べきです。

注: XCKn出力の初期化を直ちに保証するため、ボーレートレジスタ(UBRRn)は送信部が許可される時に0でなければなりません。標準動作のUSART操作と逆に、UBRRnは送信部が許可されて最初の送信が開始される前に、希望する値を書かれなければなりません。この初期化がリセット後直ちに行なわれるなら、UBRRnが0にリセットされているので、送信部許可前にUBRRnを0に設定することは必要ありません。

ボーレート、データ転送形式またはフレーム形式の変更を伴う再初期化を行う前に、レジスタが変更される期間中に進行中の送信がないことを確実にしてください。USART制御/状態レジスタA(UCSRnA)の送信完了(TXCn)フラグは送信部の全転送完了検査に使え、受信完了(RXCn)フラグは受信緩衝部内の未読データ有無検査に使えます。この目的(次送信タイミング)にTXCnフラグが使われる場合、各々の送信(USARTデータレジスタ(UDRn)が書かれる)前にTXCnフラグが解除(0)されなければならないことに注意してください。

次の簡単なUSART初期化コード例が示すアセンブリ言語とC言語の関数は機能的に同じです。この例はポーリングを使う(割り込み不許可)と仮定します。ボーレート(UBRRn)値は関数の引数として与えられます。アセンブリ言語でのボーレート引数はR17:R16レジスタに格納されると仮定されます。

アセンブリ言語プログラム例

```
USART_Init: CLR      R18                      ;0値取得
             OUT      UBRRnH, R18             ;ボーレート設定(上位バイト)=0
             OUT      UBRRnL, R18             ;ボーレート設定(下位バイト)=0 (クロック停止)
             SBI      XCKn_DDR, XCKn          ;XCKnポートピン出力設定
             LDI      R18, (1<<UMSELn1) | (1<<UMSELn0) | (0<<UCPHAn) | (0<<UCPOLn)
             ;動作種別値を取得
             OUT      UCSRnC, R18             ;MSPI,データ種別0設定
             LDI      R18, (1<<RXENn) | (1<<TXENn)
             ;送受信許可値を取得
             OUT      UCSRnB, R18             ;送受信許可
             OUT      UBRRnH, R17             ;ボーレート設定(上位バイト)
             OUT      UBRRnL, R16             ;ボーレート設定(下位バイト)
             RET                                ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_Init(unsigned int baud)
{
    UBRRn = 0;                                /* ボーレート設定(クロック停止) */
    XCKn_DDR |= (1<<XCKn);                    /* XCKnポートピン出力設定 */
    UCSRnC = (1<<UMSELn1) | (1<<UMSELn0) | (0<<UCPHAn) | (0<<UCPOLn);
    ; MSPI,データ種別0設定 */
    UCSRnB = (1<<RXENn) | (1<<TXENn);         /* 送受信許可 */
    UBRRn = baud;                             /* ボーレート設定 */
}
```

注: 4頁の「コード例」をご覧ください。

16.6. データ転送

USARTでのMSPI動作の使用は送信部が許可されること、換言するとUSART制御/状態レジスタB(UCSRnB)で送信許可(TXENn)ビットが1に設定される必要があります。送信部が許可されると、TXDnピンの標準ピン動作は無視され、送信部の直列出力としての機能を与えられます。受信部の許可は任意選択で、UCSRnBの受信許可(RXENn)ビットの設定(=1)によって行なわれます。受信部が許可されると、RXDnピンの標準ピン動作は無視され、受信部の直列入力としての機能を与えられます。XCKnは両方の場合で転送クロックとして使われます。

初期化後、USARTはデータ転送を行なう準備が整います。データ転送はUSARTデータレジスタ(UDRn)I/O位置に書くことによって開始されます。送信部が転送クロックを制御するため、これは送受信データ両方の状態についてです。UDRnに書かれたデータは移動レジスタが新規フレームを送る準備が整った時に送信緩衝部から移動レジスタへ移されます。

注: 入力緩衝部に於いて送信されたデータバイト数との同期を保つために、送信された各バイトに対して一度、UDRnが読まれなければなりません。入力緩衝部操作は通常のUSART動作と同じで、換言すると、オーバーランが起きると、緩衝部内の先頭ではなく最後に受信したデータが失われます。これは第1バイト、第2、第3、第4バイトの順で4バイトのデータが送信され、全ての転送が完了される前にUDRnが読めない場合、第1バイトではなく、受信されるべき第3バイトが失われます。

次のコード例はUSART制御/状態レジスタA(UCSRnA)の送信データレジスタ空き(UDREN)フラグのポーリングに基いた、簡単なUSARTでのMSPI転送関数を示します。この関数が使われ得る前にUSARTが初期化されなければなりません。アセンブリ言語での送るべきデータはR16レジスタに格納されると仮定され、受信したデータは関数復帰後、同じR16レジスタで利用できます。

この関数は送信されるべき新規データを設定する前に、UDRENの検査によって送信緩衝部が空になるのを単純に待ちます。その後緩衝部を読んで値を戻す前に、RXCnフラグの検査によって受信緩衝部にデータが存在するのを待ちます。

アセンブリ言語プログラム例

```
USART_MSPI: SBIS    UCSRnA, UDREN    ;送信緩衝部空きでスキップ
             RJMP    USART_MSPI     ;送信緩衝部空き待機
;
             OUT     UDRn, R16       ;データ送信(送信開始)
USART_SPIR: SBIS    UCSRnA, RXCn     ;受信完了でスキップ
             RJMP    USART_SPIR     ;受信完了待機
;
             IN      R16, UDRn       ;受信データ取得
             RET                     ;呼び出し元へ復帰
```

C言語プログラム例

```
void USART_MSPI_Transfer(unsigned int data)
{
    while ( !(UCSRnA & (1<<UDREN)) ); /* 送信緩衝部空き待機 */
    UDRn = data;                       /* データ送信(送信開始) */
    while ( !(UCSRnA & (1<<RXCn)) );  /* 受信完了待機 */
    return UDRn;                       /* 受信データ取得 */
}
```

注: 4ページの「コード例」をご覧ください。

16.6.1. 送受信フラグと割り込み

USARTのMSPI動作での受信完了(RXCn)、送信完了(TXCn)、送信データレジスタ空き(UDREN)フラグと対応する割り込みは通常のUSART操作と機能的に同一です。けれども受信異常状態フラグ(FEn, DORn, UPEn)は使えず、常に0を読みます。

16.6.2. 送受信の禁止

USARTのMSPI動作での送受信部の禁止は通常のUSART操作と機能的に同一です。

16.7. AVR SPIとの互換性

USARTでのMSPI動作は次に関してSPIと完全な互換性があります。

- 主装置動作タイミング図
- クロック極性選択(UCPOLn)ビットはSPIのSCK極性選択(CPOL)ビットと機能的に同じです。
- クロック位相選択(UCPHAn)ビットはSPIのSCK位相選択(CPHA)ビットと機能的に同じです。
- データ順選択(UDORDn)ビットはSPIのデータ順選択(DORD)ビットと機能的に同じです。

けれどもUSARTでのMSPI動作がUSART資源を再使用するため、USARTでのMSPI動作はSPIと比較して多少異なります。加えて制御レジスタビットの差異、主装置動作だけがUSARTでのMSPI動作によって支援されること、2つの部間で異なる次の特質があります。

- USARTでのMSPI動作は送信部の(2重)緩衝部を含みます。SPIは緩衝部を持ちません。
- USARTのMSPI動作での受信部は追加の緩衝段を含みます。
- SPIの上書き(WCOL)ビットはUSARTでのMSPI動作に含まれません。
- SPIの倍速許可(SPI2X)ビットは含まれません。しかし、対応するボーレートレジスタ(UBRRn)設定によって同じ効果が達せられます。
- 割り込みタイミングに互換性はありません。
- USARTでのMSPI動作が主装置動作だけのため、ピン制御が異なります。

USARTのMSPI動作とSPIでのピンは表16-3.で示されます。

表16-3. USARTでのMSPIMとSPIのピン比較

USART MSPIM	SPI	注釈
TXDn	MOSI	主装置出力のみ
RXDn	MISO	主装置入力のみ
XCKn	SCK	機能的に同一
該当なし	SS	USARTでのMSPIMで未支援

16.8. MSPIMでのUSART用レジスタ

以下の節はUSARTを使うSPI操作で使われるレジスタを記述します。

16.8.1. UDRn – USART MSPIMデータレジスタ (USART I/O Data Register)

MSPIMでのUSARTデータレジスタ(UDRn)の機能と説明は通常のUSART操作と同一です。106頁の「UDRn – USARTデータレジスタ」をご覧ください。

16.8.2. UCSRnA – USART MSPIM制御/状態レジスタA (USART Control and Status Register A)

ビット (\$86)	7	6	5	4	3	2	1	0	
	RXC0	TXC0	UDRE0	–	–	–	–	–	UCSR0A
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

ビット (\$96)	7	6	5	4	3	2	1	0	
	RXC1	TXC1	UDRE1	–	–	–	–	–	UCSR1A
Read/Write	R	R/W	R	R	R	R	R	R	
初期値	0	0	1	0	0	0	0	0	

●ビット7 – RXCn : USART受信完了フラグ (USART Receive Complete)

このフラグは受信緩衝部に未読データがある時に設定(1)されます。このフラグは受信緩衝部が空の(換言すると、どんな未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部が破棄され、その結果このフラグが0になります。

このフラグは受信完了割り込みを発生するのに使うことができます(USART制御/状態レジスタB(UCSRnB)の受信完了割り込み許可(RXCIEn)ビットをご覧ください)。

●ビット6 – TXCn : USART送信完了フラグ (USART Transmit Complete)

このフラグは送信移動レジスタ内の完全なフレームが移動出力されてしまい、送信緩衝部(UDRn)内に新規データ全くない時に設定(1)されます。このフラグは送信完了割り込みが実行される時に自動的に解除(0)されるか、またはこのビット位置に1を書くことによって解除(0)することができます。

このフラグは送信完了割り込みを発生することができます(UCSRnBの送信完了割り込み許可(TXCIEn)ビットをご覧ください)。

●ビット5 – UDREn : USART送信データレジスタ空きフラグ (USART Data Register Empty)

このフラグは送信緩衝部(UDRn)が新規データを受け取り準備可であることを示します。このフラグが1ならば緩衝部は空で、書かれる準備が整っています。このフラグは送信部が準備可であることを示すためにリセット後に設定(1)されます。

このフラグは送信緩衝部空き割り込みを発生することができます(UCSRnBの送信データレジスタ空き割り込み許可(UDRIEn)ビットをご覧ください)。

●ビット4~0 – 予約 (Reserved in MSPI mode)

MSPI動作に於いてこれらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットは0を書かれなければなりません。

16.8.3. UCSRnB – USART MSPIM制御/状態レジスタB (USART Control nad Status Register B)

ビット (\$85)	7	6	5	4	3	2	1	0	
	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	–	–	–	UCSR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット (\$95)	7	6	5	4	3	2	1	0	
	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	–	–	–	UCSR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – RXCIEn : 受信完了割り込み許可 (Receive Complete Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の受信完了(RXCn)フラグでの割り込みを許可します。USART受信完了割り込みはRXCIEnビットが1を書かれ、ステータスレジスタ(SREG)で全割り込み許可(I)ビットが1を書かれ、UCSRnAでRXCnフラグが設定(1)される場合にだけ生成されます。

●ビット6 – TXCIEn : 送信完了割り込み許可 (Transmit Complete Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の送信完了(TXCn)フラグでの割り込みを許可します。USART送信完了割り込みはTXCIEnビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSRnAでTXCnフラグが設定(1)される場合にだけ生成されます。

●ビット5 – UDRIEn : 送信データレジスタ空き割り込み許可 (Transmit Data Register Empty Interrupt Enable)

このビットへの1書き込みはUSART制御/状態レジスタA(UCSRnA)の送信データレジスタ空き(UDREn)フラグでの割り込みを許可します。USART送信データレジスタ空き割り込みはUDRIEnビットが1を書かれ、SREGで全割り込み許可(I)ビットが1を書かれ、UCSRnAでUDREnフラグが設定(1)される場合にだけ生成されます。

●ビット4 – RXENn : 受信許可 (Receiver Enable)

このビットへの1書き込みはMSPIMでのUSART受信(部)を許可します。許可されると、受信部はRXDnピンの標準ポート動作を無効にします。

受信禁止は受信緩衝部を破棄します。

主装置動作だけが支援されて送信(部)が転送クロックを制御するので、受信(部)だけを許可して送信(部)を禁止のままにすることはMSPIM動作で意味を持ちません。

●ビット3 – TXENn : 送信許可 (Transmitter Enable)

このビットへの1書き込みがUSART送信(部)を許可します。許可されると、送信部はTXDnピンの標準ポート動作を無効にします。

送信禁止は進行中と保留中の送信が完了される、換言すると、送信移動レジスタと送信緩衝レジスタが送信されるべきデータを含まない時まで有効になりません。禁止時、送信部はもはやTXDnポート(の標準I/O機能)を無効にしません。

●ビット2~0 – 予約 (Reserved in MSPIM mode)

MSPIM動作でこれらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットは0を書かれなければなりません。

16.8.4. UCSRnC – USART MSPIM制御/状態レジスタC (USART Control nad Status Register C)

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	UMSEL01	UMSEL00	–	–	–	UDORD0	UCPHA0	UCPOL0	UCSR0C
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

ビット	7	6	5	4	3	2	1	0	
(\$77)	UMSEL11	UMSEL10	–	–	–	UDORD1	UCPHA1	UCPOL1	UCSR0C
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

●ビット7,6 – UMSELn1,0 : USART動作選択 (USART Mode Select)

このビットは表16-4.で示されるようにUSART動作種別を選びます。主装置SPI動作(MSPIM)は両UMSELnビットが1に設定される時に許可されます。

通常USART操作の完全な記述については108頁の「UCSRnC – USART制御/状態レジスタ」をご覧ください。

データ順選択(UDORDn)、クロック位相選択(UCPHAn)、クロック極性選択(UCPOLn)はMSPIMが許可されるのと同じ書き込み操作で設定できます。

表16-4. UMSELnビット設定

UMSELn1	UMSELn0	動作形態
0	0	非同期動作
	1	同期動作
1	0	(予約)
	1	主装置SPI (MSPIM)

●ビット5~3 – 予約 (Reserved in MSPIM mode)

MSPIM動作でこれらのビットは将来の使用に予約されています。将来のデバイスとの共通性のため、これらのビットは0を書かれなければなりません。

●ビット2 – UDORDn : データ順選択 (Data Order)

設定(1)時、データ語のLSBが最初に転送されます。

解除(0)時、データ語のMSBが最初に転送されます。

詳細については112頁の「フレーム形式」をご覧ください。

●ビット1 – UCPHAn : クロック位相選択 (Clock Phase)

このビットはデータがXCKnの先行(先)端または後行(後)端で採取/(設定)されるかを決めます。

詳細については111頁の「SPIデータ形態とタイミング」をご覧ください。

●ビット0 – UCPOLn : クロック極性選択 (Clock Polarity)

このビットはXCKnクロックの極性を設定します。UCPOLnとクロック位相選択(UCPHAn)ビットの組み合わせがデータ転送のタイミングを決めます。

詳細については111頁の「SPIデータ形態とタイミング」をご覧ください。

16.8.5. UBRRnH, UBRRnL (UBRRn) – USART MSPIMボーレートレジスタ (USART Baud Rate Register)

MSPIMでのボーレートレジスタ(UBRRn)の機能と説明は通常のUSART操作と同一です。110頁の「[UBRRnH, UBRRnL \(UBRRn\) – USARTボーレートレジスタ](#)」をご覧ください。

17. I²C適合2線従装置インターフェース (TWI: I²C Compatible, Two Wire Slave Interface)

17.1. 特徴

- Phillips社I²C適合
- (条件付き)SMBus適合
- 低システム クロックで100kHzと400kHzを支援
- スレーブ制限された出力駆動部
- 雑音消去を提供する入力濾波器
- ハードウェアでの7ビットと一斉呼び出しのアドレス認証
- アドレス遮蔽または2重アドレス一致用のアドレス遮蔽レジスタ
- 10ビット アドレス指定支援
- 無制限の従装置アドレスを提供する任意選択のソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作での動作
- SMBusアドレス解決規約(ARP)に対する支援を許す従装置調停

17.2. 概要

2線インターフェース(TWI)は2線だけを使う双方向バス通信です。I²C適合と条件付きSMBus適合です(121頁の「SMBusでの適合性」をご覧ください)。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多数の主装置を持って、そして同時に2つ以上の主装置が送信を試みる場合の優先権を調停手順が取り扱います。

ATtiny441/841のTWI単位部は従装置の機能だけを実装しています。バス上の協調損失、異常、衝突、クロック保持はハードウェアで検出され、独立した状態フラグで示されます。

7ビットと一斉アドレス呼び出しがハードウェアで実装されています。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレスの範囲での一致のための従装置アドレスに対する遮蔽レジスタとして働くことができます。従装置論理回路はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での休止からの起動を従装置に許します。アドレス一致を禁止し、代わりにソフトウェアでこれを扱うことも可能です。これは多数のアドレスに対する検知と応答を従装置に許します。自動起動操作のために簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

TWI単位部は**開始条件**、**停止条件**、バス衝突、バス異常を検知するための情報を収集するバス状況論理回路を含みます。バス状況論理回路はパワーダウン動作を含む全ての休止形態で動作を継続します。

17.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ(トレイン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。プルアップ抵抗の代替として定電流源が使えます。

TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

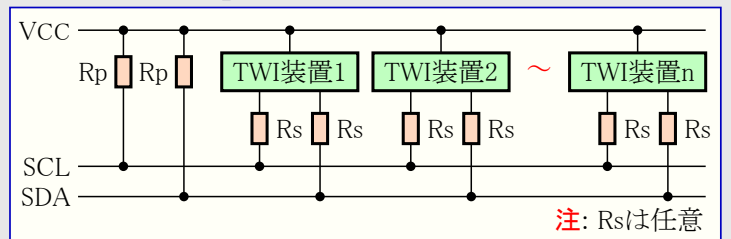
図17-1はTWIバス形態を図解します。

バスに接続した全ての従装置に固有のアドレスが割り当てられ、主装置は従装置をアドレス指定するのにこれを使ってデータ転送処理を始めます。7ビットまたは10ビットのアドレス指定が使えます。

多数の主装置が同じバスに接続でき、これは複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間のバス所有権を解決するために調停機構が提供されます。

デバイスは主装置と従装置の両論理回路を含み、2つ以上のアドレスに応答することによって複数従装置の擬似動作ができます。

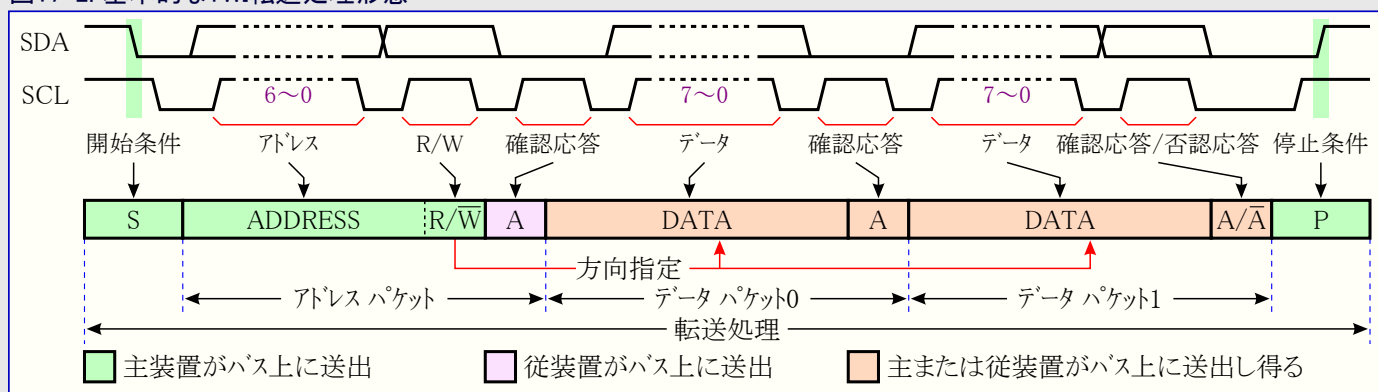
図17-1. TWIバス形態



主装置がバス上に**開始条件(S)**を発行することによって転送処理の開始を指示します。それから、従装置アドレス(ADDRESS)と主装置がデータを読みまたは書きどちらをしたいのかを示す(R/W)を持つアドレス・データ・確認応答(A)または否認応答(\bar{A})を行わなければならない。

図17-2.はTWI転送処理を示します。

図17-2. 基本的なTWI転送処理形態



主装置が転送処理に対してクロック信号を供給しますが、バスに接続された装置はクロック速度を下げるためにクロックのLow区間を引き伸ばすことが許されます。

17.3.1. 電気的特性

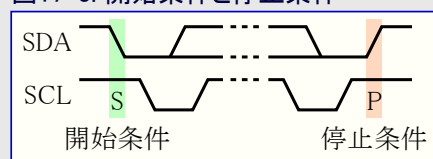
TWIはI²CとSMBusの電気的仕様とタイミングに従っています。167頁の「**2線直列インターフェース特性**」と121頁の「**SMBusでの適合性**」をご覧ください。

17.3.2. 開始条件と停止条件

転送処理の始まり(**開始条件**)と終り(**停止条件**)を記すために2つの独特なバス状態が使用されます。主装置はSCL線をHighに保持すると同時にSDA線でHighからLowへの遷移を示すことによって**開始条件(S)**を発行します。主装置はSCL線をHighに保持すると同時にSDA線をLowからHighへの遷移を示すことによって**停止条件(P)**を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の**開始条件**が発行され得ます。**停止条件**に直接後続しない**開始条件**は**再送開始条件(Sr)**と名付けられます。

図17-3. 開始条件と停止条件

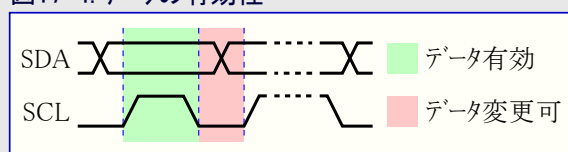


17.3.3. ビット転送

図17-4.で図解されるように、SDA線で転送されるビットはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はクロックのLow区間の間でだけ変更できます。これはTWI単位部でのハードウェアで保証されます。

ビット転送の組み合わせがアドレスとデータの packets の編成に帰着します。これらの packets は最上位ビット先行転送の8データビット(1バイト)と**確認(ACK)**または**否認(NACK)**の応答の単一ビットから成ります。アドレス指定された装置は9クロック周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにして置くことによってNACKで合図します。

図17-4. データの有効性



17.3.4. アドレス・データ・確認応答

開始条件後、読み/書き(R/W)ビットが後続する7ビットアドレスが送出されます。これは常に主装置によって送出されます。そのアドレスを認証する従装置は次のSCLクロックでSDA線をLowに引くことによってアドレスの**確認応答(ACK)**を行い、一方他の全ての従装置はTWI線の開放を維持して次の**開始条件**とアドレスを待ちます。7ビットアドレス、R/Wビット、応答ビットの組み合わせがアドレス・データ・確認応答 packet です。各**開始条件**に対して1つのアドレス・データ・確認応答 packet だけが与えられ、これは10ビットアドレスが使われる時もです。

R/Wは転送処理の方向を指定します。R/WビットがLowなら、主装置書き込み転送処理を示し、従装置のそのアドレスの**確認応答**後に主装置はそのデータを送出します。逆の主装置読み込み操作については、従装置がそのアドレスの**確認応答**後にデータ送出を開始します。

17.3.5. データ・データ・確認応答

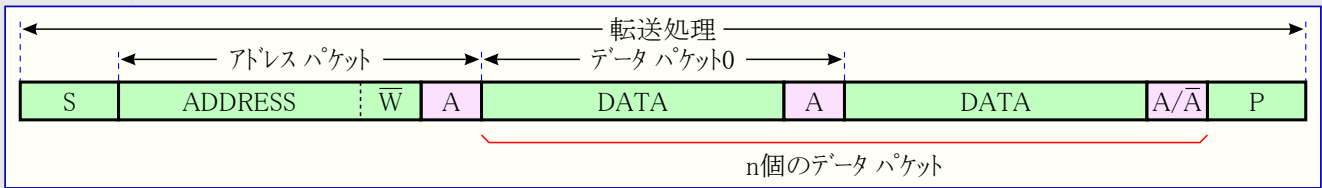
データ・データ・確認応答 packet はアドレス・データ・確認応答 packet または他のデータ・データ・確認応答 packet に続きます。全てのデータ・データ・確認応答 packet は1つのデータ・データ・確認応答 packet と応答ビットから成る9ビット長です。直前のアドレス・データ・確認応答 packet 内の方向ビットがデータが転送される方向を決めます。

17.3.6. 転送処理

転送処理は開始条件から停止条件までの完全な転送で、その間のどの再送開始条件も含まれます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図17-5は主装置書き込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ビットを0に設定したアドレスパケット(ADDRESS+W)がそれに後続します。

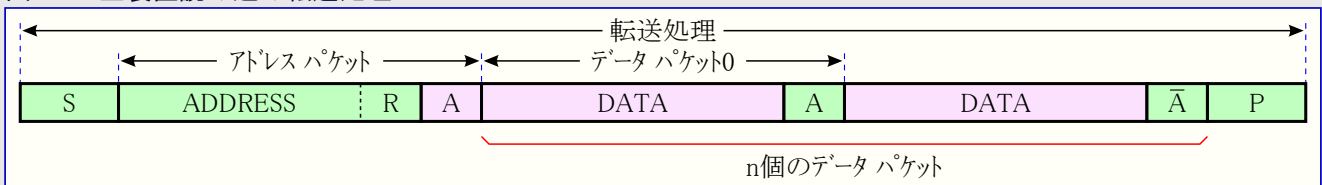
図17-5. 主装置書き込み転送処理



従装置のアドレス確認応答が与えられると、主装置はデータ(DATA)の送信を開始でき、従装置は各バイトで確認応答(ACK)または否認応答(NACK) (A/ \bar{A})を行います。送信すべきデータパケットがない場合、主装置はアドレスパケット直後に停止条件(P)を発行することによって転送処理を終了します。転送できるデータパケット数に制限はありません。従装置がデータに否認応答(NACK)で合図した場合、主装置は従装置がこれ以上データを受信できず、転送処理を終了すると認識しなければなりません。

図17-6は主装置読み込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ビットを1に設定したアドレスパケット(ADDRESS+R)がそれに後続します。アドレス指定された従装置は転送処理の継続を許す主装置に対してアドレスの確認応答をしなければなりません。

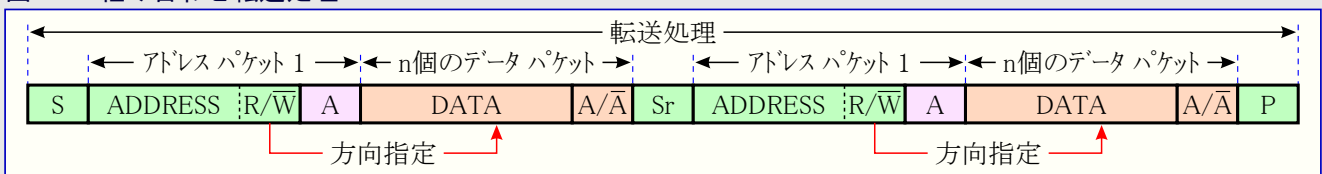
図17-6. 主装置読み込み転送処理



従装置のアドレス確認応答が与えられると、主装置は従装置からのデータ受信を開始できます。転送できるデータパケット数に制限はありません。従装置がデータを送信する一方で、主装置は各データバイト後に確認応答(ACK)または否認応答(NACK)で合図します。主装置は停止条件を発行する前に否認応答(NACK)で転送を終了します。

図17-7は組み合わせ転送処理を図解します。組み合わせ転送処理は再送開始条件(Sr)によって分離された多数の読み込みと書き込みの転送処理から成ります。

図17-7. 組み合わせ転送処理



17.3.7. クロックとクロック伸長

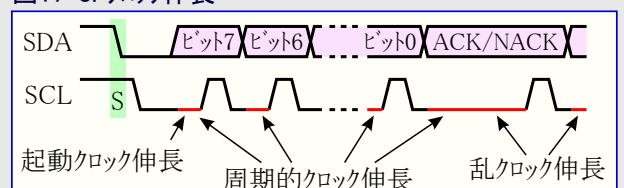
バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行えます。

クロック伸長は図17-8で示されるように3つの形式に定義できます。デバイスが休止形態動作で開始条件が検出された場合、クロックはデバイスに対する起動時間の間、引き伸ばされます。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合では、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図17-8. クロック伸長



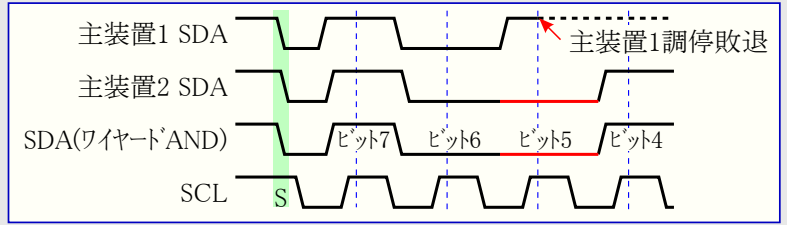
17.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使って解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後バス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると**停止条件待機**)。従装置は調停手順に関係しません。

図17-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が**開始条件**を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。

再送開始条件とデータビット、**停止条件**とデータビット、または再送開始条件と**停止条件**の間は択一調停が許されず、ソフトウェアによる特別な扱いが必要です。

図17-9. TWI調停

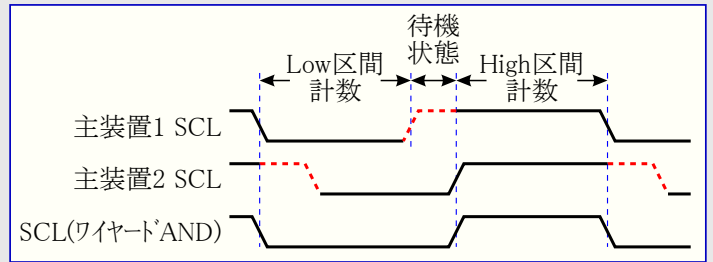


17.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使われるのと同じ原理に基づいています。図17-10.は2つの主装置がバスクロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤードANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow期間タイミグを開始します。このクロックLow期間のタイミグ長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow期間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放する前にはHighになりません。従ってSCL線は最長Low期間を持つ装置(主装置2)によってLowを維持されます。より短いLow期間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh期間を始めます。最初にHigh期間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。その結果は最短クロック期間を持つ装置がHigh期間を決め、一方クロックのLow期間は最長クロック期間によって決められることです。

図17-10. クロック同期化



17.3.10. SMBusでの適合性

他の何れかのI²C適合インターフェースとで既知の適合性の問題があるため、TWI装置をSMBus装置に接続する前に設計者は注意すべきです。SMBus環境での使用に対して、以下が注意されるべきです。

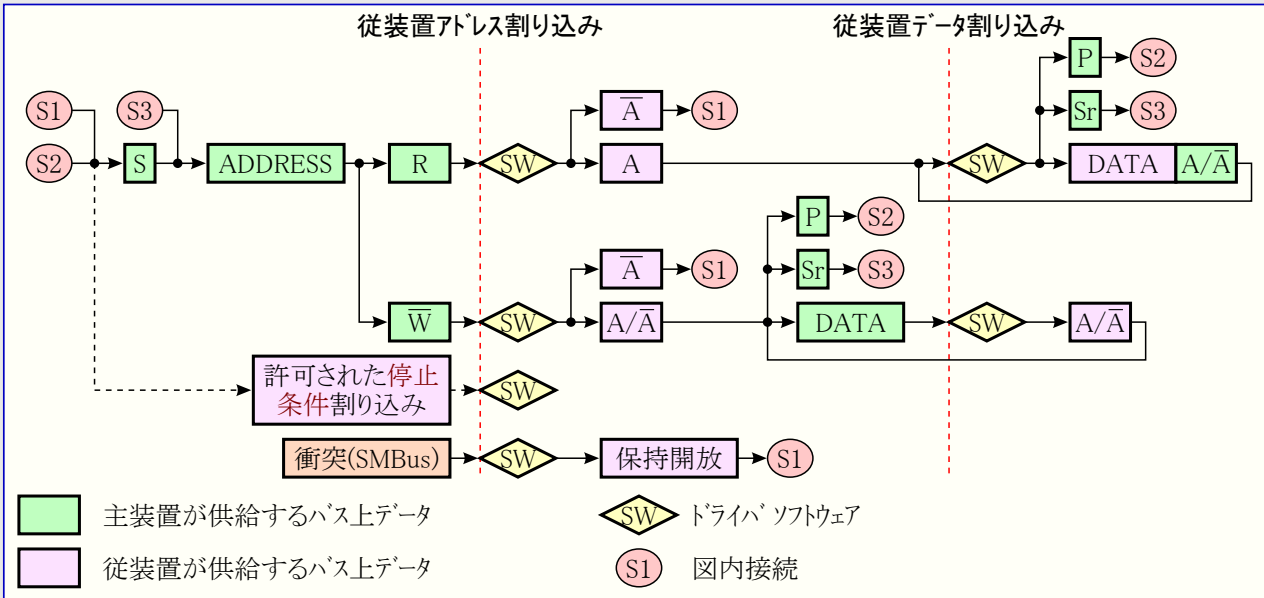
- 2線インターフェースのそれらを含むAVRの全てのI/Oピンは供給電圧とGNDの両方に保護ダイオードを持ちます。38頁の図10-1.をご覧ください。これはSMBus仕様の必要条件に矛盾します。結果として、供給電圧がAVRから取り去られてはならないか、さもなければ保護ダイオードがバス線を引き下げるでしょう。電力断と休止動作形態は供給電圧が存続するなら問題ありません。
- TWIのデータ保持時間はSMBusに対して指定されるものよりも小さい値です。保持時間を増すのにTWSCRAのTWI SDA保持時間許可(TWSHE)ビットを使うことができます。123頁の「TWSCRA – TWI従装置制御レジスタ」をご覧ください。
- SMBusは低速限界を持ち、一方I²Cにはありません。AVRがSMBus環境での主装置の時に、より低いバス速度がSMBus従装置で時間超過を起動するため、バス速度が仕様以下に落ちないことを確実にしなければなりません。AVRが従装置として構成設定される場合、TWI単位部が時間超過を確認しないため、バス固着の可能性あります。

17.4. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。独立したデータ割り込みとアドレス/停止割り込みがあります。割り込みフラグはTWI割り込みの起動、またはポーリング操作に使うことができます。受信した(ACK)確認応答/(NACK)否認応答(TWRA)、クロック保持(TWCH)、衝突(TWC)、バス異常(TWBE)、読み/書き方向(TWDIR)を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのデータを扱う時間を従装置に与え、殆どの場合にはソフトウェアの介入を必要とするでしょう。図17-11.はTWI従装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。

図17-11. TWI従装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために簡便動作を許可にできます。

全てのアドレスに応答することを従装置に許すために無差別動作(TWPME)を許可にできます。

17.4.1. アドレス パケット受信

TWI従装置が正しく構成設定されていると、検出されるべき開始条件を待ちます。これが起きると、継続してアドレスバイトが受信されてアドレス一致論理回路によって調べられ、従装置は正しいアドレスに確認応答(ACK)します。受信したアドレスが不一致なら、従装置はアドレスに応答せず、新しい開始条件を待ちます。

開始条件に後続する有効なアドレス パケットが検出される時に、従装置アドレス/停止割り込み要求フラグ(TWASIF)が設定(1)されます。一斉呼び出しアドレスもこのフラグを設定(1)します。

開始条件直後の停止条件は不正操作で、バス異常(TWBE)フラグが設定(1)されます。

R/W方向(TWDIR)フラグはアドレスと共に受信された方向ビットを反映します。これは現在進行中の操作形式を決めるためにソフトウェアによって読むことができます。

R/W方向ビットとバス状況に依存して、以降のアドレス パケットで4つの別個の状態の1つ(4つの内の1つ)が起きます。異なる状態はソフトウェアで扱われなければなりません。

17.4.1.1. 状態1: アドレス パケット受け入れ - 方向ビット=1

R/W方向(TWDIR)フラグが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置ハードウェアは送信のためのデータが必要なことを示すデータ割り込み要求フラグ(TWDIF)を設定(1)します。従装置によって否認応答(NACK)が送出される場合、従装置は新しい開始条件とアドレス一致を待ちます。

17.4.1.2. 状態2: アドレス パケット受け入れ - 方向ビット=0

R/W方向(TWDIR)フラグが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、バス クロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置は受信されるべきデータを待ちます。その後にデータ、再送開始条件、停止条件が受信され得ます。否認応答(NACK)が示された場合、従装置は新しい開始条件とアドレス一致を待ちます。

17.4.1.3. 状態3: 衝突

従装置がHighレベルまたは否認応答(NACK)を送出できない場合、衝突(TWC)フラグが設定(1)され、従装置からのデータと応答の出力が禁止されます。クロック保持は開放されます。開始条件と再送開始条件は受け入れられます。

17.4.1.4. 状態4: 停止条件受信

動作は1つの例外付きで先の**状態1**または**状態2**と同じです。**停止条件**が受信されると、アドレス一致発生ではなく**停止条件**を示す**従装置アドレス/停止割り込み要求フラグ(TWASIF)**が設定(1)されます。

17.4.2. データパケット受信

従装置は解除(0)されたR/W方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。この応答後、従装置はデータを受信する準備を整えなければなりません。データパケットが受信されると、データ割り込み要求フラグ(TWDIF)が設定(1)され、従装置は**確認応答(ACK)**または**否認応答(NACK)**を示さなければなりません。NACK提示後、従装置は**停止条件**または**再送開始条件**を期待して待たなければなりません。

17.4.3. データパケット送信

従装置は設定(1)されたR/W方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。その後に従装置データ(TWSD)レジスタへの書き込みによって送出を始められます。データパケット送信が完了されると、**データ割り込み要求フラグ(TWDIF)**が設定(1)されます。主装置が**否認応答(NACK)**を提示する場合、従装置はデータ送信を停止し、**停止条件**または**再送開始条件**を期待して待たなければなりません。

17.5. TWI用レジスタ

17.5.1. TWSCRA – TWI 従装置制御レジスタA (TWI Slave Control Register A)

ビット (\$A5)	7	6	5	4	3	2	1	0	
	TWSHE	–	TWDIE	TWASIE	TWEN	TWSIE	TWPME	TWSME	TWSCRA
Read/Write	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – TWSHE : TWI SDA保持時間許可 (TWI SDA Hold Time Enable)**

このビットが設定(1)されると、SCLでの負端に関するSDAでの内部保持時間が許可されます。

- **ビット6 – Res : 予約 (Reserved Bit)**

このビットは予約されており、常に0として読みます。

- **ビット5 – TWDIE : TWIデータ割り込み許可 (TWI Data Interrupt Enable)**

このビットが設定(1)され、割り込みが許可されていると、TWI従装置状態レジスタA(TWSSRA)の**データ割り込み要求フラグ(TWDIF)**が設定(1)される時にTWI割り込みが生成されます。

- **ビット4 – TWASIE : TWIアドレス/停止割り込み許可 (TWI Address/Stop Interrupt Enable)**

このビットが設定(1)され、割り込みが許可されていると、TWI従装置状態レジスタA(TWSSRA)の**アドレス/停止割り込み要求フラグ(TWASIF)**が設定(1)される時にTWI割り込みが生成されます。

- **ビット3 – TWEN : 2線インターフェース許可 (Two-Wire Interface Enable)**

このビットが設定(1)されると、従装置2線インターフェースが許可されます。

- **ビット2 – TWSIE : TWI停止条件割り込み許可 (TWI Stop Interrupt Enable)**

停止条件割り込み許可(TWSIE)ビットの設定(1)は**停止条件**が検出された時にTWI従装置状態レジスタA(TWSSRA)の**アドレス/停止割り込み要求フラグ(TWASIF)**を設定(1)します。

- **ビット1 – TWPME : TWI無差別動作許可 (TWI Promiscuous Mode Enable)**

このビットが設定(1)されると、従装置アドレス一致論理回路は全ての受信アドレスに応答します。このビットが解除(0)されると、アドレス一致論理回路は自身のアドレスとしてどのアドレスを認証するかを決めるのに**TWI従装置アドレス(TWSA)レジスタ**を使います。

- **ビット0 – TWSME : TWI簡便動作許可 (TWI Smart Mode Enable)**

このビットが設定(1)されると、TWI従装置は**TWI従装置データ(TWSD)レジスタ**読み込み直後に応答動作が送出される簡便動作に移行します。応答動作は**TWI従装置制御レジスタB(TWSCR B)**の**応答動作(TWAA)ビット**によって定義されます。

このビットが解除(0)されると、応答動作はTWSCR Bの**TWI指令(TWCMDn)ビット**が'1x'に書かれた後で送出されます。

17.5.2. TWSCR B – TWI 従装置制御レジスタB (TWI Slave Control Register B)

ビット (\$A4)	7	6	5	4	3	2	1	0	
	–	–	–	–	TWHNM	TWAA	TWCMD1	TWCMD0	TWSCR B
Read/Write	R	R	R	R	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4 – Res : 予約 (Reserved Bit)**

これらのビットは予約されており、常に0として読みます。

●ビット3 – TWHNM : TWI高雑音動作 (TWI High Noise Mode)

このビットが設定(1)されると、TWI入力の高雑音動作が許可されます。この動作では特に低供給電圧レベルで入力の雑音余裕が改善されます。167頁の表25-10をご覧ください。

●ビット2 – TWAA : TWI応答動作 (TWI Acknowledge Action)

このビットは主装置からアドレスまたはデータバイトが受信された後の従装置の応用の動きを定義します。TWI従装置制御レジスタA(TWSCRA)のTWI簡便動作許可(TWSME)ビットに依存して、応答動作はTWI指令(TWCMDn)ビットへ有効な指令が書かれた時か、またはデータレジスタ(TWSD)が読まれた時のどちらかで実行されます。応答動作はアドレス一致後にTWIアドレス/停止割り込み要求フラグ(TWASIF)を、または主装置送信中にTWIデータ割り込み要求フラグ(TWDIF)を解除(0)する場合にも実行されます。詳細については表17-1をご覧ください。

表17-1. TWI従装置の応答動作

TWAA	動作	TWSME	実行時
0	ACK送出	0	TWCMDnビットが10または11を書かれる時
		1	TWSDが読まれる時
1	NACK送出	0	TWCMDnビットが10または11を書かれる時
		1	TWSDが読まれる時

●ビット1,0 – TWCMD1,0 : TWI指令 (TWI Command)

これらのビット書き込みは表17-2.によって定義されるような従装置動作を起動します。動作の形式はTWI従装置割り込みフラグのTWIアドレス/停止割り込み要求フラグ(TWASIF)とTWIデータ割り込み要求フラグ(TWDIF)に依存します。応答動作は従装置が主装置からデータバイトまたはアドレスバイトを受信する時にだけ実行されます。

表17-2. TWI従装置指令

TWCMD1,0	TWDIF	動作
0 0	x	動作なし
0 1	x	(予約)
1 0	完全な転送処理に使用	
	0	応答動作を実行し、そして何れかの開始条件または再送開始条件を待ちます。
	1	何れかの開始条件または再送開始条件を待ちます。
1 1	アドレスバイト(アドレス/停止割り込み要求フラグ(TWASIF)=1)への応答で使用	
	0	応答動作を実行し、そして次バイトを受信します。
	1	応答動作を実行し、そしてデータ割り込み要求フラグ(TWDIF)を設定(1)します。
	データバイト(データ割り込み要求フラグ(TWDIF)=1)への応答で使用	
	0	応答動作を実行し、そして次バイトを受信します。
	1	動作なし

TWCMDnビット書き込みはSCL線を自動的に開放してTWIクロック保持(TWCH)ビットと従装置割り込みを解除(0)します。TWI応答動作(TWAA)とTWCMDnのビットは同時に書くことができます。その後、指令が起動される前に応答動作が実行されます。TWCMDnビットは瞬時発行され(ストローブ信号)、常に0を読みます。

17.5.3. TWSSRA – TWI 従装置状態レジスタA (TWI Slave Status Register A)

ビット (\$A3)	7	6	5	4	3	2	1	0	
	TWDIF	TWASIF	TWCH	TWRA	TWC	TWBE	TWDIR	TWAS	TWSSRA
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – TWDIF : TWIデータ割り込み要求フラグ (TWI Data Interrupt Flag)

このフラグはデータバイトが成功裏に受信された、換言すると動作中に衝突またはバス異常が起きない時に設定(1)されます。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。SCL線はこの割り込み要求フラグの解除(0)によって開放されます。

このビットへの1書き込みはこのフラグを解除(0)します。このフラグはTWI従装置制御レジスタB(TWSCRB)のTWI指令(TWCMDn)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● **ビット6 – TWASIF : TWIアドレス/停止割り込み要求フラグ** (TWI Address/Stop Interrupt Flag)

このフラグは有効なアドレスが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。SCL線はこの割り込み要求フラグの解除(0)によって開放されます。

TWI従装置制御レジスタ(TWSCRA)のTWIアドレス/停止割り込み許可(TWASIE)ビットが設定(1)なら、バス上の停止条件もTWASIFを設定(1)します。停止条件と開始条件間の最小バス開放時間よりもシステムクロックが速い場合に停止条件がこのフラグを設定(1)します。

このビットへの1書き込みはこのフラグを解除(0)します。このフラグはTWI従装置制御レジスタB(TWSCRB)のTWI指令(TWCMDn)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● **ビット5 – TWCH : TWIクロック保持** (TWI Clock Hold)

このビットは従装置がSCL線をLowに保持する時に設定(1)されます。

このビットは読み込み専用で、データ割り込み要求フラグ(TWDIF)またはアドレス/停止割り込み要求フラグ(TWASIF)が設定(1)される時に設定(1)されます。このビットは割り込み要求フラグの解除(0)とSCL線の開放によって間接的に解除(0)することができます。

● **ビット4 – TWRA : TWI受信応答** (TWI Receive Acknowledge)

このビットは主装置からの最終受信応答ビットを含みます。

このビットは読み込み専用です。0の時は主装置からの最終応答ビットが確認応答(ACK)で、1の時は最終応答ビットが否認応答(NACK)です。

● **ビット3 – TWC : TWI衝突** (TWI Collision)

このビットは従装置がHighのデータビット、否認応答(NACK)ビットを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置は通常動作を開始し、データと応答の出力を禁止します。Low値はSDA線に全く移動出力されません。

このビットはこれへの1書き込みによって解除(0)されます。このビットは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

● **ビット2 – TWBE : TWIバス異常** (TWI Bus Error)

このビットは転送中に不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は再送開始条件または停止条件が検出され、直前の開始条件からのビット数が9の倍数でない場合に起きます。

このビットはこれへの1書き込みによって解除(0)されます。

検出されるべきバス異常に関して、システムクロック周波数はSCL周波数の最低4倍でなければなりません(訳注:共通性から本行追加)。

● **ビット1 – TWDIR : TWI読み/書き方向** (TWI Read/Write Direction)

このビットは主装置から受信した最後のアドレスパケットからの方向ビットを示します。このビットが1の時は主装置読み込み動作が進行中です。このビットが0の時は主装置書き込み動作が進行中です。

● **ビット0 – TWAS : TWIアドレス/停止条件** (TWI Address or Stop)

このビットはアドレス/停止割り込み要求フラグ(TWASIF)が最後に設定(1)されたのが何故かを示します。0なら、停止条件が引き起こしたTWASIFの設定(1)です。1なら、アドレス検出が引き起こしたTWASIFの設定(1)です。

17.5.4. TWSA – TWI 従装置アドレスレジスタ (TWI Slave Address Register)

ビット (\$A2)	7	6	5	4	3	2	1	0	
	TWSA7	TWSA6	TWSA5	TWSA4	TWSA3	TWSA2	TWSA1	TWSA0	TWSA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

従装置アドレスレジスタは主装置が従装置をアドレス指定しているかを判断するための従装置アドレス一致論理回路によって使われるTWI従装置アドレスを含みます。7または10ビットのアドレス認証形態使用時、上位7ビット(TWSA7～1)が従装置アドレスを表し、最下位ビット(TWSA0)は一斉呼び出しアドレス認証に使われます。TWSA0の設定(1)は一斉呼び出しアドレス認証論理回路を許可します。

10ビットアドレス使用時、アドレス一致論理回路は10ビットアドレスの最初のバイトのハードウェアアドレス認証を支援するだけです。TWSA7～1='11110nn'設定で、'nn'は従装置アドレスのビット9と8を表します。次の受信バイトが10ビットアドレスのビット7～0で、これはソフトウェアによって扱われなければなりません。

有効なアドレスバイトが受信されたことをアドレス一致論理回路が検知すると、アドレス/停止割り込み要求フラグ(TWASIF)が設定(1)され、読み/書き方向(TWDIR)フラグが更新されます。

従装置制御レジスタA(TWSCRA)の無差別動作許可(TWPME)ビットが設定(1)なら、アドレス一致論理回路はTWIバス上に送信された全てのアドレスに応答します。TWSAレジスタはこの動作形態で使われません。

17.5.5. TWSAM – TWI 従装置アドレス遮蔽レジスタ (TWI Slave Address Mask Register)

ビット (\$A1)	7	6	5	4	3	2	1	0	
	TWSAM7	TWSAM6	TWSAM5	TWSAM4	TWSAM3	TWSAM2	TWSAM1	TWAE	TWSAM
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～1 – ADDRMask7～1 : TWIアドレス遮蔽 (TWI Address Mask)

これらのビットはアドレス許可(TWAE)ビット設定に依存して、第2アドレス一致レジスタまたはアドレス遮蔽レジスタとして働きます。

TWAEが0に設定される場合、TWSAMは7ビットの従装置アドレス遮蔽を格納することができます。TWSAM内の各ビットは従装置アドレス(TWSA)レジスタ内の対応するアドレスビットを遮蔽(禁止)することができます。遮蔽ビットが1の場合に到着アドレスビットとTWSA内の対応するビット間のアドレス一致が無視されます。換言すると、遮蔽されたビットは常に一致します。

TWAEが1に設定される場合、TWSAMはTWSAレジスタに加えて第2従装置アドレスを格納することができます。この動作形態では従装置がTWSAの1つとTWSAMの別の1つで2つの独自のアドレスに一致します。

● ビット0 – TWAE : TWIアドレス許可 (TWI Address Enable)

既定によるこのビットは0で、TWSAMビットはTWSAレジスタに対するアドレス遮蔽として働きます。このビットが1に設定される場合、従装置アドレス一致論理回路はTWSAとTWSAM内の2つの独自のアドレスに応答します。

17.5.6. TWSD – TWI 従装置データレジスタ (TWI Slave Data Register)

ビット (\$A0)	7	6	5	4	3	2	1	0	
	TWSD7	TWSD6	TWSD5	TWSD4	TWSD3	TWSD2	TWSD1	TWSD0	TWSD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(TWSD)レジスタはデータを送受信する時に使われます。データ転送中、データはバスとTWSDレジスタ間で移動されます。従って、データレジスタはバイト転送中にアクセスできません。これはハードウェアで保護されています。データレジスタは従装置によってSCL線がLowを保持している時、換言するとクロック保持(TWCH)フラグが設定(1)されている時にだけアクセスできます。

主装置が従装置からデータを読む時に送出すべきデータがTWSDレジスタに書かれなければなりません。バイト転送は主装置が従装置からデータバイトのクロック駆動を始める時に開始されます。続いて従装置は主装置からの応答ビットを受信します。そしてデータ割り込み要求フラグ(TWDIF)とTWCHが設定(1)されます。

主装置が従装置にデータを書く時に、1バイトがデータレジスタに受信された時にTWDIFとTWCHが設定(1)されます。簡便動作が許可の場合、データレジスタ読み込みはTWI従装置制御レジスタB(TWSCRb)の応答動作(TWAA)ビットによって設定されるようにバス操作を起動します。

簡便動作でのTWSDのアクセスは従装置割り込み要求フラグとTWCHフラグを解除(0)します。

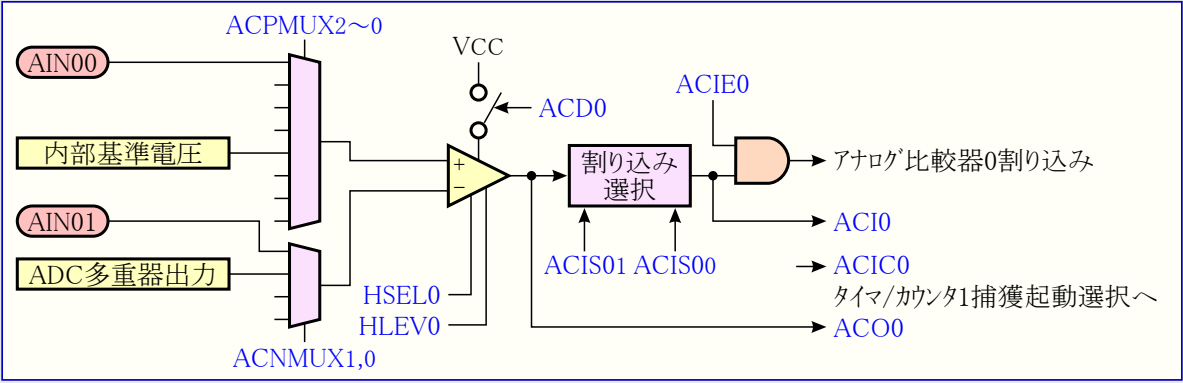
18. アナログ比較器0

アナログ比較器は非反転(正)入力ピンと反転(負)入力ピンの入力値を比較します。非反転入力ピンの電圧が反転入力ピンの電圧よりも高い時にアナログ比較器出力が設定(1)されます。

比較器出力はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。

この比較器とその周辺論理回路の構成図は図18-1.で示されます。

図18-1. アナログ比較器0部構成図



アナログ比較器に関する入力任意選択は右の表18-1.で一覧されます。

注: デジタルポート機能からの妨害を避けるため、アナログ比較器ポートピンは内部プルアップをOFFにした入力として構成設定されるべきです。

表18-1. アナログ比較器0入力任意選択

入力	任意選択	注
非反転(正)	AIN00ピン (注)	2頁の「ピン配置」をご覧ください。
	ハントギャップ電圧	
反転(負)	AIN01ピン (注)	2頁の「ピン配置」をご覧ください。
	ADC多重器出力	140頁の表20-3.をご覧ください。

ADC入力多重器を使うにはA/D変換器電力削減(PRADC)ビットが禁止されなければなりません。より多くの詳細については26頁の「PR R – 電力削減レジスタ」をご覧ください。

18.1. アナログ比較器0用レジスタ

18.1.1. ACSR0A – アナログ比較器0制御/状態レジスタA (Analog Comparator 0 Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	ACD0	ACPMUX2	ACO0	ACIO	ACIE0	ACIC0	ACIS01	ACIS00	ACSR0A
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

●ビット7 – ACD0: アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。これは活動動作やアイドル動作で電力消費を削減します。ACD0ビットを変更する時にACSR0Aのアナログ比較器割り込み許可(ACIE0)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

●ビット6 – ACPMUX2: アナログ比較器正入力多重器 (Analog Comparator Positive Input Multiplexer)

ACPMUX1とACPMUX0と共にこれらのビットはアナログ比較器の正入力に対する供給元を選びます。次頁の「ACSR0B – アナログ比較器0制御/状態レジスタB」をご覧ください。

●ビット5 – ACO0: アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接ACO0へ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

●ビット4 – ACIO: アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSR0Aのアナログ比較器割り込み条件(ACIS01,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSR0Aのアナログ比較器割り込み許可(ACIE0)ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。

対応する割り込み処理ペクタを実行すると、このビットはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってこのビットは解除(0)されます。

●ビット3 – ACIE0: アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

このビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。このビットが解除(0)されると、この割り込みは禁止されます。

●ビット2 – ACIC0 : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

このビットが設定(1)されると、タイマ/カウンタ1の捕獲機能はアナログ比較器によって起動することができます。そして比較器出力(ACO0)は比較器にタイマ/カウンタ1捕獲割り込みの雑音消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。比較器にタイマ/カウンタ1捕獲割り込みを起動させるには、TIMSK1の捕獲割り込み許可(ICIE1)ビットが設定(1)されなければなりません(82頁の「TIMSKn – タイマ/カウンタn割り込み許可レジスタ」をご覧ください)。

このビットが解除(0)されると、アナログ比較器と捕獲機能間の接続は全く存在しません。

●ビット1,0 – ACIS01,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表18-2.で示されます。

これらのビットを変更する時にアナログ比較器割り込みは禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表18-2. ACIS01,0設定

ACIS01	ACIS00	割り込み形態
0	0	比較器出力の変移(トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

18.1.2. ACSR0B – アナログ比較器0制御/状態レジスタB (Analog Comparator 0 Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	HSEL0	HLEV0	–	ACOE0	ACNMUX1	ACNMUX0	ACPMUX1	ACPMUX0	ACSR0B
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – HSEL0 : ヒステリシス許可 (Hysteresis Select)

このビットが論理1を書かれると、アナログ比較器のヒステリシスが許可されます。ヒステリシスレベルはHLEV0ビットによって選択されます。

●ビット6 – HLEV0 : ヒステリシスレベル選択 (Hysteresis Level)

ヒステリシス許可(HSEL0)ビット経由で許可されると、ヒステリシスレベルは表18-3.で示されるように設定することができます。

表18-3. アナログ比較器0用ヒステリシスレベル選択

HSEL0	HLEV0	アナログ比較器のヒステリシス
0	x	不許可
1	0	20mV
	1	50mV

●ビット5 – 予約 (Reserved)

このビットは予約されており、常に0を読みます。

●ビット4 – ACOE0 : アナログ比較器0出力許可 (Analog Comparator Output Enable 0)

このビットが設定(1)されると、アナログ比較器出力がACO0ピンに接続されます。

●ビット3,2 – ACNMUX1,0 : アナログ比較器負入力多重器 (Analog Comparator Negative Input Multiplexer)

これらのビットは下の表18-4.で示されるように、アナログ比較器の負入力に対する供給元を選びます。

表18-4. アナログ比較器0負入力用供給元選択

ACNMUX1	ACNMUX0	アナログ比較器負入力
0	0	AIN01ピン
0	1	A/D変換器(ADC)多重器出力。140頁の表20-3.をご覧ください。
1	0	(予約)
1	1	

●ビット1,0 – ACPMUX1,0 : アナログ比較器正入力多重器 (Analog Comparator Positive Input Multiplexer)

ACPMUX2と共に、これらのビットは以下の表18-5.で示されるように、アナログ比較器の正入力に対する供給元を選びます。

表18-5. アナログ比較器正入力用供給元選択

ACPMUX2	ACPMUX1	ACPMUX0	アナログ比較器正入力
0	0	0	AIN00ピン
0	0	1	(予約)
0	1	0	(予約)
0	1	1	(予約)
1	0	0	内部バンドギャップ基準電圧
1	0	1	(予約)
1	1	0	(予約)
1	1	1	(予約)

18.1.3. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット (\$60)	7	6	5	4	3	2	1	0	
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット2 – ADC2D : ADC2/AIN01デジタル入力緩衝部禁止 (ADC2/AIN01 Digital input buffer disable)

アナログ入力として使うけれどデジタル入力として必要としない時に、このビットに論理1を書くことによってデジタル入力緩衝部の電力消費を減らすことができます。このビットが設定(1)されると、AIN01ピンのデジタル入力緩衝部が禁止され、対応するピンレジスタビットは常に0を読みます。

● ビット1 – ADC1D : ADC1/AIN00デジタル入力緩衝部禁止 (ADC1/AIN00 Digital input buffer disable)

アナログ入力として使うけれどデジタル入力として必要としない時に、このビットに論理1を書くことによってデジタル入力緩衝部の電力消費を減らすことができます。このビットが設定(1)されると、AIN00ピンのデジタル入力緩衝部が禁止され、対応するピンレジスタビットは常に0を読みます。

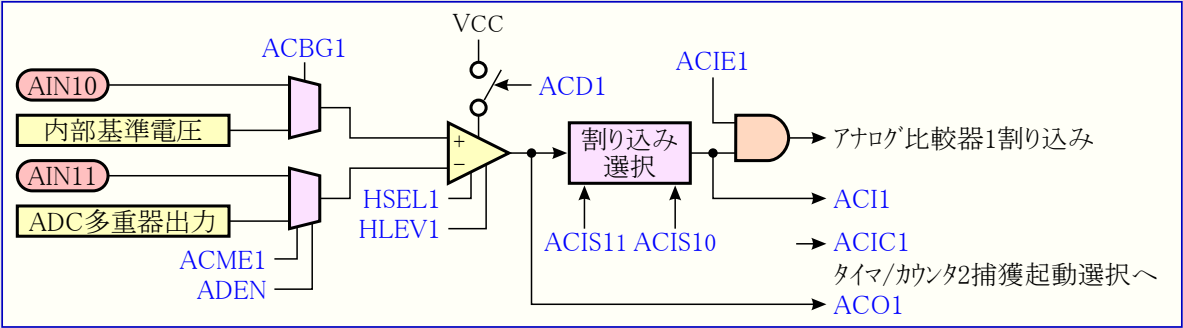
19. アナログ比較器1

アナログ比較器は非反転入力ピンと反転入力ピンの入力値を比較します。非反転入力ピンの電圧が反転入力ピンの電圧よりも高い時にアナログ比較器出力が設定(1)されます。

比較器出力はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。

この比較器とその周辺論理回路の構成図は図19-1.で示されます。

図19-1. アナログ比較器1部構成図



アナログ比較器に関する入力任意選択は右の表19-1.で一覧されます。

注: デジタルポート機能からの妨害を避けるため、アナログ比較器ポートピンは内部プルアップをOFFにした入力として構成設定されるべきです。

表19-1. アナログ比較器1入力任意選択

入力	任意選択	注
非反転(正)	AIN10ピン (注)	2頁の「ピン配置」をご覧ください。
	バンドギャップ電圧	
反転(負)	AIN11ピン (注)	2頁の「ピン配置」をご覧ください。
	ADC多重器出力	140頁の表20-3.をご覧ください。

ADC入力多重器を使うにはA/D変換器電力削減(PRADC)ビットが禁止されなければなりません。より多くの詳細については26頁の「PR R – 電力削減レジスタ」をご覧ください。

19.1. アナログ比較器1用レジスタ

19.1.1. ACSR1A – アナログ比較器1制御/状態レジスタA (Analog Comparator 1 Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	ACD1	ACBG1	ACO1	ACI1	ACIE1	ACIC1	ACIS11	ACIS10	ACSR1A
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

● ビット7 – ACD1 : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。これは活動動作やアイドル動作で電力消費を削減します。ACD1ビットを変更する時にACSR1Aのアナログ比較器割り込み許可(ACIE1)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起こり得ます。

● ビット6 – ACBG1 : アナログ比較器バンドギャップ選択 (Analog Comparator Bandgap Select)

このビットはアナログ比較器の非反転入力を選びます。表19-2.をご覧ください。

表19-2. アナログ比較器1正入力

ACBG1	アナログ比較器正入力
0	AIN10
1	内部バンドギャップ基準電圧

● ビット5 – ACO1 : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後に直接ACO1へ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

● ビット4 – ACI1 : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSR1Aのアナログ比較器割り込み条件(ACIS11,0)ビットによって定義した割り込み方法で起動する時に設定(1)されます。ACSR1Aのアナログ比較器割り込み許可(ACIE1)ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。

対応する割り込み処理ペクタを実行すると、このビットはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもこのビットは解除(0)されます。

●ビット3 – ACIE1 : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

このビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。このビットが解除(0)されると、この割り込みは禁止されます。

●ビット2 – ACIC1 : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

このビットが設定(1)されると、タイマ/カウンタ2の捕獲機能はアナログ比較器によって起動することができます。そして比較器出力(ACO1)は比較器にタイマ/カウンタ2捕獲割り込みの雑音消去機能とエッジ選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されます。比較器にタイマ/カウンタ2捕獲割り込みを起動させるには、TIMSK2の捕獲割り込み許可(ICIE2)ビットが設定(1)されなければなりません(82頁の「TIMSKn – タイマ/カウンタn割り込み許可レジスタ」をご覧ください)。

このビットが解除(0)されると、アナログ比較器と捕獲機能間の接続は全く存在しません。

●ビット1,0 – ACIS11,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表19-3.で示されます。

これらのビットを変更する時にアナログ比較器割り込みは禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表19-3. ACIS11,0設定

ACIS11	ACIS10	割り込み形態
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

18.1.2. ACSR1B – アナログ比較器1制御/状態レジスタB (Analog Comparator 1 Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	HSEL1	HLEV1	–	ACOE1	–	ACME1	–	–	ACSR1B
Read/Write	R/W	R/W	R	R/W	R	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – HSEL1 : ヒステリシス許可 (Hysteresis Select)

このビットが論理1を書かれると、アナログ比較器のヒステリシスが許可されます。ヒステリシスレベルはHLEV1ビットによって選択されます。

●ビット6 – HLEV1 : ヒステリシスレベル選択 (Hysteresis Level)

ヒステリシス許可(HSEL1)ビット経由で許可されると、ヒステリシスレベルは表19-4.で示されるように設定することができます。

表19-4. アナログ比較器1用ヒステリシスレベル選択

HSEL1	HLEV1	アナログ比較器のヒステリシス
0	x	不許可
1	0	20mV
1	1	50mV

●ビット5 – 予約 (Reserved)

このビットは予約されており、常に0を読みます。

●ビット4 – ACOE1 : アナログ比較器1出力許可 (Analog Comparator Output Enable 1)

このビットが設定(1)されると、アナログ比較器出力がACO1ピンに接続されます。

●ビット3 – 予約 (Reserved)

このビットは予約されており、常に0を読みます。

●ビット2 – ACME1 : アナログ比較器多重器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが設定(1)されてA/D変換器(ADC)がOFF(A/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)が0)にされると、ADCの多重器がアナログ比較器用の負入力として選択されます。このビットが0の時はアナログ比較器の負入力にAIN11が印加されます。表19-5.をご覧ください。

表19-5. アナログ比較器1負入力用供給元選択

ACME1	ADEN	アナログ比較器負入力
0	x	AIN11ピン
1	0	A/D変換器(ADC)多重器出力。140頁の表20-3.をご覧ください。
1	1	AIN11ピン

●ビット1,0 – 予約 (Reserved)

これらのビットは予約されており、常に0を読みます。

19.1.3. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット (\$60)	7	6	5	4	3	2	1	0	
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット4 – ADC4D : ADC4/AIN11デジタル入力緩衝部禁止 (ADC4/AIN11 Digital input buffer disable)

アナログ入力として使うけれどデジタル入力として必要としない時に、このビットに論理1を書くことによってデジタル入力緩衝部の電力消費を減らすことができます。このビットが設定(1)されると、AIN11ピンのデジタル入力緩衝部が禁止され、対応するピン レジスタ ビットは常に0を読みます。

● ビット3 – ADC3D : ADC3/AIN10デジタル入力緩衝部禁止 (ADC3/AIN10 Digital input buffer disable)

アナログ入力として使うけれどデジタル入力として必要としない時に、このビットに論理1を書くことによってデジタル入力緩衝部の電力消費を減らすことができます。このビットが設定(1)されると、AIN10ピンのデジタル入力緩衝部が禁止され、対応するピン レジスタ ビットは常に0を読みます。

20. A/D變換器

20.1. 特徴

- 10ビット分解能
- 積分非直線性誤差1LSB
- 絶対精度 ± 2 LSB
- 15 μ sの変換時間
- 最大分解能で15kSPS(採取/s)
- 12個の多重化されたシングル エンド入力チャネル
- 10個の差動入力チャネル
 - 46種の差動入力対
 - 選択可能な利得($\times 1$ 倍/ $\times 20$ 倍/ $\times 100$ 倍)
- 温度感知器入力チャネル
- A/D変換結果読み出しに対する任意の左揃え
- 0 \sim VCC A/D変換入力電圧範囲
- A/D変換基準電圧: 1.1V, 2.2V, 4.096V
- 連続(自由走行)と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止動作雑音低減機能

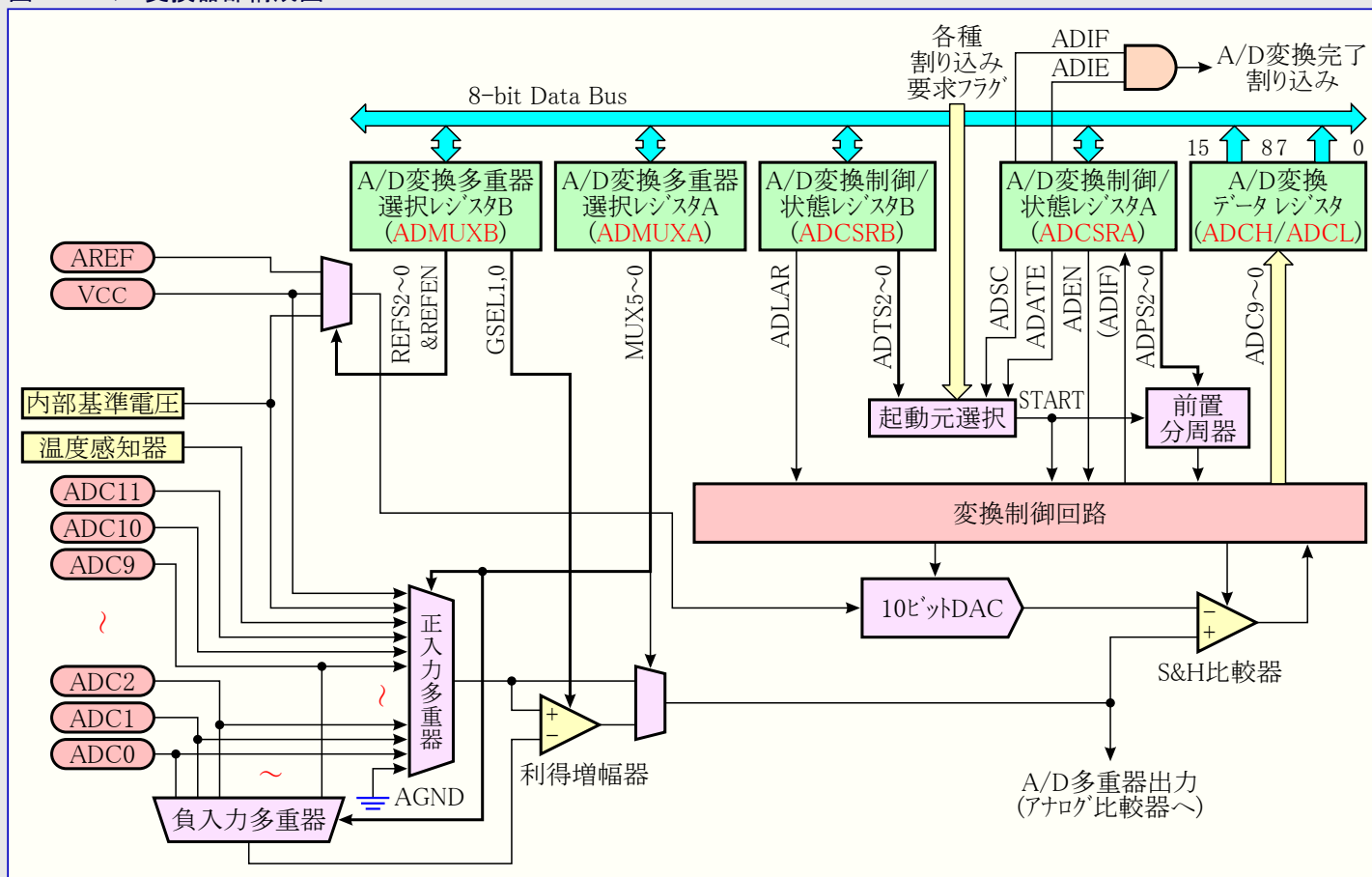
20.2. 概要

ATtiny441/841は10ビット逐次比較A/D変換器(ADC)が特徴です。ADCは12のシングルエンド入力ピンで、48種の差動入力対から、または内部温度感知器、内部基準電圧、アナログGND、供給電源電圧から来るシングルエンド電圧チャネルの4つの内部からの電圧測定をADCに許す16チャネルのアナログ多重器に配線されます。電圧入力には0V(GND)が基準です。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図20-1で示されます。

公称1.1V、2.2V、4Vの内部基準電圧がチップ上で提供されます。代わりにシングル エント[®] チャネルに対する基準電圧としてVCCを使うことができます。

図20-1. A/D変換器部構成図



20.3. 操作

A/D変換部を使えるようにするため、ADC電力削減(PRADC)ビットが禁止されなければなりません。これは電力削減レジスタ(PRR)のPRADCビットを解除することによって行われます。より多くの詳細については26頁の「PRR – 電力削減レジスタ」をご覧ください。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部が電力を消費しないので、節電をする休止動作形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値は基準電圧を表します。A/D変換器基準電圧はA/D多重器選択レジスタB(ADMUXB)の基準電圧選択(REFS)ビット書き込みによって選択されます。

アナログ入力チャネルはA/D多重器選択レジスタA(ADMUXA)のチャネル選択(MUX5~0)ビットへの書き込みによって選択されます。GNDと固定基準電圧(1.1V内蔵基準電圧(VBG))だけでなく、どのADC入力ピンもA/D変換器のシングルエンド入力として選択できます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADCSRBで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHだけを読むことで足ります。さもないとデータレジスタの内容が同じ変換に属すること(からの結果)を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

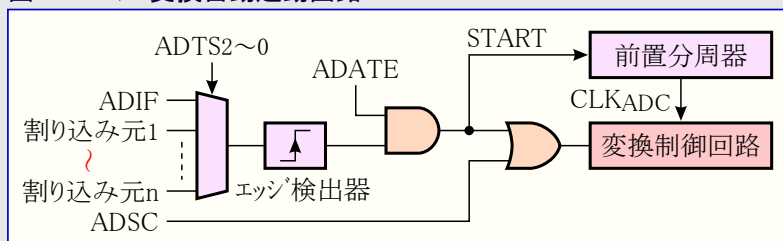
A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

20.4. 変換の開始

電力削減レジスタ(PRR)のA/D変換電力削減(PRADC)ビットを解除(0)することによってADCが給電されることを保証してください(26頁の「PRR – 電力削減レジスタ」をご覧ください)。単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り1に留まり、変換が完了される時にハードウェアによって解除(0)されます。変換が進行中に違う入力チャネルが選択されると、A/D変換部はそのチャネル変更を実行する前に現在の変換を済ませます。

代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選択されます(起動元の一覧についてはADTSビットの記述をご覧ください)。選択した起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットして変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合、新規の変換は開始されません。変換中にこの起動信号上で別の上昇端が起きると、そのエッジは無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(1)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

図20-2. A/D変換自動起動回路



起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためにA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタ更新を行います。最初の変換はADCSRAでADSCビットに論理1を書くことによって始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかに関らず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを決めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読めます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については137頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

20.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。1MHzよりも高い入力クロック周波数の使用は推奨されません。

図20-3.で図解されるように、A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周器はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を維持し、ADENが0の時は継続的にリセットします。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は次ページの表20-1.で要約されるように、15変換クロック周期で行われます。

下の図20-4.で示されるように、A/D変換部がONされる(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために26変換クロック周期で行われます。

図20-3. A/D変換前置分周器部構成

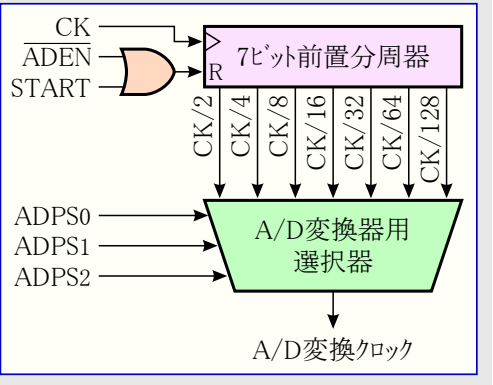
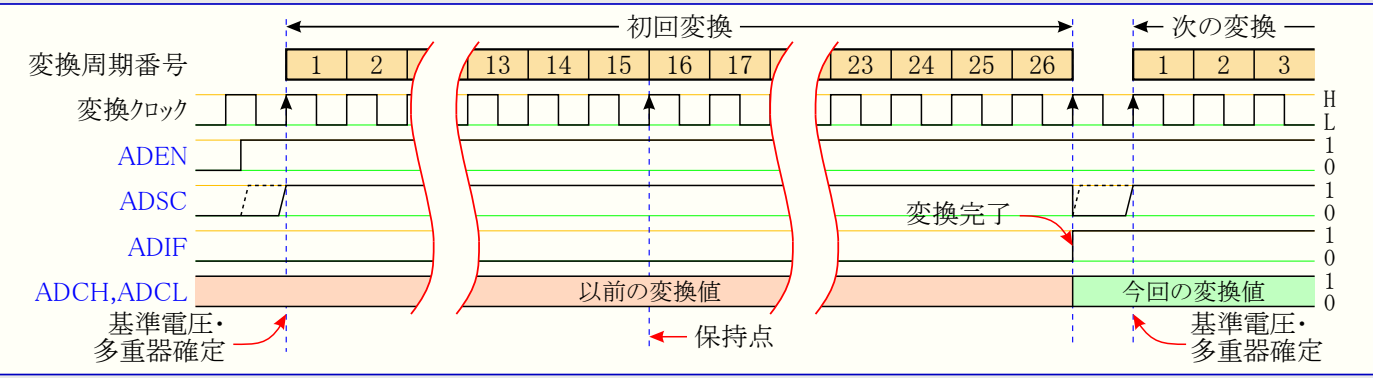
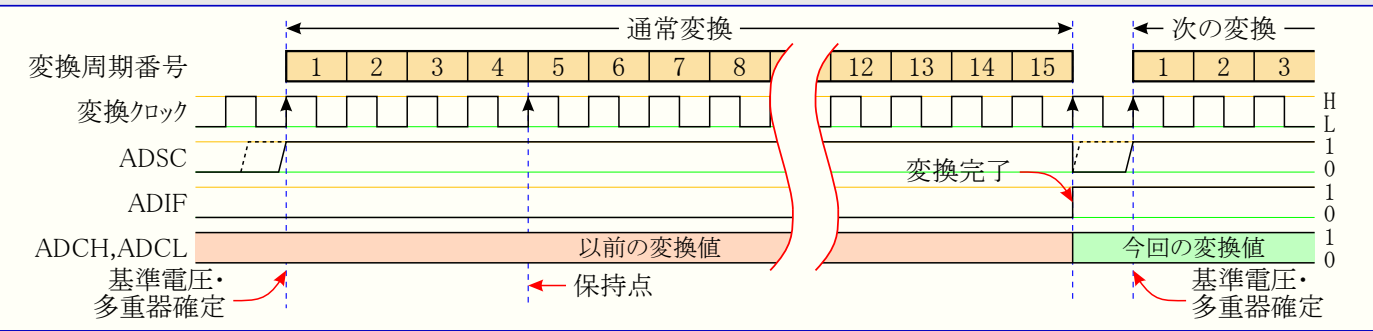


図20-4. 初回変換タイミング (単独変換動作)



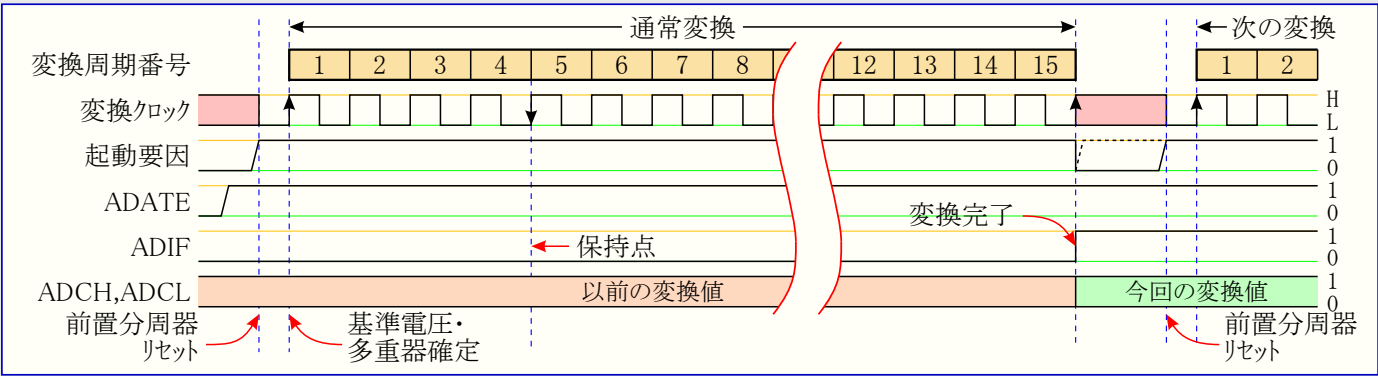
実際の採取&保持(保持開始点)は通常変換の開始後4変換クロック周期、初回変換の開始後15変換クロック周期で行われます。図20-5.をご覧ください。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図20-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、下の図20-6.で示されるように前置分周器は起動要因発生時にリセットされます。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、4.5変換クロック周期で採取が行われます。同期化論理回路(エッジ検出器)に対して追加の2CPUクロック周期が費やされます。

図20-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります。図20-7.をご覧ください。変換時間の要約については表20-1.をご覧ください。

図20-7. 連続変換動作タイミング

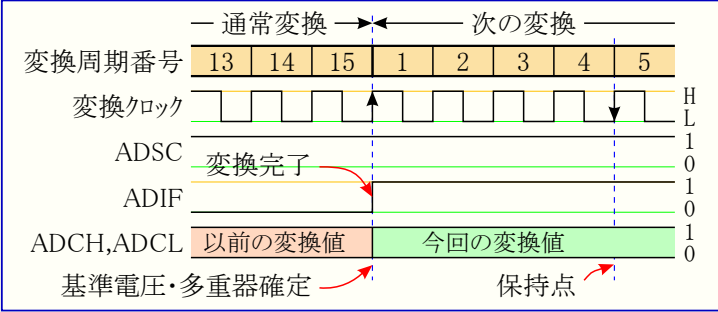


表20-1. A/D変換時間

変換種別	保持点	変換時間
初回変換 (注)	15	26
通常変換	4	15
自動起動変換	4.5	15.5
連続変換	4	15

注: 利得増幅器活動時、チャネル、基準電圧、利得設定の変更後の初回変換も含みます。

20.6. チャネル、利得、基準電圧の変更

A/D多重器選択レジスタA(ADMUXA)のチャネル選択(MUXn)ビットとA/D多重器選択レジスタB(ADMUXB)の基準電圧選択(REFSn)と利得選択(GSELn)ビットはCPUが不規則にアクセスするための一時レジスタを通して単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)後に再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値を書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADMUXAとADMUXBの更新時に特別な注意が被われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でレジスタが変更されると、使用者は次の変換が旧設定または新設定どちらを基準にされるかを知ることができません。レジスタは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

新しい設定は次のA/D変換に影響を及ぼします。

20.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選択されるのを保証するために次の指針を守るべきです。

- 単独変換動作では常に変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。
- 連続変換動作では常に最初の変換を始める前にチャネルを選択してください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

20.6.2. A/D変換基準電圧

このA/D変換基準電圧(VREF)はA/D変換に対する変換範囲を示します。VREFを越えるシングル エント'入力チャネルは\$3FFで打ち切る符号に帰着します。VREFはVCC、内部基準電圧、外部基準電圧ピンから選ぶことができます。内部基準電圧は1.1V, 2.2V, 4Vに設定することができ、内部基準電圧は内部増幅器を通して内部バンドギャップ基準電圧(VBG)から生成されます。

基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれませんが、使用者はこの結果を破棄することが推奨されます。

20.7. 雑音低減機能

A/D変換部は**休止動作**中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺I/Oが誘導した雑音を減らします。この機能は**A/D変換雑音低減動作**と**アイドル動作**で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可(ADEN=1)され、変換中でない(ADSC=0)ことを確認してください。単独変換動作が選択(ADATE=0)され、且つA/D変換完了割り込みが許可(ADIE=1)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起これなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止動作へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止動作へ移行する前にADENへ**0**を書くことが推奨されます。

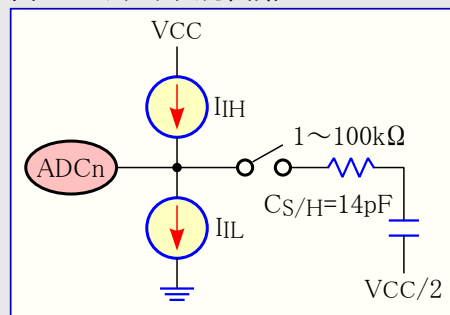
20.8. アナログ入力回路

シングル エント'入力チャネルのアナログ回路は**図20-8**で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選択されているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選択されると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

A/D変換部は概ね10kΩ若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する信号を持つ低インピーダンス信号源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に、低域通過濾波器(ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図20-8. アナログ入力回路



注: 図内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

20.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要な時は次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分分離することを守ってください。
- 何れかのADCポート ピンがデジタル出力として使われる場合に、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くに、パスコンを配置してください。

高いA/D変換精度が必要とされる時は「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステム クロック周波数が1MHz以上、または「**温度測定**」で記述されるようにA/D変換が内部温度感知器読み込みに使われる場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

20.10. A/D変換の精度定義

シングル エント 入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値コードは0として読み、最高値コードは 2^n-1 として読みます。以下の各種パラメータは理想状態からの偏差を表します。

● オフセット誤差 - 図20-9.

最初の遷移点(\$000から\$001)に於いて理想遷移点(差0.5 LSB)と比較した偏差です。理想値は0LSBです。

● 利得誤差 - 図20-10.

オフセット誤差補正後の最後の遷移点(\$3FEから\$3FF)に於いて理想遷移点(最大差1.5LSB以下)と比較した偏差です。理想値は0LSBです。

● 積分非直線性誤差 (INL) - 図20-11.

オフセット誤差と利得誤差補正後の全ての遷移点に於いて理想遷移点と比較した最大偏差です。理想値は0LSBです。

● 微分非直線性誤差 (DNL) - 図20-12.

実際のコードの幅(隣接する2つの遷移点間)に於いて理想コード幅(1LSB)と比較した最大偏差です。理想値は0LSBです。

● 量子化誤差

有限数のコードで入力電圧を量子化するため、1LSB幅となる入力電圧範囲は同じ値のコードになります。この値は常に ± 0.5 LSBです。

● 絶対精度

補正しない全ての遷移点に於いて理想遷移点と比較した最大偏差です。これは、オフセット誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。

図20-9. オフセット誤差

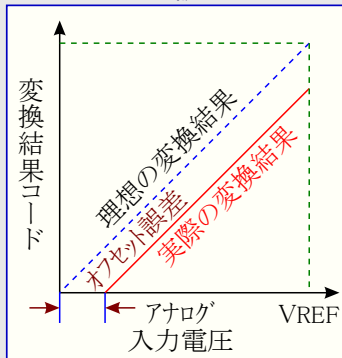


図20-10. 利得誤差

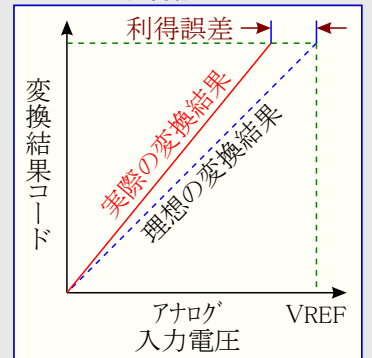


図20-11. 積分非直線性誤差

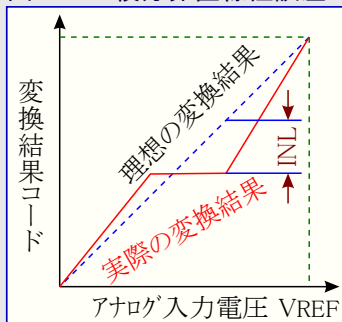
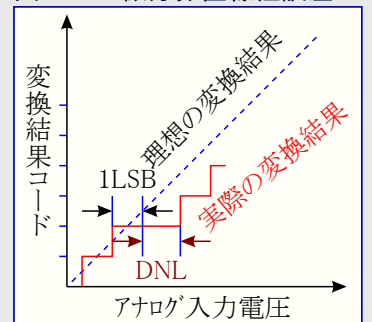


図20-12. 微分非直線性誤差



20.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。変換結果の形式は変換型式に依存します。

20.11.1. シングル エント 変換

シングル エント 入力変換に関する結果は次のとおりです。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

ここでの V_{IN} は選択した入力ピンの電圧で、 V_{REF} は選択した基準電圧です。\$000はアナログGNDを表し、\$3FFは選択した基準電圧-1LSBを表します。結果は0(\$000)~1023(\$3FF)の片側形式で表されます。

20.11.2. 差動変換

差動入力動作では2つの側の電圧差が許され、故に反転入力ピンの電圧は非反転入力ピンの電圧よりも大きくすることもできます。差動入力動作での結果は次のとおりです。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

ここでの V_{POS} は非反転入力ピンの電圧、 V_{NEG} は反転入力ピンの電圧、 $GAIN$ は選択した倍率、 V_{REF} は選択した基準電圧です。結果は-512 (\$200)から0(\$000)を通して+511(\$1FF)までの2の補数形式で表されます。 $GAIN$ は1,,20,100倍の何れかです。

測定信号が本質動作(10ビットとして符号+9ビット)による両極でない場合、この変換の方法は変換器の機能範囲(ダイナミックレンジ)の1ビットを失います。

20.12. 温度測定

温度測定はシングル エンド ADCチャネルに連結されるチップ上の温度感知器に基づきます。140頁の表20-3をご覧ください。

温度感知器測定でのADC基準電圧供給元に内部1.1V基準電圧も選択されなければなりません。温度感知器が許可されると、A/D変換器は温度感知器上の電圧を測定するのに単独変換動作(ADATE=0)で使うことができます。

測定した電圧は表20-2.で記載されるように温度に対して直線関係を持ちます。感度は概ね1LSB/℃で、精度は使用者校正の方法に依存します。代表的に、室温校正との仮定で、1点温度校正後の測定精度は±10℃です。より良い精度は校正に対して2つの温度点を使うことで達せられます。

表20-2. 温度対感知器出力電圧 (代表値)

温度(℃)	-40℃	+25℃	+85℃
A/D変換値(LSB)	235	300	360

表20-2.で記載した値は代表値です。けれども、製法変化のため、温度感知器の出力電圧は或るチップと別のチップで変わります。より正確な結果を達成するため、温度測定は応用ソフトウェアで校正することができます。校正ソフトウェアは次式を使って行なうことができます。

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでのADCH:ADCLはA/D変換器データレジスタ、 k は固定傾斜係数、 T_{OS} は温度感知器変位(オフセット)値です。代表的に係数 k は1.0に大変近く、1点校正ではこの係数を省略できるかもしれません。より高い精度が必要とされる処では、2つの温度での測定に基づいて傾斜計数が評価されるべきです。

20.13. A/D変換用レジスタ

20.13.1. ADMUXA – A/D多重器選択レジスタA (ADC Multiplexer Select Register A)

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	–	–	MUX5	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUXA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット5～0 – MUX5～0 : A/Dチャネル選択 (Analog Channel Selectin Bits)

これらのビットはどのアナログ入力A/D変換器に接続されるかを選びます。表20-3をご覧ください。

MUX5～0	シングル エント 入力	MUX5～0	差動入力		MUX5～0	差動入力		MUX5～0	差動入力	
			非反転	反転		非反転	反転		非反転	反転
00 0000	ADC0 (PA0)	01 0000	ADC0	ADC1	10 0001	ADC0	ADC0	11 0000	ADC1	ADC0
00 0001	ADC1 (PA1)	01 0001	ADC0	ADC3	10 0001	ADC1	ADC1	11 0001	ADC3	ADC0
00 0010	ADC2 (PA2)	01 0010	ADC1	ADC2	10 0010	ADC2	ADC2	11 0010	ADC2	ADC1
00 0011	ADC3 (PA3)	01 0011	ADC1	ADC3	10 0011	ADC3	ADC3	11 0011	ADC3	ADC1
00 0100	ADC4 (PA4)	01 0100	ADC2	ADC3	10 0100	ADC4	ADC4	11 0100	ADC3	ADC2
00 0101	ADC5 (PA5)	01 0101	ADC3	ADC4	10 0101	ADC5	ADC5	11 0101	ADC4	ADC3
00 0110	ADC6 (PA6)	01 0110	ADC3	ADC5	10 0110	ADC6	ADC6	11 0110	ADC5	ADC3
00 0111	ADC7 (PA7)	01 0111	ADC3	ADC6	10 0111	ADC7	ADC7	11 0111	ADC6	ADC3
00 1000	ADC8 (PB2)	01 1000	ADC3	ADC7	10 1000	ADC8	ADC8	11 1000	ADC7	ADC3
00 1001	ADC9 (PB3)	01 1001	ADC4	ADC5	10 1001	ADC9	ADC9	11 1001	ADC5	ADC4
00 1010	ADC10 (PB1)	01 1010	ADC4	ADC6	10 1010	ADC10	ADC8	11 1010	ADC6	ADC4
00 1011	ADC11 (PB0)	01 1011	ADC4	ADC7	10 1011	ADC10	ADC9	11 1011	ADC7	ADC4
00 1100	温度感知器 (注1)	01 1100	ADC5	ADC6	10 1100	ADC11	ADC8	11 1100	ADC6	ADC5
00 1101	内部1.1V基準電圧 (注2)	01 1101	ADC5	ADC7	10 1101	ADC11	ADC9	11 1101	ADC7	ADC5
00 1110	0V(GND)	01 1110	ADC6	ADC7	10 1110	–	–	11 1110	ADC7	ADC6
00 1111	VCC	01 1111	ADC8	ADC9	10 1111	–	–	11 1111	ADC9	ADC8

- 注1: 139頁の「温度測定」をご覧ください。
- 注2: 内部基準電圧切り替え後、A/D変換器は測定が安定するのに先立って1msの安定時間が必要です。これに先立つ変換開始は信頼できないかもしれません。A/D変換器はこの安定時間中に許可されなければなりません。

これらのビットが変換中に変更される場合、その変更はこの変換が完了する(ADCSRAのADIF=1)まで実施しません。

20.13.2. ADMUXB – A/D多重器選択レジスタB (ADC Multiplexer Select Register B)

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	REFS2	REFS1	REFS0	–	–	–	GSEL1	GSEL0	ADMUXB
Read/Write	R/W	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～5 – REFS2～0 : 基準電圧選択 (Reference Selection Bits)

これらのビットは表20-4.で示されるようにA/D変換器の基準電圧を選びます。

REFS2～0	基準電圧	AREFピン
0 0 0	VCC	切断
0 0 1	内部1.1V基準電圧	
0 1 0	内部2.2V基準電圧	
0 1 1	内部4.096V基準電圧	接続
1 0 0	AREFピン (内部基準電圧OFF)	
1 0 1	内部1.1V基準電圧	
1 1 0	内部2.2V基準電圧	
1 1 1	内部4.096V基準電圧	ピンに接続された外部パスコンと共に接続

これらのビットが変換中に変更される場合、その変更はこの変換が完了する(ADCSRAのADIF=1)まで実施しません。

●ビット4~2 - Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0を読みます。

●ビット1,0 - GSEL1,0 : 利得選択 (Gain Selection)

これらのビットは表20-5.で示されるように差動入力に対する利得を設定します。

表20-5. 利得選択

GSEL1	GSEL0	利得
0	0	1倍
0	1	20倍
1	0	100倍
1	1	(予約)

20.13.3. ADCSRA - A/D制御/状態レジスタ (ADC Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$05 (\$25)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 - ADEN : A/D許可 (ADC Enable)

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFにされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

●ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の15に代わって26変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。

ADSCは変換が進行中である限り1として読めます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

●ビット5 - ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選択した起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビット設定によって選択されます。

●ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了してA/Dデータレジスタが更新される時にこのフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIF)ビットが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード-モディファイライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

●ビット3 - ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性に(許可)されます。このビットが解除(0)されると、この割り込みは禁止されます(訳注: 共通性のため本行追加)。

●ビット2~0 - ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはXTAL(システム)周波数とA/D変換部への入力クロック間の分周値を決めます。

表20-6. A/D変換器前置分周器選択

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
分周係数	2	2	4	8	16	32	64	128

20.13.4. ADCSRB – A/D変換 制御/状態レジスタB (ADC Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	–	–	–	–	ADLAR	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – Res : 予約 (Reserved Bits)

これらは予約ビットです。将来のデバイスとの共通性のため、常にこれらのビットへ0を書いてください。

● ビット3 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書き込んでください。さもないと結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については「A/Dデータレジスタ」をご覧ください。

● ビット2～0 – ADTS2～0 : A/D変換自動起動元選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビット値はどの起動元がA/D変換を起動するのかわを選択します。ADATEが解除(0)されると、ADTS2～0設定は無効です。変換は選択した割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが起動信号上に上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2～0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表20-7. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元	ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作	1	0	0	タイマ/カウンタ0溢れ
0	0	1	アナログ比較器	1	0	1	タイマ/カウンタ1比較A一致
0	1	0	外部割り込み要求0	1	1	0	タイマ/カウンタ1溢れ
0	1	1	タイマ/カウンタ0比較A一致	1	1	1	タイマ/カウンタ1捕獲要求

20.13.5. ADCH,ADCL – A/Dデータレジスタ (ADC Data Register)

ADLAR=0時								
ビット	15	14	13	12	11	10	9	8
\$07 (\$27)	–	–	–	–	–	–	ADC9	ADC8
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ビット	7	6	5	4	3	2	1	0
\$06 (\$26)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Read/Write	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0
ADLAR=1時								
15	14	13	12	11	10	9	8	
ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
7	6	5	4	3	2	1	0	
ADC1	ADC0	–	–	–	–	–	–	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃えで且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもないとADCLが先に、その後にADCHが読まれなければなりません。

A/D変換制御/状態レジスタB(ADCSRB)の左揃え選択(ADLAR)ビットとA/D多重器選択レジスタA(ADMUXA)のA/Dチャネル選択(MUX5～0)ビットは、このレジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えにされます。ADLARが解除(0)されると(既定)、結果は右揃えにされます。

● ADC9～0 : A/D変換結果 (ADC Conversion result)

これらのビットは138頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

20.13.6. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット (\$60)	7	6	5	4	3	2	1	0	
	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – ADC7D～ADC0D : ADC7～0デジタル入力禁止 (ADC7～0 Digital Input Disable)

アナログ信号がADCnに印加され、そのピンのデジタル入力が必要ない時に、消費電力を減らすためにADCnDビットが設定(1)されるべきです。ADCnDビット設定(1)は対応する(ADCn)ピンのデジタル入力緩衝部を禁止します。ADCnDが設定(1)されると、対応するポート入力レジスタのビット(PINxn)は常に0を読みます。

20.13.7. DIDR1 – デジタル入力禁止レジスタ1 (Digital Input Disable Register 1)

ビット (\$61)	7	6	5	4	3	2	1	0	
	–	–	–	–	ADC9D	ADC8D	ADC10D	ADC11D	DIDR1
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～4 – Res : 予約 (Reserved Bits)

これらはビットは予約されており、常に0を読みます。

● ビット3～0 – ADC11D～ADC8D : ADC11～8 デジタル入力禁止 (ADC11～8 Digital Input Disable)

アナログ信号がADCnに印加され、そのピンのデジタル入力が必要ない時に、消費電力を減らすためにADCnDビットが設定(1)されるべきです。ADCnDビット設定(1)は対応する(ADCn)ピンのデジタル入力緩衝部を禁止します。ADCnDが設定(1)されると、対応するポート入力レジスタのビット(PINxn)は常に0を読みます。

21. デバッグWIRE 内蔵デバッグ システム

21.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリック デバッグ支援 (アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレークポイント:ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

21.2. 概要

デバッグWIRE内蔵デバッグ システムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

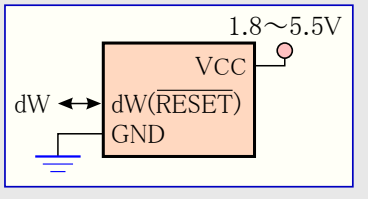
21.3. 物理インターフェース

デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図21-1.はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選択したクロック元です。

デバッグWIREが使われるシステムの設計時、正しい動作のために次の注意点が厳守されなければなりません。

図21-1. デバッグWIRE構成図



- dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもこのプルアップ抵抗は任意です。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

21.4. ソフトウェア中断点 (ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続されるとき、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度毎に再書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

21.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタをアクセスする間、注意が疎われなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

デバッグWIREインターフェースはデバッグがシステムクロックに同期する必要があることを意味する、非同期です。システムクロックがソフトウェア(例えばCLKPSビット書き込み)によって変更されると、デバッグWIRE経由通信は失敗するかもしれません。また、100kHz未満のクロック周波数は通信問題を引き起こすかもしれません。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

21.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使うレジスタを記述します。

21.6.1. DWDR – デバッグWIRE データレジスタ (debugWIRE Data Register)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

22. 自己プログラミング

22.1. 特徴

- 自己プログラミングはMCUに应用メモリの消去、書き込み、再書き込みを許します。
- 効率的な読み-変更-書き支援
- 施錠ビットは应用メモリに更なるアクセスに対する閉鎖保護を許します。

22.2. 概要

デバイスはMCU自身によってプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはプログラムメモリ内にコードを書いてコードを読むのに利用可能などんなインターフェースと関連規約も使うことができます。

22.3. 施錠ビット

プログラムメモリは内部または外部のアクセスから保護することができます。149頁の「施錠ビット」をご覧ください。

22.4. フラッシュメモリの自己プログラミング

プログラムメモリはページ単位形式で更新されます。一時ページ緩衝部へ格納したデータでページを書く前にそのページは消去されなければなりません。一時ページ緩衝部はSPM命令を用いて一度に1語(ワード)ずつ満たされ、この緩衝部は4ページ消去命令前、または4ページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (4ページ消去前の緩衝部格納)

1. 一時ページ緩衝部を満たしてください。
2. 4ページ消去を実行してください。
3. ページ書き込みを実行してください。

手段2 (4ページ消去後の緩衝部格納)

1. 4ページ消去を実行してください。
2. 一時ページ緩衝部を満たしてください。
3. ページ書き込みを実行してください。

4ページ消去命令は同時に4つのプログラムメモリページを消去します。この区分の1部だけが変更を必要とされる場合、残りは消去前に格納されてその後に再書き込みされなければなりません。

一時ページ緩衝部は乱手順でアクセスできます。

SPM命令は既定で禁止ですが、SELFPRGENヒューズを(0に)プログラミングすることで許可することができます。

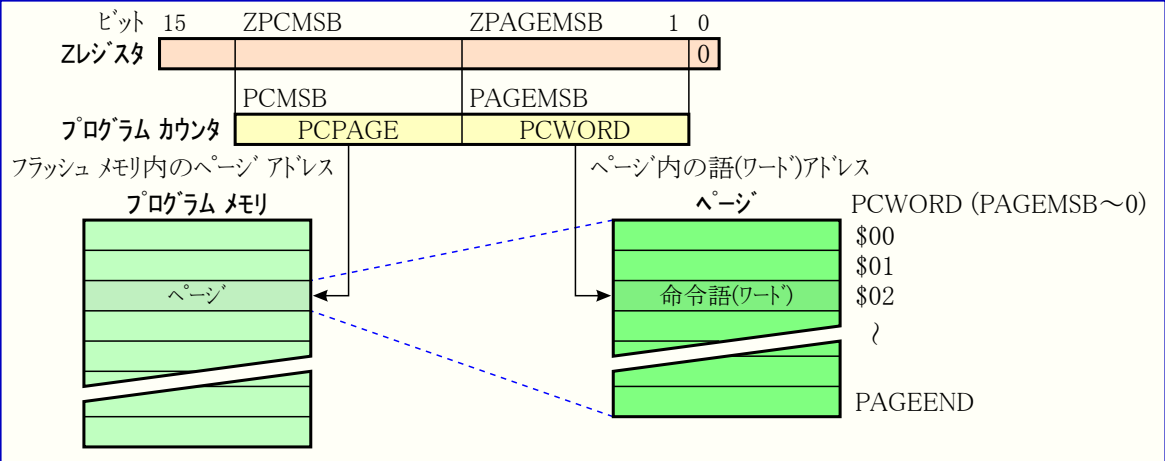
22.4.1. 自己プログラミング中のフラッシュメモリのアドレス指定

Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

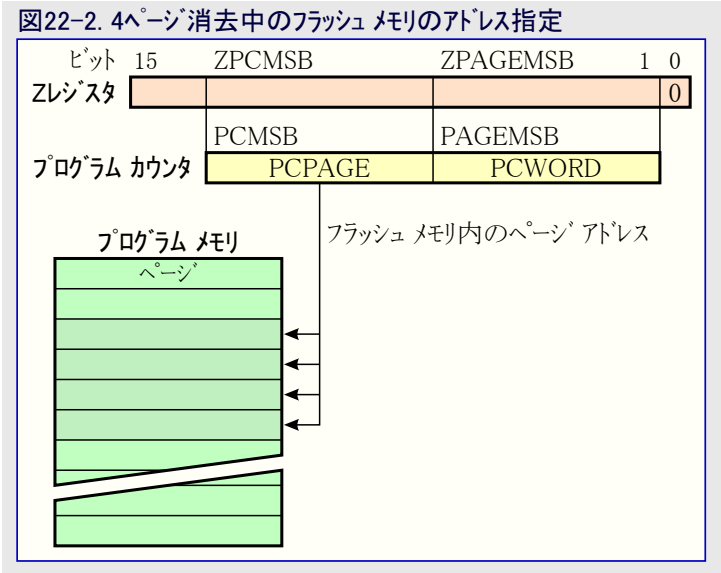
ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(154頁の表24-1.をご覧ください。)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つように取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは下の図22-1.で示されます。

図22-1. SPM操作中のフラッシュメモリのアドレス指定



4ページ消去命令は下の図22-2.で示されるように、別々のプログラム メモリ ページをアドレス指定します。



上図で使われる変数は下の表22-1.で説明されます。

変数	説明
PCPAGE	プログラム カウンタ ページ アドレス。ページ設定とページ書き込みの命令に対するプログラム メモリ ページを選びます。4ページ消去操作に対するプログラム メモリの塊を選びます。 154頁の表24-1.をご覧ください。
PCMSB	プログラム カウンタの最上位ビット。 154頁の表24-1.をご覧ください。
ZPCMSB	PCMSBに割り当てられるZレジスタ内のビット。Z0が使われないため、ZPCMSB=PCMSB+1。ZPCMSBを超えるZレジスタのビットは無視されます。
PCWORD	プログラム カウンタ語(ワード) アドレス。ページ内の語を選びます。これは一時緩衝部を満たすのに使われ、ページ書き込み操作中は0でなければなりません。 154頁の表24-1.をご覧ください。
PAGESMSB	ページ内の語をアドレス指定するのに使われる最上位ビット。
ZPAGESMSB	PAGESMSBに割り当てられるZレジスタ内のビット。Z0が使われないため、ZPAGESMSB=PAGESMSB+1。

4ページ消去とページ書き込みの操作が独立してメモリをアドレス指定することに注意してください。従ってソフトウェアは4ページ消去命令によって先に消去されたページをページ書き込み命令がアドレス指定するのを確実にしなければなりません。

SPM命令に対してZレジスタの最下位ビット(Z0)が0にされるべきとは言え、LPM命令がフラッシュ メモリをバイト単位でアドレス指定し、Z0をバイト選択ビットとして使うことに注意すべきです。

一旦プログラミング操作が開始されると、アドレスはラッチされ、Zポインタは他の操作に使うことができます。

22.4.2. 4ページ消去

この命令はプログラム メモリの4ページを消去します。4ページ消去を実行するのは次のとおりです。

- Zポインタにアドレスを設定してください。
- SPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書いてください。
- SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。

R1とR0のデータは無視されます。ページ アドレスはZレジスタのPCPAGEに書かれなければなりません。PCPAGE1,0はZポインタの他の無効ビットのように無視されます。

上の時間制限手順中に割り込みが起こる場合に4周期アクセスを保証することができません。非分断操作を保証するためにSPMCSR書き込み前に割り込みが禁止されるべきです。

4ページ消去中にCPUは停止されます。

22.4.3. ページ設定

命令語(ワート)を書くのは次のとおりです。

- Zポインタにアドレスを設定してください。
- R1:R0にデータを設定してください。
- SPM命令制御/状態レジスタ(SPMCSR)に'00000001'を書いてください。
- SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。

ZレジスタでのPCWORDの内容は一時緩衝部内のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRの一時ページ緩衝部解除(CTPB)ビット(=1)書き込みによって自動消去されます。システムリセット後も消去されます。

一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれる場合、設定した全てのデータが失われます。

22.4.4. ページ書き込み

ページ書き込み実行するのは次のとおりです。

- Zポインタにアドレスを設定してください。
- SPMCSRに'00000101'を書いてください。
- SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。

R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは0を書かれなければなりません。

ページ書き込み操作中にCPUは停止されます。

22.4.5. EEPROMプログラミング時にSPMCSR書き込み不可

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中に妨げられます。使用者はEEPROM制御レジスタ(EECR)のEEPROMプログラミング許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットが解除(0)されているのを確認することが推奨されます。

22.5. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違って実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

22.6. SPM命令使用時のフラッシュメモリ用プログラミング時間

フラッシュメモリアクセスは内部の校正付き8MHz発振器を用いて計時されます。CPUに対する代表的なフラッシュメモリプログラミング時間は表22-2.で示されます。

表22-2. SPMプログラミング時間

操作	最小 (注)	最大 (注)
SPM : フラッシュ 4ページ消去、フラッシュ ページ書き込み、施錠ビット書き込み	3.7ms	4.5ms

注: 最小と最大のプログラミング時間は(項目の)個別操作毎に対してです。

22.7. 自己プログラミング用レジスタ

22.7.1. SPMCSR – SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register)

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	–	–	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読みます。

● ビット5 – RSIG : デバイス識別票銘刻読み込み (Read Device Signature Imprint Table)

SPMCSRでRSIGとSPMENが設定(1)された後の3クロック周期内のLPM命令実行はデバイス識別票銘刻部から(Zポインタ値に依存する)選択したデータを転送先レジスタ内に返します。詳細については150頁の「デバイス識別票銘刻部」をご覧ください。

● ビット4 – CTPB : 一時ページ緩衝部解除 (Clear Temporary Page Buffer)

一時ページ緩衝部を満たしている間にCTPBビットが1を書かれると、一時ページ緩衝部は解除され、データが失われます。

● ビット3 – RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0に依存して)ヒューズビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については151頁の「ソフトウェアからのヒューズ、施錠、識別票データの読み出し」をご覧ください。

● ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページアドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動解除(0)されます。ページ全体の書き込み動作の間、CPUは停止されます。

● ビット1 – PGERS : ページ消去 (Page Erase)

PGERSとSPMENの4クロック周期内のSPM命令は4ページ消去の開始に設定します。ページアドレスはZポインタの上位部から取られます。R1とR0のデータは無視されます。このビットは4ページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動解除(0)されます。4ページ消去操作全体の間、CPUは停止されます。

● ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間、SPM命令を許可します。このビットがRSIG,CTPB,RFLB,PGWRT,PGERSのどれかと共に1に設定されると、別のところで記述されるように続くSPM命令は特別な意味を持ちます。

SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動解除(0)されます。4ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

23. 施錠ビット、ヒューズビット、デバイス識別票

23.1. 施錠ビット

ATtiny441/841は表23-1.で一覧にされるプログラムとデータのメモリ施錠ビットを提供します。

表23-1. 施錠ビット バイト

名称	ビット番号	説明	参照	既定値 (注)
–	7			1 (非プログラム)
–	6			1 (非プログラム)
–	5			1 (非プログラム)
–	4			1 (非プログラム)
–	3			1 (非プログラム)
–	2			1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	下	1 (非プログラム)
LB1	0			1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

施錠ビットは非プログラム(1)のままにする、または表23-2.で一覧される付加機能を得るためにプログラム(0)にすることができます。

表23-2. 施錠ビット保護形態

メモリ施錠ビット			保護形態
種別番号	LB2 (注1)	LB1 (注1)	直列またはデバックWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は全く許可されません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注2)
–	0	1	(予約)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注2)

注1: 0はプログラム、1は非プログラムを意味します。

注2: 施錠ビットを書く前にヒューズビットを書いてください

施錠ビットをプログラミングする時に、保護形態は増加することだけができます。同じまたはより低い保護形態の書き込みは自動的に最大保護に帰着します。

施錠ビットはチップ消去指令でだけ'1'に消去することができます。

ATtiny441/841は独立したブートローダー領域を持ちません。自己プログラミング許可(SELFPRGEN)ヒューズがプログラム(0)される場合にSPM命令はフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

23.2. ヒューズビット

ヒューズビットは表23-3.、表23-4.、表23-5.で記述されます。プログラムされたヒューズが0として読まれることに注意してください。

表23-3. 拡張ヒューズ バイト

名称	ビット	使用	参照	既定値
ULPOSCSEL2	7	内部超低電力(ULP)発振器に対する周波数選択		1 (非プログラム)
ULPOSCSEL1	6		18頁	1 (非プログラム)
ULPOSCSEL0	5			1 (非プログラム)
BODPD1	4	デバイスがアイドル以外の休止動作形態の時の低電圧検出(BOD)動作形態を設定	29頁	1 (非プログラム)
BODPD0	3			1 (非プログラム)
BODACT1	2	デバイスが活動またはアイドル動作時の低電圧検出(BOD)動作形態を設定	29頁	1 (非プログラム)
BODACT0	1			1 (非プログラム)
SELFPRGEN	0	SPM命令を許可	145頁	1 (非プログラム)

表23-4. ヒューズ 上位バイト

名称	ビット	使用	参照	既定値
RSTDISBL	7	外部リセットを禁止 (注1)	29 頁	1 (非プログラム)
DWEN	6	デバッグ WIRE を許可 (注1)	144 頁	1 (非プログラム)
SPIEN	5	デバイスへの低電圧直列プログラミングを許可 (注2)		0 (プログラム) (注3)
WDTON	4	ウォッチドッグ タイマを定常的に ON 設定	30 頁	1 (非プログラム)
EESAVE	3	チップ消去操作中にEEPROM内容を保護	159 頁	1 (非プログラム) (注4)
BODLEVEL2	2	低電圧検出(BOD)リセット検出電圧設定	165 頁	1 (非プログラム)
BODLEVEL1	1			1 (非プログラム)
BODLEVEL0	0			1 (非プログラム)

注1: このヒューズ ビットのプログラム(0)はRESETの機能を変更し、低電圧直列インターフェース経由の更なるプログラミングの可能性を放棄します。このヒューズ ビットは高電圧直列プログラミング法を使って非プログラム(1)にすることができます(158 頁をご覧ください)。

注2: このヒューズ ビットは低電圧直列プログラミング形態でアクセスできません。

注3: この設定はSPI(低電圧直列)プログラミングを許可します。

注4: この設定はEEPROMを保護しません。

表23-5. ヒューズ 下位バイト

名称	ビット	使用	参照	既定値
CKDIV8	7	クロックを8分周 (注1)	19 頁	0 (プログラム)
CKOUT	6	ポート ピンでシステム クロックを出力	19 頁	1 (非プログラム)
—	5	—		1 (非プログラム)
SUT	4	システム始動時間を設定	20 頁	0 (プログラム) (注2)
CKSEL3	3	クロック元を選択	17 頁	0 (プログラム) (注3)
CKSEL2	2			0 (プログラム) (注3)
CKSEL1	1			1 (非プログラム) (注3)
CKSEL0	0			0 (プログラム) (注3)

注1: 低電圧でのこのヒューズの非プログラム(1)は過剰クロック駆動に帰着するかもしれません。デバイス速度対供給電圧については164 頁の「速度」項をご覧ください。

注2: この設定は既定クロック元に対する最大始動時間に帰着します。

注3: この設定は校正付き内部8MHz発振器を選択します。

ヒューズ ビットは施錠ビット1(LB1)がプログラム(0)される時に固定されます。従って、ヒューズ ビットは施錠ビットの前にプログラミング(書き込み)されなければなりません。

ヒューズ ビットはチップ消去によって影響を及ぼされません。

23.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値の変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは標準動作形態での電源投入でもラッチされます。

23.3. デバイス識別票銘刻部

デバイス識別票銘刻部はデバイス識別票と発振器校正データのような種々雑多なデバイス情報の格納に使われる専用のメモリ領域です。表 23-6 で略述されるように、このメモリ領域の殆どは内部使用に予約されています。

デバイス自身がLPM命令でデータを読む時にはバイト アドレスが使われます。外部書き込み装置は語(ワード)アドレスを使わなければなりません。

表23-6. デバイス識票銘刻部の内容

語アドレス (外部)	バイトアドレス (内部)	説明
\$00	\$00	(予約)
	\$01	内部8MHz発振器用校正データ (OSCCAL0) (注1)
\$01～\$02	\$02～	(予約)
	～\$05	(予約)
\$03	\$06	(予約)
	\$07	内部32～512kHz発振器用校正データ (OSCCAL1) (注1)
\$04～\$06	\$08～	(予約)
	～\$0D	(予約)
\$07	\$0E	ロット番号第2文字 (注5)
	\$0F	ロット番号第1文字 (注5)
\$08	\$10	ロット番号第4文字 (注5)
	\$11	ロット番号第3文字 (注5)
\$09	\$12	ロット番号第6文字 (注5)
	\$13	ロット番号第5文字 (注5)
\$0A	\$14	(予約)
	\$15	ウェハ番号 (注5)
\$0B	\$16	X座標 (注5)
	\$17	Y座標 (注5)
\$0C～\$15	\$18～	(予約)
	～\$2B	(予約)
\$16	\$2C	温度感知器用校正データ (利得) (注2,3)
	\$2D	温度感知器用校正データ (変位(オフセット)) (注2,4)
\$17～\$3F	\$2E～	(予約)
	～\$7F	(予約)

注1: より多くの情報については下の「校正バイト」をご覧ください。

注2: 139頁の「温度測定」をご覧ください。

注3: 符号なし2の補数固定小数点 [0～(255/128)]

注4: 符号付き2の補数整数 [-127～+128]

注5: ロット番号、ウェハ番号、X/Y座標の組み合わせはデバイスに対する固有の通番を与えます。

23.3.1. 識票バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は低電圧直列と高電圧直列の両プログラミング動作で、またデバイスが施錠されている時も読むことができます。

識票バイトはデバイスファームウェアによって読むこともできます。「ソフトウェアからの施錠、ヒューズ、識票データの読み出し」項をご覧ください。

この3バイトの識票バイトはデバイス識票銘刻部と呼ばれる分離された空間に存在します。ATtiny441/841用の識票バイトは表23-7.で与えられます。

表23-7. デバイス識票バイト

部品番号	識票バイト		
	0	1	2
ATtiny441	\$1E	\$92	\$15
ATtiny841	\$1E	\$93	\$15

23.3.2. 校正バイト

表23-6.で示されるようにATtiny441/841のデバイス識票銘刻部は内部発振器用の校正データを含みます。リセット中、校正付き発振器の正しい周波数を保証するために、校正データが校正レジスタ(OSCCAL0,OSCCAL1)へ自動的に複写されます。22頁の「OSCCAL0 - 発振器校正レジスタ」と22頁の「OSCCAL1 - 発振器校正レジスタ」をご覧ください。

校正バイトはデバイスファームウェアによって読むこともできます。「ソフトウェアからの施錠、ヒューズ、識票データの読み出し」項をご覧ください。

23.4. ソフトウェアからの施錠、ヒューズ、識票データの読み出し

ヒューズと施錠ビットはデバイスファームウェアによって読むことができます。プログラム(0)されたヒューズと施錠ビットは0を、非プログラム(1)にされたものは1として読みます。149頁の「施錠ビット」と149頁の「ヒューズビット」をご覧ください。

加えて、ファームウェアはデバイス識票銘刻部からデータを読むこともできます。150頁の「デバイス識票銘刻部」をご覧ください。

23.4.1. 施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)とSPM操作許可(SPMEN)のビットが設定(1)された後の3CPU周期内でLPM命令が発行された後、転送先レジスタ内に施錠ビット値が返されます。RFLBとSPMENのビットは施錠ビット読み出しの完了で、または3CPU周期内でLPM命令が実行されない、または4CPU周期内でSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSPMENのビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手続きに従ってください。

1. Zポインタに\$0001を格納してください。
2. SPMCSRでRFLBとSPMENのビットを設定(1)してください。
3. 3クロック周期内にLPM命令を発行してください。
4. LPM転送先レジスタから施錠ビット値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

より多くの情報については149頁の「施錠ビット」をご覧ください。

23.4.2. ヒューズビット読み出し

ヒューズビットを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。

ヒューズ下位バイト(FLB)を読むには以下の手続きに従ってください。

1. Zポインタに\$0000を格納してください。
2. SPMCSRでRFLBとSPMENのビットを設定(1)してください。
3. 3クロック周期内にLPM命令を発行してください。
4. LPM転送先レジスタからFLB値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	-	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ下位バイトの詳細記述と配置については150頁の表23-5をご覧ください。

ヒューズ上位バイト(FHB)を読むにはZポインタ内のアドレスを\$0003に置き換え、上の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズ上位バイトの詳細記述と配置については150頁の表23-4をご覧ください。

ヒューズ拡張バイト(FEB)を読むにはZポインタ内のアドレスを\$0002に置き換え、直前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FEB7	FEB6	FEB5	FEB4	FEB3	FEB2	FEB1	FEB0

ヒューズ拡張バイトの詳細記述と配置については149頁の表23-3をご覧ください。

23.4.3. デバイス識別票銘刻部読み出し

デバイス識別票銘刻部の内容を読むには以下の手続きに従ってください。

1. Zポインタに銘刻指示子を格納してください。
2. SPMCSRでデバイス識別票銘刻読み込み(RSIG)とSPM操作許可(SPMEN)のビットを設定(1)してください。
3. 3クロック周期内にLPM命令を発行してください。
4. LPM転送先レジスタから表データ値を読んでください。

成功なら、転送先レジスタの内容は150頁の「デバイス識別票銘刻部」項で記述されたとおりです。

以下のプログラム例をご覧ください。

アセンブリ言語プログラム例

DSIT_read:	LDI	ZH, 0	;表指示子上位バイト値設定
	LDI	ZL, 1	;表指示子下位バイト値設定
	LDI	R17, (1<<RSIG) (1<<SPMEN)	;RSIG,SPMEN= 1 値取得
	OUT	SPMCSR, R17	;RSIG,SPMEN= 1 設定
	LPM	R16, Z	;\$0001位置の識票値取得
	RET		;呼び出し元へ復帰

注: 4頁の「コード例」をご覧ください。

24. 外部プログラミング

本章はATtiny441/841内のフラッシュメモリ、EEPROM、施錠ビット、ヒューズビットの書き込みと検証の方法を記述します。

24.1. メモリの要素

フラッシュメモリの要素は下の表24-1.で要約されます。

表24-1. フラッシュメモリの要素

デバイス	フラッシュ容量	ページ容量	PCWORD (注)	ページ数	PCPAGE (注)	PCMSB (注)
ATtiny441	2K語(4Kバイト)	8語	PC2~0	256	PC10~3	10
ATtiny841	4K語(8Kバイト)	8語	PC2~0	512	PC11~3	11

注: 146頁の表22-1.をご覧ください。

EEPROMの要素は下の表24-2.で要約されます。

表24-2. EEPROMの要素

デバイス	EEPROM容量	ページ容量	PCWORD (注)	ページ数	PCPAGE (注)	EEAMSB
ATtiny441	256バイト	4バイト	EEA1~0	64	EEA7~2	7
ATtiny841	512バイト	4バイト	EEA1~0	128	EEA8~2	8

注: 146頁の表22-1.をご覧ください。

24.2. フラッシュとEEPROM用のプログラミング時間

フラッシュメモリとEEPROMの待ち時間は表24-3.で一覧にされます。

表24-3. ヒューズ、フラッシュ、EEPROMの次位置書き込み前の待ち時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	3.6ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

(訳注)
共通性から
tWD_FUSE
項目を追加

24.3. 低電圧直列プログラミング

フラッシュメモリとEEPROMの両方はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングすることができます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってプログラミング許可命令が初めに実行されることを必要とします。

直列プログラミング信号と接続は右の図24-1.で図解されます。ピン割り当ては表24-4.で一覧にされます。

EEPROMをプログラミングする時に自動消去期間が自動書き込み動作内に組み入れられるので(直列プログラミングのみ)、チップ消去命令を初めに実行する必要がありません。

チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全てのメモリ位置の内容を\$FFにします。

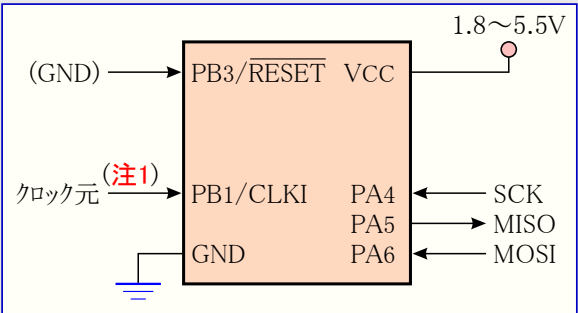
CKSELヒューズによる有効なクロックが与えられなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

- 直列クロックの最小Low区間： $f_{CK} < 12\text{MHz}$ 時に $>2\text{CPUクロック周期}$ 、 $f_{CK} \geq 12\text{MHz}$ 時に 3CPUクロック周期
- 直列クロックの最小High区間： $f_{CK} < 12\text{MHz}$ 時に $>2\text{CPUクロック周期}$ 、 $f_{CK} \geq 12\text{MHz}$ 時に 3CPUクロック周期

24.3.1. ピン配置

ピン割り当ては表24-4.で一覧にされます。全てのデバイスが内部SPIインターフェース用の専用SPIピンを使うとは限らないことに注意してください。

図24-1. 直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、CLKIピンにクロック元を接続する必要はありません。

表24-4. 直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PA6	入力	直列データ入力
MISO	PA5	出力	直列データ出力
SCK	PA4	入力	直列クロック

24.3.2. プログラミング手順

ATtiny441/841への直列データ書き込み時、データはSCKの上昇端でクロック駆動されます。ATtiny441/841からのデータ読み込み時、データはSCKの下降端でクロック駆動されます。タイミングの詳細については168頁の図25-4.と図25-5.をご覧ください。

直列プログラミング動作でのATtiny441/841のプログラミングと照合は次手順が推奨されます(表24-5.の命令一式をご覧ください)。

1. 電源投入手順: RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加してください。
 - いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは正パルスを与えられなければなりません。パルスの幅は最低 $t_{RST} + 2 \times \text{CPUクロック周期}$ でなければなりません。RESETピンの最小パルス幅の定義については165頁の表25-5.をご覧ください。
2. 最低20ms待ち、MOSIピンにプログラミング許可命令を送ることによって直列プログラミングを許可してください。
3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。
 - この戻りが正しいかどうかによらず命令の4バイト全てが送信されなければなりません。
 - \$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。
4. フラッシュメモリは1ページ単位で書かれます。ページ容量は154頁の表24-1.で得られます。このメモリページはページ設定命令と共にアドレスの下位3+1ビットとデータを供給することによって1バイトずつ設定されます。
 - ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。
 - プログラムメモリのページはアドレスの上位8/9ビットを含むページ書き込み命令の設定によって(フラッシュメモリに)格納されます。
 - ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低 t_{WD_FLASH} (表24-3.参照)待たねばなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。
5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。

バイト単位: EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低 t_{WD_EEPROM} (表24-3.参照)待たなければなりません。

ページ単位: EEPROMの1ページはEEPROMページ設定命令と共にアドレスの下位2ビットとデータを供給することによって1バイトずつ設定されます。EEPROMページはアドレスの上位6/7ビットを含むEEPROMページ書き込み命令によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残り位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次ページ(表24-2.参照)を行う前に最低 t_{WD_EEPROM} (表24-3.参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。
6. どのメモリ位置も選択したアドレスの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。
7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。
8. 電源OFF手順(必要とされるならば): RESETをHigh(1)に設定してください。VCC電源をOFFにしてください。

24.3.3. 低電圧直列プログラミング命令一式

表24-5と次頁の図24-2は命令一式を記述します。

表24-5. 低電圧直列プログラミング命令一式

命令	命令形式				備考
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定 (注1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュ ページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュ ページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注: ページ内指示以外のビットは0。
読み出し命令					
フラッシュ メモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュ メモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
施錠ビット読み出し	\$58	\$00	\$00	施錠ビット値	
識別バイト読み出し	\$30	\$00	アドレス	識別バイト	
ヒューズ'下位読み出し	\$50	\$00	\$00	ヒューズ'下位	
ヒューズ'上位読み出し	\$58	\$08	\$00	ヒューズ'上位	
拡張ヒューズ'読み出し	\$50	\$08	\$00	拡張ヒューズ'	
校正バイト読み出し	\$38	\$00	\$00	校正バイト	
書き込み命令					
フラッシュ ページ書き込み (注3)	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMバイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注: ページ指示以外のアドレスビットは0。
施錠ビット書き込み (注4)	\$AC	\$E0	\$00	施錠ビット値	
ヒューズ'下位書き込み (注4)	\$AC	\$A0	\$00	ヒューズ'下位	
ヒューズ'上位書き込み (注4)	\$AC	\$A8	\$00	ヒューズ'上位	
拡張ヒューズ'書き込み (注4)	\$AC	\$A4	\$00	拡張ヒューズ'	

注1: 全命令が全デバイスで利用可能な訳ではありません。

注2: アドレス系バイトについては次頁の表を参照してください。

注3: プログラム用メモリにアクセスする命令は語(ワード)アドレスを使います。このアドレスはページ範囲内で乱順にできます。

注4: 将来との互換性のため、未使用のヒューズ'と施錠ビットは非プログラム(1)にすべきです。

注: ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。

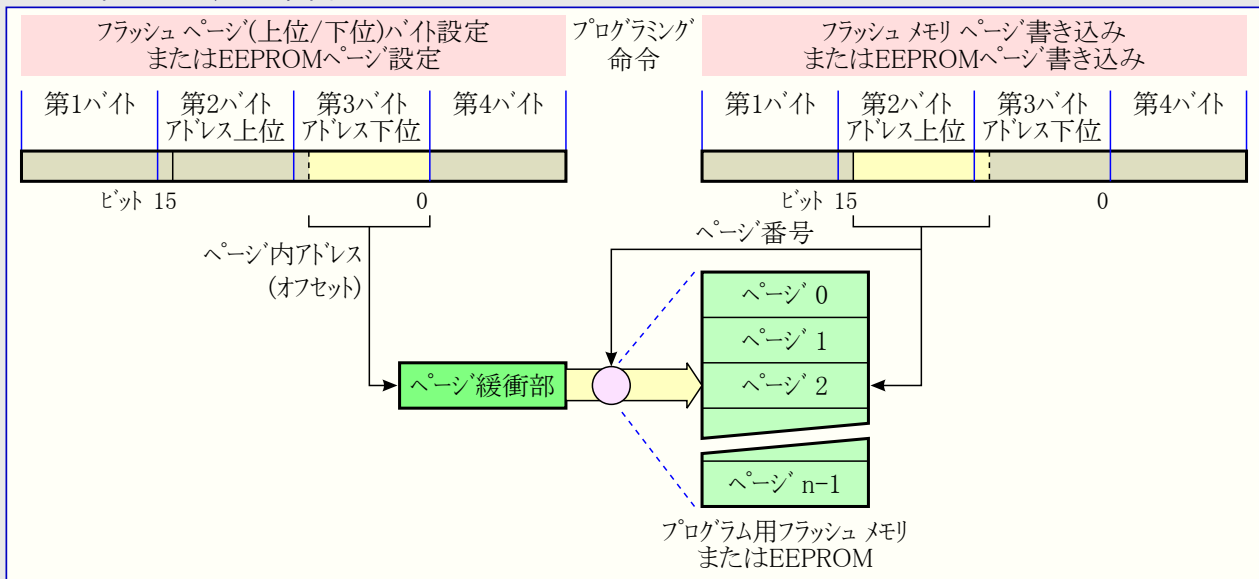
・第4バイトの赤背景はホスト読み込み(デバイス出力)を示します。

多忙/準備可検査バイト データ出力のLSBが1なら、プログラミング操作が未だ保留(動作中)です。次の命令が実行される前に本ビットが0に戻るまで待ってください。

同じページ内で、下位バイト データは上位バイト データに先行して格納されなければなりません。

データがページ緩衝部に格納された後にEEPROMページをプログラムしてください。図24-2をご覧ください。

図24-2. 直列プログラミング命令例



(訳補) フラッシュ メモリ、EEPROM、ページ緩衝部内のアドレス(位置)指定に使われるビットはメモリ容量とページ構成に依存します。ATtiny44 1/841でのこれらの指定方法は次表で要約されます。

表B. アドレス(第2,3バイト)指定法

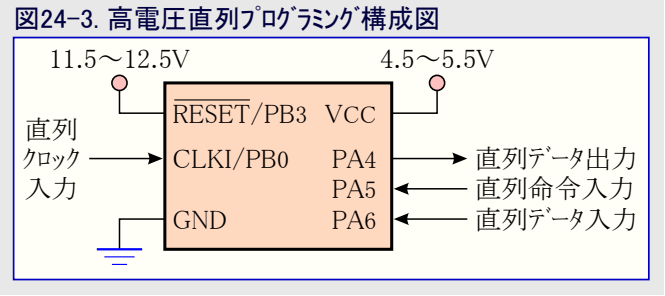
命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュ ページ内バイト設定	0000 0000	0000 0LLL	ATtiny441/841 : L=PC2~0
EEPROMページ内バイト設定	0000 0000	0000 00LL	ATtiny441/841 : L=EEA1~0
フラッシュ メモリ読み出し	0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny441 : H=PC10~8, L=PC7~0 ATtiny841 : H=PC11~8, L=PC7~0
EEPROM読み出し	0000 0000 0000 000H	LLLL LLLL	ATtiny441 : L=EEA7~0 ATtiny841 : H=EEA8, L=EEA7~0
フラッシュ ページ書き込み	0000 0HHH 0000 HHHH	LLLL L000	ATtiny441 : H=PC10~8, L=PC7~3 ATtiny841 : H=PC11~8, L=PC7~3
EEPROMバイト書き込み	0000 0000 0000 000H	LLLL LLLL	ATtiny441 : L=EEA7~0 ATtiny841 : H=EEA8, L=EEA7~0
EEPROMページ書き込み	0000 0000 0000 000H	LLLL LL00	ATtiny441 : L=EEA7~2 ATtiny841 : H=EEA8, L=EEA7~2

24.4. 高電圧直列プログラミング

本項はATtiny441/841でのプログラム用フラッシュメモリ、データ用EEPROM、**施錠ビット**、**ヒューズビット**のプログラミングと照合の方法を記述します。

表24-6. 高電圧直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
SDI	PA6	入力	直列データ入力
SII	PA5	入力	直列命令入力
SDO	PA4	出力	直列データ出力
SCI	PB0	入力	直列クロック入力 (最小周期=220ns)



高電圧直列プログラミング間中の直列クロック入力(SCI)に対する最小周期は220nsです。

表24-7. プログラミング動作移行に使うピン値

ピン名	シンボル	値
PA4	Prog_enable[0]	0
PA5	Prog_enable[1]	0
PA6	Prog_enable[2]	0

24.4.1. 高電圧直列プログラミング手順

高電圧直列プログラミング動作でのATtiny441/841のプログラミングと照合は次の手順が推奨されます(命令形式は表24-9.参照)。次に示す方法がデバイスを高電圧直列プログラミング動作にします。

1. VCCとRESETピンを0V、表24-7.で一覧されるProg_enableピンを全てLow(0)に設定します。
2. VCCとGND間に4.5～5.5Vを印加します。20μs以内にVCCが最低1.8Vに達することを保証してください。
3. RESETに11.5～12.5Vを印加し、20～60μs待ちます。
4. Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog_enableピンを無変化に保ちます。
5. tHVRST経過後、Prog_enable[2]/SDOピンを開放します。
6. SDI/SIIで如何なる直列命令を与える前に少なくとも300μs間待ちます。
7. デバイスの電源を落とすか、RESETピンを0Vに持つてくることによってプログラミング動作を抜けます。

VCCの上昇時間が上で示した必要条件を完全に満たせない場合、次の代替手順が使えます。

1. VCCとRESETピンを0V、表24-7.で一覧されるProg_enableピンを全てLow(0)に設定します。
2. VCCとGND間に4.5～5.5Vを印加します。
3. VCCを監視し、0.9～1.1Vに達したら直ぐ、RESETに11.5～12.5Vを印加します。
4. Prog_enable識別がラッチされてしまうのを確実にするため、高電圧が印加されてしまった後、最低10μs、Prog_enableピンを無変化に保ちます。
5. 他のピン機能での駆動衝突を避けるため、Prog_enable[2]/SDOピンを開放します。
6. SDI/SIIで如何なる直列命令を与える前に、VCCが実際に4.5～5.5Vに達するまで待ちます。
7. デバイスの電源を落とすか、RESETピンを0Vに持つてくることによってプログラミング動作を抜けます。

表24-8. 高電圧リセット特性

供給電圧 (VCC)	RESETピン高電圧閾値電圧 (VHVRST)	プログラミング許可識別ラッチに対する最小高電圧時間 (tHVRST)
4.5V	11.5V	100ns
5.5V	11.5V	100ns

24.4.2. 効率的なプログラミングへの考慮

- 設定した命令とアドレスはプログラミング中、デバイス内で維持されます。効率的なプログラミングを行うために次が考慮されるべきです。
- 複数のメモリ領域を読み書きする時に命令設定は一度だけ必要です。
 - チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
 - アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識別バイト読み出しにも適用されます。

24.4.3. チップ消去

チップ消去はフラッシュメモリ、EEPROM(注1)、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

1. チップ消去命令を設定します(表24-9をご覧ください)。
2. チップ消去終了に対してSDOがHighになるまで待ちます。
3. 無操作命令を設定します。

注1: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

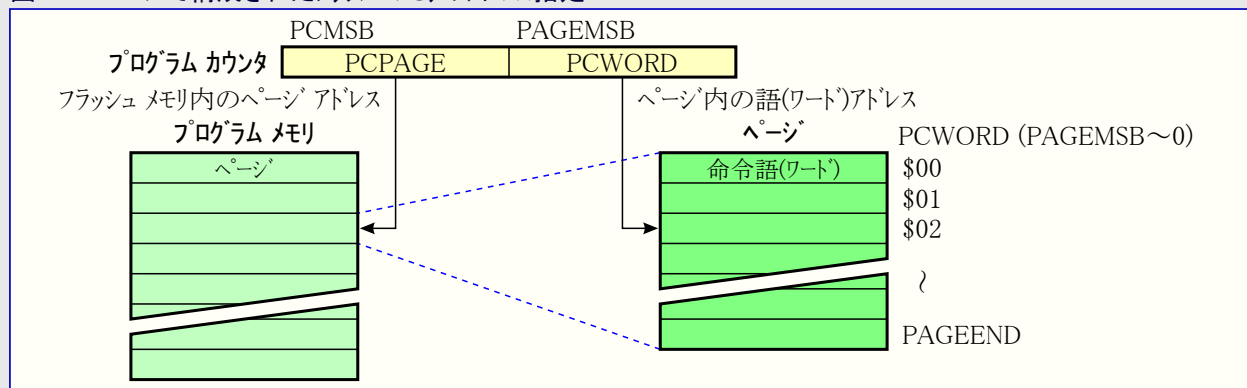
24.4.4. フラッシュメモリ書き込み

フラッシュメモリはページで構成されます(154頁の「メモリの要素」参照)。フラッシュメモリへ書く時にプログラムデータはページ緩衝部にラッチされます。これは同時に書かれることをプログラムデータの1ページに許します。次の手順は完全なフラッシュメモリの書き込み方法を記述します。

1. フラッシュ書き込み移行命令を設定します(表24-9をご覧ください)。
2. フラッシュメモリページ緩衝部を設定します。
3. フラッシュメモリ上位アドレス設定とフラッシュページ書き込み命令を設定します。第3命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. フラッシュメモリ全体または全データが書かれてしまうまで②～③を繰り返します。
5. 無操作命令の設定によってフラッシュページ書き込みを終えます。

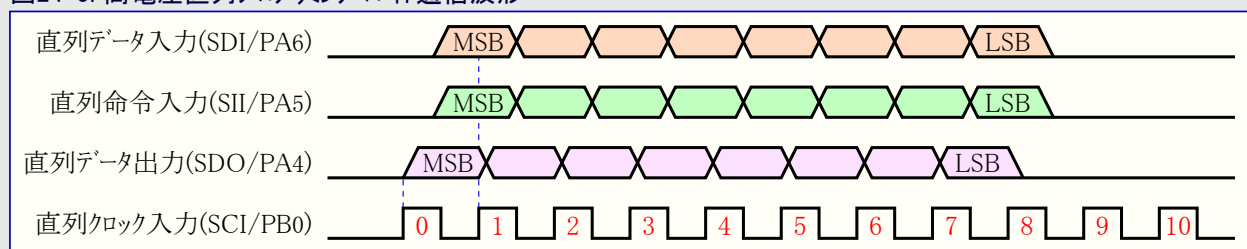
ATtiny441/481との直列データ読み書き時、データは直列クロックの上昇端でクロック駆動(取得/出力変更)されます。詳細については図24-5、図25-6、表25-12をご覧ください。

図24-4. ページで構成されたフラッシュメモリのアドレス指定



注: PCPAGEとPCWORDは154頁の表24-1.で一覧されます。

図24-5. 高電圧直列プログラミングバイト通信波形



24.4.5. EEPROM書き込み

EEPROMはページで構成されます(154頁の表24-2参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(表24-9参照)

1. EEPROM書き込み移行命令を設定します。
2. EEPROMページ緩衝部を設定します。
3. EEPROMページ書き込み命令を設定します。第2命令バイト後、ページ書き込み終了に対してSDOがhighになるまで待ちます。
4. EEPROM全体または全データが書かれてしまうまで②～③を繰り返します。
5. 無操作命令の設定によってEEPROMページ書き込みを終えます。

24.4.6. フラッシュ メリ読み出し

フラッシュ メリの読み出し方法は次のとおりです。(表24-9.参照)

1. フラッシュ読み出し移行命令を設定します。
2. フラッシュの上下バイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

24.4.7. EEPROM読み出し

EEPROMの読み出し方法は次のとおりです。(表24-9.参照)

1. EEPROM読み出し移行命令を設定します。
2. EEPROMのバイトを読み出します。選択したアドレスの内容はSDO直列出力で利用可能です。

24.4.8. ヒューズと施錠ビットの読み出し/書き込み

ヒューズ上位/下位と施錠ビットの読み出し/書き込み方法は表24-9.で示されます。

24.4.9. 識票バイトと校正バイトの読み出し

識票バイトと校正バイトの読み出し方法は表24-9.で示されます。

24.4.10. 電源OFF手順

SCIを0に設定します。RESETを1に設定します。VCC電源をOFFにします。

表24-9. 高電圧直列プログラミング命令一式

命令		命令形式						備考	
		第1/7バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト		
チップ消去	SDI	0 1000 0000 00	0 0000 0000 00	0 0000 0000 00		第3バイト後SDO=Highまで待機。			
	SII	0 0100 1100 00	0 0110 0100 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx					
フラッシュメモリ 書き込み移行	SDI	0 0001 0000 00				フラッシュメモリ書き込み処理移行。			
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
フラッシュページ 緩衝部設定	SDI	0 AAAA AAAA 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 HHHH HHHH 00	0 0000 0000 00	必要数分第1～7バイト繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ	
	SII	0 0000 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00	0 0011 1100 00	0 0111 1101 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
	SDI	0 0000 0000 00							
	SII	0 0111 1100 00							
	SDO	x xxxx xxxx xx							
フラッシュメモリ 上位アドレス設定 ページ書き込み	SDI	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第3バイト後SDO=Highまで待機。ページ毎に第2,3バイトを繰り返し、新規256バイトページ時は第1バイトから。 U=上位アドレス				
	SII	0 0001 1100 00	0 0110 0100 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx					
フラッシュメモリ 読み出し移行	SDI	0 0000 0010 00			フラッシュメモリ読み出し処理移行。				
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
フラッシュメモリ 上下バイト 読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00		
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00	0 0111 1000 00	0 0111 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx	x xxxx xxxx xx	H HHHH HHx xx		
EEPROM 書き込み移行	SDI	0 0001 0001 00		EEPROM書き込み処理移行	第1,3～6バイトを繰り返し。新規256バイトページ時は第2バイトも繰り返し。 A=下位アドレス(注1), H=上位データ, L=下位データ			必要数分第1～5バイト繰り返し。 A=下位アドレス(注2), U=上位アドレス(注2), L=データ	
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
EEPROMページ 緩衝部設定	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00			
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx			
EEPROM ページ書き込み	SDI	0 0000 0000 00	0 0000 0000 00		第2バイト後SDO=Highまで待機。				
	SII	0 0110 0100 00	0 0110 1100 00						
	SDO	x xxxx xxxx xx	x xxxx xxxx xx						
EEPROM バイト書き込み	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 LLLL LLLL 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00		
	SII	0 0000 1100 00	0 0001 1100 00	0 0010 1100 00	0 0110 1101 00	0 0110 0100 00	0 0110 1100 00		
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx		
EEPROM 読み出し移行	SDI	0 0000 0011 00		EEPROM読み出し処理移行。	第6バイト後SDO=Highまで待機。必要数分第1～6バイト繰り返し。(注3) A=下位アドレス, U=上位アドレス, L=データ				
	SII	0 0100 1100 00							
	SDO	x xxxx xxxx xx							
EEPROM バイト読み出し	SDI	0 AAAA AAAA 00	0 0000 000U 00	0 0000 0000 00	0 0000 0000 00	第1,3,4バイトを繰り返し。新規256バイトページ時は第2バイトも繰り返し。 A=下位アドレス, U=上位アドレス, L=データ			
	SII	0 0000 1100 00	0 0001 1100 00	0 0110 1000 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	L LLLL LLLx xx				
ヒューズ下位 書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7～0はビット位置で論理0でプログラム。 (150頁の表23-5.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
ヒューズ上位 書き込み	SDI	0 0100 0000 00	0 7654 3210 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 7～0はビット位置で論理0でプログラム。 (150頁の表23-4.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0111 0100 00	0 0111 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
拡張ヒューズ 書き込み	SDI	0 0100 0000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 0はビット位置で論理0でプログラム。 (149頁の表23-3.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0110 00	0 0110 1110 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
施錠ビット 書き込み	SDI	0 0010 0000 00	0 0000 0010 00	0 0000 0000 00	0 0000 0000 00	第4バイト後SDO=Highまで待機。 1～0はビット位置で論理0でプログラム。 (149頁の表23-1.参照)			
	SII	0 0100 1100 00	0 0010 1100 00	0 0110 0100 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx				
ヒューズ下位 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7～0はビット位置で論理0でプログラム。 (104頁の表19-5.参照)			
	SII	0 0100 1100 00	0 0110 1000 00	0 0110 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx					
ヒューズ上位 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		7～0はビット位置で論理0でプログラム。 (104頁の表19-4.参照)			
	SII	0 0100 1100 00	0 0111 1010 00	0 0111 1100 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx					
拡張ヒューズ 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		0はビット位置で論理0でプログラム。 (104頁の表19-3.参照)			
	SII	0 0100 1100 00	0 0110 1010 00	0 0110 1110 00					
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xx0x xx					

次頁へ続く

表24-9 (続き). 高電圧直列プログラミング命令一式

命令		命令形式						備考
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	
施錠ビット 読み出し	SDI	0 0000 0100 00	0 0000 0000 00	0 0000 0000 00		1～0はビット位置で論理0でプログラム。 (149頁の表23-1.参照)		
	SII	0 0100 1100 00	0 0111 1000 00	0 0110 1100 00				
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx x10x xx				
識別バイト 読み出し	SDI	0 0000 1000 00	0 0000 00AA 00	0 0000 0000 00	0 0000 0000 00	A=アドレス 7～0はビット位置。		
	SII	0 0100 1100 00	0 0000 1100 00	0 0110 1000 00	0 0110 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
校正バイト 読み出し	SDI	0 0000 1000 00	0 0000 0000 00	0 0000 0000 00	0 0000 0000 00	7～0はビット位置。		
	SII	0 0100 1100 00	0 0000 1100 00	0 0111 1000 00	0 0111 1100 00			
	SDO	x xxxx xxxx xx	x xxxx xxxx xx	x xxxx xxxx xx	7 6543 210x xx			
無操作	SDI	0 0000 0000 00				アイドル状態に復帰。		
	SII	0 0100 1100 00						
	SDO	x xxxx xxxx xx						

注1: 256語(ワード)よりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

注2: 256バイトよりも少ないページ容量に関する上位余剰ビットはページ アドレス部です。

注3: EEPROMはページ単位で書かれます。しかし、ページ内に設定されたバイトだけが実際にEEPROMへ書かれます。複数バイトが同じページに書かれるべきなら、ページ単位EEPROMアクセスはより効果的です。EEPROMの自動消去はSPI(低電圧)直列プログラミングだけで、高電圧直列プログラミングで利用できないことに注意してください。

25. 電気的特性

25.1. ATtiny441

25.1.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

25.1.2. DC特性

表25-1. DC特性 TA=-40°C~85°C

シンボル	項目	条件	最小	代表 (注1)	最大	単位
V _{IL}	Lowレベル入力電圧 (注12)	VCC=1.7~2.4V	-0.5		0.2VCC (注2)	
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
V _{IH}	Highレベル入力電圧 (RESETを除く) (注12)	VCC=1.7~2.4V	0.7VCC (注3)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
	Highレベル入力電圧 (RESET) (注12)	VCC=1.7~5.5V	0.9VCC (注3)		VCC+0.5	
V _{OL}	I/OとしてのRESETピン (注6) Lレベル出力電圧 (注4,12) (注5)	IOL=2mA, VCC=5V			0.6	V
		IOL=1mA, VCC=3V			0.5	
		IOL=0.4mA, VCC=1.8V			0.4	
	標準吸い込みI/Oピン (注7) Lレベル出力電圧 (注4) (注5)	IOL=10mA, VCC=5V			0.6	
		IOL=5mA, VCC=3V			0.5	
		IOL=2mA, VCC=1.8V			0.4	
	高吸い込みI/Oピン (注8) Lレベル出力電圧 (注4) (注5)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
		IOL=4mA, VCC=1.8V			0.4	
	追加高吸い込みI/Oピン (注9) Lレベル出力電圧 (注4) (注5)	IOL=20mA, VCC=5V			0.6	
		IOL=20mA, VCC=3V			0.6	
		IOL=8mA, VCC=1.8V			0.5	
V _{OH}	RESETピンを除く (注6) Hレベル出力電圧 (注4) (注5)	IOH=-10mA, VCC=5V	4.3			
		IOH=-5mA, VCC=3V	2.5			
		IOH=-2mA, VCC=1.8V	1.4			
I _{IL}	I/OピンLowレベル入力漏れ絶対電流	VCC=5.5V		<0.05	1	μA
I _{IH}	I/OピンHighレベル入力漏れ絶対電流	確実なH/L範囲		<0.05	1	
I _{IAC}	アナログ比較器入力漏れ電流	VCC=5V, VIN=VCC/2	-50		50	nA
RRST	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	
I _{CC}	活動動作消費電流 (注10)	VCC=2V, 1MHz		0.23	0.6	mA
		VCC=3V, 4MHz		1.25	2	
		VCC=5V, 8MHz		4.2	6	
	アイドル動作消費電流 (注10)	VCC=2V, 1MHz		0.03	0.2	
		VCC=3V, 4MHz		0.22	0.6	
		VCC=5V, 8MHz		0.94	1.5	
	パワーダウン動作消費電流 (注11)	VCC=3V, WDT許可		1.52	4	μA
		VCC=3V, WDT禁止		0.17	2	

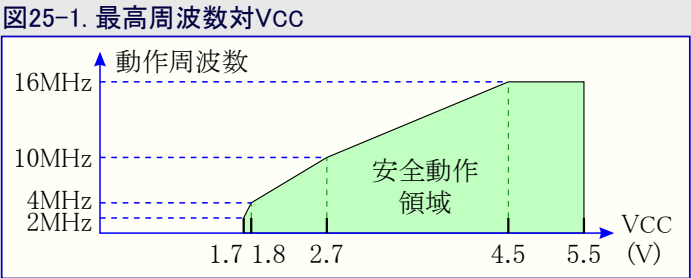
注1: 25°Cでの代表値です。

注2~注12は次頁へ

- 注2: Lowレベルの認識が保証される最高電圧です。
- 注3: Highレベルの認識が保証される最低電圧です。
- 注4: 安定状態(非過渡時)下でI/Oポートは検査条件よりも多くの吸い込み/吐き出しの電流を流すことができますが、ポートAとポートBの合計電流は100mAを超えてはいけません。ピンまたはポートの電流が与えられた限度を超える場合、VOL/VOHは仕様に合致することが保証されません。
- 注5: ピンは与えられた供給電圧で一覽にされるそれらよりも多くの吸い込み/吐き出しの電流を流すことは保証されません。
- 注6: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として通常I/Oピンと比べて弱い駆動能力を持ちます。図26-58.~60.と図26-64.~66.をご覧ください。
- 注7: 標準吸い込み能力を持つポート: PA6, PA4~0, PB2~0。
- 注8: 高吸い込み能力を持つポート: PA7, PA5。
- 注9: 追加高吸い込み能力を持つポート: PA7(PHDEA1設定(1)時), PA5(PHDEA0設定(1)時)。
- 注10: 外部クロックと25頁の「消費電力の最小化」で記述された方法を使って得られる結果。電力削減は完全に許可(PRR=\$FF)され、I/O駆動なしです。
- 注11: 低電圧検出器(BOD)禁止。
- 注12: これらのパラメータは製品に於いて検査されません。

25.1.3. 速度

デバイスの最高動作周波数は供給電圧(VCC)に依存します。供給電圧と最高動作周波数の関連は図25-1.で示されるように区分的線形です。



25.1.4. クロック特性

25.1.4.1. 校正付き8MHz発振器の精度

工場既定校正よりも高い精度に内部8MHz発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は199頁の「内部発振器周波数」で得られます。

表25-2. 校正付き内部8MHz発振器の校正精度

校正種別	目標周波数	VCC	温度	校正精度
工場校正	8.0MHz	2.7~4.0V	25℃	±2%
使用者校正	7.3~8.1MHz内一定周波数	1.7~5.5V内一定電圧	-40~85℃内一定温度	±1% (注)

注: 校正点での発振器周波数精度(一定温度と一定電圧)

25.1.4.2. 校正付き32kHz発振器の精度

工場既定校正よりも高い精度に内部32kHz発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は199頁の「内部発振器周波数」で得られます。

表25-3. 校正付き内部32kHz発振器の校正精度

校正種別	目標周波数	VCC	温度	校正精度
工場校正	32kHz	1.7~5.5V	-40~85℃	±30%

25.1.4.3. 外部クロック信号駆動

図25-2. 外部クロック駆動波形

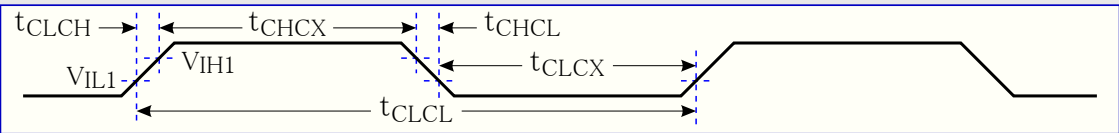


表25-4. 外部クロック駆動特性

シンボル	項目	VCC=1.7~5.5V		VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	2	0	4	0	8	0	12	MHz
tCLCL	クロック周期	500		250		125		83		
tCHCX	Highレベル時間	200		100		40		20		ns
tCLCX	Lowレベル時間	200		100		40		20		
tCLCH	上昇時間		2.0		2.0		1.6		0.5	μs
tCHCL	下降時間		2.0		2.0		1.6		0.5	
ΔtCLCL	隣接クロック周期間の変化率		2		2		2		2	%

25.1.5. システムとリセットの特性

表25-5. リセットと内部基準電圧の特性

シンボル	項目	条件	最小	代表	最大	単位
VRST	RESETピン閾値電圧		0.2VCC		0.9VCC	
VBG	内部バンドギャップ基準電圧	VCC=3.3V, TA=25°C	1.056	1.1	1.144	
VREF	内部1.1V基準電圧	VCC=1.7~5.5V, TA=-40~85°C	1.067	1.1	1.133	V
	内部2.2V基準電圧	VCC=2.3~5.5V, TA=-40~85°C	2.134	2.2	2.266	
	内部4.096V基準電圧	VCC=4.2~5.5V, TA=-40~85°C	3.932	4.096	4.260	
tRST	RESETピンでの最小パルス幅	VCC=1.8V		2		
		VCC=3V		0.7		μs
		VCC=5V		0.4		
tTOUT	リセット後超過(待機)時間	BOD禁止		64	128	ms
		BOD許可		128	256	

注: 値は指針だけです。

25.1.5.1. 電源ONリセット

表25-6. 強化された電源ONリセットの特性 (TA=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
VPOR	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
VPOA	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
SRON	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がVPOA未満でなければ電源ONリセットは動作しません(電圧下降時)。

25.1.5.2. 低電圧検出 (BOD)

表25-7. BODLEVELヒューズ符号化(VBOT)

BODLEVEL2~0	最小	代表	最大	単位
1 1 x	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落とし検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

25.1.6. アナログ比較器特性

表25-8. アナログ比較器特性 (TA=-40°C~85°C)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2		<10	40	mV
ILAC	入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
tAPD	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.7~5.5V		1	2	clk

25.1.7. A/D変換器特性

表25-9. A/D変換器特性 (TA=-40°C~85°C, VCC=1.7~5.5V)

シンボル	項目	条件	最小	代表	最大	単位
	分解能				10	ビット
	絶対精度 (積分非直線性、微分非直線性、量子化、利得、オフセットの各誤差を含む)	変換クロック=200kHz		2		LSB
		変換クロック=1MHz		3		
		VCC=4V, VREF=4V 変換クロック=200kHz 雑音低減動作		1.5		
		変換クロック=1MHz 雑音低減動作		2.5		
	積分非直線性誤差(INL) (オフセット, 利得校正後精度)			1		
	微分非直線性誤差(DNL)	VCC=4V, VREF=4V 変換クロック=200kHz		0.5		
	利得誤差			2.5		
	(絶対)オフセット誤差			1.5		
	変換時間	連続変換動作(自由走行変換)	13		260	μs
	変換クロック周波数		50		1000	kHz
VIN	入力電圧		GND		VREF	V
	入力周波数帯域			38.5		kHz
RAIN	アナログ入力インピーダンス			100		MΩ
	A/D変換出力		0		1023	LSB

25.1.8. 2線直列インターフェース特性

以下のデータはシミュレーションと特性付けに基づきます。表25-10.で一覧にされるパラメータは製造に於いて検査されません。シンボルは図25-3.を参照します。

図25-3. 2線直列バス タイミング

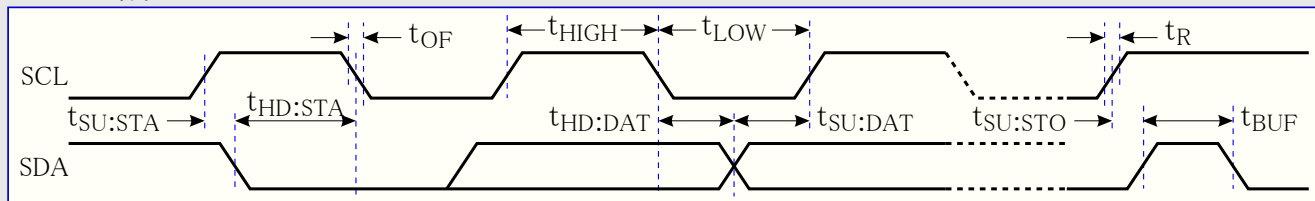


表25-10. 2線直列インターフェース特性

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧	TWHNM=0	-0.5	0.3VCC	
		TWHNM=1	-0.5	0.4VCC	
V_{IH}	Highレベル入力電圧	TWHNM=0	0.7VCC	VCC+0.5	
		TWHNM=1	0.5VCC	VCC+0.5	
V_{HYS}	シュミットトリガ入力ヒステリシス電圧	TWHNM=0	$VCC \geq 2.7V$ 0	-	V
		TWHNM=1	$VCC \geq 2.7V$ 0.31	0.45	
			$VCC < 2.7V$ 0.39	1.09	
V_{OL}	Lowレベル出力電圧	$I_{OL}=3mA, VCC \geq 2.7V$ $I_{OL}=2mA, VCC < 2.7V$	0	0.4	
f_{SCL}	SCLクロック周波数 (注)	TWHNM=0	0	400	kHz
		TWHNM=1			
t_{SP}	入力パルス最小幅(尖頭消去濾波)		0	50	ns
$t_{HD:STA}$	(再送)開始条件保持時間		0.6	-	
t_{LOW}	SCLクロックLowレベル時間		1.3	-	
t_{HIGH}	SCLクロックHighレベル時間		0.6	-	μs
$t_{SU:STA}$	再送開始条件準備時間		0.6	-	
$t_{HD:DAT}$	データ保持時間		0	0.9	
$t_{SU:DAT}$	データ準備時間		100	-	ns
$t_{SU:STO}$	停止条件準備時間		0.6	-	
t_{BUF}	停止条件→開始条件間バス開放時間		1.3	-	μs

注: f_{CK} =CPUクロック周波数

25.1.9. 低電圧直列プログラミング特性

図25-4. 低電圧直列プログラミング タイミング

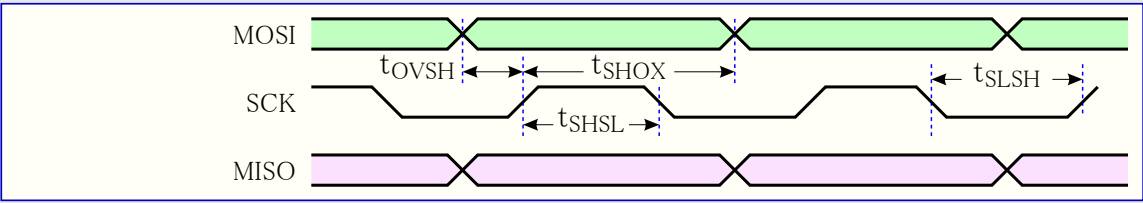


図25-5. 低電圧直列プログラミング 波形

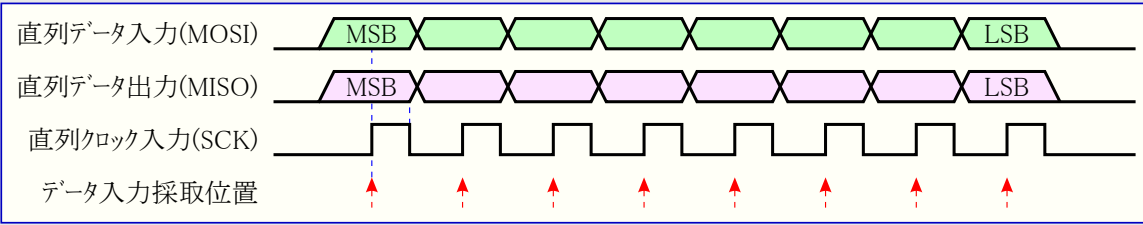


表25-11. 低電圧直列プログラミング特性 (TA=-40℃～85℃、VCC=1.7～5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	1.7～4.5V	0	4	MHz
		4.5～5.5V	0	16	
tCLCL	発振器周期	1.7～4.5V	250		
		4.5～5.5V	62.5		
tSHSL	SCKパルスHレベル幅	2tCLCL (注)			ns
tSLSH	SCKパルスLレベル幅	2tCLCL (注)			
tOVSH	SCK ↑ に対するMOSI準備時間	tCLCL			
tSHOX	SCK ↑ に対するMOSI保持時間	2tCLCL			

注: $f_{CK} < 12\text{MHz}$ に対して $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ に対して $3t_{CLCL}$

25.1.10. 高電圧直列プログラミング特性

図25-6. 高電圧直列プログラミング タイミング

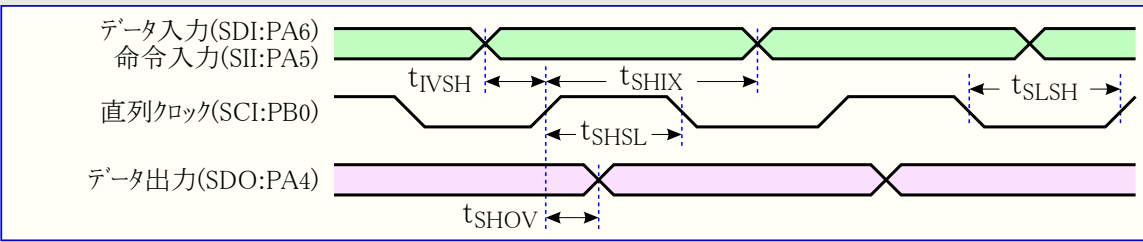


表25-12. 高電圧直列プログラミング特性 (TA=25℃、VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
tSHSL	SCIパルスHレベル幅	125			
tSLSH	SCIパルスLレベル幅	125			
tIVSH	SCI ↑ に対するSDI,SII準備時間	50			ns
tSHIX	SCI ↑ に対するSDI,SII保持時間	50			
tSHOV	SCI ↑ に対するSDO出力遅延時間		16		
tWLWH_PFB	ヒューズ書き込み第3バイト後待機時間		2.5		ms

25.2. ATtiny841

25.2.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

25.2.2. DC特性

表25-13. DC特性 TA=-40°C~85°C

シンボル	項目	条件	最小	代表 (注1)	最大	単位
V _{IL}	Lowレベル入力電圧 (注12)	VCC=1.7~2.4V	-0.5		0.2VCC (注2)	
		VCC=2.4~5.5V	-0.5		0.3VCC (注2)	
V _{IH}	Highレベル入力電圧 (RESETを除く) (注12)	VCC=1.7~2.4V	0.7VCC (注3)		VCC+0.5	
		VCC=2.4~5.5V	0.6VCC (注3)		VCC+0.5	
	Highレベル入力電圧 (RESET) (注12)	VCC=1.7~5.5V	0.9VCC (注3)		VCC+0.5	
V _{OL}	I/OとしてのRESETピン (注6) Lレベル出力電圧 (注4,12) (注5)	IOL=2mA, VCC=5V			0.6	V
		IOL=1mA, VCC=3V			0.5	
		IOL=0.4mA, VCC=1.8V			0.4	
	標準吸い込みI/Oピン (注7) Lレベル出力電圧 (注4) (注5)	IOL=10mA, VCC=5V			0.6	
		IOL=5mA, VCC=3V			0.5	
		IOL=2mA, VCC=1.8V			0.4	
	高吸い込みI/Oピン (注8) Lレベル出力電圧 (注4) (注5)	IOL=20mA, VCC=5V			0.6	
		IOL=10mA, VCC=3V			0.5	
		IOL=4mA, VCC=1.8V			0.4	
	追加高吸い込みI/Oピン (注9) Lレベル出力電圧 (注4) (注5)	IOL=20mA, VCC=5V			0.6	
		IOL=20mA, VCC=3V			0.6	
		IOL=8mA, VCC=1.8V			0.5	
V _{OH}	RESETピンを除く (注6) Hレベル出力電圧 (注4) (注5)	IOH=-10mA, VCC=5V	4.3			
		IOH=-5mA, VCC=3V	2.5			
		IOH=-2mA, VCC=1.8V	1.4			
I _{IL}	I/OピンLowレベル入力漏れ絶対電流	VCC=5.5V		<0.05	1	μA
I _{IH}	I/OピンHighレベル入力漏れ絶対電流	確実なH/L範囲		<0.05	1	μA
I _{IAC}	アナログ比較器入力漏れ電流	VCC=5V, VIN=VCC/2	-50		50	nA
RRST	RESETピンプルアップ抵抗	VCC=5.5V, Low入力	30		60	kΩ
RPU	I/Oピンプルアップ抵抗	VCC=5.5V, Low入力	20		50	
I _{CC}	活動動作消費電流 (注10)	VCC=2V, 1MHz		0.23	0.6	mA
		VCC=3V, 4MHz		1.25	2	
		VCC=5V, 8MHz		4.2	6	
	アイドル動作消費電流 (注10)	VCC=2V, 1MHz		0.03	0.2	
		VCC=3V, 4MHz		0.22	0.6	
		VCC=5V, 8MHz		0.94	1.5	
	パワーダウン動作消費電流 (注11)	VCC=3V, WDT許可		1.52	4	μA
		VCC=3V, WDT禁止		0.17	2	

注1: 25°Cでの代表値です。

注2: Lowレベルの認識が保証される最高電圧です。

注3: Highレベルの認識が保証される最低電圧です。

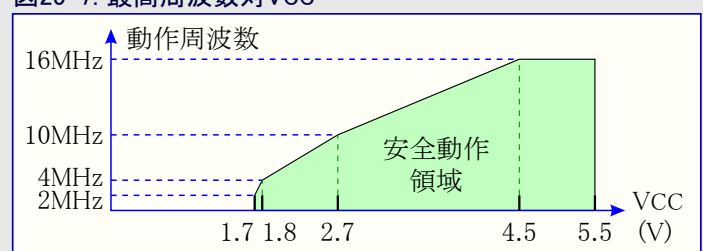
注4~注12は次頁へ

- 注4:** 安定状態(非過渡時)下でI/Oポートは検査条件よりも多くの吸い込み/吐き出しの電流を流すことができますが、ポートAとポートBの合計電流は100mAを超えてはいけません。ピンまたはポートの電流が与えられた限度を超える場合、VOL/VOHは仕様に合致することが保証されません。
- 注5:** ピンは与えられた供給電圧で一覽にされるそれらよりも多くの吸い込み/吐き出しの電流を流すことは保証されません。
- 注6:** RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として通常I/Oピンと比べて弱い駆動能力を持ちます。図26-150.～152.と図26-156.～158.をご覧ください。
- 注7:** 標準吸い込み能力を持つポート：PA6, PA4～0, PB2～0。
- 注8:** 高吸い込み能力を持つポート：PA7, PA5。
- 注9:** 追加高吸い込み能力を持つポート：PA7(PHDEA1設定(1)時), PA5(PHDEA0設定(1)時)。
- 注10:** 外部クロックと25頁の「消費電力の最小化」で記述された方法を使って得られる結果。電力削減は完全に許可(PRR=\$FF)され、I/O駆動なしです。
- 注11:** 低電圧検出器(BOD)禁止。
- 注12:** これらのパラメータは製品に於いて検査されません。

25.2.3. 速度

デバイスの最高動作周波数は供給電圧(VCC)に依存します。供給電圧と最高動作周波数の関連は図25-7.で示されるように区分的線形です。

図25-7. 最高周波数対VCC



25.2.4. クロック特性

25.2.4.1. 校正付き8MHz発振器の精度

工場既定校正よりも高い精度に内部8MHz発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は230頁の「内部発振器周波数」で得られます。

表25-14. 校正付き内部8MHz発振器の校正精度

校正種別	目標周波数	VCC	温度	校正精度
工場校正	8.0MHz	2.7～4.0V	25℃	±2%
使用者校正	7.3～8.1MHz内一定周波数	1.7～5.5V内一定電圧	-40～85℃内一定温度	±1% (注)

注: 校正点での発振器周波数精度(一定温度と一定電圧)

25.2.4.2. 校正付き32kHz発振器の精度

工場既定校正よりも高い精度に内部32kHz発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は230頁の「内部発振器周波数」で得られます。

表25-15. 校正付き内部32kHz発振器の校正精度

校正種別	目標周波数	VCC	温度	校正精度
工場校正	32kHz	1.7～5.5V	-40～85℃	±30%

25.2.4.3. 外部クロック信号駆動

図25-8. 外部クロック駆動波形

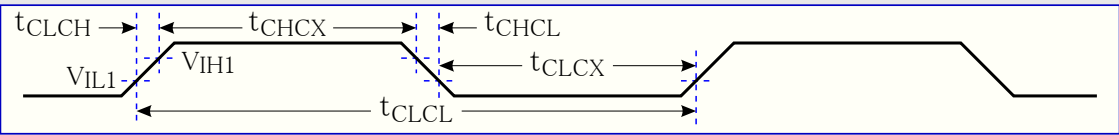


表25-16. 外部クロック駆動特性

シンボル	項目	VCC=1.7~5.5V		VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	2	0	4	0	8	0	12	MHz
tCLCL	クロック周期	500		250		125		83		
tCHCX	Highレベル時間	200		100		40		20		ns
tCLCX	Lowレベル時間	200		100		40		20		
tCLCH	上昇時間		2.0		2.0		1.6		0.5	μs
tCHCL	下降時間		2.0		2.0		1.6		0.5	
ΔtCLCL	隣接クロック周期間の変化率		2		2		2		2	%

25.2.5. システムとリセットの特性

表25-17. リセットと内部基準電圧の特性

シンボル	項目	条件	最小	代表	最大	単位
VRST	RESETピン閾値電圧		0.2VCC		0.9VCC	
VBG	内部バンドギャップ基準電圧	VCC=3.3V, TA=25°C	1.056	1.1	1.144	
VREF	内部1.1V基準電圧	VCC=1.7~5.5V, TA=-40~85°C	1.067	1.1	1.133	V
	内部2.2V基準電圧	VCC=2.3~5.5V, TA=-40~85°C	2.134	2.2	2.266	
	内部4.096V基準電圧	VCC=4.2~5.5V, TA=-40~85°C	3.932	4.096	4.260	
tRST	RESETピンでの最小パルス幅	VCC=1.8V		2		
		VCC=3V		0.7		μs
		VCC=5V		0.4		
tTOUT	リセット後超過(待機)時間	BOD禁止		64	128	ms
		BOD許可		128	256	

注: 値は指針だけです。

25.2.5.1. 電源ONリセット

表25-18. 強化された電源ONリセットの特性 (TA=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
VPOR	電源ONリセット開放閾値電圧 (注1)	1.1	1.4	1.6	V
VPOA	電源ONリセット活性閾値電圧 (注2)	0.6	1.3	1.6	
SRON	電源投入時上昇率	0.01			V/ms

注: 値は指針だけです。

注1: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注2: 供給電圧がVPOA未満でなければ電源ONリセットは動作しません(電圧下降時)。

25.2.5.2. 低電圧検出 (BOD)

表25-19. BODLEVELヒューズ符号化(VBOT)

BODLEVEL2~0	最小	代表	最大	単位
1 1 x	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 x x	(予約)			

注: いくつかのデバイスでVBOTが公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=VBOTに落とし検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

25.2.6. アナログ比較器特性

表25-20. アナログ比較器特性 (TA=-40℃～85℃)

シンボル	項目	条件	最小	代表	最大	単位
VAIO	入力変位(オフセット)電圧	VCC=5V, Vin=VCC/2		<10	40	mV
ILAC	入力漏れ電流	VCC=5V, Vin=VCC/2	-50		50	nA
tAPD	アナログ伝播遅延 (飽和から僅かな過駆動へ)	VCC=2.7V		750		ns
		VCC=4.0V		500		
	アナログ伝播遅延 (大きな段階変化)	VCC=2.7V		100		
		VCC=4.0V		75		
tDPD	デジタル伝播遅延	VCC=1.7～5.5V		1	2	clk

25.2.7. A/D変換器特性

表25-21. A/D変換器特性 (TA=-40℃～85℃, VCC=1.7～5.5V)

シンボル	項目	条件	最小	代表	最大	単位
	分解能				10	ビット
	絶対精度 (積分性非直線、微分性 非直線、量子化、利得、 オフセットの各誤差を含む)	変換クロック=200kHz		2		LSB
		変換クロック=1MHz		3		
		VCC=4V, VREF=4V 変換クロック=200kHz 雑音低減動作		1.5		
		変換クロック=1MHz 雑音低減動作		2.5		
	積分性非直線誤差(INL) (オフセット, 利得校正後精度)			1		LSB
	微分性非直線誤差(DNL)	VCC=4V, VREF=4V 変換クロック=200kHz		0.5		
	利得誤差			2.5		
	(絶対)オフセット誤差			1.5		
	変換時間	連続変換動作(自由走行変換)	13		260	μs
	変換クロック周波数		50		1000	kHz
VIN	入力電圧		GND		VREF	V
	入力周波数帯域			38.5		kHz
RAIN	アナログ入力インピーダンス			100		MΩ
	A/D変換出力		0		1023	LSB

25.2.8. 2線直列インターフェース特性

以下のデータはシミュレーションと特性付けに基づきます。表25-22.で一覧にされるパラメータは製造に於いて検査されません。シンボルは図25-9.を参照します。

図25-9. 2線直列バス タイミング

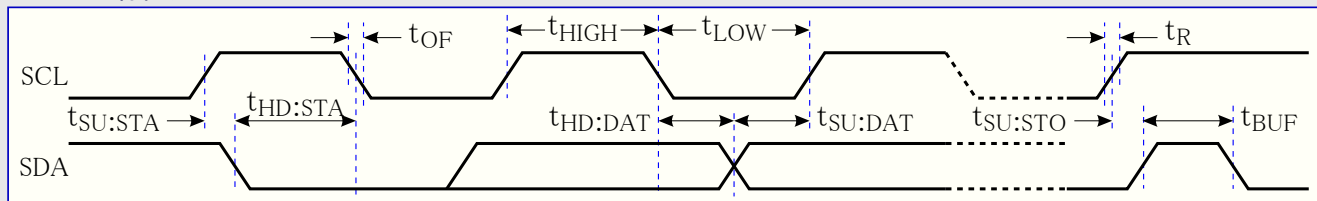


表25-22. 2線直列インターフェース特性

シンボル	項目	条件	最小	最大	単位
V_{IL}	Lowレベル入力電圧	$TW_{HNM}=0$	-0.5	0.3VCC	
		$TW_{HNM}=1$	-0.5	0.4VCC	
V_{IH}	Highレベル入力電圧	$TW_{HNM}=0$	0.7VCC	VCC+0.5	
		$TW_{HNM}=1$	0.5VCC	VCC+0.5	
V_{HYS}	シュミットトリガ入力ヒステリシス電圧	$TW_{HNM}=0$	$VCC \geq 2.7V$ 0	-	V
		$TW_{HNM}=1$	$VCC \geq 2.7V$ 0.31	0.45	
			$VCC < 2.7V$ 0.39	1.09	
V_{OL}	Lowレベル出力電圧	$I_{OL}=3mA, VCC \geq 2.7V$ $I_{OL}=2mA, VCC < 2.7V$	0	0.4	
f_{SCL}	SCLクロック周波数 (注)	$TW_{HNM}=0$	0	400	kHz
		$TW_{HNM}=1$			
t_{SP}	入力パルス最小幅(尖頭消去濾波)		0	50	ns
$t_{HD:STA}$	(再送)開始条件保持時間		0.6	-	
t_{LOW}	SCLクロックLowレベル時間		1.3	-	
t_{HIGH}	SCLクロックHighレベル時間		0.6	-	μs
$t_{SU:STA}$	再送開始条件準備時間		0.6	-	
$t_{HD:DAT}$	データ保持時間		0	0.9	
$t_{SU:DAT}$	データ準備時間		100	-	ns
$t_{SU:STO}$	停止条件準備時間		0.6	-	
t_{BUF}	停止条件→開始条件間バス開放時間		1.3	-	μs

注: f_{CK} =CPUクロック周波数

25.2.9. 低電圧直列プログラミング特性

図25-10. 低電圧直列プログラミング タイミング

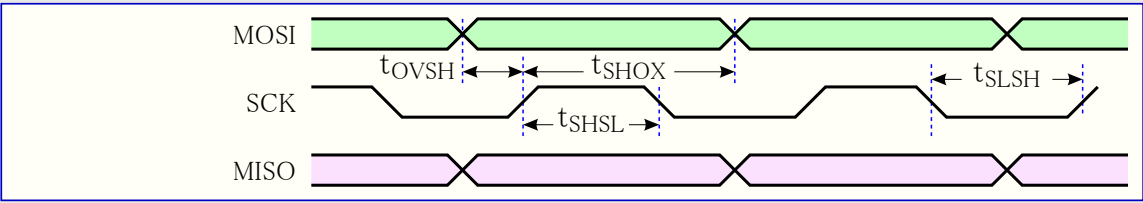


図25-11. 低電圧直列プログラミング 波形

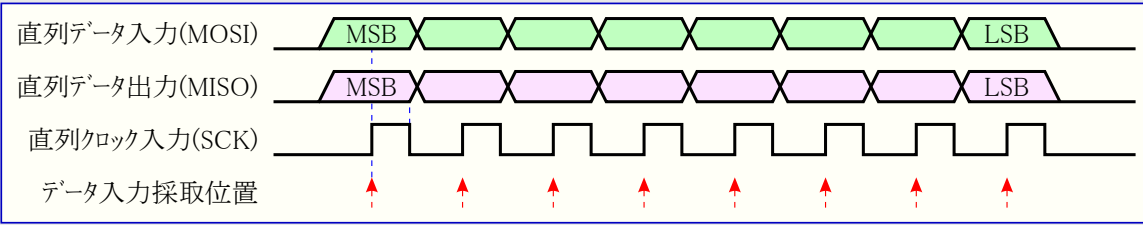


表25-23. 低電圧直列プログラミング特性 (TA=-40℃～85℃、VCC=1.7～5.5V)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	1.7～4.5V	0	4	MHz
		4.5～5.5V	0	16	
tCLCL	発振器周期	1.7～4.5V	250		
		4.5～5.5V	62.5		
tSHSL	SCKパルスHレベル幅	2tCLCL (注)			ns
tSLSH	SCKパルスLレベル幅	2tCLCL (注)			
tOVSH	SCK ↑ に対するMOSI準備時間	tCLCL			
tSHOX	SCK ↑ に対するMOSI保持時間	2tCLCL			

注: $f_{CK} < 12\text{MHz}$ に対して $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ に対して $3t_{CLCL}$

25.2.10. 高電圧直列プログラミング特性

図25-12. 高電圧直列プログラミング タイミング

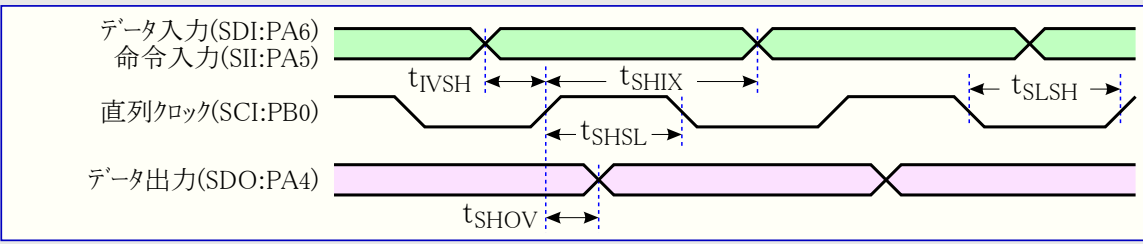


表25-24. 高電圧直列プログラミング特性 (TA=25℃、VCC=5.0V)

シンボル	項目	最小	代表	最大	単位
tSHSL	SCIパルスHレベル幅	125			
tSLSH	SCIパルスLレベル幅	125			
tIVSH	SCI ↑ に対するSDI,SII準備時間	50			ns
tSHIX	SCI ↑ に対するSDI,SII保持時間	50			
tSHOV	SCI ↑ に対するSDO出力遅延時間		16		
tWLWH_PFB	ヒューズ書き込み第3バイト後待機時間		2.5		ms

26. 代表特性

26.1. ATtiny441

26.1.1. 消費電流

26.1.1.1. 活動動作消費電流

図26-1. 活動動作消費電流 対 低周波数 (100kHz～1MHz)

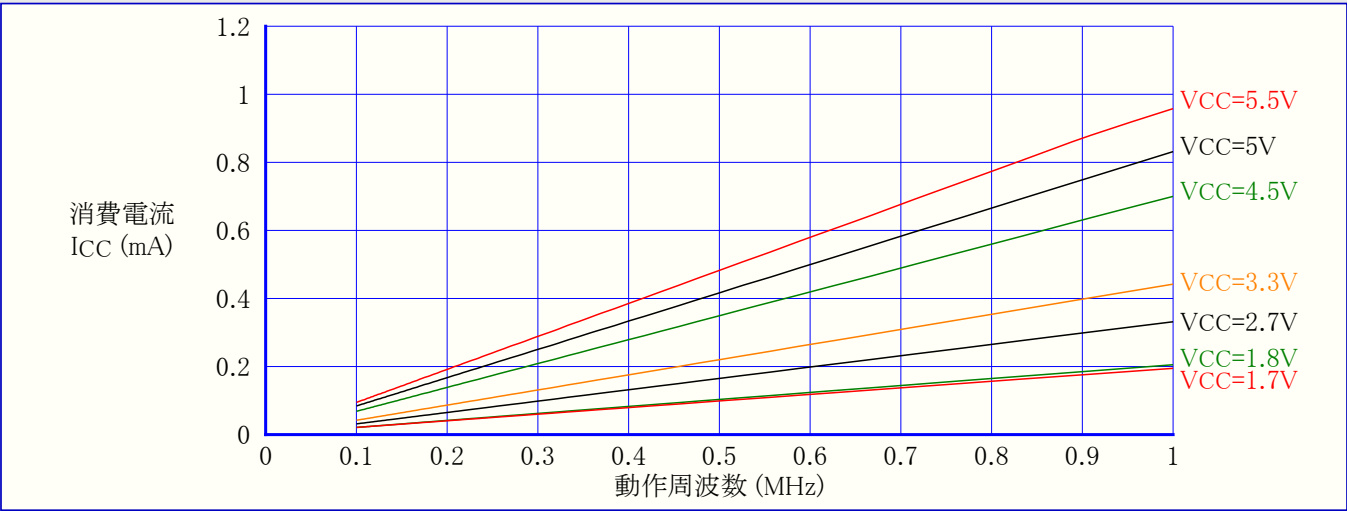


図26-2. 活動動作消費電流 対 周波数 (1MHz～16MHz)

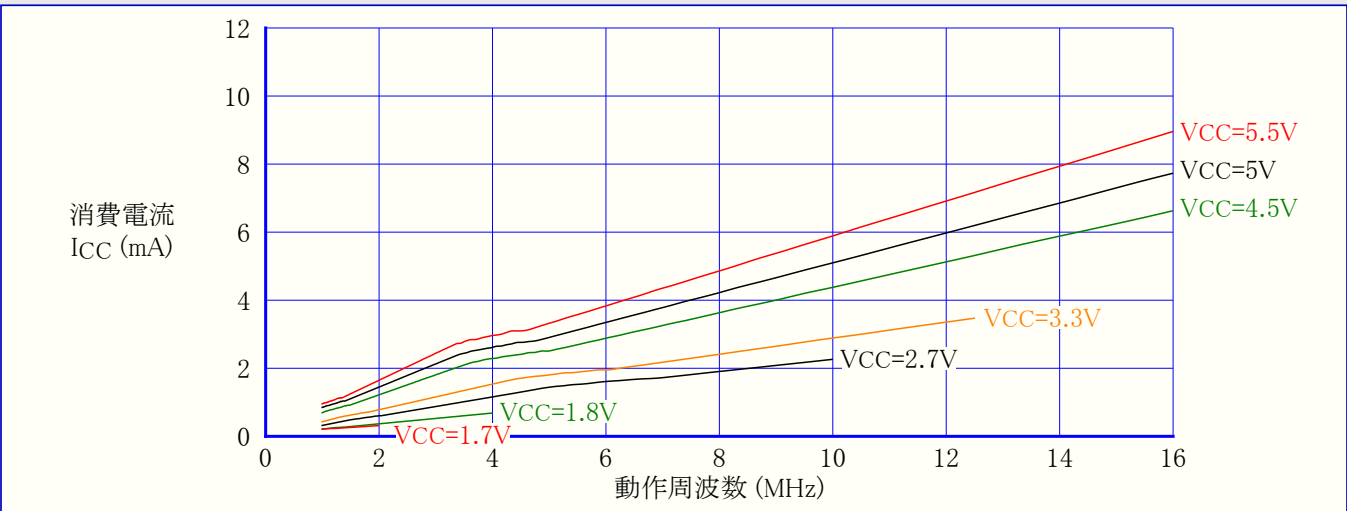


図26-3. 活動動作消費電流 対 動作電圧 (8MHz内部RC発振器)

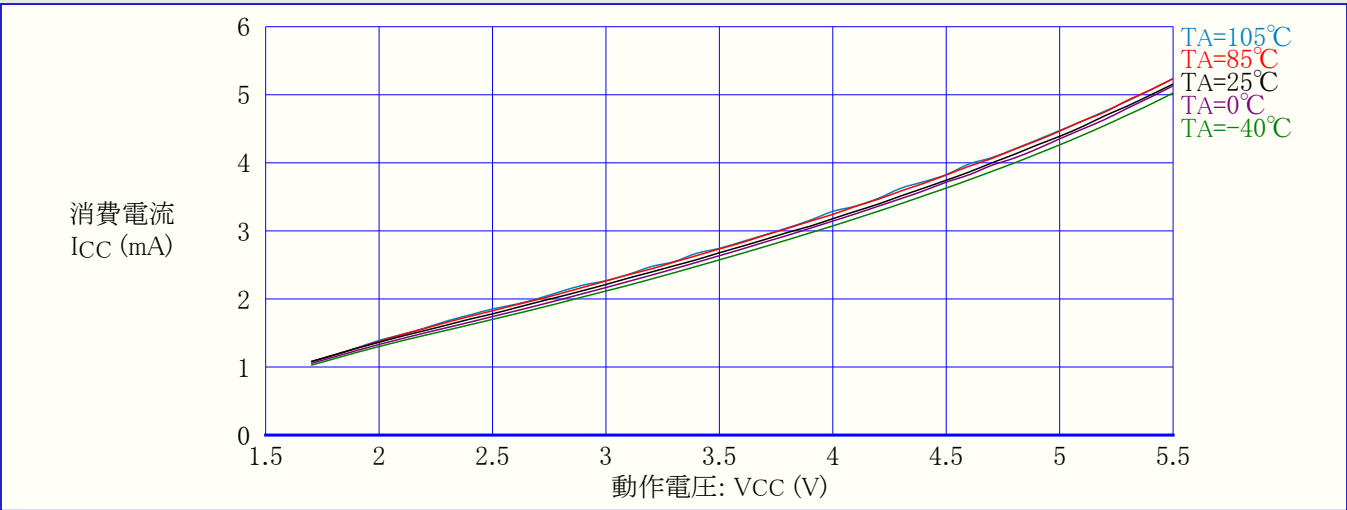


図26-4. 活動動作消費電流 対 動作電圧 (32kHz内部超低電力(ULP)発振器)

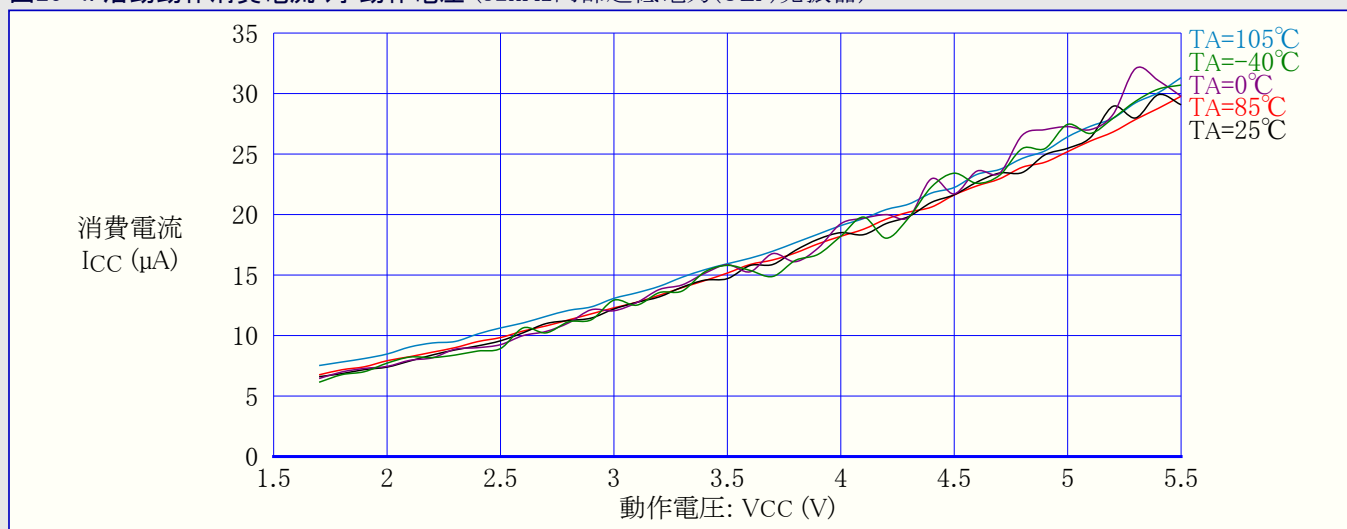


図26-5. 活動動作消費電流 対 動作電圧 (64kHz内部超低電力(ULP)発振器)

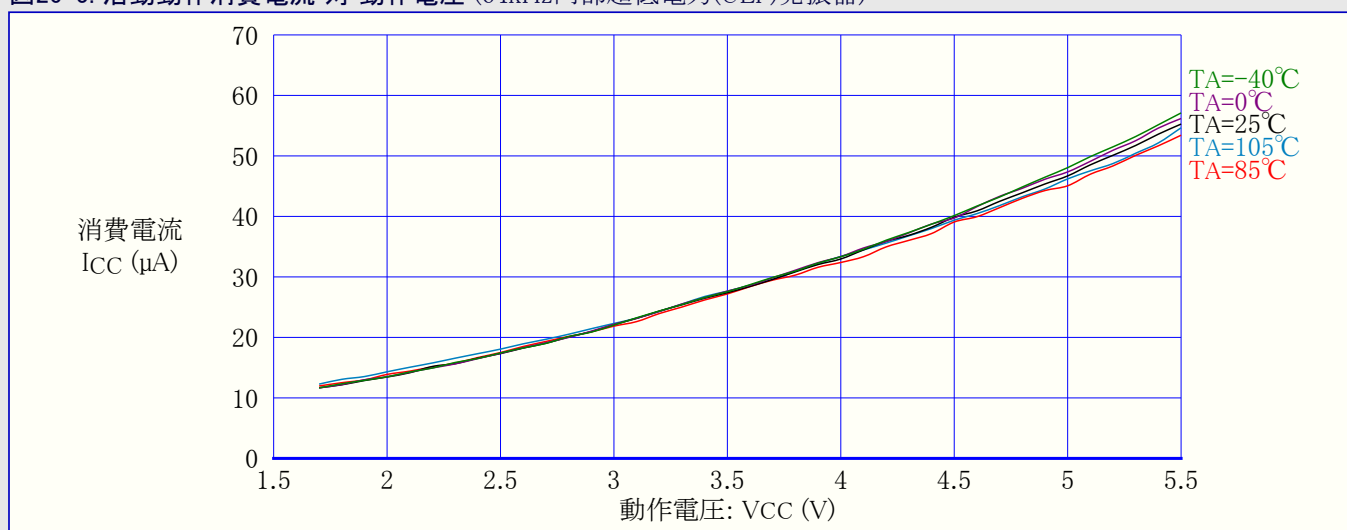


図26-6. 活動動作消費電流 対 動作電圧 (128kHz内部超低電力(ULP)発振器)

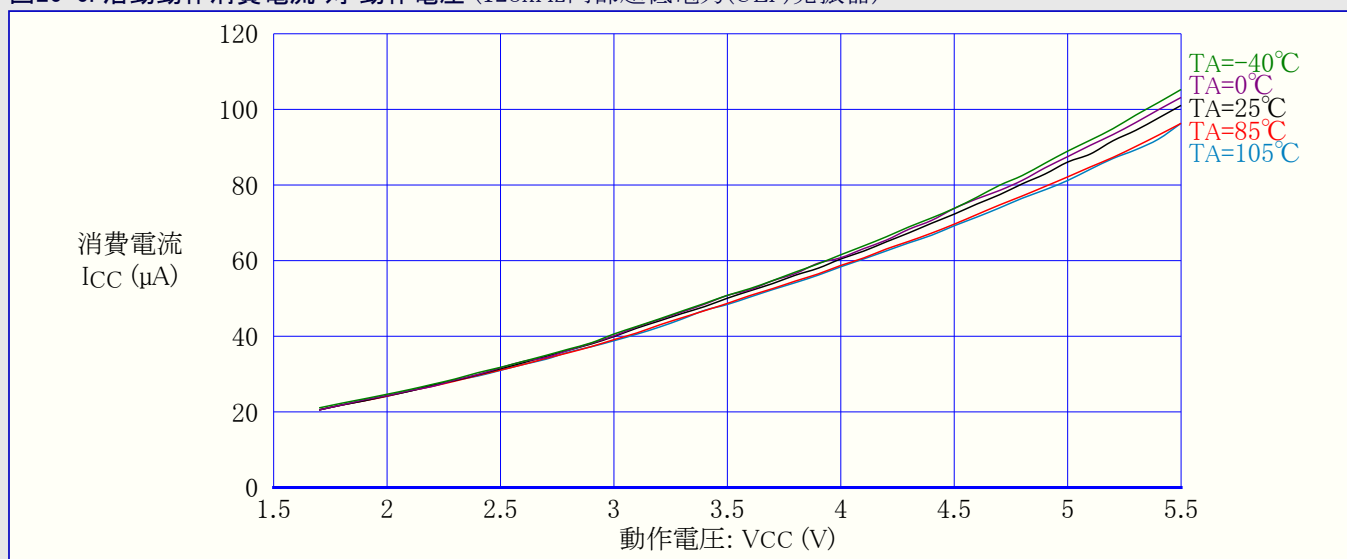


図26-7. 活動動作消費電流 対 動作電圧 (256kHz内部超低電力(ULP)発振器)

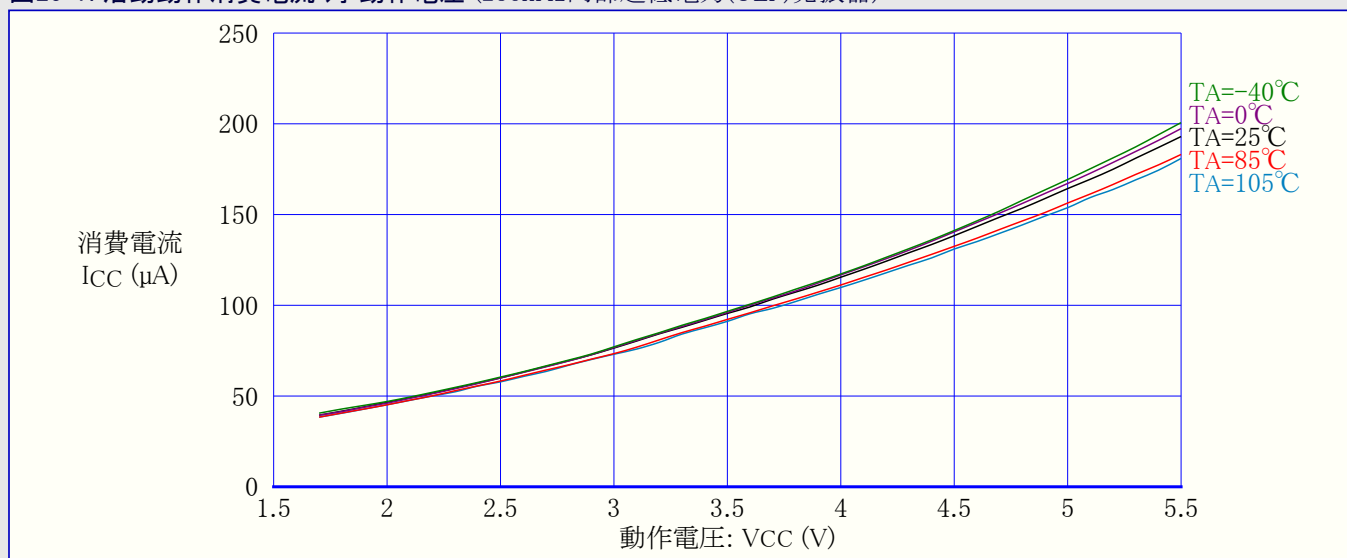
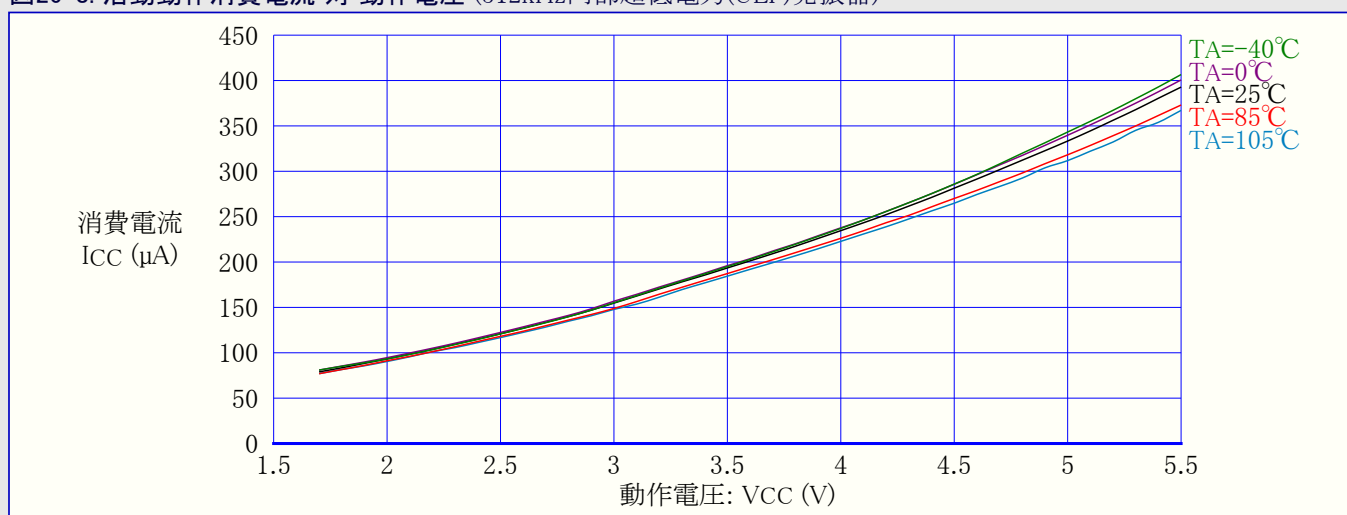


図26-8. 活動動作消費電流 対 動作電圧 (512kHz内部超低電力(ULP)発振器)



26.1.1.2. アイドル動作消費電流

図26-9. アイドル動作消費電流 対 低周波数 (100kHz~1MHz)

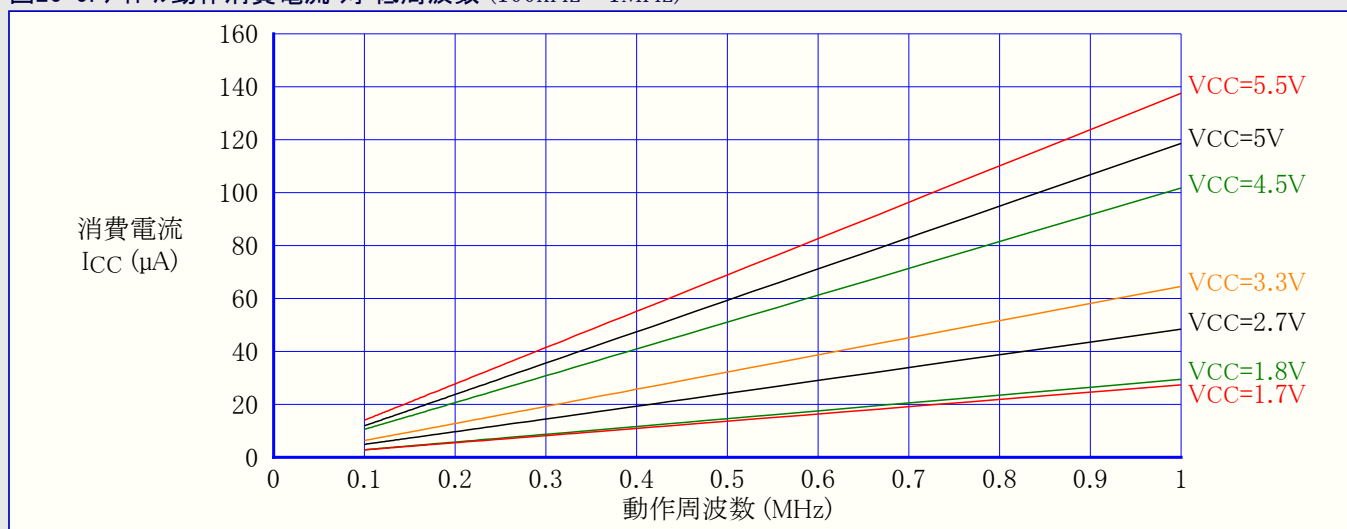


図26-10. アイドル動作消費電流 対 周波数 (1MHz~16MHz)

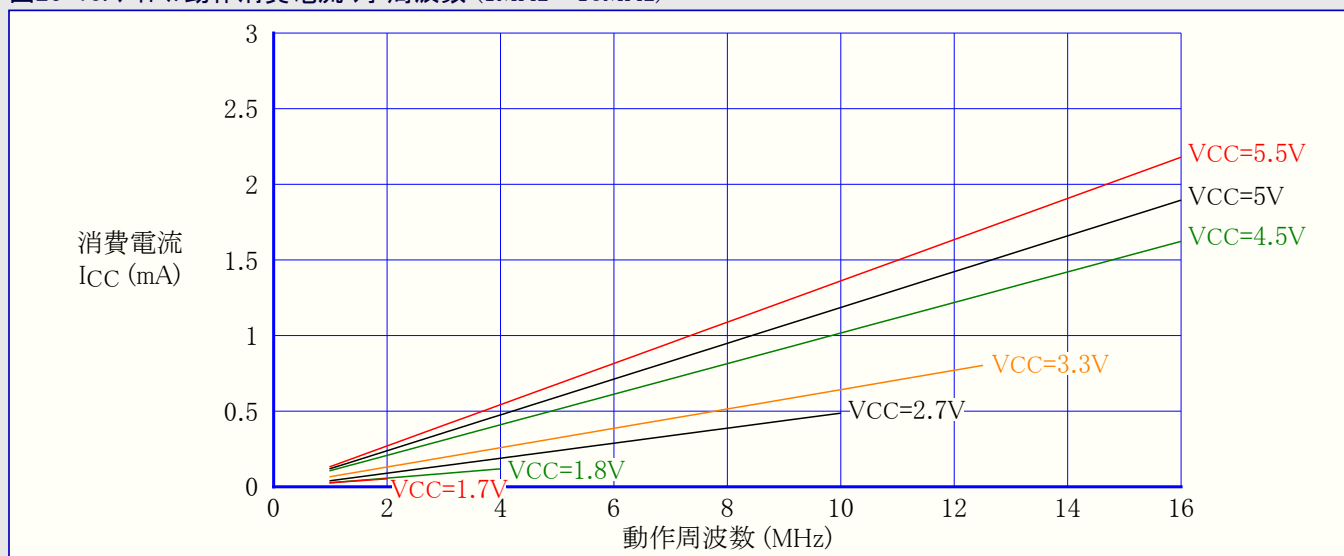


図26-11. アイドル動作消費電流 対 動作電圧 (8MHz内部RC発振器)

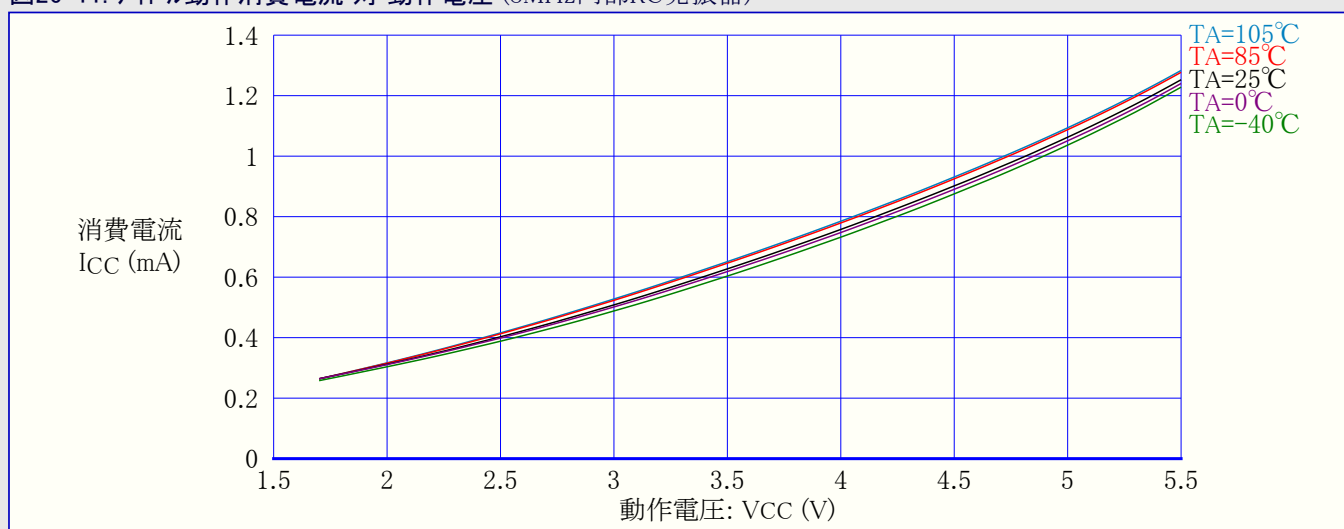


図26-12. アイドル動作消費電流 対 動作電圧 (32kHz内部超低電力(ULP)発振器)

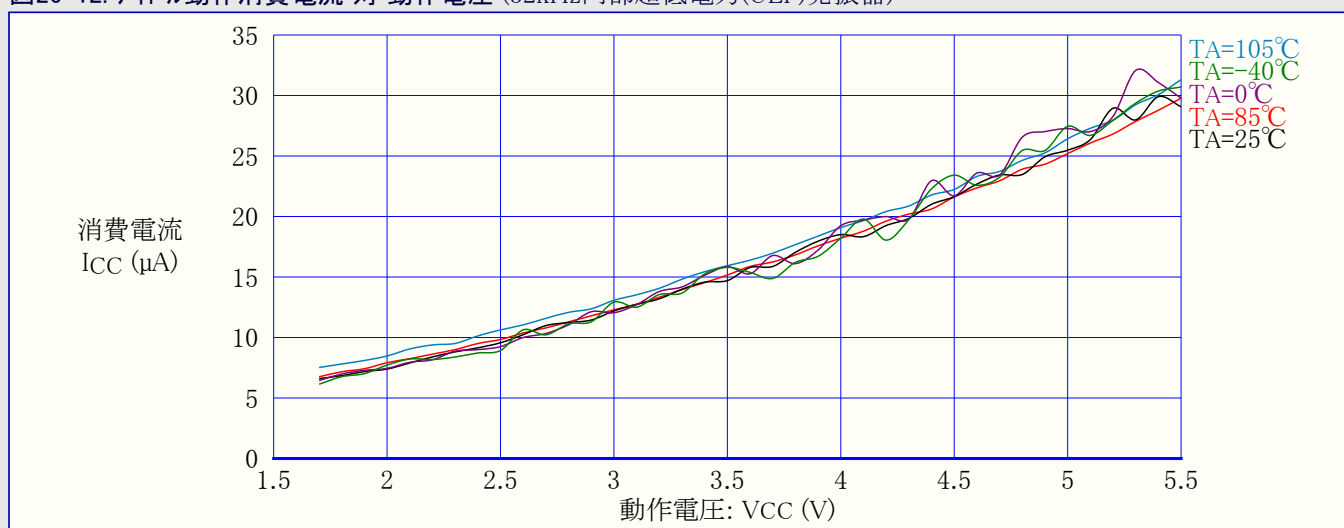


図26-13. アイトル動作消費電流 対 動作電圧 (64kHz内部超低電力(ULP)発振器)

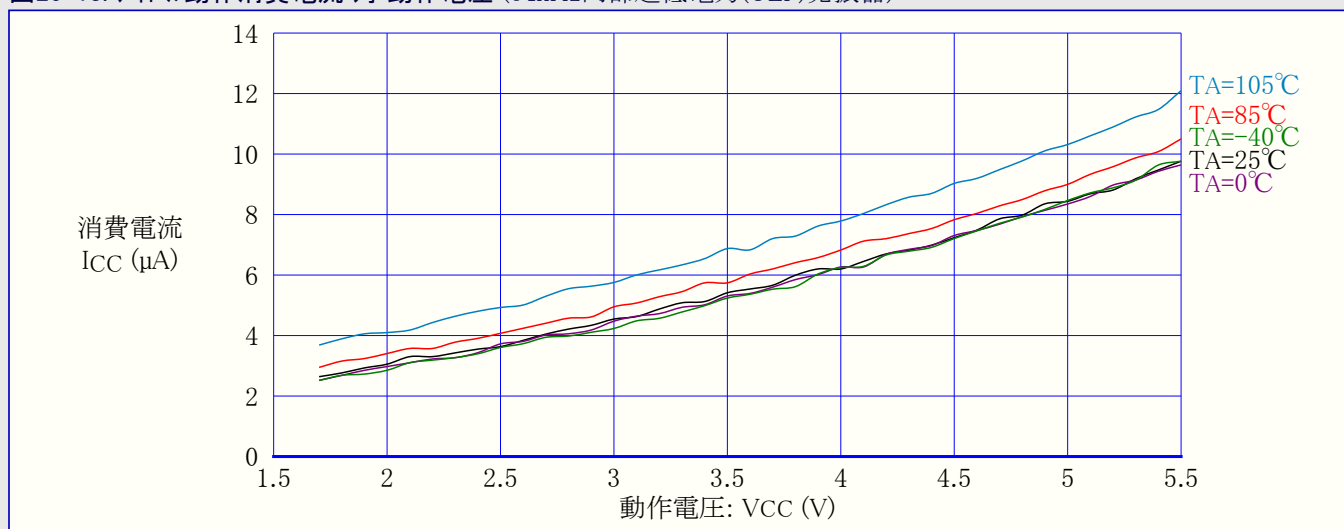


図26-14. アイトル動作消費電流 対 動作電圧 (128kHz内部超低電力(ULP)発振器)

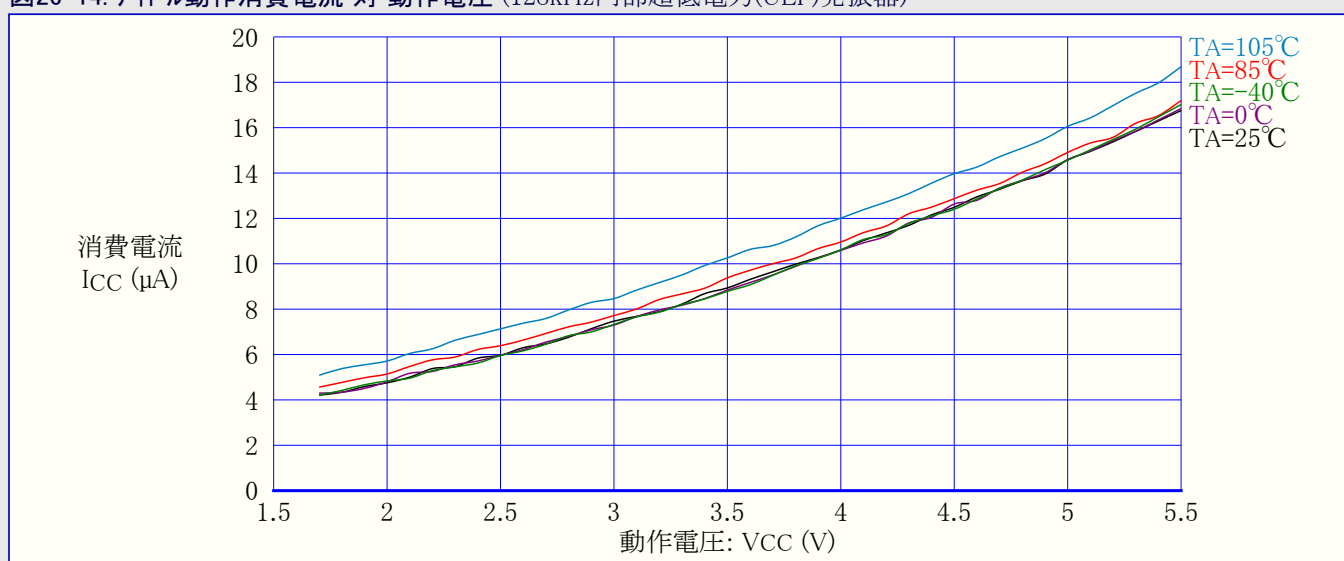
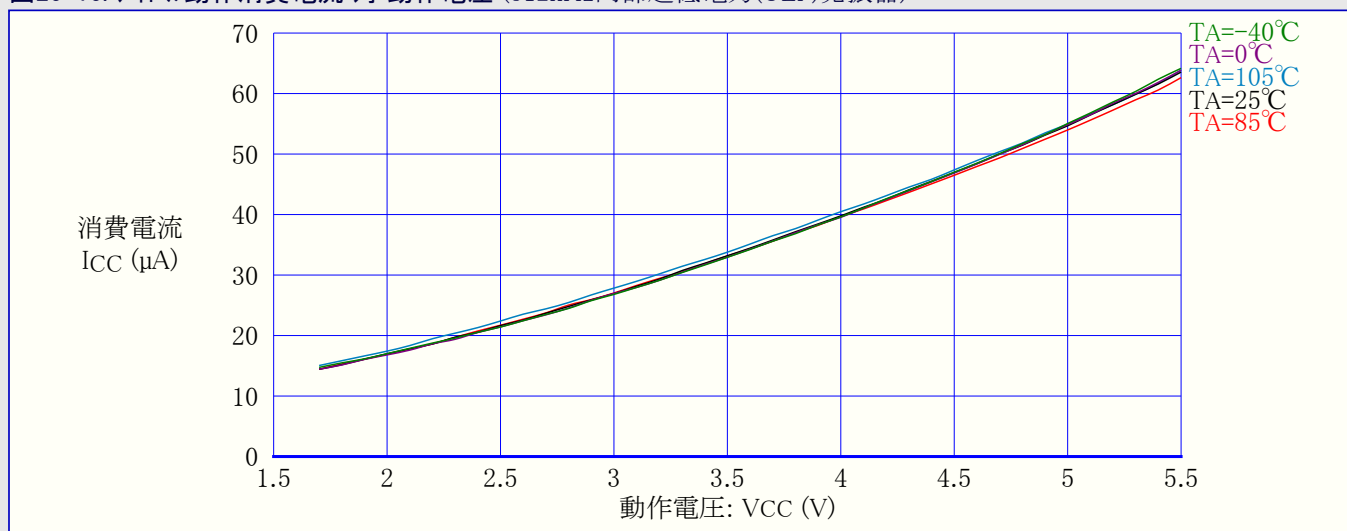


図26-15. アイトル動作消費電流 対 動作電圧 (256kHz内部超低電力(ULP)発振器)



図26-16. アトル動作消費電流 対 動作電圧 (512kHz内部超低電力(ULP)発振器)



26.1.1.3. スタンバイ動作消費電流

図26-17. スタンバイ動作消費電流 対 動作電圧 (WDT禁止)

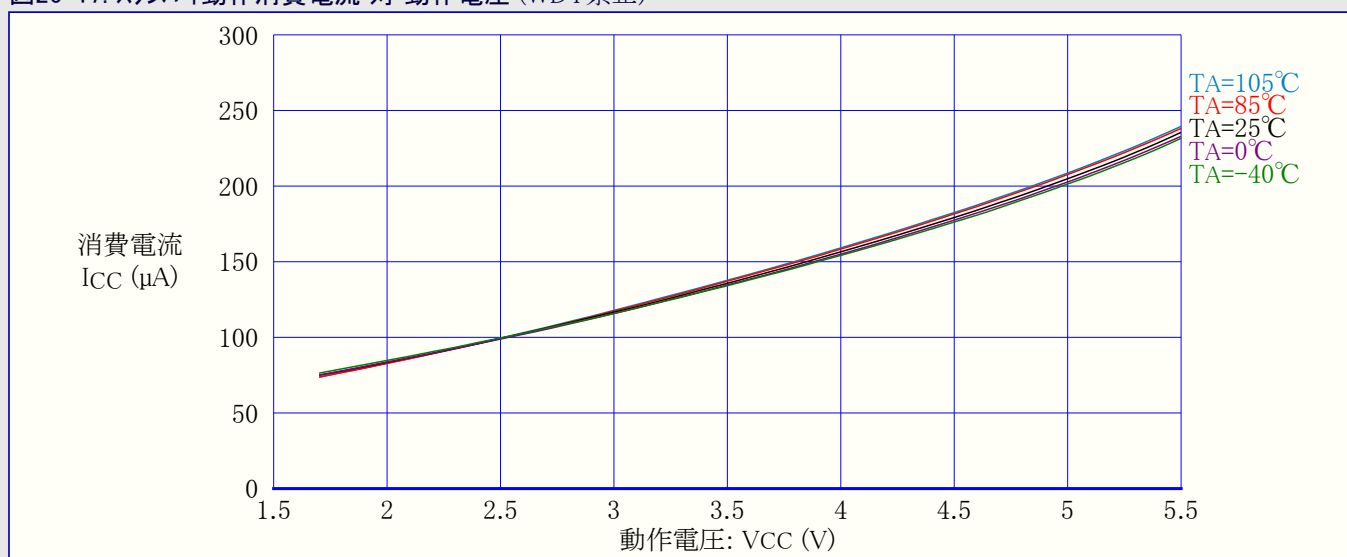
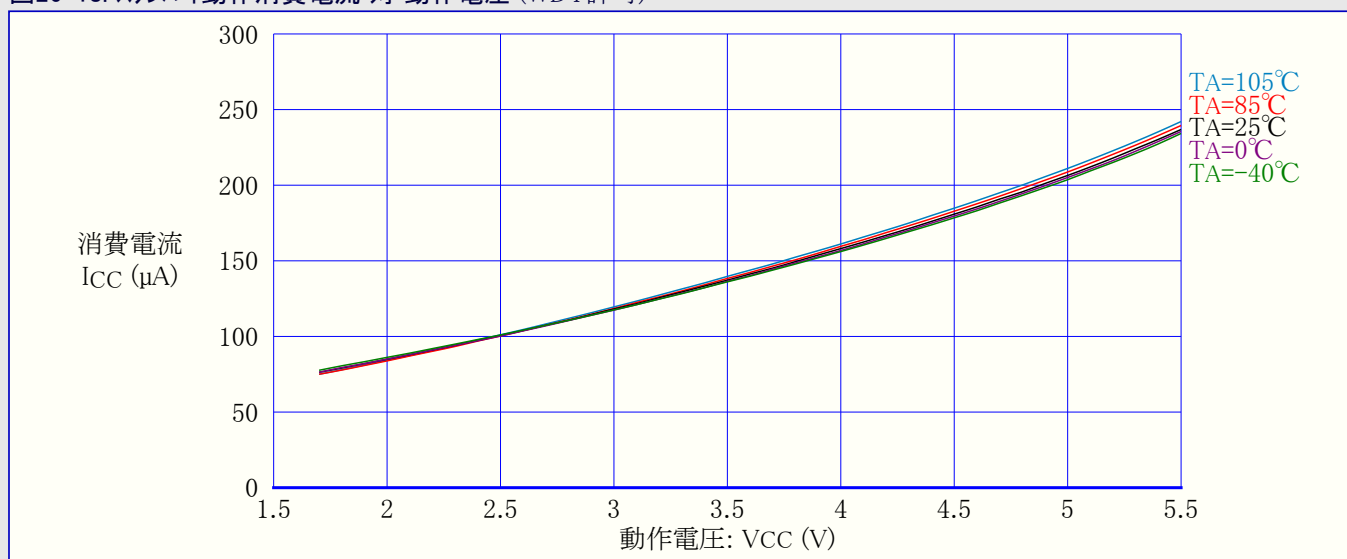


図26-18. スタンバイ動作消費電流 対 動作電圧 (WDT許可)



26.1.1.4. パワーダウン動作消費電流

図26-19. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

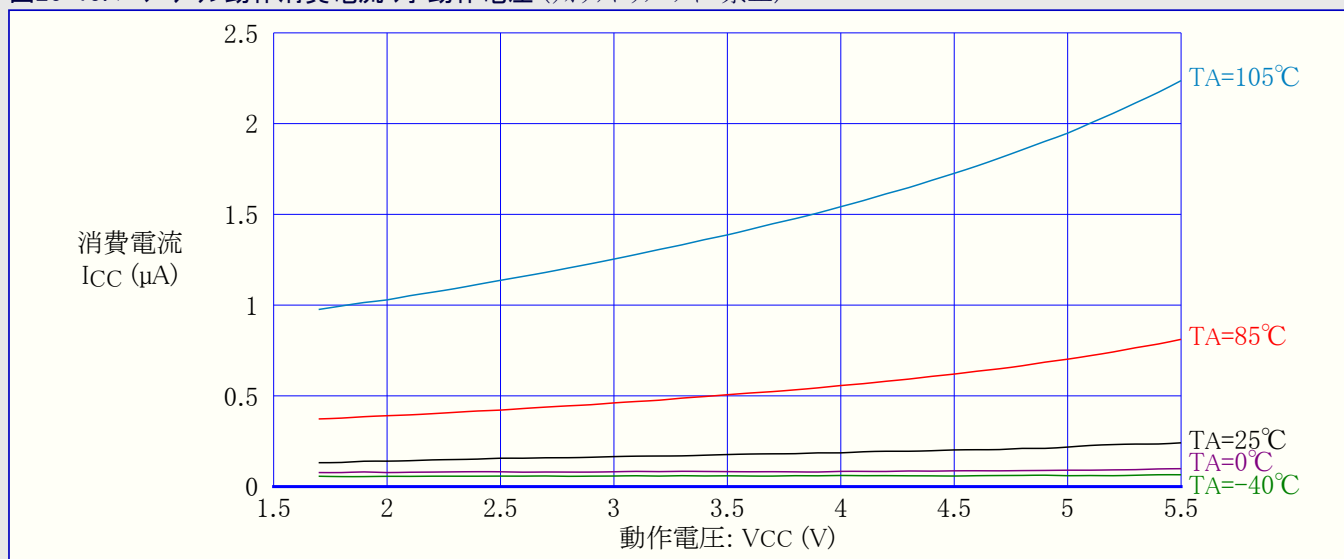
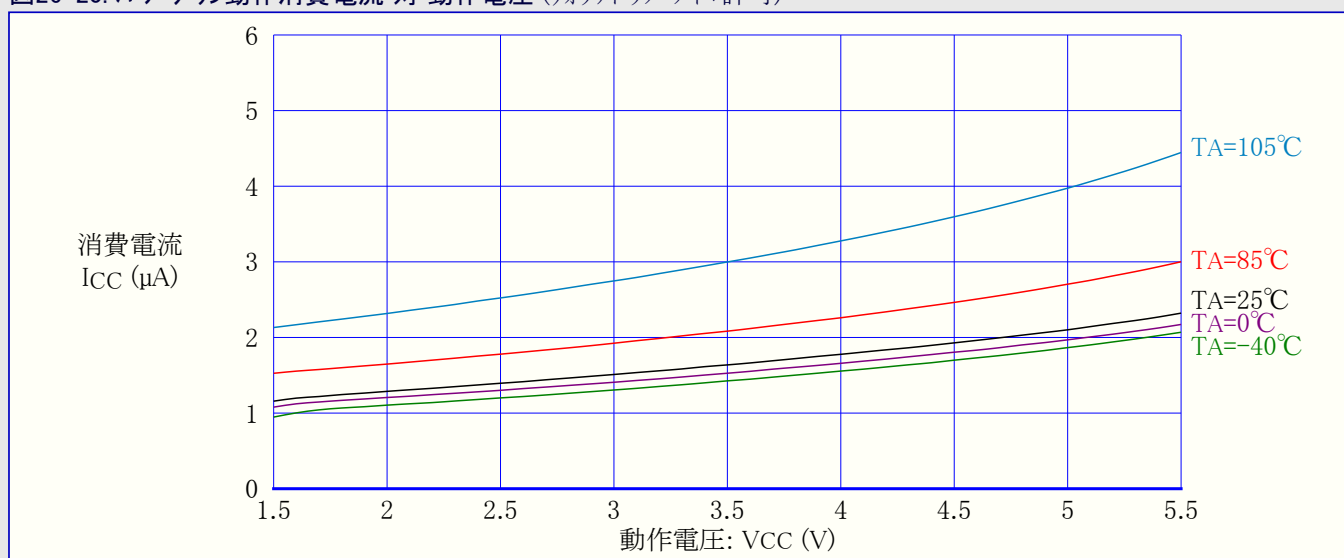


図26-20. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



26.1.1.5. リセットとリセット パルス幅

図26-21. リセット消費電流 対 動作電圧 (RESETプルアップを通る電流を除く)

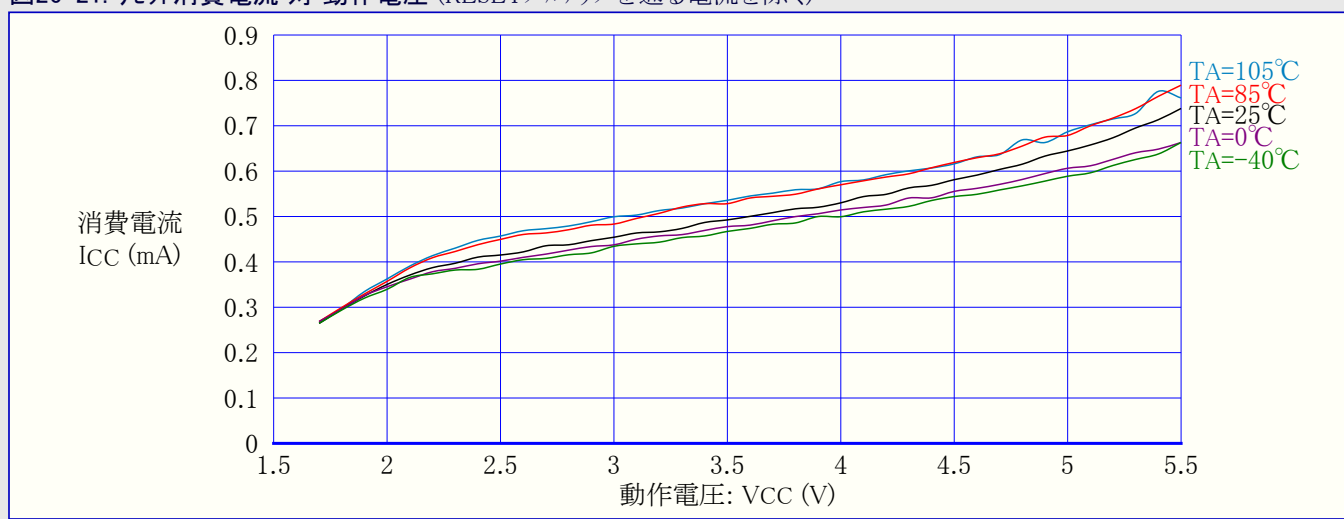
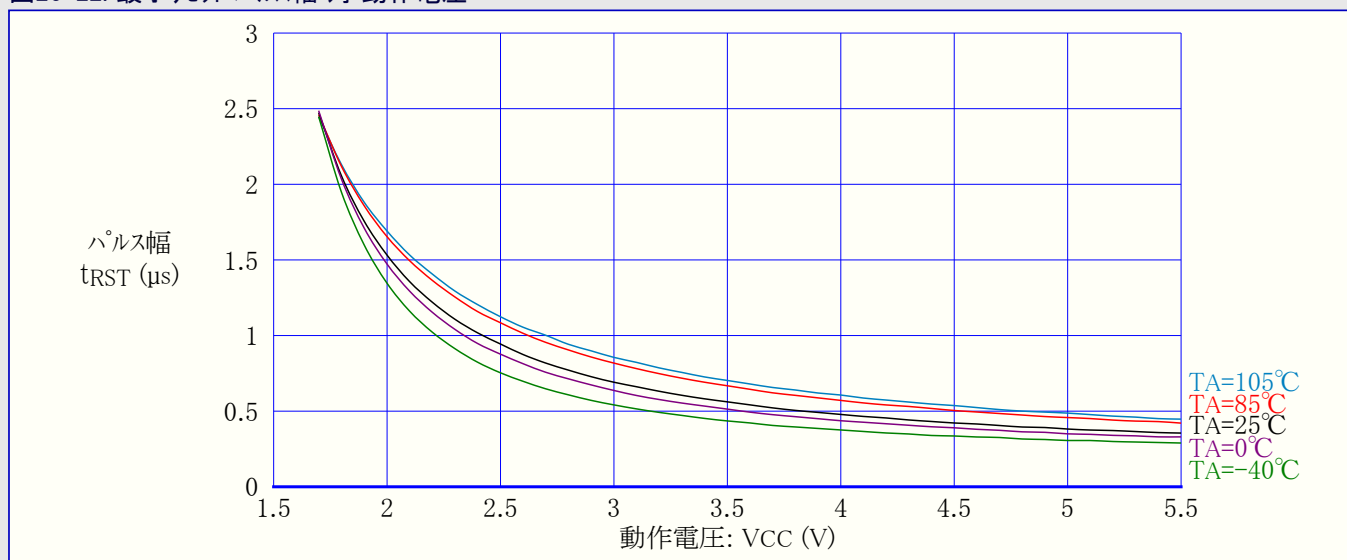
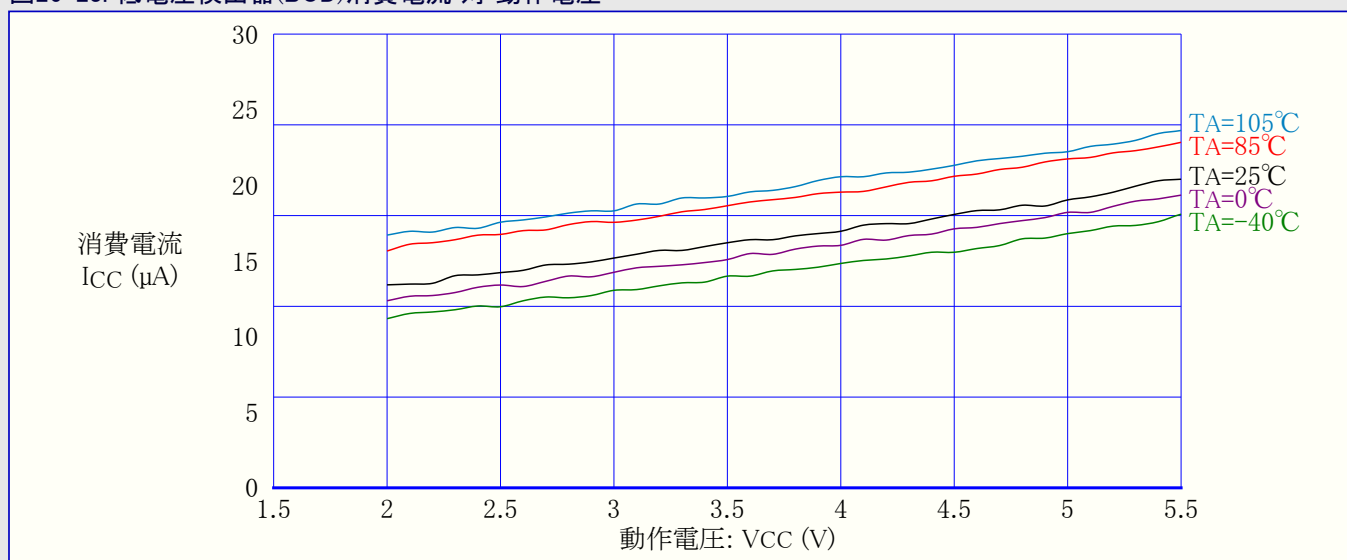


図26-22. 最小リセットパルス幅 対 動作電圧



26.1.1.6. 低電圧検出器 (BOD)

図26-23. 低電圧検出器(BOD)消費電流 対 動作電圧



26.1.1.7. 周辺機能部

図26-24. アナログ比較器0(AC0)消費電流 対 動作電圧 (周波数=1MHz)

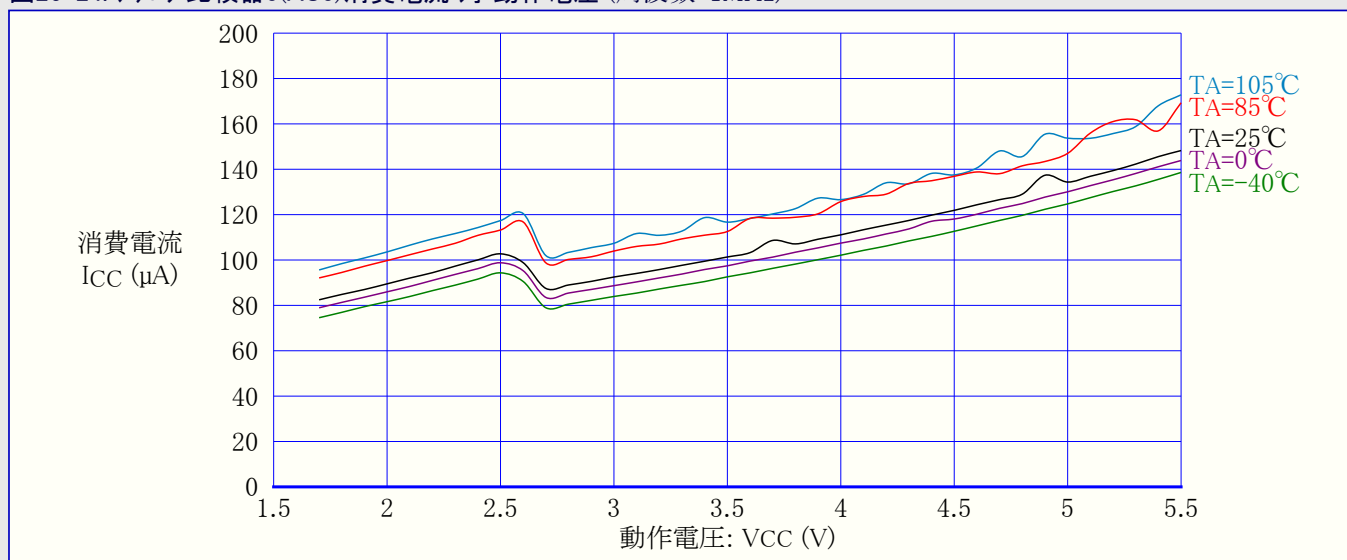


図26-25. アナログ比較器1(AC1)消費電流 対 動作電圧 (周波数=1MHz)

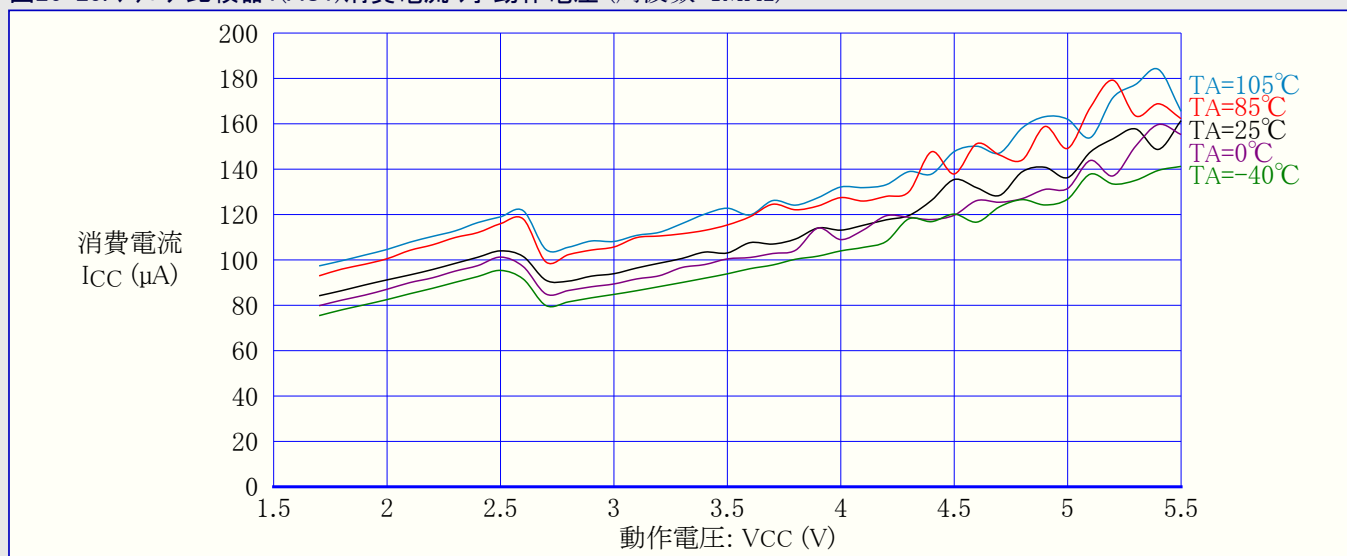


図26-26. A/D変換器(ADC)消費電流 対 動作電圧

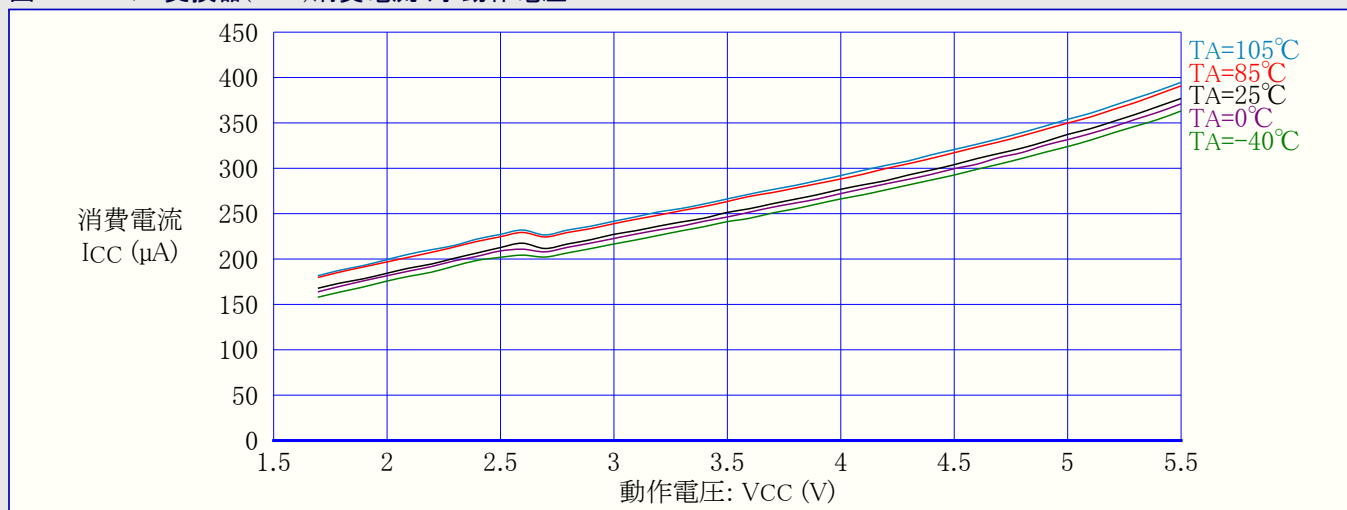


図26-27. 直列周辺インターフェース(SPI)消費電流 対 動作電圧

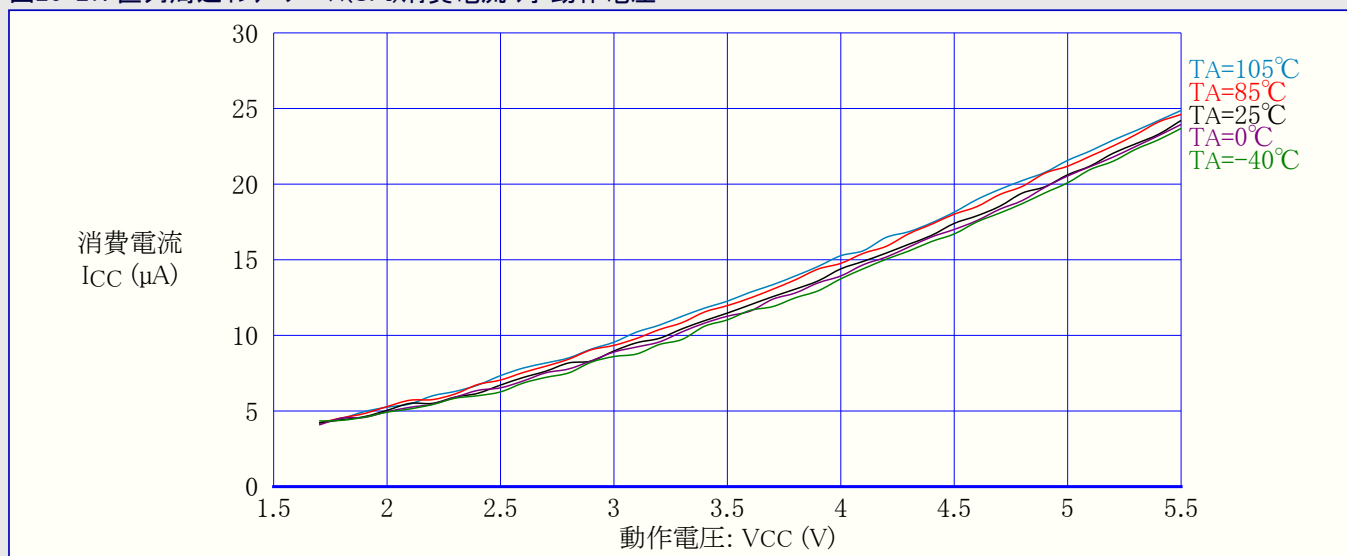


図26-28. タイマ/カウンタ0(TC0)消費電流 対 動作電圧

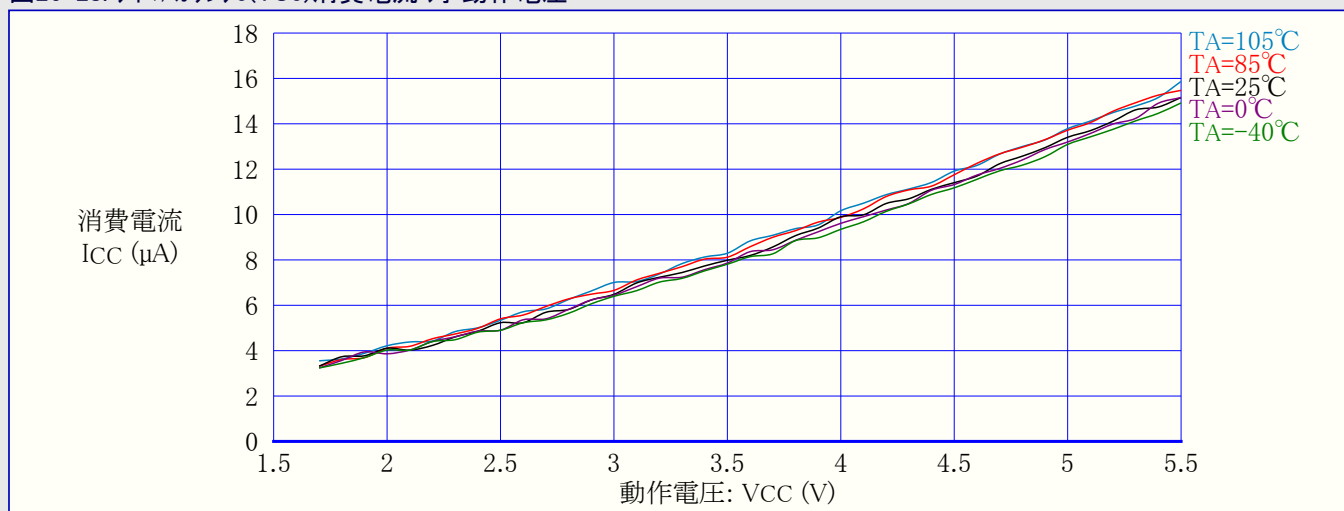


図26-29. タイマ/カウンタ1(TC1)消費電流 対 動作電圧

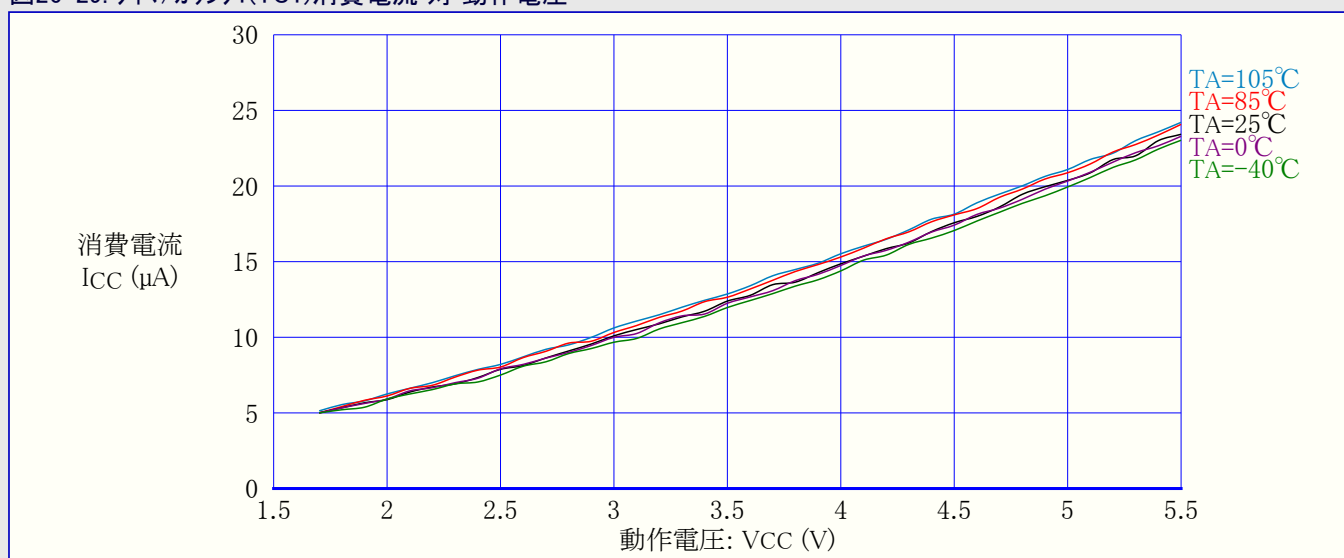


図26-30. タイマ/カウンタ2(TC2)消費電流 対 動作電圧

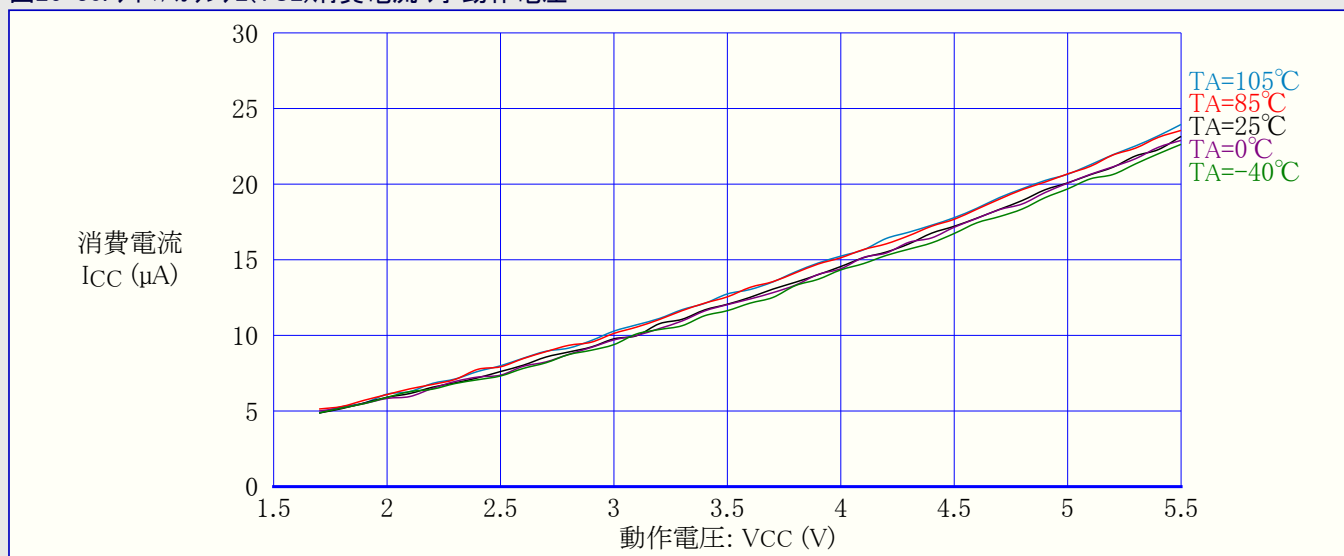


図26-31. 2線インターフェース(TWI)消費電流 対 動作電圧

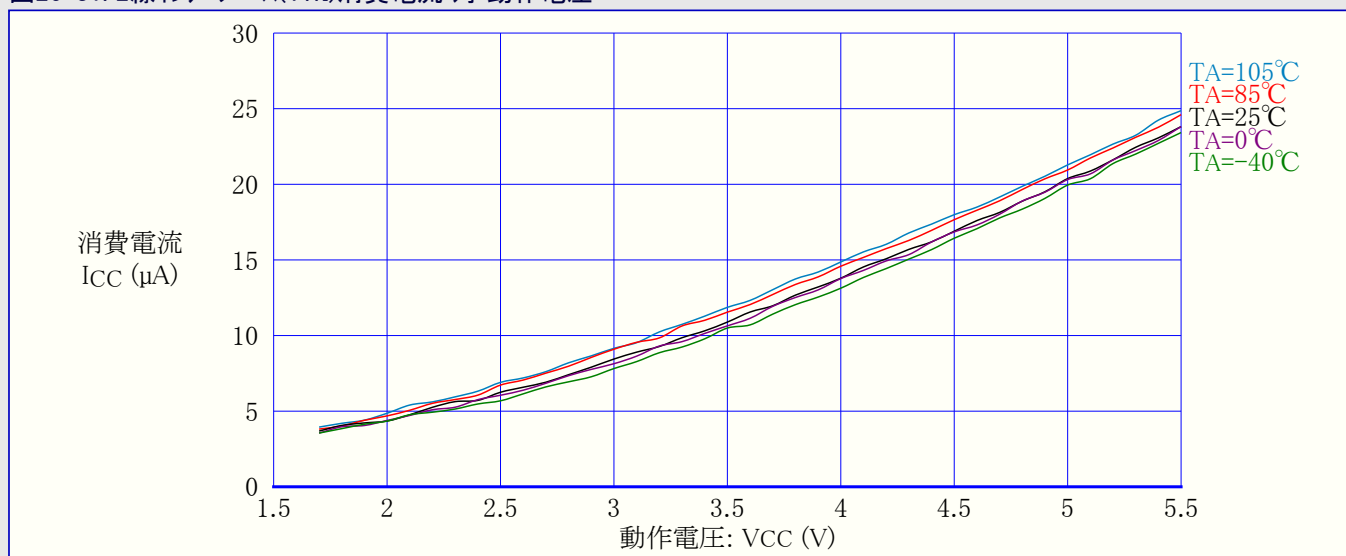


図26-32. USART0消費電流 対 動作電圧

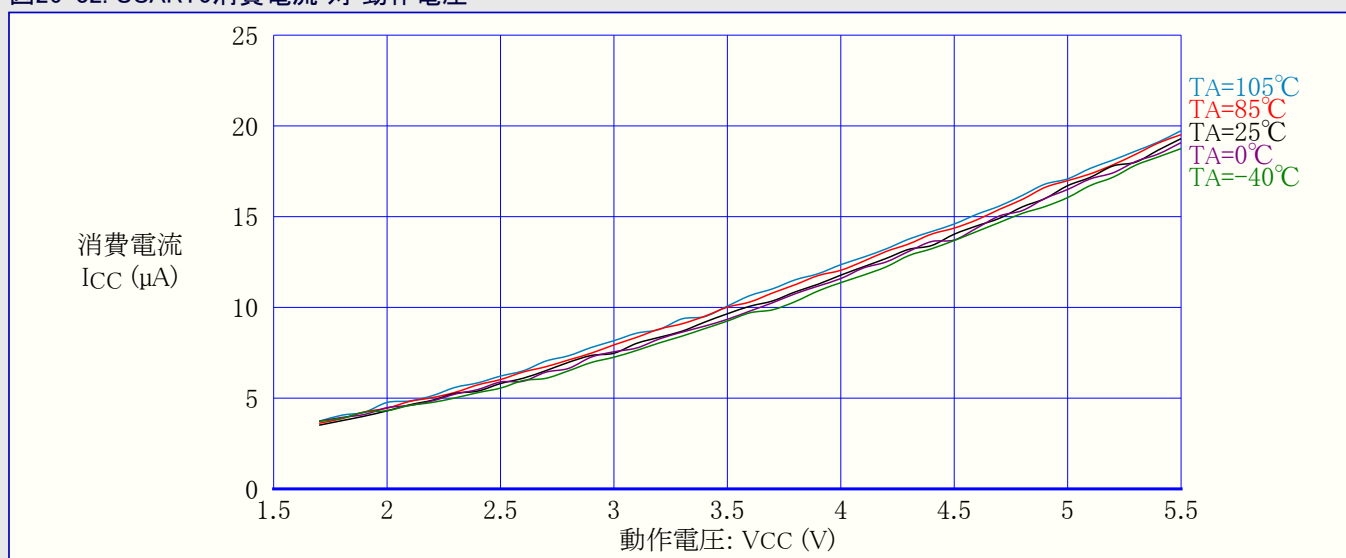
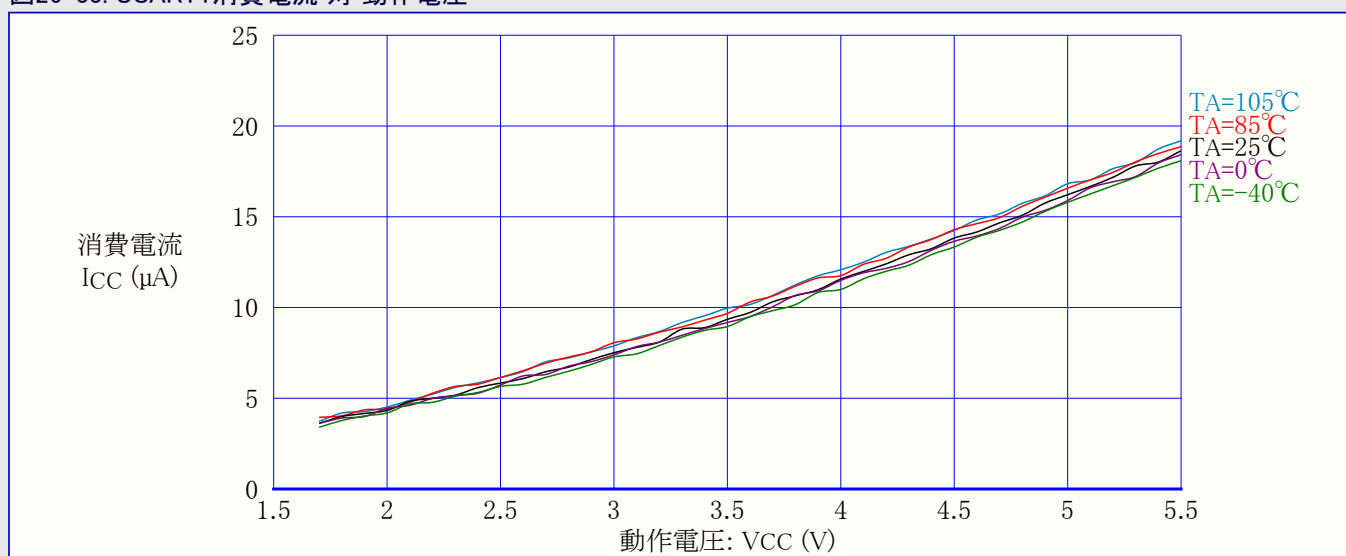


図26-33. USART1消費電流 対 動作電圧



26.1.2. プルアップ抵抗電流

26.1.2.1. I/Oピンプルアップ抵抗電流

図26-34. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

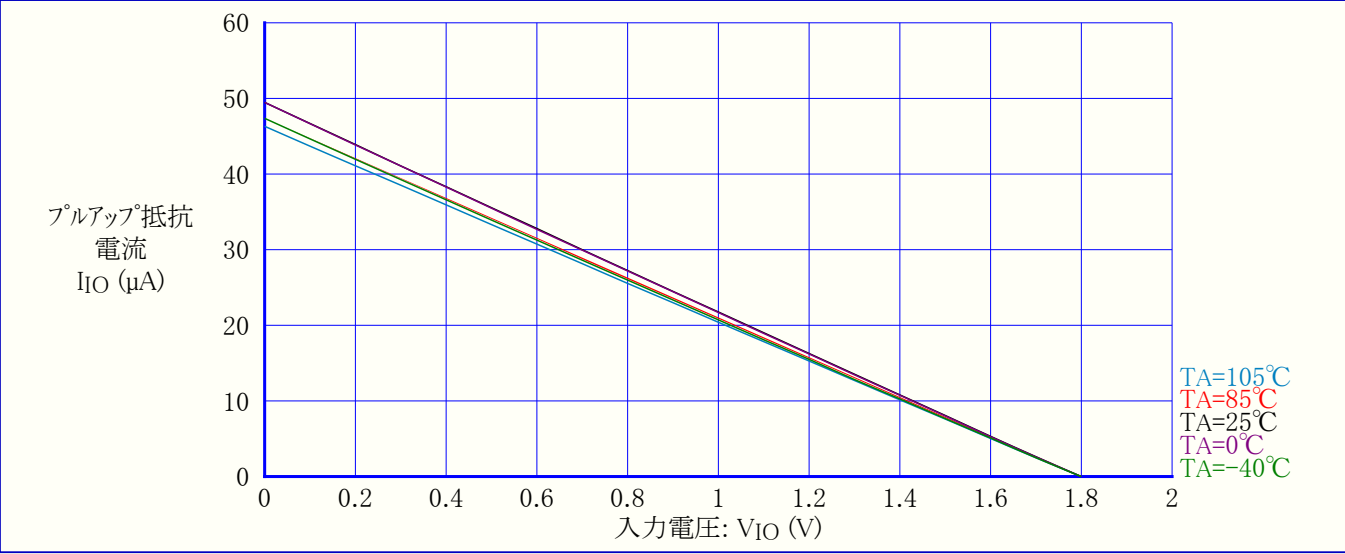


図26-35. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

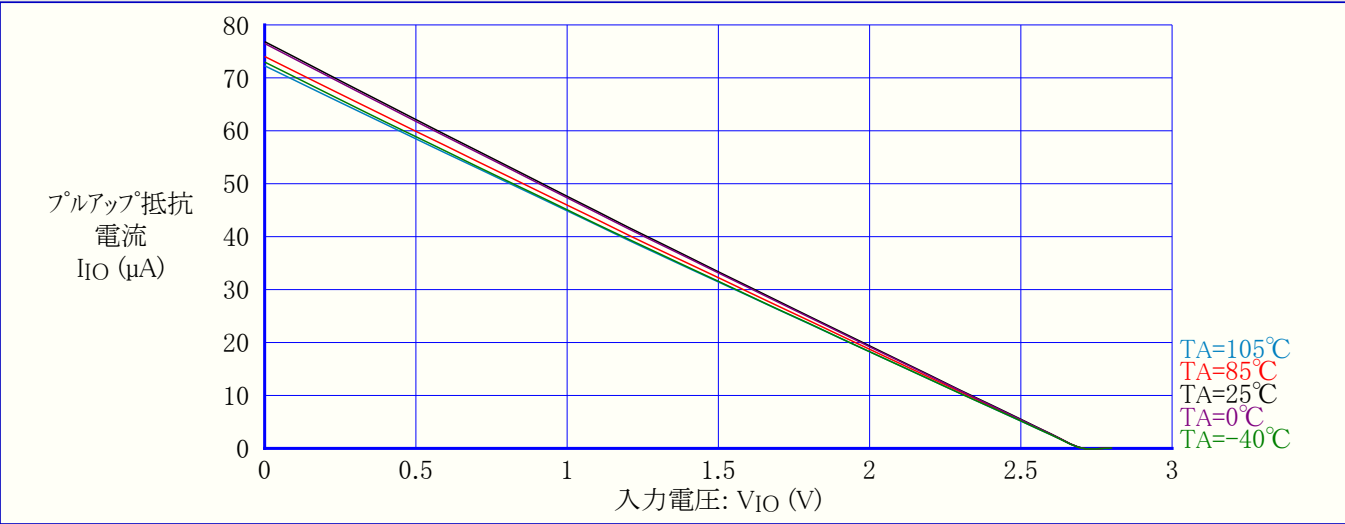
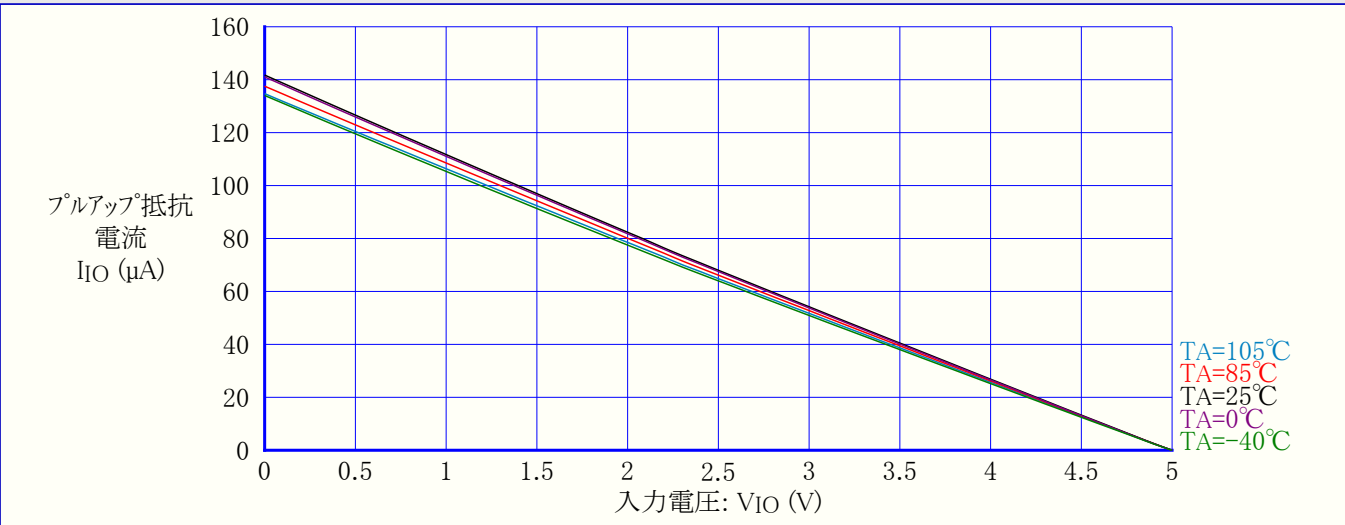


図26-36. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)



26.1.2.2. RESETフルアップ抵抗電流

図26-37. RESETフルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

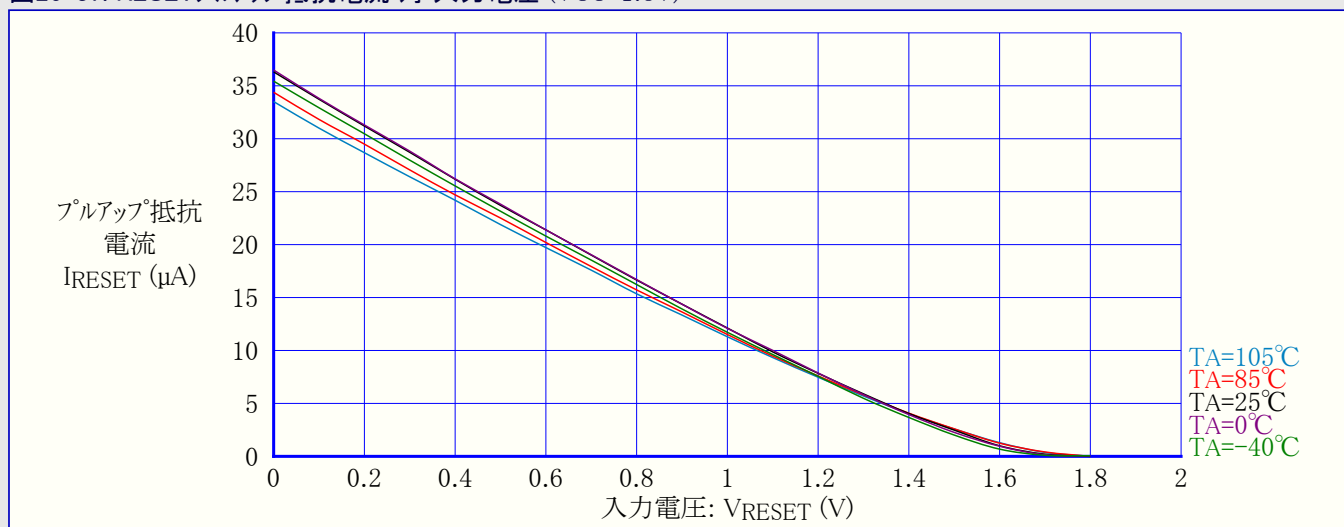


図26-38. RESETフルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

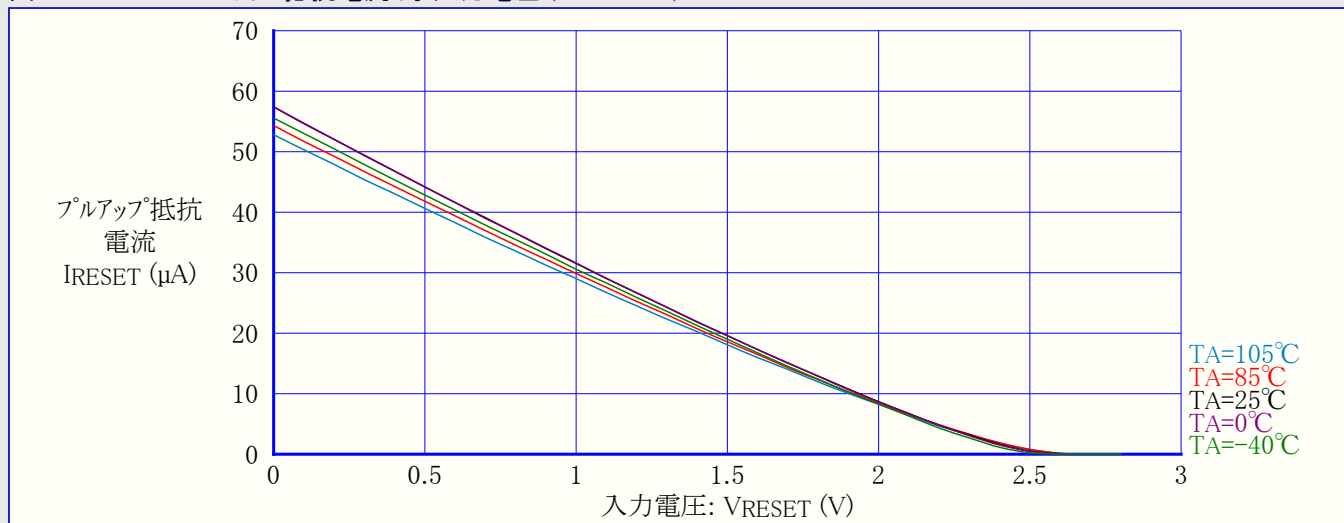
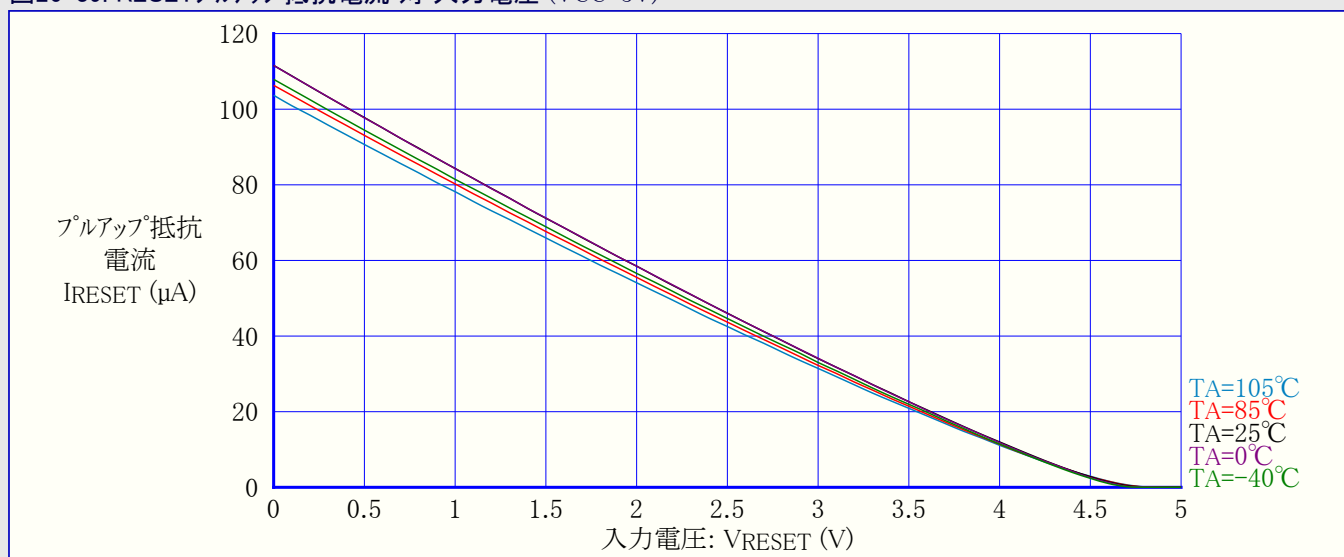


図26-39. RESETフルアップ抵抗電流 対 入力電圧 (VCC=5V)



26.1.3. 入力閾値とヒステリシス

26.1.3.1. I/Oピン

図26-40. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

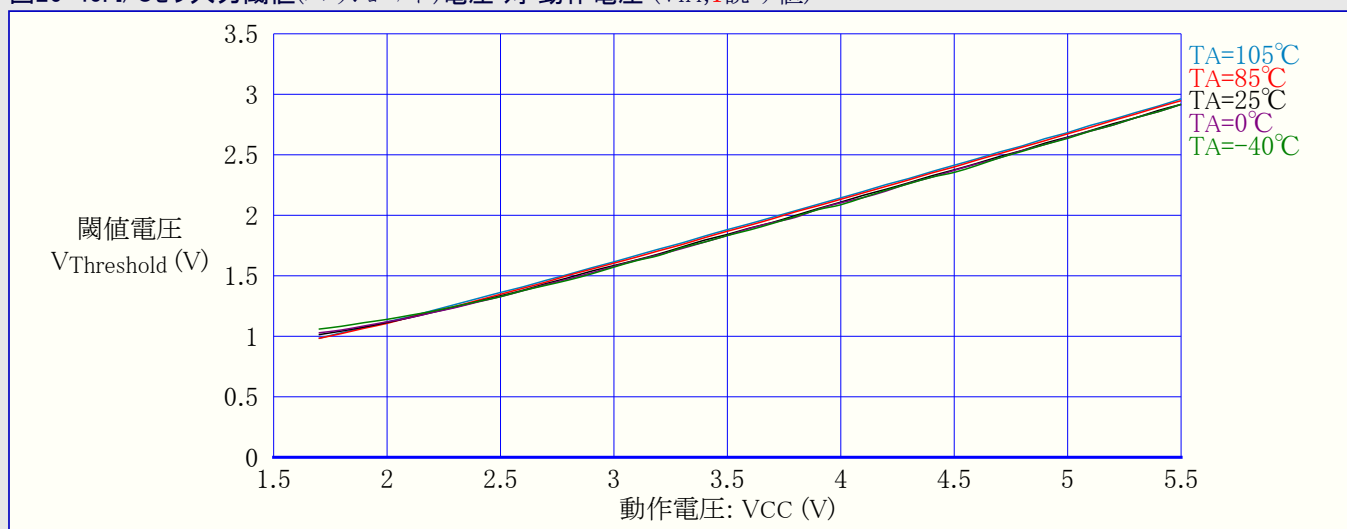


図26-41. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

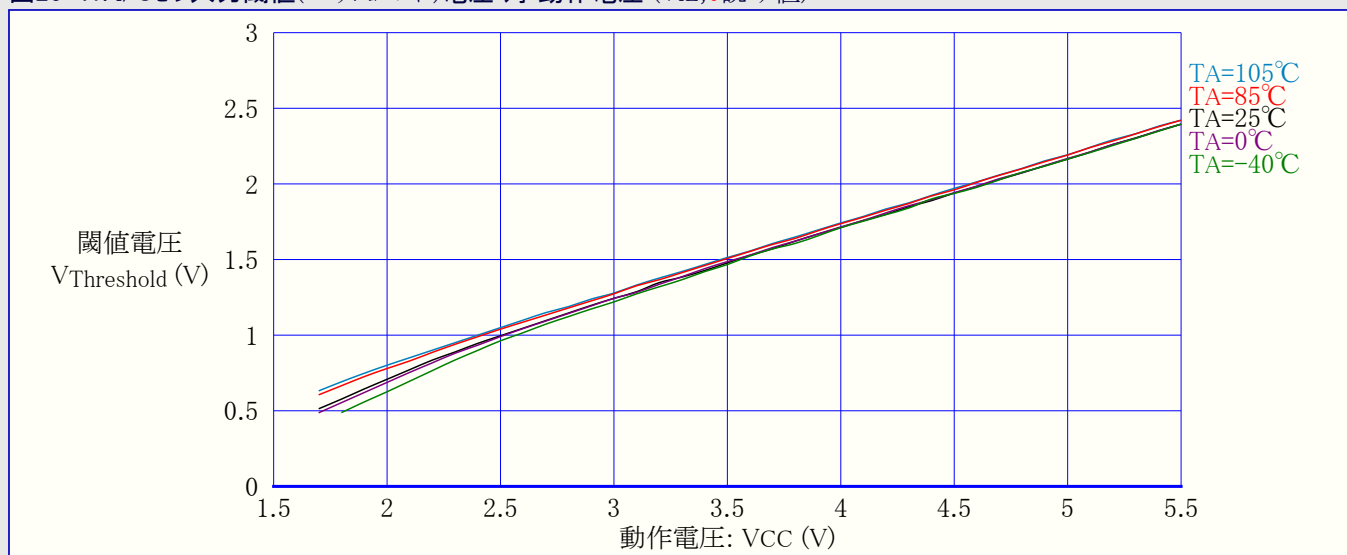
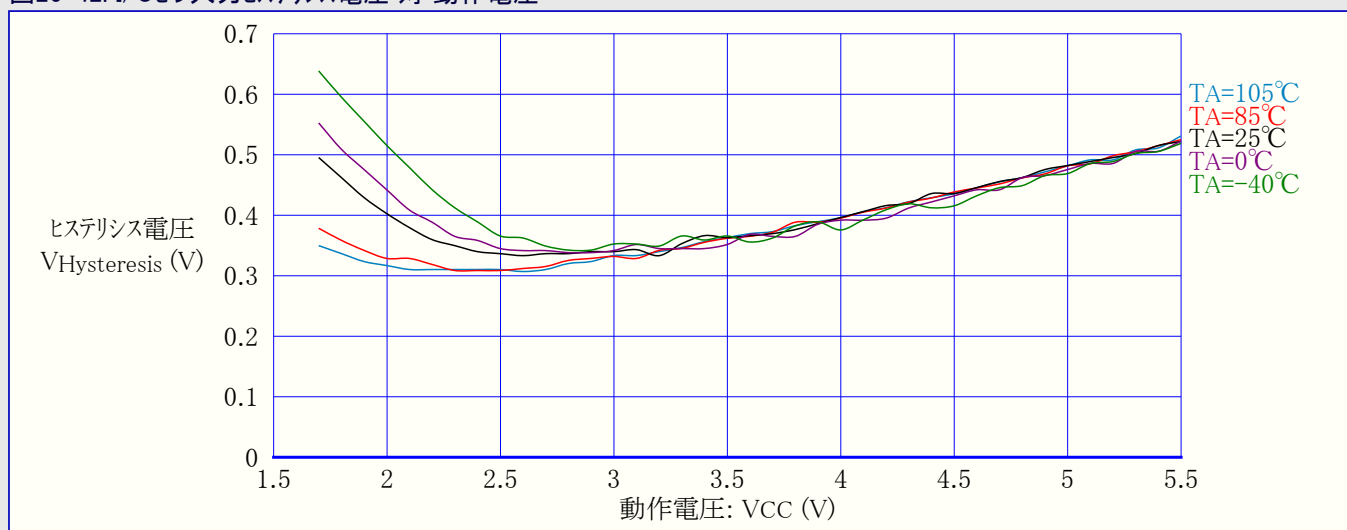


図26-42. I/Oピン入力ヒステリシス電圧 対 動作電圧



26.1.3.2. I/Oとしてのリセットピン

図26-43. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

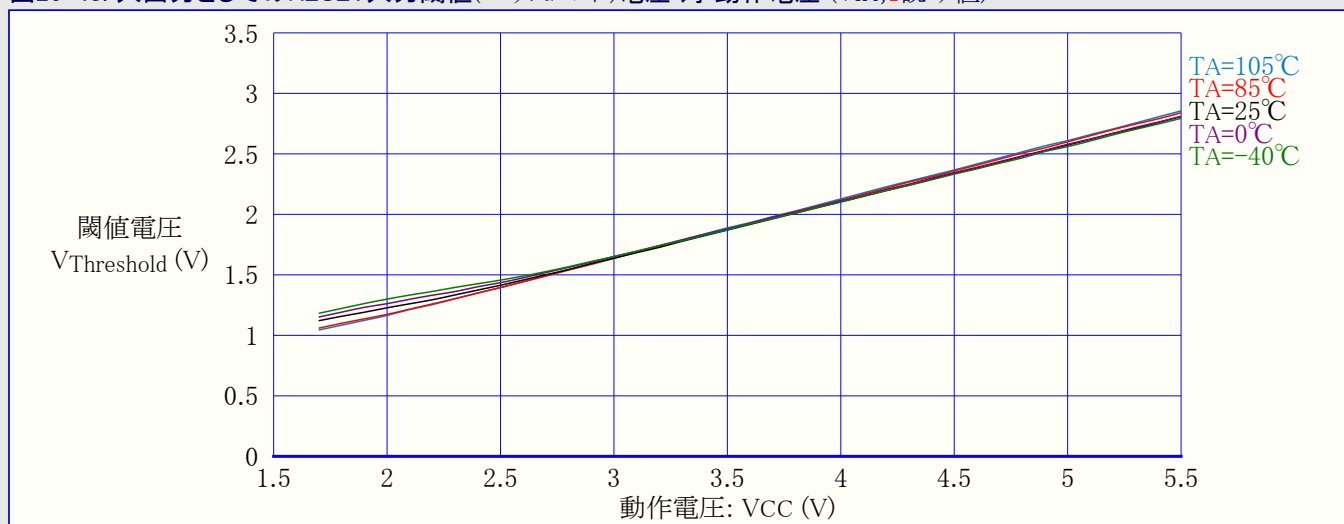


図26-44. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

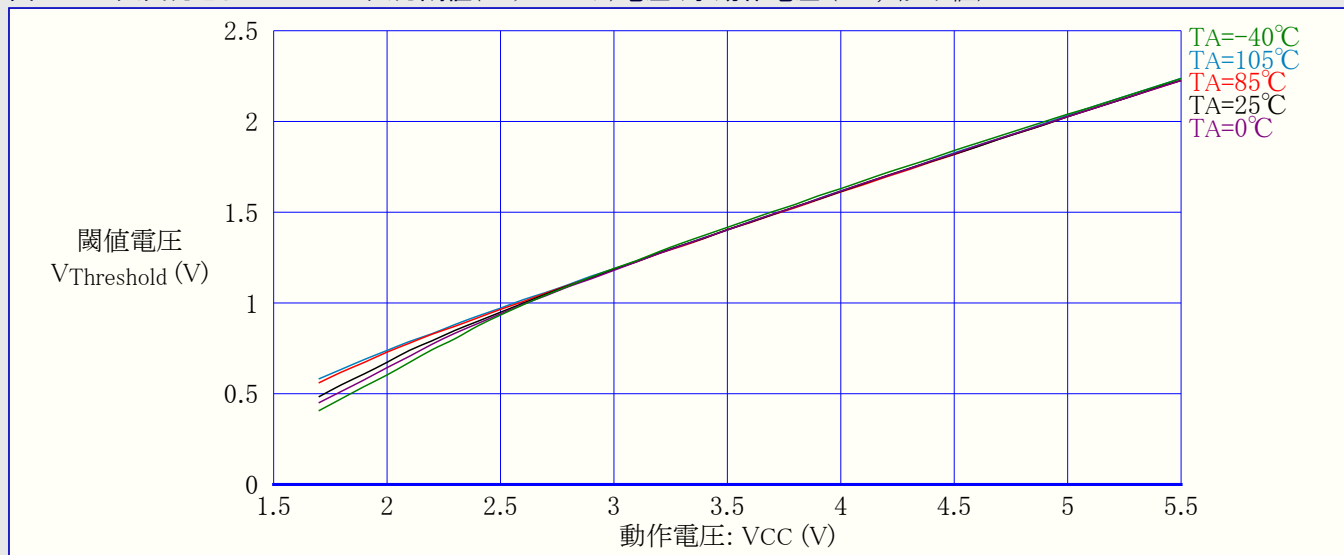
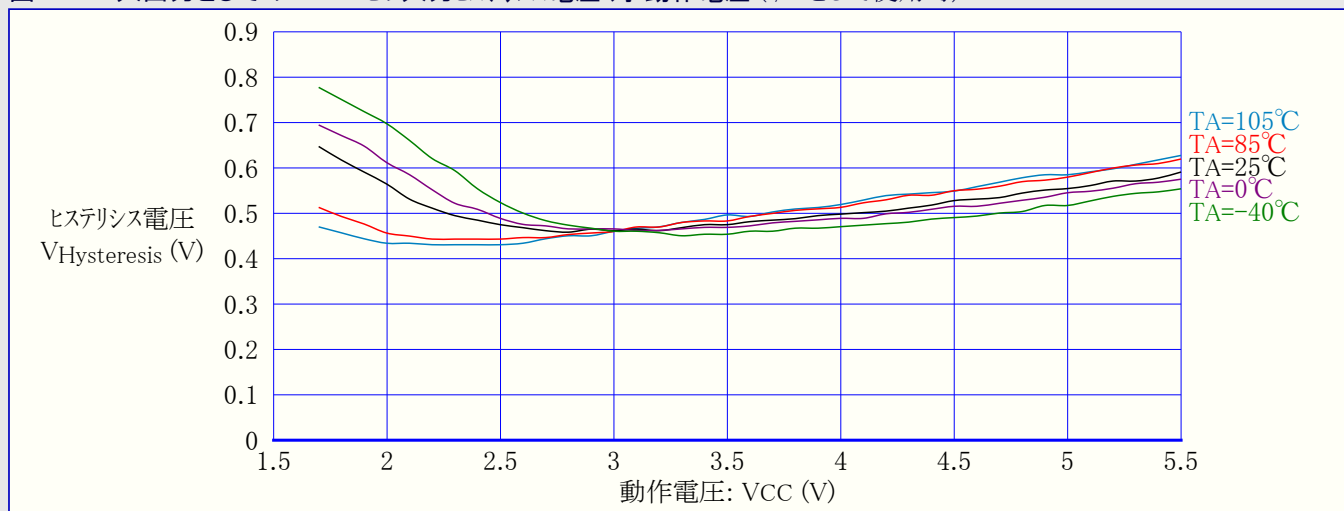


図26-45. 入出力としてのRESETピン入力ヒステリシス電圧 対 動作電圧 (I/Oとして使用時)



26.1.3.3. リセットピン

図26-46. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

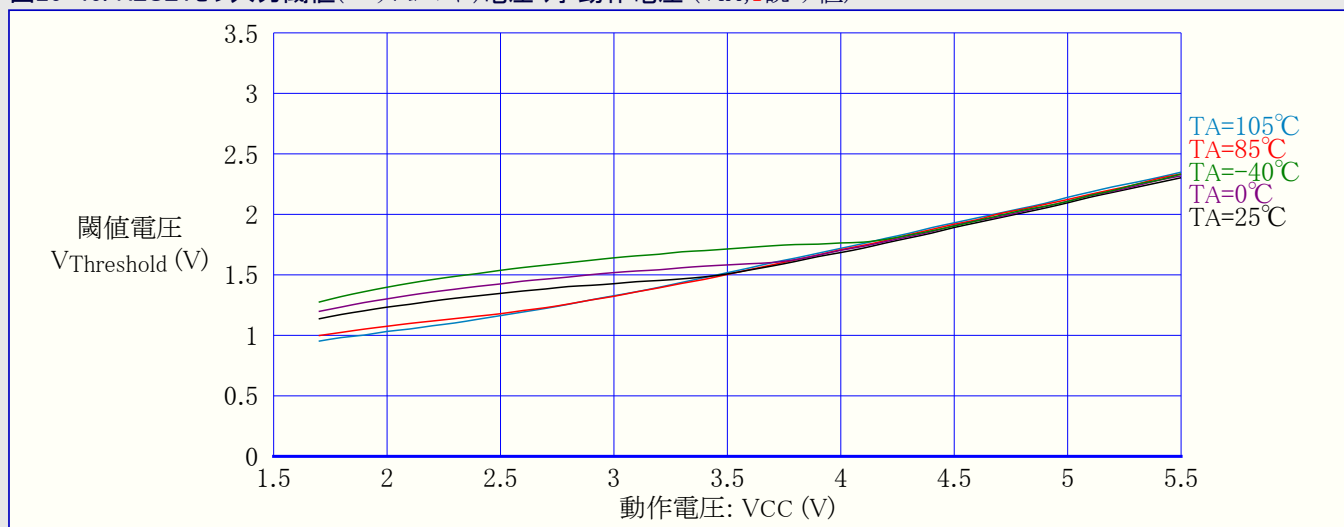


図26-47. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

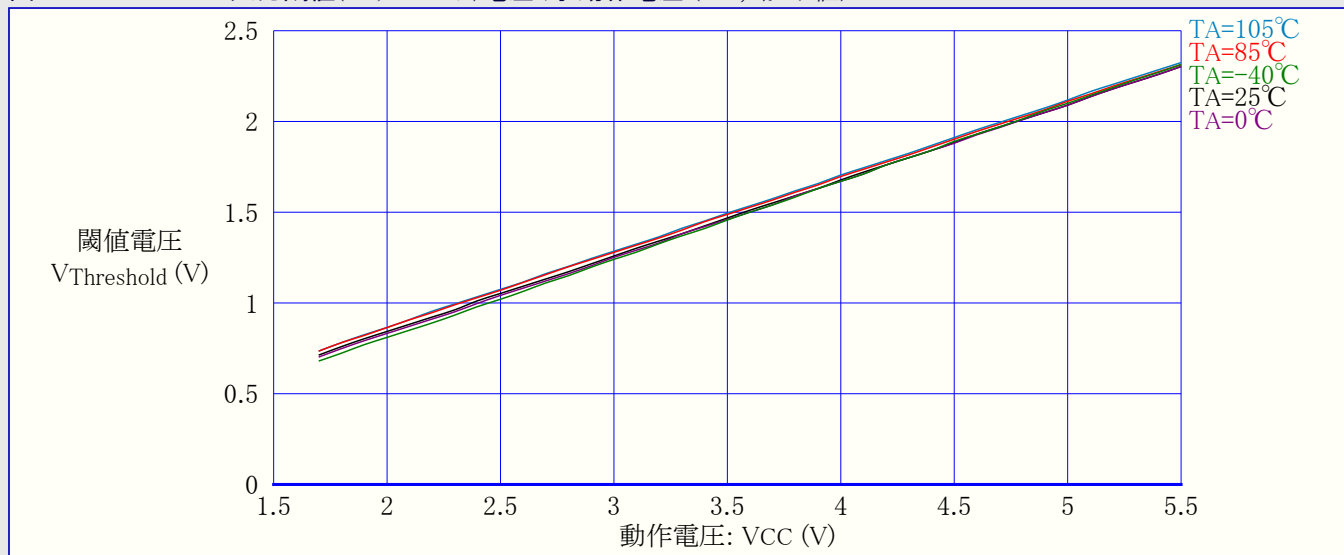
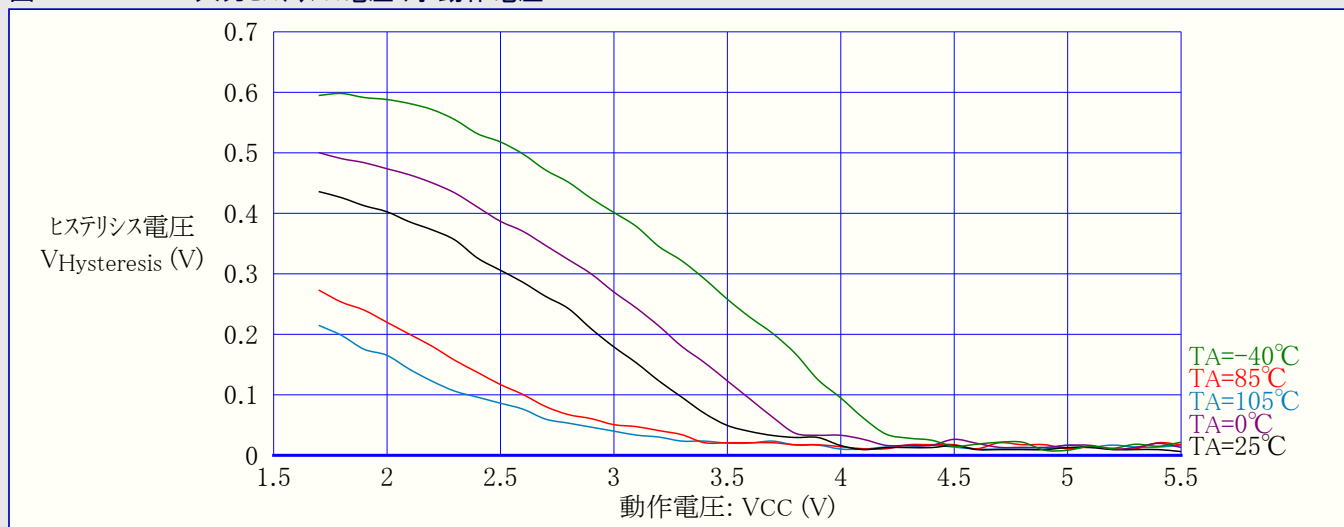


図26-48. RESET入力ヒステリシス電圧 対 動作電圧



26.1.4. 出力駆動能力

26.1.4.1. 吸い込み電流

図26-49. 標準I/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=1.8V$)

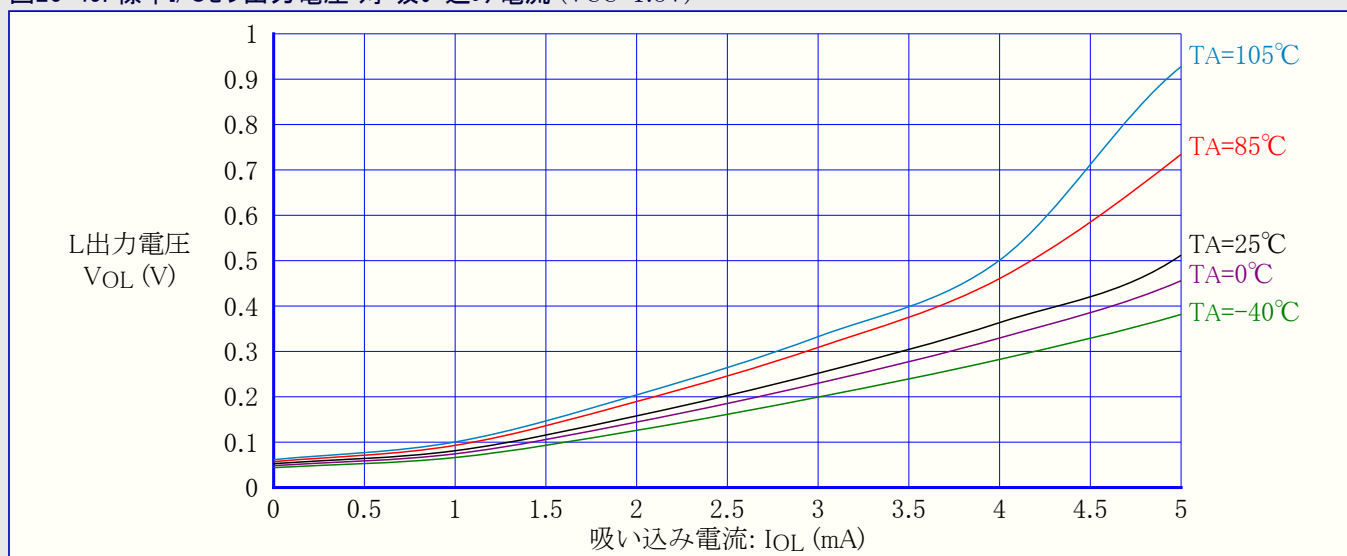


図26-50. 標準I/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=3V$)

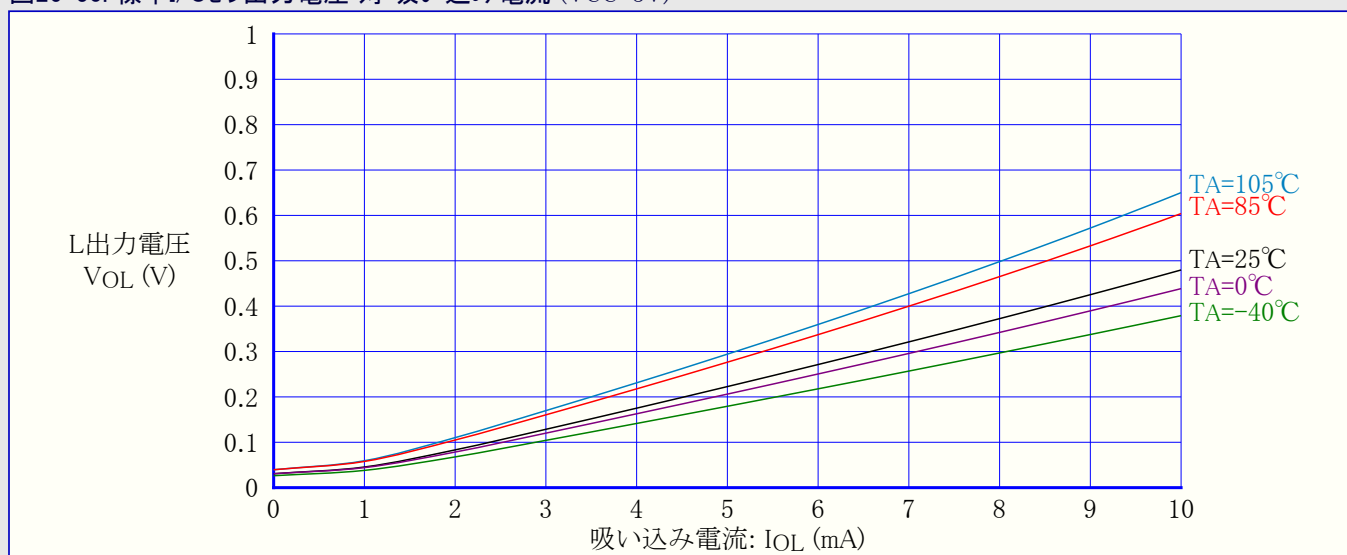


図26-51. 標準I/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=5V$)

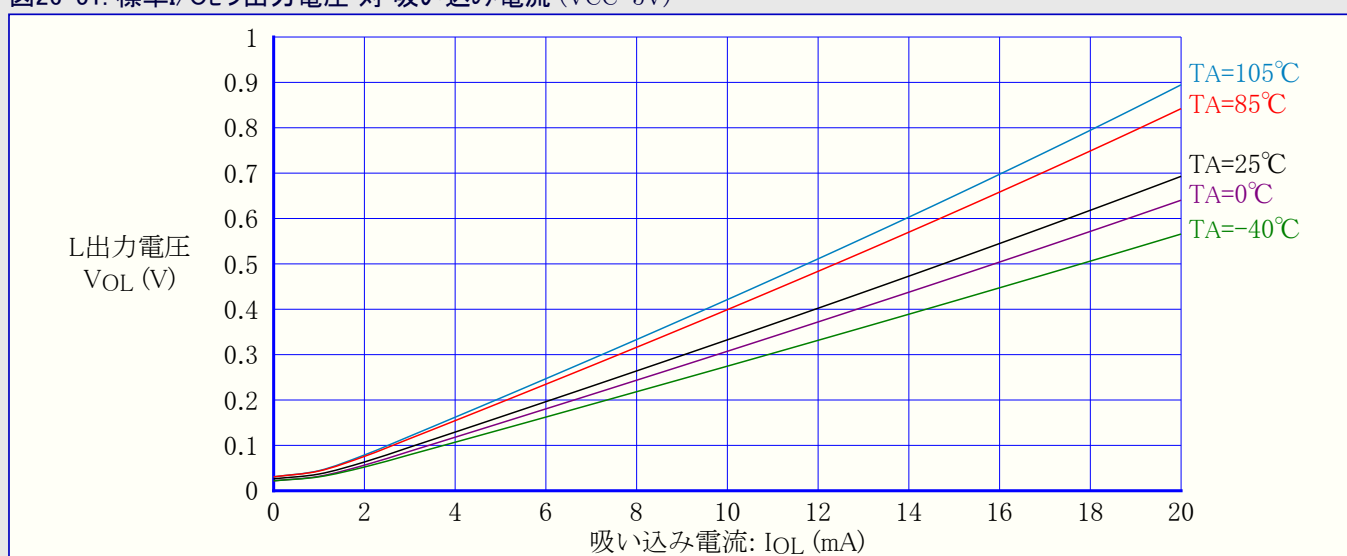


図26-52. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

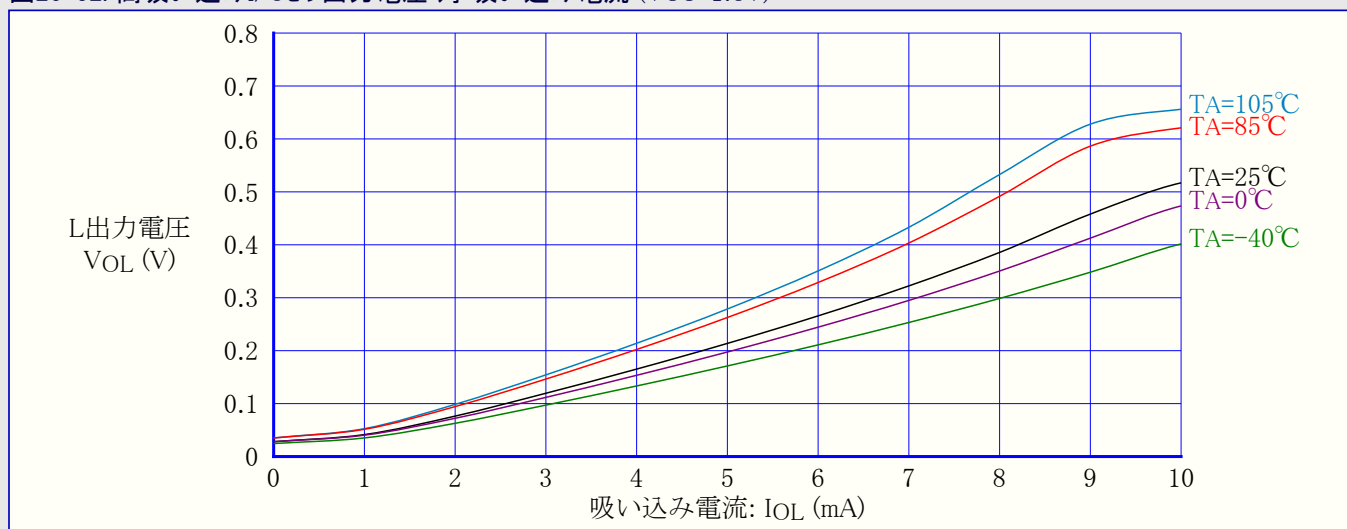


図26-53. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

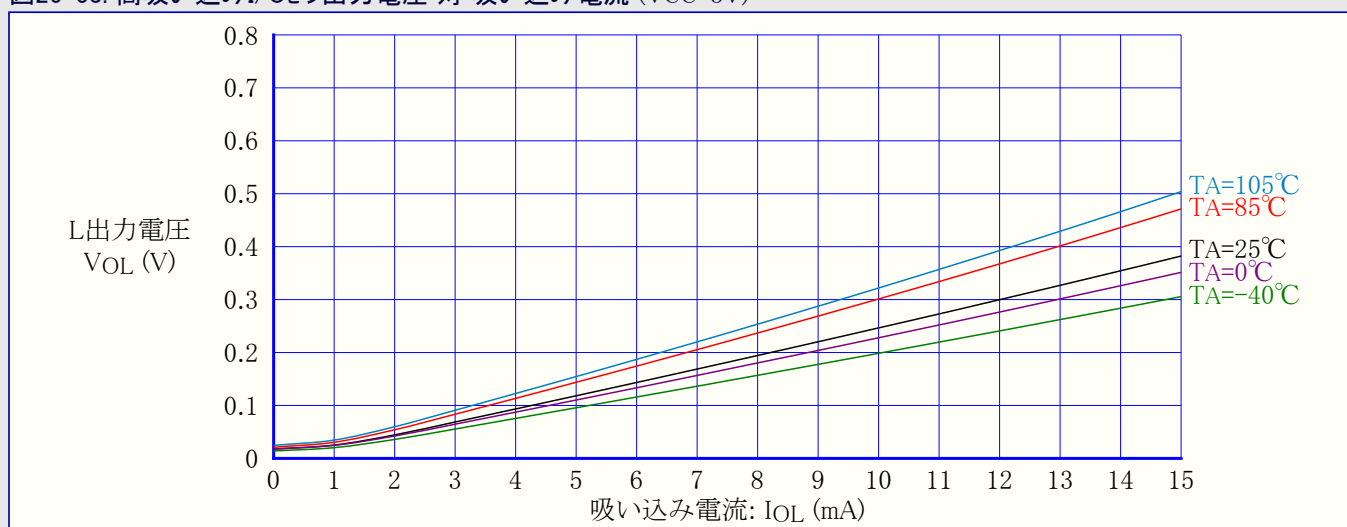


図26-54. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

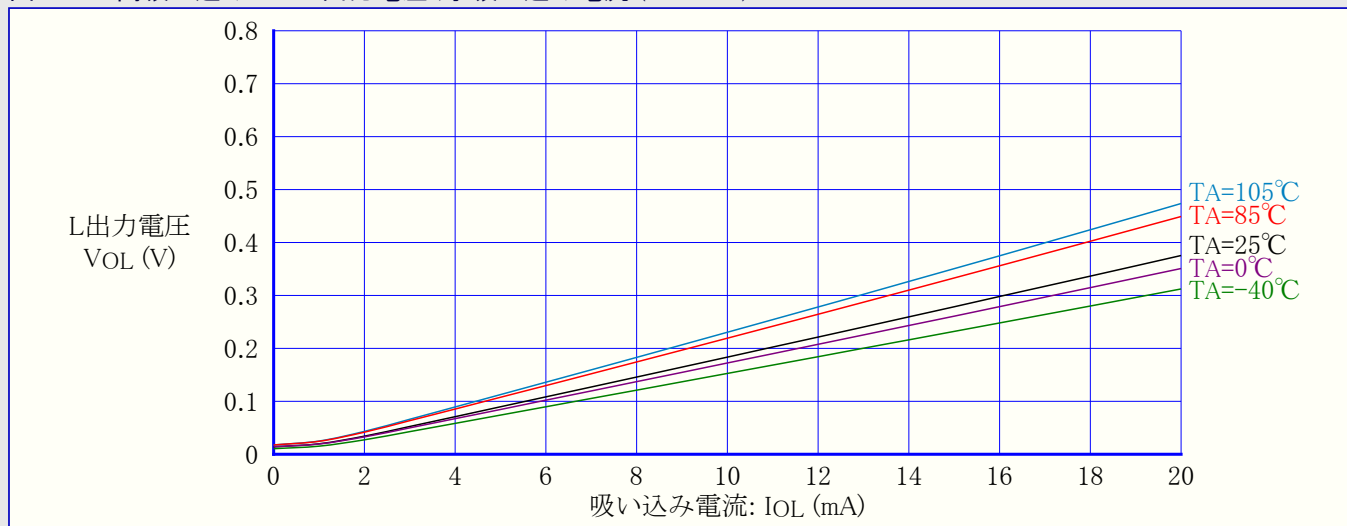


図26-55. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=1.8V$)

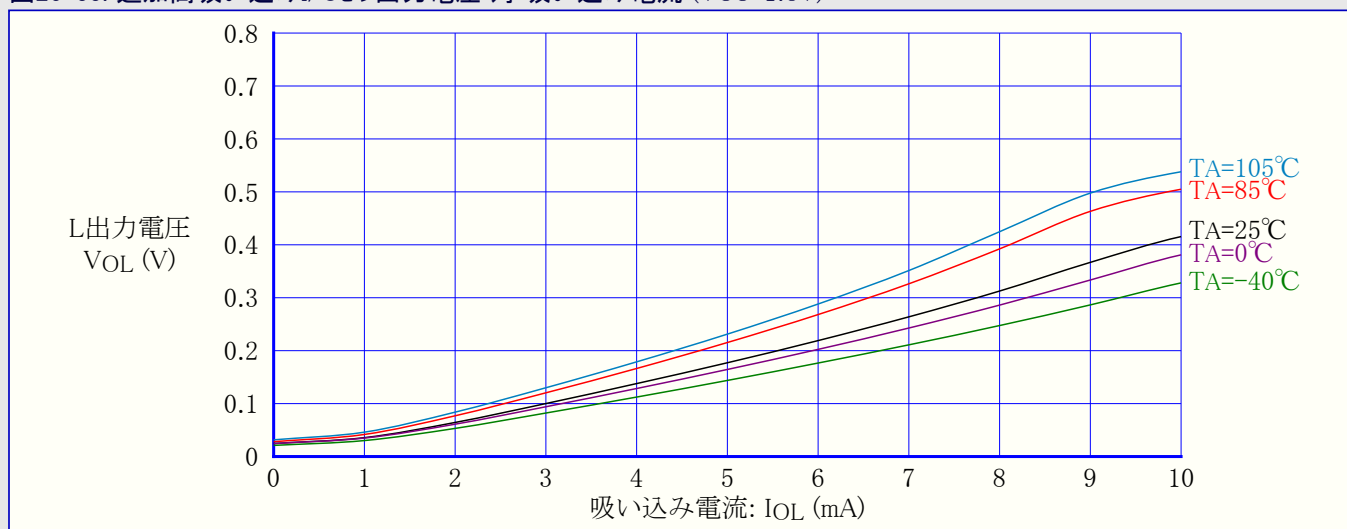


図26-56. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=3V$)

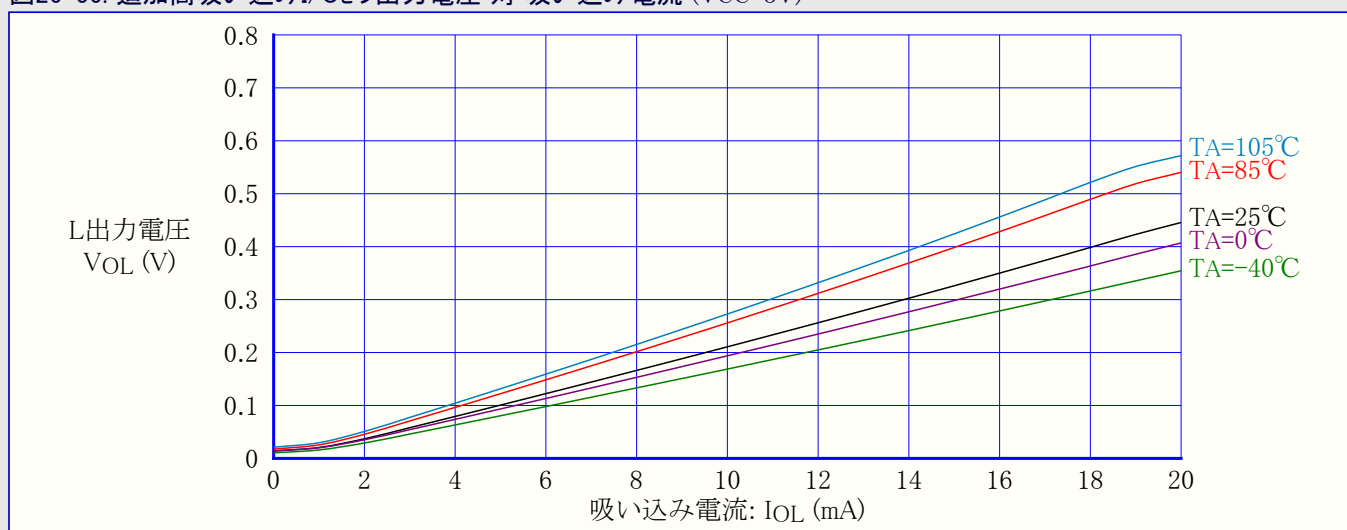


図26-57. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=5V$)

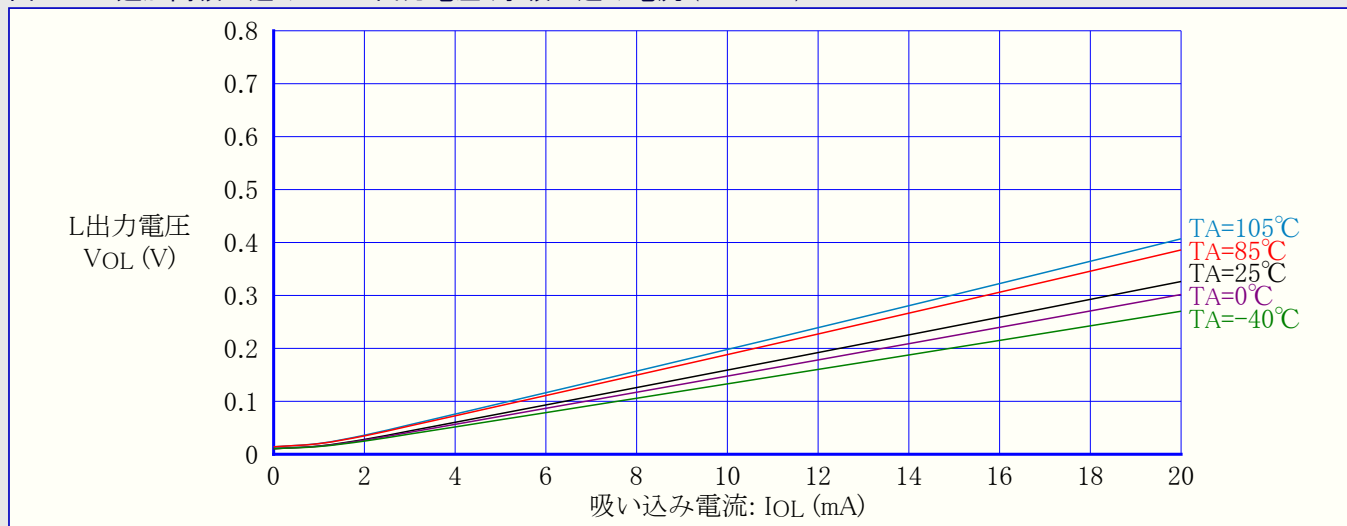


図26-58. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=1.8V)

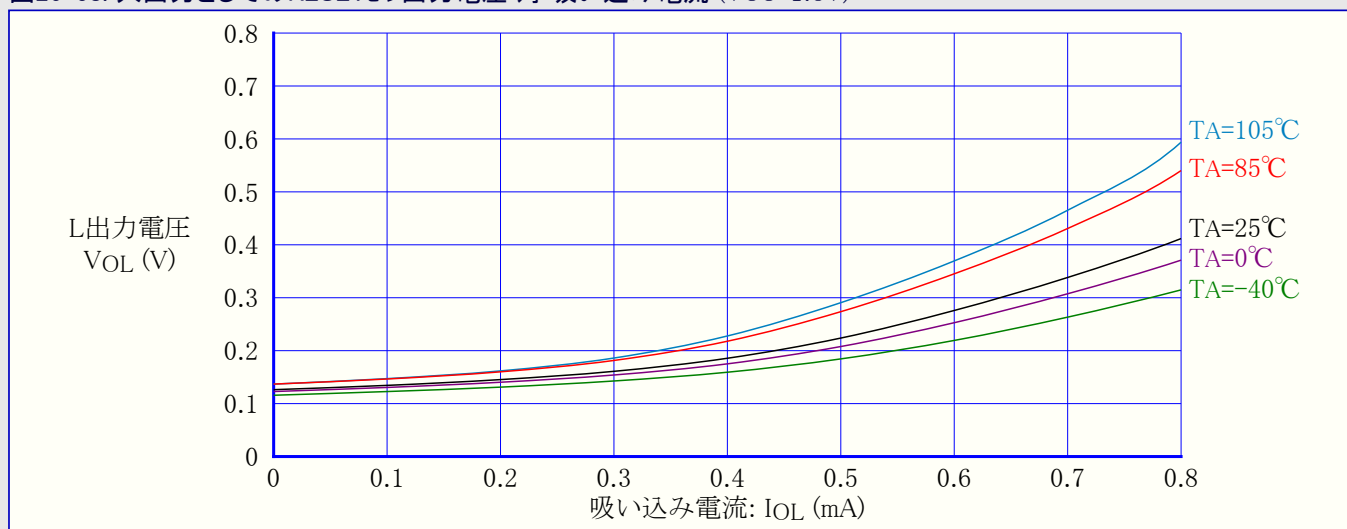


図26-59. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=3V)

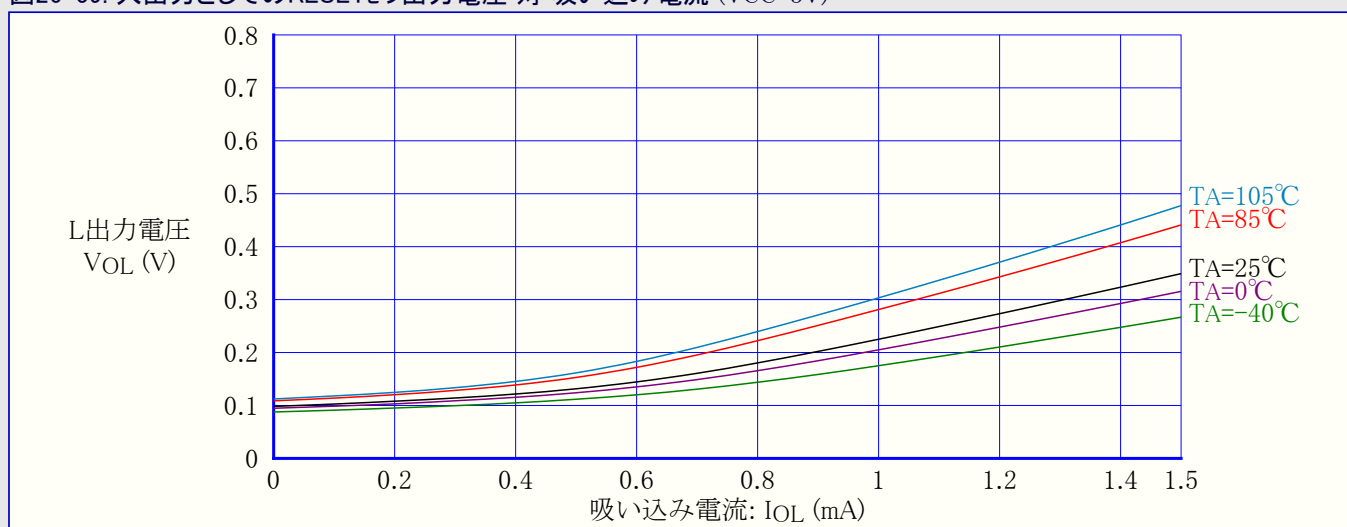
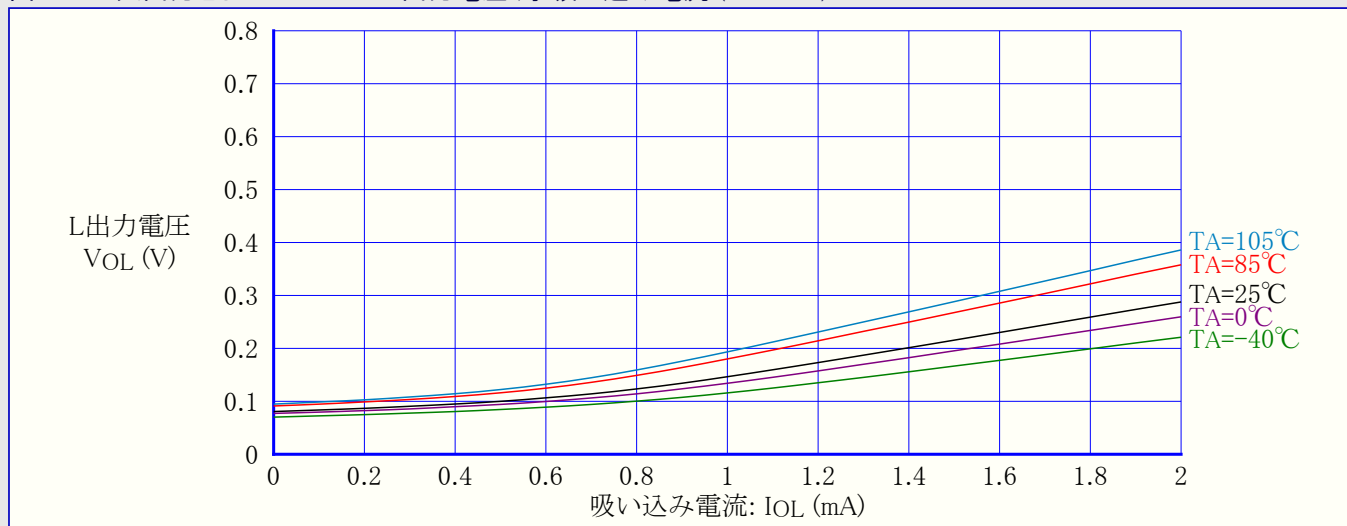


図26-60. 入出力としてのRESETピン出力電圧 対 吸い込み電流 (VCC=5V)



26.1.4.2. 吐き出し電流

図26-61. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

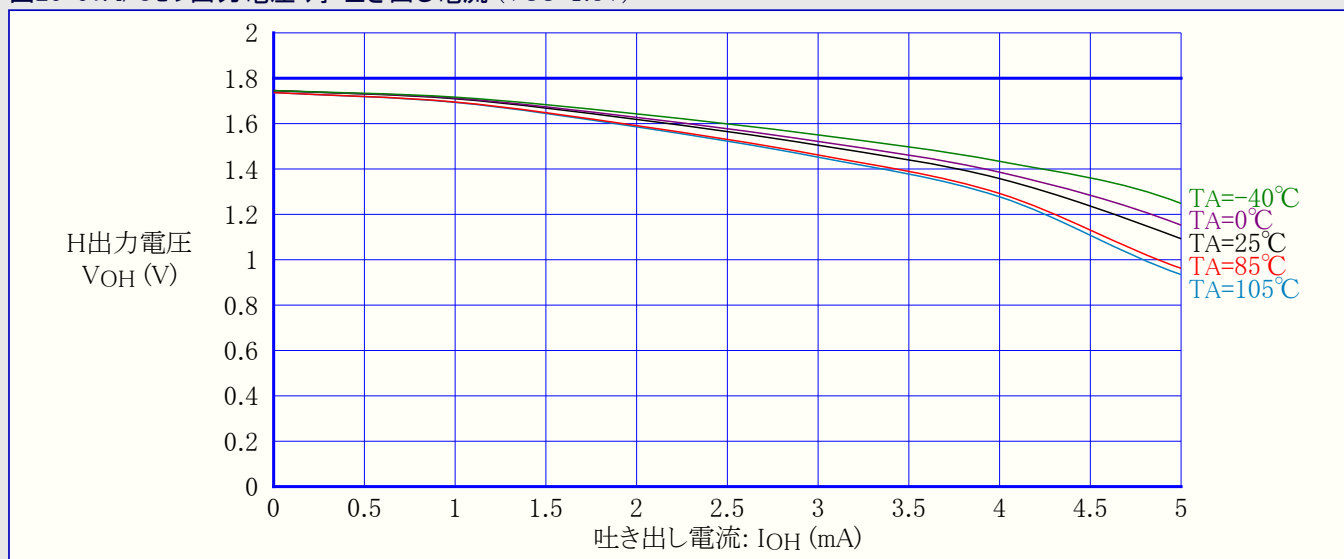


図26-62. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

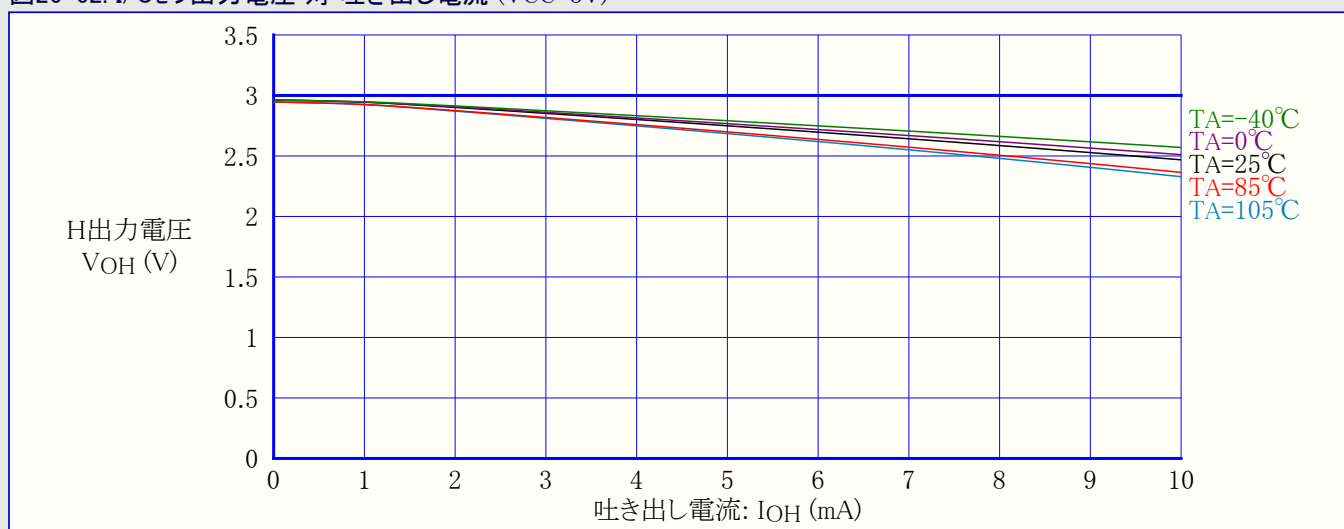


図26-63. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

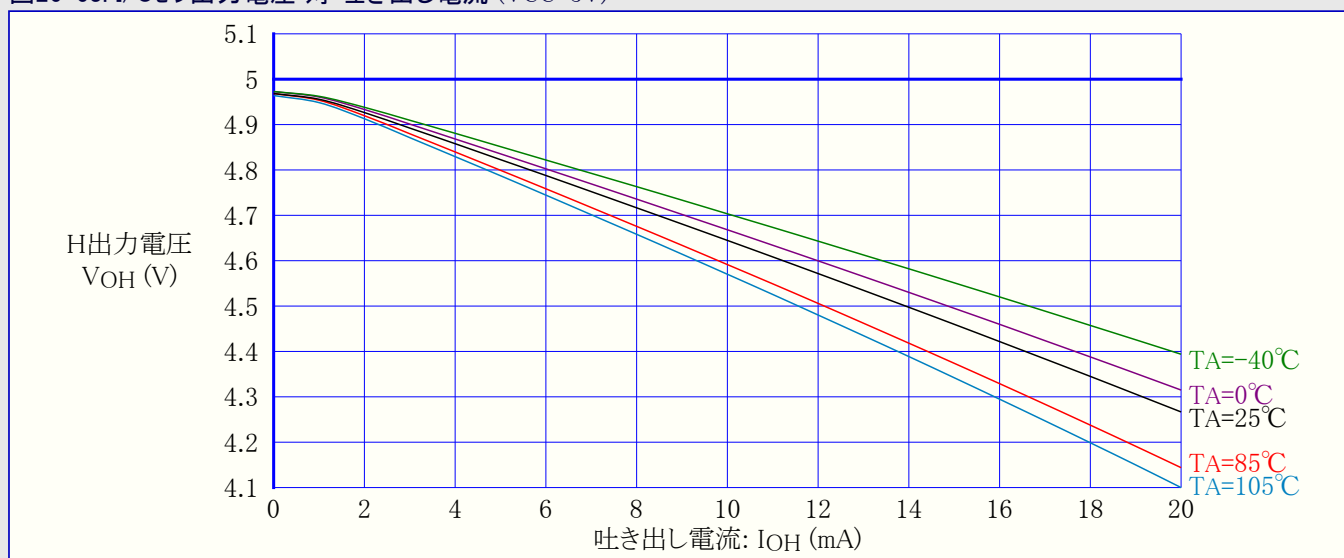


図26-64. 入出力としてのRESETピン出力電圧 対 吐き出し電流 ($V_{CC}=1.8V$)

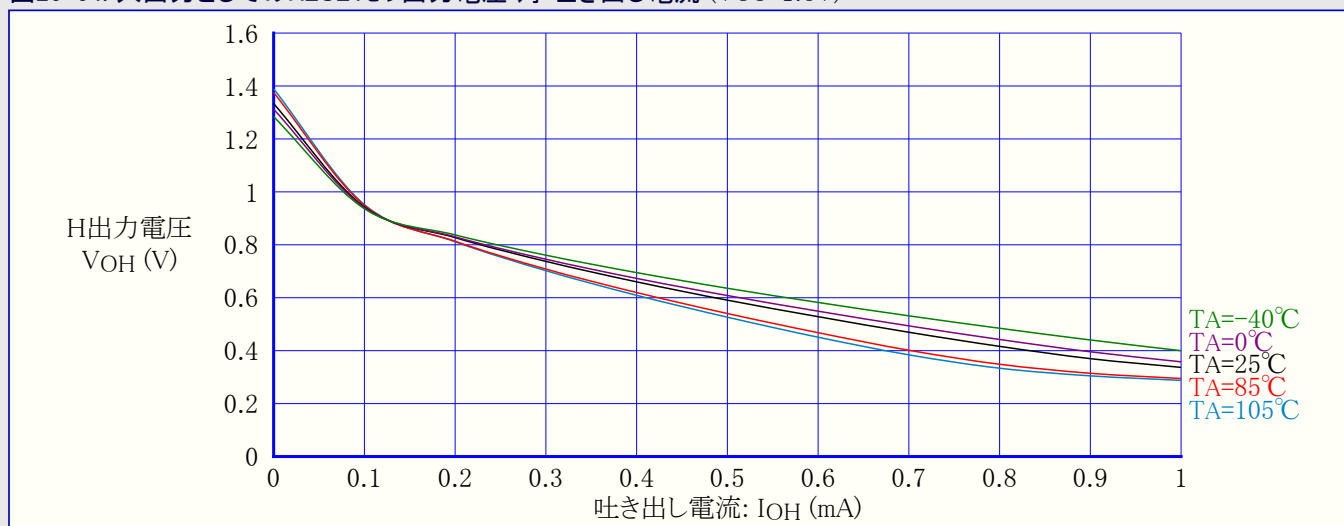


図26-65. 入出力としてのRESETピン出力電圧 対 吐き出し電流 ($V_{CC}=3V$)

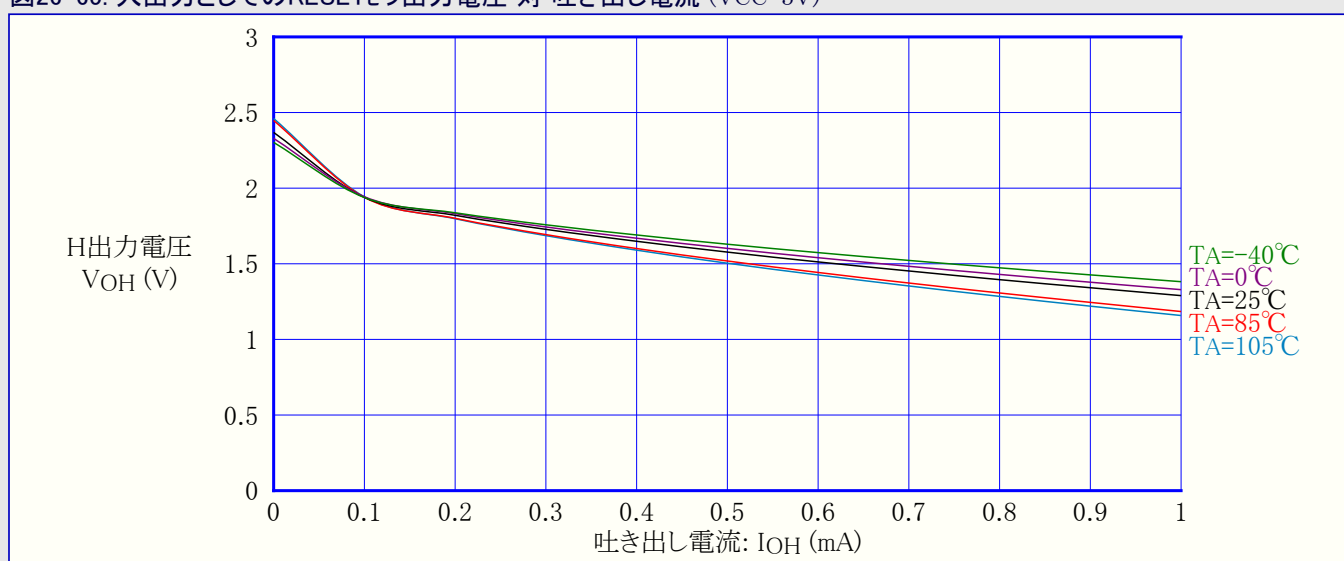
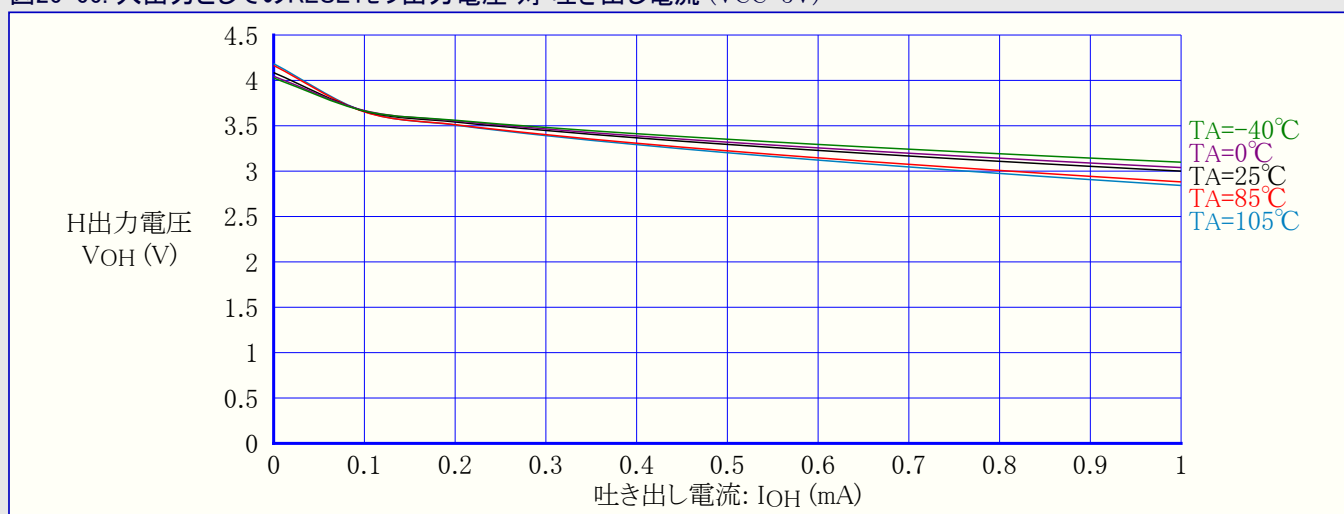


図26-66. 入出力としてのRESETピン出力電圧 対 吐き出し電流 ($V_{CC}=5V$)



26.1.5. 低電圧検出器 (BOD)

図26-67. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)

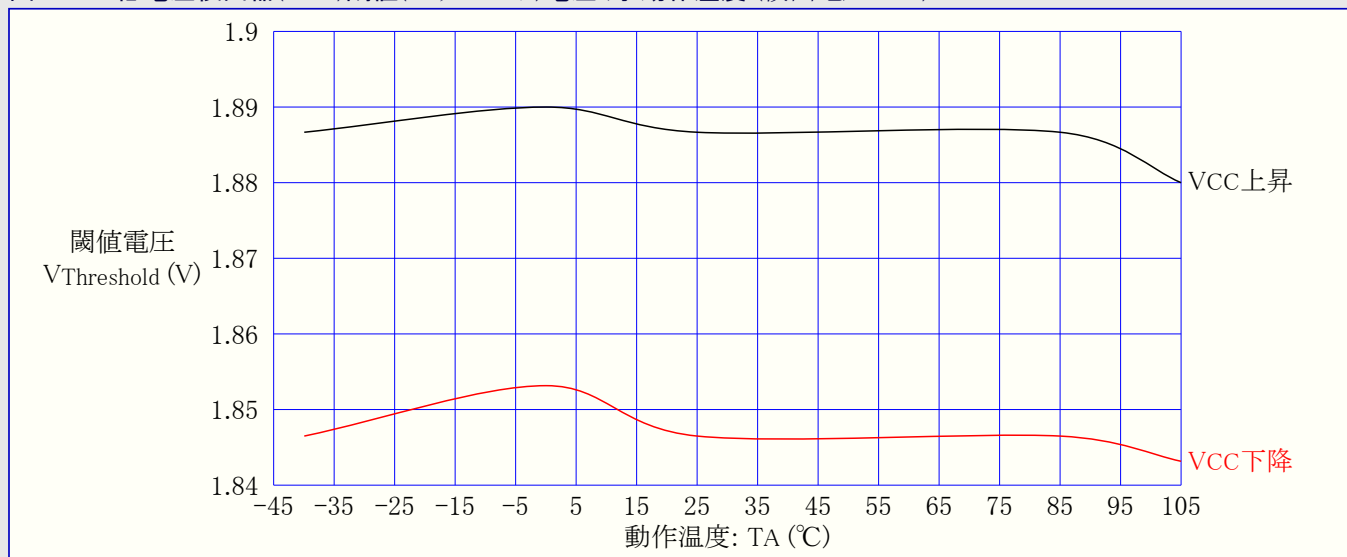


図26-68. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

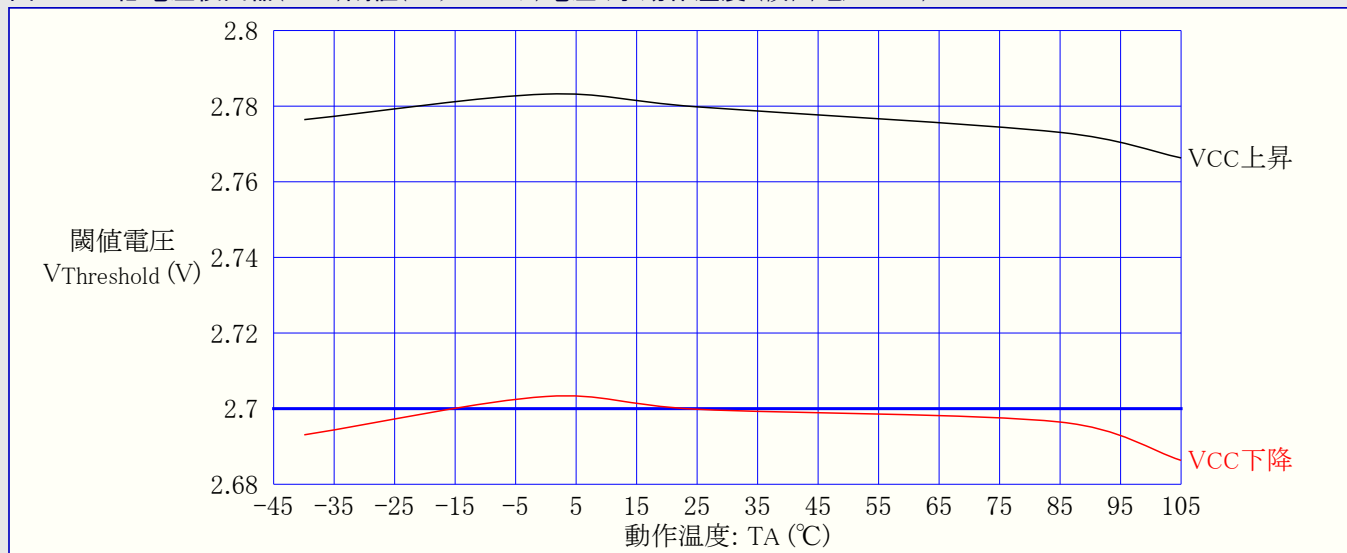
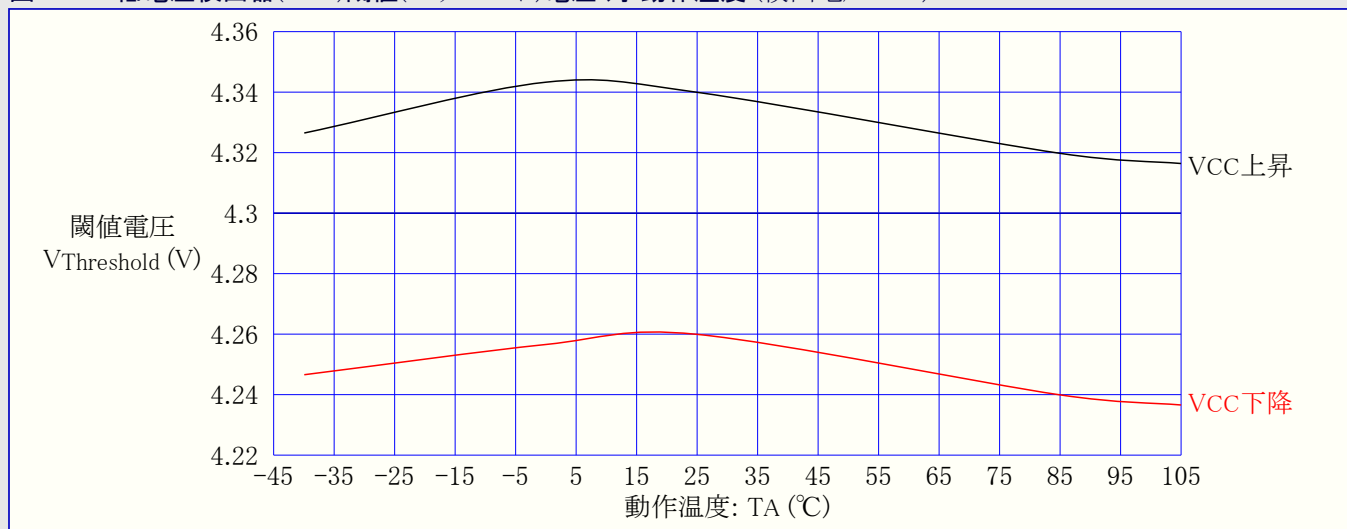


図26-69. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)



26.1.6. バントキャップ電圧

図26-70. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=1.1V)

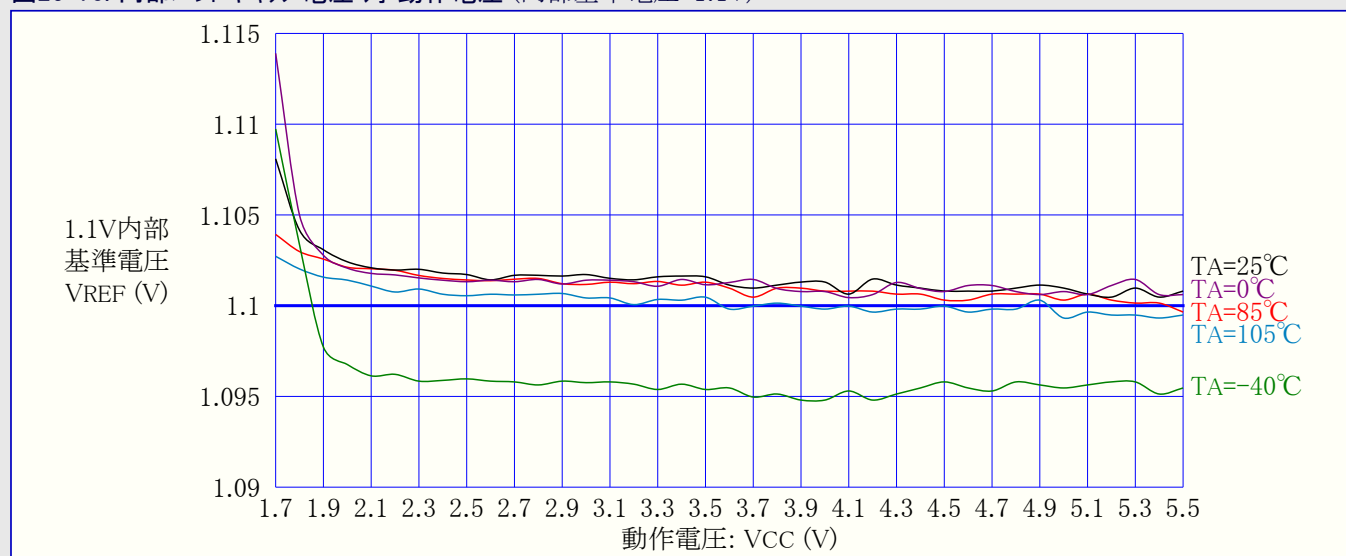


図26-71. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=2.2V)

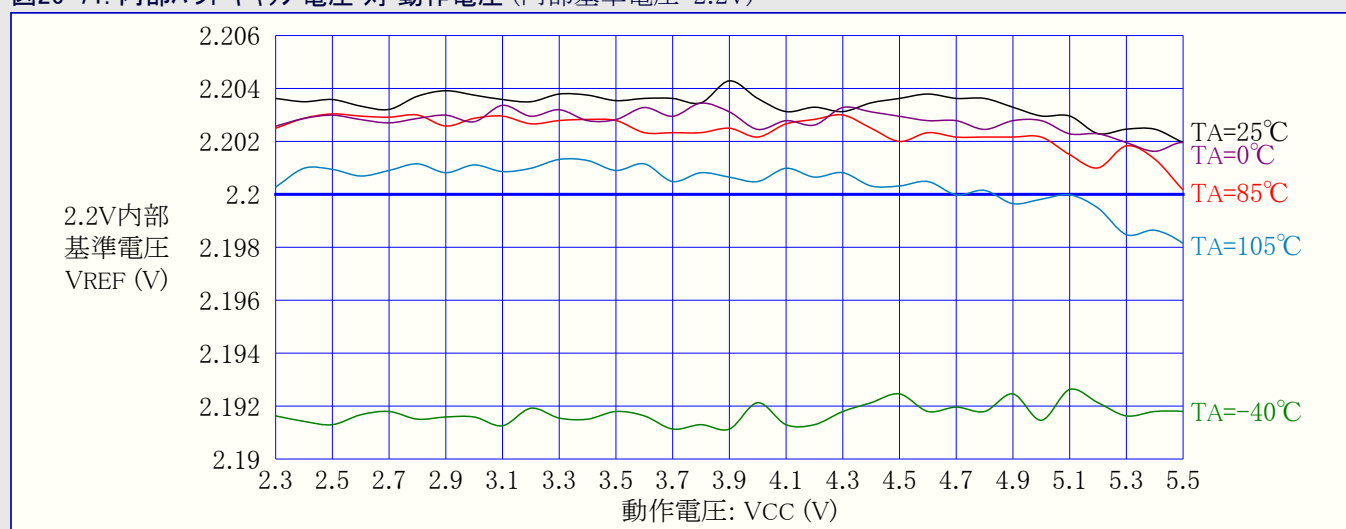
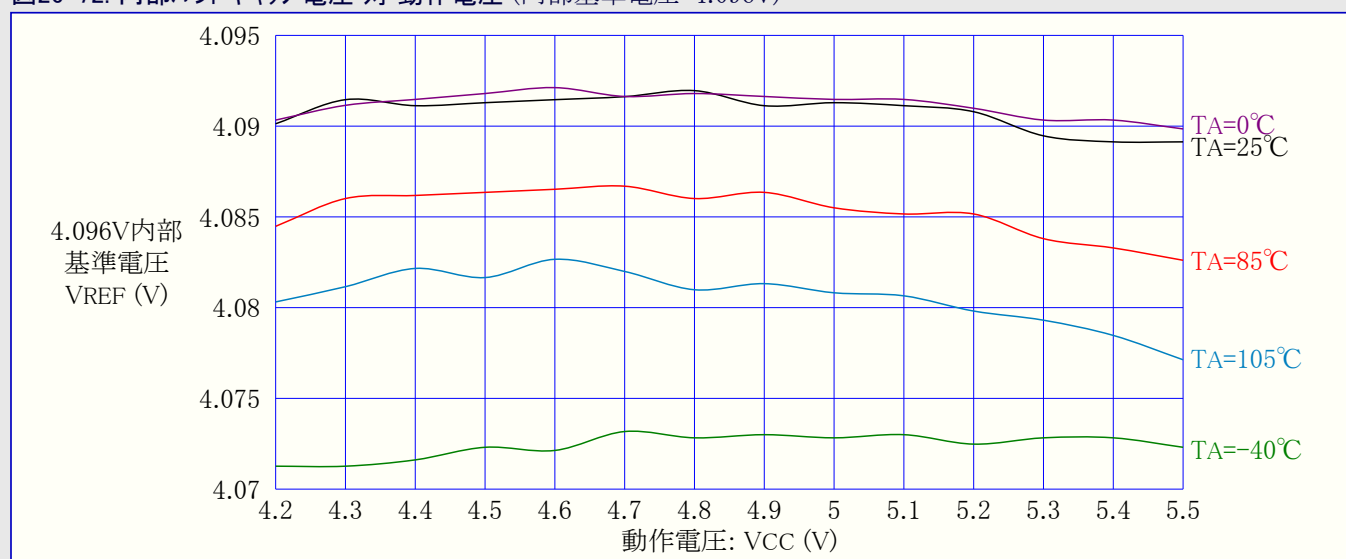


図26-72. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=4.096V)



26.1.7. アナログ比較器オフセット

図26-73. アナログ比較器オフセット電圧 対 入力電圧 (負変位(オフセット), VCC=5V)

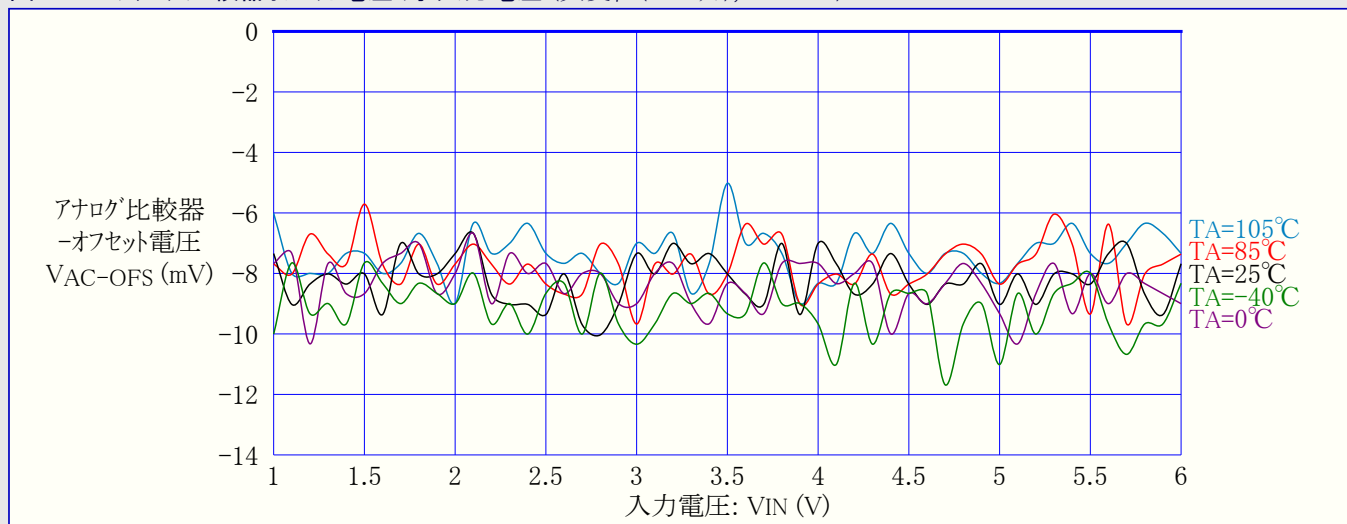
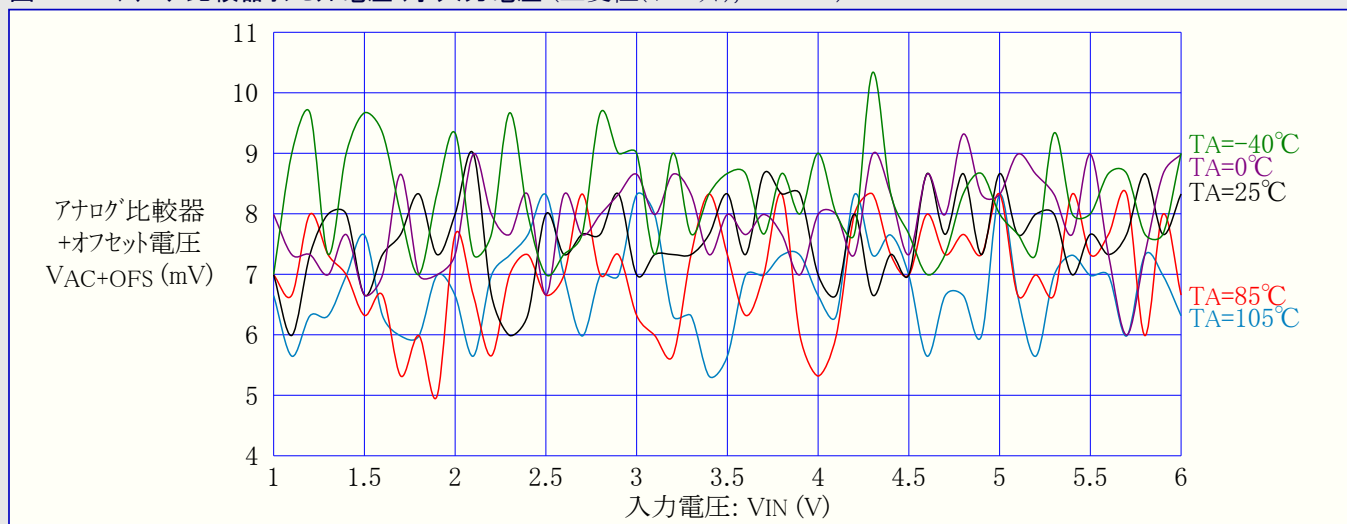


図26-74. アナログ比較器オフセット電圧 対 入力電圧 (正変位(オフセット), VCC=5V)



26.1.8. 内部発振器周波数

26.1.8.1. 8MHz内部RC発振器

図26-75. 8MHz校正付き内部RC発振器周波数 対 動作電圧

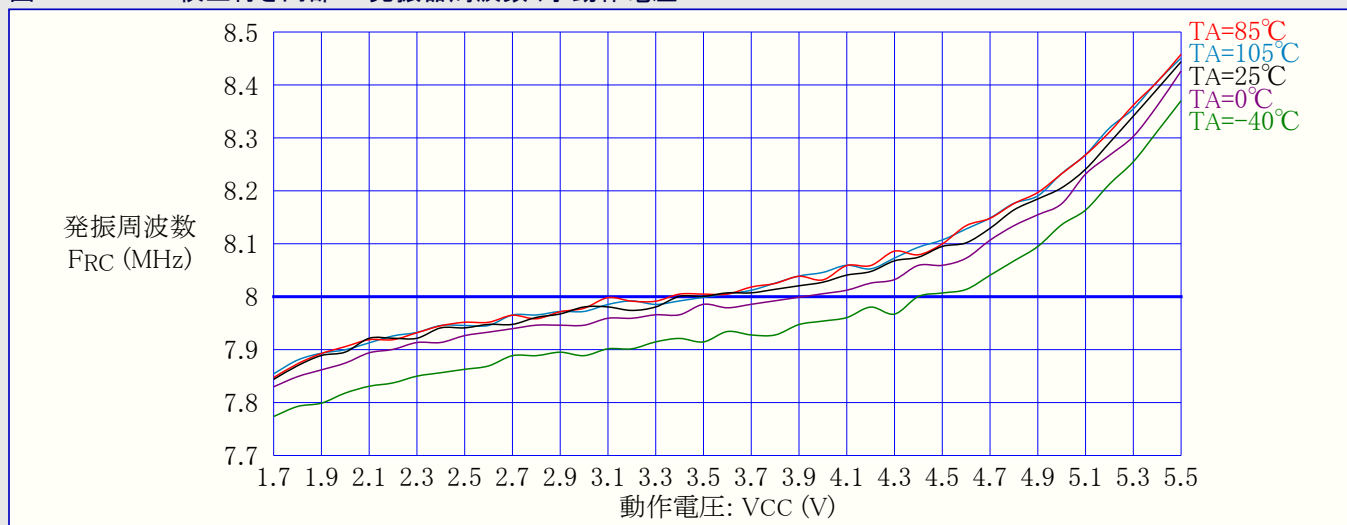


図26-76. 8MHz校正付き内部RC発振器周波数 対 動作温度

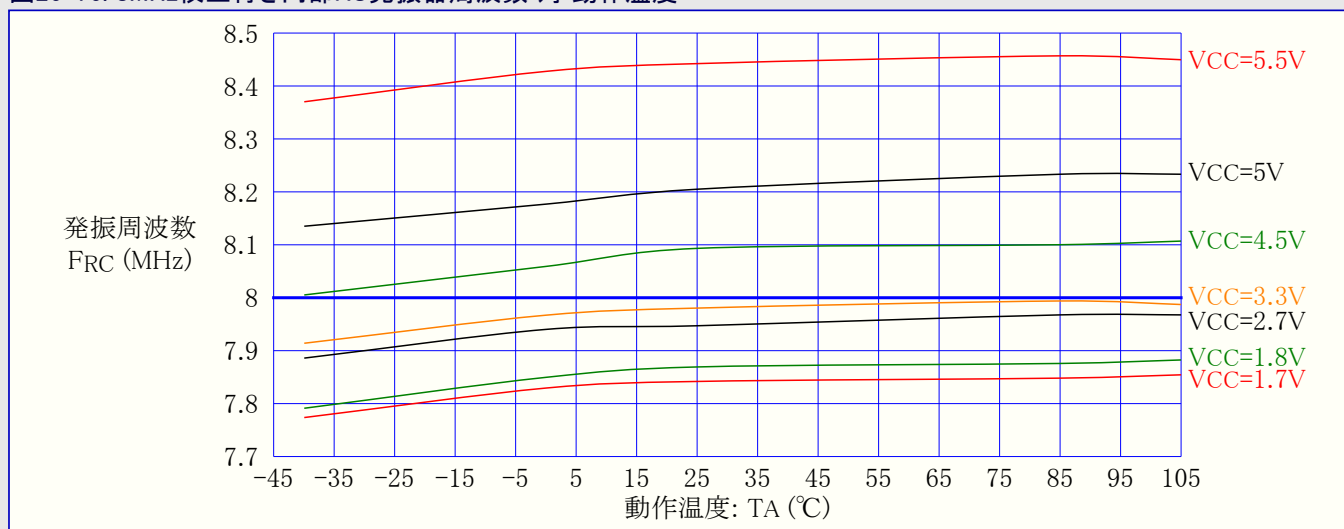
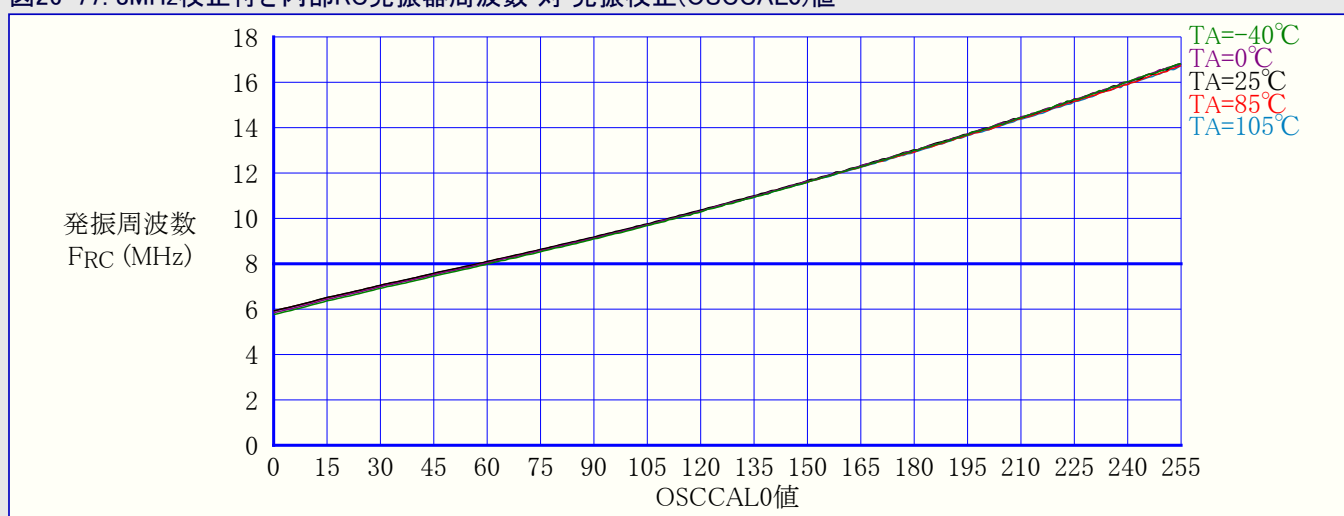


図26-77. 8MHz校正付き内部RC発振器周波数 対 発振校正(OSCCAL0)値



26.1.8.2. 32kHz超低電力(ULP)発振器

図26-78. 32kHz超低電力(ULP)発振器周波数 対 動作電圧

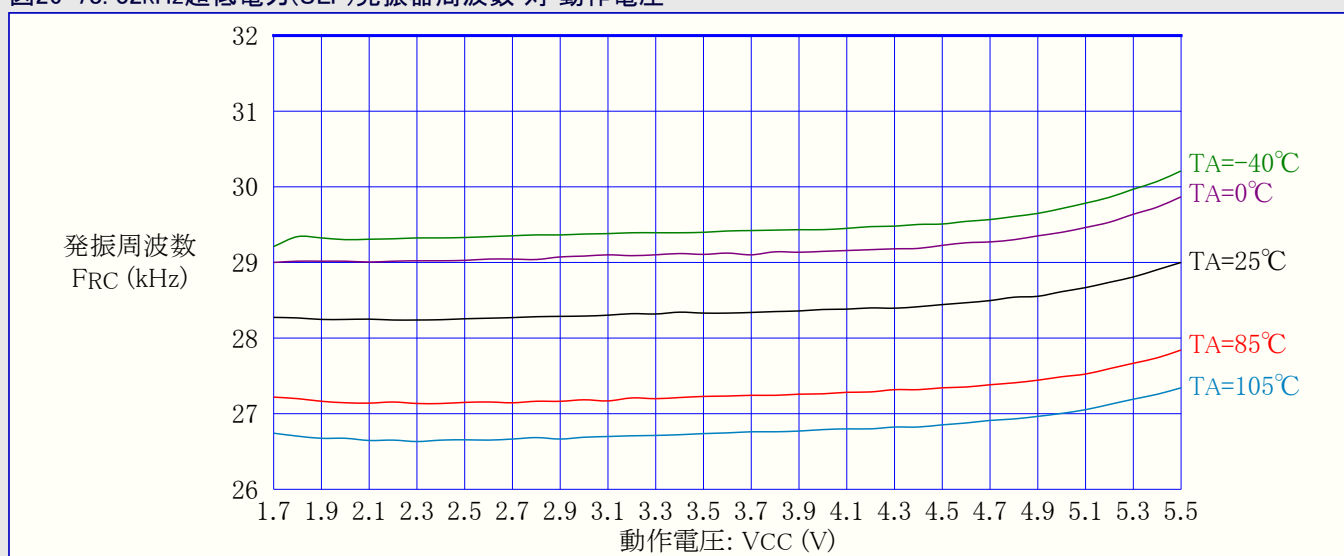


図26-79. 32kHz超低電力(ULP)発振器周波数 対 動作温度

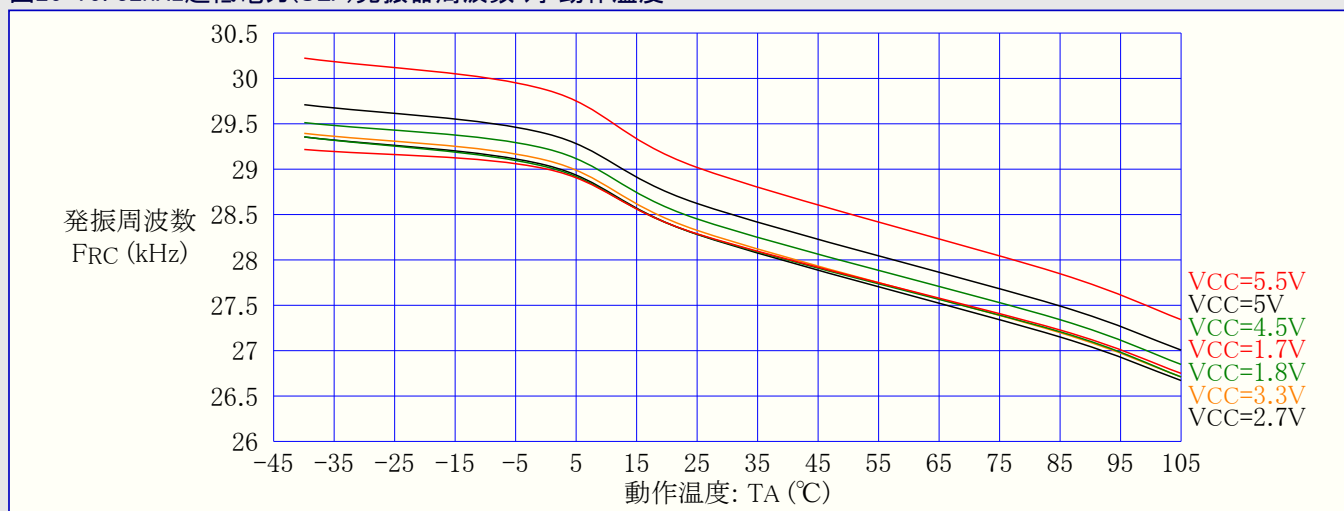
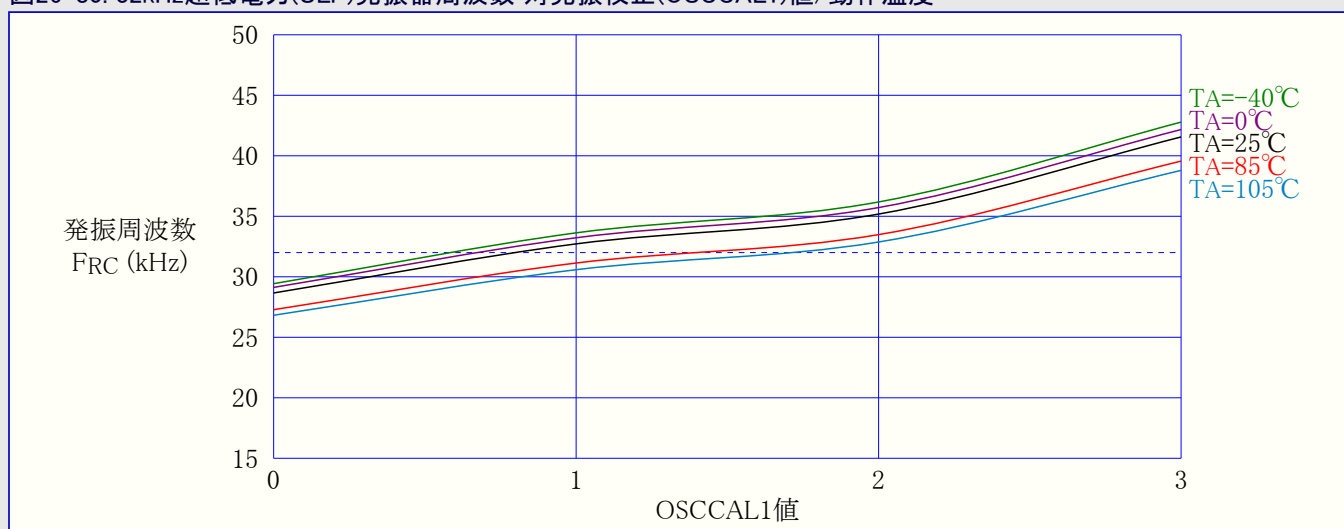


図26-80. 32kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.1.8.3. 64kHz超低電力(ULP)発振器

図26-81. 64kHz超低電力(ULP)発振器周波数 対 動作電圧

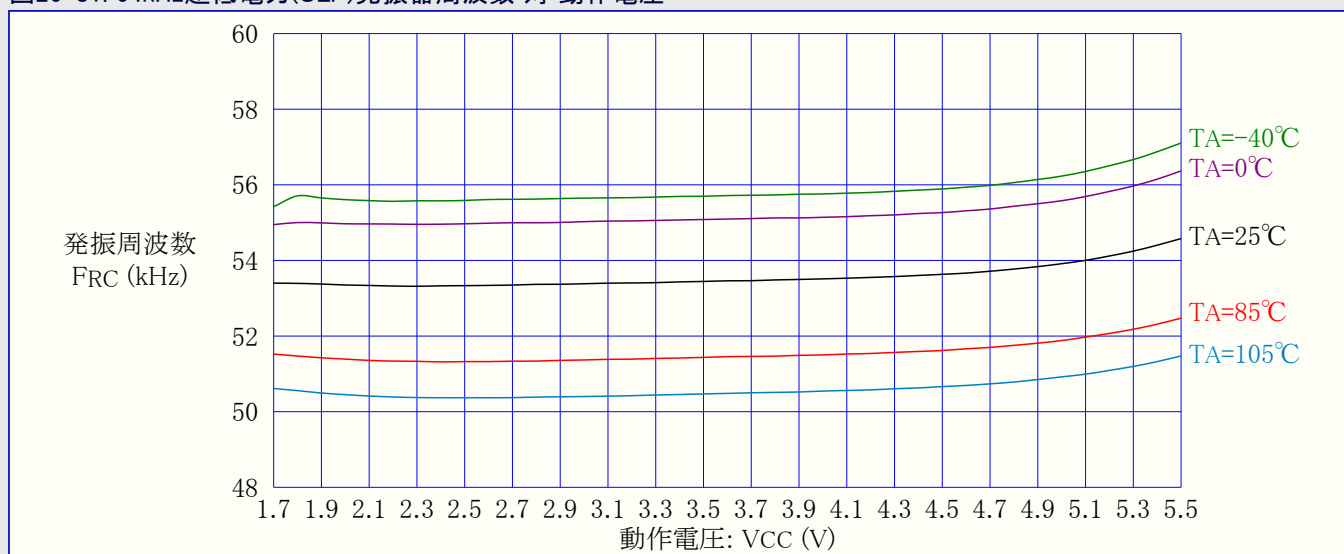


図26-82. 64kHz超低電力(ULP)発振器周波数 対 動作温度

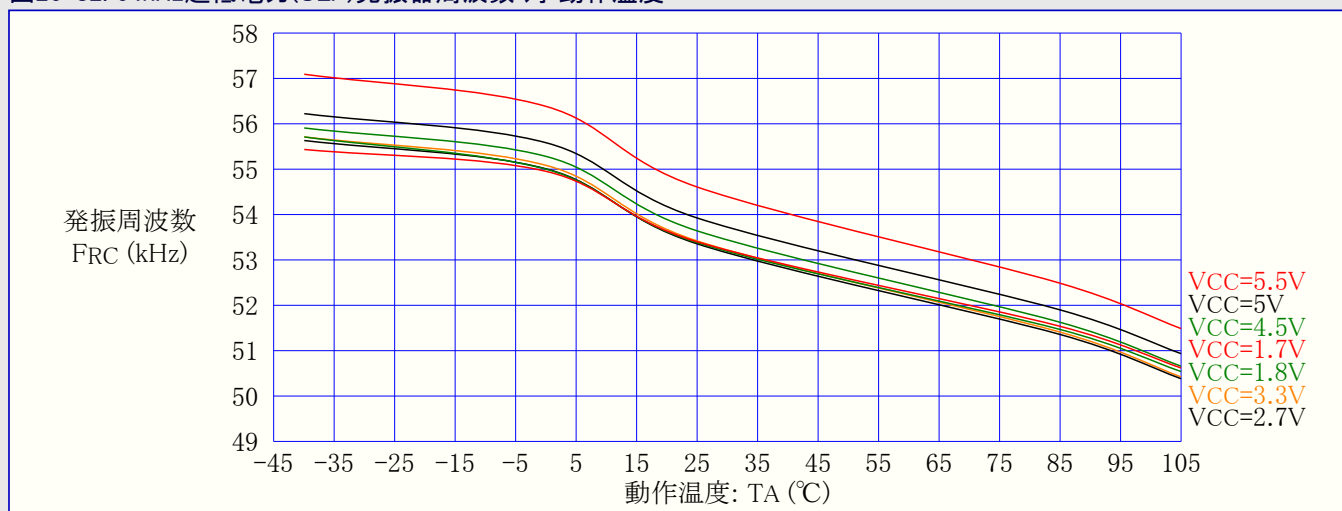
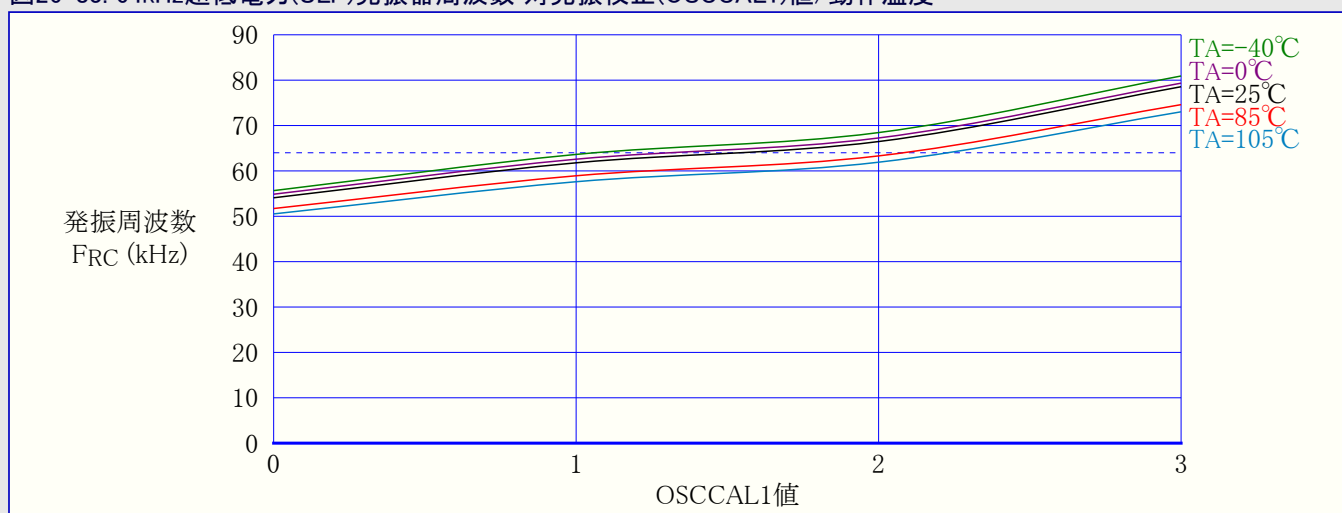


図26-83. 64kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.1.8.4. 128kHz超低電力(ULP)発振器

図26-84. 128kHz超低電力(ULP)発振器周波数 対 動作電圧

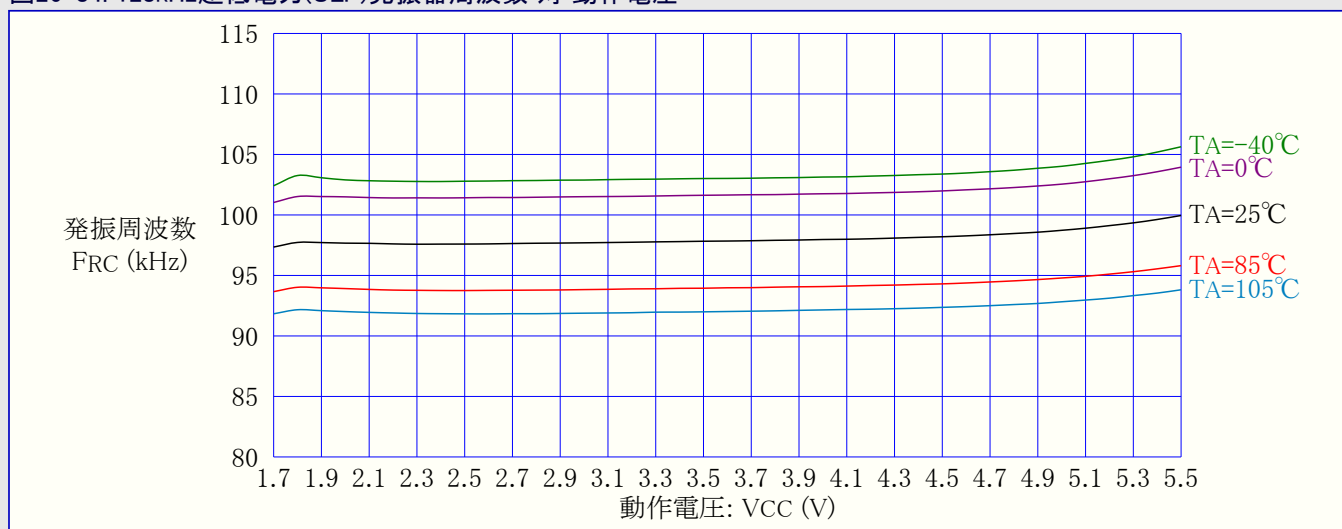


図26-85. 128kHz超低電力(ULP)発振器周波数 対 動作温度

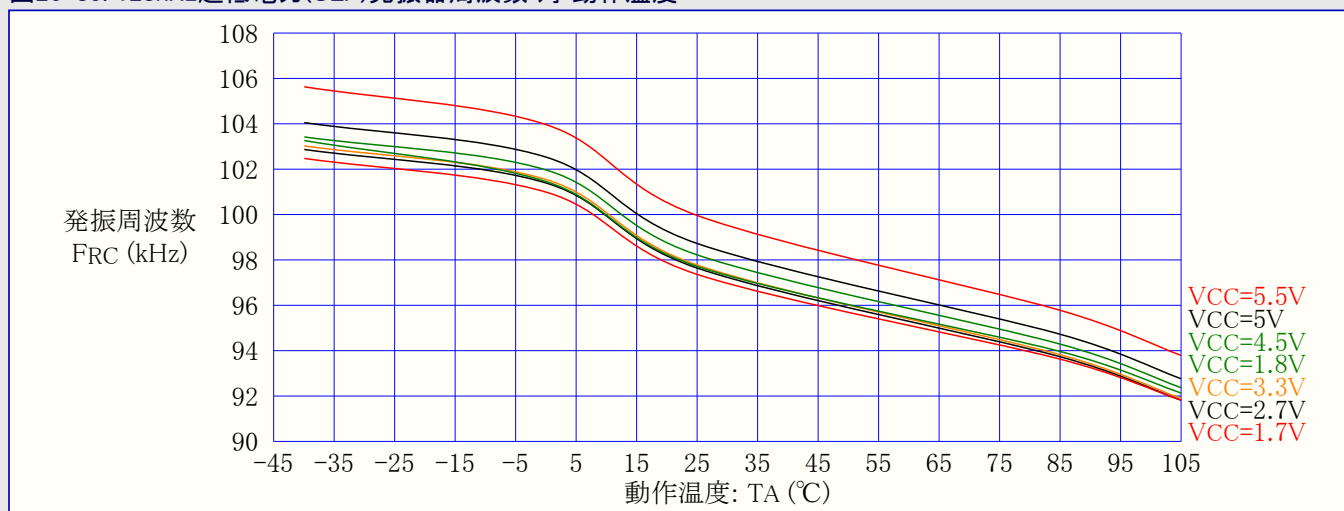
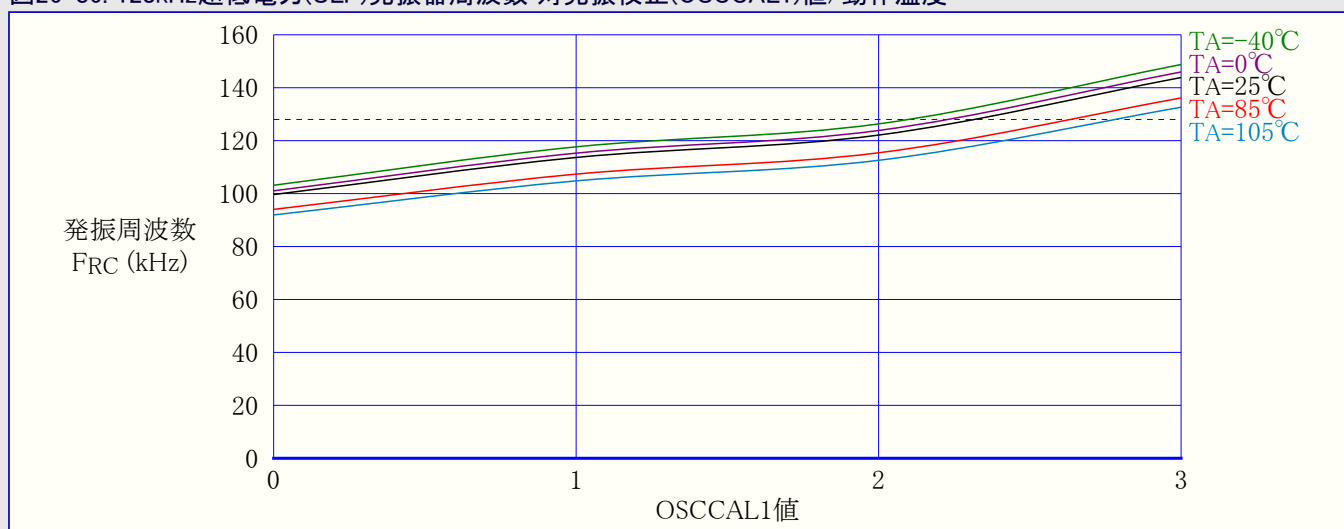


図26-86. 128kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.1.8.5. 256kHz超低電力(ULP)発振器

図26-87. 256kHz超低電力(ULP)発振器周波数 対 動作電圧

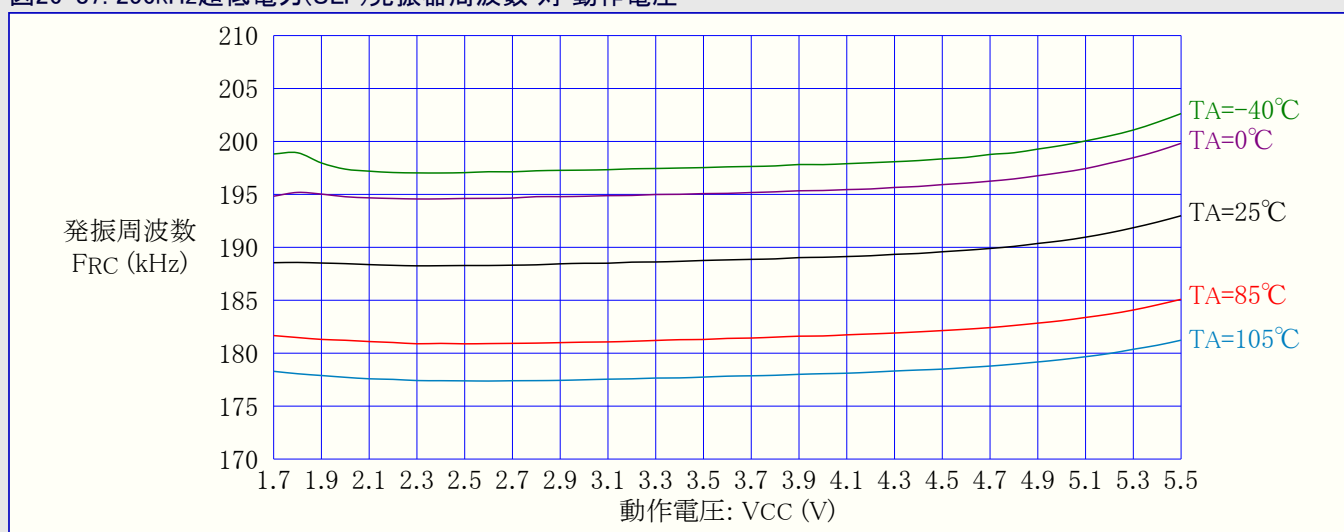


図26-88. 256kHz超低電力(ULP)発振器周波数 対 動作温度

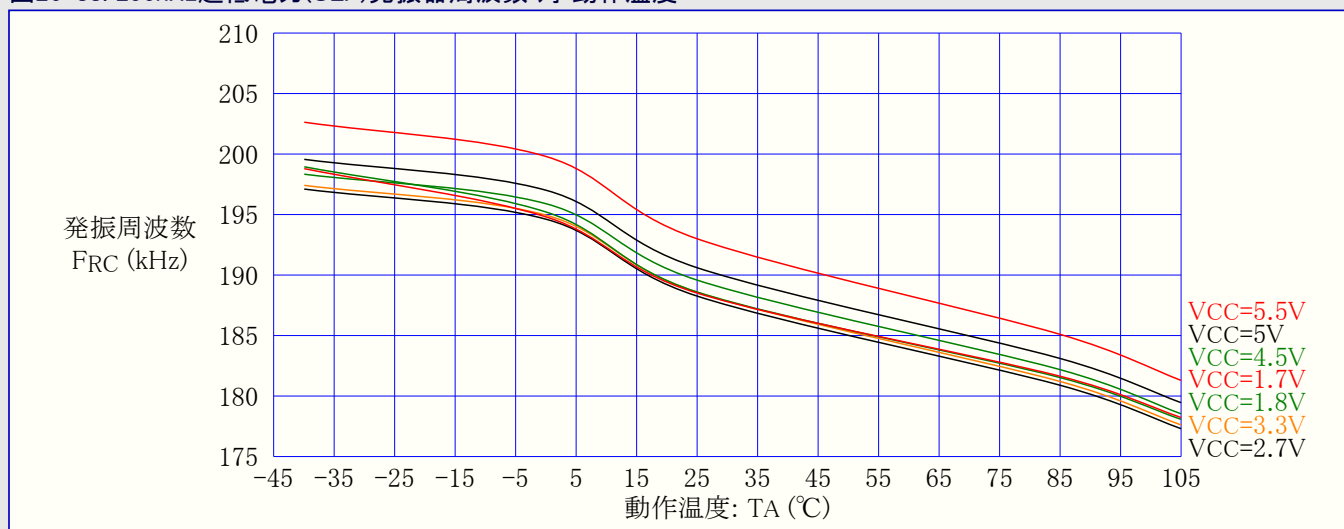
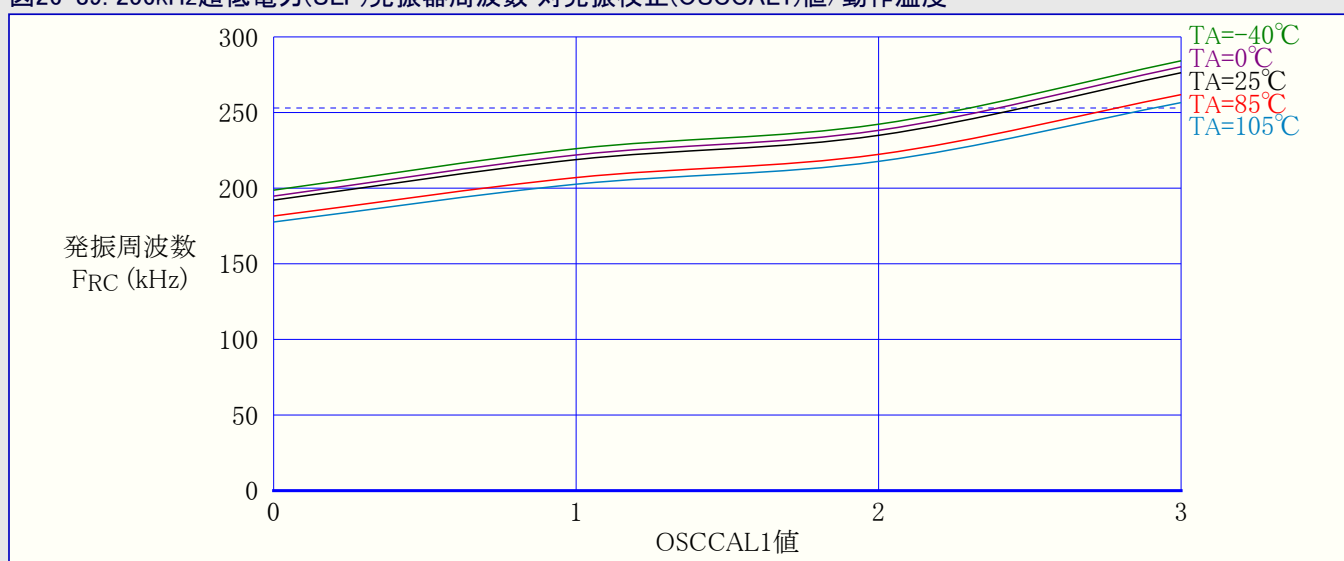


図26-89. 256kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.1.8.6. 512kHz超低電力(ULP)発振器

図26-90. 512kHz超低電力(ULP)発振器周波数 対 動作電圧

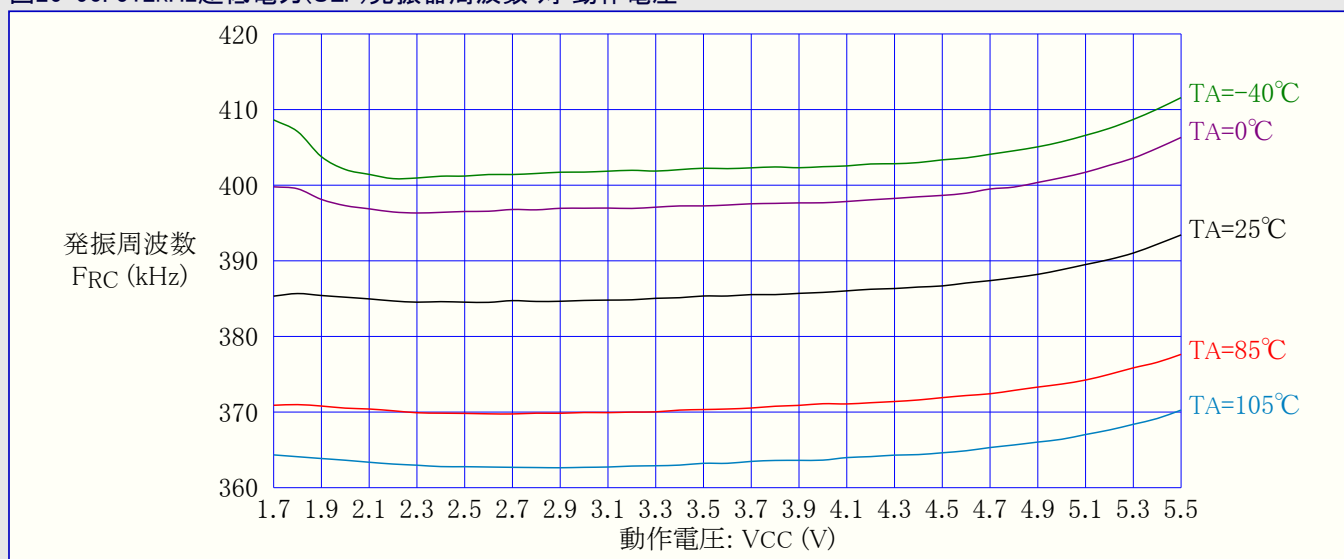


図26-91. 512kHz超低電力(ULP)発振器周波数 対 動作温度

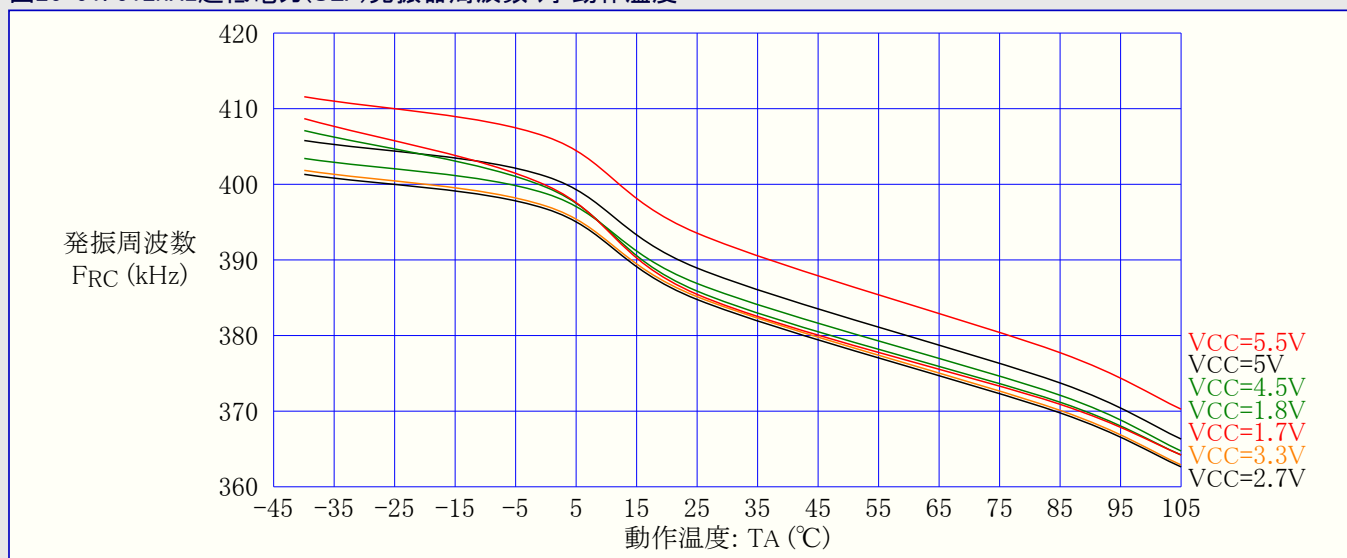
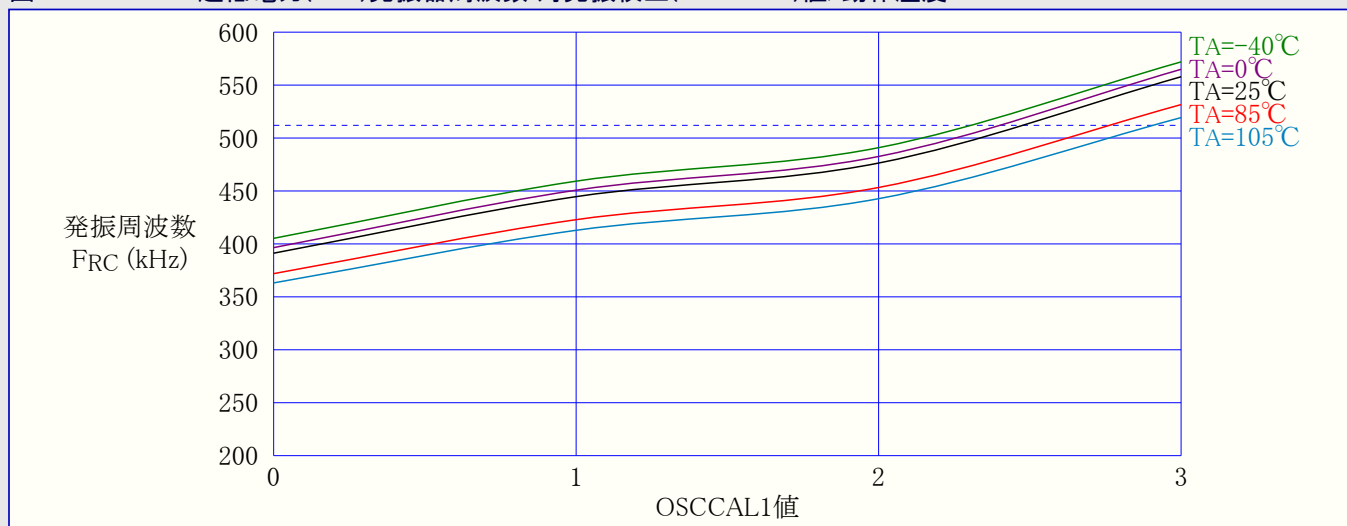


図26-92. 512kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.2. ATtiny841

26.2.1. 消費電流

26.2.1.1. 活動動作消費電流

図26-93. 活動動作消費電流 対 低周波数 (100kHz～1MHz)

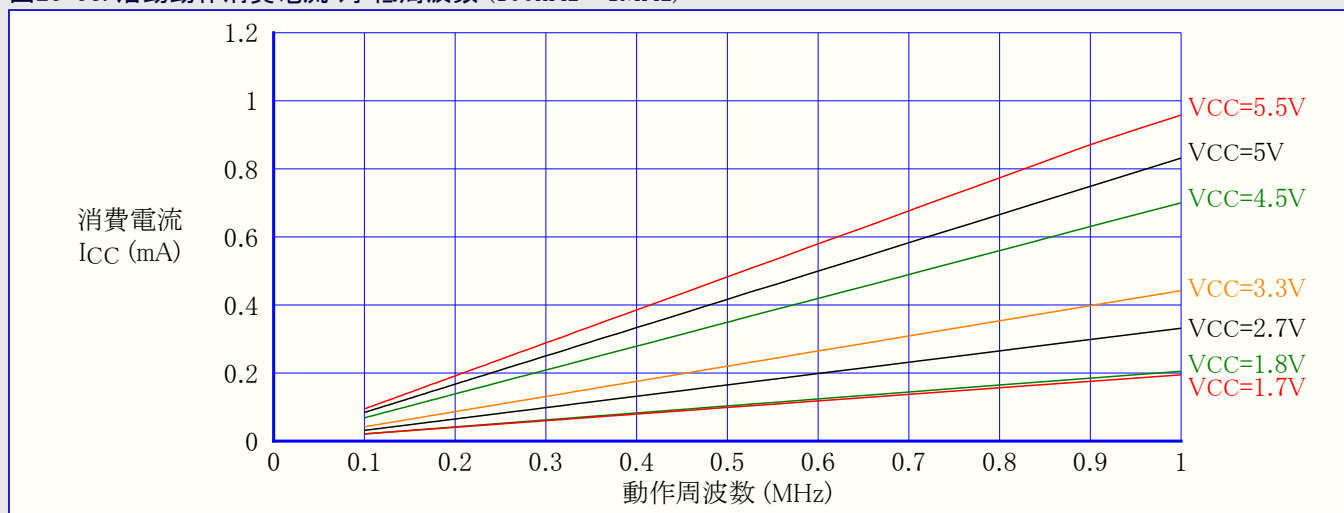


図26-94. 活動動作消費電流 対 周波数 (1MHz～16MHz)

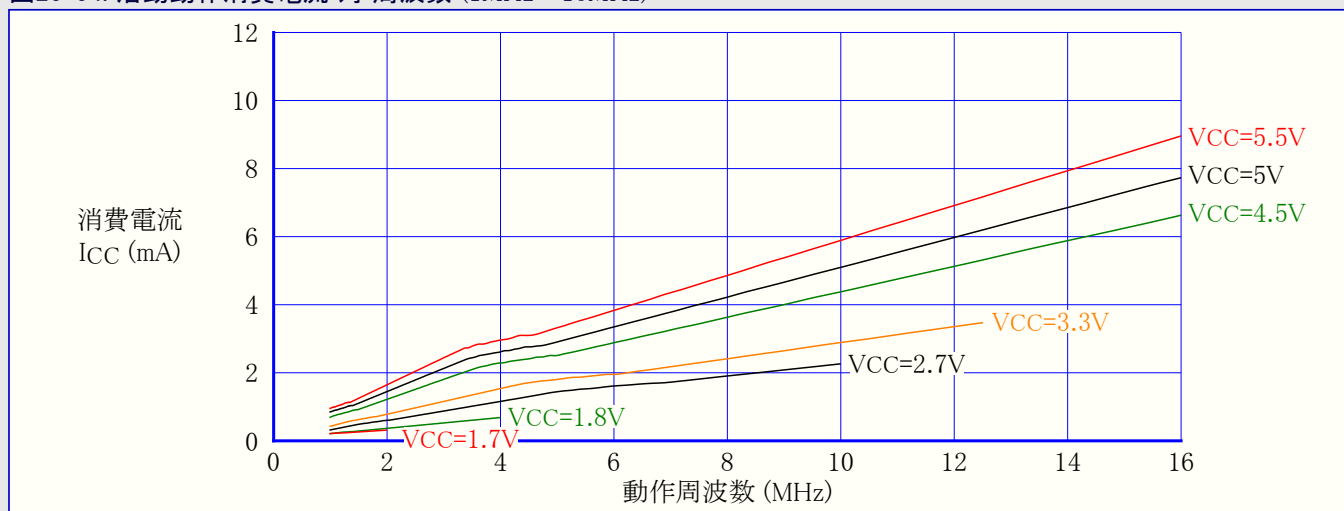


図26-95. 活動動作消費電流 対 動作電圧 (8MHz内部RC発振器)

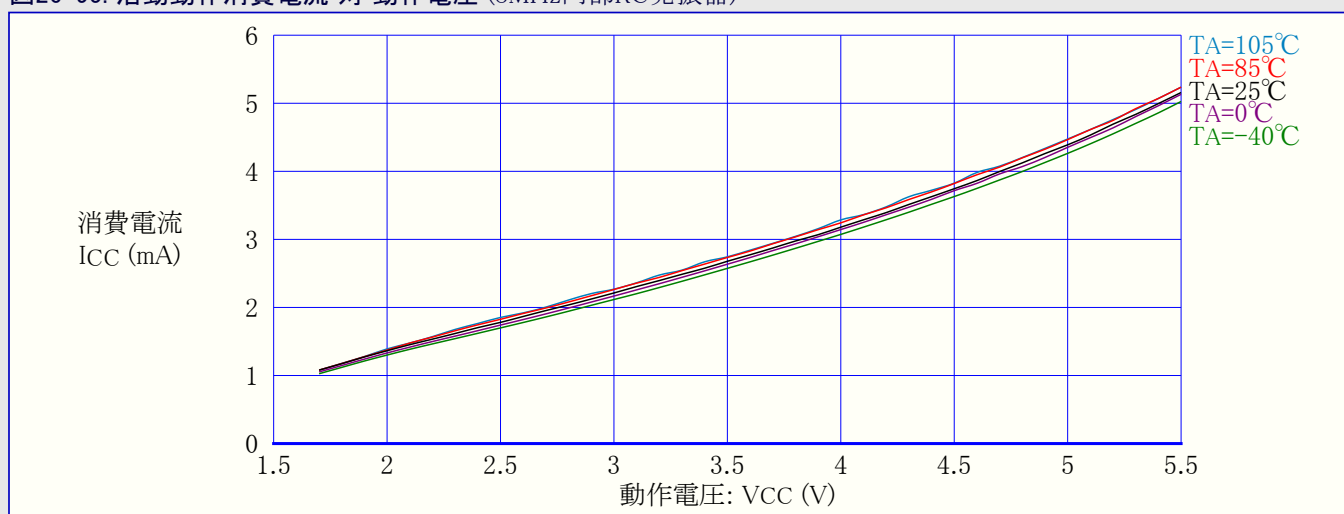


図26-96. 活動動作消費電流 対 動作電圧 (32kHz内部超低電力(ULP)発振器)

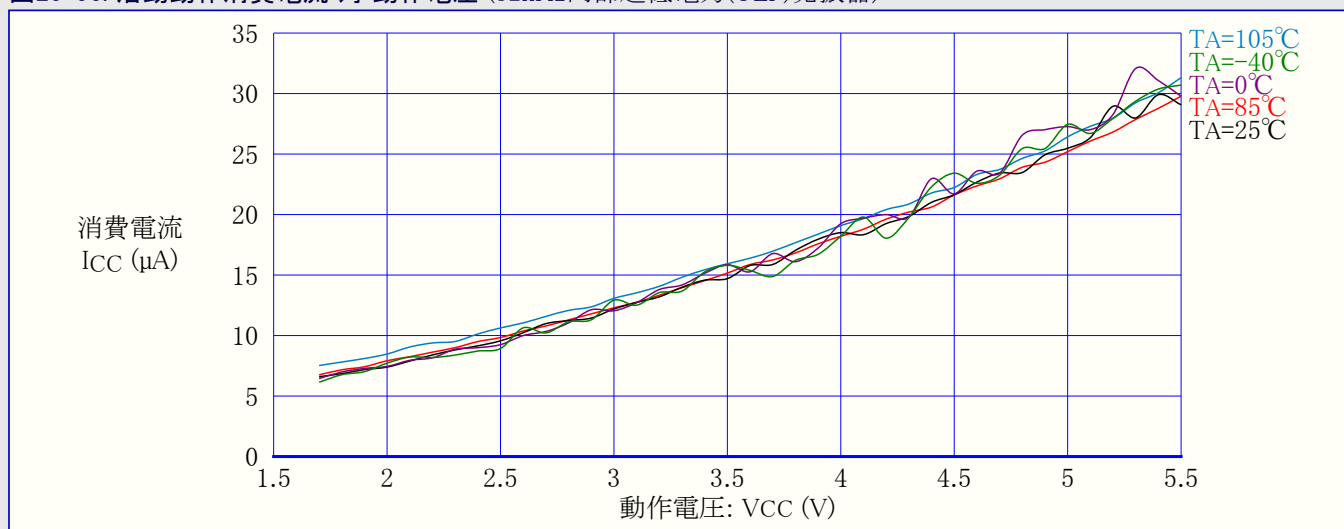


図26-97. 活動動作消費電流 対 動作電圧 (64kHz内部超低電力(ULP)発振器)

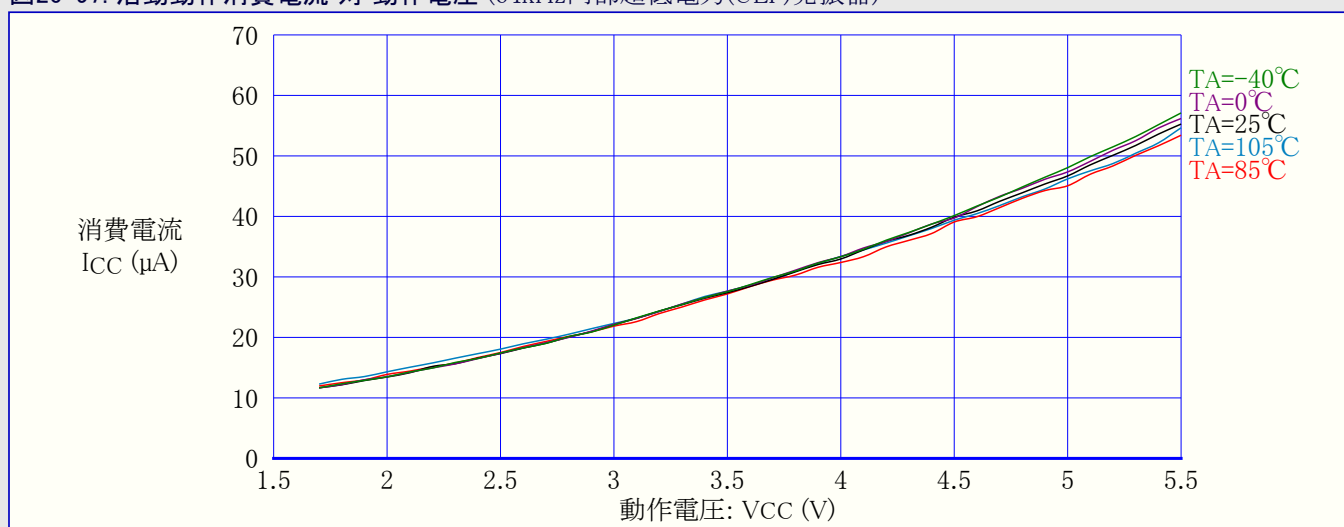


図26-98. 活動動作消費電流 対 動作電圧 (128kHz内部超低電力(ULP)発振器)

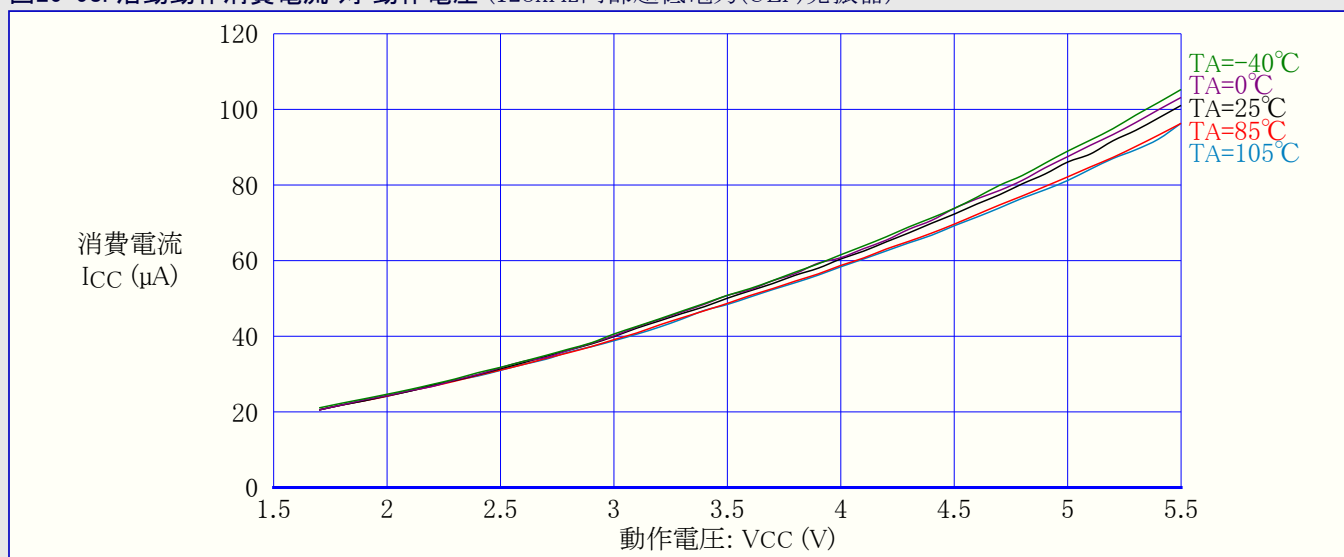


図26-99. 活動動作消費電流 対 動作電圧 (256kHz内部超低電力(ULP)発振器)

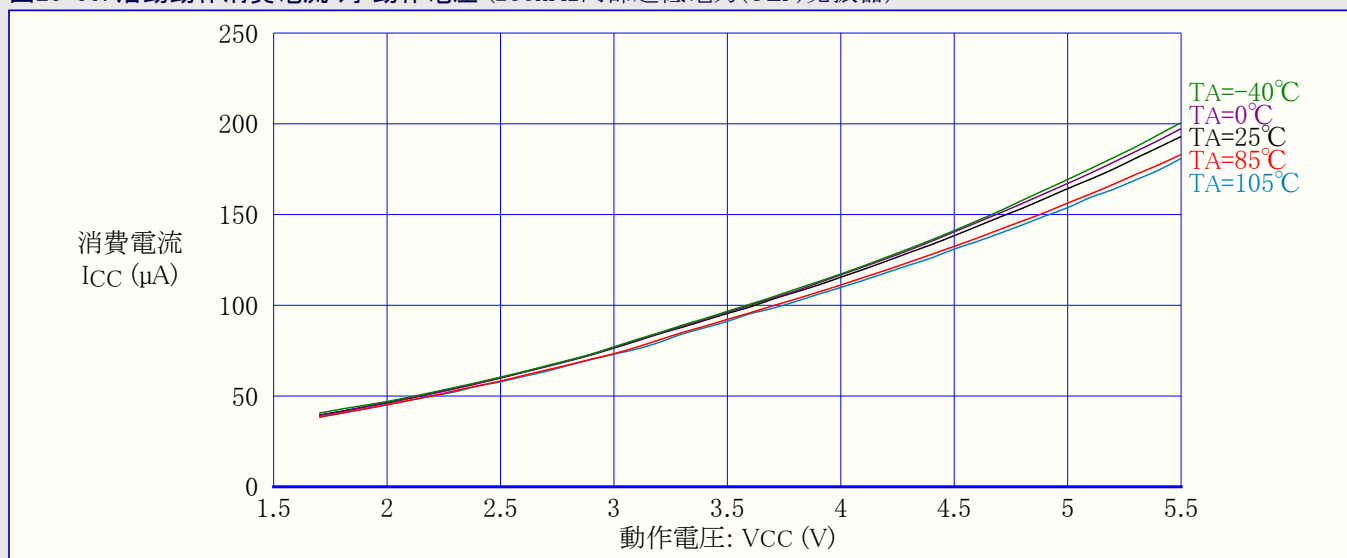
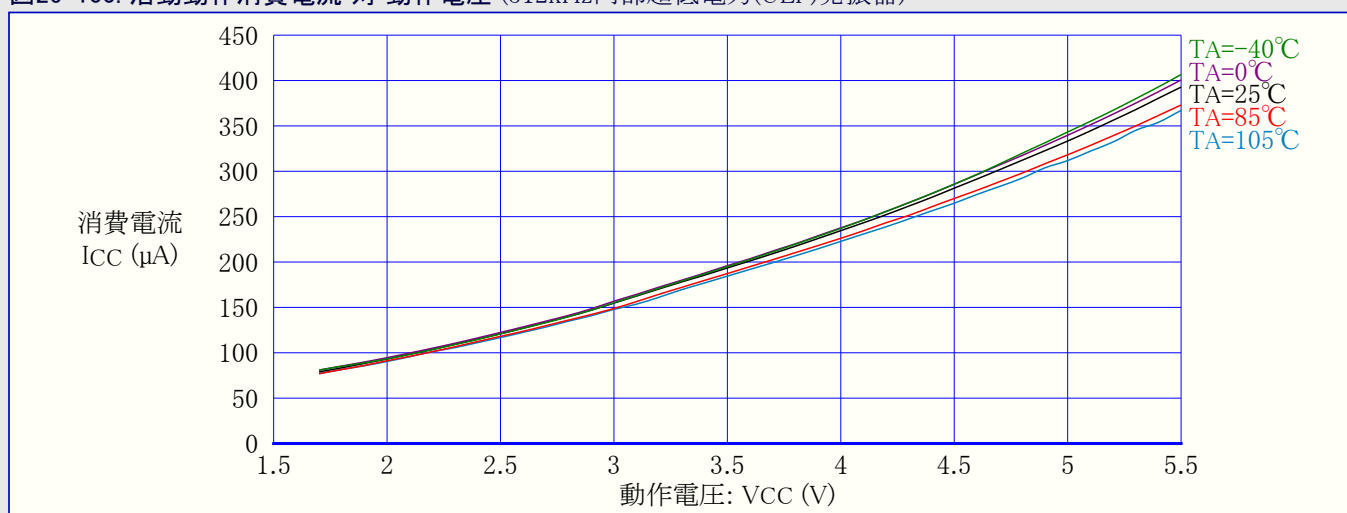


図26-100. 活動動作消費電流 対 動作電圧 (512kHz内部超低電力(ULP)発振器)



26.2.1.2. アイドル動作消費電流

図26-101. アイドル動作消費電流 対 低周波数 (100kHz~1MHz)

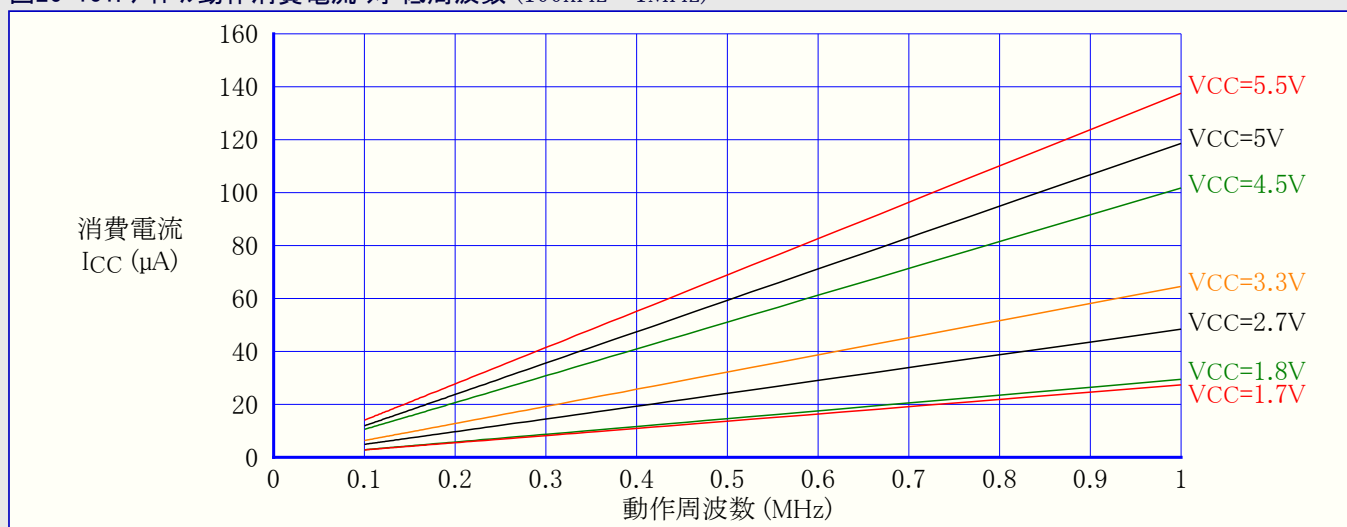


図26-102. アイドル動作消費電流 対 周波数 (1MHz~16MHz)

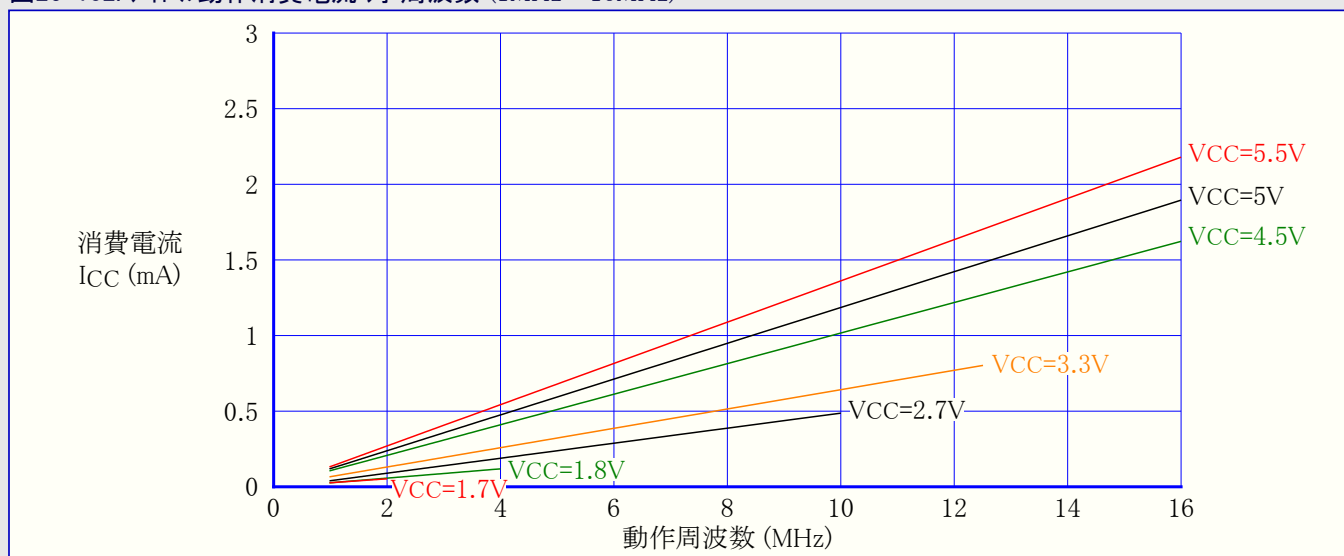


図26-103. アイドル動作消費電流 対 動作電圧 (8MHz内部RC発振器)

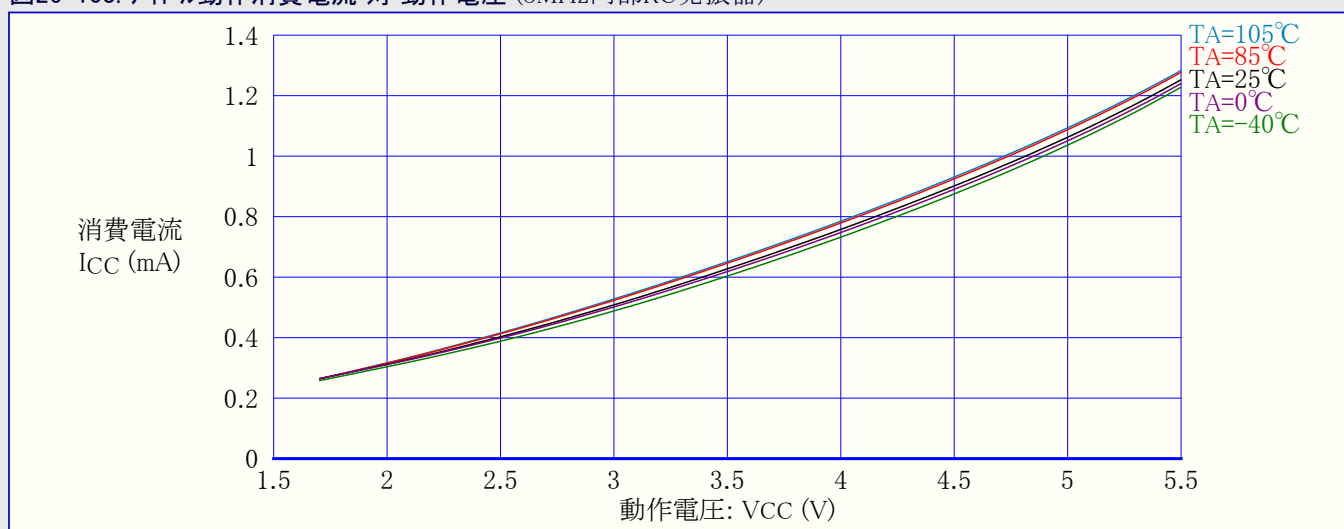


図26-104. アイドル動作消費電流 対 動作電圧 (32kHz内部超低電力(ULP)発振器)

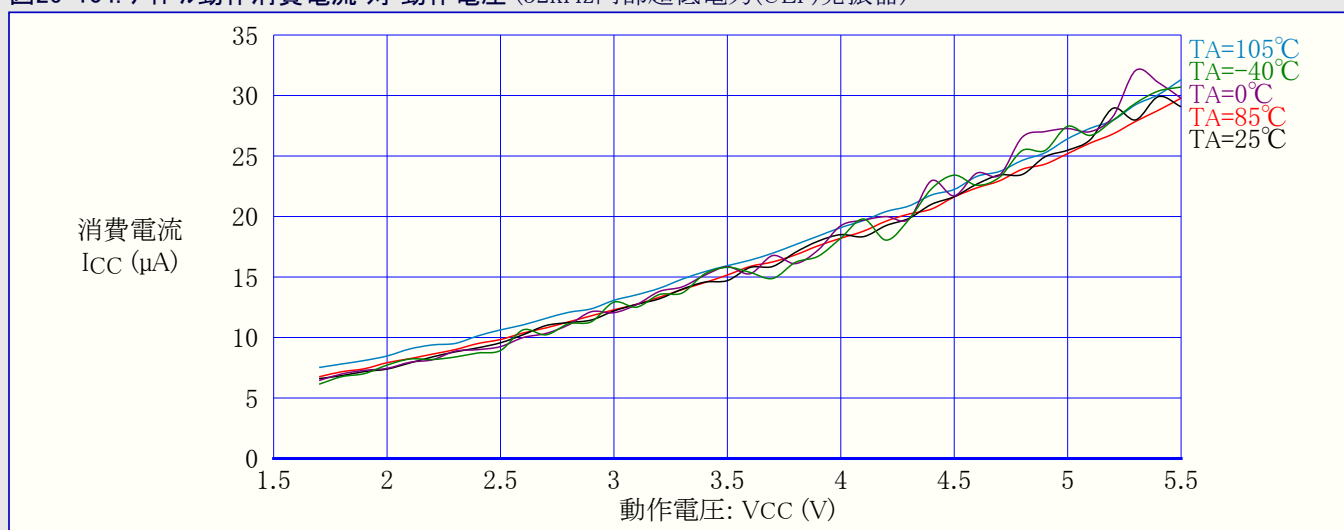


図26-105. アイドル動作消費電流 対 動作電圧 (64kHz内部超低電力(ULP)発振器)

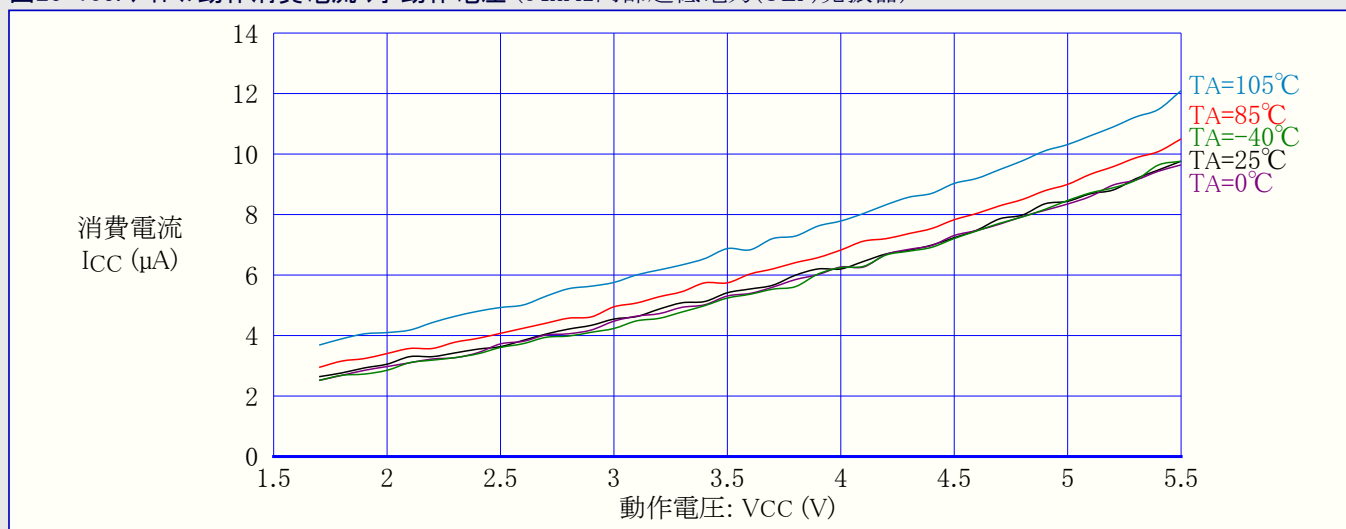


図26-106. アイドル動作消費電流 対 動作電圧 (128kHz内部超低電力(ULP)発振器)

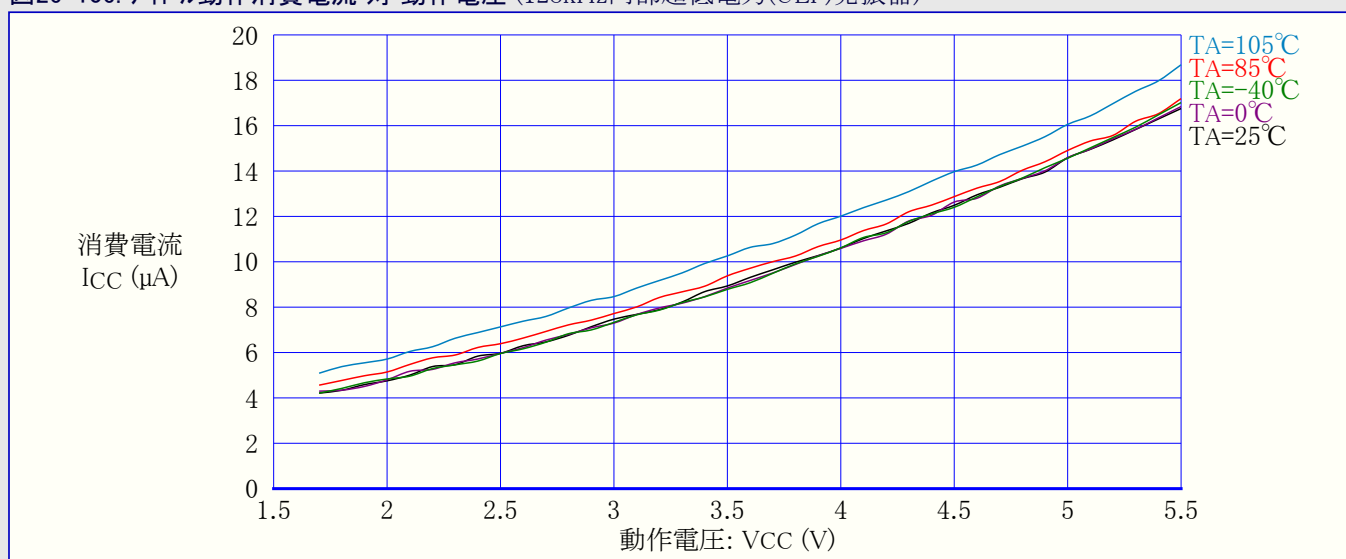


図26-107. アイドル動作消費電流 対 動作電圧 (256kHz内部超低電力(ULP)発振器)

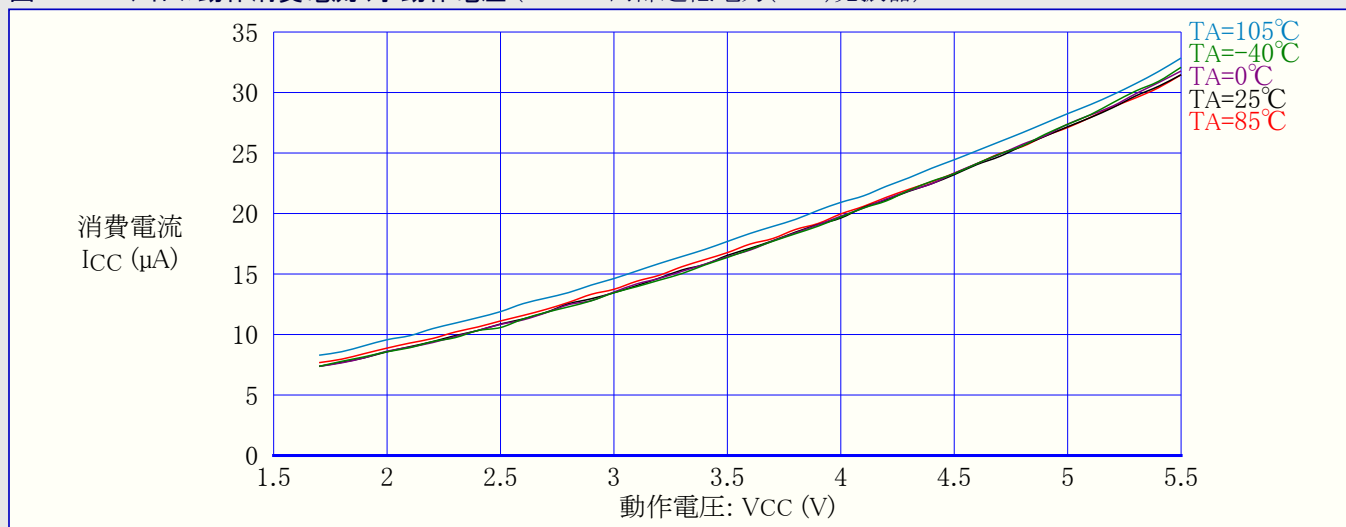
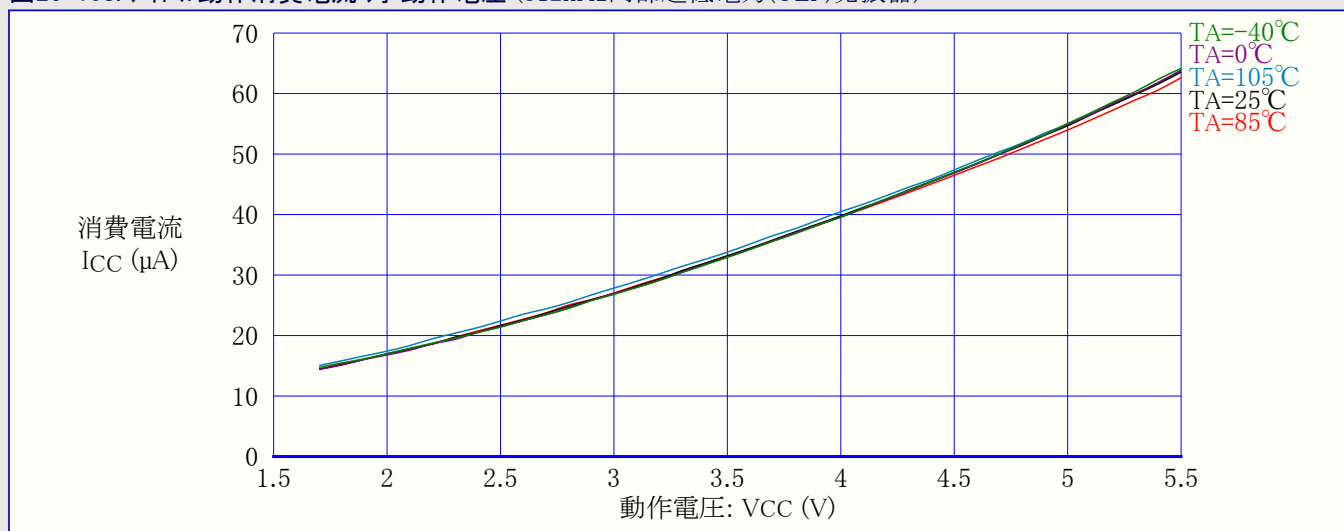


図26-108. アイドル動作消費電流 対 動作電圧 (512kHz内部超低電力(ULP)発振器)

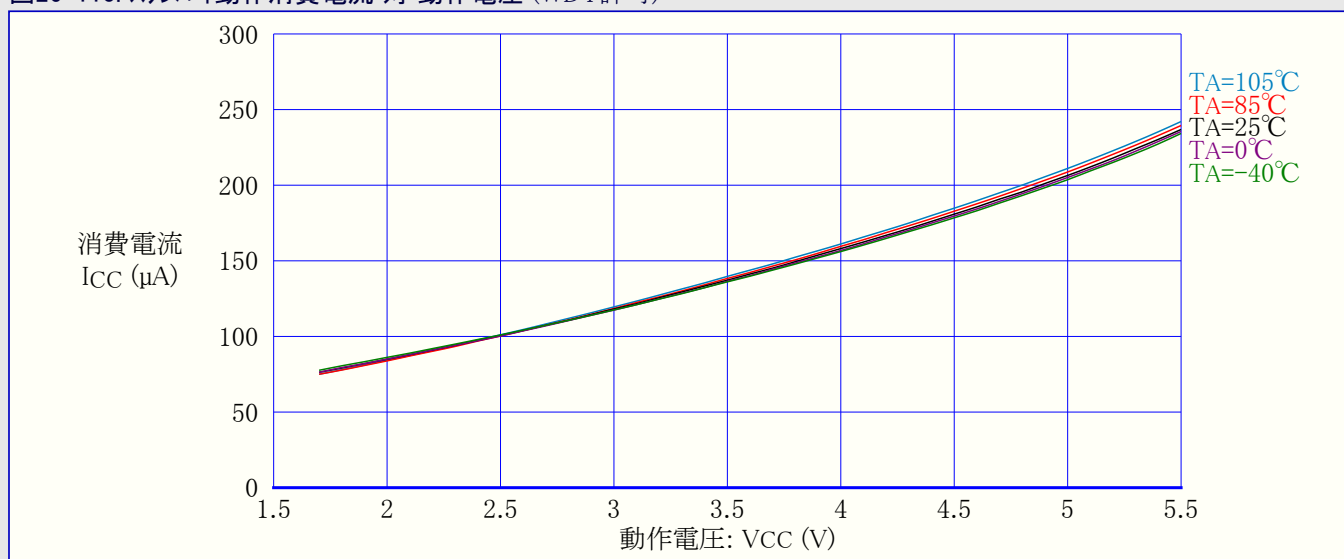


26.2.1.3. スタンバイ動作消費電流

図26-109. スタンバイ動作消費電流 対 動作電圧 (WDT禁止)



図26-110. スタンバイ動作消費電流 対 動作電圧 (WDT許可)



26.2.1.4. パワーダウン動作消費電流

図26-111. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

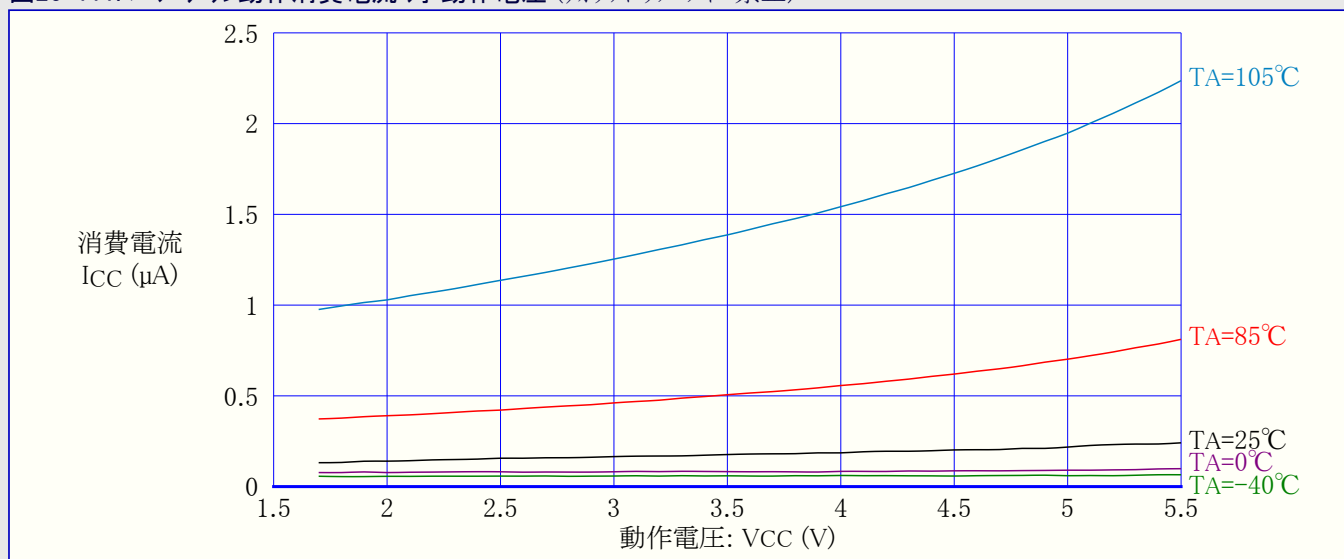
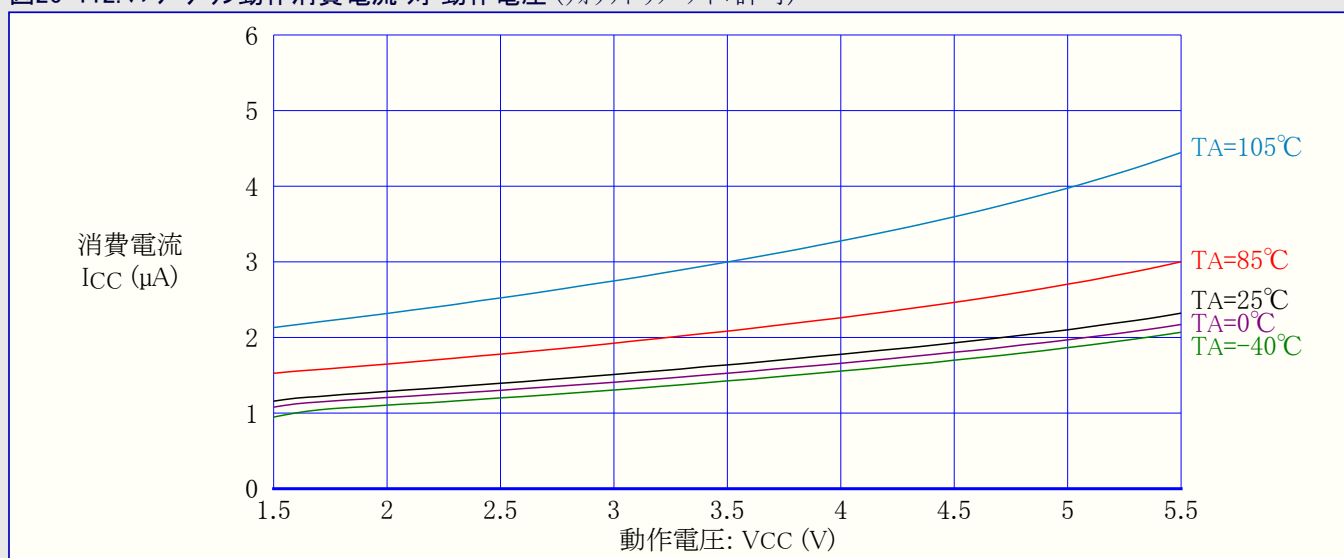


図26-112. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



26.2.1.5. リセットとリセット パルス幅

図26-113. リセット消費電流 対 動作電圧 (RESETプルアップを通る電流を除く)

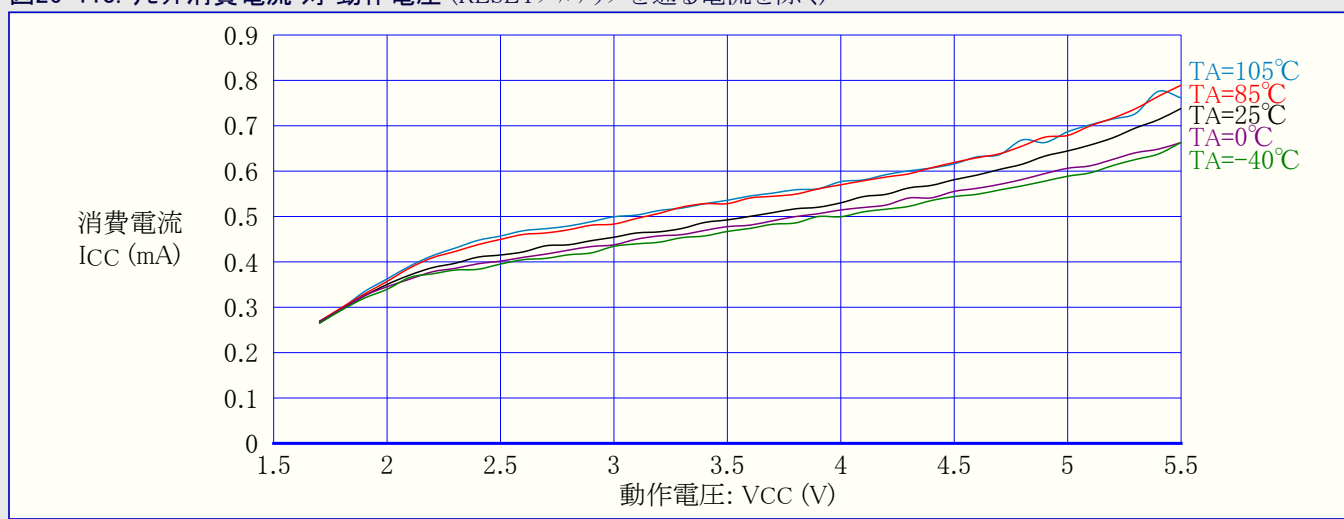
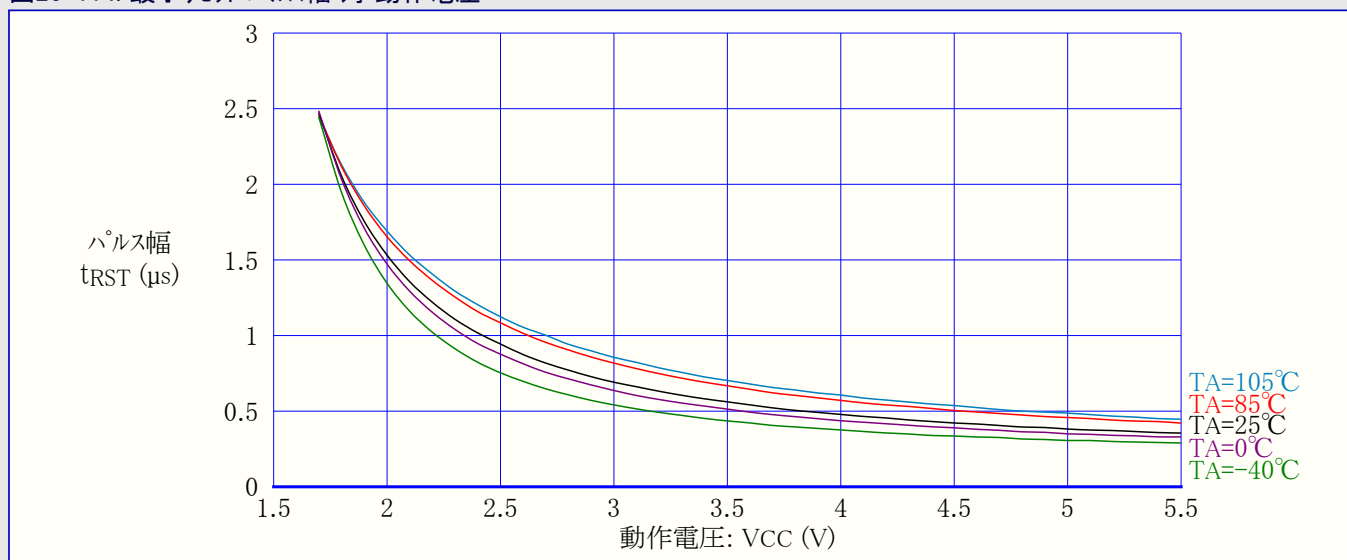
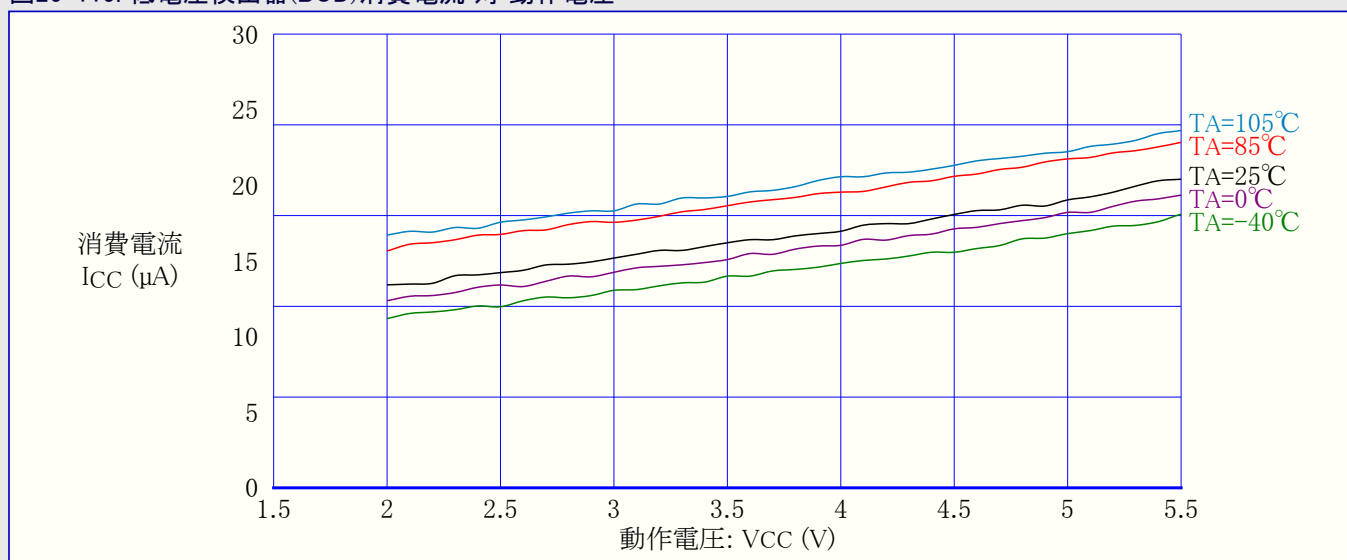


図26-114. 最小リセットパルス幅 対 動作電圧



26.2.1.6. 低電圧検出器 (BOD)

図26-115. 低電圧検出器(BOD)消費電流 対 動作電圧



26.2.1.7. 周辺機能部

図26-116. アナログ比較器0(AC0)消費電流 対 動作電圧 (周波数=1MHz)

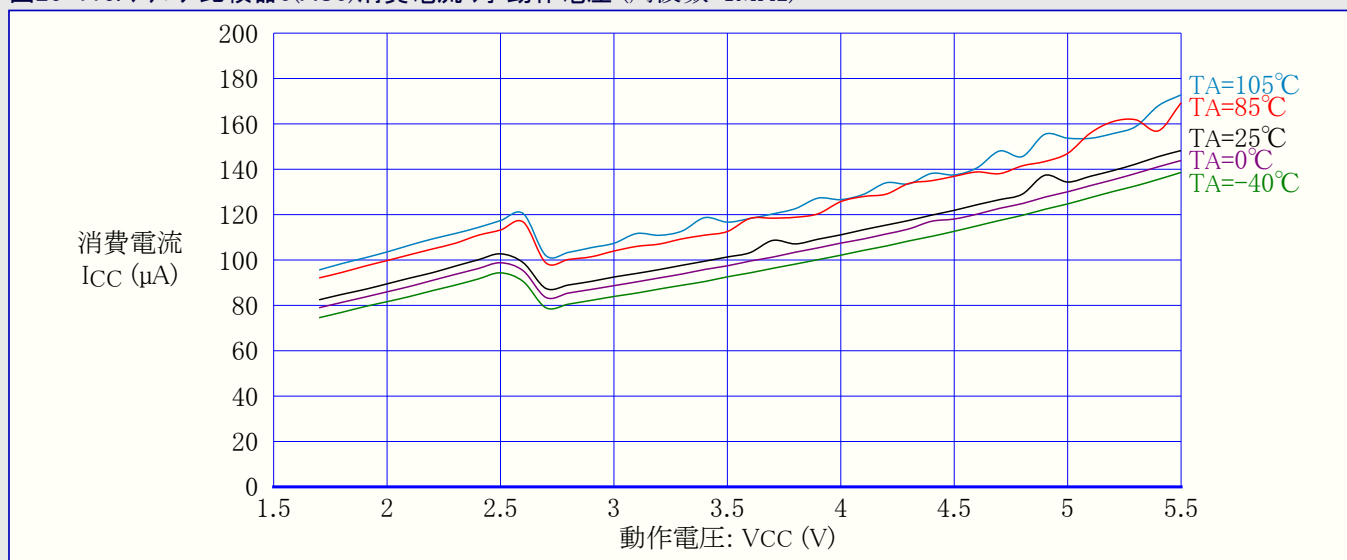


図26-117. アナログ比較器1(AC1)消費電流 対 動作電圧 (周波数=1MHz)

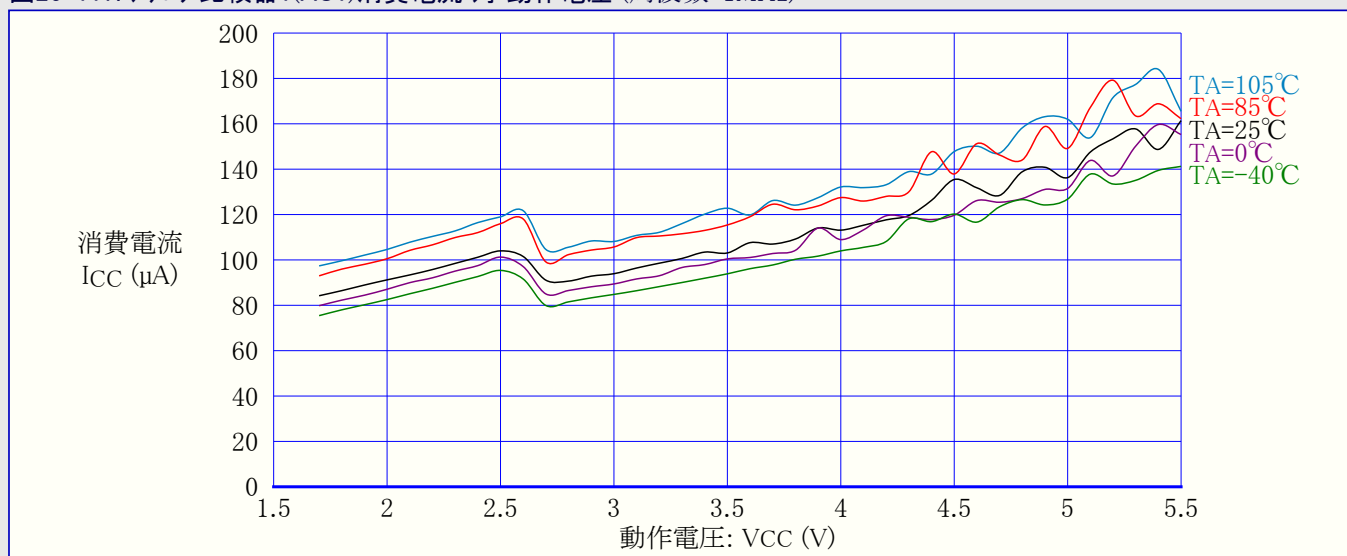


図26-118. A/D変換器(ADC)消費電流 対 動作電圧

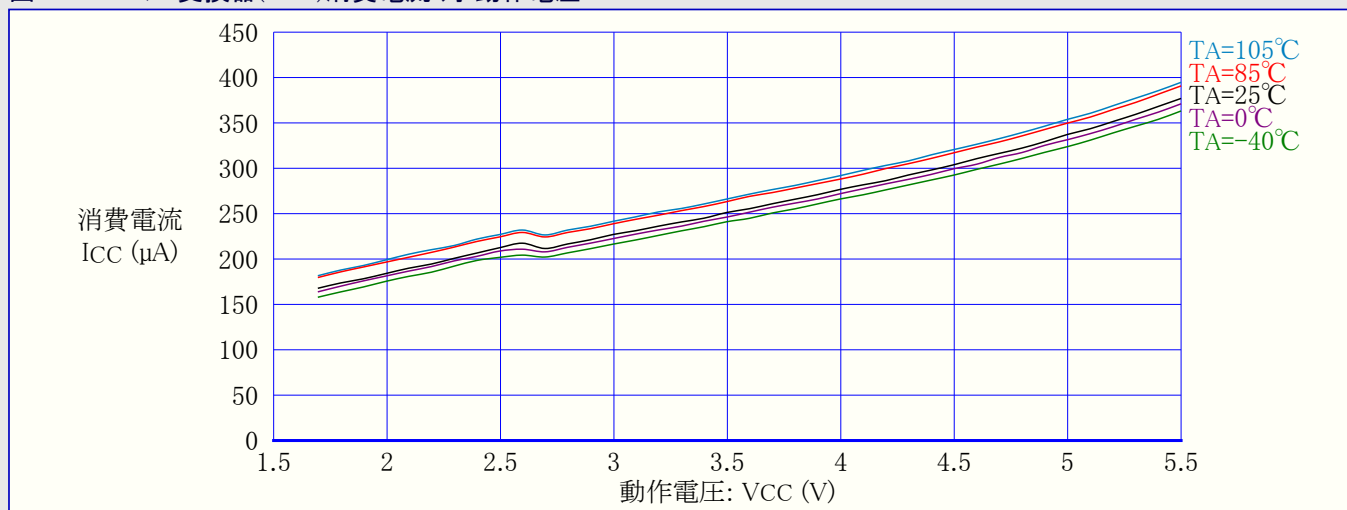


図26-119. 直列周辺インターフェース(SPI)消費電流 対 動作電圧

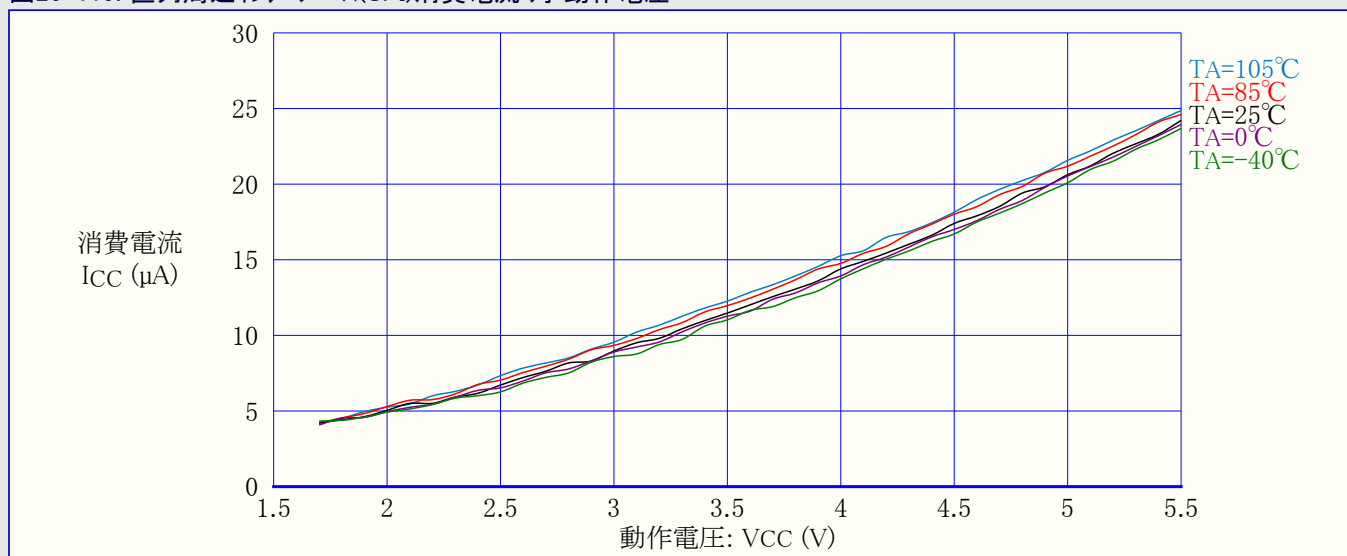


図26-120. タイマ/カウンタ0(TC0)消費電流 対 動作電圧

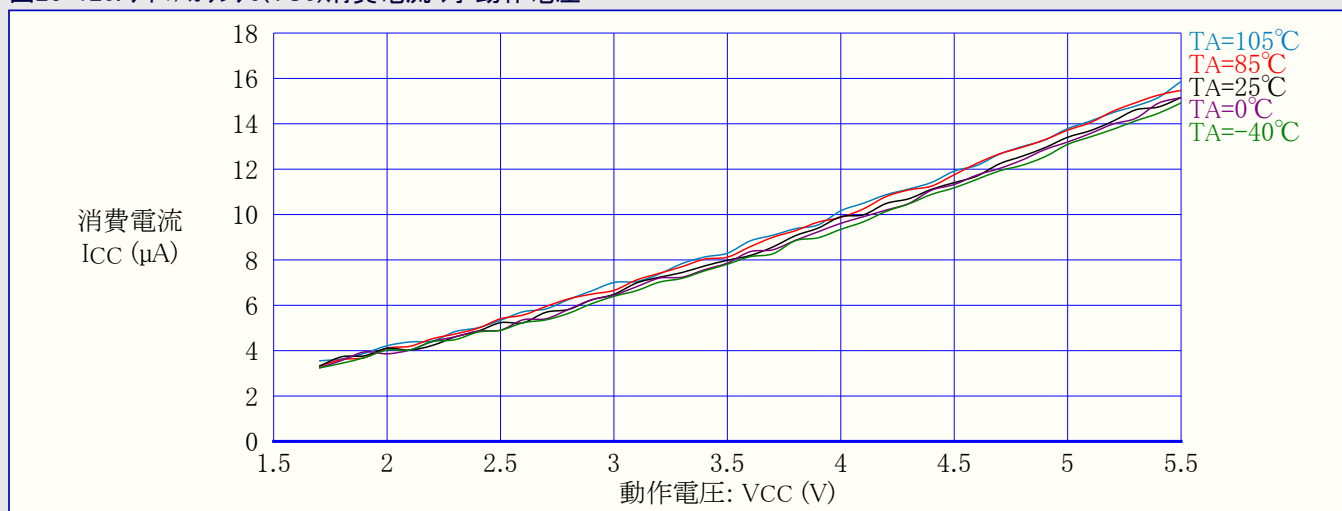


図26-121. タイマ/カウンタ1(TC1)消費電流 対 動作電圧

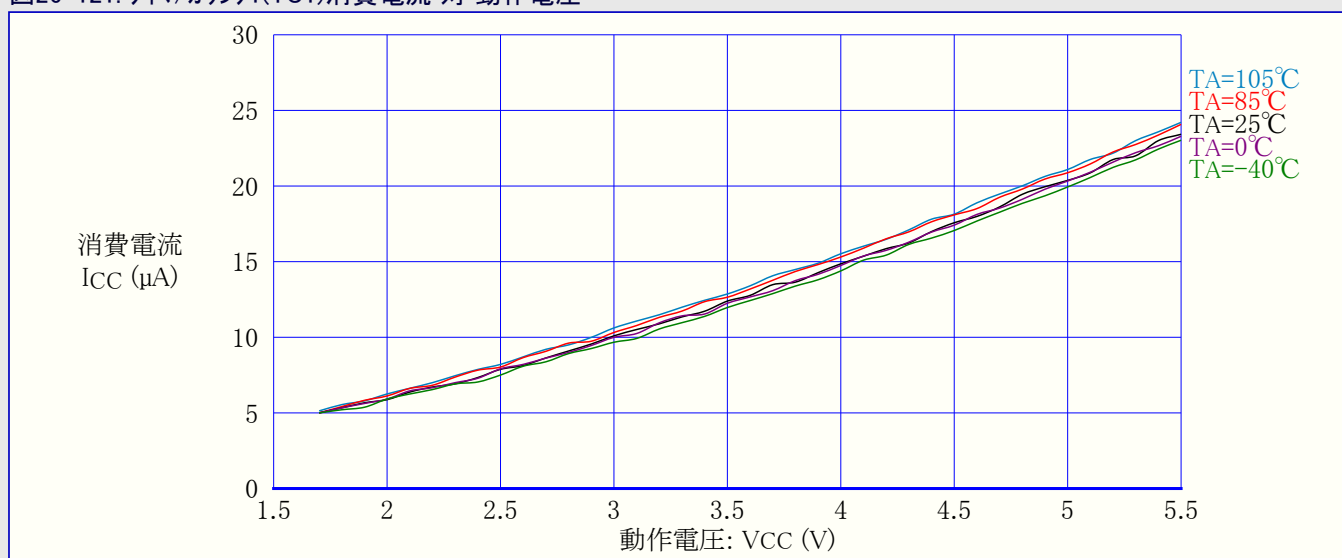


図26-122. タイマ/カウンタ2(TC2)消費電流 対 動作電圧

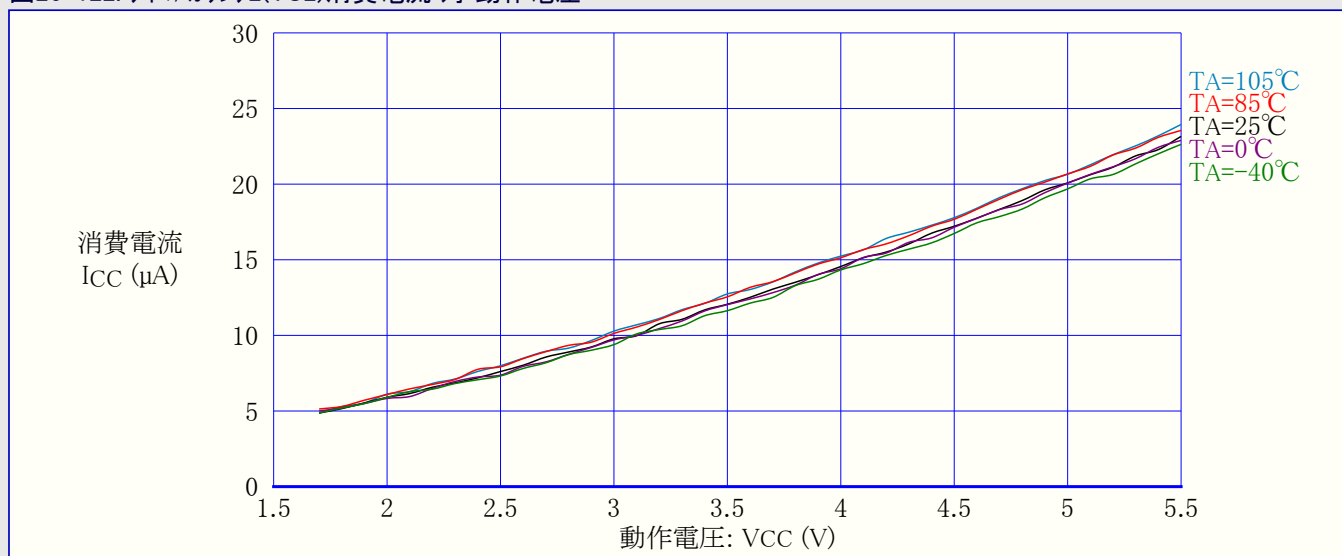


図26-123. 2線インターフェース(TWI)消費電流 対 動作電圧

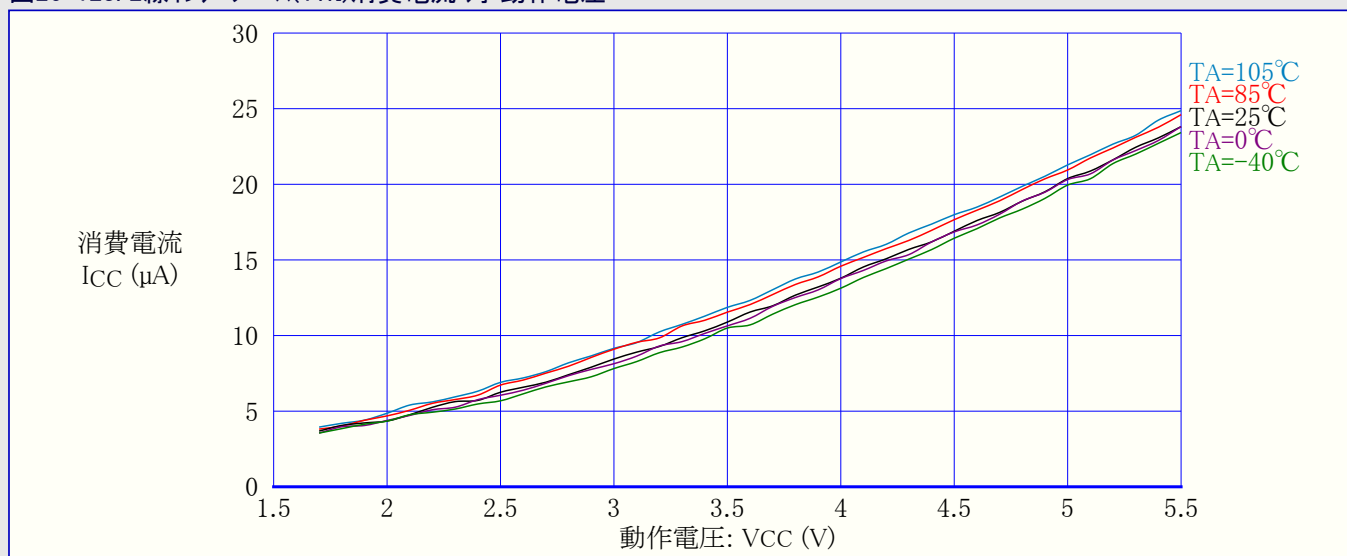


図26-124. USART0消費電流 対 動作電圧

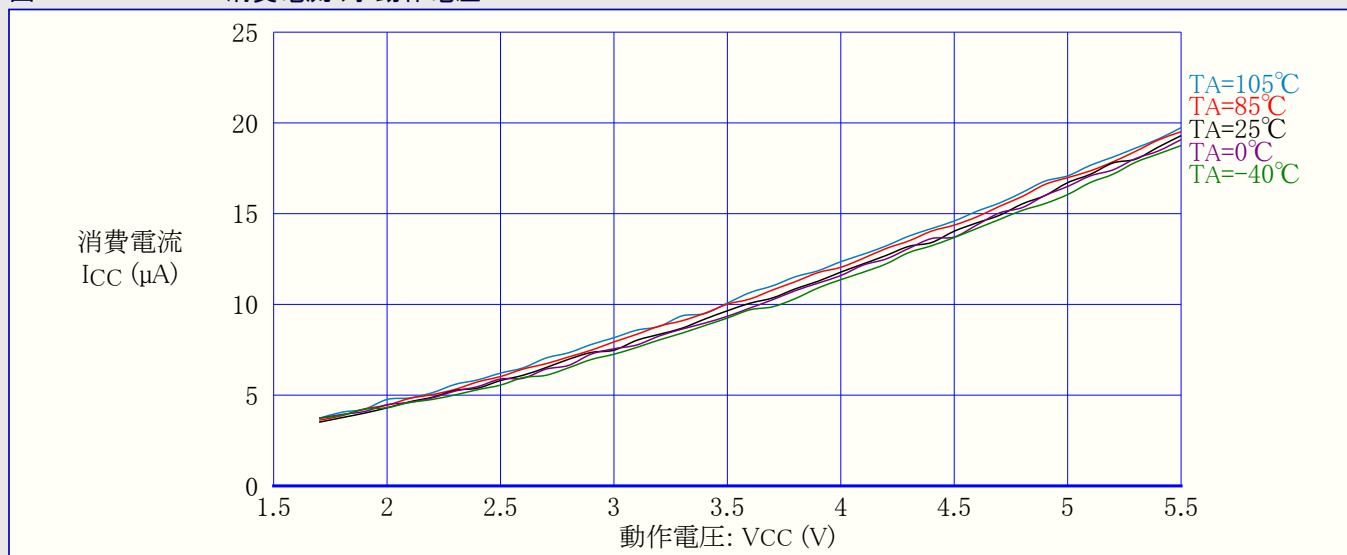
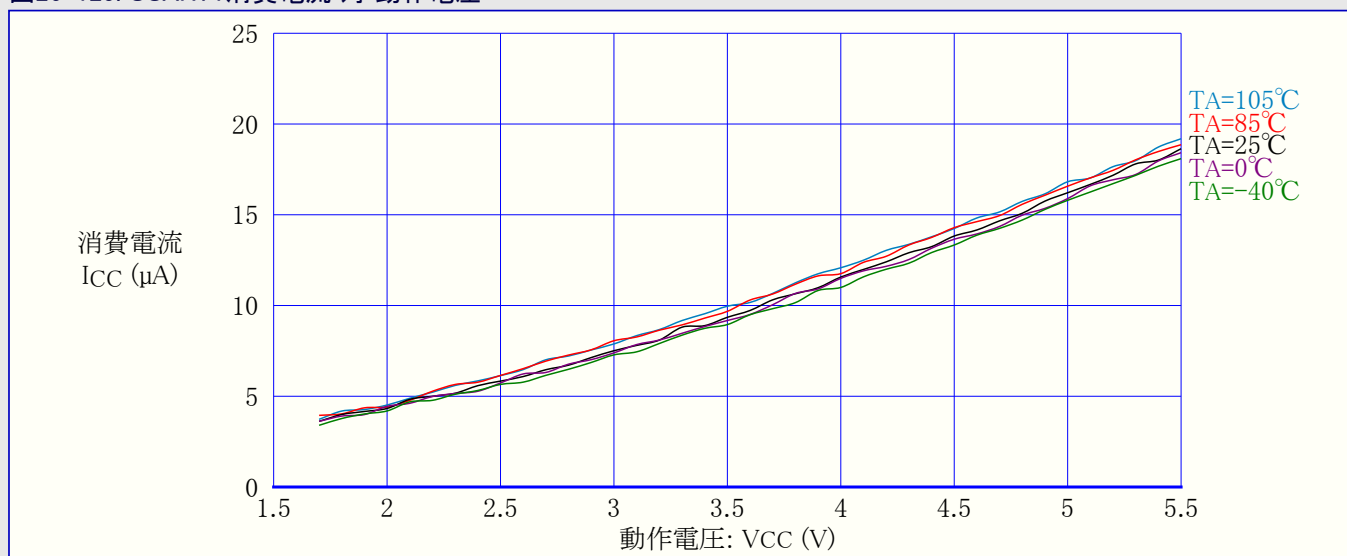


図26-125. USART1消費電流 対 動作電圧



26.2.2. プルアップ抵抗電流

26.2.2.1. I/Oピンプルアップ抵抗電流

図26-126. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

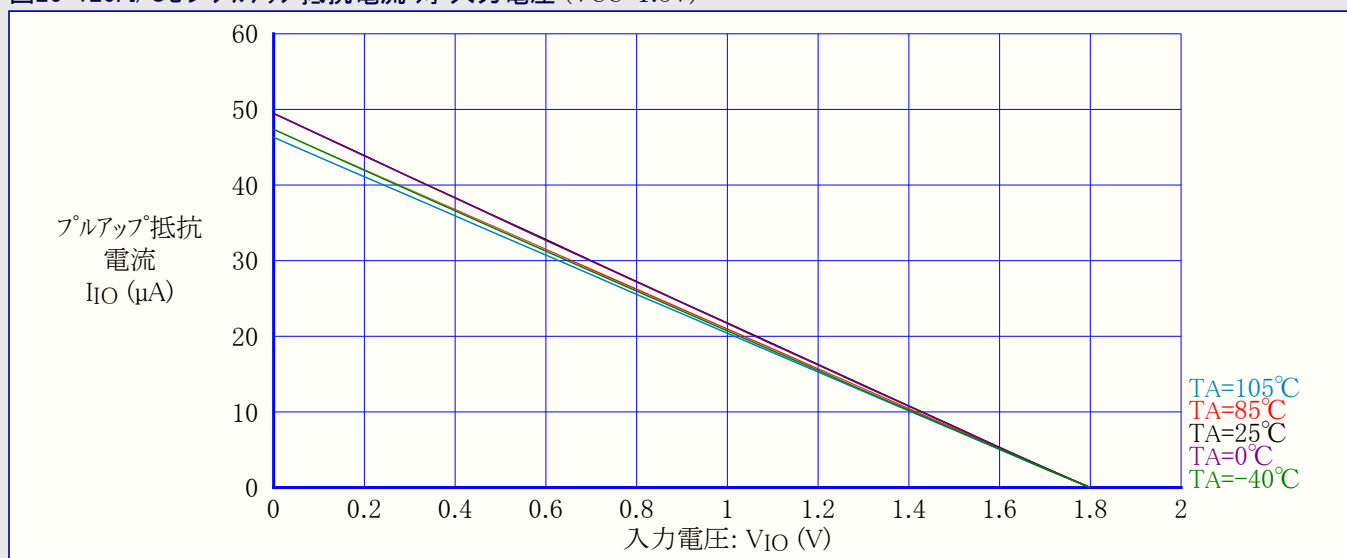


図26-127. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

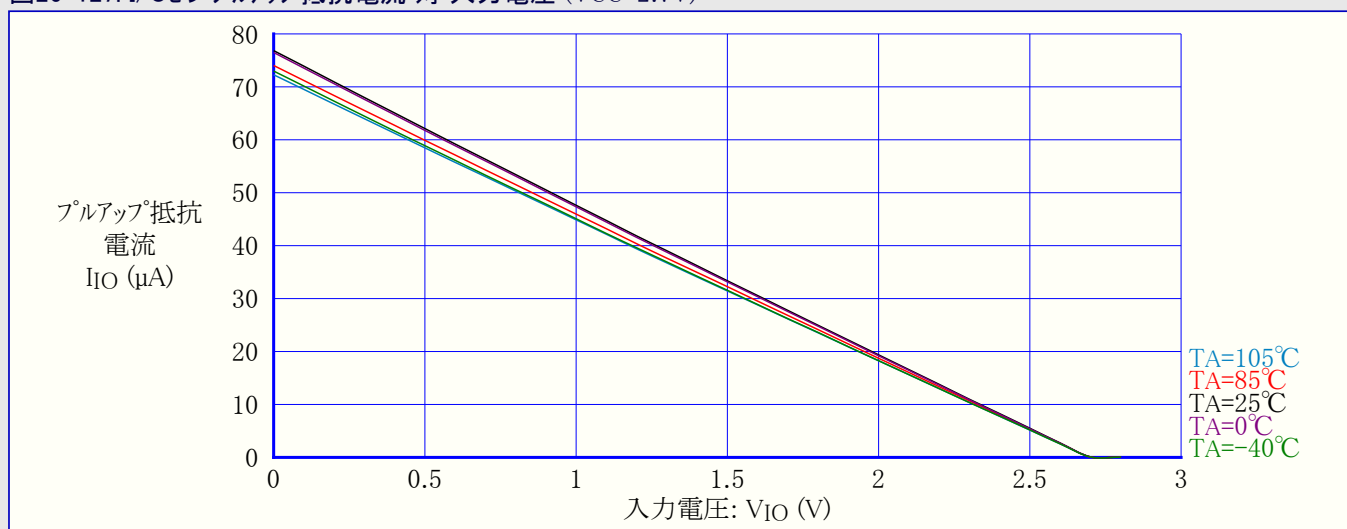
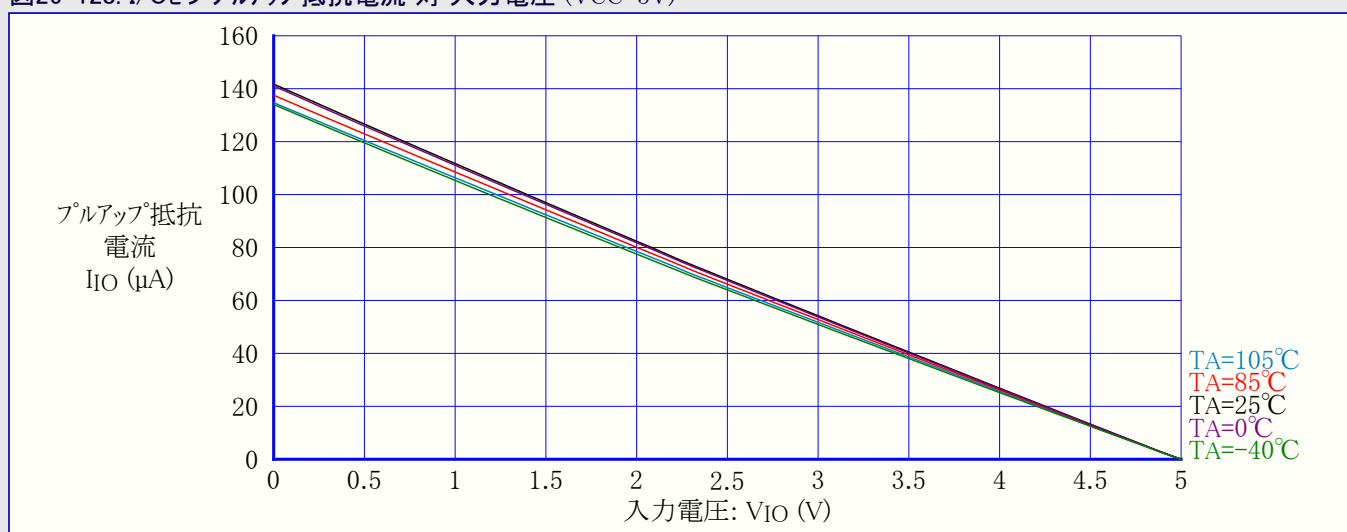


図26-128. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)



26.2.2.2. RESETフルアップ抵抗電流

図26-129. RESETフルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

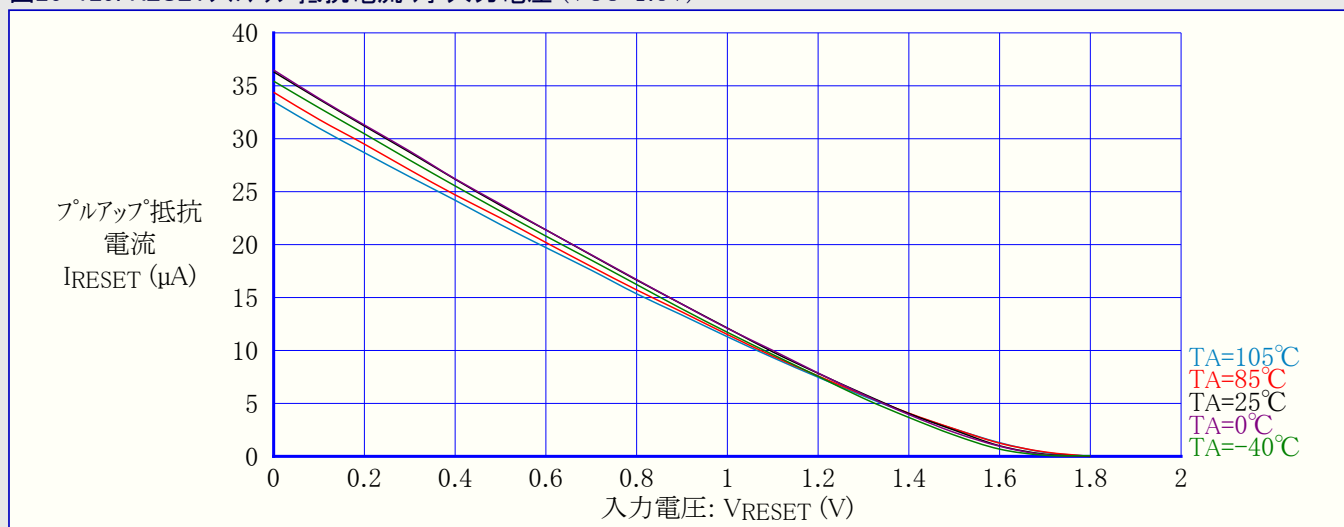


図26-130. RESETフルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

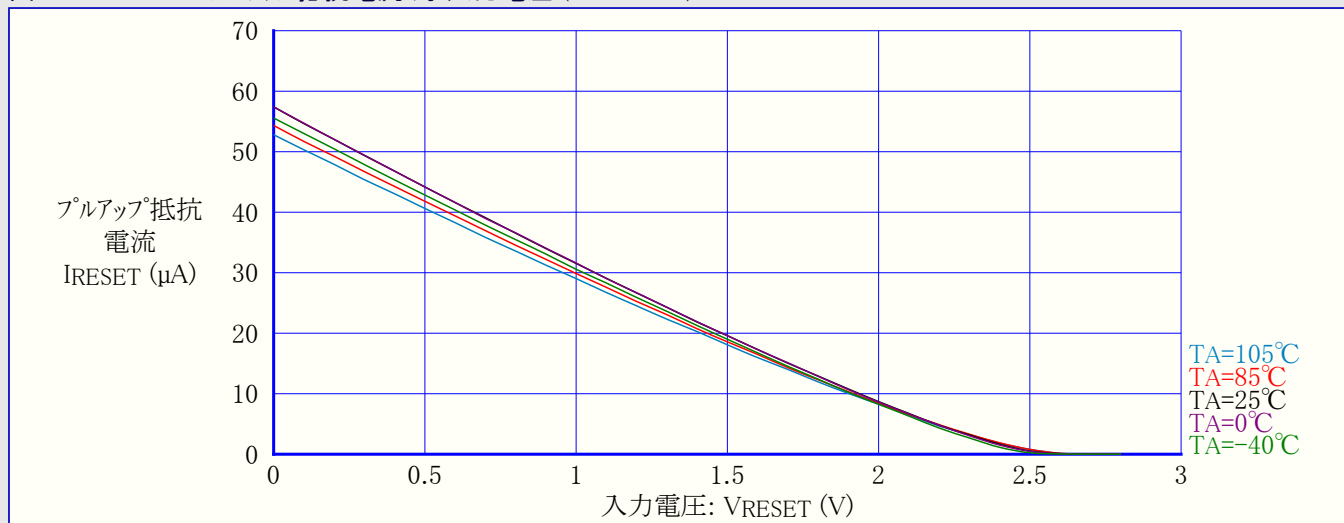
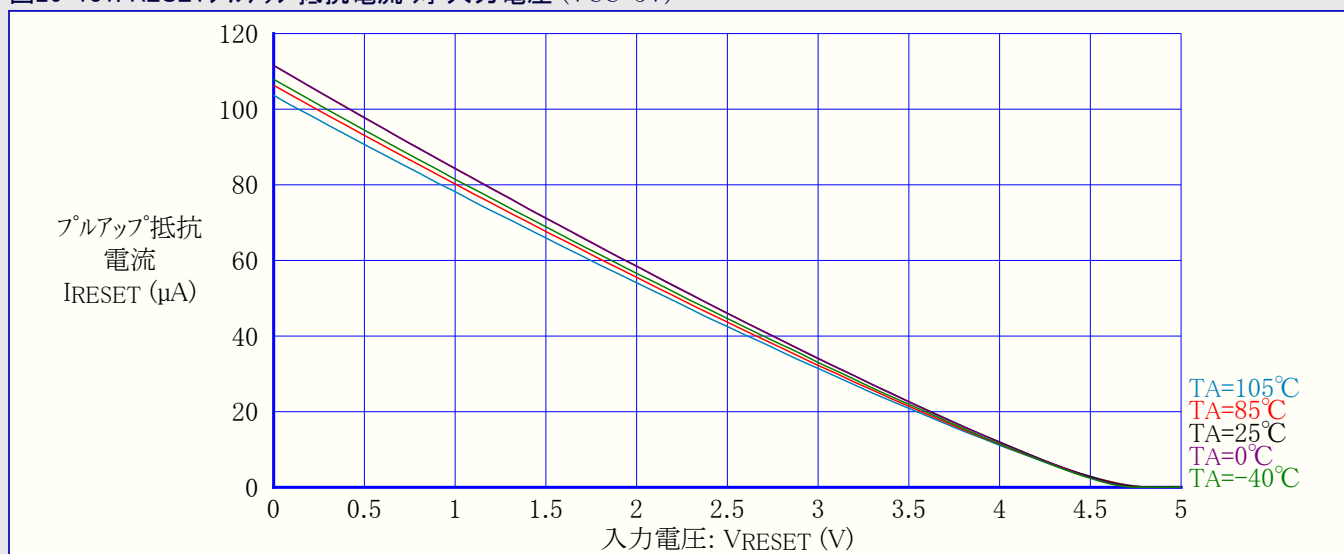


図26-131. RESETフルアップ抵抗電流 対 入力電圧 (VCC=5V)



26.2.3. 入力閾値とヒステリシス

26.2.3.1. I/Oピン

図26-132. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

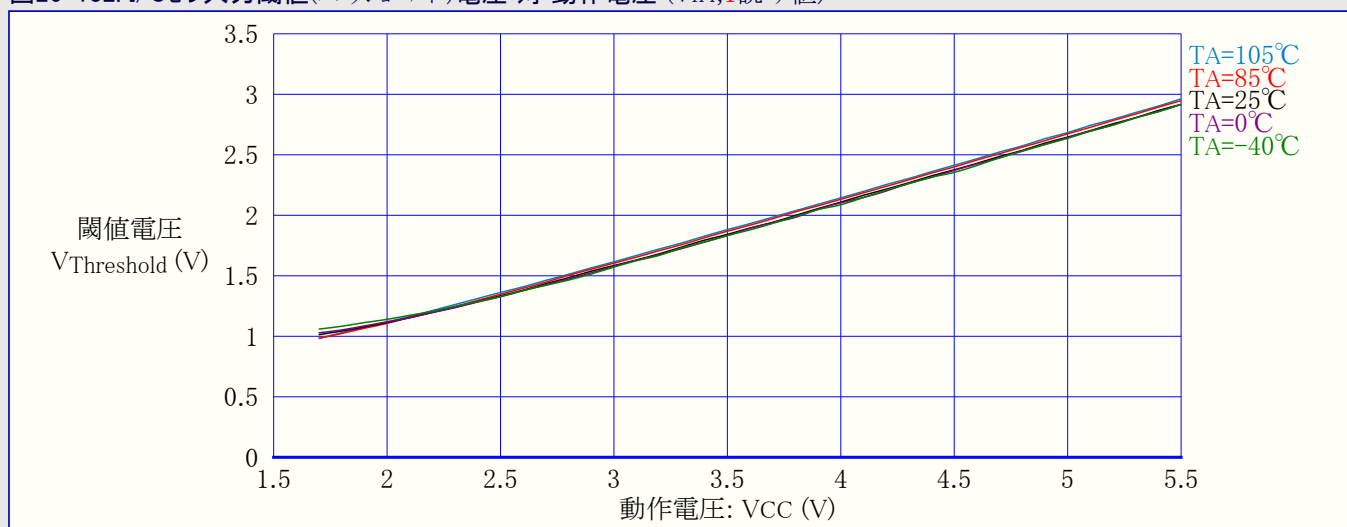


図26-133. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

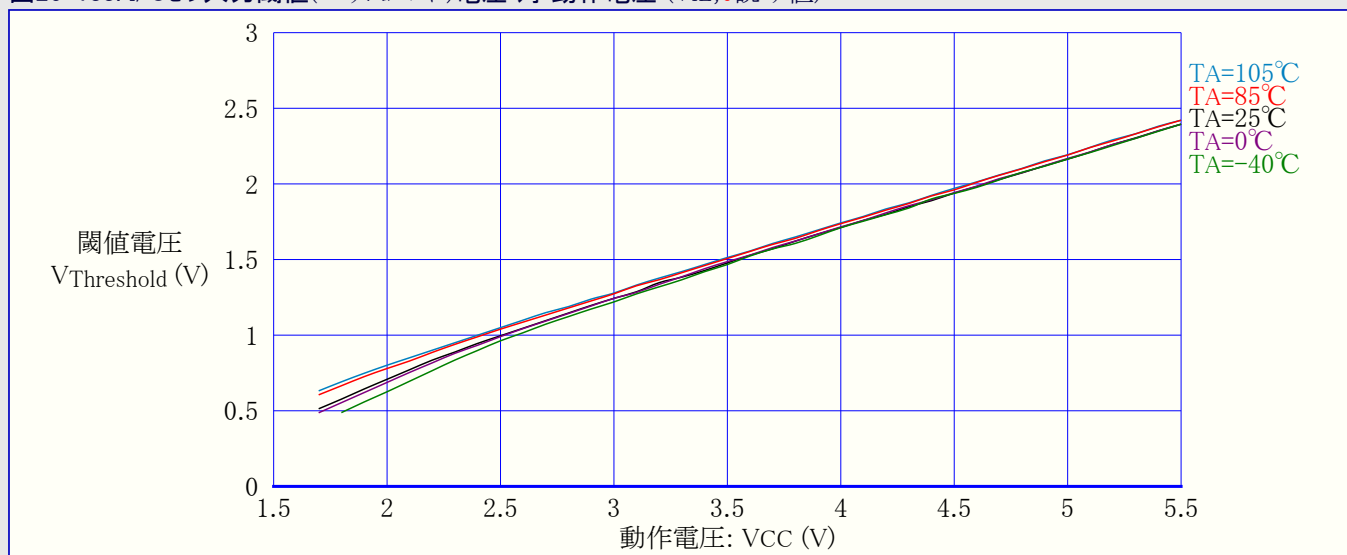
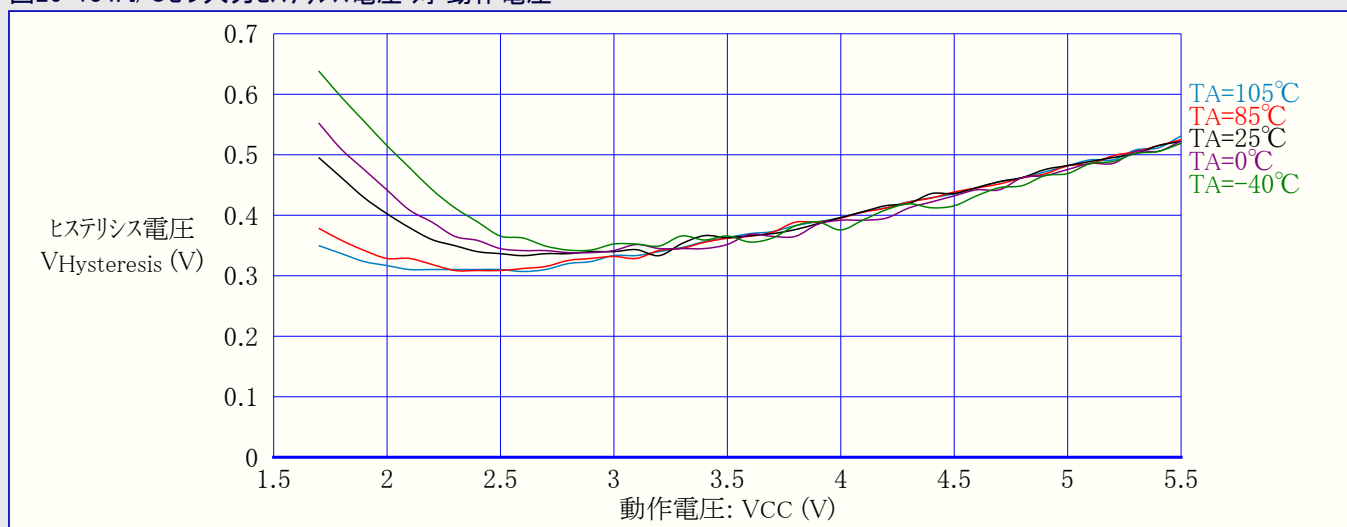


図26-134. I/Oピン入力ヒステリシス電圧 対 動作電圧



26.2.3.2. I/Oとしてのリセットピン

図26-135. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

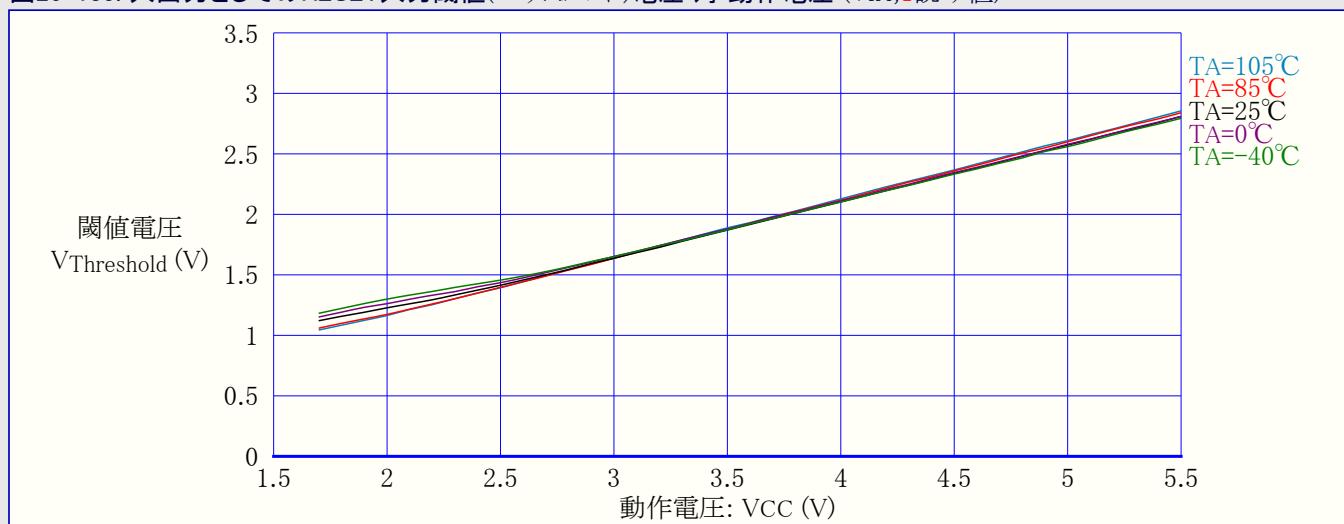


図26-136. 入出力としてのRESET入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

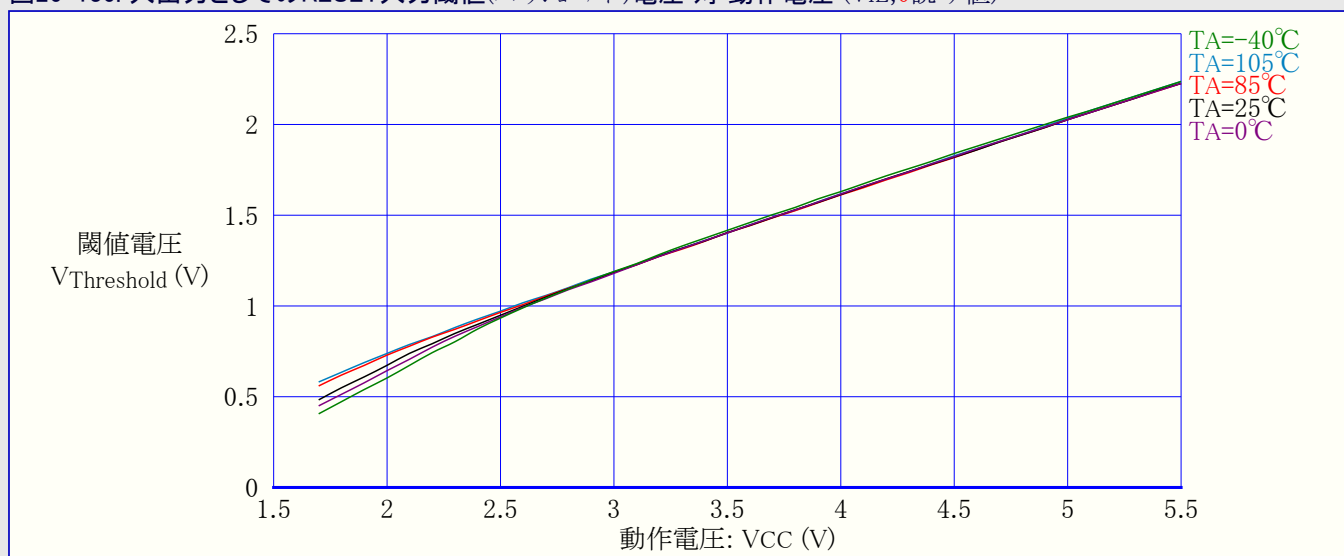
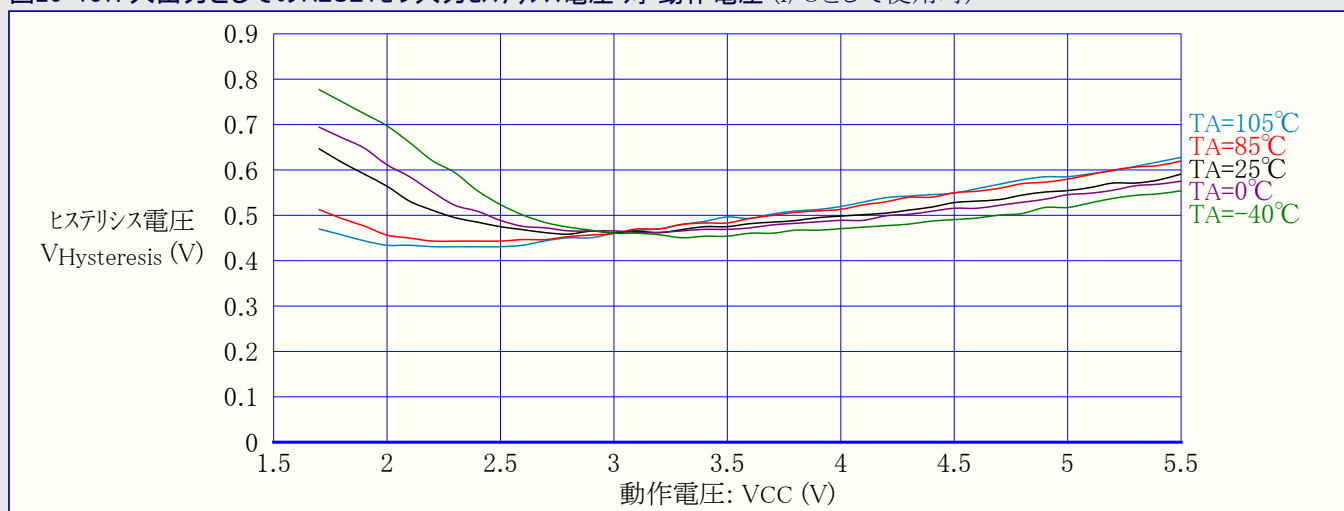


図26-137. 入出力としてのRESETピン入力ヒステリシス電圧 対 動作電圧 (I/Oとして使用時)



26.2.3.3. リセットピン

図26-138. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , 1読み値)

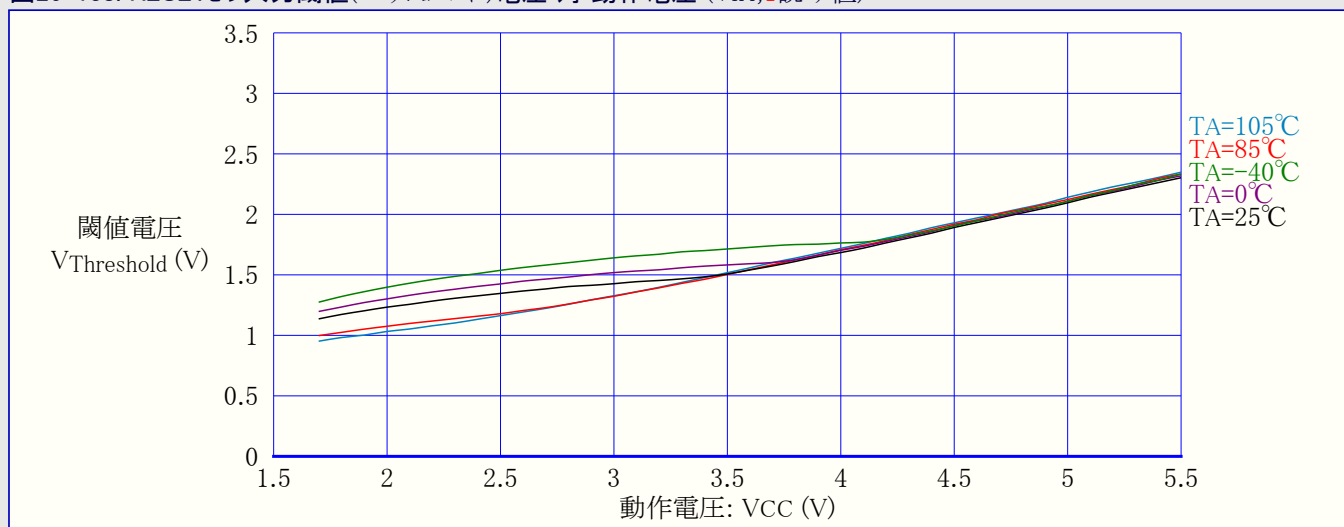


図26-139. RESETピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IL} , 0読み値)

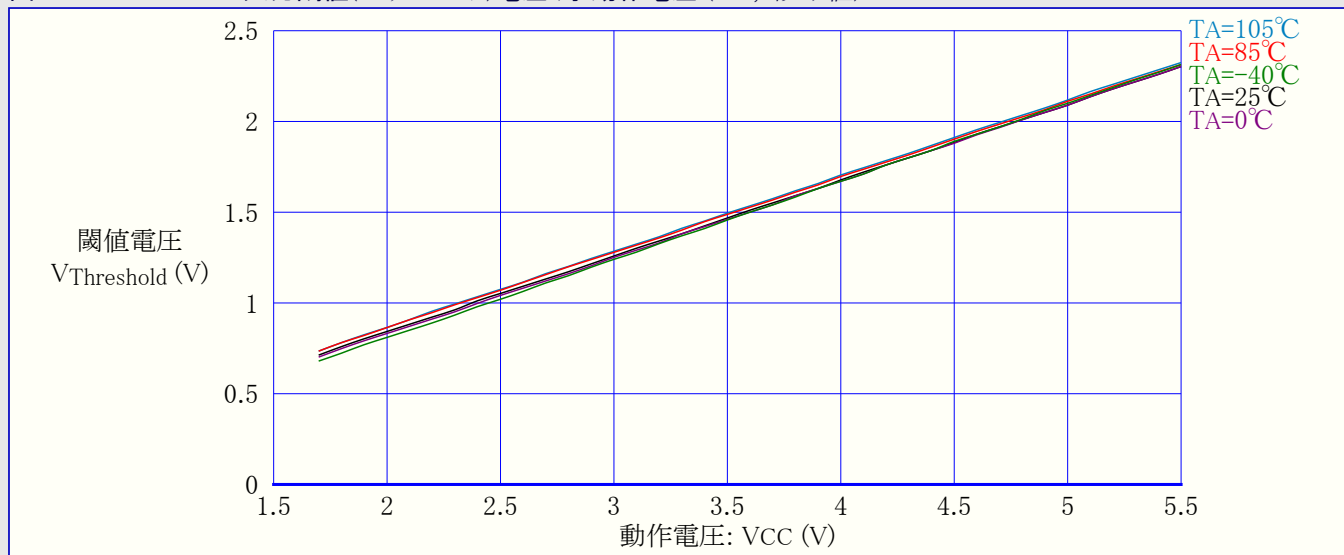
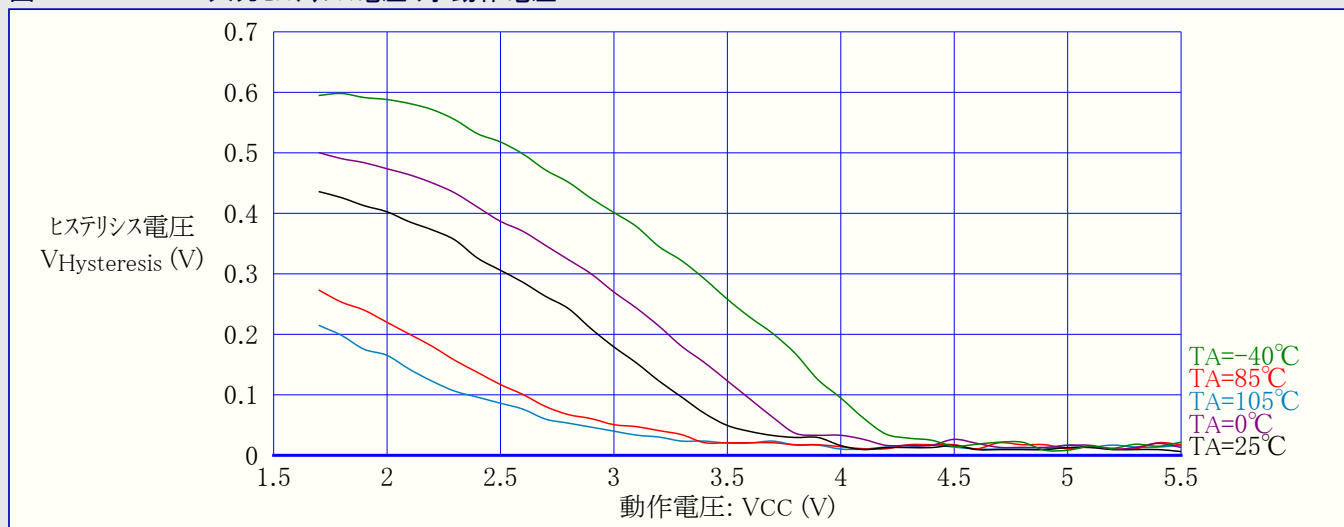


図26-140. RESET入力ヒステリシス電圧 対 動作電圧



26.2.4. 出力駆動能力

26.2.4.1. 吸い込み電流

図26-141. 標準I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

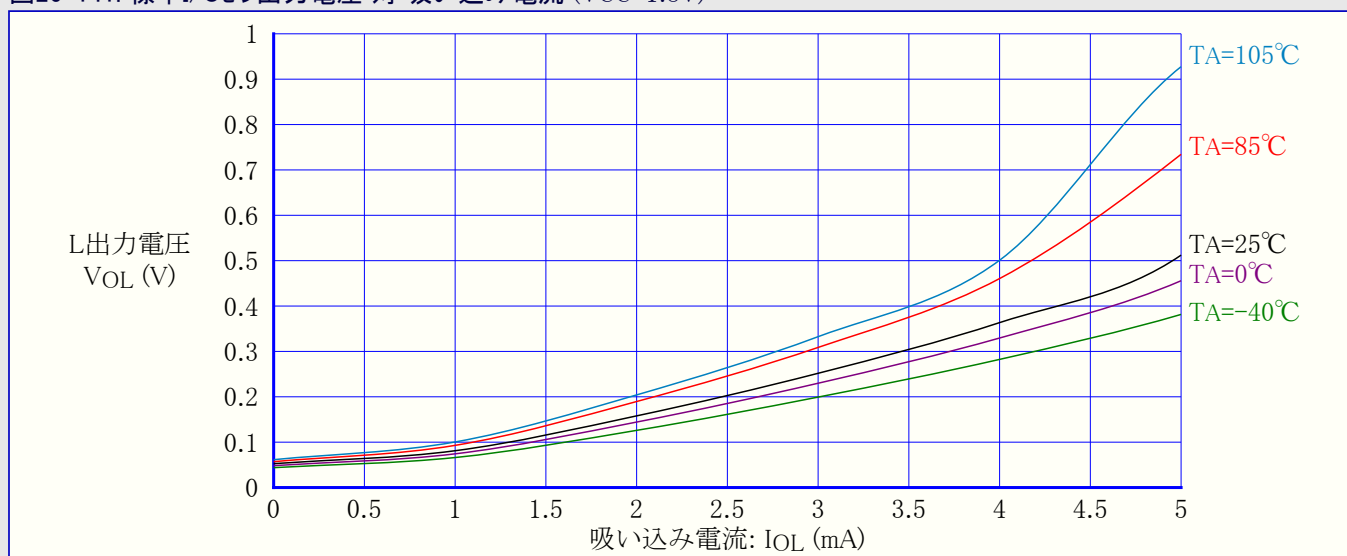


図26-142. 標準I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

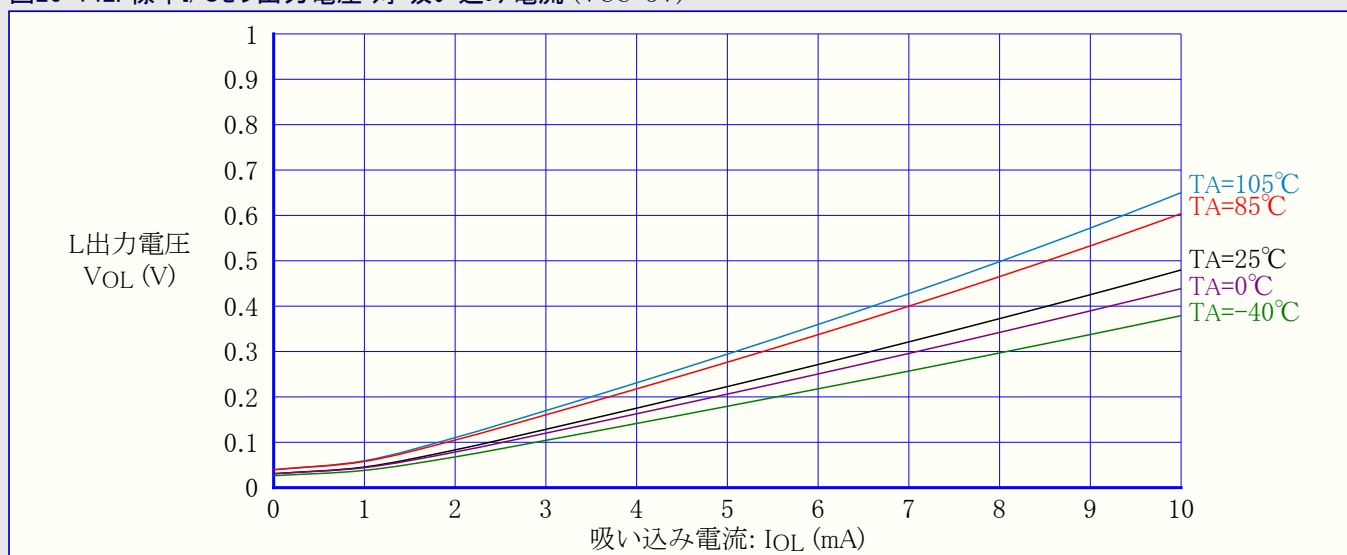


図26-143. 標準I/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

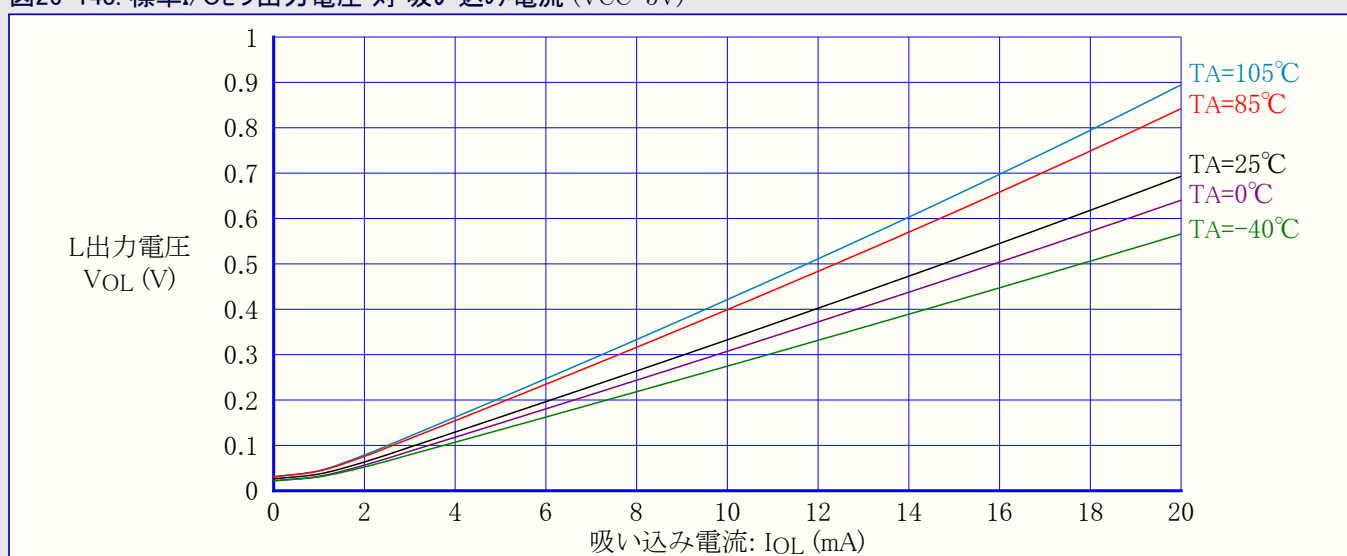


図26-144. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

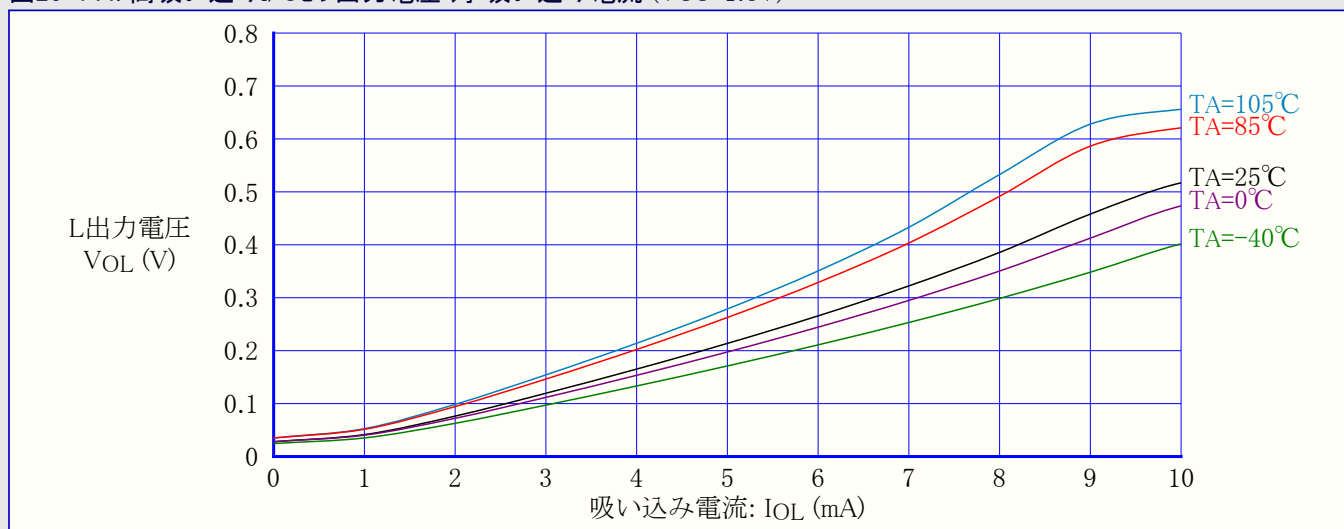


図26-145. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

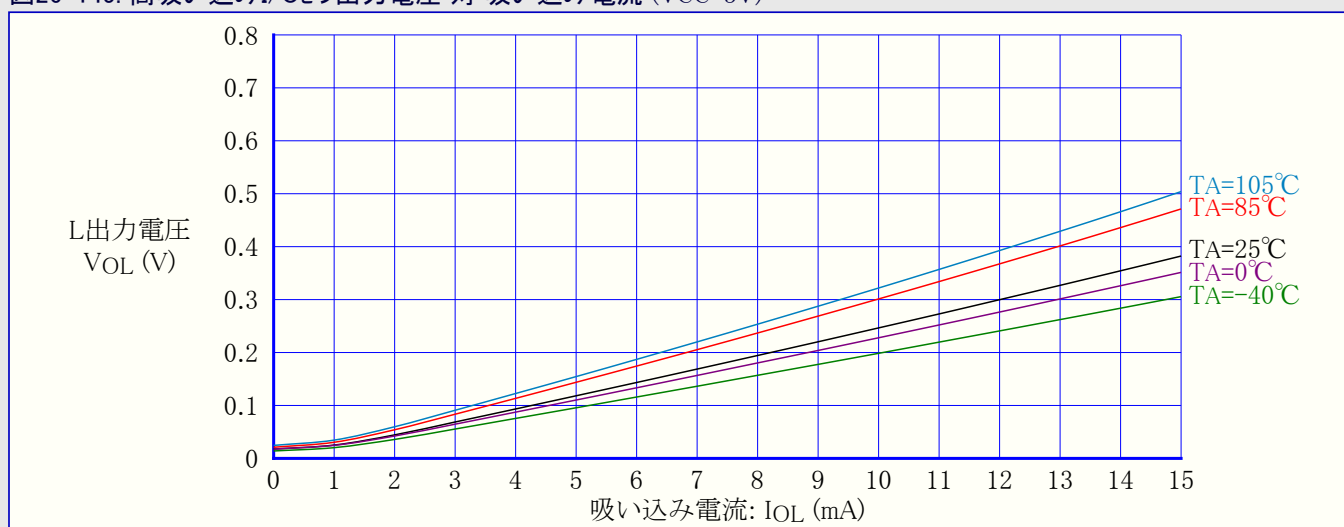


図26-146. 高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

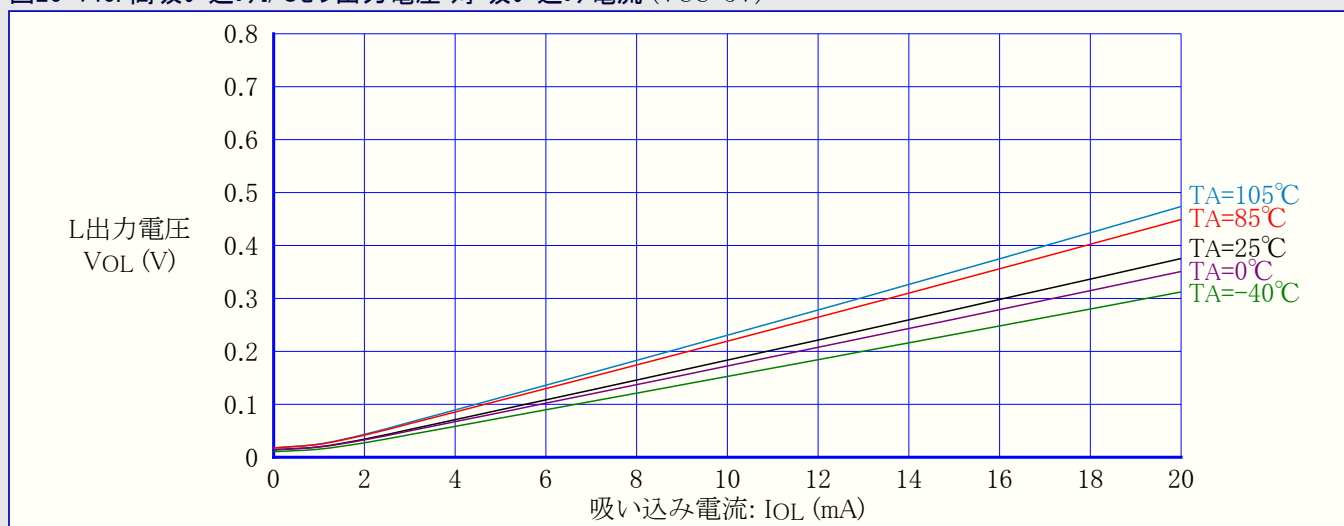


図26-147. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

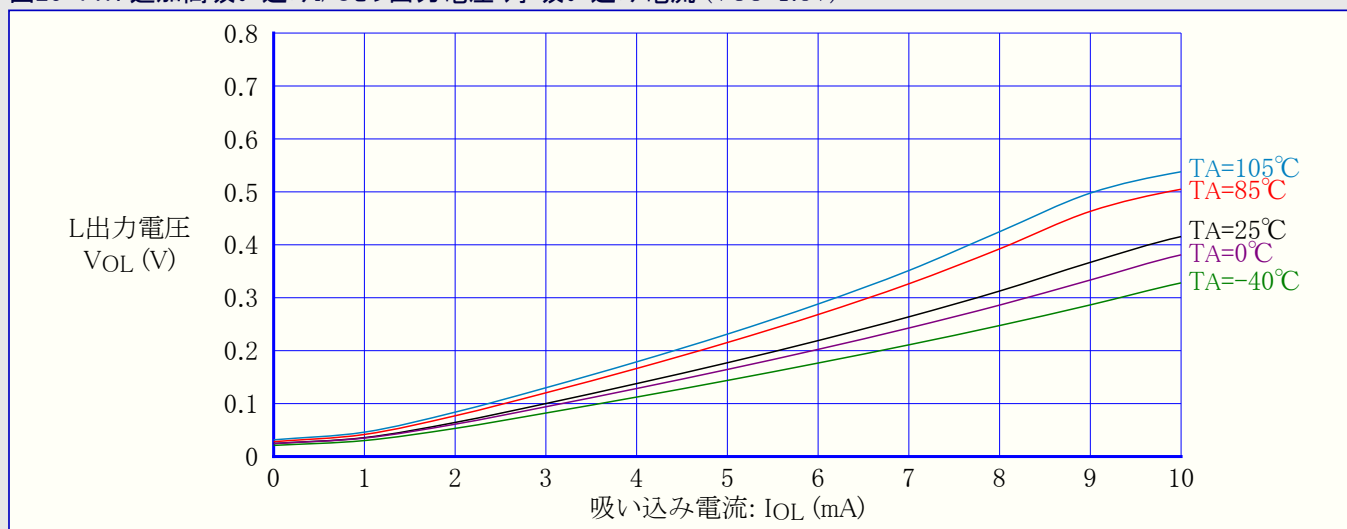


図26-148. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

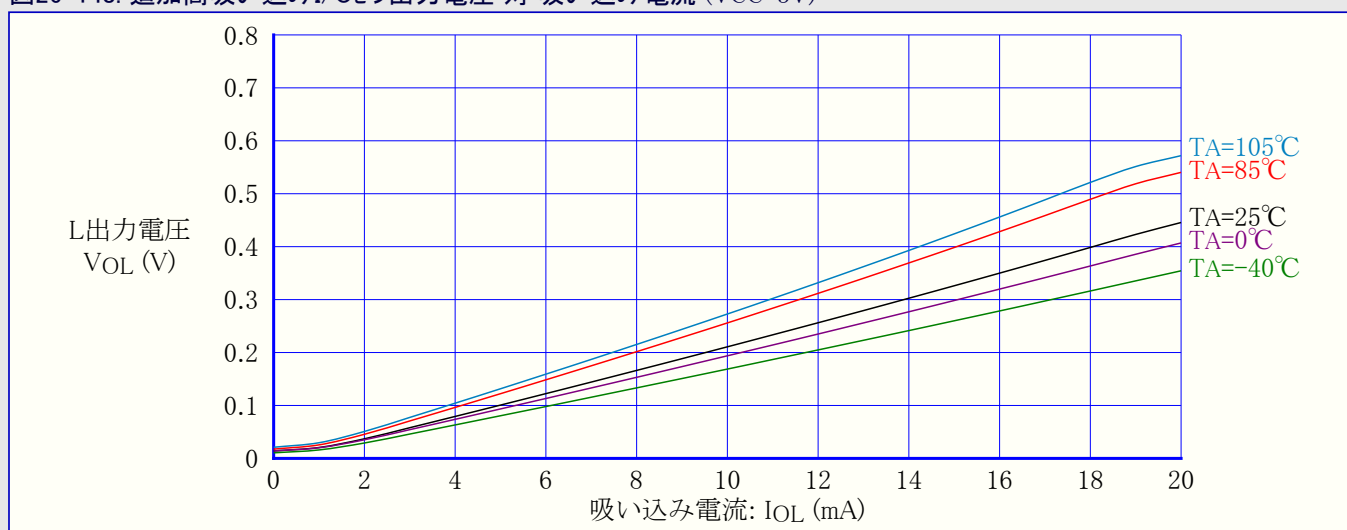


図26-149. 追加高吸い込みI/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

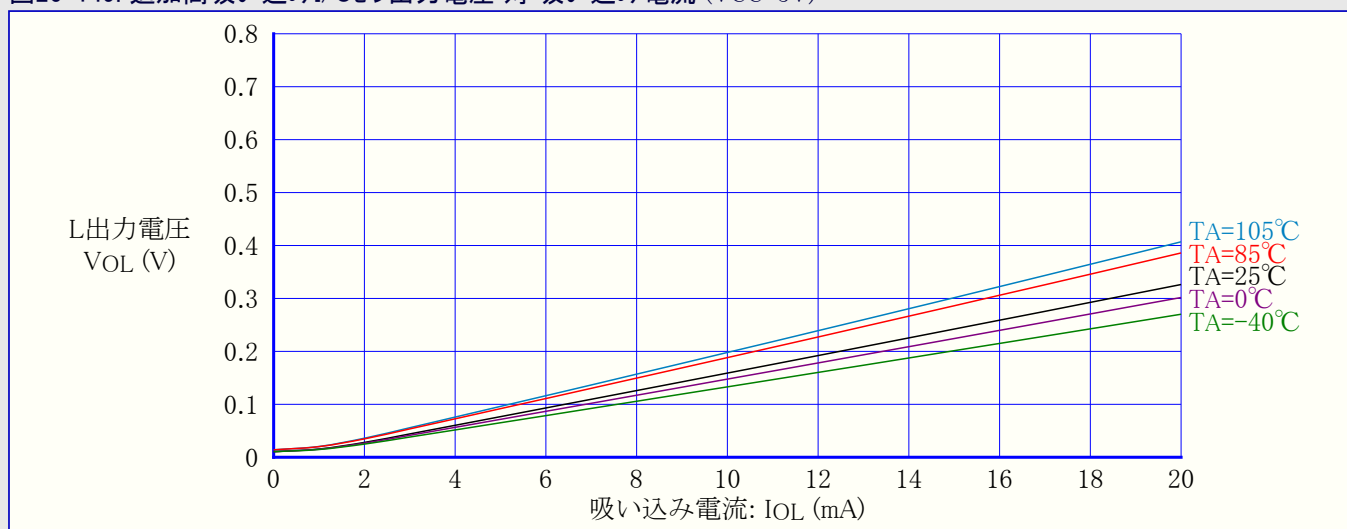


図26-150. 入出力としてのRESETピン出力電圧 対 吸い込み電流 ($V_{CC}=1.8V$)

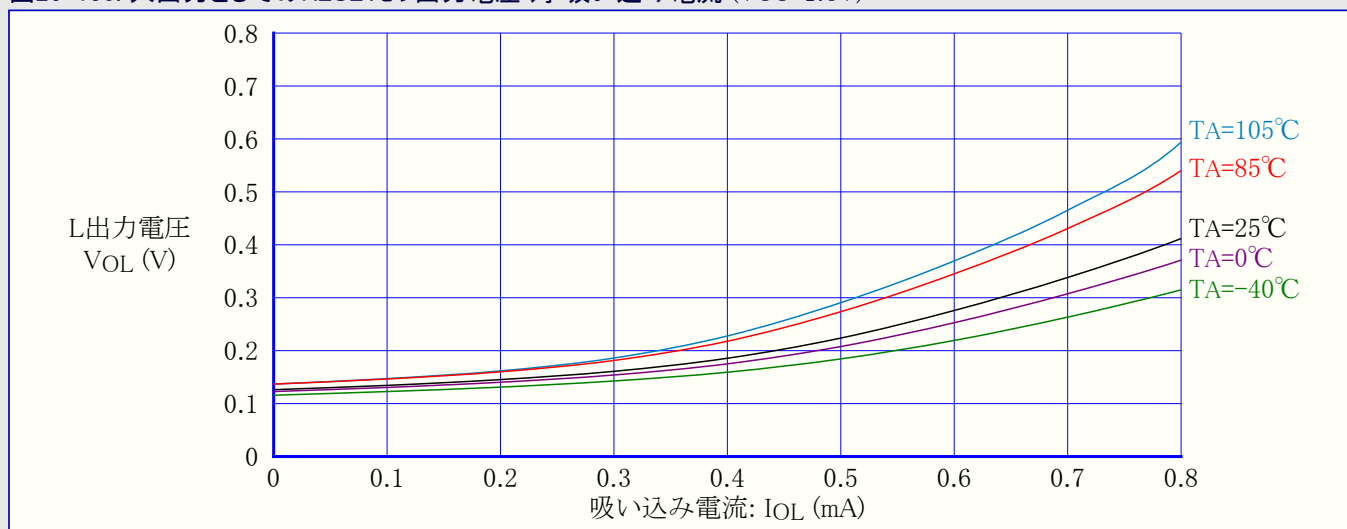


図26-151. 入出力としてのRESETピン出力電圧 対 吸い込み電流 ($V_{CC}=3V$)

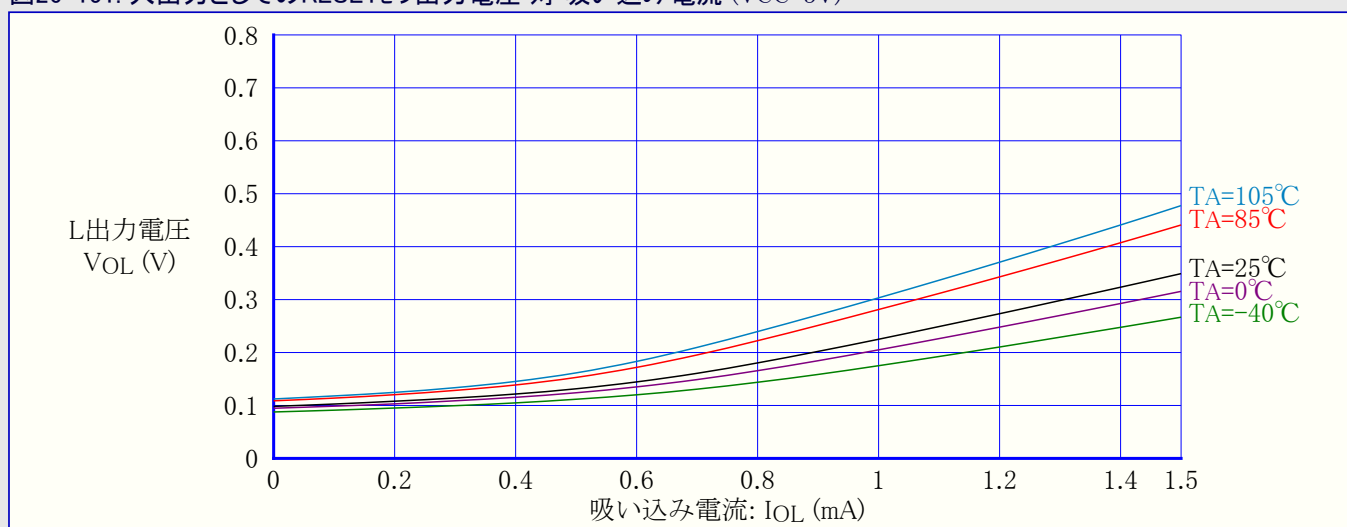
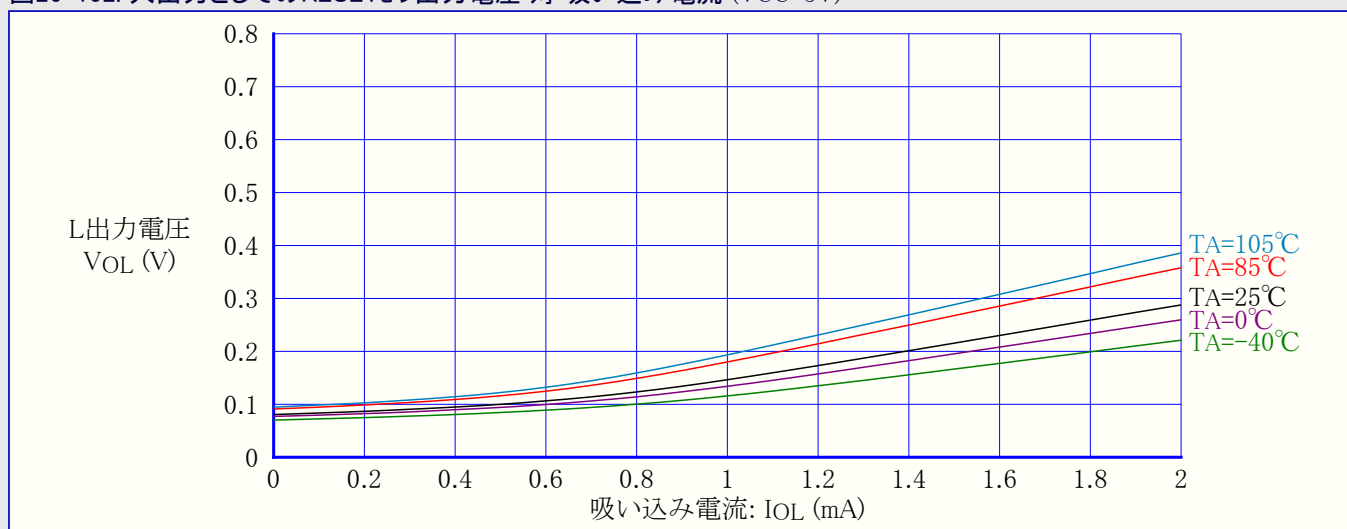


図26-152. 入出力としてのRESETピン出力電圧 対 吸い込み電流 ($V_{CC}=5V$)



26.2.4.2. 吐き出し電流

図26-153. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

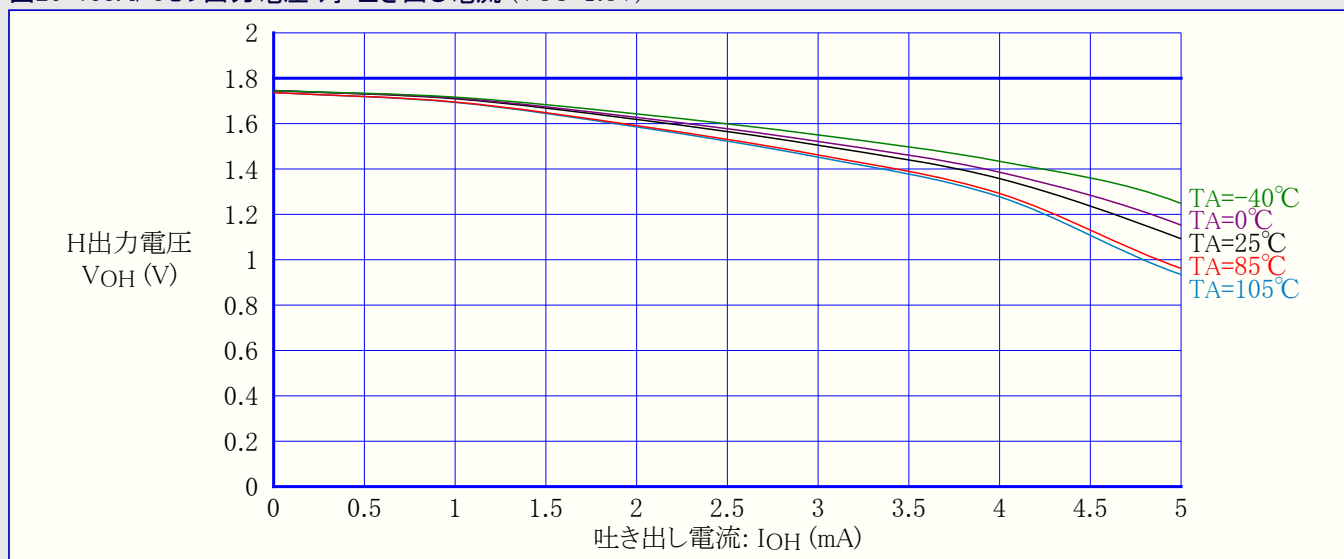


図26-154. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

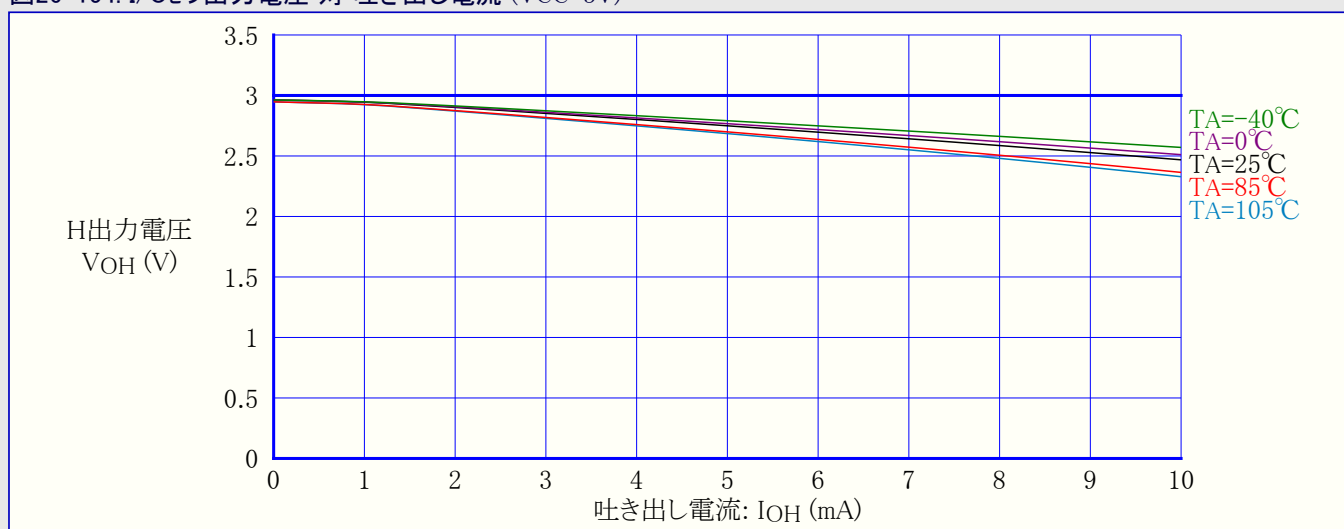


図26-155. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

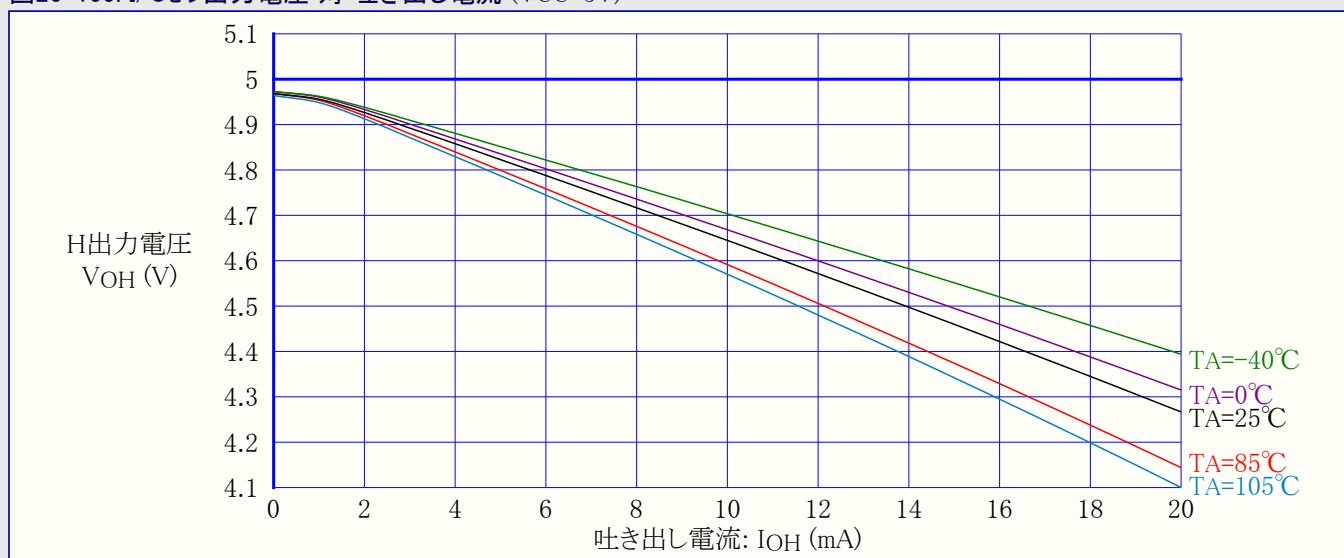


図26-156. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=1.8V)

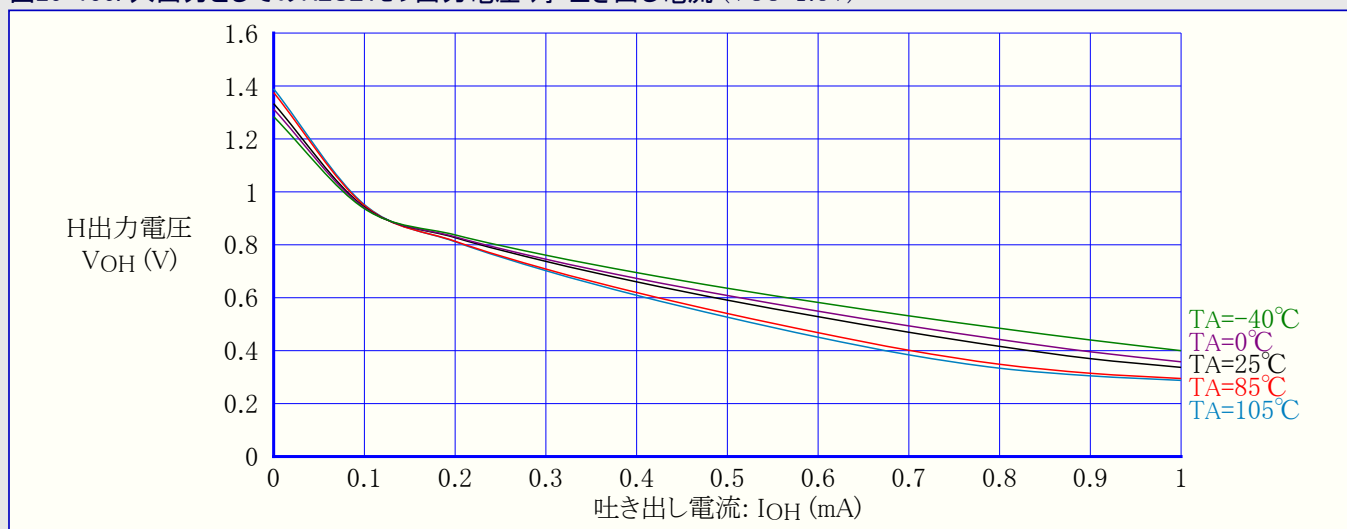


図26-157. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=3V)

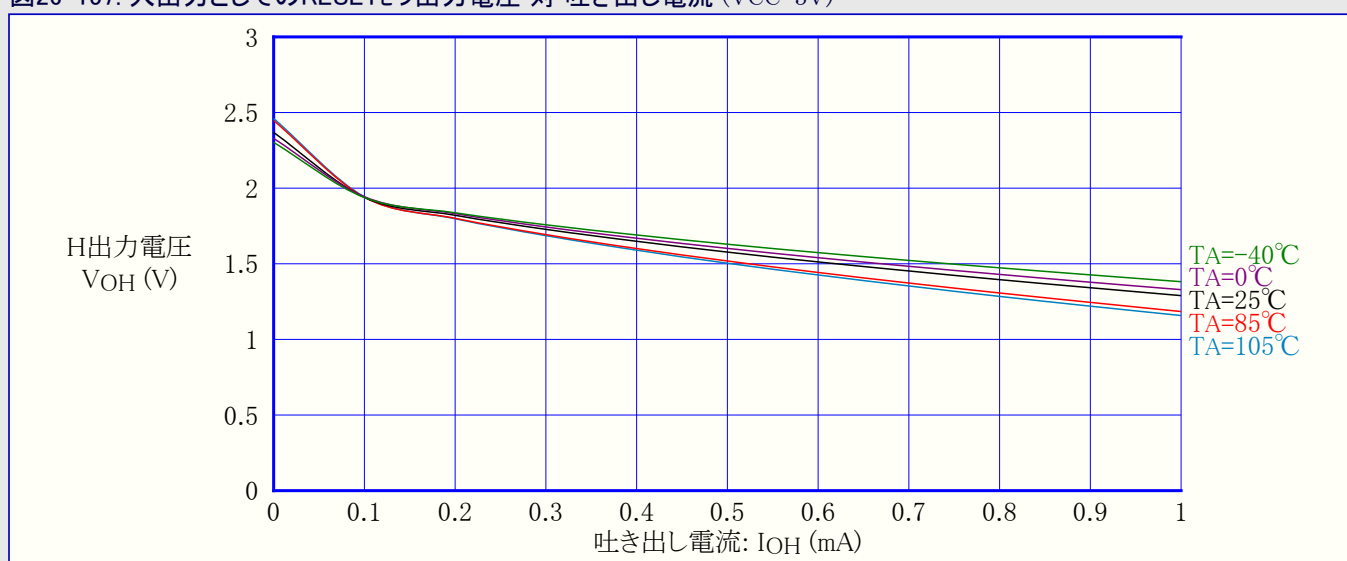
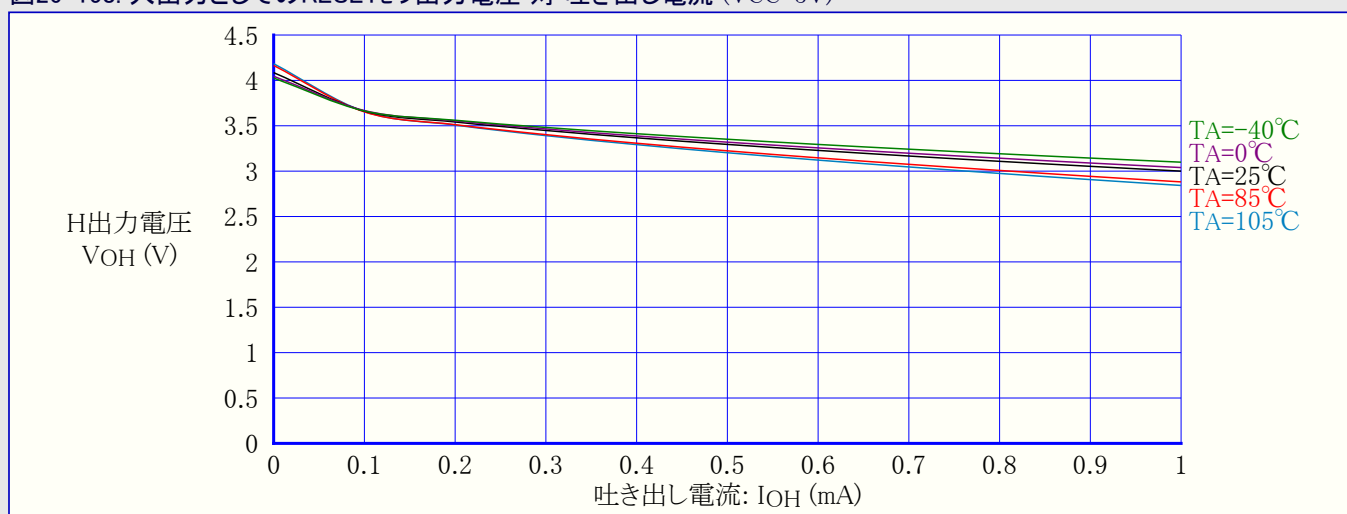


図26-158. 入出力としてのRESETピン出力電圧 対 吐き出し電流 (VCC=5V)



26.2.5. 低電圧検出器 (BOD)

図26-159. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)

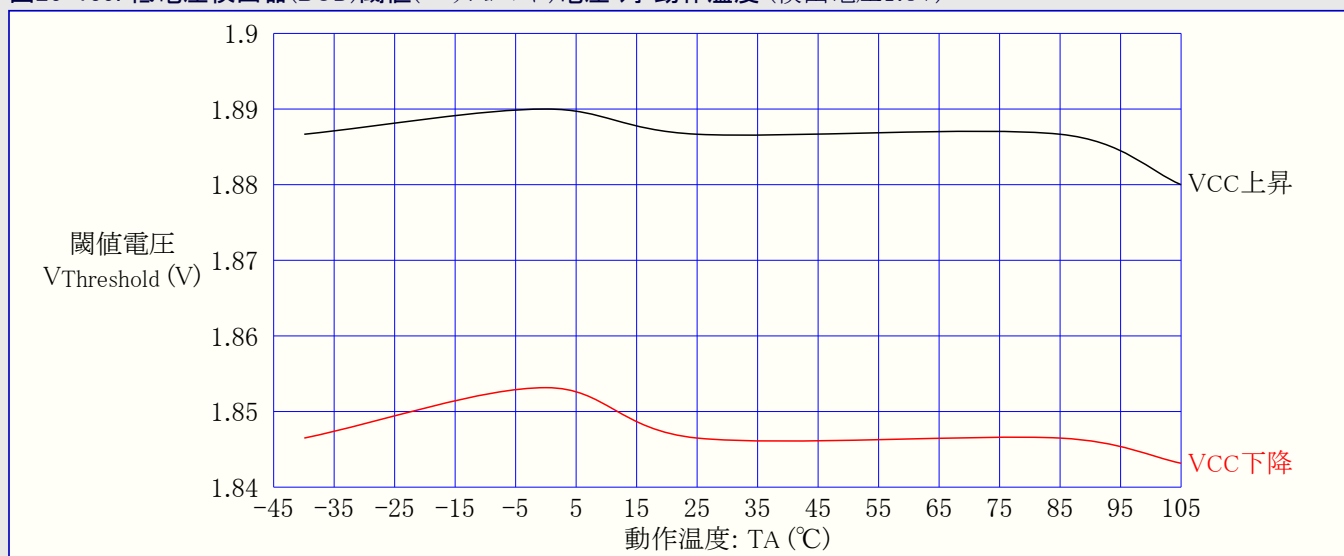


図26-160. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

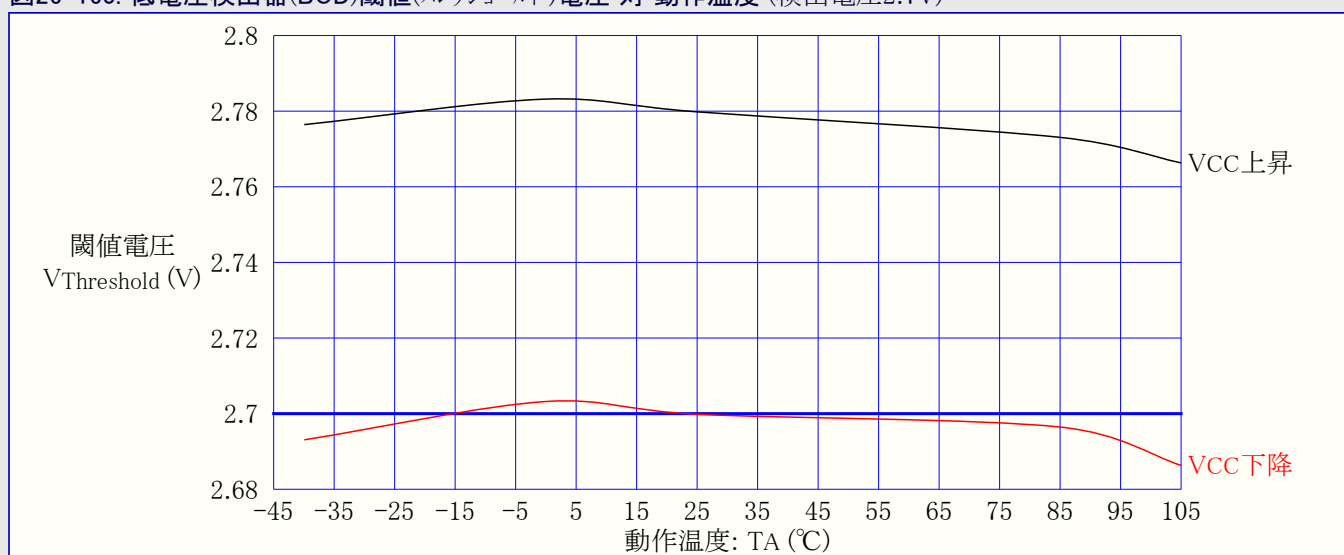
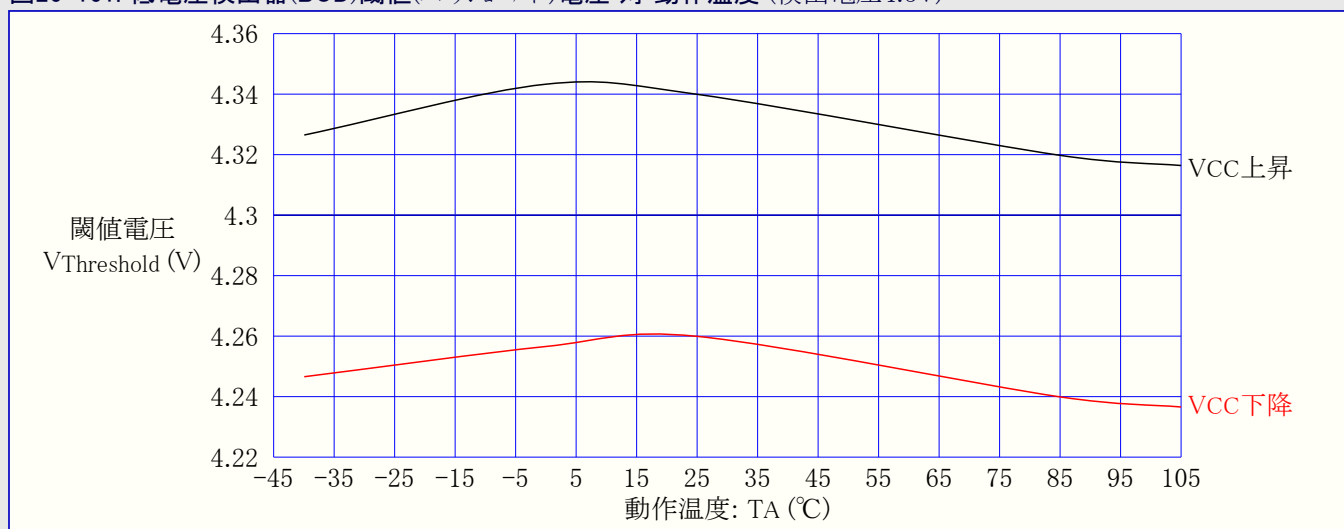


図26-161. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)



26.2.6. バントキャップ電圧

図26-162. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=1.1V)

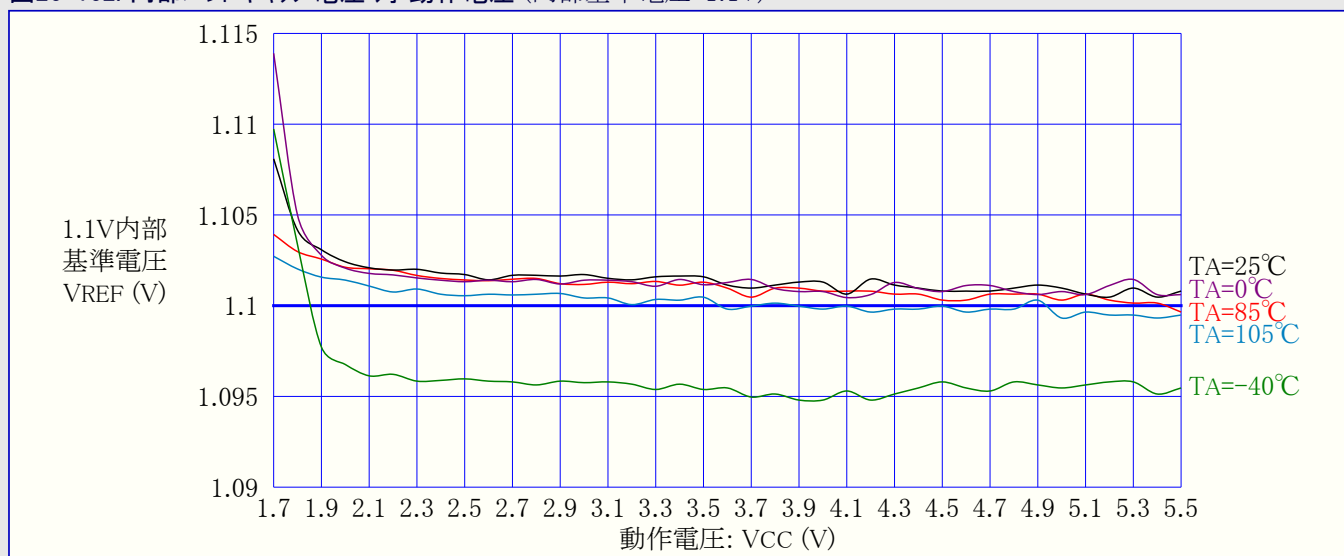


図26-163. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=2.2V)

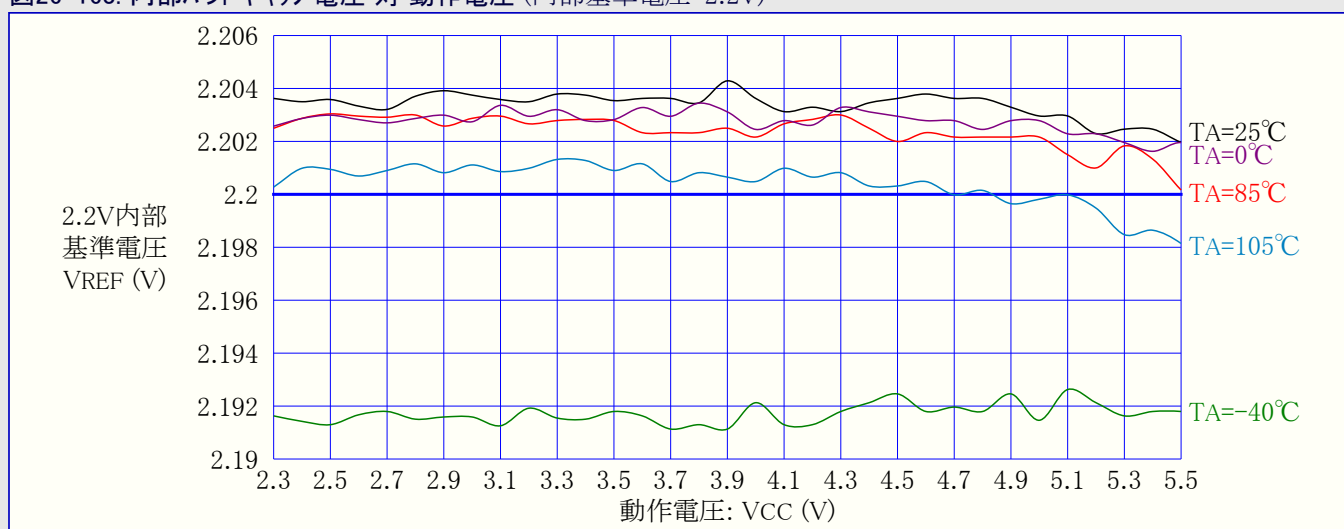
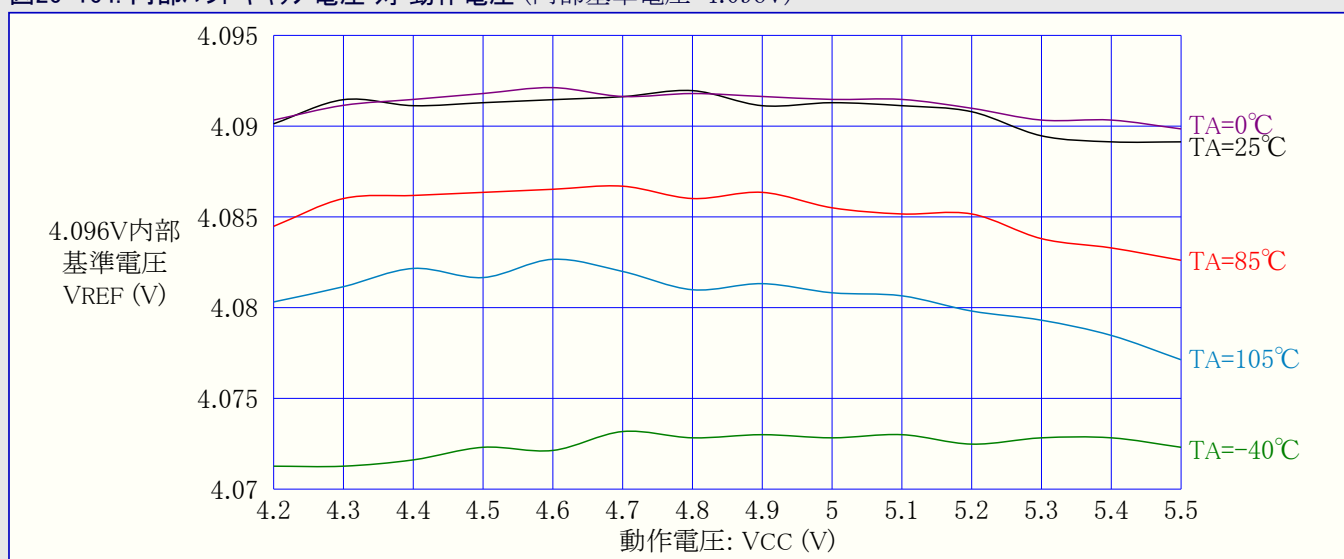


図26-164. 内部バントキャップ電圧 対 動作電圧 (内部基準電圧=4.096V)



26.2.7. アナログ比較器オフセット

図26-165. アナログ比較器オフセット電圧 対 入力電圧 (負変位(オフセット),VCC=5V)

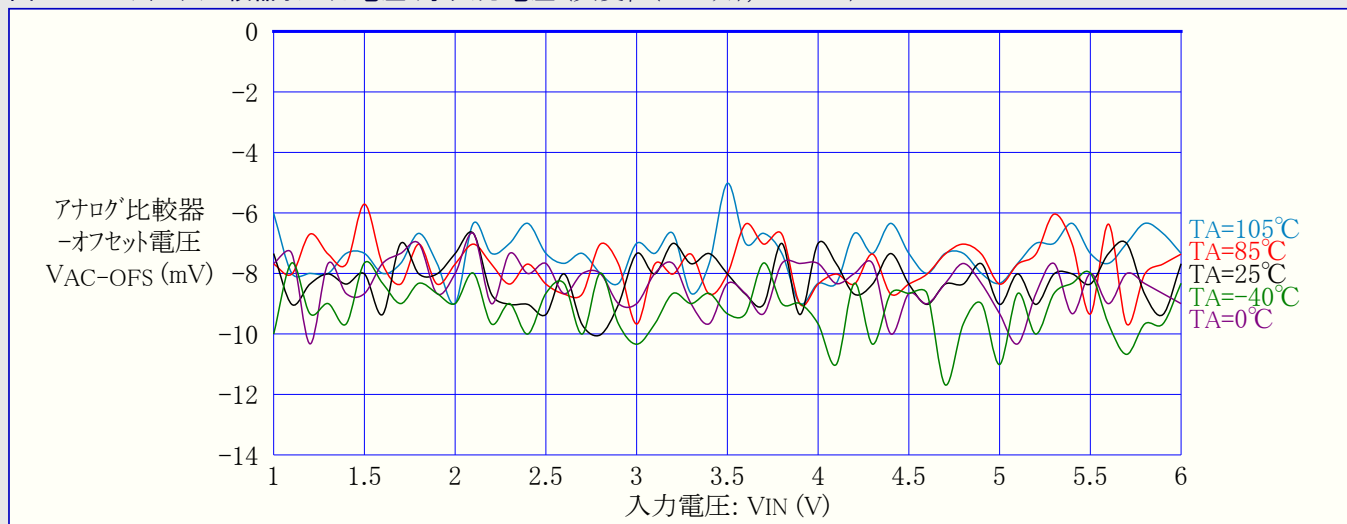
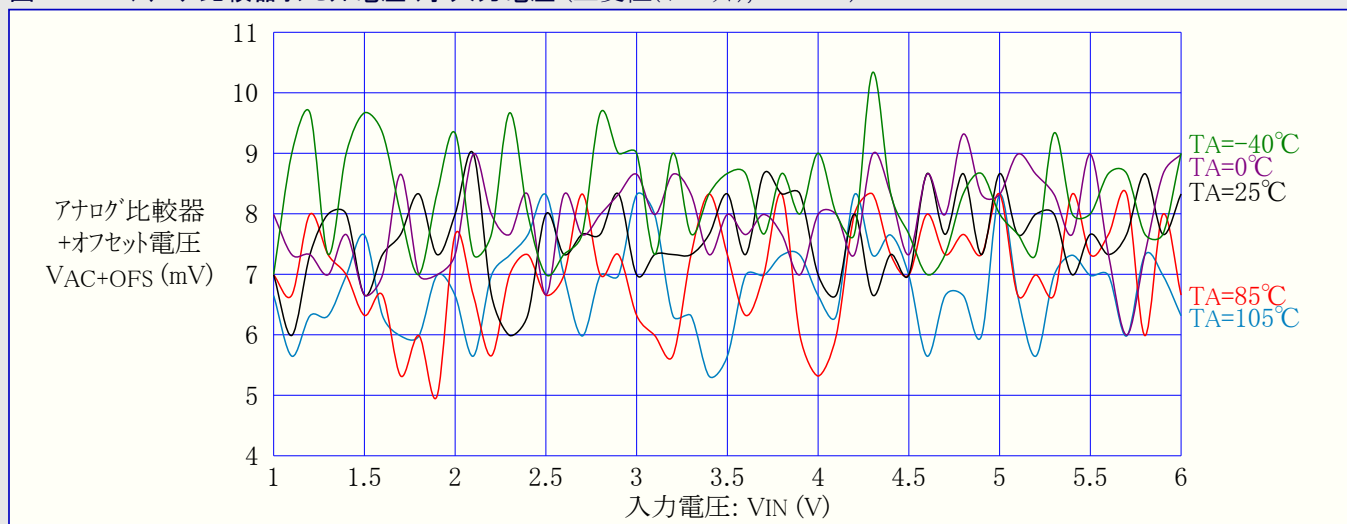


図26-166. アナログ比較器オフセット電圧 対 入力電圧 (正変位(オフセット),VCC=5V)



26.2.8. 内部発振器周波数

26.2.8.1. 8MHz内部RC発振器

図26-167. 8MHz校正付き内部RC発振器周波数 対 動作電圧

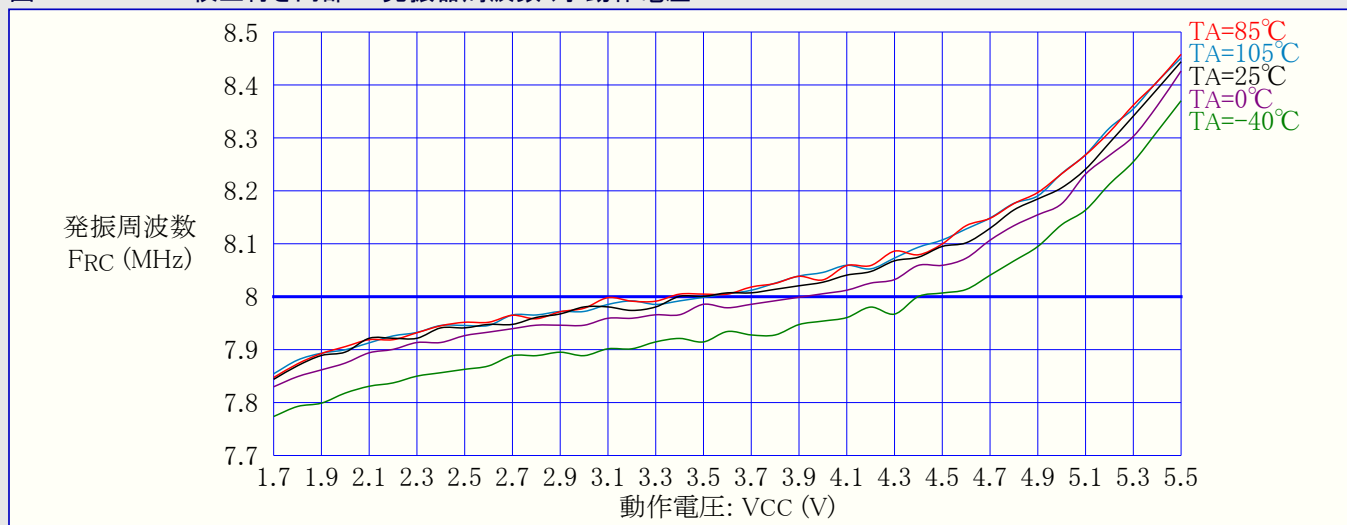


図26-168. 8MHz校正付き内部RC発振器周波数 対 動作温度

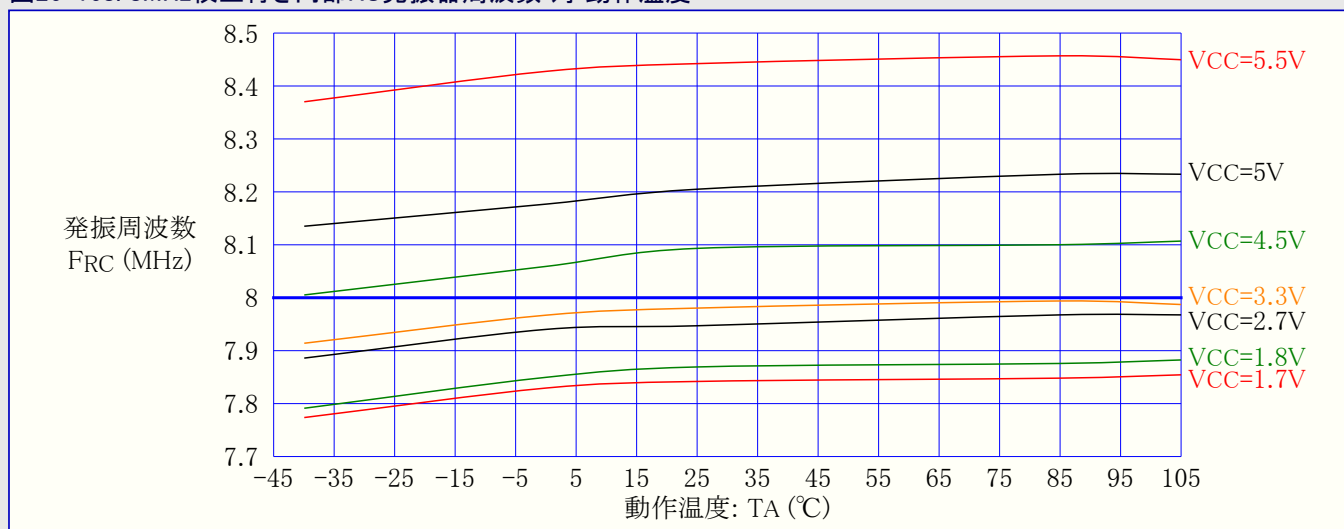
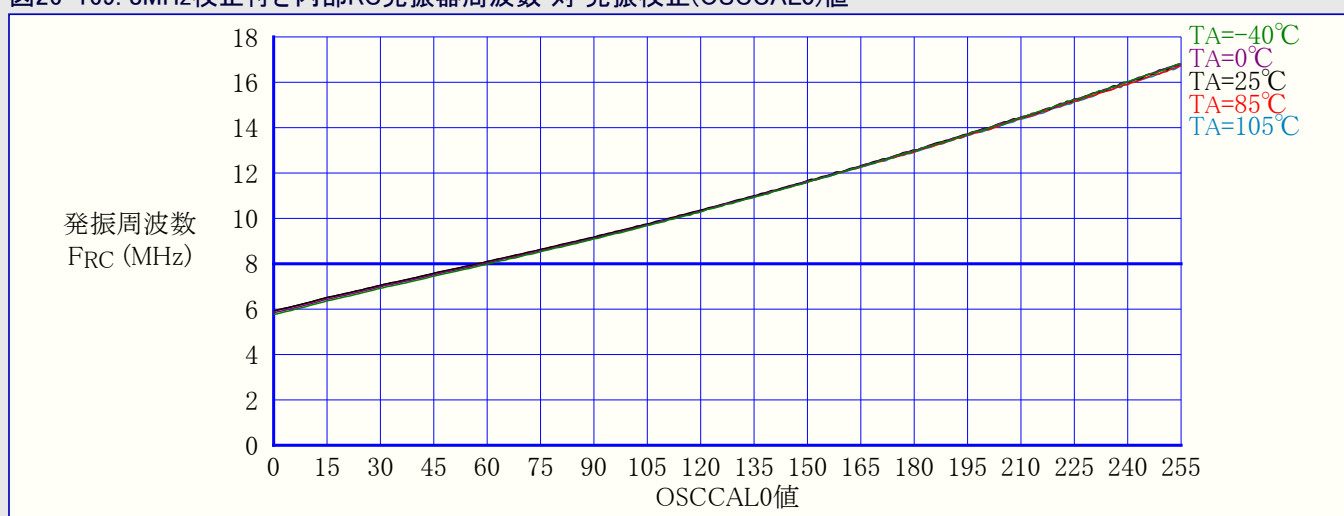


図26-169. 8MHz校正付き内部RC発振器周波数 対 発振校正(OSCCAL0)値



26.2.8.2. 32kHz超低電力(ULP)発振器

図26-170. 32kHz超低電力(ULP)発振器周波数 対 動作電圧

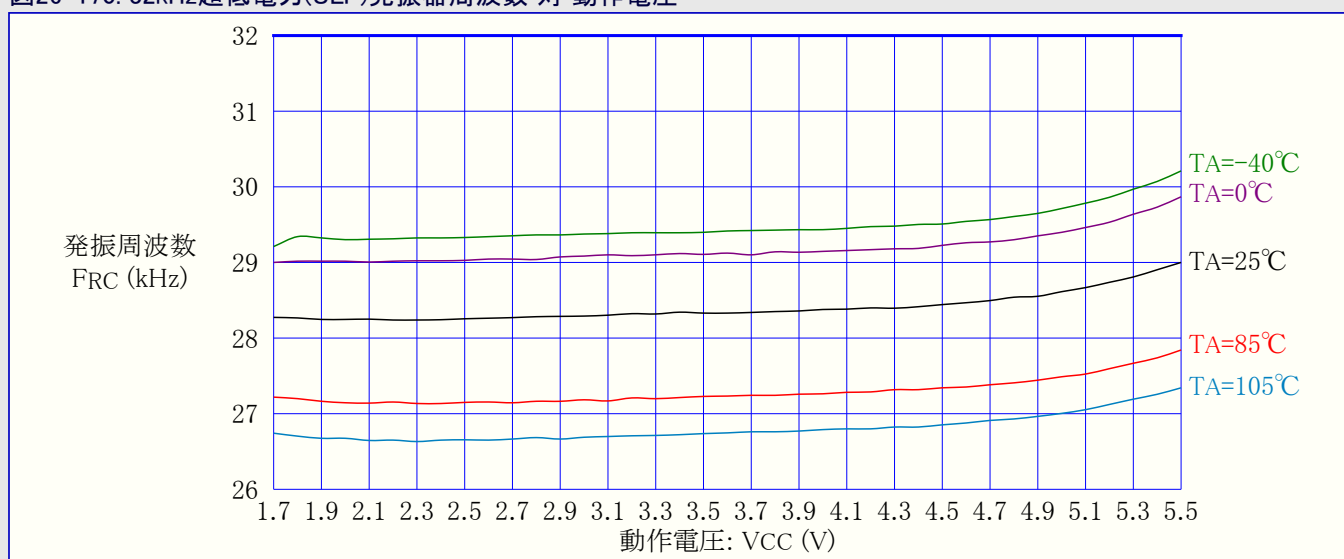


図26-171. 32kHz超低電力(ULP)発振器周波数 対 動作温度

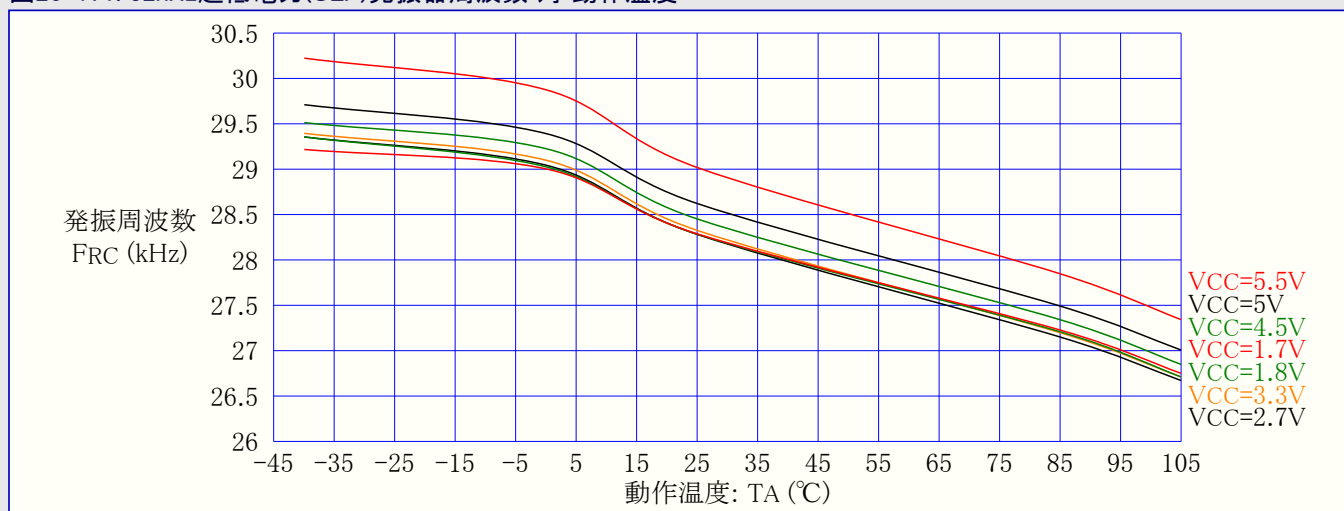
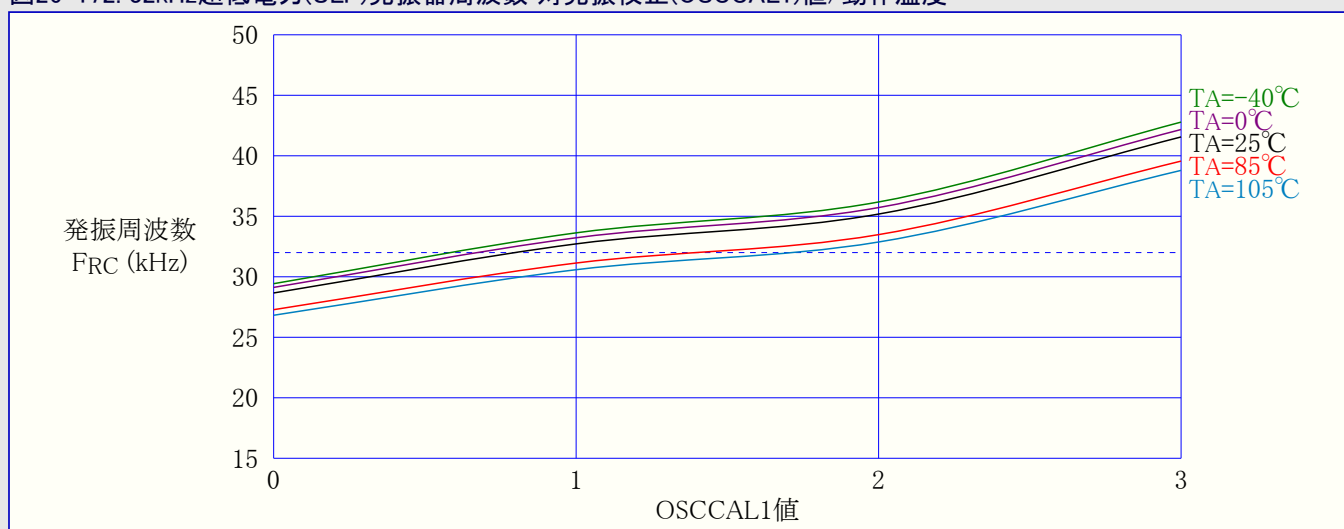


図26-172. 32kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.2.8.3. 64kHz超低電力(ULP)発振器

図26-173. 64kHz超低電力(ULP)発振器周波数 対 動作電圧

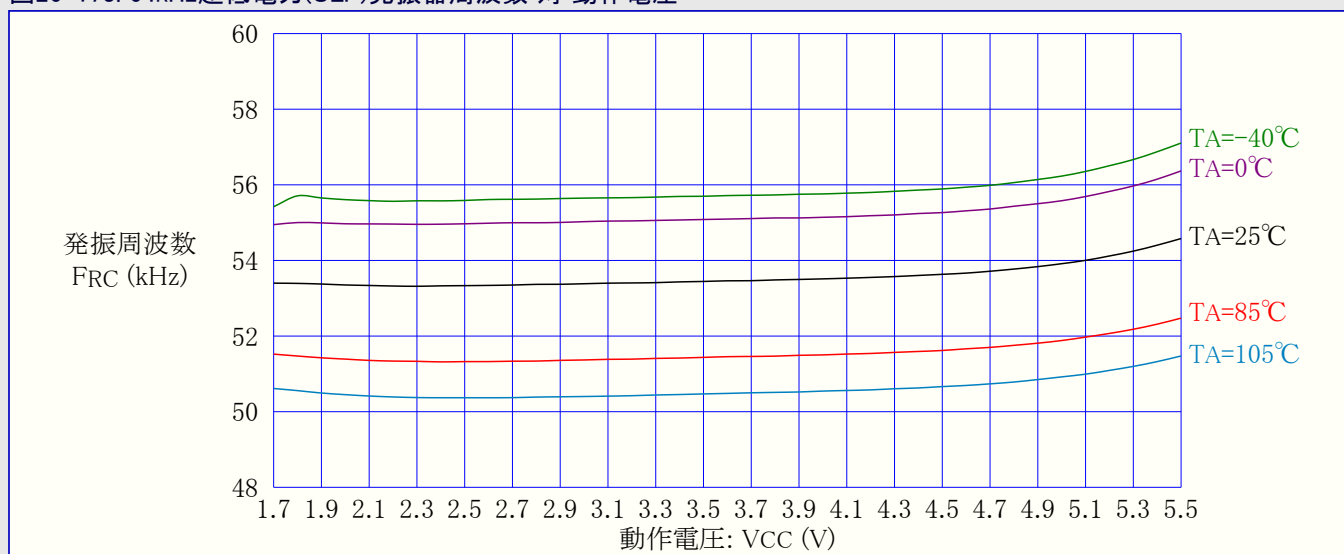


図26-174. 64kHz超低電力(ULP)発振器周波数 対 動作温度

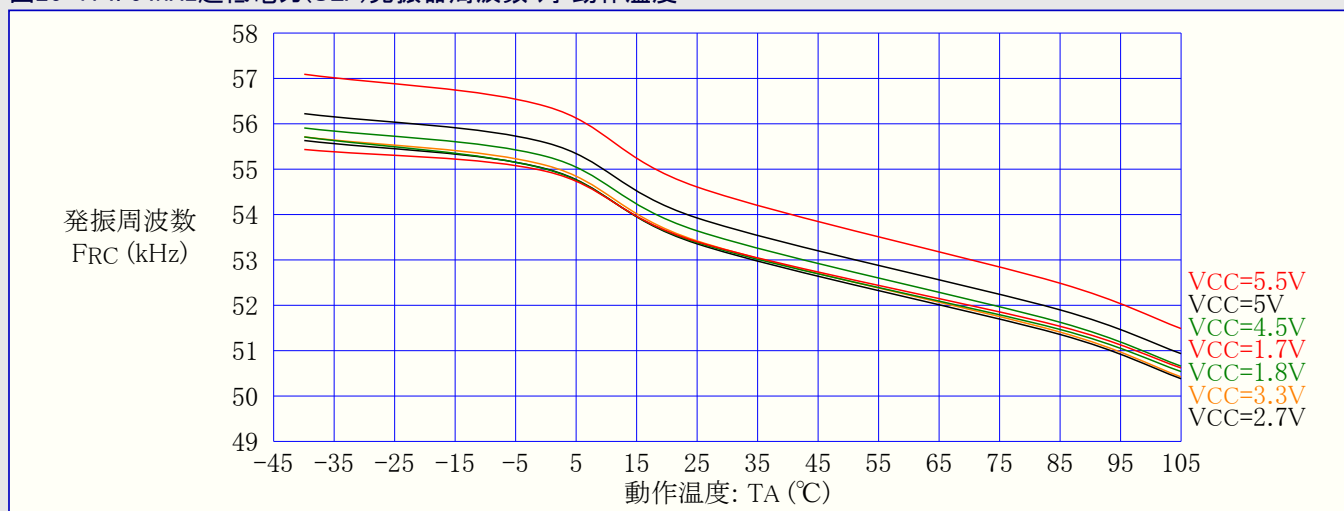
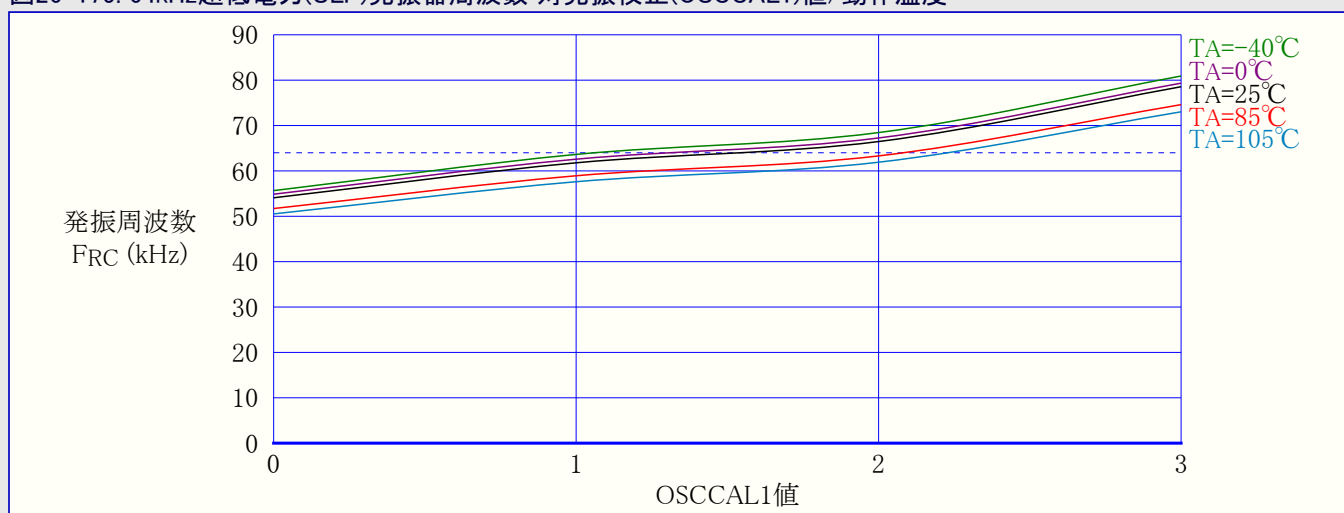


図26-175. 64kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.2.8.4. 128kHz超低電力(ULP)発振器

図26-176. 128kHz超低電力(ULP)発振器周波数 対 動作電圧

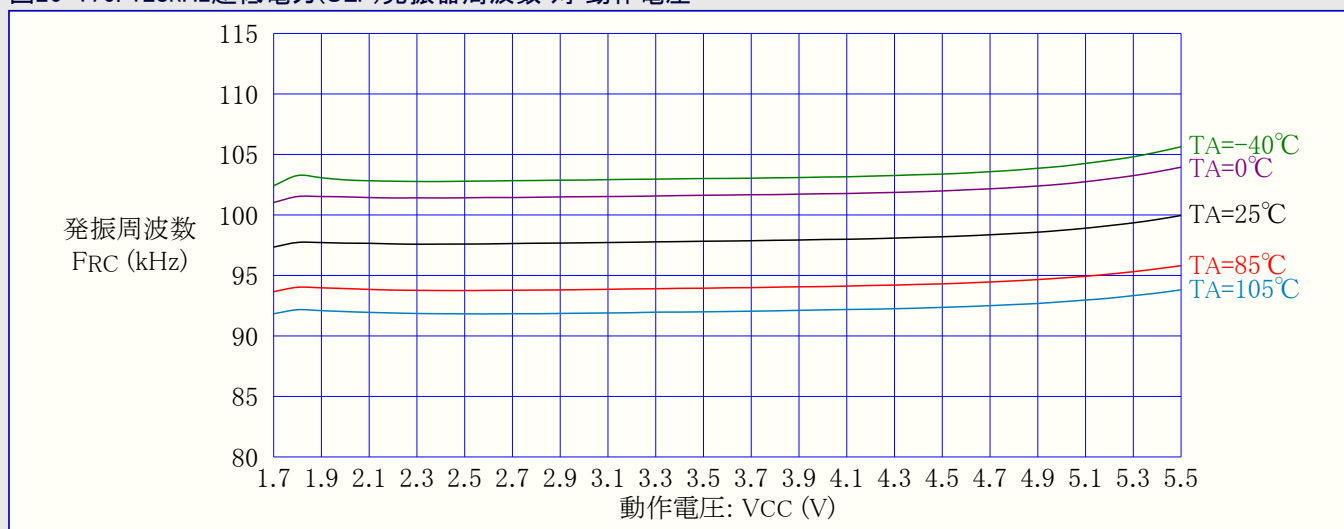


図26-177. 128kHz超低電力(ULP)発振器周波数 対 動作温度

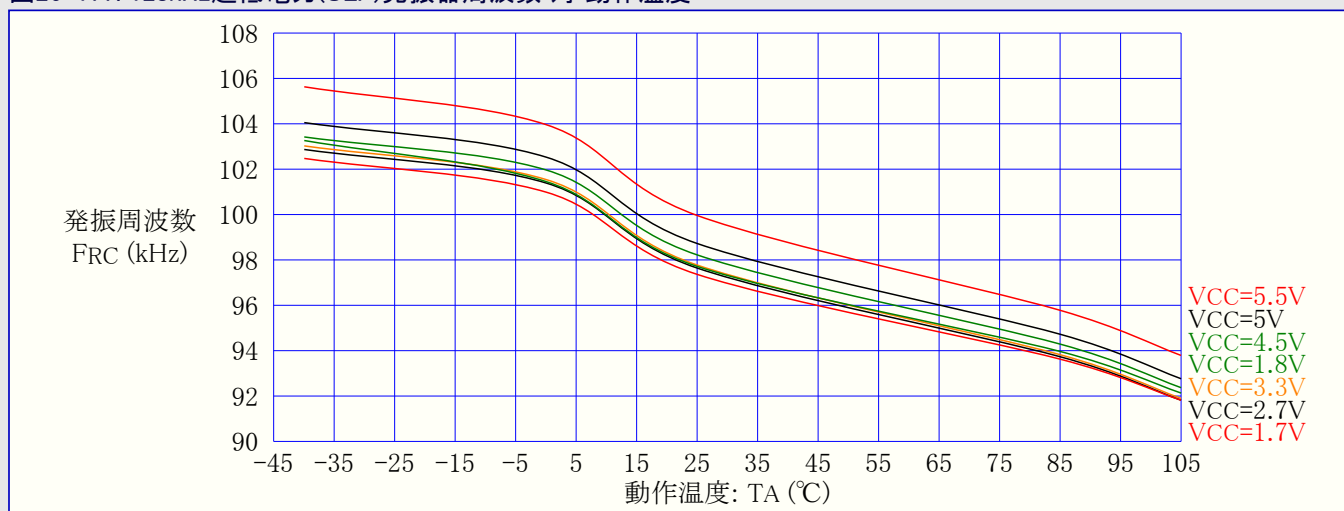
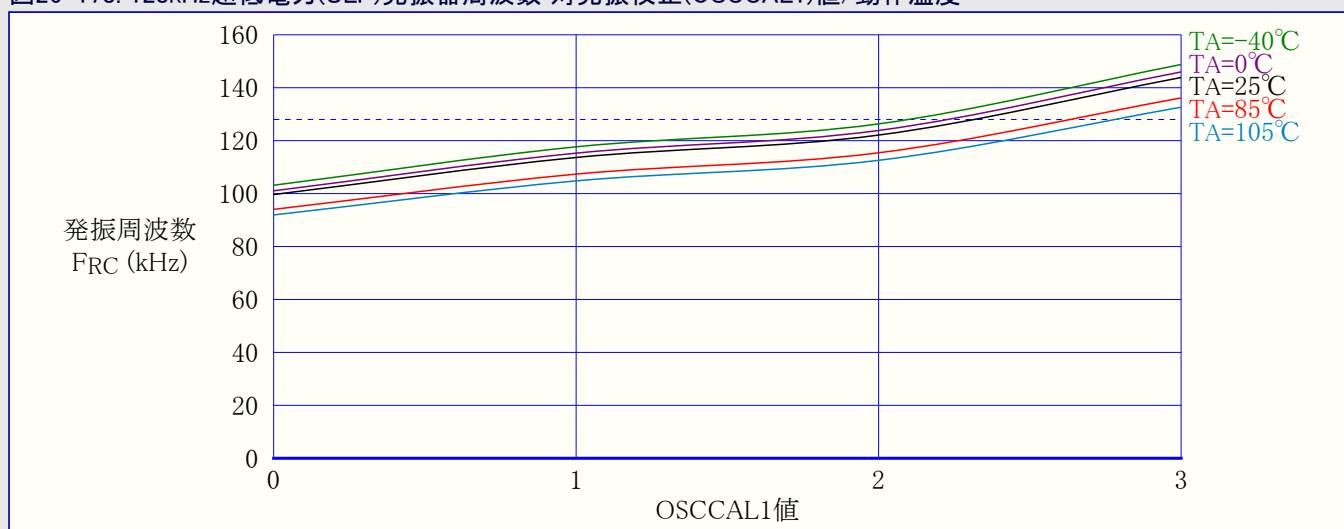


図26-178. 128kHz超低電力(ULP)発振器周波数 対 発振校正(OSCCAL1)値/動作温度



26.2.8.5. 256kHz超低電力(ULP)発振器

図26-179. 256kHz超低電力(ULP)発振器周波数 対 動作電圧

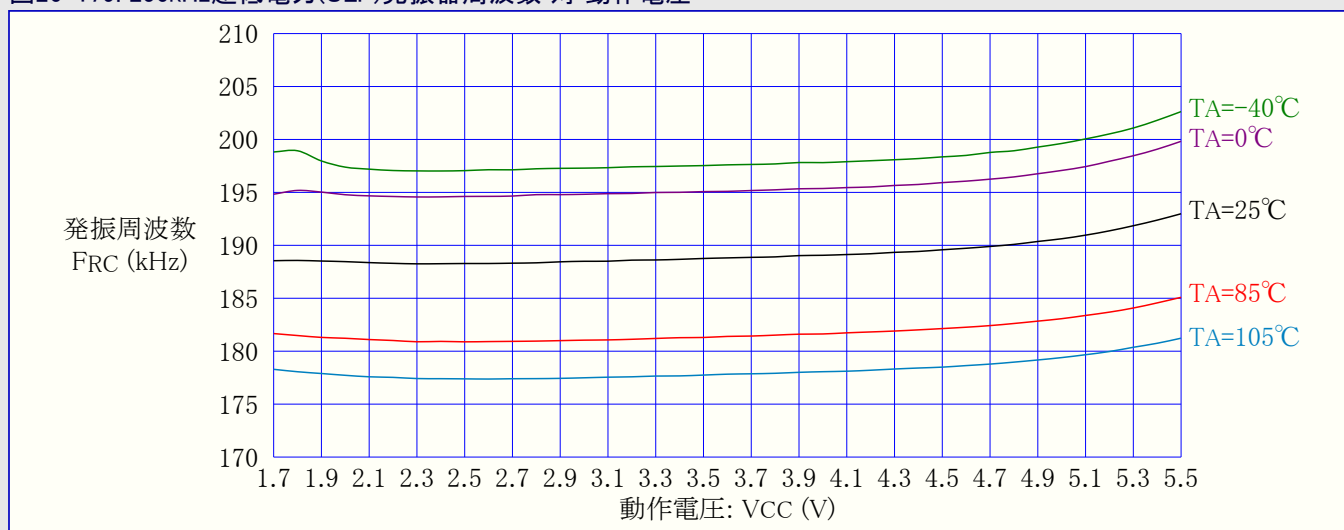


図26-180. 256kHz超低電力(ULP)発振器周波数 対 動作温度

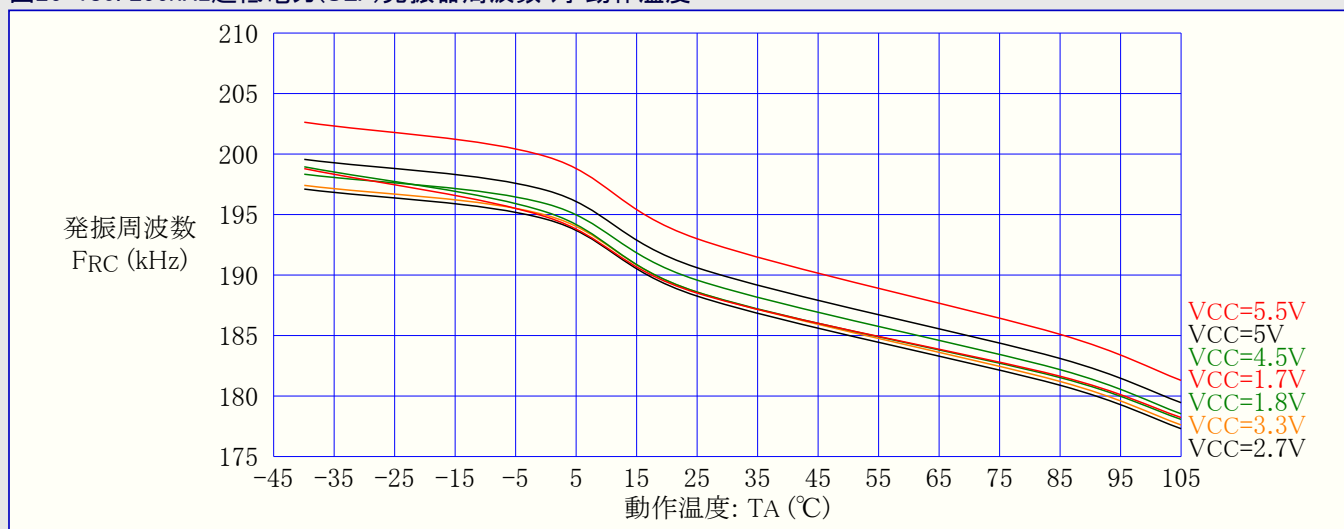
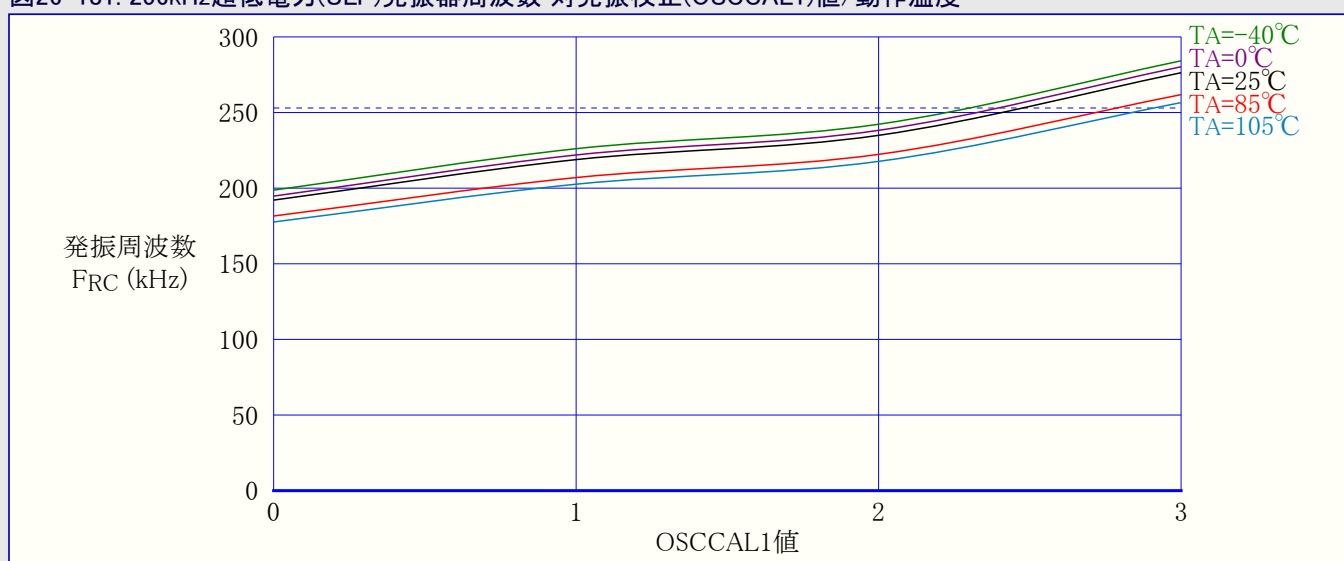


図26-181. 256kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



26.2.8.6. 512kHz超低電力(ULP)発振器

図26-182. 512kHz超低電力(ULP)発振器周波数 対 動作電圧

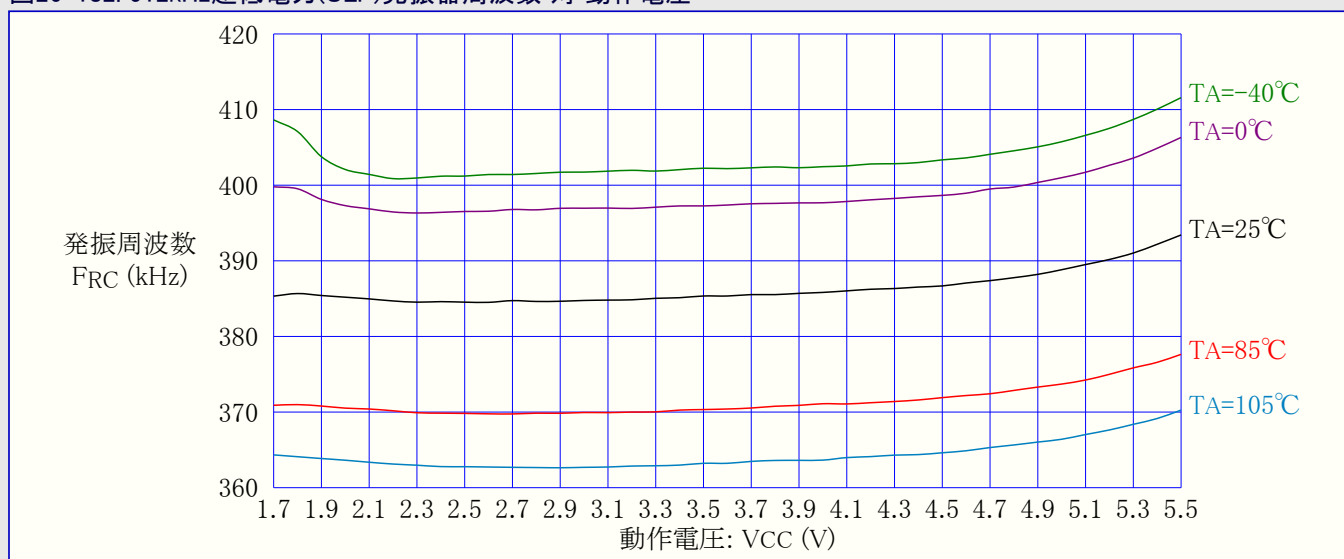


図26-183. 512kHz超低電力(ULP)発振器周波数 対 動作温度

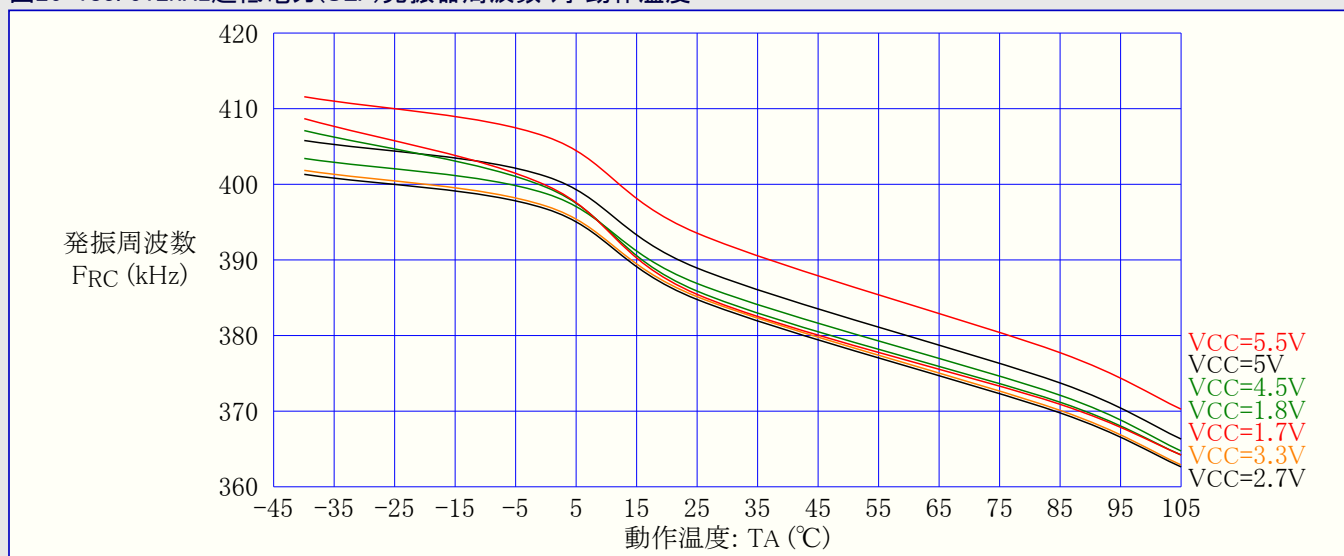
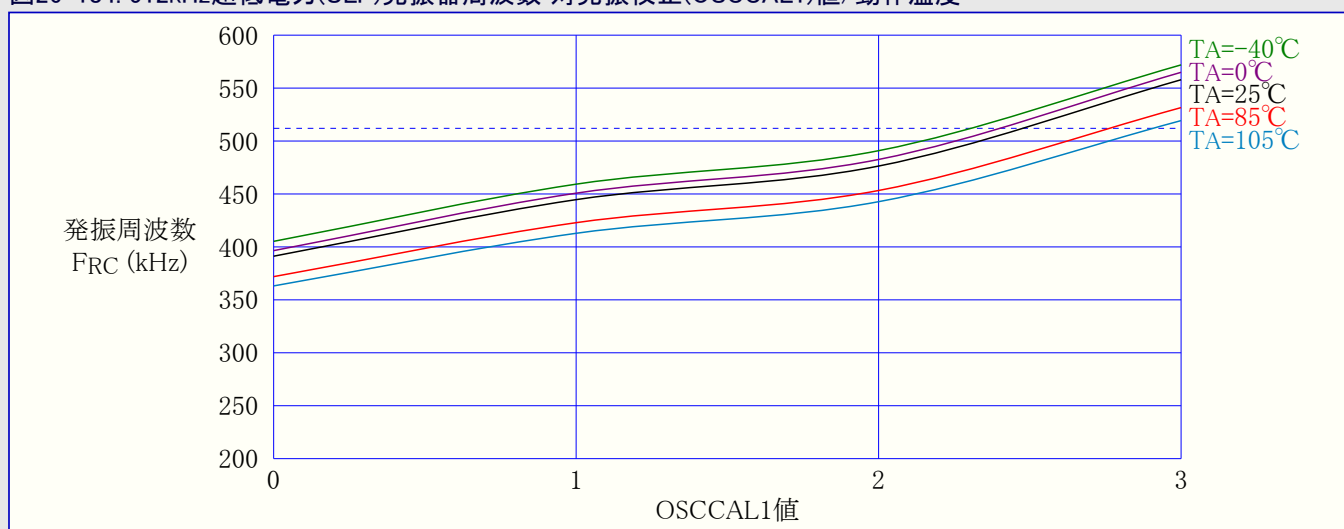


図26-184. 512kHz超低電力(ULP)発振器周波数 対発振校正(OSCCAL1)値/動作温度



27. レジスタ要約

拡張I/Oレジスタ領域 (1/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$FF)	予約									
(\$FE)	予約									
(\$FD)	予約									
(\$FC)	予約									
(\$FB)	予約									
(\$FA)	予約									
(\$F9)	予約									
(\$F8)	予約									
(\$F7)	予約									
(\$F6)	予約									
(\$F5)	予約									
(\$F4)	予約									
(\$F3)	予約									
(\$F2)	予約									
(\$F1)	予約									
(\$F0)	予約									
(\$EF)	予約									
(\$EE)	予約									
(\$ED)	予約									
(\$EC)	予約									
(\$EB)	予約									
(\$EA)	予約									
(\$E9)	予約									
(\$E8)	予約									
(\$E7)	予約									
(\$E6)	予約									
(\$E5)	予約									
(\$E4)	予約									
(\$E3)	予約									
(\$E2)	予約									
(\$E1)	予約									
(\$E0)	予約									
(\$DF)	予約									
(\$DE)	予約									
(\$DD)	予約									
(\$DC)	予約									
(\$DB)	予約									
(\$DA)	予約									
(\$D9)	予約									
(\$D8)	予約									
(\$D7)	予約									
(\$D6)	予約									
(\$D5)	予約									
(\$D4)	予約									
(\$D3)	予約									
(\$D2)	予約									
(\$D1)	予約									
(\$D0)	予約									
(\$CF)	予約									
(\$CE)	予約									
(\$CD)	予約									
(\$CC)	予約									
(\$CB)	予約									
(\$CA)	TCCR2A	COM2A1	COM2A0	COM2B1	COM2B0	–	–	WGM21	WGM20	77
(\$C9)	TCCR2B	ICNC2	ICES2	–	WGM23	WGM22	CS22	CS21	CS20	78
(\$C8)	TCCR2C	FOC2A	FOC2B	–	–	–	–	–	–	79
(\$C7)	TCNT2H	タイマ/カウンタ2 上位バイト								80
(\$C6)	TCNT2L	タイマ/カウンタ2 下位バイト								
(\$C5)	OCR2AH	タイマ/カウンタ2 比較Aレジスタ上位バイト								80
(\$C4)	OCR2AL	タイマ/カウンタ2 比較Aレジスタ下位バイト								
(\$C3)	OCR2BH	タイマ/カウンタ2 比較Bレジスタ上位バイト								81
(\$C2)	OCR2BL	タイマ/カウンタ2 比較Bレジスタ下位バイト								
(\$C1)	ICR2H	タイマ/カウンタ1 捕獲レジスタ上位バイト								81
(\$C0)	ICR2L	タイマ/カウンタ1 捕獲レジスタ下位バイト								

拡張I/Oレジスタ領域 (2/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$BF)	予約									
(\$BE)	予約									
(\$BD)	予約									
(\$BC)	予約									
(\$BB)	予約									
(\$BA)	予約									
(\$B9)	予約									
(\$B8)	予約									
(\$B7)	予約									
(\$B6)	予約									
(\$B5)	予約									
(\$B4)	予約									
(\$B3)	予約									
(\$B2)	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	90
(\$B1)	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X	90
(\$B0)	SPDR	SPI データレジスタ								91
(\$AF)	予約									
(\$AE)	予約									
(\$AD)	予約									
(\$AC)	予約									
(\$AB)	予約									
(\$AA)	予約									
(\$A9)	予約									
(\$A8)	予約									
(\$A7)	予約									
(\$A6)	予約									
(\$A5)	TWSCRA	TWSHE	-	TWDIE	TWASIE	TWEN	TWSIE	TWPME	TWSME	123
(\$A4)	TWSCRb	-	-	-	-	-	TWAA	TWCMD1	TWCMD0	123
(\$A3)	TWSSRA	TWDIF	TWASIF	TWCH	TWRA	TWC	TWBE	TWDIR	TWAS	124
(\$A2)	TWSA	TWI 従装置アドレスレジスタ								125
(\$A1)	TWSAM	TWI 従装置アドレス遮蔽レジスタ								126
(\$A0)	TWSD	TWI 従装置データレジスタ								126
(\$9F)	予約									
(\$9E)	予約									
(\$9D)	予約									
(\$9C)	予約									
(\$9B)	予約									
(\$9A)	予約									
(\$99)	予約									
(\$98)	予約									
(\$97)	予約									
(\$96)	UCSR1A	RXC1	TXC1	UDRE1	FE1	DOR1	UPE1	U2X1	MPCM1	106,115
(\$95)	UCSR1B	RXCIE1	TXCIE1	UDRIE1	RXEN1	TXEN1	UCSZ12	RXB81	TXB81	107,115
(\$94)	UCSR1C	UMSEL11	UMSEL10	UPM11	UPM10	USBS1	UCSZ11	UCSZ10	UCPOL1	108,116
(\$93)	UCSR1D	RXSIE1	RXS1	SFDE1	-	-	-	-	-	109
(\$92)	UBRR1H	-	-	-	-	USART1 ボーレートレジスタ上位 (UBRR111~8)				110,117
(\$91)	UBRR1L	USART1 ボーレートレジスタ下位 (UBRR17~0)								
(\$90)	UDR1	USART1 データレジスタ								106,115
(\$8F)	予約									
(\$8E)	予約									
(\$8D)	予約									
(\$8C)	予約									
(\$8B)	予約									
(\$8A)	予約									
(\$89)	予約									
(\$88)	予約									
(\$87)	予約									
(\$86)	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0	106,115
(\$85)	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80	107,115
(\$84)	UCSR0C	UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0	108,116
(\$83)	UCSR0D	RXSIE0	RXS0	SFDE0	-	-	-	-	-	109
(\$82)	UBRR0H	-	-	-	-	USART0 ボーレートレジスタ上位 (UBRR011~8)				110,117
(\$81)	UBRR0L	USART0 ボーレートレジスタ下位 (UBRR07~0)								
(\$80)	UDR0	USART0 データレジスタ								106,115

拡張I/Oレジスタ領域 (3/3)

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
(\$7F)	予約									
(\$7E)	予約									
(\$7D)	予約									
(\$7C)	予約									
(\$7B)	予約									
(\$7A)	予約									
(\$79)	予約									
(\$78)	予約									
(\$77)	OSCCAL1	-	-	-	-	-	-	CAL11	CAL10	22
(\$76)	OSCTCAL0B	発振器温度校正レジスタB値								22
(\$75)	OSCTCAL0A	発振器温度校正レジスタA値								22
(\$74)	OSCCAL0	CAL07	CAL06	CAL05	CAL04	CAL03	CAL02	CAL01	CAL00	22
(\$73)	CLKPR	-	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	21
(\$72)	CLKCR	OSCRDY	CSTR	CKOUTC	SUT	CKSEL3	CKSEL2	CKSEL1	CKSEL0	21
(\$71)	CCP	構成設定変更保護バイト								9
(\$70)	PRR	PRTWI	PRUSART1	PRUSART0	PRSPI	PRTIM2	PRTIM1	PRTIM0	PRADC	26
(\$6F)	予約									
(\$6E)	予約									
(\$6D)	予約									
(\$6C)	予約									
(\$6B)	予約									
(\$6A)	PHDE	-	-	-	-	-	-	PHDEA1	PHDEA0	48
(\$69)	予約									
(\$68)	TOCPMSA1	TOCC7S1	TOCC7S0	TOCC6S1	TOCC6S0	TOCC5S1	TOCC5S0	TOCC4S1	TOCC4S0	61,79
(\$67)	TOCPMSA0	TOCC3S1	TOCC3S0	TOCC2S1	TOCC2S0	TOCC1S1	TOCC1S0	TOCC0S1	TOCC0S0	61,79
(\$66)	TOCPMCOE	TOCC7OE	TOCC6OE	TOCC5OE	TOCC4OE	TOCC3OE	TOCC2OE	TOCC1OE	TOCC0OE	80
(\$65)	REMAP	-	-	-	-	-	-	SPIMAP	U0MAP	91,110
(\$64)	PORTCR	-	-	-	-	-	-	BBMB	BBMA	48
(\$63)	PUEA	PUEA7	PUEA6	PUEA5	PUEA4	PUEA3	PUEA2	PUEA1	PUEA0	49
(\$62)	PUEB	-	-	-	-	PUEB3	PUEB2	PUEB1	PUEB0	48
(\$61)	DIDR1	-	-	-	-	ADC9D	ADC8D	ADC10D	ADC11D	143
(\$60)	DIDR0	ADC7D	ADC6D	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D	129,132,143

- 注意:**
- 将来のデバイスとの共通性のため、アクセスされる場合の予約ビットは0を書かれるべきです。予約したI/Oメモリアドレスは決して書かれるべきではありません。
 - アドレス範囲\$00～\$1F内のI/OレジスタはSBIとCBI命令を使う直接ビットアクセスが可能です。これらのレジスタではSBISとSBIC命令を使うことによって単一ビット値が検査できます。
 - いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけを操作し、故にこのような状態フラグを含むレジスタで使うことができます。CBIとSBI命令は\$00～\$1Fのレジスタだけで動作します。

標準I/Oレジスタ領域

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	10
\$3E (\$5E)	SPH	—	—	—	—	—	—	(SP9)	SP8	9
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
\$3C (\$5C)	OCR0B	タイマ/カウンタ0 比較レジスタ								61
\$3B (\$5B)	GIMSK	—	INT0	PCIE1	PCIE0	—	—	—	—	36
\$3A (\$5A)	GIFR	—	INTF0	PCIF1	PCIF0	—	—	—	—	36
\$39 (\$59)	TIMSK0	—	—	—	—	—	OCIE0B	OCIE0A	TOIE0	62
\$38 (\$58)	TIFR0	—	—	—	—	—	OCF0B	OCF0A	TOV0	62
\$37 (\$57)	SPMCSR	—	—	RSIG	CTPB	RFLB	PGWRT	PGERS	SPMEN	148
\$36 (\$56)	OCR0A	タイマ/カウンタ0 比較レジスタ								61
\$35 (\$55)	MCUCR	—	—	SE	SM1	SM0	—	ISC01	ISC00	26,35
\$34 (\$54)	MCUSR	—	—	—	—	WDRF	BORF	EXTRF	PORF	31
\$33 (\$53)	TCCR0B	FOC0A	FOC0B	—	—	WGM02	CS02	CS01	CS00	60
\$32 (\$52)	TCNT0	タイマ/カウンタ0								61
\$31 (\$51)	予約									
\$30 (\$50)	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	—	—	WGM01	WGM00	59
\$2F (\$4F)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	—	—	WGM11	WGM10	77
\$2E (\$4E)	TCCR1B	ICNC1	ICES1	—	WGM13	WGM12	CS12	CS11	CS10	78
\$2D (\$4D)	TCNT1H	タイマ/カウンタ1 上位バイト								80
\$2C (\$4C)	TCNT1L	タイマ/カウンタ1 下位バイト								
\$2B (\$4B)	OCR1AH	タイマ/カウンタ1 比較レジスタ上位バイト								80
\$2A (\$4A)	OCR1AL	タイマ/カウンタ1 比較レジスタ下位バイト								
\$29 (\$49)	OCR1BH	タイマ/カウンタ1 比較レジスタ上位バイト								81
\$28 (\$48)	OCR1BL	タイマ/カウンタ1 比較レジスタ下位バイト								
\$27 (\$47)	DWDR	デバッグWIRE データレジスタ								144
\$26 (\$46)	予約									
\$25 (\$45)	ICR1H	タイマ/カウンタ1 捕獲レジスタ上位バイト								81
\$24 (\$44)	ICR1L	タイマ/カウンタ1 捕獲レジスタ下位バイト								
\$23 (\$43)	GTCCR	TSM	—	—	—	—	—	—	PSR	85
\$22 (\$42)	TCCR1C	FOC1A	FOC1B	—	—	—	—	—	—	79
\$21 (\$41)	WDTCR	WDIF	WDIE	WDP3	—	WDE	WDP2	WDP1	WDP0	32
\$20 (\$40)	PCMSK1	—	—	—	—	PCINT11	PCINT10	PCINT9	PCINT8	37
\$1F (\$3F)	EEARH	—	—	—	—	—	—	—	(EEAR8)	15
\$1E (\$3E)	EEARL	EEPROMアドレスレジスタ下位バイト (EEAR7~0)								
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								15
\$1C (\$3C)	EECR	—	—	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	15
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	49
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	49
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	50
\$18 (\$38)	PORTB	—	—	—	—	PORTB3	PORTB2	PORTB1	PORTB0	48
\$17 (\$37)	DDRB	—	—	—	—	DDB3	DDB2	DDB1	DDB0	49
\$16 (\$36)	PINB	—	—	—	—	PINB3	PINB2	PINB1	PINB0	49
\$15 (\$35)	GPOR2	汎用I/Oレジスタ2								16
\$14 (\$34)	GPOR1	汎用I/Oレジスタ1								16
\$13 (\$33)	GPOR0	汎用I/Oレジスタ0								16
\$12 (\$32)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	37
\$11 (\$31)	TIMSK2	—	—	ICIE2	—	—	OCIE2B	OCIE2A	TOIE2	82
\$10 (\$30)	TIFR2	—	—	ICF2	—	—	OCF2B	OCF2A	TOV2	82
\$0F (\$2F)	TIMSK1	—	—	ICIE1	—	—	OCIE1B	OCIE1A	TOIE1	82
\$0E (\$2E)	TIFR1	—	—	ICF1	—	—	OCF1B	OCF1A	TOV1	82
\$0D (\$2D)	ACSR1B	HSEL1	HLEV1	—	ACOE1	—	ACME1	—	—	131
\$0C (\$2C)	ACSR1A	ACD1	ACBG1	ACO1	ACI1	ACIE1	ACIC1	ACIS11	ACIS10	130
\$0B (\$2B)	ACSR0B	HSEL0	HLEV0	—	ACOE0	ACNMUX01	ACNMUX00	ACPMUX01	ACPMUX00	128
\$0A (\$2A)	ACSR0A	ACD0	ACPMUX02	ACO0	ACI0	ACIE0	ACIC0	ACIS01	ACIS00	127
\$09 (\$29)	ADMUXA	—	—	MUX5	MUX4	MUX3	MUX2	MUX1	MUX0	140
\$08 (\$28)	ADMUXB	REFS2	REFS1	REFS0	—	—	—	GSEL1	GSEL0	140
\$07 (\$27)	ADCH	A/Dデータレジスタ上位バイト (ADC9~8またはADC9~2)								142
\$06 (\$26)	ADCL	A/Dデータレジスタ下位バイト (ADC7~0またはADC1~0)								
\$05 (\$25)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	141
\$04 (\$24)	ADCSRB	—	—	—	—	ADLAR	ADTS2	ADTS1	ADTS0	142
\$03 (\$23)	予約									
\$02 (\$22)	予約									
\$01 (\$21)	予約									
\$00 (\$20)	予約									

(訳注) 原書本位置の注意は前頁に移動しました。

28. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBRs	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBSI	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,V,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグWIRE機能専用	I,T,H,S,V,N,Z,C	N/A

29. 注文情報

デバイス	電源電圧	速度(MHz)	動作範囲	外囲器 (注1)	注文コード
ATtiny441	1.7～5.5V	16	工業用 (-40℃～85℃) (注2)	14S1	ATtiny441-SSU
					ATtiny441-SSUR
				20M1	ATtiny441-MU
					ATtiny441-MUR
				20M2	ATtiny441-MMH
					ATtiny441-MMHR
ATtiny841	1.7～5.5V	16	工業用 (-40℃～85℃) (注2)	14S1	ATtiny841-SSU
					ATtiny841-SSUR
				20M1	ATtiny841-MU
					ATtiny841-MUR
				20M2	ATtiny841-MMH
					ATtiny841-MMHR

注1: 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、これらは有害物質使用制限に関する欧州指令(RoHS指令)に適合します。

注2: これらのデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

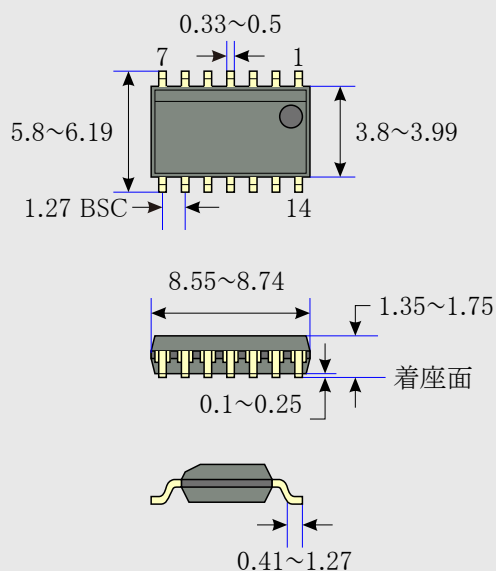
外囲器形式	
14S1	14リード 150mil幅 プラスティック ガルウイング 小型外形外囲器 (SOIC)
20M1	20パッド 4×4×0.8mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)
20M2	20パッド 3×3×0.85mm 0.45mmピッチ 極薄4方向平板リードなし外囲器 (VQFN)

30. 外圍器情報

30.1. 14S1

14リード 小外形外圍器 (SOIC)

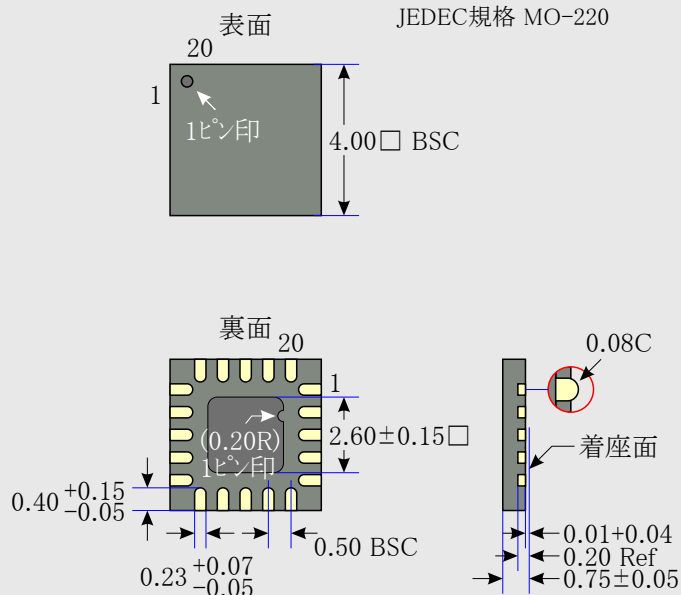
寸法: mm
JEDEC規格 MS-012



30.2. 20M1

20パッド 0.5mmピッチ 4方向平板リードなし/小リード枠外圍器 (QFN/MLF)

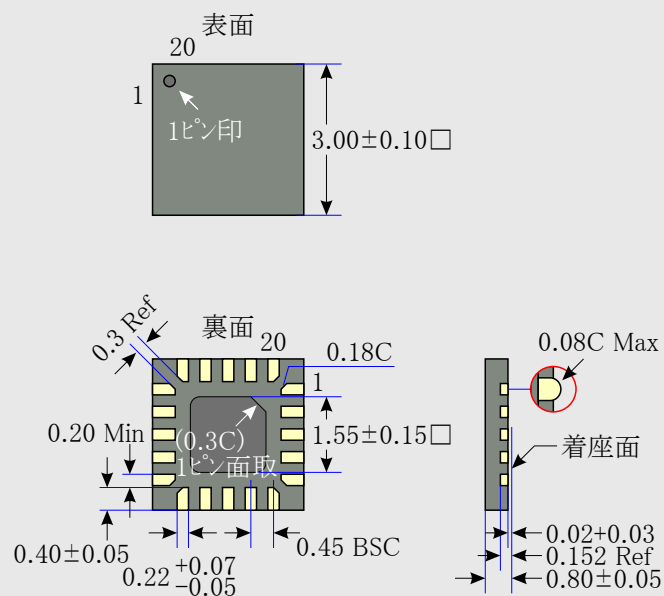
寸法: mm
JEDEC規格 MO-220



30.3. 20M2

20パッド 0.45mmピッチ 極薄4方向平板リードなし外圍器 (VQFN)

寸法: mm



31. 障害情報

31.1. ATtiny441改訂A/B/C

試供されていません。

31.2. ATtiny441改訂D、ATtiny841改訂C

既知の障害はありません。

31.3. ATtiny841改訂A/B

問題: 不揮発性メモリは高温且つ低電圧で書かれるべきではありません。(841-A/B)

3V以下の電圧で且つ55°C以上の温度でフラッシュメモリ、EEPROM、ヒューズ・バイトが書かれる時に信頼性の問題が認められます。

対策: 供給電圧が3V以下で且つデバイス温度が55°C以上の時にフラッシュメモリ、EEPROM、ヒューズ・バイトへ書かないでください。

32. データシート改訂履歴

資料改訂	日付	注釈
8495A	2012年9月	初版
8495B	2012年12月	2頁のピン配置図と91頁、110頁、239頁のREMAPレジスタを更新。ATtiny241を追加。
8495C	2013年3月	「注文情報」更新: 全ての-SUとSURを-SSUと-SSURに更新。
8495D	2013年7月	提供されないATtiny241への参照を削除。
8495E	2013年8月	150頁の「デバイス識別票銘刻部」を更新。
8495F	2013年10月	代表特性図を追加。
8495G	2014年1月	165頁の25.1.5.と171頁の25.2.5.「システムとリセットの特性」項で内部バンドギャップ電圧(VBG)の最小と最大の限度を更新
8495H	2014年5月	WDT: 31頁の「コード例」を更新: RSTFLRレジスタをMCUSRで置換。

目次

特徴	1	11.7. 動作種別	55
1. ピン配置	2	11.8. タイマ/カウンタのタイミング	58
1.1. ピン説明	2	11.9. 8ビット タイマ/カウンタ0用レジスタ	59
2. 概要	3	12. 16ビット タイマ/カウンタ (タイマ/カウンタ1とタイマ/カウンタ2)	63
3. 一般情報	4	12.1. 特徴	63
3.1. 資料	4	12.2. タイマ/カウンタ1とタイマ/カウンタ2	63
3.2. コード例	4	12.3. 概要	66
3.3. データ保持力	4	12.4. タイマ/カウンタのクロック元	65
3.4. お断り	4	12.5. 計数器部	65
4. CPU コア	5	12.6. 捕獲入力部	66
4.1. 構造概要	5	12.7. 比較出力部	67
4.2. ALU (Arithmetic Logic Unit)	5	12.8. 比較一致出力部	69
4.3. ステータス レジスタ	5	12.9. 動作種別	70
4.4. 汎用レジスタ ファイル	6	12.10. タイマ/カウンタのタイミング	74
4.5. スタック ポインタ	6	12.11. 16ビット レジスタのアクセス	75
4.6. 命令実行タイミング	7	12.12. 16ビット タイマ/カウンタ1と2用レジスタ	77
4.7. リセットと割り込みの扱い	7	13. タイマ/カウンタの前置分周器	84
4.8. コア関係レジスタ	9	13.1. 前置分周器リセット	84
5. メモリ	11	13.2. 外部クロック元	84
5.1. プログラム メモリ (フラッシュ)	11	13.3. タイマ/カウンタ前置分周器用レジスタ	85
5.2. データ メモリ (SRAM) とレジスタ ファイル	11	14. SPI (直列周辺インターフェース)	86
5.3. データ メモリ (EEPROM)	12	14.1. 特徴	86
5.4. メモリ関係レジスタ	15	14.2. 概要	86
6. クロック体系	17	14.3. SSピンの機能	88
6.1. クロック副系統	17	14.4. データ転送形式	89
6.2. クロック元	17	14.5. SPI用レジスタ	90
6.3. システム クロック前置分周器	19	15. USART (USART0, USART1)	92
6.4. クロック出力緩衝部 (外部クロック出力)	19	15.1. 特徴	92
6.5. 始動時間	20	15.2. USART0とUSART1	92
6.6. クロック関係レジスタ	21	15.3. 概要	92
7. 電力管理と休止形態	24	15.4. クロック生成	93
7.1. 休止形態動作種別	24	15.5. フレーム形式	94
7.2. 電力削減レジスタ	25	15.6. USARTの初期化	96
7.3. 消費電力の最小化	25	15.7. データ送信 - USART送信部	97
7.4. 電力管理用レジスタ	26	15.8. データ受信 - USART受信部	98
8. システム制御とリセット	28	15.9. 非同期受信	101
8.1. AVRのリセット	28	15.10. 複数プロセッサ通信動作	103
8.2. リセット元	28	15.11. ホールレート設定例	104
8.3. 内部基準電圧	30	15.12. USART用レジスタ	106
8.4. ウォッチドッグ タイマ	30	16. USARTでのSPI動作	111
8.5. リセット関係レジスタ	31	16.1. 特徴	111
9. 割り込み	33	16.2. 概要	111
9.1. 割り込みベクタ	33	16.3. クロック生成	111
9.2. 外部割り込み	35	16.4. SPIデータ形態とタイミング	111
9.3. 割り込み用レジスタ	35	16.5. フレーム形式	112
10. 入出力ポート	38	16.6. データ転送	113
10.1. 概要	38	16.7. AVR SPIとの互換性	114
10.2. 標準デジタル入出力としてのポート	38	16.8. MSPIMでのUSART用レジスタ	115
10.3. 交換ポート機能	41	17. I ² C適合2線従装置インターフェース	118
10.4. I/Oポート用レジスタ	48	17.1. 特徴	118
11. PWM付き8ビット タイマ/カウンタ0	51	17.2. 概要	118
11.1. 特徴	51	17.3. 一般的なTWIバスの概念	118
11.2. 概要	51	17.4. TWI従装置動作	122
11.3. クロック元	52	17.5. TWI用レジスタ	123
11.4. 計数器部	52	18. アナログ比較器0	127
11.5. 比較出力部	53	18.1. アナログ比較器0用レジスタ	127
11.6. 比較一致出力部	54	19. アナログ比較器1	130
		19.1. アナログ比較器1用レジスタ	130

20.	A/D変換器	133
20.1.	特徴	133
20.2.	概要	133
20.3.	操作	134
20.4.	変換の開始	134
20.5.	前置分周と変換タイミング	135
20.6.	チャネル、利得、基準電圧の変更	136
20.7.	雑音低減機能	137
20.8.	アナログ入力回路	137
20.9.	アナログ雑音低減技術	137
20.10.	A/D変換の精度定義	138
20.11.	A/D変換の結果	138
20.12.	温度測定	139
20.13.	A/D変換用レジスタ	140
21.	デバッグWIRE内蔵デバッグ機能	144
21.1.	特徴	144
21.2.	概要	144
21.3.	物理インターフェース	144
21.4.	ソフトウェア中断点	144
21.5.	デバッグWIREの制限	144
21.6.	デバッグWIRE用レジスタ	144
22.	自己プログラミング	145
22.1.	特徴	145
22.2.	概要	145
22.3.	施錠ビット	145
22.4.	フラッシュメモリの自己プログラミング	145
22.5.	フラッシュメモリデータ化けの防止	147
22.6.	SPM命令使用時フラッシュプログラミング時間	147
22.7.	自己プログラミング用レジスタ	148
23.	施錠ビット、ヒューズビット、デバイス識票	149
23.1.	施錠ビット	149
23.2.	ヒューズビット	149
23.3.	デバイス識票銘刻部	150
23.4.	ソフトウェアからの施錠、ヒューズ、 識票データの読み出し	151
24.	外部プログラミング	154
24.1.	メモリの要素	154
24.2.	フラッシュとEEPROM用のプログラミング時間	154
24.3.	低電圧直列プログラミング	154
24.4.	高電圧直列プログラミング	158
25.	電気的特性	163
25.1.	ATtiny441	163
25.2.	ATtiny841	169
26.	代表特性	175
26.1.	ATtiny441	175
26.2.	ATtiny841	206
27.	レジスタ要約	237
28.	命令要約	241
29.	注文情報	243
30.	外圍器情報	244
31.	障害情報	245
32.	データシート改訂履歴	246



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勧業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2014 Atmel Corporation. 不許複製 / 改訂:8495H-AVR-05/2014

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイト位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATtiny441/841英語版データシート(改訂8495H-05/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。