

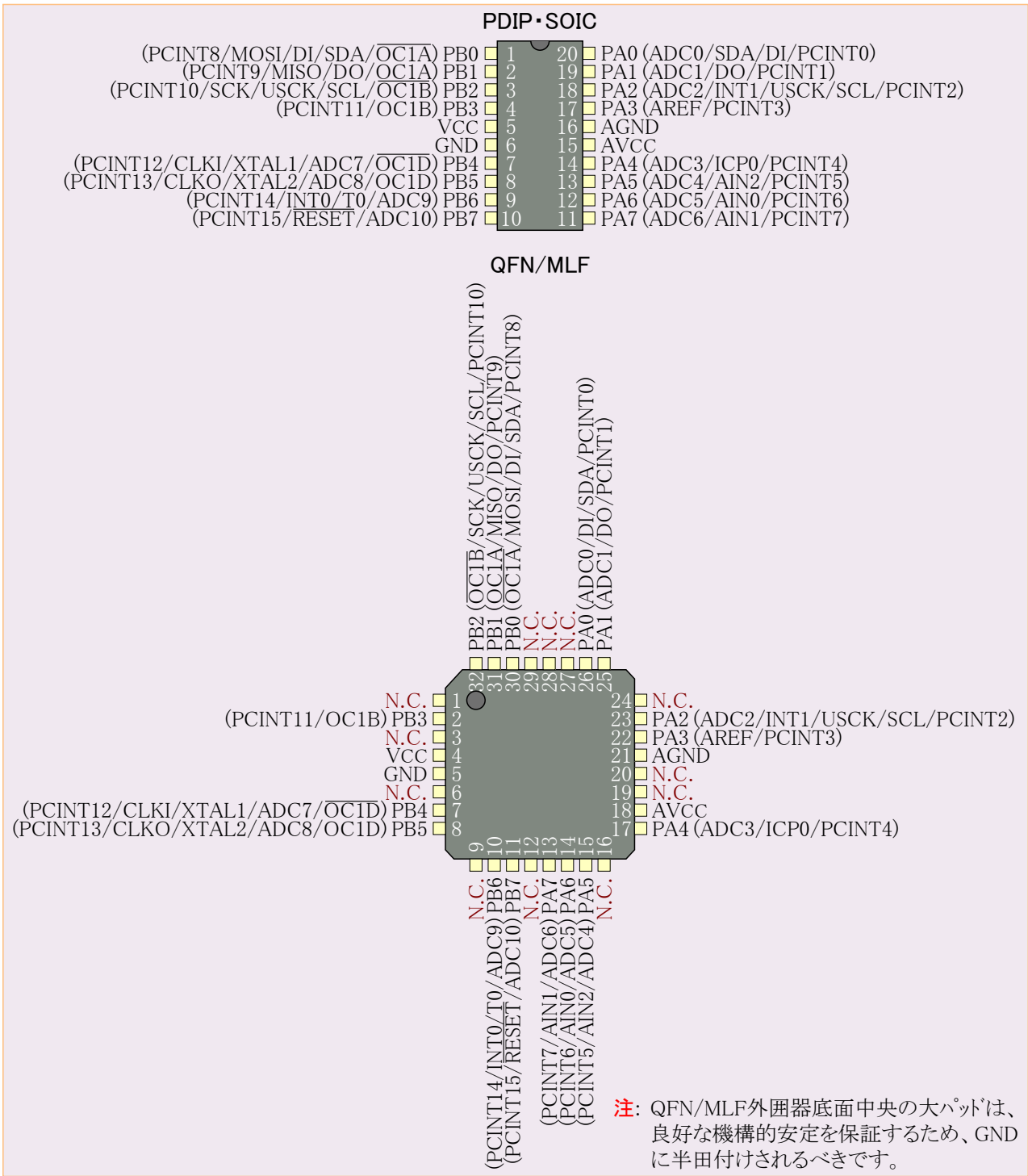
特徴

* 終了品

- 高性能、低消費AVR® 8ビット マイクロ コントローラ
- 進化したRISC構造
 - 強力な123命令(多くは1周期で実行)
 - 32個の1バイト長汎用レジスタ
 - 完全なスタティック動作
- データメモリと不揮発性プログラムメモリ
 - 実装書き換え可能な2/4/8Kバイト(1/2/4K語)フラッシュメモリ内蔵
 - 10,000回の書き換え耐久性
 - 128/256/512バイトのEEPROM
 - 100,000回の書き換え耐久性
 - 128/256/512バイトの内蔵SRAM
 - データ保持力: 20年/85°C, 100年/25°C
 - プログラム用フラッシュメモリとデータ用EEPROM保護用の設定可能な施錠機能
- 内蔵周辺機能
 - 前置分周器、1つの捕獲入力と2つの比較部付き8/16ビットタイマ/カウンタ
 - 独立した前置分周器付き高速8/10ビットタイマ/カウンタ
 - 独立した比較レジスタでの3つの高周波数PWM出力
 - 設定可能な沈黙時間生成器
 - 10ビット A/D変換器
 - 11のシングルエンドチャンネル
 - 16の差動入力チャンネル対
 - 設定可能な利得(×1, ×8, ×20, ×32)付き15の差動ADCチャンネル対
 - アナログ比較器
 - 設定可能な専用発振器付きウォッチドッグタイマ
 - 開始条件検出器付き多用途直列インターフェース(USI)
- 特殊マイクロコントローラ機能
 - デバッグWIRE内蔵デバッグ機能
 - SPIポート経由の実装書き込み
 - 外部及び内部の割り込み
 - アイドル、A/D変換雑音低減、パワーダウン、スタンバイの4つの低消費動作
 - 強化した電源ONリセット回路
 - 設定可能な低電圧検出器(BOD)回路
 - 校正付き内蔵RC発振器
 - チップ上の温度感知器
- I/Oと外圍器
 - 16ビットの設定可能なI/O
 - 20ピンPDIP、20リードSOIC、32ピンQFN/MLFが利用可能
- 動作電圧
 - 1.8~5.5V (ATtiny261/461/861V)
 - 2.7~5.5V (ATtiny261/461/861)
- 動作速度
 - 0~4MHz/1.8~5.5V, 0~10MHz/2.7~5.5V (ATtiny261/461/861V)
 - 0~10MHz/2.7~5.5V, 0~20MHz/4.5~5.5V (ATtiny261/461/861)
- 工業用温度範囲
- 低消費電力
 - 380µA (1MHzシステムクロック, 1.8V, 活動動作)
 - 0.1µA (1.8V, パワーダウン動作)

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

1. ピン配置



1.1. ピン概要

1.1.1. VCC

電源ピン。

1.1.2. GND

接地ピン。

1.1.3. AVCC

アナログ電源ピン。

1.1.4. AGND

アナログ接地ピン。

1.1.5. PA7～PA0 (ポートA)

ポートAは(ビット単位で選ばれる)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートA出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートAピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートAピンはHi-Zにされます。

ポートAは[38頁](#)で示されるようにデバイスの様々な特殊機能も扱います。

1.1.6. PB7～PB0 (ポートB)

ポートBは(ビット単位で選ばれる)内蔵プルアップ抵抗付きの8ビット双方向入出力ポートです。ポートB出力緩衝部は共に高い吐き出し/吸い込み能力の対称駆動特性です。入力の際にプルアップ抵抗が有効の場合、外部的にLowへ引き込まれたポートBピンには吐き出し電流が流れます。リセット条件が有効になると、クロックが走行していなくても、ポートBピンはHi-Zにされます。

ポートBは[40頁](#)で示されるようにデバイスの様々な特殊機能も扱います。

1.1.7. RESET

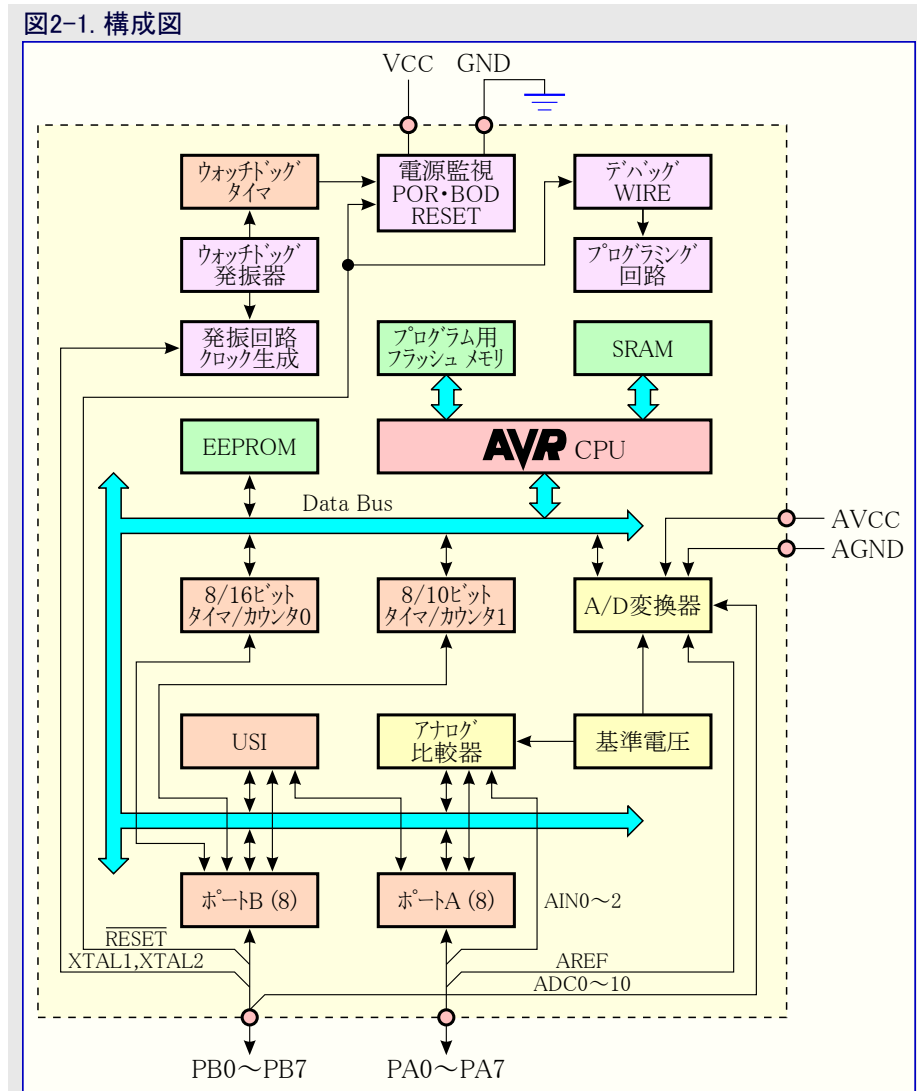
リセット入力。例えクロックが走行していなくても、最小パルス幅より長いこのピンのLowレベルはリセットを生成します。最小パルス幅は[120頁の表19-4](#)で与えられます。より短いパルスはリセットの生成が保証されません。

リセットピンは(弱い)入出力線としても使えます。

2. 概要

ATtiny261/461/861はAVR強化RISC構造を基にした低消費CMOS 8ビットマイクロコントローラです。1周期での強力な命令の実行によってATtiny261/461/861はMHzあたり1 MIPSに達する単位処理量を成し遂げ、処理速度対消費電力の最適化を設計者に許します。

2.1. 構成図



AVRコアは32個の汎用作業レジスタと豊富な命令群の組み合わせです。32個の全レジスタはALU(Arithmetic Logic Unit)に直結され、レジスタ間命令は1クロック周期で実行されます。AVR構造は現状のCISC型マイクロコントローラに対して最大10倍の単位処理量向上効果があります。

ATtiny261/461/861は2/4/8Kバイトの実装書き込み可能なフラッシュメモリ、128/256/512バイトのEEPROM、128/256/512バイトのSRAM、16本の汎用入出力線、32個の汎用作業レジスタ、比較動作付きの8/16ビットタイマ/カウンタ、8/10ビット高速タイマ/カウンタ、多用途直列インターフェース(USI)、内部及び外部割り込み、11チャンネルの10ビットA/D変換器、内蔵発振器付きの設定変更可能なウォッチドッグタイマ、ソフトウェアで選べる4つの低消費動作を提供します。アイドル動作はCPUを停止し、一方SRAM、タイマ/カウンタ、A/D変換器、アナログ比較器、割り込み機構に機能の継続を許します。パワーダウン動作はレジスタの内容を保護し、以降のハードウェアリセットか外部割り込みまで、チップの全機能を禁止します。A/D変換雑音低減動作はA/D変換中の切り替え雑音を最小とするためにA/D変換器を除く全I/O部とCPUを停止します。スタンバイ動作では水晶発振子/セラミック振動子用発振器が動作し、一方デバイスのその他は休止し、低消費電力と非常に速い起動の組み合わせを許します。

本デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されます。チップ上のISPフラッシュメモリは通常の不揮発性メモリ書き込み器によるSPI直列インターフェースを通して、またはAVRコア上で走行するチップ上のブートコードによる実装書き換えをプログラム用メモリに許します。

ATtiny261/461/861 AVRはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、評価キットを含む完全なプログラム及びシステム開発ツールで支援されます。

3. 諸注意

3.1. 資料

包括的なデータシート、応用記述、ドライバ群と開発ツールの記述は<http://www.atmel.com/avr>でのダウンロードで利用可能です。

3.2. コード例

この文書はデバイスの様々な部分の使用法を手短に示す簡単なコード例を含みます。これらのコード例はアセンブルまたはコンパイルに先立ってデバイス定義ヘッダファイルがインクルードされると仮定します。全てのCコンパイラ製造業者がヘッダファイル内にビット定義を含めるとは限らず、またCでの割り込みの扱いがコンパイラに依存することに注意してください。より多くの詳細についてはCコンパイラの資料で確認してください。

拡張I/O領域に配置したI/Oレジスタに対し、**IN**, **OUT**, **SBIS**, **SBIC**, **CBI**, **SBI**命令は拡張I/O領域へのアクセスを許す命令に置き換えられなければなりません。これは代表的に**SBRS**, **SBRC**, **SBR**, **CBR**命令と組み合わせた**LDS**, **STS**命令を意味します。全てのAVRデバイスが拡張I/O領域を含むとは限らないことに注意してください。(訳補: 本デバイスに拡張I/O領域はありません。)

3.3. データ保持力

信頼性証明結果はデータ保持誤り率の反映を示し、20年以上/85°Cまたは100年以上/25°Cで1PPMよりずっと小さな値です。

3.4. お断り

本データシート内で示された代表値はシミュレーションと同じ製法技術で製造された他のAVRマイクロコントローラの特性を基にしています。

4. CPU コア

ここでは一般的なAVRコア構造について説明します。このCPUコアの主な機能は正しいプログラム実行を保証することです。従ってCPUはメモリアクセス、計算実行、周辺制御、割り込み操作ができなければなりません。

4.1. 構造概要

最大効率と平行処理のため、AVRはプログラムとデータに対してメモリとバスを分離するハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1命令の実行中に次の命令がプログラムメモリから事前取得されます。この概念は全部のクロック周期で命令実行を可能にします。プログラムメモリは実装書き換え可能なフラッシュメモリです。

高速レジスタファイルは1クロック周期アクセスの32個の8ビット長汎用レジスタを含みます。これは1クロック周期ALU(Arithmetic Logic Unit)操作を許します。代表的なALU操作では2つのオペランドがレジスタファイルからの出力で、1クロック周期内でその操作が実行され、その結果がレジスタファイルに書き戻されます。

32個中の6つのレジスタは効率的なアドレス計算ができるデータ空間アドレス指定用に3つの16ビット長間接アドレスポインタ用レジスタとして使われます。これらアドレスポインタの1つはプログラム用フラッシュメモリ内の定数表参照用アドレスポインタとしても使えます。これら16ビット長付加機能レジスタはX,Y,Zレジスタで、本章内で後述されます。

ALUはレジスタ間またはレジスタと定数間の算術及び論理操作を支援します。単一レジスタ操作もALUで実行できます。算術演算操作後、操作結果についての情報を反映するためにステータスレジスタ(SREG)が更新されます。

プログラムの流れは条件/無条件分岐や呼び出し命令によって提供され、全アドレス空間を直接アドレス指定できます。殆どのAVR命令は16ビット語(ワード)形式ですが、32ビット命令もあります。いくつかのデバイスが部分的な命令一式だけを実装するため、実際の命令一式は変化します。

割り込みやサブルーチン呼び出し中、戻りアドレスを示すプログラムカウンタ(PC)はスタックに保存されます。スタックは一般的なデータ用SRAM上に実際には割り当てられ、従ってスタック容量は全SRAM容量とSRAM使用量でのみ制限されます。全てのユーザープログラムはリセット処理ルーチンで(サブルーチン呼び出しや割り込みが実行される前に)、スタックポインタ(SP)を初期化しなければなりません。SPはI/O空間で読み書きアクセスが可能です。データ用SRAMはAVR構造で支援される5つの異なるアドレス指定種別を通して容易にアクセスできます。

AVR構造に於けるメモリ空間は全て直線的な普通のメモリ配置です。

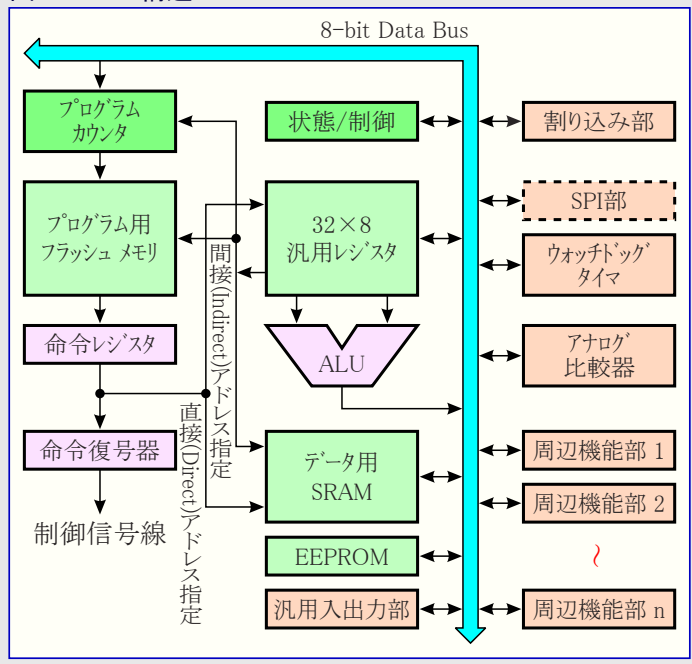
柔軟な割り込み部にはI/O空間の各制御レジスタとステータスレジスタ(SREG)の特別な全割り込み許可(I)ビットがあります。全ての割り込みは割り込みベクタ表に個別の割り込みベクタを持ちます。割り込みには割り込みベクタ表の位置に従う優先順があります。下位側割り込みベクタアドレスが高い優先順位です。

I/Oメモリ空間は制御レジスタや他のI/O機能としてCPU周辺機能用の64アドレスを含みます。I/Oメモリは直接またはレジスタファイルの次のデータ空間位置\$20~\$5Fとしてアクセスできます。

4.2. ALU (Arithmetic Logic Unit)

高性能なAVRのALUは32個の全汎用レジスタとの直結で動作します。汎用レジスタ間または汎用レジスタと即値間の演算操作は単一クロック周期内で実行されます。ALU操作は算術演算、論理演算、ビット操作の3つの主要な種類に大別されます。符号付きと符号なし両方の乗算と固定小数点形式を支援する乗算器(乗算命令)も提供する構造の実装(製品)もあります。詳細記述については「命令要約」章をご覧ください。

図4-1. AVR構造



4.3. ステータス レジスタ

ステータスレジスタは最も直前に実行した演算命令の結果についての情報を含みます。この情報は条件処理を行うためのプログラムの流れ変更に使えます。ステータスレジスタは「**命令一式手引書**」で詳述したように、全てのALU操作後、更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより少ないコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復(復帰)がどちらも自動的に行われません。これはソフトウェアによって扱われなければなりません。

4.3.1. SREG – ステータス レジスタ (Status Register)

ビット	7	6	5	4	3	2	1	0	
\$3F (\$5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – I : 全割り込み許可 (Global Interrupt Enable)

全割り込み許可ビットは割り込みが許可されるために設定(1)されなければなりません。その時の個別割り込み許可制御は独立した制御レジスタで行われます。全割り込み許可ビットが解除(0)されると、個別割り込み許可設定に拘らず、どの割り込みも許可されません。Iビットは割り込みが起こった後にハードウェアによって解除(0)され、後続の割り込みを許可するために、**RETI**命令によって設定(1)されます。Iビットは「**命令一式手引書**」で記述されるように**SEI**や**CLI**命令で応用(プログラム)によって設定(1)や解除(0)もできます。

● ビット6 – T : ビット変数 (Bit Copy Storage)

ビット複写命令、**BLD**(Bit LoaD)と**BST**(Bit STore)は操作したビットの転送元または転送先として、このTビットを使います。レジスタファイルのレジスタからのビットは**BST**命令によってTに複写でき、Tのビットは**BLD**命令によってレジスタファイルのレジスタ内のビットに複写できます。

● ビット5 – H : ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「**命令要約**」記述をご覧ください。

● ビット4 – S : 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグの排他的論理和です。詳細情報については「**命令要約**」記述をご覧ください。

● ビット3 – V : 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「**命令要約**」記述をご覧ください。

● ビット2 – N : 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令要約**」記述をご覧ください。

● ビット1 – Z : ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「**命令要約**」記述をご覧ください。

● ビット0 – C : キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(または borrow)を示します。詳細情報については「**命令要約**」記述をご覧ください。

4.4. 汎用レジスタ ファイル

このレジスタ ファイルはAVRの増強したRISC命令群用に最適化されています。必要な効率と柔軟性を達成するために、次の入出力機構がレジスタ ファイルによって支援されます。

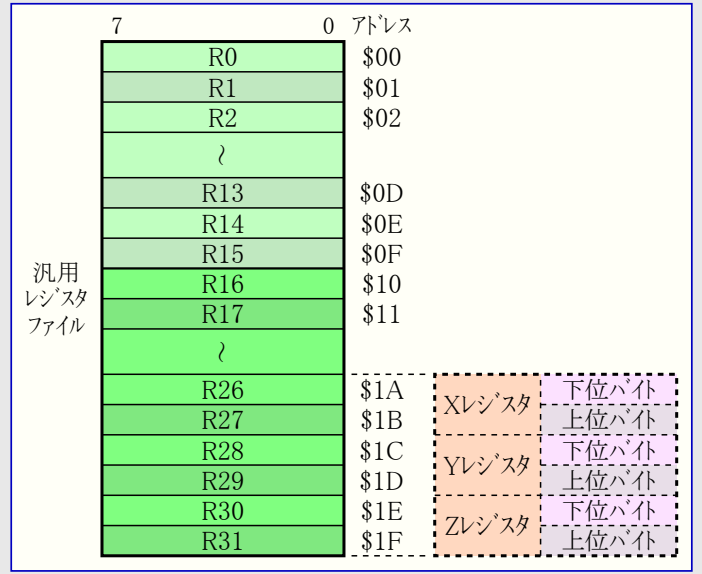
- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

図4-2.はCPU内の32個の汎用作業レジスタの構造を示します。

レジスタ ファイルを操作する殆どの命令は全てのレジスタに直接アクセスし、それらの殆どは単一周期命令です。

図4-2.で示されるように各レジスタは使用者データ空間の最初の32位置へ直接的に配置することで、それらはデータ メモリ アドレスも割り当てられます。例えば物理的にSRAM位置として実装されていなくても、X,Y,Zレジスタ(ポインタ)がレジスタ ファイル内のどのレジスタの指示にも設定できるように、このメモリ構成は非常に柔軟なレジスタのアクセスを提供します。

図4-2. AVR CPU 汎用レジスタ構成図

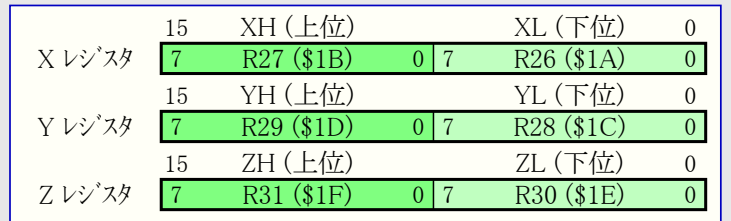


4.4.1. Xレジスタ, Yレジスタ, Zレジスタ

R26～R31レジスタには通常用途の使用にいくつかの追加機能があります。これらのレジスタはデータ空間の間接アドレス指定用の16ビットアドレスポインタです。3つのX,Y,Z間接アドレスレジスタは図4-3.で記載したように定義されます。

種々のアドレス指定種別で、これらのアドレスレジスタは自動増加、自動減少としての機能を持ちます(詳細については「命令一式手引書」をご覧ください)。

図4-3. X,Y,Zレジスタ構成図



4.5. スタック ポインタ

スタックは主に一時データの保存、局所変数の保存、割り込みとサブルーチン呼び出し後の戻りアドレスの保存に使われます。スタック ポインタレジスタは常にこのスタックの先頭(訳注:次に使われるべき位置)を指し示します。スタックが高位メモリから低位メモリへ伸長するように実行されることに注意してください。これはスタックへのPUSH命令はスタック ポインタを減少するという意味です。

スタック ポインタはサブルーチンや割り込みのスタックが配置されるデータSRAMのスタック領域を指し示します。データSRAM内のスタック空間はサブルーチン呼び出しの実行や割り込みの許可の何れにも先立って、プログラムによって定義されなければなりません。スタック ポインタは\$0060以上を指示するように設定されなければなりません(なるべくなら定義名RAMEND)。スタック ポインタはPUSH命令でデータがスタックに格納されると-1され、サブルーチン呼び出しや割り込みで戻りアドレスがスタックに格納されると-2されます。スタック ポインタはPOP命令でデータがスタックから引き出されると+1され、サブルーチンからの復帰(RET)命令や割り込みからの復帰(RETI)命令でアドレスがスタックから引き出されると+2されます。

AVRのスタック ポインタはI/O空間内の2つの8ビット レジスタとして実装されます。実際に使われるビット数は(そのデバイス)実装に依存します。SPLだけが必要とされる程に小さいAVR構造の実装(デバイス)のデータ空間もあることに注意してください。その場合、SPHレジスタは存在しません。

4.5.1. SPH,SPL (SP) – スタック ポインタ (Stack Pointer)

ビット	15	14	13	12	11	10	9	8	
\$3E (\$5E)	–	–	–	–	–	–	(SP9)	(SP8)	SPH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	
ビット	7	6	5	4	3	2	1	0	
\$3D (\$5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	RAMEND	

(訳補) 内蔵SRAMはATtiny261が128バイト(\$0060～\$00DF)、ATtiny461が256バイト(\$0060～\$015F)、ATtiny861が512バイト(\$0060～\$025F)です。従って、ATtiny461ではSPHのSP9が、ATtiny261ではSP9,8が利用できません。RAMENDはATtiny261が\$00DF(0000 0000 1101 1111)、ATtiny461が\$015F(0000 0001 0101 1111)、ATtiny861が\$025F(0000 0010 0101 1111)になります。

4.6. 命令実行タイミング

本項は命令実行の一般的なアクセスタイミングの概念を記述します。AVR CPUはチップ(デバイス)用に選んだクロック元から直接的に生成したCPUクロック(clk_{CPU})によって駆動されます。内部クロック分周は使われません。

図4-4.はハーバード構造と高速アクセスレジスタファイルの概念によって可能とされる並列の命令取得と命令実行を示します。これは機能対費用、機能対クロック、機能対電源部に関する好結果と対応するMHzあたり1 MIPSを達成するための基本的なパイプラインの概念です。

図4-5.はレジスタファイルに対する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図4-4. 命令の取得と実行の並列動作

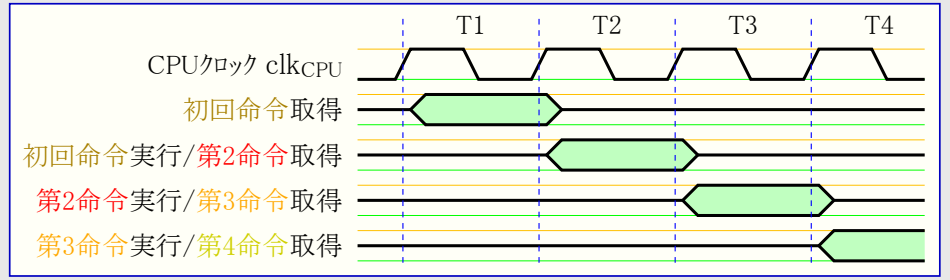
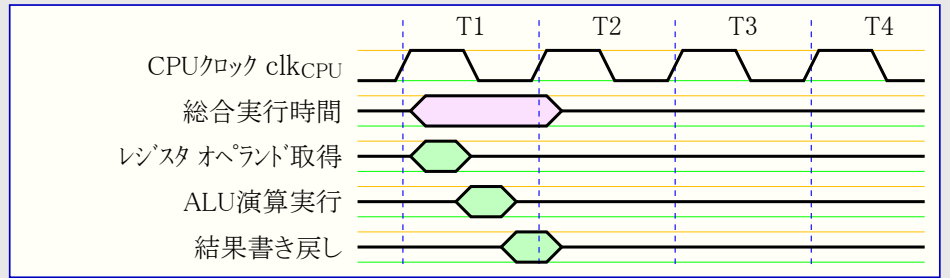


図4-5. 1周期ALU命令



4.7. リセットと割り込みの扱い

AVRは多くの異なる割り込み元を提供します。これらの割り込みと独立したリセットベクタ各々はプログラムメモリ空間内に独立したプログラムベクタを持ちます。全ての割り込みは割り込みを許可するために、ステータスレジスタ(SREG)の全割り込み許可(I)ビットと共に論理1が書かれなければならない個別の許可ビットを割り当てられます。

プログラムメモリ空間の最下位アドレスは既定によってリセットと割り込みベクタとして定義されます。ベクタの完全な一覧は30頁の「割り込み」で示されます。この一覧は各種割り込みの優先順位も決めます。下位側アドレスがより高い優先順位です。リセットが最高優先順位で、次が外部割り込み要求0(INT0)です。

割り込みが起こると全割り込み許可(I)ビットが解除(0)され、全ての割り込みは禁止されます。使用者ソフトウェアは多重割り込みを許可するため、全割り込み許可(I)ビットへ論理1を書けます。その後全ての許可した割り込みが現在の割り込みルーチンで割り込めます。全割り込み許可(I)ビットは割り込みからの復帰(RETI)命令が実行されると、自動的に設定(1)されます。

根本的に2つの割り込み形式があります。1つ目の形式は割り込み要求フラグを設定(1)する事象によって起動されます。これらの割り込みでは割り込み処理ルーチンを実行するために、プログラムカウンタは対応する現実の割り込みベクタを指示し、ハードウェアが対応する割り込み要求フラグを解除(0)します。割り込み要求フラグは解除(0)されるべきフラグのビット位置へ論理1を書くことによっても解除(0)できます。対応する割り込み許可ビットが解除(0)されている間に割り込み条件が起こると、割り込み要求フラグが設定(1)され、割り込みが許可されるか、またはこのフラグがソフトウェアによって解除(0)されるまで記憶(保持)されます。同様に、全割り込み許可(I)ビットが解除(0)されている間に1つまたはより多くの割り込み条件が起こると、対応する割り込み要求フラグが設定(1)されて全割り込み許可(I)ビットが設定(1)されるまで記憶され、その(I=1)後で優先順に従って実行されます。

2つ目の割り込み形式は割り込み条件が存在する限り起動し(続け)ます。これらの割り込みは必ずしも割り込み要求フラグを持っているとは限りません。割り込みが許可される前に割り込み条件が消滅すると、この割り込みは起動されません。

AVRが割り込みから抜け出すと常に主プログラムへ戻り、何れかの保留割り込みが扱われる前に1つ以上の命令を実行します。

ステータスレジスタ(SREG)は割り込みルーチンへ移行時の保存も、復帰時の再設定も自動的に行われなことに注意してください。これはソフトウェアによって扱われなければなりません。

割り込みを禁止するためにCLI命令を使うと、割り込みは直ちに禁止されます。CLI命令と同時に割り込みが起こっても、CLI命令後に割り込みは実行されません。次例は時間制限EEPROM書き込み手順中に割り込みを無効とするために、これがどう使用できるかを示します。

アセンブリ言語プログラム例

```
IN      R16, SREG      ;ステータスレジスタを保存
CLI     ;EEPROM書き込み手順中割り込み禁止
SBI     EECR, EEMPE    ;EEPROM主書き込み許可
SBI     EECR, EEPE     ;EEPROM書き込み開始
OUT     SREG, R16      ;ステータスレジスタを復帰
```

C言語プログラム例

```
char cSREG;           /* ステータスレジスタ保存変数定義 */
cSREG = SREG;         /* ステータスレジスタを保存 */
_cli();               /* EEPROM書き込み手順中割り込み禁止 */
EECR |= (1<<EEMPE);  /* EEPROM主書き込み許可 */
EECR |= (1<<EEPE);   /* EEPROM書き込み開始 */
SREG = cSREG;        /* ステータスレジスタを復帰 */
```

注: 5頁の「コード例」をご覧ください。

割り込みを許可するためにSEI命令を使うと、次例で示されるようにどの保留割り込みにも先立ってSEI命令の次の命令が実行されません。

アセンブリ言語プログラム例

```
SEI     ;全割り込み許可
SLEEP   ;休止形態移行 (割り込み待ち)
```

C言語プログラム例

```
_sei();  /* 全割り込み許可 */
_sleep(); /* 休止形態移行 (割り込み待ち) */
```

注: SLEEP命令までは割り込み禁止、保留割り込み実行前に休止形態へ移行します。

注: 5頁の「コード例」をご覧ください。

4.7.1. 割り込み応答時間

許可した全てのAVR割り込みに対する割り込み実行応答は最小4クロック周期です。4クロック周期後、実際の割り込み処理ルーチンに対するプログラムベクタアドレスが実行されます。この4クロック周期時間中にプログラムカウンタ(PC)がスタック上に保存(プッシュ)されます。このベクタは標準的に割り込み処理ルーチンへの無条件分岐で、この分岐は2クロック周期(訳注:原文は3(JMP命令=3を想定、実際はRJMP命令=2))要します。複数周期命令実行中に割り込みが起こると、その割り込みが扱われる前に、この命令が完了されます。MCUが休止形態の時に割り込みが起こると、割り込み実行応答時間は4クロック周期増やされます。この増加は選んだ休止形態からの起動時間に加えてです。

割り込み処理ルーチンからの復帰は4クロック周期要します。これらの4クロック周期中、プログラムカウンタ(PC:2バイト)がスタックから取り戻され(ポップ)、スタックポインタは増加され(+2)、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されます。

5. メモリ

この項はATtiny261/461/861の各種メモリを記述します。AVR構造にはプログラムメモリ空間とデータメモリ空間の2つの主なメモリ空間があります。加えてATtiny261/461/861はデータ保存用EEPROMメモリが特徴です。3つのメモリ空間全ては一般的な直線的アドレスです。

5.1. 実装書き換え可能なプログラム用フラッシュメモリ

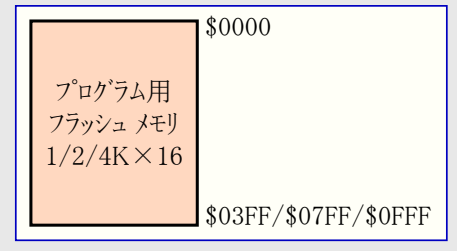
ATtiny261/461/861はプログラム保存用に実装書き換え可能な2/4/8Kバイトのフラッシュメモリをチップ上に含みます。全てのAVR命令が16または32ビット幅のため、このフラッシュメモリは1/2/4K×16ビットとして構成されます。

フラッシュメモリは最低10,000回の消去/書き込み回数の耐久性があります。ATtiny261/461/861のプログラムカウンタ(PC)は10/11/12ビット幅で、従って1/2/4Kプログラムメモリ位置のアドレス指定能力です。106頁の「[メモリプログラミング](#)」はSPIピンを使うフラッシュメモリの直列プログラミングの詳細な記述を含みます。

定数表はプログラムメモリの全アドレス空間に配置できます。(LPM命令記述参照)

命令の取得と実行のタイミング図は9頁の「[命令実行タイミング](#)」で示されます。

図5-1. プログラムメモリ配置図



5.2. データ用SRAMメモリ

図5-2はATtiny261/461/861のSRAMメモリ構成方法を示します。

下位のデータメモリ位置はレジスタファイル、I/Oメモリ、データ用内蔵SRAMに充てます。先頭の32位置はレジスタファイル、次の64位置は標準I/Oメモリ、そして最後の128/256/512位置はデータ用内蔵SRAMに充てます。

直接、間接、変位付き間接、事前減少付き間接、事後増加付き間接の5つの異なるアドレス指定種別でデータメモリ(空間)を網羅します。レジスタファイル内のレジスタR26～R31は間接アドレス指定ポインタ用レジスタが特徴です。

直接アドレス指定はデータ空間全体に届きます。

変位付き間接動作はYまたはZレジスタで与えられる基準アドレスからの63アドレス位置に届きます。

自動の事前減少付きと事後増加付きのレジスタ間接アドレス指定動作を使う時に(使われる)X,Y,Zアドレスレジスタは減少(-1)または増加(+1)されます。

ATtiny261/461/861の32個の汎用レジスタ、64個のI/Oレジスタ、128/256/512バイトのデータ用内蔵SRAMはこれら全てのアドレス指定種別を通して全部アクセスできます。レジスタファイルは8頁の「[汎用レジスタファイル](#)」で記述されます。

図5-2. データメモリ配置図

		アドレス
レジスタファイル (32×8)	R0 ～ R31	\$0000 ～ \$001F
I/Oレジスタ (64×8)	\$00 ～ \$3F	\$0020 ～ \$005F
内蔵SRAM (128/256/512×8)	\$0060 ～ \$0xxF	\$0060 ～ \$00DF/\$015F/\$025F

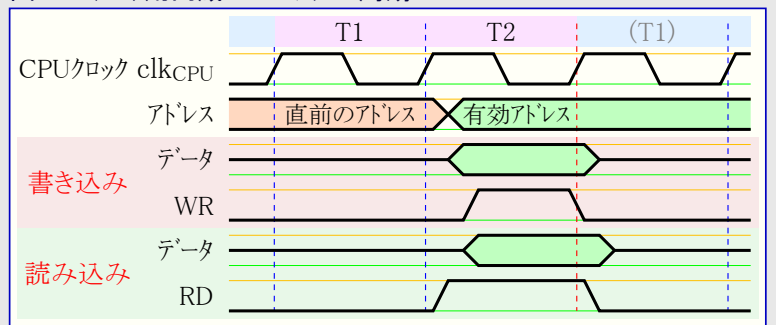
注: 赤字はI/Oアドレス

5.2.1. データメモリアクセスタイミング

本節は内部メモリアクセスに対する一般的なアクセスタイミングの概念を記述します。データ用内蔵SRAMアクセスは図5-3.で図解されるように2 clk_{CPU}周期で実行されます。

(訳注) 内蔵SRAMのアクセスを含む代表的な命令はT1,T2の2周期で実行され、T1で対象アドレスを取得/(算出)/確定し、T2で実際のアクセスが行われます。後続する(T1)は次の命令のT1です。

図5-3. データ用内蔵SRAMアクセス周期



5.3. データ用EEPROMメモリ

ATtiny261/461/861は128/256/512バイトのデータ用EEPROMを含みます。それは単一バイトが読み書きできる分離したデータ空間として構成されます。EEPROMは最低100,000回の消去/書き込み回数の耐久性があります。CPUとEEPROM間のアクセスは以降のEEPROMアドレスレジスタ、EEPROMデータレジスタ、EEPROM制御レジスタで詳細に記述されます。EEPROMの直列プログラミングの詳細な記述については109頁の「直列プログラミング」をご覧ください。

5.3.1. EEPROMアクセス

EEPROMアクセスレジスタはI/O空間でアクセス可能です。

EEPROMの消去/書き込み(訳注:原文はアクセス)時間は表5-1.で与えられます。(書き込みは)自己タイミング機能ですが、使用者ソフトウェアは**次バイトが書ける時を検知**してください。使用者コードがEEPROMに書く命令を含む場合、いくつかの予防処置が取られなければなりません。嚴重に濾波した電源では電源の投入/切断でVCCが緩やかに上昇または下降しそうです。これはデバイスが何周期かの時間、使われるクロック周波数に於いて最小として示されるより低い電圧で走行する原因になります。これらの状態で問題を避ける方法の詳細については13頁の「EEPROMデータ化けの防止」をご覧ください。

予期せぬEEPROM書き込みを防止するため特別な書き込み手順に従わなければなりません。この詳細についてはEEPROM制御レジスタの説明と以下の「非分離バイト書き込み」と「分離バイト書き込み」を参照してください。

EEPROMが読まれると、CPUは次の命令が実行される前に4クロック周期停止されます。EEPROMが書かれると、CPUは次の命令が実行される前に2クロック周期停止されます。

5.3.2. 非分離バイトプログラミング

非分離バイトプログラミングの使用は最も簡単な動作です。EEPROMにバイトを書くとき、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPmnビットが'00'ならば、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは消去/書き込み動作を起動します。消去と書き込みの両周期は1操作で行われ、総プログラミング時間は表5-1.で与えられます。EEPEビットは消去と書き込み動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.3. 分離バイトプログラミング

2つの異なる操作として消去と書き込み周期を分離することが可能です。これは或る時間制限(代表的には電源電圧不足)に対してシステムが短いアクセス時間を必要とする場合に有用かもしれません。この方法の優位性を得るため、書かれるべき位置が書き込み操作前に消去されてしまっていることが必要とされます。しかし、消去と書き込みが分離されるため、時間が重大な操作の実行をシステムが許す時(代表的には電源投入後)に消去操作を行うことが可能です。

5.3.4. 消去

バイトを消去するにはアドレスがEEARに書かれなければなりません。EEPmnビットが'01'なら、EEMPEが1を書かれた後の4周期内のEEPEの1書き込みは消去動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは消去動作が完了されるまで設定(1)に留まります。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

5.3.5. 書き込み

(特定)位置を書くため、使用者はEEARにアドレス、EEDRにデータを書かなければなりません。EEPmnビットが'10'なら、(EEMPEが1を書かれる後の4周期内の)EEPEの1書き込みは書き込み動作だけを起動します(プログラミング時間は表5-1.で与えられます)。EEPEビットは書き込み動作が完了されるまで設定(1)に留まります。書かれるべき位置が書き込み前に消去されていなければ、元の格納データは失ったと見做されなければなりません。デバイスがプログラミング動作中、他のどのEEPROM操作の実行も不可能です。

EEPROMアクセスの時間に校正済み内蔵RC発振器が使われます。発振器周波数が20頁の「OSCCAL - 発振校正レジスタ」で記述した必要条件内であることを確かめてください。

5.3.6. プログラム例

次のコード例はアセンブリ言語とC言語でのEEPROM消去、書き込み、または非分離書き込み関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_WR:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP   EEPROM_WR              ;以前のEEPROMプログラミング完了まで待機
;
             LDI    R19, (0<<EEP1) | (0<<EEP0) ;プログラミング種別値取得(本例は非分離)
             OUT    EECR, R19              ;対応プログラミング種別設定
             OUT    EEARH, R18             ;EEPROMアドレス上位バイト設定
             OUT    EEARL, R17            ;EEPROMアドレス下位バイト設定
             OUT    EEDR, R16             ;EEPROM書き込み値を設定
             SBI    EECR, EEMPE           ;EEPROM主プログラム許可ビット設定
             SBI    EECR, EEPE           ;EEPROMプログラミング開始(プログラム許可ビット設定)
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
void EEPROM_write(unsigned int uiAddress, unsigned char ucData)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EECR = (0<<EEP1) | (0<<EEP0);            /* 対応プログラミング種別設定 */
    EEAR = uiAddress;                          /* EEPROMアドレス設定 */
    EEDR = ucData;                              /* EEPROM書き込み値を設定 */
    EECR |= (1<<EEMPE);                        /* EEPROM主プログラム許可 */
    EECR |= (1<<EEPE);                          /* EEPROMプログラミング開始 */
}
```

注: 5頁の「コード例」をご覧ください。

次のコード例はアセンブリ言語とC言語でのEEPROM読み込み関数を示します。本例は割り込みが制御され、これらの関数実行中に割り込みが起きない前提です。

アセンブリ言語プログラム例

```
EEPROM_RD:  SBIC    EECR, EEPE                ;EEPROMプログラミング完了ならばスキップ
             RJMP   EEPROM_RD              ;以前のEEPROMプログラミング完了まで待機
;
             OUT    EEARH, R18             ;EEPROMアドレス上位バイト設定
             OUT    EEARL, R17            ;EEPROMアドレス下位バイト設定
             SBI    EECR, EERE           ;EEPROM読み出し開始(読み込み許可ビット設定)
             IN     R16, EEDR             ;EEPROM読み出し値を取得
             RET                             ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned char EEPROM_read(unsigned int uiAddress)
{
    while (EECR & (1<<EEPE));                /* 以前のEEPROMプログラミング完了まで待機 */
    EEAR = uiAddress;                          /* EEPROMアドレス設定 */
    EECR |= (1<<EERE);                        /* EEPROM読み出し開始 */
    return EEDR;                               /* EEPROM読み出し値を取得, 復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

5.3.7. EEPROMデータ化けの防止

低VCCの期間中、正しく動作するための供給電圧がCPUとEEPROMに対して低すぎるためにEEPROMデータが化け得ます。これらの問題はEEPROMを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

EEPROMデータ化けは電圧が低すぎる時の2つの状態によって起こされ得ます。1つ目として、EEPROMへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として、供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

EEPROMデータ化けは次の推奨設計によって容易に避けられます。

不十分な供給電源電圧の期間中、AVRのRESETを活性(Low)に保ってください。これは内蔵低電圧検出器(BOD)を許可することによって行えます。内蔵BODの検出電圧が必要とした検出電圧と一致しない場合、外部低VCCリセット保護回路が使えます。書き込み動作実行中にリセットが起こると、この書き込み操作は供給電源電圧が充分ならば(継続)完了されます。

5.4. I/O メモリ (レジスタ)

ATtiny261/461/861のI/O空間定義は141頁の「レジスタ要約」で示されます。

ATtiny261/461/861の全てのI/Oと周辺機能はI/O空間に配置されます。全てのI/O位置はI/O空間と32個の汎用作業レジスタ間のデータ転送を可能にするLD/LDS/LDD命令とST/STS/STD命令を用いてアクセスされます。アドレス範囲\$00～\$1F内のI/OレジスタはSBI命令とCBI命令の使用で直接的にビットアクセス可能です。これらのレジスタではSBISとSBIC命令の使用によって単一ビット値が検査できます。より多くの詳細については「命令要約」章を参照してください。I/O指定命令INとOUTを使う時はI/Oアドレス\$00～\$3Fが使われなければなりません。LD命令とST命令を使い、データ空間としてI/Oレジスタをアクセスする時はこれらのアドレスに\$20が加算されなければなりません。

将来のデバイスとの共通性を保つため、アクセスされる場合、予約ビットは0が書かれるべきです。予約済みI/Oメモリアドレスは決して書かれるべきではありません。

状態フラグのいくつかはそれらへ論理1を書くことによって解除(0)されます。CBIとSBI命令は指定ビットだけを操作し、従って状態フラグのようなものを含むレジスタに使えることに注意してください。CBIとSBI命令は(I/Oアドレス)\$00～\$1Fの範囲のレジスタでだけ動作します。

I/Oと周辺制御レジスタは以降の項で説明されます。

5.4.1. 汎用I/Oレジスタ

ATtiny261/461/861は3つの汎用I/Oレジスタを含みます。これらのレジスタはどの情報の格納にも使え、特に全体変数や状態フラグの格納に有用です。(I/O)アドレス範囲\$00～\$1Fの汎用I/OレジスタはSBI,CBI,SBIS,SBIC命令の使用で直接ビットアクセスが可能です。

5.5. メモリ関係レジスタ

5.5.1. EEARH,EEARL (EEAR) – EEPROMアドレスレジスタ (EEPROM Address Register) (訳注:H/Lレジスタを纏めました。)

ビット	15	14	13	12	11	10	9	8	
\$1F (\$3F)	–	–	–	–	–	–	–	(EEAR8)	EEARH
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	不定	
ビット	7	6	5	4	3	2	1	0	
\$1E (\$3E)	(EEAR7)	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	EEARL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット15～9 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット8～0 – EEAR8～0 : EEPROMアドレス (EEPROM Address)

EEPROMアドレスレジスタ(EEARHとEEARL)は128/256/512バイトEEPROM空間のEEPROMアドレスを指定します。EEPROMデータバイトは0～127/255/511間で直線的に配されます。EEARの初期値は不定です。EEPROMがアクセスされるであろう前に適切な値が書かれねばなりません。ATtiny261/461の未使用ビットは予約されており、常に0として読みます。

5.5.2. EEDR – EEPROMデータレジスタ (EEPROM Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1D (\$3D)	(MSB)							(LSB)	EEDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7～0 – EEDR7～0 : EEPROMデータ (EEPROM Data)

EEPROM書き込み操作に対してEEDRはEEPROMアドレスレジスタ(EEAR)で与えたアドレスのEEPROMへ書かれるべきデータを含みます。EEPROM読み込み操作に対してEEDRはEEARで与えたアドレスのEEPROMから読み出したデータを含みます。

5.5.3. EECR – EEPROM制御レジスタ (EEPROM Control Register)

ビット	7	6	5	4	3	2	1	0	
\$1C (\$3C)	–	–	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE	EECR
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	不定	0	0	不定	0	

● ビット7 – Res : 予約 (Reserved)

このビットは将来の使用に予約されており、常に0として読みます。将来のAVRデバイスとの共通性のため、常に本ビットへ0を書いてください。読み込み後、本ビットを遮蔽排除してください。

● **ビット6 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

● **ビット5,4 – EEPM1,0 : EEPROMプログラミング種別 (EEPROM Programming Mode Bits)**

EEPROMプログラミング種別ビット設定はEEPROMプログラミング許可(EEPE)書き込み時にどのプログラミング動作が起動されるかを定義します。1つの非分離操作(旧値消去と新値書き込み)、または2つの異なる操作として消去と書き込み操作を分離してデータをプログラムする(書く)ことが可能です。各動作に対するプログラミング時間は表5-1.で示されます。EEPEが設定(1)されている間はEEPMMnへのどの書き込みも無視されます。リセット中、EEPMMnビットはEEPROMがプログラミング作業中を除いて'00'にリセットされます。

表5-1. EEPROMプログラミング種別

EEPMM1	EEPMM0	プログラミング時間	動作
0	0	3.4ms	1操作での消去と書き込み(非分離操作)
0	1	1.8ms	消去のみ
1	0	1.8ms	書き込みのみ
1	1	-	将来使用に予約

● **ビット3 – EERIE : EEPROM操作可割り込み許可 (EEPROM Ready Interrupt Enable)**

EERIEの1書き込みはステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されているなら、EEPROM操作可割り込みを許可します。EERIEの0書き込みは、この割り込みを禁止します。EEPROM操作可割り込みは不揮発性メモリ(フラッシュメモリとEEPROM)がプログラミングの準備可ならば継続する割り込みを発生します。

● **ビット2 – EEMPE : EEPROM主プログラム許可 (EEPROM Master Program Enable)**

EEMPEビットはEEPROMプログラム許可(EEPE)ビットの1書き込みが有効か無効かどうかを決めます。

EEMPEが設定(1)されると、4クロック周期内のEEPE設定(1)は選んだアドレスのEEPROMをプログラムします。EEMPEが0なら、EEPE設定(1)は無効です。EEMPEがソフトウェアによって設定(1)されてしまうと、4クロック周期後にハードウェアがこのビットを0に解除します。

● **ビット1 – EEPE : EEPROMプログラム許可 (EEPROM Program Enable)**

EEPROMプログラム許可信号(EEPE)はEEPROMへのプログラミング許可信号です。EEPEが(1)を書かれると、EEPROMはEEPMMnビット設定に従ってプログラムされます。論理1がEEPEへ書かれる前にEEPROM主プログラム許可(EEMPE)ビットは1を書かれねばならず、さもなければEEPROM書き込み(消去)は行われません。書き込み(プログラミング)アクセス時間が経過されると、EEPROMプログラム許可(EEPE)ビットはハードウェアによって解除(0)されます。EEPEが設定(1)されてしまうと、次の命令が実行される前にCPUは2周期停止されます。

● **ビット0 – EERE : EEPROM読み込み許可 (EEPROM Read Enable)**

EEPROM読み込み許可信号(EERE)はEEPROMへの読み込みストローブです。EEARに正しいアドレスが設定されると、EEPROM読み出しを起動するためにEEREビットは1を書かれなければなりません。EEPROM読み出しアクセスは(その)1命令で行われ、要求したデータは直ちに利用できます。EEPROMが読まれるとき、次の命令が実行される前にCPUは4周期停止されます。使用者は読み込み操作を始める前にEEPEビットをポーリングすべきです。書き込み(プログラム)操作実行中の場合、EEPROMアドレスレジスタ(EEAR)の変更もEEPROM読み込みもできません。

5.5.4. GPIOR2 – 汎用I/Oレジスタ2 (General Purpose I/O Register 2)

ビット	7	6	5	4	3	2	1	0	
\$0C (\$2C)	(MSB)							(LSB)	GPIOR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

5.5.5. GPIOR1 – 汎用I/Oレジスタ1 (General Purpose I/O Register 1)

ビット	7	6	5	4	3	2	1	0	
\$0B (\$2B)	(MSB)							(LSB)	GPIOR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

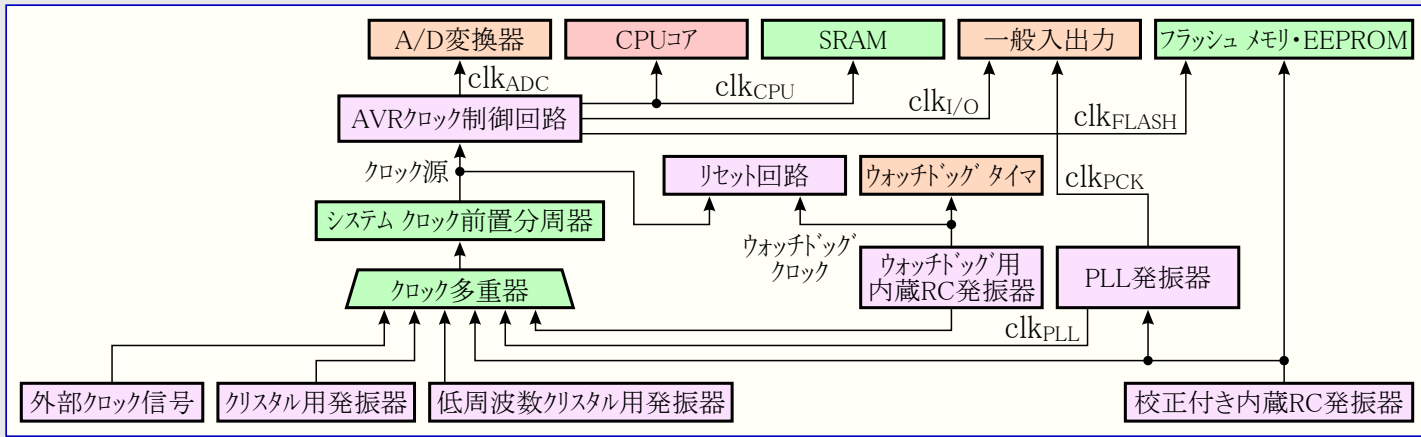
5.5.6. GPIOR0 – 汎用I/Oレジスタ0 (General Purpose I/O Register 0)

ビット	7	6	5	4	3	2	1	0	
\$0A (\$2A)	(MSB)							(LSB)	GPIOR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6. クロック体系

図6-1.はAVR内の主要なクロックシステムとその配給を示します。全てのクロックが与えられた時間有効である必要はありません。消費電力低減のため、22頁の「電力管理と休止形態」で記述される各種休止形態の使用によって、使われていない部分のクロックが停止できます。クロックシステムは以下で詳述されます。

図6-1. クロックの配給



6.1. クロック副系統

クロック副系統が以下の項で詳述されます。

6.1.1. CPU クロック - clk_{CPU}

CPUクロックはAVRコアの動作と関係する系統部分に配給されます。このような部分の例は汎用レジスタファイル、ステータスレジスタ、スタックポインタを保持するデータメモリです。CPUクロックの停止はコアが一般的な操作や計算を実行することを禁止します。

6.1.2. I/O クロック - $clk_{I/O}$

I/Oクロックはタイマ/カウンタのようなI/O部の大部分で使われます。I/Oクロックは外部割り込み部でも使われますが、いくつかの外部割り込みは例えばI/Oクロックが停止でも検出されるのをこのような割り込みに許す非同期論理回路によって検出されることに注意してください。

6.1.3. フラッシュ クロック - clk_{FLASH}

フラッシュクロックはフラッシュメモリインターフェースの動作を制御します。このフラッシュクロックは常にCPUクロックと同時に活動します。

6.1.4. A/D変換クロック - clk_{ADC}

A/D変換器には専用のクロック範囲が提供されます。これはデジタル回路によって生成される雑音を低減するためにCPUとI/Oクロックの停止を許します。これはより正確なA/D変換結果を与えます。

6.1.5. 高速周辺機能クロック - clk_{PCK}

選ばれた周辺機能はCPUコアよりも高い周波数でクロック駆動することができます。高速周辺機能クロックはチップ上のPLL回路によって生成されます。

6.1.6. PLLシステムクロック - clk_{PLL}

PLLはシステムクロックを生成するのに使えます。このクロック信号はCPUの過大クロックを避けるために前置分周することができます。

6.2. クロック元

このデバイスには右で示されるようにフラッシュヒューズビットによって選択可能な後続のクロック元選択があります。選んだクロック元からのクロックはAVRクロック発生器への入力で、適切な単位部へ配給されます。

各クロック選択に対する様々な選択は次項で得られます。CPUがパワーダウンから起動するとき、選んだクロック元は命令実行開始前に安定な発振器動作を保證する起動時間に使われます。CPUがリセットから始まる時、これらは通常動作開始前に安定電圧へ達するのを電源に許す付加遅延です。ウォッチドッグ発振器は、この起動時間の実時間部のタイミングに使われます。各計時終了に使われるウォッチドッグ(WDT)発振器の各周期数は表6-2.で示されます。

表6-1. クロック種別対PB4,PB5の機能

クロック種別	CKSEL3~0	PB4	PB5
外部クロック信号	0000	XTAL1	I/O
PLLクロック (PCK/4=16/8MHz)	0001		
校正付き内蔵RC発振器(8MHz)	0010	I/O	I/O
ウォッチドッグ発振器(128kHz)	0011		
外部低周波数水晶発振子	01xx		
外部水晶/セラミック発振子	0.4~0.9MHz	100x	
	0.9~3MHz	101x	XTAL1 XTAL2
	3~8MHz	110x	
	8~20MHz	111x	

注: 1=非プログラム、0=プログラム

表6-2. WDT発振器の代表計時終了値、周期数

代表的計時終了値	周期数
4.0ms	512
64ms	8K (8192)

6.2.1. 外部クロック信号

外部クロック元からデバイスを駆動するには、CLKIが図6-2.で示されるように駆動されるべきです。外部クロックでデバイスを走行するためには、CKSELヒューズが'0000'にプログラム(設定)されなければなりません。

このクロック元が選ばれると、起動時間は表6-3.で示されるようにSUTヒューズによって決定されます。

図6-2. 外部クロック信号駆動接続図

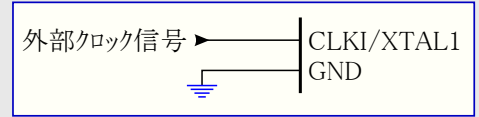


表6-3. 外部クロック信号駆動用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	6×CK	14×CK	低電圧検出(BOD)リセット許可
0 1	6×CK	14×CK+4ms	高速上昇電源
1 0	6×CK	14×CK+64ms	低速上昇電源
1 1	(予約)		

外部クロックを供給するとき、MCUの安定な動作を保証するために供給したクロック周波数の急な変化を避けることが必要とされます。或るクロック周期から次への2%より大きな周波数変化は予測されない事態を引き起こします。このようなクロック周波数での変化中、MCUはリセットに保たれるのを保証することが必要とされます。

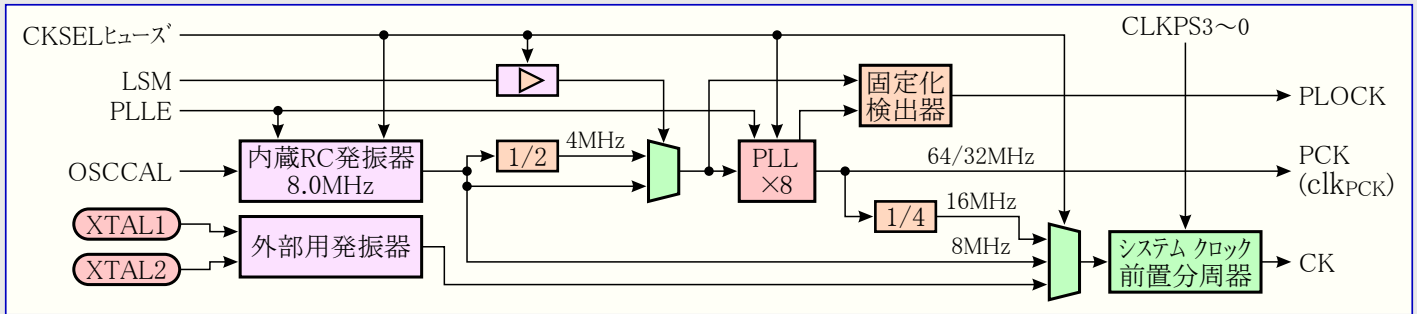
システムクロック前置分周器が安定な動作を保証しながら、内部クロック周波数の実行時変更の実現に使えることに注意してください。詳細については20頁の「システムクロック前置分周器」を参照してください。

6.2.2. 高周波数PLLクロック - PLLCLK

内部PLLは供給元入力よりも8倍高い周波数でクロック信号を生成します。PLLは供給元として内部8MHz発振器の出力を使い、既定設定は64MHzの高速周辺機能クロック信号を生成します。

高速周辺機能クロック(clkPCK)はタイマ/カウンタ用のクロック元として選ぶことができ、PLL出力の前置分周版はシステムクロックとして選ぶことができます。PLLクロック体系の詳細な図解については図6-3.をご覧ください。

図6-3. 高速周辺機能クロック(PCK)構成図



内部PLLはCKSELヒューズが'0001'に設定される時と、PLL制御/状態レジスタ(PLLCSR)のPLL許可(PLLE)ビットが設定(1)される時に許可されます。内部発振器とPLLはパワーダウンとスタンバイの休止形態でOFFに切り替えられます。

PLLCSRの低速動作(LSM)ビット設定(1)時、PLLは内部8MHz発振器出力の使用からその2分周出力の使用に切り替えます。高速周辺機能クロックの周波数は結果的に2分周され、32MHzのクロック周波数に帰着します。PLLCLKがシステムクロックとして使われる場合、LSMビットは設定することができません。

PLLが内部8MHz発振器の出力に固定化されるため、発振校正レジスタ(OSCCAL)経由の発振器調整は高速周辺機能クロックの周波数も変えず。内部発振器の周波数を8MHz以上に調整可能でも、高速周辺機能クロックは飽和し、約85MHzでの発振に留まるでしょう。この場合のPLLはもはや内部発振器クロックに固定化されていません。従ってPLLを正しい動作範囲に保つため、発振器周波数が8MHzを越えないようにOSCCALレジスタを設定することが推奨されます。

PLLCSRのPLL固定化検出(PLOCK)ビットはPLLが固定化されている時に設定(1)されます。

CKSELヒューズビットの'0001'設定は表6-4.で示されるように、システムクロックとして4分周されたPLL出力が使われます。

PLL出力がクロック元として選ばれると、起動時間は表6-5.で示されるようにSUTヒューズによって決められます。

表6-4. 高周波数PLLクロック動作種別

CKSEL3~0	公称周波数
0 0 0 1	16MHz

表6-5. 高周波数PLLクロック用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	電源ONリセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	$(1K+14) \times CK+4ms$	4ms	低電圧検出(BOD)リセット許可
0 1	$(16K+14) \times CK+4ms$	4ms	高速上昇電源
1 0	$(1K+14) \times CK+64ms$	4ms	低速上昇電源
1 1	$(16K+14) \times CK+64ms$	4ms	低速上昇電源

6.2.3. 校正付き8MHz内蔵RC発振器

既定で校正された内蔵RC発振器は概ね8MHzクロック信号を供給します。電圧と温度に依存しますが、このクロックは使用者によって高精度な校正ができます。より多くの詳細については119頁の表19-2と136頁の「内部発振器周波数」をご覧ください。本デバイスにはCKDIV8ヒューズがプログラム(0)で出荷されます。より多くの詳細については20頁の「システムクロック前置分周器」をご覧ください。

このクロックは表6-6.で示されるようにCKSELヒューズのプログラミングによってシステムクロックとして選べます。選んだなら、外部部品なしで動作します。リセット中、ハードウェアが発振校正(OSCCAL)レジスタに予めプログラムされた校正値バイトを設定し、これによってRC発振器を自動的に校正します。この校正の精度は表19-2.で工場校正として示されます。

この発振器が選ばれると、起動時間は表6-7.で示されるようにSUTヒューズによって決定されます。

表6-6. 校正付き内蔵RC発振器動作種別

CKSEL3~0	公称周波数
0 0 1 0	8.0MHz

注: デバイスはこの選択で出荷されます。

注: この8MHz周波数がデバイス仕様(VCCに依存)を越える場合、内部周波数を8分周するためにCKDIV8ヒューズをプログラム(0)にできます。

表6-7. 校正付き内蔵RC発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	$6 \times CK$	$14 \times CK$ (注1)	低電圧検出(BOD)リセット許可
0 1	$6 \times CK$	$14 \times CK+4ms$	高速上昇電源
1 0 (注2)	$6 \times CK$	$14 \times CK+64ms$	低速上昇電源
1 1	(予約)		

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は $14 \times CK+4ms$ に増やされます。

注2: デバイスはこの選択で出荷されます。

ソフトウェアからOSCCALレジスタを変更することによって(発振校正レジスタ(OSCCAL)参照)、工場校正を使うよりも高い精度を得ることができます。この校正の精度は表19-2.で使用者校正として示されます。

この発振器がチップ(システム)クロックとして使われるとき、ウォッチドッグ発振器は未だウォッチドッグタイマとリセット付加遅延タイマに使われます。予め設定された校正値のより多くの情報については108頁の「校正バイト」項をご覧ください。

6.2.4. 128kHz内部発振器

128kHz内部発振器は128kHzのクロックを供給する低電力発振器です。この周波数は供給電圧、温度、1群の変化に依存します。このクロックはCKSELヒューズを'0011'にプログラミング(設定)することによってシステムクロックとして選べます。

このクロック元が選ばれると、起動時間は表6-8.で示されるようにSUTヒューズによって決定されます。

表6-8. 128kHz内部発振器用起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間	推奨使用法
0 0	$6 \times CK$	$14 \times CK$ (注1)	低電圧検出(BOD)リセット許可
0 1	$6 \times CK$	$14 \times CK+4ms$	高速上昇電源
1 0	$6 \times CK$	$14 \times CK+64ms$	低速上昇電源
1 1	(予約)		

注1: RSTDISBLヒューズがプログラム(0)されると、プログラミング動作への移行可を保証するため、付加遅延時間は $14 \times CK+4ms$ に増やされます。

6.2.5. 低周波数クリスタル用発振器

デバイスに対するクロック元として時計用32.768kHzクリスタルを使うには、CKSEL3~0ヒューズの'0100'設定によって低周波数クリスタル発振器が選ばれなければなりません。クリスタルは図6-4.で示されるように接続されるべきです。32.768kHzクリスタル用の適当な負荷容量を探すには製造業者のデータシートを調べてください。

この発振器が選ばれると、起動遅延時間は表6-9.で示されるSUTヒューズによって決定されます。

表6-9. 低周波数クリスタル発振器起動遅延時間選択表

SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0 0	1K×CK (注1)	4ms	高速上昇電源または低電圧検出(BOD)リセット許可
0 1	1K×CK (注1)	64ms	低速上昇電源
1 0	32K×CK	64ms	起動時の周波数安定
1 1	(予約)		

注1: これらの選択は起動での周波数安定性が重要でない場合に使われるべきです。

低周波数クリスタル用発振器は各XTALピンに於いて表6-10.で見られる内部負荷容量を提供します。

表6-10. 低周波数クリスタル用発振器内部容量

32kHz発振器形式	容量 (pF)	
	XTAL1	XTAL2
システム クロック用発振器	16	6

6.2.6. クリスタル/セラミック用発振器

XTAL1とXTAL2は図6-4.で示されるように、チップ上の発振器としての使用に設定できる反転増幅器の各々、入力と出力です。クリスタル発振子またはセラミック振動子のどちらでも使えます。

C1とC2はクリスタル発振子とセラミック振動子の両方について常に等しくすべきです。このコンデンサの最適値は使うクリスタル発振子やセラミック振動子、浮遊容量の量、その環境の電磁雑音に依存します。クリスタル発振子使用に対するコンデンサ選択について初期の指針のいくつかは表6-11.で与えられます。セラミック振動子については製造業者によって与えられたコンデンサ値が使われるべきです。

発振器は示された周波数範囲で最適化された4つの異なる動作ができます。この動作は、表6-11.で示されたCKSEL3~1ヒューズによって選ばれます。

図6-4. クリスタル発振子接続図

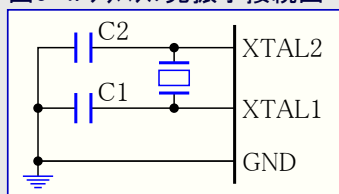


表6-11. クリスタル用発振器動作

CKSEL3~1	周波数範囲	推奨C1,2容量
100 (注1)	0.4~0.9MHz	-
101	0.9~3.0MHz	12~22pF
110	3.0~8.0MHz	12~22pF
111	8.0~ MHz	12~22pF

注1: 本選択はクリスタル発振子ではなく、セラミック振動子でのみ使われるべきです。

CKSEL0ヒューズはSUT1,0ヒューズと共に、表6-12.で示される起動遅延時間を選びます。

表6-12. クリスタル発振子/セラミック振動子用起動遅延時間選択表

CKSEL0	SUT1,0	パワーダウンからの起動遅延時間	リセットからの付加遅延時間 (VCC=5.0V)	推奨使用法
0	0 0	258×CK (注1)	14×CK+4ms	外部セラミック振動子、高速上昇電源
	0 1	258×CK (注1)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	1 0	1K×CK (注2)	14×CK	外部セラミック振動子、低電圧検出(BOD)リセット許可
	1 1	1K×CK (注2)	14×CK+4ms	外部セラミック振動子、高速上昇電源
1	0 0	1K×CK (注2)	14×CK+64ms	外部セラミック振動子、低速上昇電源
	0 1	16K×CK	14×CK	外部クリスタル発振子、低電圧検出(BOD)リセット許可
	1 0	16K×CK	14×CK+4ms	外部クリスタル発振子、高速上昇電源
	1 1	16K×CK	14×CK+64ms	外部クリスタル発振子、低速上昇電源

注1: これらの選択はデバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合だけ使われるべきです。これらの選択はクリスタル発振子用ではありません。

注2: これらの選択はセラミック振動子での使用を意図され、起動での周波数安定性を保証します。デバイスの最高周波数付近での動作でないとき、応用にとって起動での周波数安定性が重要でない場合はクリスタル発振子も使えます。

6.2.7. 既定のクロック元

このデバイスはCKSEL=0010, SUT=10, CKDIV8=プログラム(0)で出荷されます。従って既定クロック元設定は最長起動時間の8MHzで走行する内蔵RC発振器、8で前置分周する初期システムクロックで、1.0MHzのシステムクロックになります。この既定設定は全ての使用者が実装または高電圧書き込み器を使って、それらを希望したクロック元設定にできることを保証します。

低電圧デバイス(ATtiny261V/461V/861V)に関しては、CKDIV8ヒューズの非プログラム(1)がオーバークロックに帰着するかもしれないことに注意すべきです。(2.7V以下の)低電圧に於いてデバイスは最大4MHz動作と評価されますが(119ページの「速度」項をご覧ください)、内部発振器からのクロック信号を直接システムクロックに配線することはデバイスを8MHzで動かします。

6.3. システムクロック前置分周器

ATtiny261/461/861のシステムクロックはクロック前置分周レジスタ(CLKPR)の設定によって分周できます。この特徴(機能)は必要とされる処理能力が低い時の消費電力削減に使えます。これは全クロック種別で使え、CPUと全同期周辺機能のクロック周波数に影響を及ぼします。clkCPU、clkFLASH、clkI/O、clkADCは表6-13で示された値によって分周されます。

6.3.1. 切り替え時間

前置分周器設定間を切り替えるとき、システムクロック前置分周器は中間(経過途中)の周波数が直前の設定に対応するクロック周波数または新規設定に対応するクロック周波数のどちらよりも高くなく、クロック系で不具合が起きないことを保証します。

前置分周器として実行するリプルカウンタは分周されないクロック周波数で走行し、CPUのクロック周波数より速いかもしれません。従って例え(カウンタ値が)読めるとしても、前置分周器の状態を決めることはできず、1から他へのクロック分周値切り替えを行う正確な時間は必ずしも予測できません。

CLKPS値が書かれる時から新規クロック周波数が活性(有効)になる前にT1+T2~T1×2×T2間かかります。この間で2つの有効なクロック端が生成されます。ここでのT1は直前のクロック周期、T2は新規前置分周器設定に対応する周期です。

6.4. クロック出力緩衝部(外部クロック出力)

本デバイスは(XTAL2ピンとして使わない時に)システムクロックをCLKOピンに出力できます。この出力を許可するにはCKOUTヒューズがプログラム(0)されなければなりません。この動作はチップのクロックがシステム上の他の回路を駆動する時用です。このヒューズがプログラム(0)された時にI/Oピンの標準動作が無視され、このクロックがリセット中に出力されないことに注意してください。クロックがCLKOに出力される時に校正付き内蔵RC発振器、WDT発振器、PLL、外部クロック(CLKD)を選べます。システムクロック前置分周器が使われた場合、出力されるのは分周したシステムクロックです。

6.5. クロック関係レジスタ

6.5.1. OSCCAL – 発振校正レジスタ (Oscillator Calibration Register)

ビット	7	6	5	4	3	2	1	0	
\$31 (\$51)	CAL7	CAL6	CAL5	CAL4	CAL3	CAL2	CAL1	CAL0	OSCCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	デバイス固有の校正值								

● ビット7~0 – CAL7~0 : 発振校正值 (Oscillator Calibration Value)

発振校正レジスタは発振器周波数の偏差処理を省くための内蔵発振器の調整に使われます。チップのリセット中、119ページの表19-2で指定されるように工場で校正された周波数を与える、予めプログラムされた値が本レジスタへ自動的に書かれます。応用ソフトウェアは発振器周波数を変更するために、このレジスタに書くことができます。この発振器は表19-2で指定される周波数に校正できます。この範囲外への校正は推奨されません。

この発振器はフラッシュメモリとEEPROMの書き込みアクセス時間に使われ、これらの書き込み時間はそれに依って影響されることに注意してください。フラッシュメモリまたはEEPROMが書かれる場合、8.8MHzより高く校正してはいけません。そうでなければ、フラッシュメモリまたはEEPROM書き込みは失敗するかもしれません。

CAL7ビットは発振器に関する操作範囲を決めます。このビットの(0)設定は低周波数範囲になり、(1)設定は高周波数範囲になります。この2つの周波数範囲は重複し、別の言葉では、OSCCAL=\$7F設定はOSCCAL=\$80設定より高い周波数になります。

CAL6~0ビットは選んだ範囲内の周波数調整に使われます。\$00設定はその範囲の最低周波数になり、\$7F設定はその範囲の最高周波数になります。

6.5.2. CLKPR – クロック前置分周レジスタ (Clock Prescale Register)

ビット	7	6	5	4	3	2	1	0	
\$28 (\$48)	CLKPCE	–	–	–	CLKPS3	CLKPS2	CLKPS1	CLKPS0	CLKPR
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

● ビット7 – CLKPCE : クロック分周値変更許可 (Clock Prescaler Change Enable)

CLKPSビットの変更を許可するためにCLKPCEビットは論理1を書かれなければなりません。CLKPCEビットは同時にCLKPRの他の全ビットが0を書かれる時だけ更新されます。CLKPCEは書き込み後4クロック周期またはCLKPSビット書き込み時、ハードウェアによって解除(0)されます。この制限時間(4クロック周期)内のCLKPCEビット再書き込みは制限時間の延長もCLKPCEビットの解除(0)も行いません。

● ビット6~4 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット3~0 – CLKPS3~0 : クロック分周値選択 (Clock Prescaler Select Bits 3~0)

これらのビットは選んだクロック元と内部システムクロック間の分周値を定義します。これらのビットは応用の必要条件に合わせた各種クロック周波数を実行時に書けます。分周値が使われると、分周器はMCUへの主クロックを分周し、全ての同期周辺機能の速度が減じられます。分周値は表6-13.で与えられます。

予期せぬクロック周波数の変更を防ぐため、CLKPSビットの変更は次の特別な書き込み手順に従わなければなりません。

1. クロック分周値変更許可(CLKPCE)ビットに1、CLKPR内の他の全ビットに0を書きます。
2. (次からの)4周期以内にCLKPCEビットを0とする欲したCLKPS値を書きます。

前置分周器設定変更時、書き込み手続きが割り込まれないことを保証するため、割り込みは禁止されなければなりません。

CKDIV8ヒューズがCLKPSビットの初期値を決めます。CKDIV8が非プログラム(1)にされると、CLKPSビットは'0000'にリセットされます。CKDIV8がプログラム(0)されると、CLKPSビットは起動時に8分周を与える'0011'にリセットされます。現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、この機能が使われるべきです。CKDIV8ヒューズ設定に拘らず、どの値もCLKPSビットへ書けることに注意してください。応用ソフトウェアは現在の動作条件でデバイスの最高周波数より高い周波数のクロック元を選んだ場合、十分な分周値が選ばれることを保証しなければなりません。このデバイスはCKDIV8ヒューズがプログラム(0)で出荷されます。

表6-13. クロック前置分周器選択

CLKPS3	0								1							
	0				1				0				1			
CLKPS2	0		1		0		1		0		1		0		1	
CLKPS1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
CLKPS0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
分周値(数)	1	2	4	8	16	32	64	128	256	(予約)						

7. 電力管理と休止形態

高機能と産業的に先行するコスト効率は低電力の応用に対してAVRマイクロコントローラを理想的に選ばせます。

休止形態は応用でMCU内の未使用部を一時停止することを可能にし、それによって節電します。AVRは応用で必要な消費電力に仕立てることを使用者に許す様々な休止形態を提供します。

7.1. 休止形態種別

16頁の図6-1はATtiny261/461/861の各種クロック系統とその配給を示します。この図は適切な休止形態選択を手助けします。表7-1は各種休止形態、起動元を示します。

表7-1. 各休止形態に於ける動作クロック範囲と復帰起動要因

休止種別	動作クロック範囲						発振器 主クロック 供給元 許可	復帰起動要因 (割り込み)					
	clk CPU	clk FLASH	clk IO	clk ADC	clk PCK	clk PLL		INT0 ピン変化	SPM/ EEPROM 操作可	USI 開始条件	A/D変換 完了	ウォッチ ドッグ	その他 I/O
アイドル			○	○	○	②	○	○	○	○	○	○	○
A/D変換雑音低減				○		②	○	①	○	○	○	○	
パワーダウン								①		○		○	
スタンバイ								①		○		○	

① INT0とINT1についてはレベル割り込みだけです。

② PLLがシステムクロックとして選ばれている時です。

4つの休止形態の何れかへ移行するにはMCU制御レジスタ(MCUCR)の休止許可(SE)ビットが論理1を書かれ、SLEEP命令が実行されなければなりません。MCUCRの休止種別選択(SM1,0)ビットはSLEEP命令によって活性(有効)にされる休止形態(アイドル、A/D変換雑音低減、パワーダウン)のどれかを選びます。一覧については表7-2をご覧ください。

MCUが休止形態中に許可した割り込みが起ると、MCUは起動します。その時にMCUは起動時間に加えて4周期停止され、割り込みルーチンを実行し、そしてSLEEP命令の次の命令から実行を再開します。デバイスが休止から起動するとき、レジスタファイルとSRAMの内容は変えられません。休止形態中にリセットが起ると、MCUは起動し、リセットベクタから実行します。

レベルで起動した割り込みが起動復帰に使われる場合、MCUを起動(とMCUがその割り込み処理ルーチンへ移行)するには、変更したレベルが一定時間保持されなければならないことに注意してください。詳細については31頁の「外部割り込み」を参照してください。

7.1.1. アイドル動作

休止種別選択(SM1,0)ビットが'00'を書かれるとき、SLEEP命令はMCUをアイドル動作へ移行させ、CPUを停止しますが、A/D変換器、アナログ比較器、USI、タイマ/カウンタ、ウォッチドッグ、割り込み機構の継続動作を許します。この休止形態は基本的にclkCPUとclkFLASHを停止する一方、他のクロックに走行を許します。

アイドル動作はMCUにタイマ溢れなどの内部割り込みだけでなく、外部で起動された割り込みからの起動も可能にします。アナログ比較器割り込みからの起動が必要とされないなら、アナログ比較器制御/状態レジスタA(ACSR)のアナログ比較器禁止(ACD)ビットを設定(1)することによってアナログ比較器を電源断にできます。これはアイドル動作での消費電力を削減します。A/D変換が許可されるなら、この動作に移行すると変換が自動的に始まります。

7.1.2. A/D変換雑音低減動作

SM1,0ビットが'01'を書かれるとき、SLEEP命令はMCUをA/D変換雑音低減動作へ移行させ、CPUを停止しますが、A/D変換器、USI、外部割り込み、ウォッチドッグの(許可されていれば)継続動作を許します。この休止形態は基本的にclkI/O、clkCPU、clkFLASHを停止する一方、他のクロックに走行を許します。

この動作はA/D変換に対する雑音環境を改善し、より高い分解能の測定を可能にします。A/D変換器が許可されている場合、この動作に移行すると、変換が自動的に始まります。A/D変換完了割り込みからの他、外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、SPM/EEPROM操作可割り込み、INT0,1の外部レベル割り込み、ピン変化割り込みだけが、A/D変換雑音低減動作からMCUを起動できます。

7.1.3. パワーダウン動作

SM1,0ビットが'10'を書かれると、SLEEP命令はMCUをパワーダウン動作へ移行させます。この動作では発振器が停止される一方、外部割り込み、USI開始条件検出、ウォッチドッグ機能は(許可されていれば)継続して動作します。外部リセット、ウォッチドッグリセット、低電圧検出(BOD)リセット、USI開始条件検出、INT0,1の外部レベル割り込み、ピン変化割り込みだけがMCUを起動できます。この休止形態は生成した全てのクロックを停止し、非同期部の動作だけを許します。

7.1.4. スタンバイ動作

外部クリスタル発振子/セラミック振動子クロック種別が選ばれ、且つSM1,0ビットが'11'のとき、SLEEP命令はMCUをスタンバイ動作へ移行させます。この動作は(外部クリスタル用)発振器が走行(動作)を保たれる例外を除いてパワーダウン動作と同じです。デバイスはスタンバイ動作から6クロック周期で起動します。

7.2. 電力削減

電力削減レジスタ(PRR)は消費電力を削減するために個別周辺機能へのクロックを停止する方法を提供します。周辺機能は現状で固定化され、I/Oレジスタは読み込みも書き込みもできません。クロックを停止している時に周辺機能によって使われていた資源は占有されたままなので、その周辺機能は殆どの場合、クロックを停止する前に禁止されるべきです。周辺機能部の起動は電力削減レジスタ(PRR)のビットを解除(0)することによって行い、その周辺機能部を停止前と同じ状態にします。

周辺機能部の停止は全体に亘る重要な消費電力削減のために活動動作とアイドル動作で使えます。その他の休止形態では予めクロックが停止されます。例については124頁の「[周辺機能部供給電流](#)」をご覧ください。

7.3. 消費電力の最小化

これらはAVRが制御するシステムで消費電力の最小化を試みる時に考慮するためのそれぞれの検討点です。一般的に休止形態は可能な限り多く使われるべきで、休止種別は動作するデバイスの機能が可能な限り少なくなるように選ばれるべきです。必要とされない全ての機能は禁止されるべきです。特に次の機能部は最低可能消費電力の達成を試みるとき、特別な考慮を必要とすでしょう。

7.3.1. A/D変換器 (ADC)

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、休止形態の何れかへ移行する前にA/D変換器は禁止されるべきです。A/D変換器がOFF、そして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については91頁の「[A/D変換器](#)」を参照してください。

7.3.2. アナログ比較器

アイドル動作へ移行するとき、アナログ比較器は使われないなら、禁止されるべきです。A/D変換雑音削減動作へ移行するとき、アナログ比較器は禁止されるべきです。その他の休止形態でのアナログ比較器は自動的に禁止されます。しかしアナログ比較器が入力として内部基準電圧を使う設定の場合、全休止形態でアナログ比較器は禁止されるべきです。さもなければ内部基準電圧は休止形態と無関係に許可されます。アナログ比較器設定法の詳細については88頁の「[アナログ比較器](#)」を参照してください。

7.3.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODLEVELヒューズによって許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。低電圧検出器(BOD)設定法の詳細については26頁の「[低電圧検出 \(BOD\)](#)」を参照してください。

7.3.4. 内部基準電圧

内部基準電圧は低電圧検出器(BOD)、アナログ比較器、A/D変換器によって必要とされる時に許可されます。これら単位部が上の項目で記述されたように禁止されると、内部基準電圧は禁止され、電力を消費しません。再び許可する場合、この出力が使われる前に使用者は基準電圧へ起動(安定時間)を与えなければなりません。基準電圧が休止形態でON保持される場合、この出力は直ちに使えます。起動時間の詳細については27頁の「[内部基準電圧](#)」を参照してください。

7.3.5. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。これはより深い休止形態での総消費電流にとって重要な一因になります。ウォッチドッグ タイマ設定法の詳細については27頁の「[ウォッチドッグ タイマ](#)」を参照してください。

7.3.6. ポートピン

休止形態へ移行するとき、全てのポートピンは最小電力使用に設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。I/Oクロック(clkI/O)とA/D変換クロック(clkADC)の両方が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。いくつかの場合で入力論理回路は起動条件を検出するために必要とされ、その時は許可されます。どのピンが許可されるかの詳細については36頁の「[デジタル入力許可と休止形態](#)」を参照してください。入力緩衝部が許可され、入力信号が浮いている状態のままか、またはアナログ信号電圧がVCC/2付近の場合、入力緩衝部は過大な電力を消費するでしょう。

アナログ入力ピンに対するデジタル入力緩衝部は常に禁止されるべきです。入力ピンでのVCC/2付近のアナログ信号入力は活動動作でも重要な電流を引き起こし得ます。デジタル入力緩衝部はデジタル入力禁止レジスタ0(DIDR0)の書き込みによって禁止できます。詳細については90頁と100頁の「[DIDR0 - デジタル入力禁止レジスタ0](#)」と「[DIDR1 - デジタル入力禁止レジスタ1](#)」を参照してください。

7.4. 電力管理用レジスタ

7.4.1. MCUCR – MCU制御レジスタ (MCU Control Register)

このMCU制御レジスタは電力管理用の制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	PUD	SE	SM1	SM0	–	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット5 – SE : 休止許可 (Sleep Enable)**

SLEEP命令が実行される時にMCUを休止形態へ移行させるには、休止許可(SE)ビットが論理1を書かれなければなりません。MCUの目的外休止形態移行を避けるため、SLEEP命令実行直前に休止許可(SE)ビットを設定(1)し、起動後直ちに解除(0)することが推奨されます。

- **ビット4,3 – SM1,0 : 休止種別選択 (Sleep Mode Select Bits 1 and 0)**

これらのビットは表7-2.で示される利用可能な4つの休止形態の1つを選びます。

表7-2. 休止形態種別選択

SM1	SM0	休止形態種別
0	0	アイドル動作
0	1	A/D変換雑音低減動作
1	0	パワーダウン動作
1	1	スタンバイ動作

- **ビット2 – Res : 予約 (Reserved)**

このビットは予約されており、常に0として読みます。

7.4.2. PRR – 電力削減レジスタ (Power Reduction Register)

電力削減レジスタは周辺機能のクロック信号の禁止を許すことによって消費電力削減の方法を提供します。

ビット	7	6	5	4	3	2	1	0	
\$36 (\$56)	–	–	–	–	PRTIM1	PRTIM0	PRUSI	PRADC	PRR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット3 – PRTIM1 : タイマ/カウンタ1電力削減 (Power Reduction Timer/Counter1)**

このビットへの1書き込みはタイマ/カウンタ1部を停止します。タイマ/カウンタ1が許可されると、停止前と同様に動作は継続します。

- **ビット2 – PRTIM0 : タイマ/カウンタ0電力削減 (Power Reduction Timer/Counter0)**

このビットへの1書き込みはタイマ/カウンタ0部を停止します。タイマ/カウンタ0が許可されると、停止前と同様に動作は継続します。

- **ビット1 – PRUSI : 多用途直列インターフェース電力削減 (Power Reduction USI)**

このビットへの1書き込みはその部分へのクロック停止によって多用途直列インターフェース(USI)を停止します。USIの再起動時、USIは正しい動作を保証するために再初期化されるべきです。

- **ビット0 – PRADC : A/D変換器電力削減 (Power Reduction ADC)**

このビットへの1書き込みはA/D変換器(ADC)を停止します。A/D変換器は停止前に禁止されなければなりません。A/D変換器停止時、アナログ比較器はADC入力切替器を使えません。

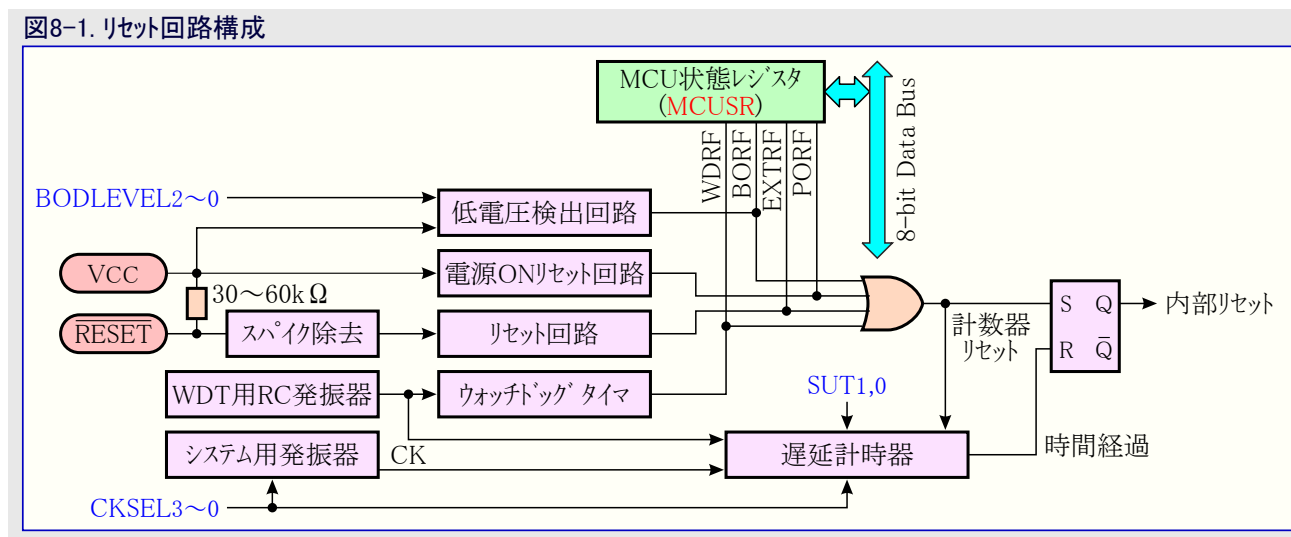
注: アナログ比較器は90頁の「ACSRA – アナログ比較器 制御/状態レジスタ」のアナログ比較器禁止(ACD)ビットを使うことで禁止されます。

(訳注: 共通性から本注追加)

8. システム制御とリセット

8.0.1. AVRのリセット

リセット中、全てのI/Oレジスタはそれらの初期値に設定され、プログラムはリセットベクタから実行を開始します。リセットベクタに配置される命令は、きっとリセット処理ルーチンへの無条件相対分岐(RJMP)命令でしょう。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードが配置できます。図8-1の回路構成図はリセット論理回路を示します。リセット回路の電気的特性は120頁の表19-4.で与えられます。



AVRのI/Oポートはリセット元が有効になると直ちにそれらの初期状態にリセットされます。これはどのクロック元の走行も必要ありません。全てのリセット元が無効にされてしまった後、遅延計数器(タイマ)が始動され、内部リセットを引き伸ばします。これは通常動作開始前に安定電圧へ達することを電源に許します。遅延タイマの遅延時間はSUTヒューズとCKSELヒューズを通して使用者によって定義されます。この遅延時間についての各種選択は16頁の「クロック元」で示されます。

8.1. リセット元

ATtiny261/461/861には次の4つのリセット元があります。

- **電源ONリセット** …… 供給電圧が電源ONリセット閾値電圧(V_{POA})以下でMCUがリセットされます。
- **外部リセット** …… RESETピンが最小パルス幅以上Lowレベルに保たれると、MCUがリセットされます。
- **ウォッチドッグリセット** …… ウォッチドッグリセット動作が許可され、ウォッチドッグタイマが終了すると、MCUがリセットされます。
- **低電圧リセット** …… 低電圧検出器(BOD)が許可され、供給電圧(V_{CC})が低電圧検出電圧(V_{BOT})以下でMCUがリセットされます。

8.1.1. 電源ONリセット

電源ONリセット(POR)パルスはチップ上の検出回路によって生成されます。検出電圧は120頁の「システムとリセットの特性」で定義されます。POR信号はVCCが検出電圧以下の時は必ず活性(有効)にされます。POR回路は供給電圧異常検出は勿論、始動リセットの起動にも使えます。

電源ONリセット回路はデバイスが電源投入でリセットされることを保証します。電源ONリセット閾値電圧への到達はVCCの上昇後にデバイスがどのくらいリセットを保つかを決める遅延計数器(タイマ)を起動します。VCCがこの検出電圧以下に低下すると、リセット信号はどんな遅延もなく再び有効にされます。

図8-2. 内蔵電源ONリセット ($\overline{\text{RESET}}$ はVCCに接続)

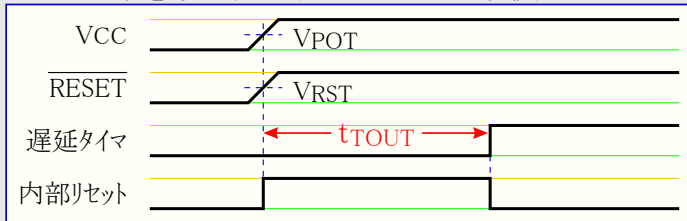
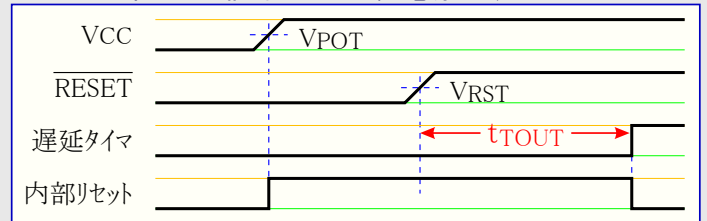


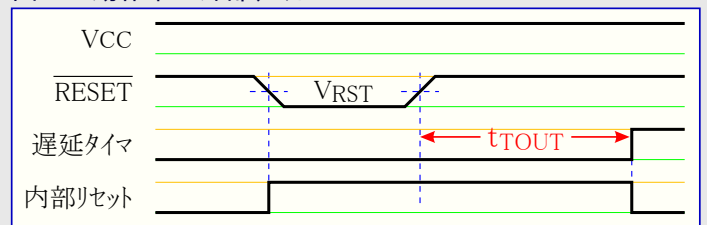
図8-3. 外部RESET信号による延長電源ONリセット



8.1.2. 外部リセット

外部リセットはRESETピンのLowレベルによって生成されます。クロックが動いていなくても、最小パルス幅(120頁の「システムとリセットの特性」参照)以上のリセットパルスはリセットを生成します。短すぎるパルスはリセット生成が保証されません。印加された信号の上昇がリセット閾値電圧(V_{RST})に達すると(遅延タイマを起動し)、遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

図8-4. 動作中の外部リセット



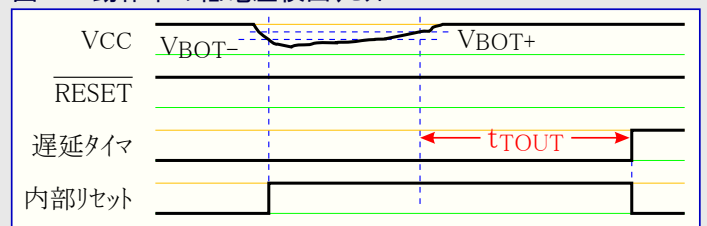
8.1.3. 低電圧(ブラウンアウト)検出リセット

ATtiny261/461/861には固定化された起動(検出)電圧と比較することで動作中のVCCを監視するチップ上の低電圧検出(BOD)回路があります。BODの起動電圧はBODLEVELヒューズによって選択できます。この起動電圧はスパイク対策BODを保証するためにヒステリシスを持ちます。検出電圧のヒステリシスはV_{BOT+}=V_{BOT}+V_{HYST}/2、V_{BOT-}=V_{BOT}-V_{HYST}/2と解釈されるべきです。

BODが許可され、VCCが起動電圧以下に下降すると(図8-5のV_{BOT-})、低電圧リセットが直ちに有効とされます。VCCが起動電圧以上に上昇すると(図8-5のV_{BOT+})、(遅延タイマが起動され)遅延タイマは遅延時間(t_{TOUT})経過後にMCUを始動します。

BOD回路は電圧が120頁の「システムとリセットの特性」で与えられるt_{BOD}時間より長く起動電圧以下に留まる場合のみ、VCCでの低下を検出します。

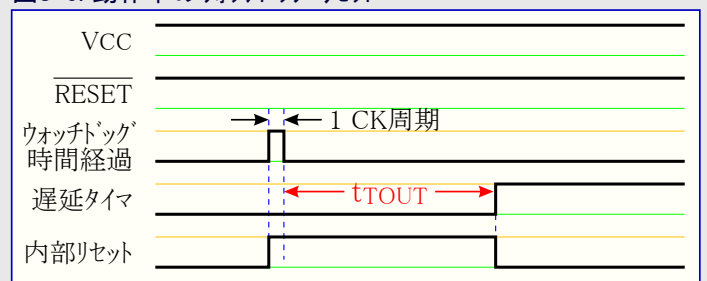
図8-5. 動作中の低電圧検出リセット



8.1.4. ウォッチドッグ リセット

ウォッチドッグ時間経過時、(内部的に)1CK周期幅の短いリセットパルスを生成します。このパルスの下降端で遅延タイマは遅延時間(t_{TOUT})の計時を始めます。ウォッチドッグタイマ操作の詳細については27頁を参照してください。

図8-6. 動作中のウォッチドッグ リセット



8.2. 内部基準電圧

ATtiny261/461/861は内部基準電圧が特徴です。この基準電圧は低電圧検出(BOD)に使われ、A/D変換やアナログ比較器の入力としても使えます。バントギャップ電圧は136頁の図20-36.で見られるように、供給電圧と温度で変化します。

8.2.1. 基準電圧許可信号と起動時間

基準電圧には使われるべき方法に影響を及ぼすかもしれない起動時間があります。この起動時間は、120頁の「システムとリセットの特性」で与えられます。節電のために、この基準電圧は常にONではありません。この基準電圧は次の状態中ONです。

1. 低電圧検出リセット許可時 (BODLEVELヒューズのプログラム(0)により)
2. アナログ比較器基準電圧接続時 (アナログ比較器制御/状態レジスタ(ACSR)の基準電圧入力選択(ACBG)=1)
3. A/D変換部動作許可時 (A/D変換制御/状態レジスタ(ADCSRA)のA/D動作許可(ADEN)=1)

従って低電圧検出(BOD)が許可されていないと、ACBGの設定(=1)またはA/D変換部許可(ADEN=1)後、使用者はアナログ比較器またはA/D変換器出力が使われる前に基準電圧へ起動時間を与えなければなりません。パワーダウン動作での消費電力を減らすため、使用者はパワーダウン動作へ移行する前に基準電圧がOFFされるのを保証することで上の3つの状態を避けられます。

8.3. ウォッチドッグ タイマ

ウォッチドッグ タイマは128kHzで動く独立したチップ上の発振器からクロック駆動されます。ウォッチドッグ タイマ前置分周器の制御により、ウォッチドッグ リセット間隔は29頁の表8-3.で示されるように調整できます。ウォッチドッグ リセット(WDR)命令はウォッチドッグ タイマをリセットします。ウォッチドッグ タイマはそれが禁止される時とチップ リセットが起こる時もリセットされます。このリセット周期を決めるのに10種の異なるクロック周期を選べます。別のウォッチドッグ リセットなしにリセット周期が経過すると、ATtiny261/461/861はリセットしてリセットベクタから実行します。ウォッチドッグ リセットの詳細タイミングについては29頁の表8-3.を参照してください。

ウォッチドッグ タイマはリセットの代わりに割り込みを生成する設定にもできます。これはパワーダウン動作から起動するのにウォッチドッグを使う時に大変有用となり得ます。

予期せぬウォッチドッグ禁止や予期せぬ計時終了周期変更を防ぐため、2つの異なる安全基準が表8-1.で示されるWDTONヒューズによって選ばれます。詳細については次の「ウォッチドッグ タイマ設定変更の時間制限手順」を参照してください。

図8-7. ウォッチドッグ タイマ構成図 (訳注:内容に合せ修正)

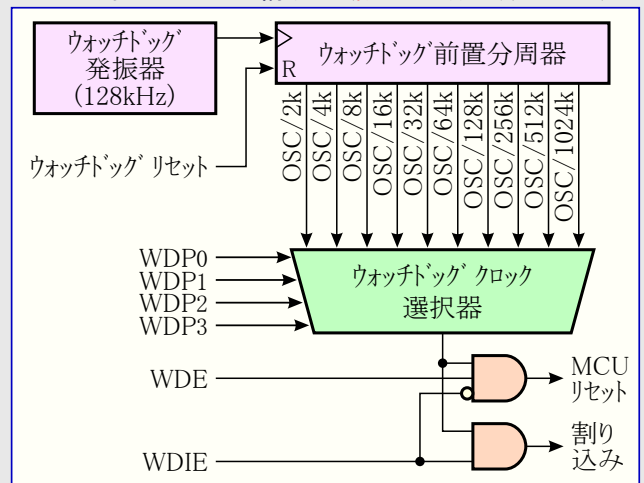


表8-1. WDTONヒューズ設定によるウォッチドッグ機能設定

WDTON ヒューズ	安全基準	WDT初期状態	WDT禁止方法	計時完了時間変更方法
非プログラム(1)	1	禁止	時間制限	なし(常時可)
プログラム(0)	2	許可	なし(常時許可)	時間制限

8.3.1. ウォッチドッグ タイマ設定変更の時間制限手順

ウォッチドッグ設定変更手順は安全基準間で僅かに異なります。各レベルに対して独立した手順が記述されます。

8.3.1.1. 安全基準1

この動作種別ではウォッチドッグ タイマが初めに禁止されますが、どんな制限もなくウォッチドッグ許可(WDE)ビットに1を書くことにより許可できます。許可したウォッチドッグ タイマを禁止する時に時間制限手順が必要とされます。許可したウォッチドッグ タイマを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)でウォッチドッグ変更許可(WDCE)とウォッチドッグ許可(WDE)に論理1を書きます。WDEビットの直前の値に拘らず、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDEとウォッチドッグ タイマ前置分周選択(WDP3~0)ビットを書きますが、WDCEビットは解除(0)されてです。

8.3.1.2. 安全基準2

この動作種別ではウォッチドッグ タイマが常に許可され、WDEビットは常に1として読みます。時間制限手順はウォッチドッグ計時完了周期を変更する時に必要とされます。ウォッチドッグ計時完了周期を変更するには次の手順に従わなければなりません。

1. 同じ操作(命令)でWDCEとWDEに論理1を書きます。WDEビットが常に設定(1)されていても、WDEは時間制限手順を開始するために1を書かれなければなりません。
2. 次からの4クロック周期内に同じ操作(命令)で欲したWDP2~0ビットを書きますが、WDCEビットは解除(0)されてです。WDEビットに書かれた値は無関係です。

8.3.2. コード例

次のコード例はウォッチドッグ(WDT)をOFFに切り替えるアセンブリ言語とC言語の関数を示します。本例は(例えば全割り込み禁止によって)割り込みが制御され、それ故これらの関数実行中に割り込みが起きない前提です。

```

アセンブリ言語プログラム例
WDT_OFF:      WDR                ;ウォッチドッグ タイマ リセット
              LDI      R16, (0<<WDRF) ;WDRF=0値を取得
              OUT      MCUSR, R16     ;MCUSRのWDRFを解除(0)
              IN       R16, WDTCR     ;現WDTCR値を取得
              ORI      R16, (1<<WDCE) | (1<<WDE) ;WDCEとWDE論理1値を設定
              OUT      WDTCR, R16    ;WDCEとWDEに論理1書き込み
              LDI      R16, (0<<WDE) ;WDE論理0値を取得
              OUT      WDTCR, R16    ;ウォッチドッグ禁止
              RET                    ;呼び出し元へ復帰

C言語プログラム例
void WDT_off(void)
{
    _WDR(); ; /* ウォッチドッグ タイマ リセット */
    MCUSR = 0x00; ; /* MCUSRのWDRFを解除(0) */
    WDTCR |= (1<<WDCE) | (1<<WDE); ; /* WDCEとWDEに論理1書き込み */
    WDTCR = 0x00; ; /* ウォッチドッグ禁止 */
}

```

注: 5頁の「コード例」をご覧ください。

8.4. リセット関係レジスタ

8.4.1. MCUSR – MCU状態レジスタ (MCU Status Register)

MCU状態レジスタはどのリセット元がMCUリセットを起こしたかの情報を提供します。

ビット	7	6	5	4	3	2	1	0	
\$34 (\$54)	–	–	–	–	WDRF	BORF	EXTRF	PORF	MCUSR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	内容参照	内容参照	内容参照	内容参照	

- **ビット7~4 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)**

このビットはウォッチドッグ リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット2 – BORF : 低電圧リセット フラグ (Brown-Out Reset Flag)**

このビットは低電圧リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)**

このビットは外部リセットが起こると設定(1)されます。このビットは電源ONリセットまたは、このフラグへの論理0書き込みによってリセット(0)されます。

- **ビット0 – PORF : 電源ONリセット フラグ (Power-on Reset Flag)**

このビットは電源ONリセットが起こると設定(1)されます。このビットはこのフラグへの論理0書き込みによってのみリセット(0)されます。

リセット条件の確認にリセット フラグを使うため、使用者はプログラム内で可能な限り早くMCUSRを読み、そして解除(0)すべきです。別のリセットが起こる前にこのレジスタが解除(0)されると、そのリセット元はリセット フラグを調べることによって得られます。

8.4.2. WDTCR – ウォッチドッグ タイム制御レジスタ (Watchdog Timer Control Register)

ビット	7	6	5	4	3	2	1	0	
\$21 (\$41)	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	WDTCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	不定	0	0	0	

● ビット7 – WDIF : ウォッチドッグ割り込み要求フラグ (Watchdog Interrupt Flag)

ウォッチドッグ タイムが割り込みに設定され、ウォッチドッグ タイムで計時完了が起こると、本ビットが設定(1)されます。対応する割り込み処理ベクタを実行すると、WDIFはハードウェアによって解除(0)されます。代わりにWDIFはこのフラグへの論理1書き込みによっても解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとウォッチドッグ割り込み許可(WDIE)が設定(1)されていれば、ウォッチドッグ計時完了割り込みが実行されます。

● ビット6 – WDIE : ウォッチドッグ割り込み許可 (Watchdog Interrupt Enable)

このビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、ウォッチドッグ割り込みが許可されます。この動作ではウォッチドッグ タイムで計時完了が起きる場合、リセットに代わって対応する割り込みが実行されます。

WDEが設定(1)されると、WDIEは計時完了が起きるとき、ハードウェアによって自動的に解除(0)されます。これは割り込みを使う間のウォッチドッグ リセット保護を維持するのに有用です。WDIEビットが解除(0)された後、次の計時完了はリセットを生成するでしょう。このウォッチドッグ リセットを避けるには、各割り込み後にWDIEが設定(1)されなければなりません。

表8-2. ウォッチドッグ タイム設定

WDE	WDIE	動作状態	計時完了での動作
0	0	停止	なし
0	1	走行	割り込み
1	0	走行	リセット
1	1	走行	割り込み

● ビット4 – WDCE : ウォッチドッグ変更許可 (Watchdog Change Enable)

ウォッチドッグ許可(WDE)ビットが論理0を書かれるとき、このビットは設定(1)されなければなりません。さもなければ、ウォッチドッグは禁止されません。一旦1を書かれると、ハードウェアが4クロック周期後、このビットを解除(0)します。ウォッチドッグ禁止手順についてはWDEビットの記述を参照してください。このビットは前置分周ビットを変更する時も設定(1)されなければなりません。27頁の「ウォッチドッグ タイム設定変更の時間制限手順」をご覧ください。

● ビット3 – WDE : ウォッチドッグ許可 (Watchdog Enable)

ウォッチドッグ許可(WDE)が論理1を書かれるとウォッチドッグ タイムが許可され、WDEが論理0を書かれるとウォッチドッグ タイム機能が禁止されます。WDEはウォッチドッグ変更許可(WDCE)ビットが論理レベル1を持つ場合だけ解除(0)できます。許可されているウォッチドッグ タイムを禁止するには次の手順に従わなければなりません。

1. 同じ操作(命令)内で、ウォッチドッグ変更許可(WDCE)ビットとウォッチドッグ許可(WDE)ビットに論理1を書きます。例え禁止操作を始める前のWDEが1に設定されていても、論理1がWDEに書かれなければなりません。
2. 次からの4クロック周期内で、論理0をWDEに書きます。これがウォッチドッグを禁止します。

安全基準2では上記の手順でもウォッチドッグ タイムを禁止することができません。27頁の「ウォッチドッグ タイム設定変更の時間制限手順」をご覧ください。

安全基準1ではWDEがMCUSRのウォッチドッグ リセット フラグ(WDRF)によって無効にされます。WDRFの説明については28頁の「MCUSR – MCU状態レジスタ」をご覧ください。これはWDRFが設定(1)されていると、WDEが常に設定(1)されることを意味します。WDEを解除(0)するには上記手順でウォッチドッグを禁止する前にWDRFが解除(0)されなければなりません。この特徴は失敗を引き起こす状態中の複数リセットと失敗後の安全な起動を保証します。

注: ウォッチドッグ タイムが応用で使われないなら、デバイス初期化でウォッチドッグ禁止手順を全て行なうことが重要です。ウォッチドッグが偶然に許可されると(例えばポインタの逸脱や低電圧(ブラウンアウト)状態)、デバイスはリセットし、その転化が次のウォッチドッグ リセットを引き起こすでしょう。この状態を避けるため、応用ソフトウェアは初期化ルーチンでWDRFフラグとWDE制御ビットを常に解除(0)すべきです。

● ビット5,2~0 – WDP3~0 : ウォッチドッグ タイム前置分周選択 (Watchdog Timer Prescaler 3,2,1 and 0)

このWDP3~0ビットはウォッチドッグ タイムが許可される時のウォッチドッグ タイムの前置分周を決めます。異なる前置分周値と対応する計時完了周期は表8-3.で示されます。

表8-3. ウォッチドッグ前置分周器選択

WDP3	0								1							
	0				1				0				1			
WDP2	0		1		0		1		0		1		0		1	
WDP1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDP0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
WDT発振周期数	2k	4k	8k	16k	32k	64k	128k	256k	512k	1024k	(予約)					
代表的計時完了周期 (VCC=5V)	16ms	32ms	64ms	0.125s	0.25s	0.5s	1.0s	2.0s	4.0s	8.0s						

9. 割り込み

この項はATtiny261/461/861によって実行される割り込み操作の詳細を記述します。AVR割り込み操作の一般説明については9頁の「リセットと割り込みの扱い」を参照してください。

9.1. 割り込みベクタ

ATtiny261/461/861の割り込みベクタは下の表9-1.で記述されます。

表9-1. リセットと割り込みのベクタ

ベクタ番号	プログラム アドレス	発生元	備考
1	\$0000	リセット	電源ONまたはウォッチドッグ等のリセット
2	\$0001	INT0	外部割り込み要求0
3	\$0002	PCINT	I/Oピンレベル変化
4	\$0003	タイマ/カウンタ1 COMPA	タイマ/カウンタ1比較A一致
5	\$0004	タイマ/カウンタ1 COMPB	タイマ/カウンタ1比較B一致
6	\$0005	タイマ/カウンタ1 OVF	タイマ/カウンタ1溢れ
7	\$0006	タイマ/カウンタ0 OVF	タイマ/カウンタ0溢れ
8	\$0007	USL_STRT	多用途直列インターフェース 開始条件検出
9	\$0008	USL_OVF	多用途直列インターフェース 計数器溢れ
10	\$0009	EE_RDY	EEPROM 操作可
11	\$000A	アナログ比較器 ANA_COMP	アナログ比較器出力遷移
12	\$000B	A/D変換器 ADC	A/D変換完了
13	\$000C	ウォッチドッグ WDT	ウォッチドッグ計時完了
14	\$000D	INT1	外部割り込み要求1
15	\$000E	タイマ/カウンタ0 COMPA	タイマ/カウンタ0比較A一致
16	\$000F	タイマ/カウンタ0 COMPB	タイマ/カウンタ0比較B一致
17	\$0010	タイマ/カウンタ0 CAPT	タイマ/カウンタ0捕獲発生
18	\$0011	タイマ/カウンタ1 COMPD	タイマ/カウンタ1比較D一致
19	\$0012	障害保護 FAULT_PROTECT	タイマ/カウンタ1障害保護

プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードを配置できます。

ATtiny261/461/861での最も代表的且つ一般的なリセットと割り込みのベクタ アドレス用設定は下のプログラム例で示されます。

アドレス	ラベル	命令	注釈
\$0000		RJMP RESET	;各種リセット
\$0001		RJMP EXT_INT0	;外部割り込み要求0
\$0002		RJMP PCINT	;I/Oピンレベル変化
\$0003		RJMP TIM1_COMPA	;タイマ/カウンタ1比較A一致
\$0004		RJMP TIM1_COMPB	;タイマ/カウンタ1比較B一致
\$0005		RJMP TIM1_OVF	;タイマ/カウンタ1溢れ
\$0006		RJMP TIM0_OVF	;タイマ/カウンタ0溢れ
\$0007		RJMP USI_STRT	;多用途直列インターフェース 開始条件検出
\$0008		RJMP USI_OVF	;多用途直列インターフェース 計数器溢れ
\$0009		RJMP EE_RDY	;EEPROM 操作可
\$000A		RJMP ANA_COMP	;アナログ比較器出力遷移
\$000B		RJMP ADC	;A/D変換完了
\$000C		RJMP WDT	;ウォッチドッグ計時完了
\$000D		RJMP EXT_INT1	;外部割り込み要求1
\$000E		RJMP TIM0_COMPA	;タイマ/カウンタ0比較A一致
\$000F		RJMP TIM0_COMPB	;タイマ/カウンタ0比較B一致
\$0010		RJMP TIM0_CAPT	;タイマ/カウンタ0捕獲発生
\$0011		RJMP TIM1_COMPD	;タイマ/カウンタ1比較D一致
\$0012		RJMP FAULT_PROTECT	;タイマ/カウンタ1障害保護
;			
\$0013	RESET:	LDI R16, HIGH (RAMEND)	;RAM最終アドレス上位を取得 (ATtiny461/861のみ)
\$0014		OUT SPH, R16	;スタックポインタ上位を初期化 (ATtiny461/861のみ)
\$0015		LDI R16, LOW (RAMEND)	;RAM最終アドレス下位を取得
\$0016		OUT SPL, R16	;スタックポインタ下位を初期化
		}	;以下、I/O初期化など

9.2. 外部割り込み

外部割り込みはINT0,INT1ピンまたはPCINT0~15ピンの何れかによって起動されます。許可したなら、例えばINT0,INT1またはPCINT0~15ピンが出力として設定されても、割り込みが起動することに注目してください。この特徴はソフトウェア割り込みを生成する方法を提供します。ピン変化割り込みPCIは許可したPCINT0~15のどれかが切り替わると起動します。ピン変化割り込み許可レジスタn(PCMSK0, PCMSK1)は、どのピンがピン変化割り込み要因となるかを制御します。PCINT0~15でのピン変化割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使えることを意味します。

INT0とINT1の割り込みは上昇端または下降端(含む両端)またはLowレベルによって起動できます。これはMCU制御レジスタ(MCUCR)の詳述で示される設定です。INT0,INT1割り込みがレベル起動として設定、且つ許可されると、そのピンがLowに保持される限り、割り込みは(継続的に)起動します。INT0,INT1の上昇端または下降端割り込みの認知は16ページの「クロック副系統」で記述されるI/Oクロックの存在を必要とすることに注意してください。

9.2.1. Lowレベル割り込み

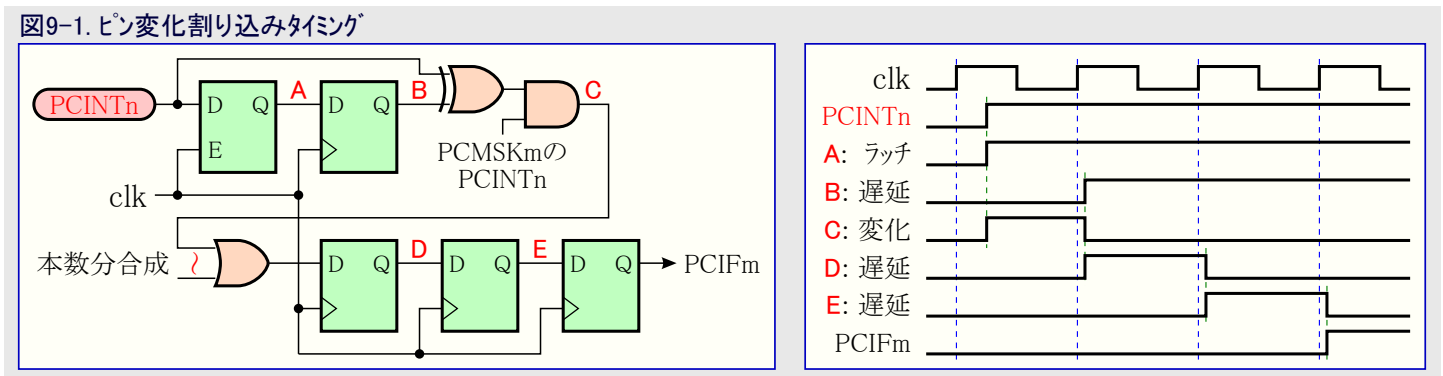
INT0,INT1のLowレベル割り込みは非同期に検知されます。これはそれらの割り込みがアイドル動作以外の休止形態からもデバイスを起動するのに使えることを意味します。I/Oクロックはアイドル動作を除く全休止形態で停止されます。

レベル起動割り込みがパワーダウン動作からの起動に使われる場合、この必要としたレベルはレベル割り込みを起動する完全な起動復帰のため、MCUに対して充分長く保持されなければならないことに注意してください。このレベルが起動時間の最後に先立って消滅すると、MCUは今までどおり起動しますが、割り込みが生成されません。起動時間は16ページの「クロック体系」で示されるようにSUTヒューズとCKSELヒューズで定義されます。

デバイスが起動復帰する前に割り込みピン上のLowレベルが取り去られると、プログラム実行は割り込み処理ルーチンへ転換されませんが、SLEEP命令に続く命令から継続します。

9.2.2. ピン変化割り込みタイミング (訳注: 共通性から本項追加)

ピン変化割り込みの例は図9-1.で示されます。



9.3. 外部割り込み用レジスタ

9.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

MCU制御レジスタは割り込み条件制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット1,0 – ISC01,0 : 外部割り込み0/1条件制御 (Interrupt Sense Control 0/1 bit1 and 0)

外部割り込み0と1はステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットまたは外部割り込み1許可(INT1)ビットが設定(1)される場合のINT0またはINT1外部ピンによって活性(有効)にされます。割り込みを活性にするINT0またはINT1外部ピンの端(エッジ)とレベルは表9-2.で定義されます。INT0とINT1ピンの値は端検出に先立って採取されます。端または論理変化割り込みが選ばれる場合、1クロック周期よりも長く留まるパルスは割り込みを生成します。より短いパルスは割り込み発生が保証されません。Lowレベル割り込みが選ばれる場合、そのLowレベルは割り込みを生成するために現在実行している命令の完了まで保たれなければなりません。

表9-2. 外部割り込み0/1(INT0/1)割り込み条件

ISC01	ISC00	割り込み発生条件
0	0	INT0/INT1ピンのLowレベル
0	1	INT0/INT1ピンの論理変化(両端)
1	0	INT0/INT1ピンの下降端
1	1	INT0/INT1ピンの上昇端

(訳補) ISC01,0ビットがINT0とINT1兼用で、個別に条件を設定できないことに注意してください。

9.3.2. GIMSK – 一般割り込み許可レジスタ (General Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$3B (\$5B)	INT1	INT0	PCIE1	PCIE0	–	–	–	–	GIMSK
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – INT1 : 外部割り込み1許可 (External Interrupt Request 1 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT1ビットが設定(1)されると、INT1外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0/1のビット1と0(ISC01,ISC00)は、この外部割り込みがINT1ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT1ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求1に対応する割り込みはINT1割り込みベクタから実行されます。

● ビット6 – INT0 : 外部割り込み0許可 (External Interrupt Request 0 Enable)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、INT0ビットが設定(1)されると、INT0外部ピン割り込みが許可されます。MCU制御レジスタ(MCUCR)の割り込み条件制御0/1のビット1と0(ISC01,ISC00)は、この外部割り込みがINT0ピンの上昇端、下降端、両端、またはLowレベルのどれで活性(有効)にされるかを定義します。例えばINT0ピンが出力として設定されても、このピンの動きは割り込み要求を引き起こします。外部割り込み要求0に対応する割り込みはINT0割り込みベクタから実行されます。

● ビット5 – PCIE1 : ピン変化1群割り込み許可 (Pin Change Interrupt Enable 1)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE1ビットが設定(1)されると、ピン変化割り込み1が許可されます。許可したPCINT0~7とPCINT12~15ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCINT割り込みベクタから実行されます。PCINT0~7とPCINT12~15ピンはピン変化割り込み許可レジスタ0(PCMSK0)とピン変化割り込み許可レジスタ1(PCMSK1)によって個別に許可されます。

● ビット4 – PCIE0 : ピン変化0群割り込み許可 (Pin Change Interrupt Enable 0)

ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)され、PCIE0ビットが設定(1)されると、ピン変化割り込み0が許可されます。許可したPCINT8~11ピンの何れかの変化が割り込みを起こします。このピン変化割り込み要求に対応する割り込みはPCINT割り込みベクタから実行されます。PCINT8~11ピンはピン変化割り込み許可レジスタ1(PCMSK1)によって個別に許可されます。

● ビット3~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

9.3.3. GIFR – 一般割り込み要求フラグレジスタ (General Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$3A (\$5A)	INTF1	INTF0	PCIF	–	–	–	–	–	GIFR
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – INTF1 : 外部割り込み1要求フラグ (External Interrupt Flag 1)

INT1ピン上の端(エッジ)または論理変化が割り込み要求を起動すると、INTF1が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み1許可(INT1)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT1がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

● ビット6 – INTF0 : 外部割り込み0要求フラグ (External Interrupt Flag 0)

INT0ピン上の端(エッジ)または論理変化が割り込み要求を起動すると、INTF0が設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)の外部割り込み0許可(INT0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。INT0がレベル割り込みとして設定されると、このフラグは常に解除(0)されます。

● ビット5 – PCIF : ピン変化割り込み要求フラグ (Pin Change Interrupt Flag)

PCINT0~15ピンの何れかの変化が割り込み要求を起動すると、PCIFが設定(1)になります。ステータスレジスタ(SREG)の全割り込み許可(I)ビットと一般割り込み許可レジスタ(GIMSK)のピン変化1群割り込み許可(PCIE1)ビットまたはピン変化0群割り込み許可(PCIE0)ビットが設定(1)なら、MCUは対応する割り込みベクタへ飛びます。このフラグは割り込みルーチンが実行されると解除(0)されます。代わりにこのフラグは論理1を書くことによっても解除(0)できます。

● ビット4~0 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

9.3.4. PCMSK0 – ピン変化割り込み許可レジスタ0 (Pin Change Enable Mask 0~7)

ビット	7	6	5	4	3	2	1	0	
\$23 (\$43)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – PCINT7~PCINT0 : ピン変化割り込み7~0許可 (Pin Change Enable Mask 7~0)

各PCINT0~7ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT0~7と一般割り込み許可(GIMSK)レジスタのPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT0~7が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

9.3.5. PCMSK1 – ピン変化割り込み許可レジスタ1 (Pin Change Enable Mask 8~15)

ビット	7	6	5	4	3	2	1	0	
\$22 (\$42)	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – PCINT15~PCINT8 : ピン変化割り込み15~8許可 (Pin Change Enable Mask 15~8)

各PCINT8~15ビットは対応するI/Oピンでピン変化割り込みが許可されるかどうかを選びます。PCINT8~11と一般割り込み許可(GIMSK)レジスタのPCIE0が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可され、PCINT12~15と一般割り込み許可(GIMSK)レジスタのPCIE1が設定(1)なら、対応するI/Oピンのピン変化割り込みが許可されます。PCINT8~15が解除(0)されると、対応するI/Oピンのピン変化割り込みは禁止されます。

10. 入出力ポート

全てのAVRのポートは標準デジタルI/Oポートとして使われる時に真の読み-変更-書き(リード モディファイライト)を機能的に持ちます。これはSBIとCBI命令で他のどのピンの方角をも無意識に変更することなく、1つのポートピンの方角を変更できることを意味します。(出力として設定されていれば)駆動値を変更、または(入力として設定されていれば)プルアップ抵抗を許可/禁止する時にも同じく適用されます。各出力緩衝部は高い吐き出し(ソース)と吸い込み(シンク)の両能力で対称的な駆動特性を持ちます。このピン駆動部はLED(表示器)を直接駆動するのに十分な強さです。全てのポートピンは個別に選択可能な、供給電圧で抵抗値が変化しないプルアップ抵抗を持っています。全てのI/Oピンは図10-1.で示されるようにVCCとGNDの両方に保護ダイオードがあります。各値の完全な一覧については118頁の「電気的特性」を参照してください。

本章内の全てのレジスタとビットの参照は一般形で記されます。小文字の'x'はポート番号文字、小文字の'n'はビット番号を表します。けれどもプログラム内でレジスタやビット定義に使うとき、正確な形式(例えば、ここで一般に記されたPORTx_nがポートBのビット3に対してはPORTB3)が使われなければなりません。物理的なI/Oレジスタとビット位置は43頁の「I/Oポート用レジスタ」で一覧されます。

各々1つの出力レジスタ(PORTx)、方向レジスタ(DDRx)、入力レジスタ(PINx)の各ポートに対して、3つI/Oメモリアドレス位置が割り当てられます。入力レジスタのI/O位置は読むだけで、一方出力レジスタと方向レジスタは読み書き(両方)です。けれどもPINxレジスタのビットへの論理1書き込みは、出力レジスタの対応ビット値を(1/0)反転する結果になります。加えてMCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)されると、全ポートで全ビットに対してプルアップ機能を禁止します。

標準デジタルI/OとしてのI/Oポートの使用は次の「標準デジタル入出力としてのポート」で記述されます。多くのポートピンはデバイスの周辺機能用の交換機能と多重化されます。ポートピンとの各交換機能のインターフェース法は37頁の「交換ポート機能」で記述されます。交換機能の完全な記述については個別機能部項目を参照してください。

ポートピンのいくつかの交換機能の許可は、そのポート内の他のピンの標準デジタル入出力としての使用に影響しないことに注意してください。

10.1. 標準デジタル入出力としてのポート

このポートは任意の内部プルアップ付き双方向I/Oポートです。図10-2.はここで属にPxnと呼ばれるI/Oポートピンの1つの機能説明を示します。

図10-1. 入出力ピン等価回路

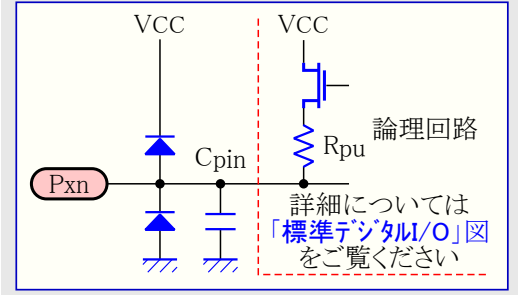
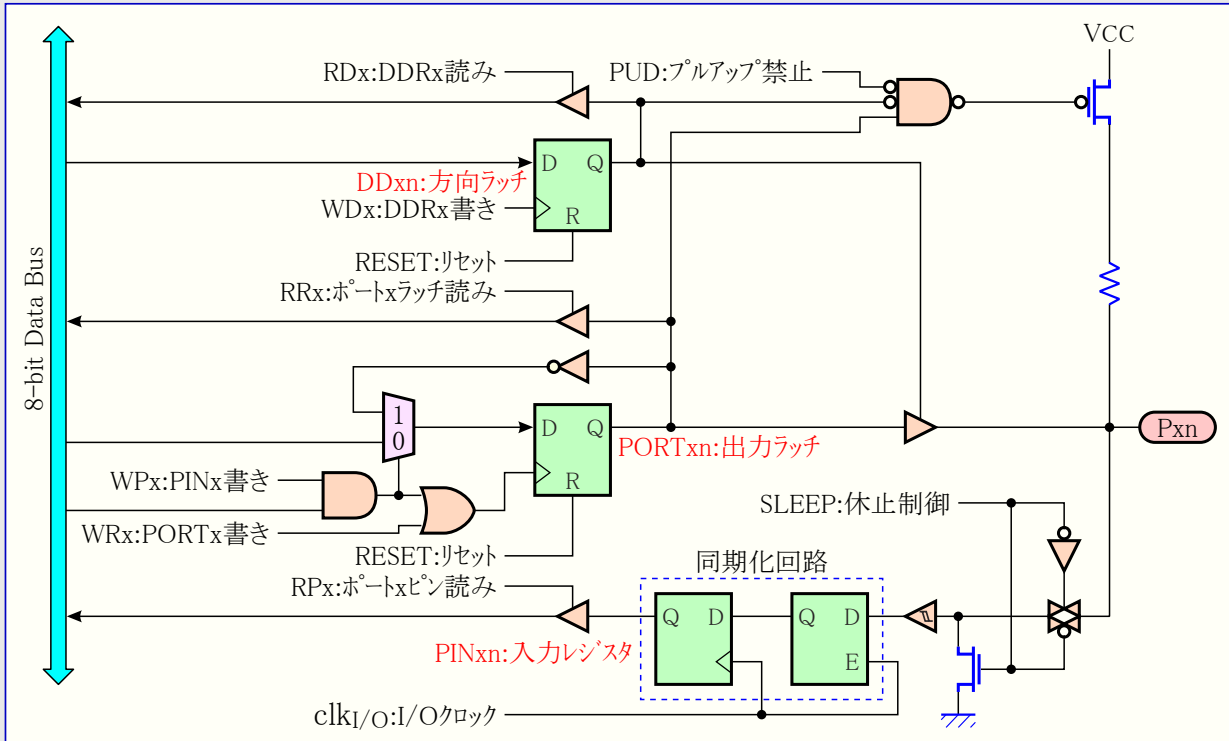


図10-2. 標準デジタル入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。

10.1.1. ピンの設定

各ポートピンは3つのレジスタビット、DDxn、PORTxn、PINxnから成ります。43頁の「I/Oポート用レジスタ」で示されるように、DDxnビットはDDRx I/Oアドレス、PORTxnビットはPORTx I/Oアドレス、PINxnビットはPINx I/Oアドレスでアクセスされます。

DDRxレジスタ内のDDxnビットはそのピンの方向を選びます。DDxnが論理1を書かれるとPxnは出力ピンとして設定されます。DDxnが論理0を書かれるとPxnは入力ピンとして設定されます。

そのピンが入力ピンとして設定される時にPORTxnが論理1を書かれると、プルアップ抵抗が活性(有効)にされます。プルアップ抵抗をOFFに切り替えるにはPORTxnが論理0を書かれるか、またはそのピンが出力ピンとして設定されなければなりません。ポートピンは例えばクロックが動いていなくても、リセット条件が活性(有効)になるとHi-Zにされます。

そのピンが出力ピンとして設定される時にPORTxnが論理1を書かれると、そのポートピンはHigh(1)に駆動されます。そのピンが出力ピンとして設定される時にPORTxnが論理0を書かれると、そのポートピンはLow(0)に駆動されます。

10.1.2. ピンの出力交互切り替え

PINxnへの論理1書き込みはDDRxnの値に拘らず、PORTxnの値を反転切り替えます。SBI命令がポート内の1ビットの反転切り替えに使えることに注目してください。

10.1.3. 入出力間の切り替え

Hi-Z入力(DDxn=0, PORTxn=0)とHigh出力(DDxn=1, PORTxn=1)間の切り替え時、プルアップ許可入力(DDxn=0, PORTxn=1)またはLow出力(DDxn=1, PORTxn=0)のどちらかの間状態が生じるに違いありません。通常、高インピーダンス環境は強力なHigh(吐き出し)駆動部とプルアップ間の違いに気付かないので、プルアップが許可された状態は十分受け入れられます。この事例でないなら、全ポートの全プルアップを禁止するために、MCU制御レジスタ(MCUCR)のプルアップ禁止(PUD)ビットが設定(1)できます。

プルアップ入力とLow出力間の切り替えは同じ問題を発生します。使用者は中間状態としてHi-Z入力(DDxn=0, PORTxn=0)またはHigh出力(DDxn=1, PORTxn=1)のどちらかを使わなければなりません。

表10-1.はピン値に対する制御信号の一覧を示します。

DDxn	PORTxn	PUD (MCUCR)	入出力	プルアップ抵抗	備考
0	0	X	入力	なし	高インピーダンス (Hi-Z)
0	1	0	入力	あり	Pxnに外部からLowを入力すると吐き出し電流が流れます。
0	1	1	入力	なし	高インピーダンス (Hi-Z)
1	0	X	出力	なし	Low (吸い込み)出力
1	1	X	出力	なし	High (吐き出し)出力

10.1.4. ピン値の読み込み

DDxn方向ビットの設定に関係なく、ポートピンはPINxnレジスタビットを通して読めます。図10-2.で示されるようにPINxnレジスタビットと先行するラッチは同期化回路を構成します。これは物理ピンが内部クロックの端(エッジ)付近で値を変える場合の未定義状態(メタステーブル)を避けるために必要とされますが、それは遅延も持ち込みます。図10-3.は外部的に加えられたピン値を読む時の同期化タイミング図を示します。伝播遅延の最小と最大は各々 $t_{pd,min}$ と $t_{pd,max}$ で示されます。

(図10-3.で)システムクロックの最初の上昇端直後から始まるクロック周期を考察してください。このラッチはクロックがLowの時に閉じ、クロックがHighの時に同期ラッチ信号の斜線部分で示されるように通過(トランスペアレント)となります。この信号値はシステムクロックがLowになる時に保持(ラッチ)されます。それが続くクロックの上昇端でPINxnレジスタに取り込まれます。2つの矢印 $t_{pd,min}$ と $t_{pd,max}$ によって示されるように、ピン上の単一信号遷移は出現時点に依存して0.5~1.5システムクロック周期遅らされます。

ソフトウェアが指定したピン値を読み戻す時は、図10-4.で示されるようにNOP命令が挿入されなければなりません。OUT命令はシステムクロックの上昇端で同期ラッチを設定します。この場合、同期化回路を通過する遅延時間(t_{pd})は1システムクロック周期です。

図10-3. 外部供給ピン値読み込み時の同期化

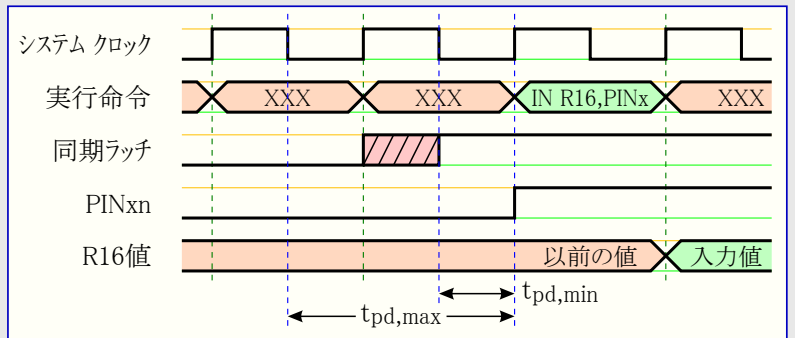
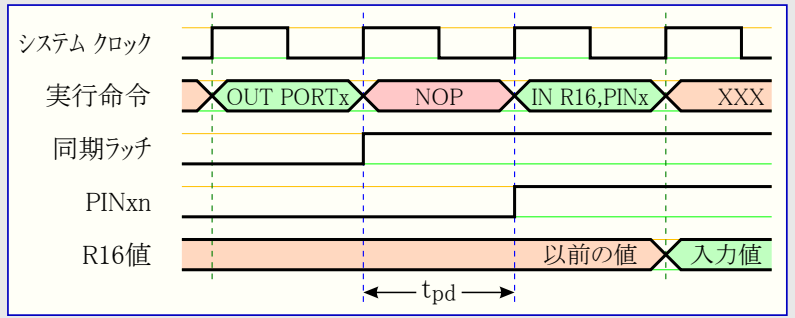


図10-4. プログラムで設定したピン値読み戻し時の同期化



10.1.5. デジタル入力許可と休止形態

図10-2.で示されるようにデジタル入力信号はシュミットトリガの入力をGNDにクランプできます。この図でSLEEPと印された信号は入力信号のいくつかが開放のまま、またはVCC/2付近のアナログ信号電圧を持つ場合の高消費電力を避けるため、**パワーダウン動作**と**スタンバイ動作**でMCU休止制御器によって設定(1)されます。

SLEEPは外部割り込みピンとして許可されたポートピンに対しては無視されます。外部割り込み要求が許可されないなら、SLEEPは他のピンについてと同様に有効です。SLEEPは37頁の「**交換ポート機能**」で記載されるように様々な他の交換機能によっても無視されません。

外部割り込みが許可されていない”上昇端、下降端または論理変化(両端)割り込み”として設定された非同期外部割り込みピンに論理1が存在すると、上で言及した休止形態から(復帰)再開する時に、これらの休止形態に於けるクランプが要求された論理変化を生ずるので、対応する外部割り込み要求フラグが設定(=1)されます。

10.1.6. 未接続ピン

いくつかのピンが未使用にされる場合、それらのピンが定義されたレベルを持つのを保証することが推奨されます。例えば上記のような深い休止形態で多くのデジタル入力が禁止されるとしても、デジタル入力が許可される他の全ての動作(リセット、活動動作、アイドル動作)で消費電流削減のため、浮き状態入力は避けられるべきです。

未使用ピンの定義されたレベルを保証する最も簡単な方法は内部プルアップを許可することです。この場合、リセット中のプルアップは禁止されます。リセット中の低消費電力が重要なら、外部プルアップまたはプルダウンを使うことが推奨されます。未使用ピンを直接GNDまたはVCCに接続することは、ピンが偶然に出力として設定されると過電流を引き起こす可能性があるため推奨されません。

10.1.7. プログラム例

次のコード例はポートピンの0と1をHigh出力、2と3をLow出力、4をプルアップ指定として4と5を入力に設定する方法を示します。結果のピン値が再び読み戻されますが、前記で検討されたように、いくつかのピンへ直前に指定された値を読み戻すことができるようにNOP命令が挿入されます。

```
アセンブリ言語プログラム例
~
LDI R16, (1<<PB4) | (1<<PB1) | (1<<PB0) ;
LDI R17, (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0) ;
OUT PORTB, R16 ;
OUT DDRB, R17 ;
NOP ;
IN R16, PINB ;
~

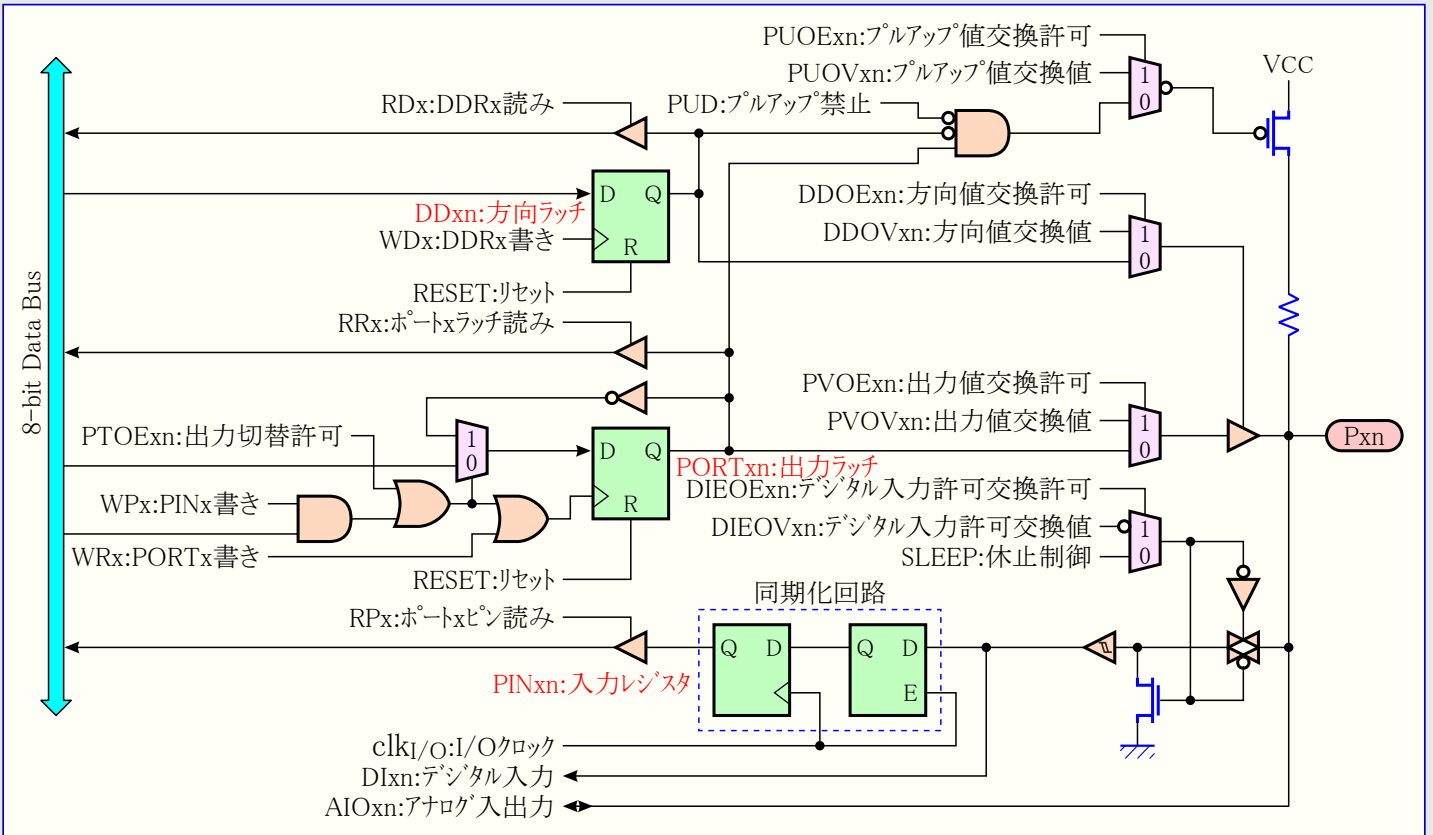
C言語プログラム例
unsigned char i;
~
PORTB = (1<<PB4) | (1<<PB1) | (1<<PB0);
DDRB = (1<<DDB3) | (1<<DDB2) | (1<<DDB1) | (1<<DDB0);
_NOP();
i = PINB;
~
```

注: アセンブリ言語プログラムについてはプルアップがピン0,1,4に設定されてから、ビット0と1の強力なHigh駆動部としての再定義、ビット2と3のLow駆動部としての定義、方向ビットが正しく設定されるまでの時間を最小とするのに2つの一時レジスタが使われます。
注: 5頁の「**コード例**」をご覧ください。

10.2. 交換ポート機能

多くのポートピンには標準デジタル入出力に加え交換機能があります。図10-5は単純化された図10-2でのポートピン制御信号が交換機能によってどう重複できるかを示します。この重複信号は全てのポートピンに存在する訳ではありませんが、この図はAVR マイクロ コントローラ系統の全ポートピンに適用できる一般的な記述として取り扱います。

図10-5. 交換ポート機能入出力回路構成



注: WRx, WPx, WDx, RRx, RPx, RDxは同一ポート内の全ピンで共通です。
clkI/O, SLEEP, PUDは全ポートで共通です。他の信号は各ピン固有です。

表10-2は重複(交換)信号の機能一覧を示します。図10-5で示すピンとポートは次表で示されません。重複(交換)信号は交換機能を持つ機能部で内部的に生成されます。

表10-2. 交換機能用交換信号の一般定義

信号略名	信号名	意味
PUOE	プルアップ値交換許可	1で、プルアップ許可はPUOV信号で制御され、0の場合、DDxn=0, PORTxn=1, PUD=0でプルアップが許可されます。
PUOV	プルアップ値交換値	PUOE=1時、DDxn, PORTxn, PUDの値に関係なく、プルアップの有(1)/無(0)を指定します。
DDOE	方向値交換許可	1で、出力駆動部はDDOV信号で制御され、0の場合、DDxnレジスタ値で制御されます。
DDOV	方向値交換値	DDOE=1時、DDxnレジスタ値に関係なく、出力駆動部のON(1)/OFF(0)を制御します。
PVOE	出力値交換許可	1で出力駆動部がONなら、ポート値はPVOV信号で制御されます。出力駆動部がONで0の場合、ポート値はPORTxnレジスタ値で制御されます。
PVOV	出力値交換値	PVOE=1時、PORTxnレジスタ値に関係なく、ポート値を制御(1/0)します。
PTOE	出力切替許可	PTOE=1時、PORTxnレジスタ値が反転します。
DIEOE	デジタル入力許可交換許可	1で、デジタル入力許可はDIEOV信号で制御され、0の場合、MCUの状態(活動動作、休止形態)によって決定されます。
OIEOV	デジタル入力許可交換値	DIEOE=1時、MCUの状態(活動動作、休止形態)に関係なく、デジタル入力を許可(1)/禁止(0)します。
DI	デジタル入力	交換機能用デジタル入力です。この信号は図上でシュミットトリガ出力に接続されていますが、これは同期化前となります。この信号はクロックとしての使用を除き、各交換機能自身が同期化します。
AIO	アナログ入出力	交換機能用アナログ入出力です。この信号はピンに直接接続され、双方向使用ができます。

以降の項は交換機能に関連する重複(交換)信号と各ポートの交換機能を簡単に記述します。更に先の詳細については交換機能の記述を参照してください。

10.2.1. ポートAの交換機能

ポートAピンの交換機能は表10-3.で示されます。

表10-3. ポートAピンの交換機能

ポート ピン	交換機能	ポート ピン	交換機能
PA7	ADC6 (A/D変換チャンネル6入力)	PA3	AREF (A/D変換外部基準電圧入力)
	AIN0 (アナログ比較器入力0)		PCINT3 (ピン変化割り込み3入力)
PA6	PCINT7 (ピン変化割り込み7入力)	PA2	ADC2 (A/D変換チャンネル2入力)
	ADC5 (A/D変換チャンネル5入力)		INT1 (外部割り込み1入力)
AIN1 (アナログ比較器入力1)	USCK (3線動作USIクロック入出力)		
PCINT6 (ピン変化割り込み6入力)	SCL (2線動作USI(TWI)クロック入出力)		
PA5	ADC4 (A/D変換チャンネル4入力)	PA1	PCINT2 (ピン変化割り込み2入力)
	AIN2 (アナログ比較器入力2)		ADC1 (A/D変換チャンネル1入力)
PA4	PCINT5 (ピン変化割り込み5入力)	PA0	DO (3線動作USIデータ出力)
	ADC3 (A/D変換チャンネル3入力)		PCINT1 (ピン変化割り込み1入力)
ICP0 (タイマ/カウンタ0 捕獲起動入力)	ADC0 (A/D変換チャンネル0入力)		
PCINT4 (ピン変化割り込み4入力)	DI (3線動作USIデータ入力)		
			SDA (2線動作USI(TWI)データ入出力)
			PCINT0 (ピン変化割り込み0入力)

• ADC6/AIN0/PCINT7 – ポートA ビット7 : PA7

- ADC6 : A/D変換器チャンネル6入力。
- AIN0 : アナログ比較器入力0。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。

PCINT7 : ピン変化割り込み元7入力。PA7ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC5/AIN1/PCINT6 – ポートA ビット6 : PA6

- ADC5 : A/D変換器チャンネル5入力。
- AIN1 : アナログ比較器入力1。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。
- PCINT6 : ピン変化割り込み元6入力。PA6ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC4/AIN2/PCINT5 – ポートA ビット5 : PA5

- ADC4 : A/D変換器チャンネル4入力。
- AIN2 : アナログ比較器入力2。アナログ比較器の機能を妨げるデジタルポート機能为了避免のため、内部プルアップをOFFにした入力としてポートピンを設定してください。
- PCINT5 : ピン変化割り込み元5入力。PA5ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC3/ICP0/PCINT4 – ポートA ビット4 : PA4

- ADC3 : A/D変換器チャンネル3入力。
- ICP0 : タイマ/カウンタ0の捕獲起動入力。PA4ピンはタイマ/カウンタ0用捕獲起動入力ピンとして動作できます。
- PCINT4 : ピン変化割り込み元4入力。PA4ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• AREF/PCINT3 – ポートA ビット3 : PA3

- AREF : A/D変換用外部基準電圧。このピンが外部基準電圧またはAREFピンでの外部コンデンサとの内部基準電圧(1.1V)として使われると、プルアップと出力駆動部はPA3で禁止されます。
- PCINT3 : ピン変化割り込み元3入力。PA3ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC2/INT1/USCK/SCL/PCINT2 – ポートA ビット2 : PA2

- ADC2 : A/D変換器チャンネル2入力。
- INT1 : 外部割り込み1入力。PA2ピンは外部割り込み元1として扱えます。
- USCK : 3線動作USIのクロック入出力。
- SCL : 2線動作USI(TWI)のクロック入出力。
- PCINT2 : ピン変化割り込み元2入力。PA2ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC1/DO/PCINT1 – ホートA ビット1 : PA1

- ADC1 : A/D変換器チャネル1入力。
- DO : 3線動作USIのデータ出力。データ出力(DO)はPORTA1値を無効にし、データ方向(DDA1)ビットが設定(1)されると、ポートが駆動されます。けれどもPORTA1ビットは未だプルアップを制御し、方向が入力でPORTA1が設定(1)されるならプルアップを許可します。
- PCINT1 : ピン変化割り込み元1入力。PA1ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC0/DI/SDA/PCINT0 – ホートA ビット0 : PA0

- ADC0 : A/D変換器チャネル0入力。
- DI : 3線動作USIのデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンはDI機能入力として設定しなければなりません。
- SDA : 2線動作USIのデータ入出力(オープンドレイン出力)。直列データピンは双方向でオープンドレイン出力を使います。SDAピンは出力としてこのピンを設定することによって許可されます。このピンはDDA0が設定(1)されるとき、PORTA0またはUSI移動レジスタ(出力)が0の時にLowへ引き込まれます。プルアップは2線動作USIで禁止されます。
- PCINT0 : ピン変化割り込み元0入力。PA0ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

表10-4.と表10-5.はポートAの交換機能を37頁の図10-5.で示される交換信号に関連付けます。

表10-4. ホートA7~4の交換機能用交換信号

信号名	PA7/ADC6/AIN0/PCINT7	PA6/ADC5/AIN1/PCINT6	PA5/ADC4/AIN2/PCINT5	PA4/ADC3/ICP0/PCINT4
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	0	0	0
DDOV	0	0	0	0
PVOE	0	0	0	0
PVOV	0	0	0	0
PTOE	0	0	0	0
DIOE	(PCIE1・PCINT7)+ADC6D	(PCIE1・PCINT6)+ADC5D	(PCIE1・PCINT5)+ADC4D	(PCIE1・PCINT4)+ADC3D
DIOV	<u>ADC6D</u>	<u>ADC5D</u>	<u>ADC4D</u>	<u>ADC3D</u>
DI	PCINT7入力	PCINT6入力	PCINT5入力	ICP0/PCINT4入力
AIO	ADC6/AIN0入力	ADC5/AIN1入力	ADC4/AIN2入力	ADC3入力

表10-5. ホートA3~0の交換機能用交換信号

信号名	PA3/AREF/PCINT3	PA2/ADC2/INT1/USCK /SCL/PCINT2	PA1/ADC1/DO/PCINT1	PA0/ADC0/DI /SDA/PCINT0
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線USI・USIPOS	0	2線USI・USIPOS
DDOV	0	(SCL保持+PORTA2) ・DDB2・USIPOS	0	(SDA+PORTA0) ・DDB0・USIPOS
PVOE	0	0	3線USI・USIPOS	2線USI・DDA0・USIPOS
PVOV	0	0	DO・USIPOS	0
PTOE	0	USLPTOE・USIPOS	0	0
DIOE	PCIE1・PCINT3	(PCIE1・PCINT2)+INT1+ ADC2D+(USISIE・USIPOS)	(PCIE1・PCINT1)+AIN1D	(PCIE1・PCINT0)+AIN0D +(USISIE・USIPOS)
DIOV	0	<u>ADC2D</u>	<u>ADC1D</u>	<u>ADC0D</u>
DI	PCINT3入力	USCK/SCL/INT1 /PCINT2入力	PCINT1入力	DI/SDA/PCINT0入力
AIO	アナログ基準電圧入力	ADC2入力	ADC1入力	ADC0入力

10.2.2. ポートBの交換機能

ポートBピンの交換機能は表10-6.で示されます。

ポート ピン	交換機能	ポート ピン	交換機能
PB7	ADC10 (A/D変換チャネル10入力)	PB3	OC1B (タイマ/カウンタ1比較B一致/PWM-1B出力)
	RESET (外部リセット入力)		PCINT11 (ピン変化割り込み11入力)
PB6	dW (デバッグWIRE入出力)	PB2	$\overline{OC1B}$ (タイマ/カウンタ1比較B一致/PWM-1B反転出力)
	PCINT15 (ピン変化割り込み15入力)		USCK (3線動作USIクロック入出力)
PB5	ADC9 (A/D変換チャネル9入力)	PB1	SCL (2線動作USI(TWI)クロック入出力)
	T0 (タイマ/カウンタ0 外部クロック入力)		PCINT10 (ピン変化割り込み10入力)
PB4	INT0 (外部割り込み0入力)	PB0	OC1A (タイマ/カウンタ1比較A一致/PWM-1A出力)
	PCINT14 (ピン変化割り込み14入力)		DO (3線動作USIデータ出力)
PB7	ADC8 (A/D変換チャネル8入力)	PB1	PCINT9 (ピン変化割り込み9入力)
	OC1D (タイマ/カウンタ1比較D一致/PWM-1D出力)		
PB6	XTAL2 (システム クロック用発振増幅器出力)	PB0	$\overline{OC1A}$ (タイマ/カウンタ1比較A一致/PWM-1A反転出力)
	CLKO (システム クロック出力)		DI (3線動作USIデータ入力)
PB5	PCINT13 (ピン変化割り込み13入力)	PB0	SDA (2線動作USI(TWI)データ入出力)
			PCINT8 (ピン変化割り込み8入力)
PB4	ADC7 (A/D変換チャネル7入力)	PB0	
	$\overline{OC1D}$ (タイマ/カウンタ1比較D一致/PWM-1D反転出力)		
PB3	XTAL1 (システム クロック用発振増幅器入力)	PB0	
	CLKI (システム クロック入力)		
PB2	PCINT12 (ピン変化割り込み12入力)	PB0	

• ADC10/ \overline{RESET} /dW/PCINT15 – ポートB ビット7 : PB7

- **ADC10** : A/D変換器チャネル10入力。A/D変換器チャネル10入力アナログ電源を使うことに注意してください。
- **\overline{RESET}** : リセット入力ピン。RSTDISBLヒューズがプログラム(0)されると、このピンは標準I/Oピンとして機能し、デバイスはリセット元として電源ONリセットと低電圧検出(BOD)リセットに頼らなければなりません。RSTDISBLヒューズが非プログラム(1)にされると、リセット回路がこのピンに接続され、このピンは標準I/Oピンとして使えません。
- **dW** : デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。
- **PCINT15** : ピン変化割り込み元15入力。PB7ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC9/T0/INT0/PCINT14 – ポートB ビット6 : PB6

- **ADC9** : A/D変換器チャネル9入力。A/D変換器チャネル9入力アナログ電源を使うことに注意してください。
- **T0** : タイマ/カウンタ0の外部クロック入力。
- **INT0** : 外部割り込み0入力。PB6ピンは外部割り込み元0として扱えます。
- **PCINT14** : ピン変化割り込み元14入力。PB6ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC8/OC1D/XTAL2/CLKO/PCINT13 – ポートB ビット5 : PB5

- **ADC8** : A/D変換器チャネル8入力。A/D変換器チャネル8入力アナログ電源を使うことに注意してください。
- **OC1D** : タイマ/カウンタ1の比較D一致出力。PB5ピンは出力として設定(DDB5=1)されると、タイマ/カウンタ1の比較D一致用外部出力として扱えます。このOC1Dピンはタイマ機能のPWM動作出力ピンでもあります。
- **XTAL2** : システム クロック発振器ピン2。水晶用発振器または低周波数水晶用発振器用クロックピンとして使います。クロックピンとして使われると、このピンはI/Oピンとして使えません。
- **CLKO** : システム クロック出力。分周したシステム クロックはPB5ピンに出力できます。分周したシステム クロックは、CKOUTヒューズがプログラム(0)されると、PORTB5とDDB5設定に拘らず出力されます。これはリセット中にも出力されます。
- **PCINT13** : ピン変化割り込み元13入力。PB5ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

• ADC7/ $\overline{OC1D}$ /XTAL1/CLKI/PCINT12 – ポートB ビット4 : PB4

- **ADC7** : A/D変換器チャネル7入力。A/D変換器チャネル7入力アナログ電源を使うことに注意してください。
- **$\overline{OC1D}$** : タイマ/カウンタ1の比較D一致反転出力。PB4ピンは出力として設定(DDB4=1)されると、タイマ/カウンタ1の比較D一致用外部出力として扱えます。この $\overline{OC1D}$ ピンはタイマ機能のPWM動作反転出力ピンでもあります。
- **XTAL1/CLKI** : システム クロック発振器ピン1。内部RC発振器を除く全てのチップ クロック元用クロックピンとして使われます。クロックピンとして使われると、このピンはI/Oピンとして使えません。
- **PCINT12** : ピン変化割り込み元12入力。PB4ピンはピン変化1群割り込みに対する外部割り込み元として扱えます。

- **OC1B/PCINT11 – ポートB ビット3 : PB3**

- **OC1B** : タイマ/カウンタ1の比較B一致出力。PB3ピンはタイマ/カウンタ1の比較B一致用外部出力として扱えます。この機能を扱うため、このピンは出力として設定(**DDB3=1**)されなければなりません。このOC1Bピンはタイマ機能のPWM動作用出力ピンでもあります。
- **PCINT11** : ピン変化割り込み元11入力。PB3ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- **OC1B/USCK/SCL/PCINT10 – ポートB ビット2 : PB2**

- **OC1B** : タイマ/カウンタ1の比較B一致反転出力。PB2ピンは出力として設定(**DDB2=1**)されると、タイマ/カウンタ1の比較B一致用外部出力として扱えます。このOC1Bピンはタイマ機能のPWM動作用反転出力ピンでもあります。
- **USCK** : 3線動作USIのクロック入出力。
- **SCL** : 2線動作USI(TWI)のクロック入出力。
- **PCINT10** : ピン変化割り込み元10入力。PB2ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- **OC1A/DO/PCINT9 – ポートB ビット1 : PB1**

- **OC1A** : タイマ/カウンタ1の比較A一致出力。PB1ピンは出力として設定(**DDB1=1**)されると、タイマ/カウンタ1の比較A一致用外部出力として扱えます。このOC1Aピンはタイマ機能のPWM動作用出力ピンでもあります。
- **DO** : 3線動作USIのデータ出力。データ出力(DO)は**PORTB1**値を無効にし、**データ方向(DDB1)ビット**が設定(**1**)されると、ポートが駆動されます。方向が入力で**PORTB1**が設定(**1**)されるなら、**PORTB1**は未だプルアップを許可します。
- **PCINT9** : ピン変化割り込み元9入力。PB1ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

- **OC1A/DI/SDA/PCINT8 – ポートB ビット0 : PB0**

- **OC1A** : タイマ/カウンタ1の比較A一致反転出力。PB0ピンは出力として設定(**DDB0=1**)されると、タイマ/カウンタ1の比較A一致用外部出力として扱えます。このOC1Aピンはタイマ機能のPWM動作用反転出力ピンでもあります。
- **DI** : 3線動作USIのデータ入力。3線動作USIは標準ポート機能を無効にしませんので、ピンはDI機能入力として設定しなければなりません。
- **SDA** : 2線動作USIのデータ入出力(オープンドレイン出力)。直列データピンは双方向でオープンドレイン出力を使います。SDAピンは出力としてこのピンを設定することによって許可されます。このピンは**DDB0**が設定(**1**)されるとき、**PORTB0**またはUSI移動レジスタ(出力)が**0**の時に**Low**へ引き込まれます。プルアップは2線動作USIで禁止されます。
- **PCINT8** : ピン変化割り込み元8入力。PB0ピンはピン変化0群割り込みに対する外部割り込み元として扱えます。

表10-7.と表10-8.はポートAの交換機能を37頁の図10-5.で示される交換信号に関連付けます。

表10-7. ポートB7~4の交換機能用交換信号

信号名	PB7/ADC10/RESET/dW /PCINT15	PB6/ADC9/T0/INT0 /PCINT14	PB5/ADC8/OC1D /XTAL2/CLKO/PCINT13	PB4/ADC7/OC1D /XTAL1/CLKI/PCINT12
PUOE	RSTDISBL・dW許可	0	外部用発振器・外部クロック	内部クロック
PUOV	1	0	0	0
DDOE	RSTDISBL・dW許可	0	外部用発振器・外部クロック	内部クロック
DDOV	dW送信	0	0	0
PVOE	0	0	OC1D許可	OC1D許可
PVOV	0	0	OCID	$\overline{\text{OCID}}$
PTOE	0	0	0	0
DIEOE	(PCIE1・PCINT15) +RSTDISBL+ADC10D	(PCIE1・PCINT14)+ADC9D	(PCIE1・PCINT13)+ADC8D +内部クロック・外部クロック	(PCIE1・PCINT12)+ADC7D +内部クロック
DIEOV	ADC10D	ADC9D	(内部クロック・外部クロック) +ADC8D	内部クロック・ADC7D
DI	PCINT15入力	T0/INT0/PCINT14入力	PCINT13入力	PCINT12入力
AIO	RESET/ADC10入力	ADC9入力	発振器出力,ADC8入力	発振器入力,ADC7入力

注: ・ RSTDISBLはRSTDISBLヒューズがプログラム(0)時に1です。

- ・ dW(デバッグワイヤ)はDWENヒューズがプログラム(0)で、且つ施錠ビットが非プログラム(1)の時に許可されます。
- ・ 外部用発振器はシステムクロックとしてクリスタル用発振器または低周波数クリスタル用発振器の選択時です。
- ・ 外部クロックはシステムクロックとして外部クロック信号の選択時です。
- ・ 内部クロックはシステムクロックとして内部のRC発振器選択時です。

表10-8. ポートB3~0の交換機能用交換信号

信号名	PB3/OC1B/PCINT11	PB2/ $\overline{\text{OC1B}}$ /USCK/SCL/ PCINT10	PB1/OC1A/DO/PCINT9	PB0/ $\overline{\text{OC1A}}$ /DI/SDA/ PCINT8
PUOE	0	0	0	0
PUOV	0	0	0	0
DDOE	0	2線USI・ $\overline{\text{USIPOS}}$	0	2線USI・ $\overline{\text{USIPOS}}$
DDOV	0	(SCL保持+PORTB2) ・DDB2・ $\overline{\text{USIPOS}}$	0	(SDA+PORTB0) ・DDB0・ $\overline{\text{USIPOS}}$
PVOE	OC1B許可	(2線USI・DDB0・ $\overline{\text{USIPOS}}$) +OC1B許可	3線USI・ $\overline{\text{USIPOS}}$ +OC1A許可	(2線USI・DDB0・ $\overline{\text{USIPOS}}$) +OC1A許可
PVOV	OC1B	OC1B	(DO・ $\overline{\text{USIPOS}}$)+OC1A	OC1A
PTOE	0	USITC・ $\overline{\text{USIPOS}}$	0	0
DIEOE	PCIE0・PCINT11	(PCIE0・PCINT10) +(USISIE・ $\overline{\text{USIPOS}}$)	PCIE0・PCINT9	(PCIE0・PCINT8) +(USISIE・ $\overline{\text{USIPOS}}$)
DIEOV	0	0	0	0
DI	PCINT11入力	USCK/SCL/PCINT10入力	PCINT9入力	DI/SDA/PCINT8入力
AIO	-	-	-	-

10.3. I/Oポート用レジスタ

10.3.1. MCUCR – MCU制御レジスタ (MCU Control Register)

ビット	7	6	5	4	3	2	1	0	
\$35 (\$55)	–	PUD	SE	SM1	SM0	–	ISC01	ISC00	MCUCR
Read/Write	R	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7,2 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット4 – PUD : プルアップ禁止 (Pull-up Disable)**

このビットが1を書かれると、例えDDxnとPORTxnレジスタがプルアップを許可(DDxn=0, PORTxn=1)に設定されていても、I/Oポートのプルアップは禁止されます。この特徴についてより多くの詳細に関しては35頁の「[ピンの設定](#)」をご覧ください。

10.3.2. PORTA – ポートA出力レジスタ (Port A Data Register)

ビット	7	6	5	4	3	2	1	0	
\$1B (\$3B)	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.3.3. DDRA – ポートA方向レジスタ (Port A Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$1A (\$3A)	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	DDRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.3.4. PINA – ポートA入力レジスタ (Port A Input Address)

ビット	7	6	5	4	3	2	1	0	
\$19 (\$39)	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	PINA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

10.3.5. PORTB – ポートB出力レジスタ (Port B Data Register)

ビット	7	6	5	4	3	2	1	0	
\$18 (\$38)	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	PORTB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.3.6. DDRB – ポートB方向レジスタ (Port B Data Direction Register)

ビット	7	6	5	4	3	2	1	0	
\$17 (\$37)	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	DDRB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

10.3.7. PINB – ポートB入力レジスタ (Port B Input Address)

ビット	7	6	5	4	3	2	1	0	
\$16 (\$36)	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	PINB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

11. タイマ/カウンタ

11.1. 特徴

- ・ 比較一致でのタイマ/カウンタ解除 (自動再設定)
- ・ 捕獲入力部
- ・ 4つの独立した割り込み (TOV0, OCF0A, OCF0B, ICF0)
- ・ 2つの独立した比較部での8ビット動作
- ・ 1つの独立した比較部での16ビット動作

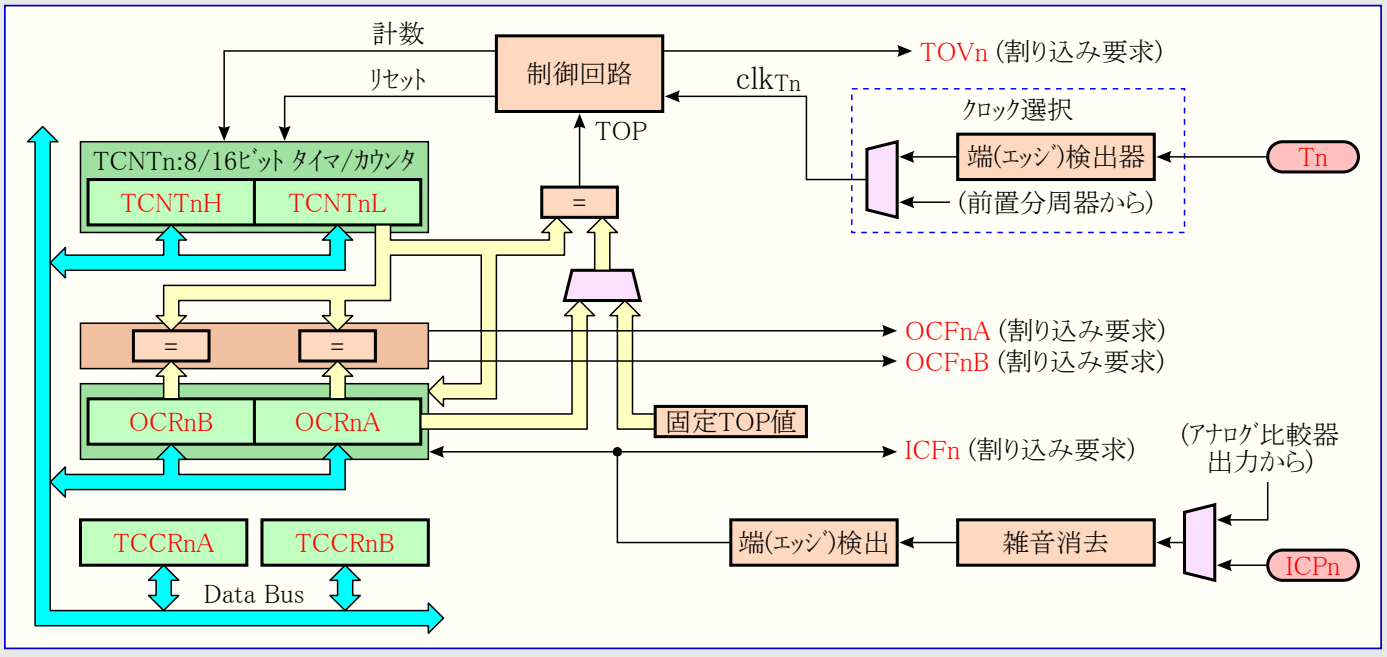
11.2. 概要

タイマ/カウンタ0は2/1つの比較出力部と捕獲入力を持つ汎用8/16ビットタイマ/カウンタ部です。

タイマ/カウンタ0の一般動作は8/16ビット動作で記述されます。この8/16ビットタイマ/カウンタの単純化した構成図は図11-1.で示されます。実際のI/Oピンの配置については2頁の「ピン配置」を参照してください。CPUがアクセス可能な(I/OビットとI/Oピンを含む)I/Oレジスタは赤文字(訳注: 原文太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は52頁の「タイマ/カウンタ用レジスタ」で示されます。

24頁の「PRR – 電力削減レジスタ」のPRTIM0ビットはタイマ/カウンタ1部を許可するために0を書かれなければなりません(訳注: 行追加)。

図11-1. 8/16ビット タイマ/カウンタ構成図



11.2.1. 関係レジスタ

タイマ/カウンタ0下位バイト(TCNT0L)レジスタ、比較レジスタ(OCR0A, OCR0B)は8ビットレジスタです。(図14-1.で省略された)割り込み要求信号はタイマ/カウンタ割り込み要求レジスタ(TIFR)で全て見えます。全ての割り込みはタイマ/カウンタ割り込み許可レジスタ(TIMSK)で個別に遮蔽(禁止)されます。TIFRとTIMSKはこの図で示されません。

16ビット動作のタイマ/カウンタには更に1つの8ビットレジスタ、タイマ/カウンタ上位バイト(TCNT0H)レジスタがあります。尚、2つの比較レジスタのOCR0AとOCR0Bは1つの16ビット比較レジスタに組み合わせられるので、16ビット動作では1つの比較部だけです。OCR0Aは語の下位バイトを含み、OCR0Bは語の上位バイトを含みます。16ビットレジスタをアクセスするとき、50頁の「16ビット動作でのレジスタアクセス」項で記述される特別な手順に従わなければなりません。

11.2.2. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は0で置き換えます。小文字のxは比較出力部のチャネル名を表し、この場合はAまたはBです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ0のカウンタ値のアクセスに対してのTCNT0Lのように)。

表11-1.の定義は本文書を通して広範囲に渡って使われます。

表11-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが\$00/\$0000に到達した時。
MAX	タイマ/カウンタが8ビット動作で\$FF(255)または16ビット動作で\$FFFF(65536)に到達した時。
TOP	タイマ/カウンタが計数内の最大値と等しくなるTOPに到達した時。TOP値は固定値(\$FF/\$FFFF)またはOCR0Aレジスタに格納した値を指定できます。

11.3. クロック元

このタイマ/カウンタは内部、前置分周器経由またはT0ピンの外部クロック元によってクロック駆動できます。クロック選択論理回路はタイマ/カウンタ0制御レジスタB(TCCR0B)に配置されたクロック選択(CS02~0)ビットによって制御され、タイマ/カウンタが進行に使うクロック元と端(エッジ)を制御します。クロック選択論理回路からの出力はタイマ/カウンタクロック(clk_{T0})として参照されます。

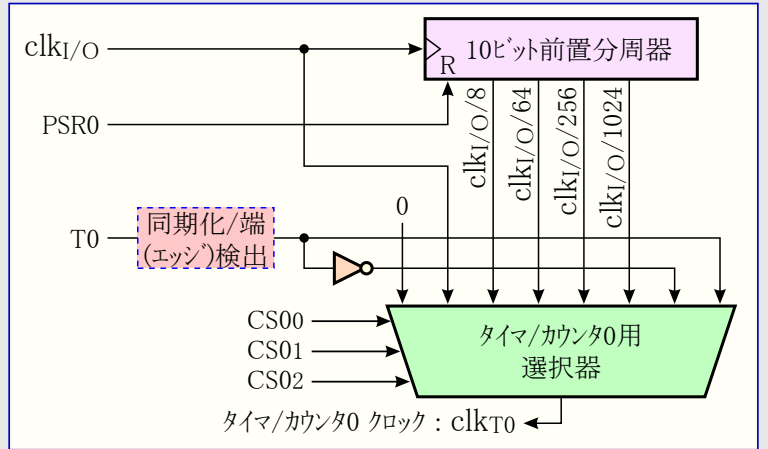
11.3.1. 前置分周器

タイマ/カウンタはシステムクロック($CS_{n2\sim0}=001$ 設定)によって直接的にクロック駆動できます。これはシステムクロック周波数($f_{clk_{I/O}}$)と等しいタイマ/カウンタ最大クロック周波数での最高速動作を提供します。選択で前置分周器からの4つのタップの1つがクロック元として使えます。

前置分周器部の図解については図11-2をご覧ください。

この前置分周したクロックは $f_{clk_{I/O}}/8$, $f_{clk_{I/O}}/64$, $f_{clk_{I/O}}/256$, $f_{clk_{I/O}}/1024$ の何れかの周波数です。詳細については53頁の表11-3をご覧ください。

図11-2. タイマ/カウンタ0の前置分周器部構成図



注: 入力(T0)ピンの同期化論理回路は図11-3で示されます。

11.3.1.1. 前置分周器リセット

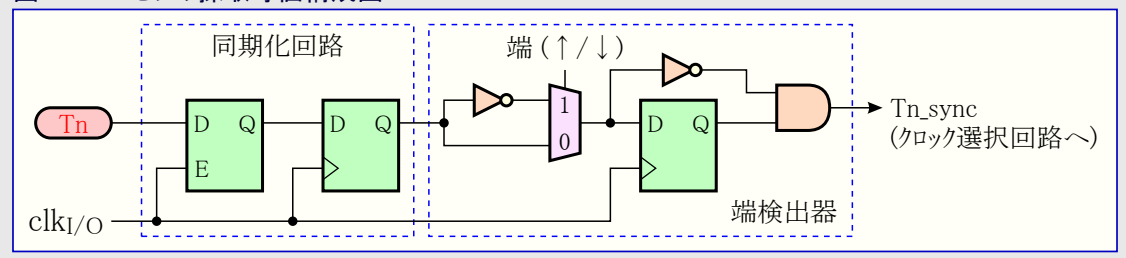
この前置分周器は自由走行です(換言するとタイマ/カウンタのクロック選択論理回路と無関係に動作します)。前置分周器はタイマ/カウンタのクロック選択によって影響されないため、前置分周器の状態は前置分周したクロックが使われる状況に対して密接に関係します。タイマ/カウンタが許可され、前置分周器によってクロック駆動される($CS_{n2\sim0}=5\sim2$)とき、前置分周加工の一例が生じます。タイマ/カウンタが許可される時から最初の計数が起きるまでのシステムクロック周期数はNが前置分周値(8, 64, 256, 1024)とすると、 $1\sim N+1$ システムクロック周期になり得ます。プログラム実行にタイマ/カウンタを同期することに対して前置分周器リセットを使うことが可能です。

11.3.2. 外部クロック元

T0ピンに印加した外部クロック元はタイマ/カウンタクロック($f_{clk_{T0}}$)として使えます。このT0ピンはピン同期化論理回路によって全システムクロック周期に1回採取されます。この同期化(採取)された信号はその後に端(エッジ)検出器を通して通過されます。図11-3はT0同期化と端検出器論理回路の機能等価構成図を示します。レジスタは内部システムクロック($f_{clk_{I/O}}$)の上昇端でクロック駆動されます。ラッチは内部システムクロックのHigh区間で通過(Low区間で保持)です。

端検出器は上昇端($CS_{n2\sim0}=111$)または下降端($CS_{n2\sim0}=110$)の検出毎に1つの clk_{T0} パルスを生成します。詳細については53頁の表11-3をご覧ください。

図11-3. T0ピンの採取等価構成図



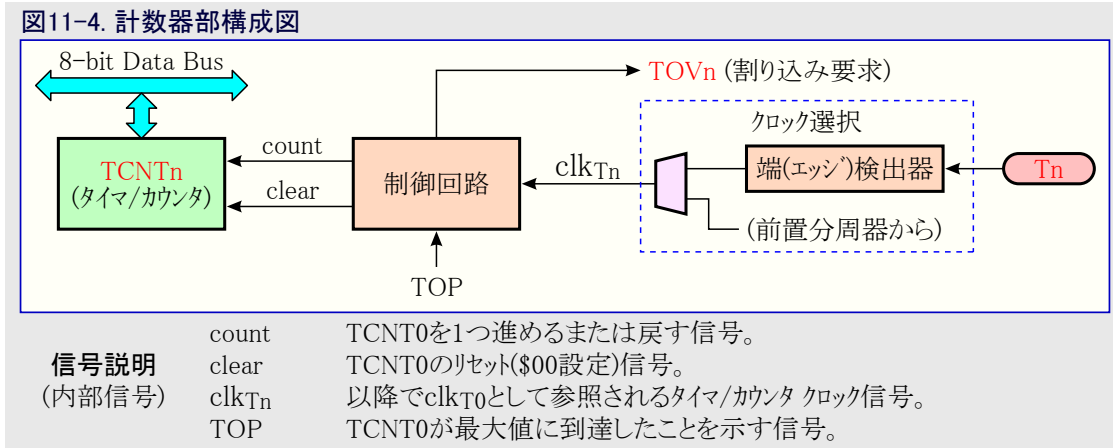
同期化と端検出器論理回路はT0ピンへ印加した端からカウンタが更新されるまでに2.5~3.5システムクロック周期の遅延をもたらします。クロック入力の許可と禁止はT0が最低1システムクロック周期に対して安定してしまっている時に行われなければならない、さもなければ不正なタイマ/カウンタクロックパルスが生成される危険があります。

印加された外部クロックの各半周期は正しい採取を保証するために1システムクロック周期より長くなければなりません。この外部クロックは50%/50%デューティ比で与えられるとし、システムクロック周波数の半分未満($f_{EXTclk} < f_{clk_{I/O}}/2$)であることが保証されなければなりません。端検出器が採取を使うため、検出できる外部クロックの最大周波数は採取周波数の半分です(ナイストの標準化定理)。然しながら、発振元(水晶発振子、セラミック振動子、コンデンサ)公差によって引き起こされたシステムクロック周波数やデューティ比の変動のため、外部クロック元の最大周波数は $f_{clk_{I/O}}/2.5$ 未満が推奨されます。

外部クロック元は前置分周できません。

11.4. 計数器部

8ビット タイマ/カウンタの主な部分は設定可能なカウンタ部です。図11-4は、このカウンタとその周辺環境の構成図を示します。

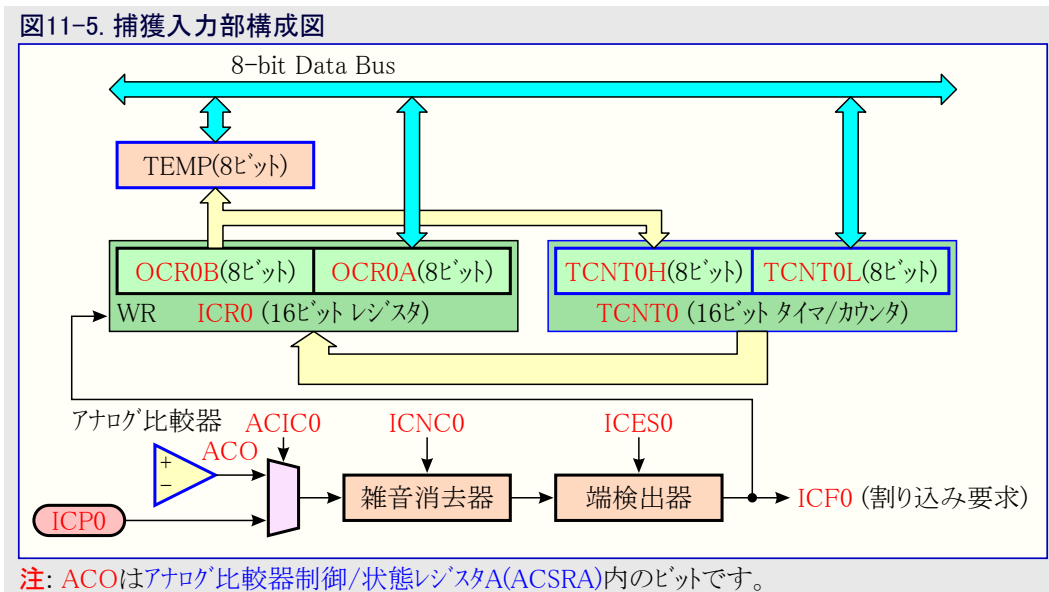


カウンタはTOP値を通過するまで各タイマ/カウンタ クロック(clkT0)で増加(+1)され、そしてBOTTOMから再計数します。計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR0A)に配置された比較一致解除(CTC0)ビットの設定によって決定されます。計数順序についてより多くの詳細に関しては48頁の「動作種別」をご覧ください。clkT0はクロック選択(CS02~0)ビットによって選ばれた内部または外部のクロック元から生成できます。クロック元が選ばれない(CS02~0=000)と、タイマ/カウンタは停止されます。けれどもTCNT0値はタイマ/カウンタ クロック(clkT0)が存在するしないに拘らずCPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先順位を持ちます)。タイマ/カウンタ溢れ(TOV0)フラグはカウンタが最大値に到達する時に設定(=1)され、それはCPU割り込み発生に使用されます。

11.5. 捕獲入力部

タイマ/カウンタは外部の出来事を捕獲でき、発生時間を示す時間印(タイマ/カウンタ値)を与える捕獲入力部と合体します。出来事または複数の出来事を示す外部信号はICP0ピンまたは代わりにアナログ比較器部経由で印加できます。時間印はその後、周波数、デューティ比、印加された信号の他の特徴の計算に使用されます。代わりに時間印は出来事の記録作成にも使用されます。

捕獲入力部は図11-5で示される構成図によって図解されます。直接的な捕獲入力部の部分でない構成図の要素は青枠(注:原文は灰色背景)で示されます。



比較レジスタ(OCR0A)は8ビット捕獲入力レジスタ(ICR0)としても使われる二重目的レジスタです。16ビット捕獲入力動作での比較レジスタ(OCR0B)は捕獲入力レジスタ(ICR0)の上位バイトを扱います。8ビット捕獲入力動作でのOCR0Bは標準比較レジスタとして使用されるために空いていますが、16ビット捕獲入力動作での比較部は空いている比較レジスタがないので使えません。本項では捕獲入力レジスタはICR0と呼ばれますが、これは比較レジスタへの参照です。

捕獲起動入力(ICP0)ピン若しくは代わりにアナログ比較器出力(ACO)で論理レベルの変化(出来事)が起き、その変化が端(エッジ)検出器の設定を追認すると、捕獲が起動されます。捕獲が起動されると、カウンタ(TCNT0)の16ビット値が捕獲レジスタ(ICR0)に書かれます。捕獲割り込み要求フラグ(ICF0)はTCNT0値がICR0に複製されるのと同じシステム クロックで設定(1)されます。許可(I=1, TICIE0=1)ならば捕獲割り込み要求フラグは捕獲割り込みを発生します。ICF0は割り込みが実行されると自動的に解除(0)されます。代わりにこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。

11.5.1. 捕獲起動元

捕獲入力部に対する既定の起動元は捕獲起動入力(ICP0)ピンです。タイマ/カウンタは捕獲入力部用起動元としてアナログ比較器出力を代わりに使えます。アナログ比較器はタイマ/カウンタ制御レジスタ(TCCRA)のアナログ比較器捕獲起動許可(ACIC0)ビットの設定(=1)によって起動元として選ばれます。起動元を変更することが捕獲を起動し得ることに気付いてください。従って捕獲割り込み要求フラグ(ICF0)はその変更後に解除(0)されなければなりません。

捕獲起動入力(ICP0)ピンとアナログ比較器出力(ACO)の両入力、T0ピン(45頁の図11-3参照)についてと同じ技法を使って採取されます。端(エッジ)検出器も全く同じです。けれども雑音消去が許可されると、付加論理回路が端検出器の前に挿入され、そして遅延を4システムクロック周期増やします。捕獲入力ICP0ピンのポートを制御することによってソフトウェアで起動できます。

11.5.2. 雑音消去器

雑音消去器は簡単なデジタル濾波器機構を使うことによって雑音耐性を改善します。雑音消去器の入力は4採取に渡って監視され、端検出器によって使われる方向転換となる出力を変更するためには4回全てが同じでなければなりません。

雑音消去器はタイマ/カウンタ制御レジスタ(TCCRA)の捕獲入力雑音消去許可(ICNC0)ビットの設定(1)によって許可されます。許可した時に雑音消去器は入力に印加した変更からICR0の更新までに4システムクロック周期の追加遅延をもたらします。雑音消去器はシステムクロックを使い、従って前置分周器によって影響されません。

11.5.3. 捕獲入力の使用

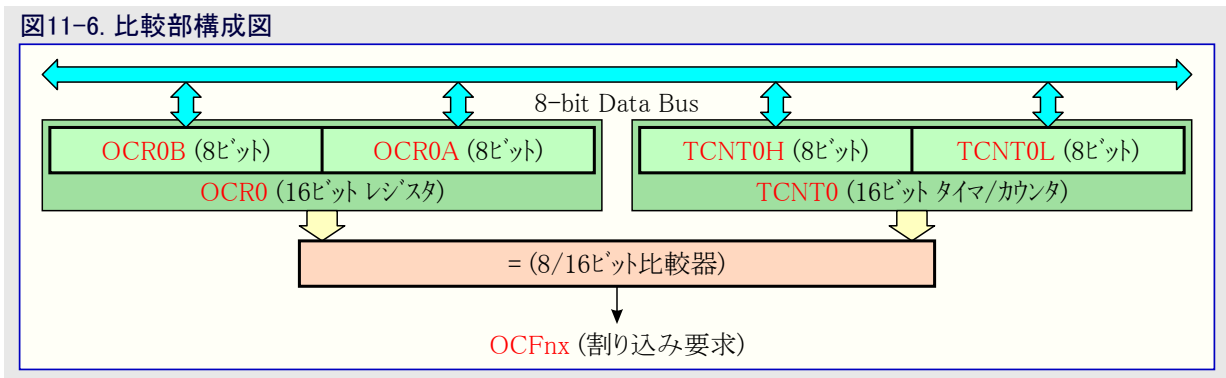
捕獲入力機能を使う主な要求(目的)は入って来る出来事に対して十分なプロセッサ能力を当てがうことです。2つの出来事間の時間が際どいとして、次の出来事が起こる前に捕獲した捕獲レジスタ(ICR0)の値をプロセッサが読めなかった場合、ICR0は新しい値で上書きされます。この場合、捕獲の結果は不正にされます。

捕獲割り込みを使う時にICR0は割り込み処理ルーチンで可能な限り早く読まれるべきです。捕獲割り込みが相対的に高い優先順位であっても、最大割り込み応答時間は他の割り込み要求の何れかを扱うために必要とされる最大クロック周期数に依存します。

外部信号のデューティ比測定は各捕獲後に起動端が変更されるのを必要とします。検出端の変更はICR0が読まれてしまった後に可能な限り早く行われなければなりません。端(エッジ)の変更後、捕獲割り込み要求フラグ(ICF0)はソフトウェア(I/Oビット位置への論理1書き込み)によって解除(0)されなければなりません(訳補:端変更によってICF0が設定(1)されることを想定)。周波数のみの測定については(割り込み処理が使われる場合)ICF0の解除(0)は必要とされません。

11.6. 比較部

この比較器はTCNT0と比較レジスタ(OCR0AとOCR0B)を継続的に比較し、タイマ/カウンタが比較レジスタと等しい時は必ず、比較器が一致を指示します。この一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF0x)を設定(1)します。8ビット動作での一致は比較一致フラグ、OCF0AまたはOCF0Bのどちらをも設定(1)し得ます。16ビット動作での一致は1つの比較部だけのため、比較一致フラグ(OCF0A)だけを設定(1)し得ます。対応する割り込みが許可(I=1, OCIE0x=1)なら、この比較割り込み要求フラグは比較割り込みを発生します。OCF0xは割り込みが実行されると自動的に解除(0)されます。代わりにOCF0xはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。図11-6は比較部の構成図を示します。



11.6.1. TCNT0書き込みによる比較一致妨害

TCNT0H/Lへの全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に、割り込みを起動することなく、TCNT0と同じ値に初期化されることをOCR0B/Aに許します。

11.6.2. 比較一致部の使用

どの動作種別でのTCNT0H/L書き込みでも1タイマ/カウンタクロック周期間、全ての比較一致を妨げるため、タイマ/カウンタが走行中であるかないかに拘らず、何れかの比較出力部を使う場合にTCNT0H/Lを変更する時は危険を伴います。TCNT0H/Lに書かれた値がOCR0B/A値と同じ場合、比較一致は失われます(一致が発生しません)。

11.7. 動作種別

動作種別はタイマ/カウンタ0制御レジスタ(TCCR0A)の**タイマ/カウンタ幅(TCW0)**、**捕獲入力許可(ICEN0)**、**比較一致解除(CTC0)**ビットによって定義されます。表11-2.は各種動作種別を示します。

表11-2. 動作種別

番号	ICEN0	TCW0	CTC0	タイマ/カウンタ動作種別	TOP値	OCR0x更新時	TOV0設定時
0	0	0	0	標準8ビット動作	\$FF	即時	MAX(\$FF)
1	0	0	1	8ビット比較一致タイマ/カウンタ解除(CTC)動作	OCR0A	即時	MAX(\$FF)
2	0	1	x	16ビット動作	\$FFFF	即時	MAX(\$FFFF)
3	1	0	x	8ビット捕獲入力動作	\$FF	即時	MAX(\$FF)
4	1	1	x	16ビット捕獲入力動作	\$FFFF	即時	MAX(\$FFFF)

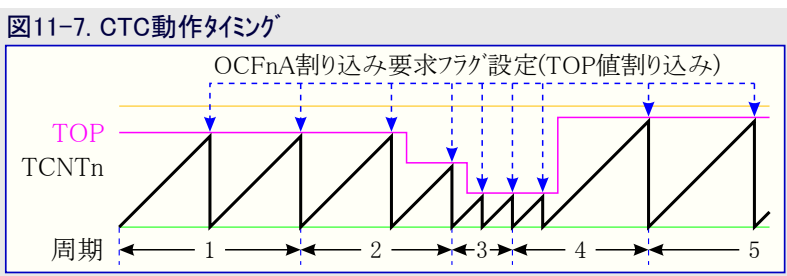
11.7.1. 標準8ビット動作

標準8ビット動作(表11-2.参照)ではタイマ/カウンタ(TCNT0L)が8ビット最大値(MAX=\$FF)を通過するまで増加し、そしてBOTTOM(\$00)から再度始めます。**溢れ(TOV0)フラグ**はTCNT0Lが0になるのと同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第9ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ0溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

11.7.2. 8ビット比較一致タイマ/カウンタ解除(CTC)動作

比較一致タイマ/カウンタ解除(CTC)動作(表11-2.参照)ではOCR0Aレジスタがカウンタの分解能を操作するのに使われます。CTC動作ではカウンタ(TCNT0)値がOCR0Aと一致すると、カウンタが\$00に解除されます。OCR0Aはカウンタに対するTOP値、従って分解能も定義します。この動作種別はより大きい比較一致周波数の制御を許します。それは外部の出来事の計数操作も簡単にします。

CTC動作についてのタイミング図は図11-7.で示されます。カウンタ(TCNT0)値はTCNT0とOCR0A間で比較一致が起こるまで増加し、そしてその後にカウンタ(TCNT0)は解除(\$00)されます。



OCF0Aフラグを使うことにより、タイマ/カウンタ値がTOP値に達する時毎に割り込みが生成できます。割り込みが許可されるなら、割り込み処理ルーチンはTOP値を更新するのに使えます。けれども前置分周なしまたは低い前置分周値でカウンタが走行している時にBOTTOMと近い値にTOPを変更することは、CTC動作が2重緩衝機能を持たないために注意して行わなければなりません。OCR0Aに書かれた新しい値がTCNT0の現在値よりも低い(小さい)場合、タイマ/カウンタは(その回の)比較一致を失います。その後にカウンタは比較一致が起こるのに先立って最大値(\$FF)へ、そして次に\$00から始める計数をしなければなりません。標準動作と同じように**タイマ/カウンタ溢れ(TOV0)フラグ**はカウンタがMAXから\$00へ計数する同じタイマ/カウンタクロック周期で設定(1)されます。

11.7.3. 16ビット動作

16ビット動作(表11-2.参照)ではカウンタ(TCNT0H/L)が16ビット最大値(MAX=\$FFFF)を通過するまで増加し、そしてBOTTOM(\$0000)から再度始めます。**溢れ(TOV0)フラグ**はTCNT0H/Lが0になるのと同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV0フラグは設定(1)のみで解除(0)されないことを除いて第17ビットのようになります。けれどもTOV0フラグを自動的に解除(0)するタイマ/カウンタ0溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。比較部は与えられた或る時間に割り込みを生成するのに使えます。

11.7.4. 8ビット捕獲入力動作

タイマ/カウンタ0は8ビット捕獲入力動作にも使え、ビット設定については表11-2.をご覧ください。完全な記述に関しては46頁の「**捕獲入力部**」項をご覧ください。

11.7.5. 16ビット捕獲入力動作

タイマ/カウンタ0は16ビット捕獲入力動作にも使え、ビット設定については表11-2.をご覧ください。完全な記述に関しては46頁の「**捕獲入力部**」項をご覧ください。

11.8. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{Tn})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。図11-8は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図はMAX値近辺の計数の流れを示します。

図11-8. 前置分周なし(1/1)のタイマ/カウンタ タイミング

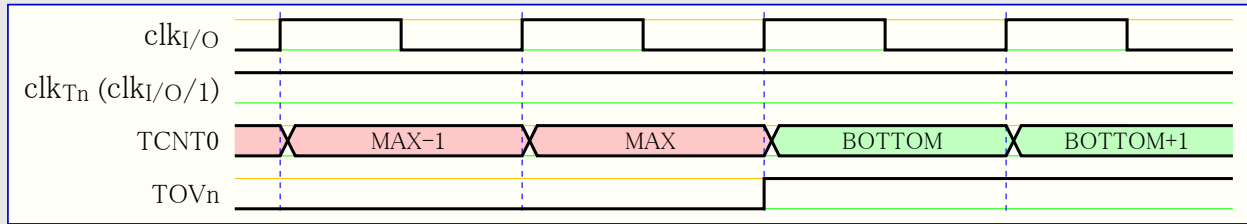


図11-9は同じタイミング データを示しますが、前置分周器が許可されています。

図11-9. 前置分周器($f_{clk_{I/O}/8}$)のタイマ/カウンタ タイミング

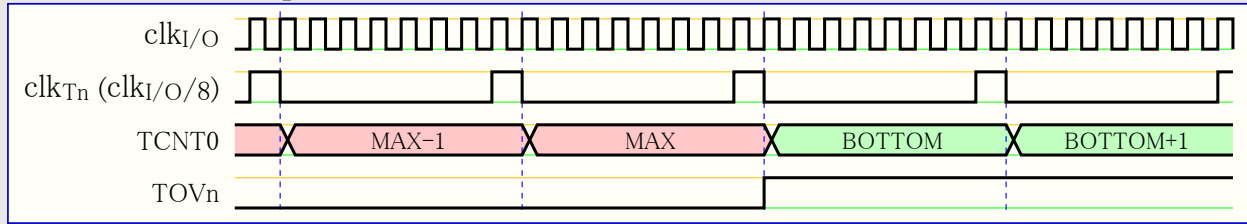


図11-10は標準動作でのOCF0AとOCF0Bの設定(0⇒1)を示します。

図11-10. 前置分周器($f_{clk_{I/O}/8}$)のタイマ/カウンタ、OCF0x設定 タイミング

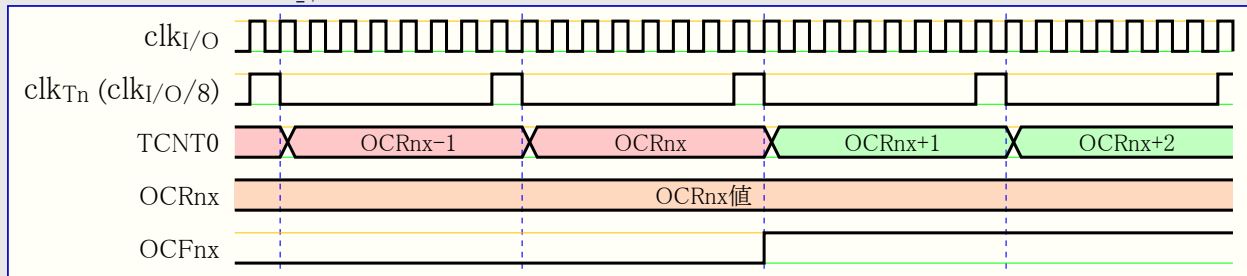
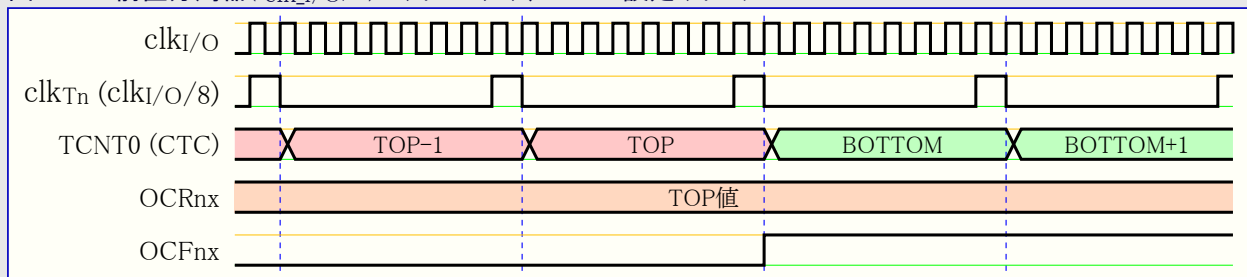


図11-11はCTC動作でのTCNT0の解除とOCF0Aの設定(0⇒1)を示します。

図11-11. 前置分周器($f_{clk_{I/O}/8}$)のタイマ/カウンタ、OCF0A設定 タイミング



11.9. 16ビット動作でのレジスタ アクセス

16ビット動作(TCCR0Aのタイマ/カウンタ幅(TCW0)ビットが1に設定)でのTCNT0H/LとOCR0A/BまたはTCNT0L/HとOCR0B/Aは8ビットバス經由でAVR CPUによってアクセスできる16ビットレジスタです。この16ビットレジスタは2回の読みまたは書き操作を使ってバイトアクセスされなければなりません。16ビットタイマ/カウンタは16ビットアクセスの上位バイトの一時保存用に1つの8ビットレジスタを持ちます。全ての16ビットレジスタ間で、この同じ一時レジスタが共用されます。下位バイトアクセスが16ビット読み書き動作を起動します。16ビットレジスタの下位バイトがCPUによって書かれると、一時レジスタに保存した上位バイトと書かれた下位バイトは同じクロック周期で16ビットレジスタに両方が複写されます。16ビットレジスタの下位バイトがCPUによって読まれると、16ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期で一時レジスタに複写されます。

一時レジスタ使用に1つの例外があります。比較動作での16ビット比較レジスタ(OCR0A, OCR0B)は、比較レジスタがCPUアクセスによってのみ変更される固定値を含むため、一時レジスタなしに読まれます。けれどもOCR0AとOCR0Bによって形成された捕獲入力動作でのICR0レジスタは一時レジスタとでアクセスされなければなりません。

16ビット書き込みを行うために、上位バイトは下位バイトに先立って書かれなければなりません。16ビット読み込みについては下位バイトが上位バイト前に読まれなければなりません。

次のコード例は割り込みが一時レジスタを更新しないことが前提の16ビットタイマ/カウンタレジスタのアクセス法を示します。OCR0A/Bレジスタのアクセスに対して同じ原理が直接的に使えます。

アセンブリ言語プログラム例

```
~
;
; [16ビット($01FF)書き込み]
LDI R17, $01 ; $01FFの上位バイト値取得
LDI R16, $FF ; $01FFの下位バイト値取得
OUT TCNT0H, R17 ; 上位バイト設定(一時レジスタ)
OUT TCNT0L, R16 ; 下位バイト設定(一時レジスタ⇒上位バイト)
; [16ビット読み込み]
IN R16, TCNT0L ; 下位バイト取得(上位バイト⇒一時レジスタ)
IN R17, TCNT0H ; 上位バイト取得(一時レジスタ)
~
;
```

C言語プログラム例

```
unsigned int i;
~
TCNT0H = 0x01; /* */
TCNT0L = 0xFF; /* [16ビット($01FF)書き込み] */
/* 上位バイト設定(一時レジスタ) */
/* 下位バイト設定(一時レジスタ⇒上位バイト) */
/* [16ビット読み込み] */
i = TCNT0L; /* 下位バイト取得(上位バイト⇒一時レジスタ) */
i |= ((unsigned int)TCNT0H<<8); /* 上位バイト取得(一時レジスタ)合成 */
~
/* */
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT0H/L値を戻します。

16ビットレジスタアクセスが非分断操作であるのに注意することが重要です。16ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその16ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによって一時レジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方が一時レジスタを更新するとき、主コードは16ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT0H/Lレジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR0A/Bのどんな読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNT0:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            IN      R16, TCNT0L        ;TCNT0下位バイト取得(上位バイト⇒一時レジスタ)
            IN      R17, TCNT0H        ;TCNT0上位バイト取得(一時レジスタ)
            OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
            RET                       ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNT0(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT0読み出し変数定義 */
    sreg = SREG;                      /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                           /* 全割り込み禁止 */
    i = TCNT0L;                       /* 下位バイト取得(上位バイト⇒一時レジスタ) */
    i |= ((unsigned int)TCNT0H<<8);   /* 上位バイト取得(一時レジスタ)合成 */
    SREG = sreg;                      /* 全割り込み許可フラグ(I)を復帰 */
    return i;                         /* TCNT0値で呼び出し元へ復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT0H/L値を戻します。

次のコード例はTCNT0H/Lレジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR0A/Bのどんな書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNT0:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            OUT     TCNT0H, R17        ;TCNT0上位バイト設定(一時レジスタ)
            OUT     TCNT0L, R16        ;TCNT0下位バイト設定(一時レジスタ⇒上位バイト)
            OUT     SREG, R18          ;全割り込み許可フラグ(I)を復帰
            RET                       ;呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNT0(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT0書き込み変数定義 */
    sreg = SREG;                      /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                           /* 全割り込み禁止 */
    TCNT0H = (i>>8);                 /* 上位バイト設定(一時レジスタ) */
    TCNT0L = (unsigned char)i;        /* 下位バイト設定(一時レジスタ⇒上位バイト) */
    SREG = sreg;                      /* 全割り込み許可フラグ(I)を復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNT0H/Lへ書かれるべき値を含む必要があります。

11.9.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数16ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

11.10. タイマ/カウンタ0用レジスタ

11.10.1. TCCR0A – タイマ/カウンタ0制御レジスタA (Timer/Counter0 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$15 (\$35)	TCW0	ICEN0	ICNC0	ICES0	ACIC0	–	–	CTC0	TCCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – TCW0 : タイマ/カウンタ0幅 (Timer/Counter 0 Width)

このビットが1を書かれると、48頁の「16ビット動作」で記述されるように、16ビット動作が選ばれます。タイマ/カウンタ0の幅が16ビットに設定され、比較レジスタのOCR0AとOCR0Bが1つの16ビット比較レジスタを形成するために組み合わせられます。16ビットレジスタのTCNT0H/LとOCR0B/Aは8ビット データバス経由でAVR CPUによってアクセスされるので、特別な手順に従わなければなりません。これらの手順は50頁の「16ビット動作でのレジスタ アクセス」項で記述されます。

● ビット6 – ICEN0 : 捕獲入力動作許可 (Input Capture Mnode Enable)

このビットが1を書かれると、捕獲入力動作が許可されます。

● ビット5 – ICNC0 : 捕獲起動入力0雑音消去許可 (Input Capture Noise Canceler)

このビットを(1)に設定することが捕獲起動入力雑音消去器を活性(有効)にします。雑音消去器が有効にされると、捕獲起動入力(ICP0)ピンからの入力が濾波されます。この濾波器機能はそれが出力を更新することに対して連続4回等しく評価されたICP0ピンの採取を必要とします。雑音消去器が許可されると、捕獲入力はこれによって4発振器(システムクロック)周期遅らされます。

● ビット4 – ICES0 : 捕獲起動入力端選択 (Input Capture Edge Select)

このビットは出来事での捕獲を起動するために使われる捕獲起動入力(ICP0)ピンのどちらかの端(エッジ)を選びます。ICES0ビットが0を書かれると起動動作として下降(負)端が使われ、ICES0ビットが1を書かれると上昇(正)端が捕獲を起動します。捕獲がICES0設定に従って起動されると、カウンタ値が捕獲レジスタ(OCR0B/A)に複写されます。この事象は捕獲入力割り込み要求フラグ(ICF0)も設定(1)し、そしてこれはこの割り込みが許可されていれば捕獲入力割り込みを起こすのに使えます。

● ビット3 – ACIC0 : アナログ比較器捕獲起動許可 (Analog Comparator Input Capture Enable)

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ0の捕獲機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ0捕獲割り込みの雑音消去機能と端(エッジ)選択機能を利用させる捕獲入力前置論理回路へ直接的に接続されません。論理0を書かれると、アナログ比較器と捕獲機能間の接続は存在しません。比較器がタイマ/カウンタ0捕獲割り込みを起動するにはタイマ/カウンタ割り込み許可レジスタ(TIMSK)の捕獲割り込み許可(TICIE0)ビットが設定(1)されなければなりません。

● ビット2,1 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット0 – CTC0 : 比較一致タイマ/カウンタ解除 (Clear Timer/Counter0 on Compare Match)

このビットは、カウンタの計数順序、最大カウンタ(TOP)値の供給元を制御します。48頁の表11-2をご覧ください。タイマ/カウンタ部によって支援される動作種別は標準動作(計数器)と比較一致タイマ/カウンタ解除(CTC)動作です。48頁の「動作種別」をご覧ください。

11.10.2. TCCR0B – タイマ/カウンタ0制御レジスタB (Timer/Counter 0 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$33 (\$53)	–	–	–	TSM	PSR0	CS02	CS01	CS00	TCCR0B
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット4 – TSM : タイマ/カウンタ同時動作 (Timer/Counter Synchronization Mode)

TSMビットに1を書くことはタイマ/カウンタ同期化動作を活性(有効)にします。この動作でPSR0へ書かれる値は保持され、従って前置分周器リセット信号の有効を保持します。これはタイマ/カウンタを停止し、設定中に進行する危険なしに設定できることを保証します。TSMビットが0を書かれると、PSR0ビットはハードウェアによって解除(0)され、タイマ/カウンタが計数を始めます。

● ビット3 – PSR0 : タイマ/カウンタ0 前置分周器リセット (Prescaler Reset Timer/Counter 0)

このビットが1のとき、タイマ/カウンタ0の前置分周器はリセットします。TSMビットが設定(1)されている場合を除き、通常、このビットはハードウェアによって直ちに解除(0)されます。

● ビット2~0 – CS02~0 : クロック選択0 (Clock Select0, bit 2,1 and 0)

このクロック選択ビット2~0はタイマ/カウンタ(TCNT0)の前置分周する供給元を定義します。

外部ピン(クロック)動作がタイマ/カウンタ0に対して使われる場合、例えばT0ピンが出力として設定されても、T0ピンの遷移はカウンタをクロック駆動します。この特徴がソフトウェアに計数制御を許します。

表11-3. タイマ/カウンタ0入力クロック選択

CS02	CS01	CS00	意味
0	0	0	停止 (タイマ/カウンタ0動作停止)
0	0	1	clk _{I/O} (前置分周なし)
0	1	0	clk _{I/O} /8 (8分周)
0	1	1	clk _{I/O} /64 (64分周)
1	0	0	clk _{I/O} /256 (256分周)
1	0	1	clk _{I/O} /1024 (1024分周)
1	1	0	T0ピンの下降端 (外部クロック)
1	1	1	T0ピンの上昇端 (外部クロック)

11.10.3. TCNT0L – タイマ/カウンタ0下位バイト (Timer/Counter0 Register Low Byte)

ビット	7	6	5	4	3	2	1	0	
\$32 (\$52)	(MSB)							(LSB)	TCNT0L
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

タイマ/カウンタ0レジスタ下位バイト(TCNT0L)は読み書き両方についてタイマ/カウンタ部の8ビットカウンタに直接アクセスします。TCNT0Lレジスタへの書き込みは次のタイマ/カウンタクロックでの比較一致を妨害(除去)します。カウンタが走行中にカウンタ(TCNT0L)を変更することは、OCR0xとTCNT0L間の比較一致消失の危険を誘発します。16ビット動作でのTCNT0Lレジスタは16ビットタイマ/カウンタ0レジスタの下位部を含みません。

11.10.4. TCNT0H – タイマ/カウンタ0上位バイト (Timer/Counter0 Register High Byte)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$14 (\$34)	(MSB)							(LSB)	TCNT0H
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

16ビット動作が選択(TCCR0AのTCW0=1)されると、タイマ/カウンタ0上位レジスタ(TCNT0H)はタイマ/カウンタ0下位レジスタ(TCNT0L)と組み合わせられ、読み書き両方についてタイマ/カウンタ部の16ビットカウンタに直接アクセスします。CPUがこれらのレジスタをアクセスする時に上位と下位の両バイトが同時に読み書きされるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。50頁の「16ビット動作でのレジスタアクセス」をご覧ください。

11.10.5. OCR0A – タイマ/カウンタ0 比較Aレジスタ (Timer/Counter0 Output Compare A Register)

ビット	7	6	5	4	3	2	1	0	
\$13 (\$33)	(MSB)							(LSB)	OCR0A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(TCNT0L)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するのに使えます。

16ビット動作でのOCR0Aレジスタは16ビット比較レジスタの下位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。50頁の「16ビット動作でのレジスタアクセス」をご覧ください。

11.10.6. OCR0B – タイマ/カウンタ0 比較Bレジスタ (Timer/Counter0 Output Compare B Register)

ビット	7(15)	6(14)	5(13)	4(12)	3(11)	2(10)	1(9)	0(8)	
\$12 (\$32)	(MSB)							(LSB)	OCR0B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは継続的にカウンタ(8ビット動作でのTCNT0Lまたは16ビット動作でのTCNT0H)値と比較される8ビットの値を含みます。一致は比較一致割り込みを生成するのに使えます。

16ビット動作でのOCR0Bレジスタは16ビット比較レジスタの上位バイトを含みます。CPUがこれらのレジスタへ書く時に上位と下位の両バイトが同時に書かれるのを保証するため、このアクセスは8ビット上位バイト一時レジスタ(TEMP)を使って実行されます。この一時レジスタは他の全ての16ビットレジスタによって共用されます。50頁の「16ビット動作でのレジスタアクセス」をご覧ください。

11.10.7. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE1D	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	TICIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット4 – OCIE0A : タイマ/カウンタ0比較A割り込み許可 (Timer/Counter0 Output Compare Match A Interrupt Enable)

OCIE0Aビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが許可されます。タイマ/カウンタ0で比較A一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較A割り込み要求フラグ(OCF0A)が設定(1)されると、対応する割り込みが実行されます。

● ビット3 – OCIE0B : タイマ/カウンタ0比較B割り込み許可 (Timer/Counter0 Output Compare Match B Interrupt Enable)

OCIE0Bビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが許可されます。タイマ/カウンタ0で比較B一致が起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で比較B割り込み要求フラグ(OCF0B)が設定(1)されると、対応する割り込みが実行されます。

● ビット1 – TOIE0 : タイマ/カウンタ0溢れ割り込み許可 (Timer/Counter0 Overflow Interrupt Enable)

TOIE0ビットが1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0溢れ割り込みが許可されます。タイマ/カウンタ0溢れが起こる、換言するとタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0溢れ割り込み要求(TOV0)フラグが設定(1)されると、対応する割り込みが実行されます。

● ビット0 – TICIE0 : タイマ/カウンタ0捕獲割り込み許可 (Timer/Counter0 Input Capture Interrupt Enable)

このビットが1を書かれて、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ0捕獲割り込みが許可されます。タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)でタイマ/カウンタ0捕獲割り込み要求(ICF0)フラグが設定(1)されると、対応する割り込み(30頁の「割り込み」参照)が実行されます。

11.10.8. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	ICF0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット4 – OCF0A : タイマ/カウンタ0比較A割り込み要求フラグ (Timer/Counter0, Output Compare A Match Flag)

OCF0Aビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0A)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Aはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Aは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較A一致割り込み許可(OCIE0A)ビット、OCF0Aが設定(1)されると、タイマ/カウンタ0比較A一致割り込みが実行されます。

OCF0Aは16ビット動作でタイマ/カウンタとOCR0B/A内のデータ間に比較一致が起こる時にも設定(1)されます。OCF0Aは捕獲入力レジスタとしてOCF0Aが使われる時の捕獲入力では設定(1)されません。

● ビット3 – OCF0B : タイマ/カウンタ0比較B割り込み要求フラグ (Timer/Counter0, Output Compare B Match Flag)

OCF0Bビットは比較一致がタイマ/カウンタ(TCNT0)と比較レジスタ(OCR0B)間で起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF0Bはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもOCF0Bは解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0比較B一致割り込み許可(OCIE0B)ビット、OCF0Bが設定(1)されると、タイマ/カウンタ0比較B一致割り込みが実行されます。

OCF0Bは16ビット動作で16ビットの比較レジスタまたは捕獲入力レジスタの上位バイトとして使われる時は設定(1)されません。

● ビット1 – TOV0 : タイマ/カウンタ0溢れ割り込み要求フラグ (Timer/Counter0 Overflow Flag)

TOV0ビットはタイマ/カウンタ(TCNT0)溢れが起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、TOV0はハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもTOV0は解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ0溢れ割り込み許可(TOIE0)ビット、TOV0が設定(1)されると、タイマ/カウンタ0溢れ割り込みが実行されます。

● ビット0 – ICF0 : タイマ/カウンタ0捕獲割り込み要求フラグ (Timer/Counter0, Input Capture Flag)

ICF0ピン(または代替のACO)に捕獲の事象が起こると、このフラグが設定(1)されます。捕獲割り込みベクタが実行されると、ICF0は自動的に解除(0)されます。代わりにこのビット位置へ論理1を書くことによってもICF0は解除(0)できます。

12. タイマ/カウンタ1

12.1. 特徴

- 10/8ビット精度
- 3つの独立した比較出力部
- 比較一致でのタイマ/カウンタ解除（自動再設定）
- 不具合なしで正しい位相と周波数のハルス幅変調器（PWM）
- 可変PWM周期
- 各PWMチャネル用の独立した沈黙時間生成器
- 5つの独立した割り込み（TOV1,OCF1A,OCF1B,OCF1D,FPF1）
- 高速非同期と同期のクロック動作
- 独立した前置分周器部

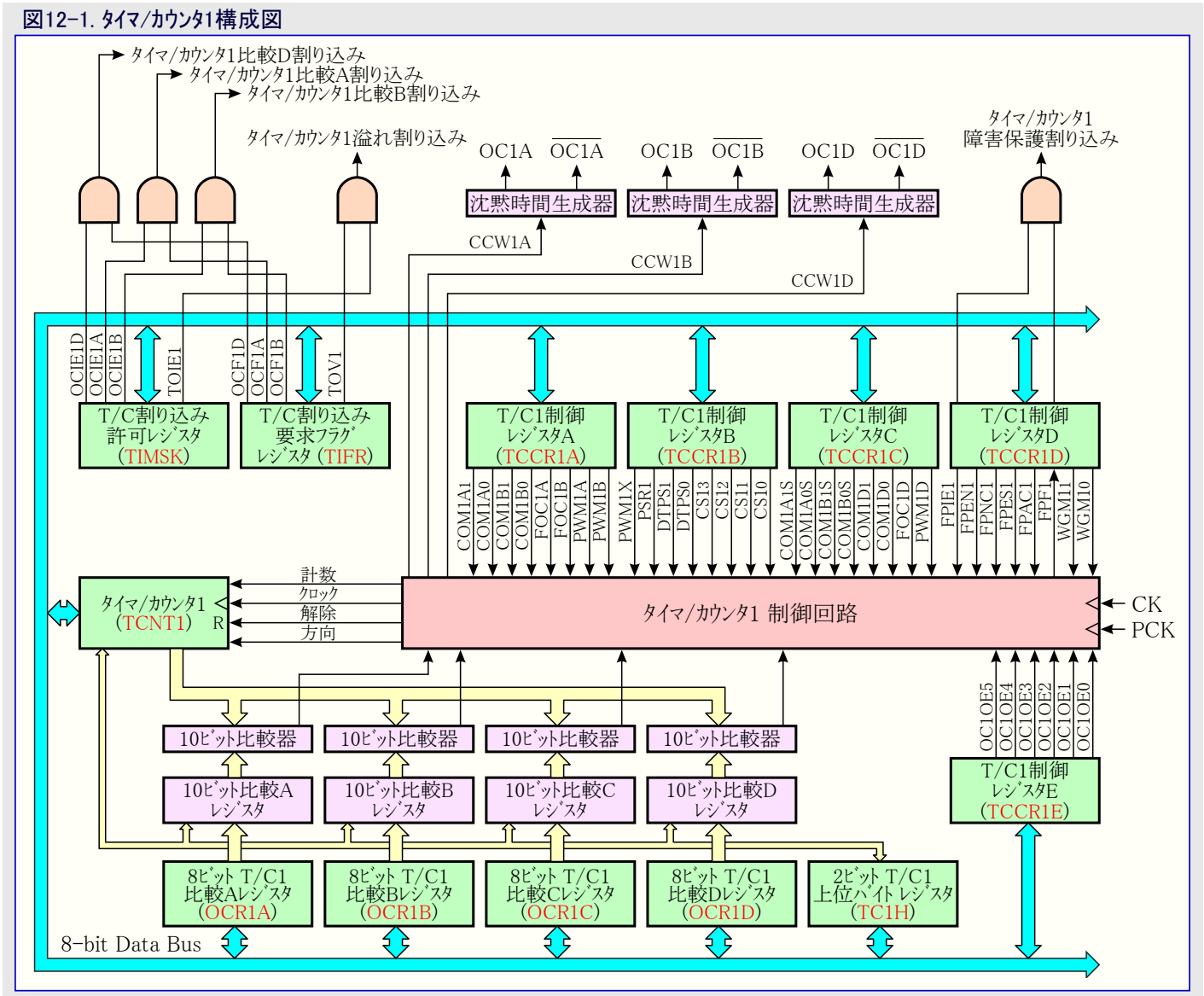
12.2. 概要

タイマ/カウンタ1は3つの独立した比較出力部とPWM支援付きの汎用高速タイマ/カウンタ部です。

タイマ/カウンタ1は低前置分周(使用)機会での高分解能及び高精度の使用が特徴です。64MHz(または低速動作で32MHz)までのクロック速度を使う正確で高速な3つのPWMも支援できます。PWM動作でのタイマ/カウンタ1と比較レジスタは重複しない反転と非反転出力の3つの自立型PWMとして扱います。同様に高前置分周(使用)機会には低速な目的や稀に動く正確なタイミングの目的についてこの単位部を有用にします。タイマ/カウンタ1の単純化した構成図は図12-1.で示されます。I/Oピン実際の配置については2頁の「ピン配置」を参照してください。デバイス仕様のI/Oレジスタとビット位置は71頁の「タイマ/カウンタ1用レジスタ」で一覧されます。

24頁での「PRR - 電力削減レジスタ」のPRTIM1ビットはタイマ/カウンタ1部を許可するために0を書かれなければなりません(訳注:共通性から本行追加)。

図12-1. タイマ/カウンタ1構成図



12.2.1. 速度

タイマ/カウンタ1の最高速は64MHzです。けれども2.7V以下の供給電圧が使われる場合、タイマ/カウンタ1が低電圧状態で充分速く動作しないため、**低速動作(LSM)**を使うことが強く推奨されます。低速動作での高速周辺機能クロックは32MHzに低下されます。低速動作についてのより多くの詳細に関しては76頁の「**PLLCSR – PLL制御/状態レジスタ**」をご覧ください。

12.2.2. 精度

タイマ/カウンタ1は8ビットタイマ/カウンタとして代替使用できる10ビットタイマ/カウンタ部です。タイマ/カウンタ1レジスタは基本的に8ビットレジスタですが、10ビット精度が使われる場合に8ビットデータバス経由でAVR CPUによって10ビットタイマ/カウンタ1の上位2ビットをアクセスするための共通一時緩衝部として使える2ビット**上位バイト(TC1H)レジスタ**が上位にあります。然るに、この10ビットレジスタの上位2ビットが0を書かれるなら、タイマ/カウンタ1は8ビットタイマ/カウンタとして働きます。何れかの8ビットレジスタの下位バイト読み込み時、上位2ビットがTC1Hレジスタへ書かれ、何れかの8ビットレジスタの下位バイト書き込み時、上位2ビットがTC1Hレジスタから書かれます。8ビットバス経由で10ビットタイマ/カウンタ値をアクセスする時は特別な手順に従わなければなりません。これらの手順は69頁の「**10ビットレジスタアクセス**」項で記述されます。

12.2.3. 関係レジスタ

タイマ/カウンタ1(TCNT1)と比較レジスタ(OCR1A, OCR1B, OCR1C, OCR1D)はTCNT1内容と比較されるべきデータ元として使われる8ビットレジスタです。OCR1A, OCR1B, OCR1DはOC1A, OC1B, OC1Dピンの動作を決め、それらは比較一致割り込みも生成できます。OCR1Cはタイマ/カウンタ1のTOP値、換言すると比較一致での解除値を保持します。**タイマ/カウンタ1上位バイト(TC1H)レジスタ**は10ビット精度が使われる場合に、タイマ/カウンタ1レジスタの上位ビットへのアクセスに共通一時緩衝部として使われる2ビットレジスタです。

割り込み要求(TOV1, OCF1A, OCF1B, OCF1Dと障害保護のFPF1)信号は**タイマ/カウンタ割り込み要求フラグレジスタ(TIFR)**と**タイマ/カウンタ1制御レジスタD(TCCR1D)**で見えます。この割り込みは**タイマ/カウンタ割り込み許可レジスタ(TIMSK)**とTCCR1Dの**障害保護割り込許可(FPIE1)ビット**とで個別に遮蔽(許可/禁止)されます。

制御信号はタイマ/カウンタ制御レジスタ、**TCCRA1, TCCRB1, TCCRC1, TCCR1D, TCCRE1**で見つかります。

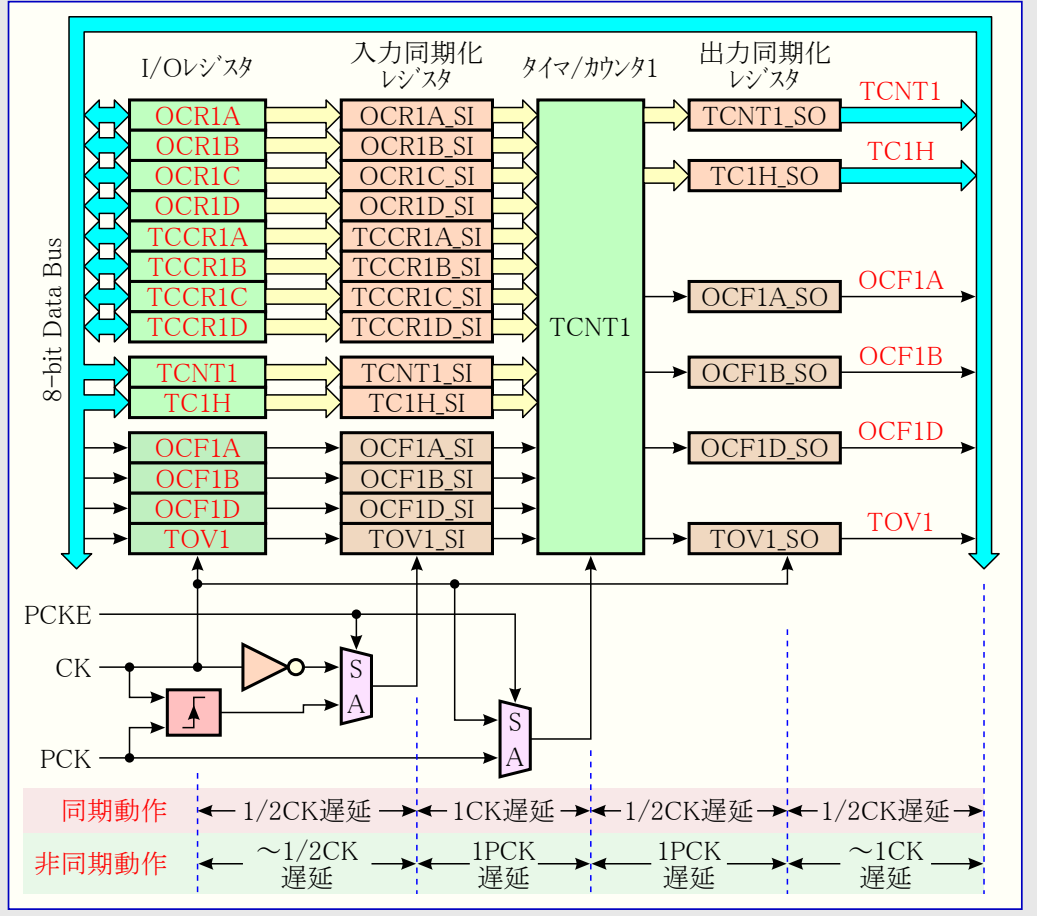
12.2.4. 同期化

同期クロック動作でのタイマ/カウンタ1と前置分周器は前置分周器が非同期動作で高速64MHz(または低速動作で32MHz)のPCKクロック動作をする一方、どのクロック元からもCPUの走行(動作)を許します。これはCPUクロック範囲と高速周辺機能クロック範囲間の境界同期化があるので可能です。**図12-2**はタイマ/カウンタ1同期化レジスタ構成図を示し、レジスタ間の遅延を記載します。全てのクロック開閉の詳細はこの図で示されていません。

タイマ/カウンタ1レジスタ値は計数動作に影響を及ぼす前に入力同期化遅延を引き起こす内部同期化レジスタを通ります。TCCRA1, TCCRB1, TCCRC1, TCCR1D, OCR1A, OCR1B, OCR1C, OCR1Dのレジスタはレジスタ書き込み後に正しく読み戻せます。読み戻し値はタイマ/カウンタ1(TCNT1)、タイマ/カウンタ1上位バイト(TC1H)レジスタとフラグ(TOV1, OCF1A, OCF1B, OCF1D)に関して入力と出力の同期化のために遅延されます。

非同期タイマ/カウンタ1の同期化機構はシステムクロックがHighの時に最低2つのPCK端を必要とするため、システムクロック周波数はPCK周波数の1/2よりも低くしなければなりません。システムクロック周波数が高すぎる場合にデータまたは制御値を失う危険があります。

図12-2. タイマ/カウンタ1同期化レジスタ構成図



12.2.5. 定義

本章でのレジスタとビット参照の多くは一般形で書かれます。小文字の'n'はタイマ/カウンタ番号、この場合は1で置き換えます。小文字のxは比較出力部のチャンネル名を表し、この場合はA,B,CまたはDです。然しながらプログラムでレジスタまたはビット定義に使う時は正確な形式が使われなければなりません(例えばタイマ/カウンタ1のカウンタ値のアクセスに対してのTCNT1のように)。表12-1の定義は本文書を通して広範囲に渡って使われます。

表12-1. 用語定義

用語	意味
BOTTOM	タイマ/カウンタが\$000に到達した時。
MAX	タイマ/カウンタが\$3FF(1023)に到達した時。
TOP	タイマ/カウンタが計数中に最高値と等しくなる時の(OCR1Cに格納された)TOP値。TOPはリセット後の既定として値\$FFを持ちます。

12.3. クロック元

タイマ/カウンタは内部的にCKまたはPCKのどちらかからクロック駆動されます。73頁の表12-17.でのクロック選択(CS13~0)ビットと76頁のPLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットをご覧ください。

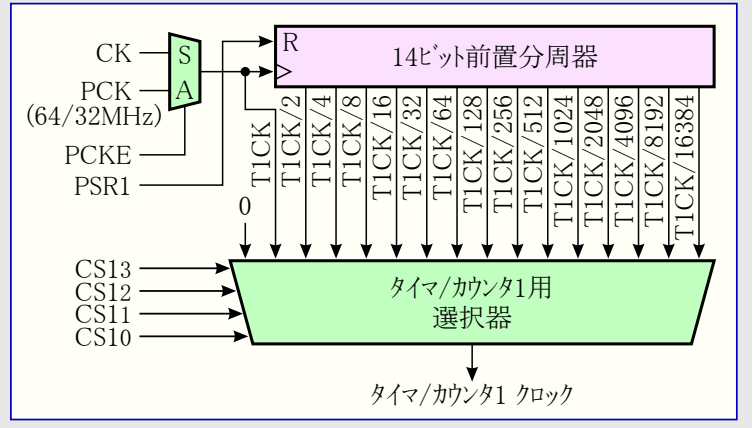
12.3.1. 前置分周器

図12-3.は同期クロック動作と非同期クロック動作の2つのクロック動作を支援するタイマ/カウンタ1の前置分周器部を示します。同期クロック動作は基準時間クロックとしてシステムクロック(CK)を使い、非同期クロック動作は基準時間クロックとして高速周辺機能クロック(PCK)を使います。PLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットが設定(1)の時に非同期動作を許可します。

同期クロック動作でのクロック選択はCK~CK/16384と停止、非同期クロック動作でのクロック選択はPCK~PCK/16384と停止です。このクロック任意選択は図12-3.で図解され、73頁のタイマ/カウンタ1制御レジスタB(TCCR1B)で記述されます。

高速周辺機能クロックの周波数は64MHzまたは低速動作(PLLCSRの低速動作(LSM)ビット=1)での32MHzです。低速動作は2.7V以下の供給電圧が使われる時の使用が推奨されます。

図12-3. タイマ/カウンタ1 前置分周器部構成



12.3.1.1. 前置分周器リセット

タイマ/カウンタ1制御レジスタB(TCCR1B)のタイマ/カウンタ1前置分周器リセット(PSR1)ビットの設定(1)が前置分周器をリセットします。これはプログラム実行に対してタイマ/カウンタを同期化するのに前置分周器リセットを使うことが可能です。

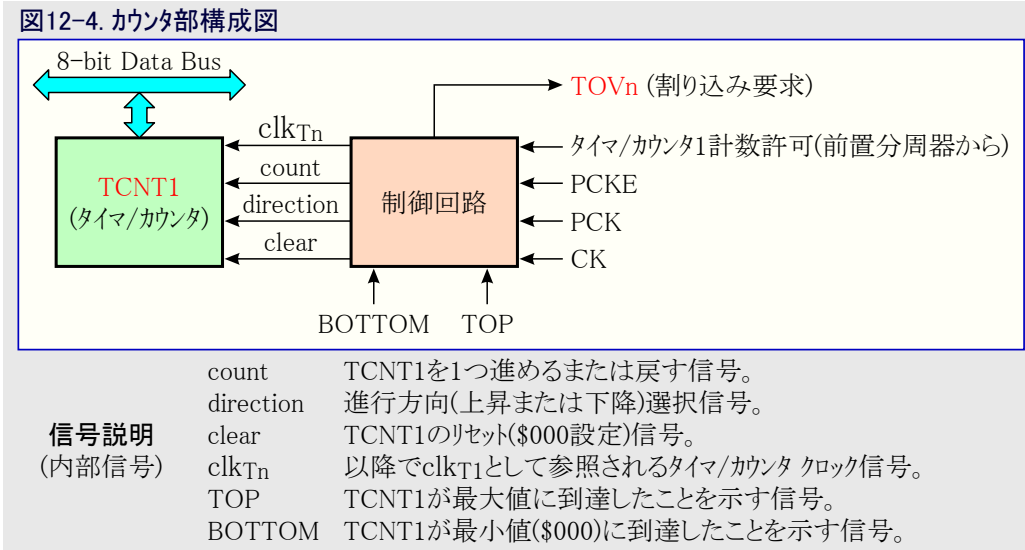
12.3.1.2. 非同期動作に対するタイマ/カウンタ1の初期化

タイマ/カウンタ1を非同期動作へ変更するには以下の手順に従ってください。

1. PLLを許可してください。
2. PLLの安定のために100μs待機してください。
3. PLOCKビットが設定(1)されるまでポーリングしてください。
4. 非同期動作を許可するPLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットを設定(1)してください。

12.4. 計数器部

タイマ/カウンタ1の主な部分は設定可能な双方向カウンタ部です。図12-4は、このカウンタとその周辺環境の構成図を示します。



使った動作種別に依存してカウンタは各タイマ/カウンタクロック(clk_{T1})で解除(\$000)、増加(+1)、または減少(-1)されます。タイマ/カウンタクロック(clk_{T1})はクロック選択(CS13~0)ビットとPCK許可(PCKE)ビットを使って同期クロックまたは非同期PLLクロックから生成されます。クロック元が選ばれない(CS13~0=0000)時にタイマ/カウンタは停止されます。けれどもTCNT1値はタイマ/カウンタクロック(clk_{T1})が存在するしないに拘らず、CPUによってアクセスできます。CPU書き込みは全てのカウンタ解除や計数動作を無視します(上位優先権を持ちます)。

計数順序(方法)はタイマ/カウンタ制御レジスタ(TCCR1A, TCCR1C, TCCR1D)に配置された波形生成種別(WGM11,0)ビットとパルス幅変調許可(PWM1A, PWM1B)ビットの設定によって決定されます。進化した計数順序と波形生成については62頁の「動作種別」をご覧ください。

タイマ/カウンタ溢れ(TOV1)フラグはWGM11,0とPWM1xビットによって選ばれた動作種別に従って設定(1)され、CPU割り込み発生に使えます。

12.4.1. 非同期動作に対するタイマ/カウンタ1の初期化

タイマ/カウンタ1を非同期動作へ変更するには以下の手順に従ってください。

1. PLLを許可してください。
2. PLLの安定のために100 μ s待機してください。
3. PLOCKビットが設定(1)されるまでポーリングしてください。
4. 非同期動作を許可するPLL制御/状態レジスタ(PLLCSR)のPCK許可(PCKE)ビットを設定(1)してください。

12.5. 比較出力部

この比較器はTCNT1と比較レジスタ(OCR1A,OCR1B,OCR1CとOCR1D)を継続的に比較します。TCNT1が比較レジスタと等しければ比較器は一致を指示します。一致は次のタイマ/カウンタクロック周期で比較割り込み要求フラグ(OCF1A,OCF1BまたはOCF1D)を設定(1)します。対応する割り込みが許可(I=1,OCIE1x=1)されているなら、その比較割り込み要求フラグは比較割り込みを発生します。比較割り込み要求フラグは割り込みが実行されると、自動的に解除(0)されます。代わりにこのフラグはこのI/Oビット位置に論理1を書くことによってソフトウェアでも解除(0)できます。波形生成器は波形生成種別(WGM11,0)ビットとPWMx許可(PWM1A,PWM1B)ビットと比較出力選択(COM1x1,0)ビットによって設定された動作種別に従った出力を生成するのにこの一致信号を使います。TOPとBOTTOM信号は動作種別(62頁の「動作種別」参照)のいくつかで両端値の特別な場合を扱うために波形生成器によって使われます。

図12-5.は比較出力部の構成図を示します。

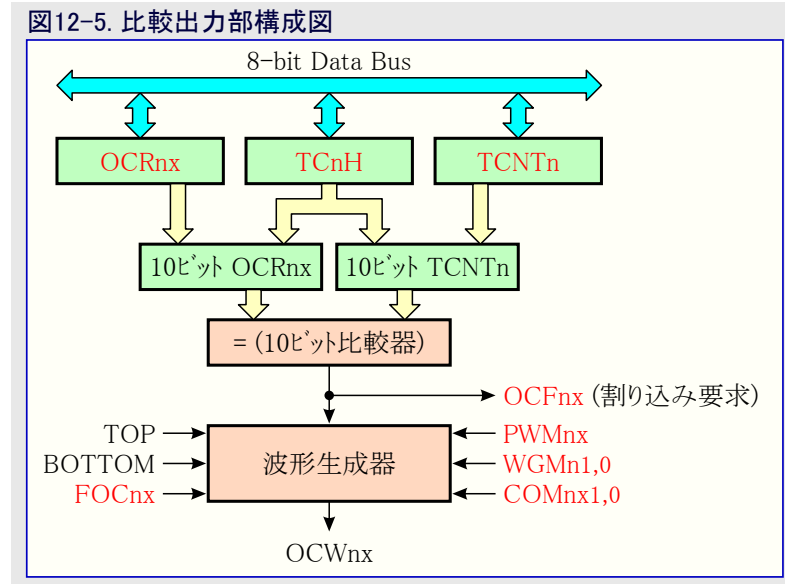
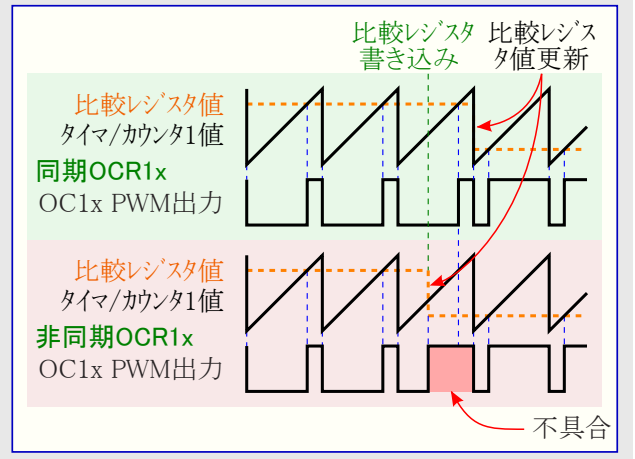


図12-6. 同期/非同期OCR1xの効果



OCR1xはパルス幅変調(PWM)のどれかを使う時に2重緩衝されます。標準動作については2重緩衝動作が禁止されます。2重緩衝動作は計数の流れのTOPまたはBOTTOMのどちらかに対してOCR1xの更新を同期化します。この同期化は奇数長や非対称PWMパルスの発生を防ぎ、それによって不具合なしの出力を作成します。例については図12-6をご覧ください。書き込みと更新動作の間の時間中、OCR1A,OCR1B,OCR1C,OCR1Dからの読み込みは一時位置の内容を読みます。これは最も最近書かれた値が常にOCR1A,OCR1B,OCR1C,OCR1Dの読み出しであることを意味します。

12.5.1. 強制比較出力

非PWM波形生成動作での比較器の一致出力は強制変更(FOC1x)ビットに1を書くことによって強制(変更)できます。比較一致の強制は比較割り込み要求フラグ(OCF1x)の設定(1)やタイマ/カウンタの再設定/解除を行いませんが、波形出力(OCW1x)は実際の比較一致が起きた場合と同様に更新されます(COM1x1,0ビット設定が波形出力(OCW1x)の設定(1)、解除(0)、1/0交互のどれかを定義)。

12.5.2. TCNT1書き込みによる比較一致妨害

TCNT1への全てのCPU書き込みは、例えタイマ/カウンタが停止されていても、次のタイマ/カウンタクロック周期で起こるどんな比較一致をも妨げます。この特質はタイマ/カウンタクロックが許可されている時に割り込みを起動することなしにTCNT1と同じ値に初期化されるのをOCR1xに許します。

12.5.3. 比較一致部の使用

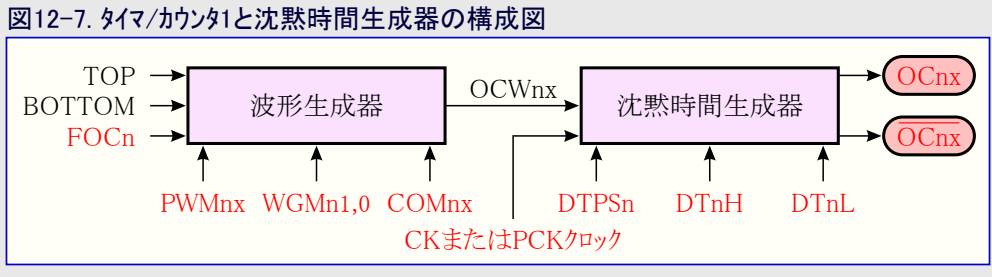
どの動作種別でのTCNT1書き込みでも、1タイマ/カウンタクロック周期間、全ての比較一致を妨げるので、タイマ/カウンタが走行中であるか否かに拘らず比較出力部を使う場合、TCNT1を変更する時に危険を伴います。TCNT1に書かれた値がOCR1x値と同じ場合、比較一致は失われ(一致が発生せず)、不正な波形生成に終わります。同様にタイマ/カウンタが下降計数のとき、BOTTOMに等しいTCNT1値を書き込んではいけません。

波形出力(OCW1x)の初期設定はポートピンに対するポート方向レジスタを出力に設定する前に行われるべきです。OCW1x値を設定する一番簡単な方法は標準動作で強制変更(FOC1x)ストローブビットを使うことです。波形生成動作種別間を変更する時でも、OC1x(内部)レジスタはその値を保ちます。

比較出力選択(COM1x1,0)ビットが比較値(OCR1x)と共に2重緩衝されないことに気付いてください。COM1x1,0ビットの変更は直ちに有効となります。

12.6. 沈黙時間生成器 (Dead Time Generator)

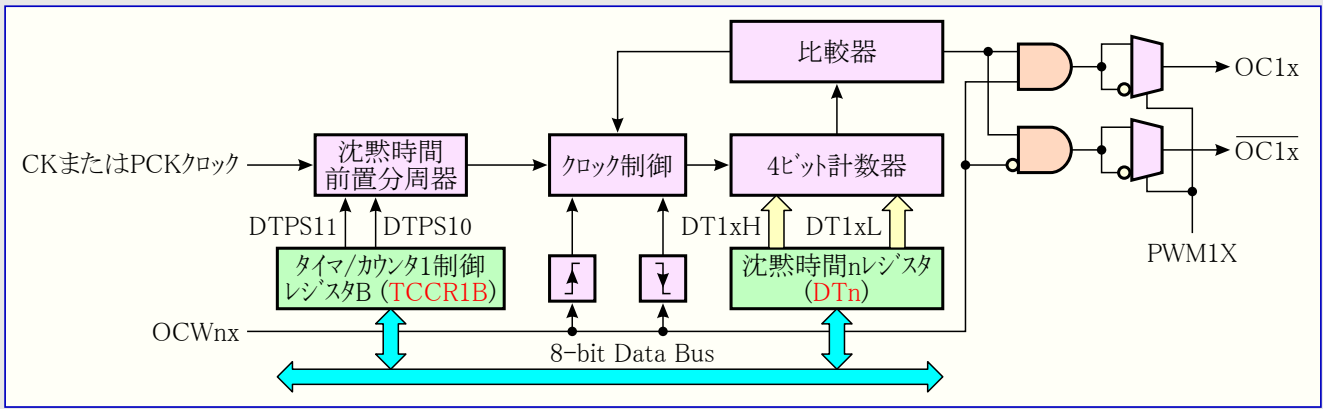
沈黙時間生成器は外部電力制御スイッチの安全な駆動を可能とするためにタイマ/カウンタ1のPWM出力対に対して提供されます。この沈黙時間生成器はPWM動作が許可され、比較出力選択(COM1x1,0)ビットが'01'に設定される時のタイマ/カウンタ1相互補完出力対(OC1xとOC1x)に対して沈黙時間(非重複時間)の挿入に使える独立部です。下の図12-7をご覧ください。



作業の分担は次のとおりです。波形生成器が波形出力(OCW1x)を生成し、沈黙時間生成器がこの波形出力から非重複PWM出力を生成します。各PWM出力に対して1つで、3つの沈黙時間生成器が提供されます。非重複時間は調整可能で、PWM出力とその補完出力は独立して調整でき、両PWM出力に対して無関係です。

沈黙時間生成器は図12-8.で示されるように沈黙時間を計数する4ビット下降カウンタに基づきます。

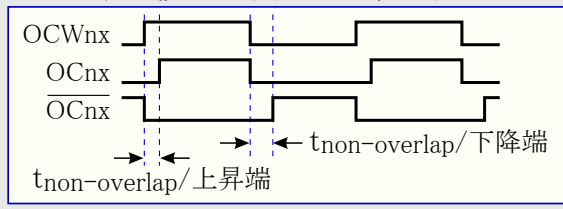
図12-8. 沈黙時間生成器



これはタイマ/カウンタ1 クロック(CKまたはPCK)を1,2,4,8分周できる沈黙時間生成器前の専用前置分周器です。これは生成可能な広範囲の沈黙時間を提供します。この前置分周器はDTPS11,DTPS10の2つの制御ビットによって制御されます。この単位部には沈黙時間計時区間を開始するのに使われる上昇端と下降端の検出器もあります。この端に対応してOC1xまたはOC1xの上昇端の遷移は、この(4ビット)カウンタが0へ計数されるまで遅らされます。比較器はカウンタと0との比較に使われ、0に達した時に沈黙時間挿入を止めます。このカウンタは沈黙時間挿入を開始する時に波形出力(OCW1x)の端に応じて、DT1 I/レジスタからDT1xHまたはDT1xLの4ビット値が読み込まれます。比較出力は沈黙時間が0に調節される時に波形出力から最小で1タイマ/カウンタ クロック周期遅延されます。PWM反転動作(PWM1X)ビットが設定(1)なら、OC1xとOC1xは反転されます。これは両出力を沈黙時間中、Highにもさせます。

この計数時間長はDTPS11,0ビットを使うことによる沈黙時間前置分周器設定の選択と、そして沈黙時間(DT1I)/レジスタの沈黙時間値選択による使用者調整が可能です。DT1レジスタはPWM出力とその補完出力を前置分周された沈黙時間生成器クロック周期数に換算し、独立して制御するDT1xHとDT1xLの2つの4ビット領域から成ります。従ってOC1xとOC1xの上昇端は4ビットのDT1H値によって調節される $t_{non-overlap}$ /上昇端と、4ビットのDT1L値によって調節される $t_{non-overlap}$ /下降端として異なる沈黙時間区間を持ちます。

図12-9. 非重複出力対 (COM1x1,0=01)

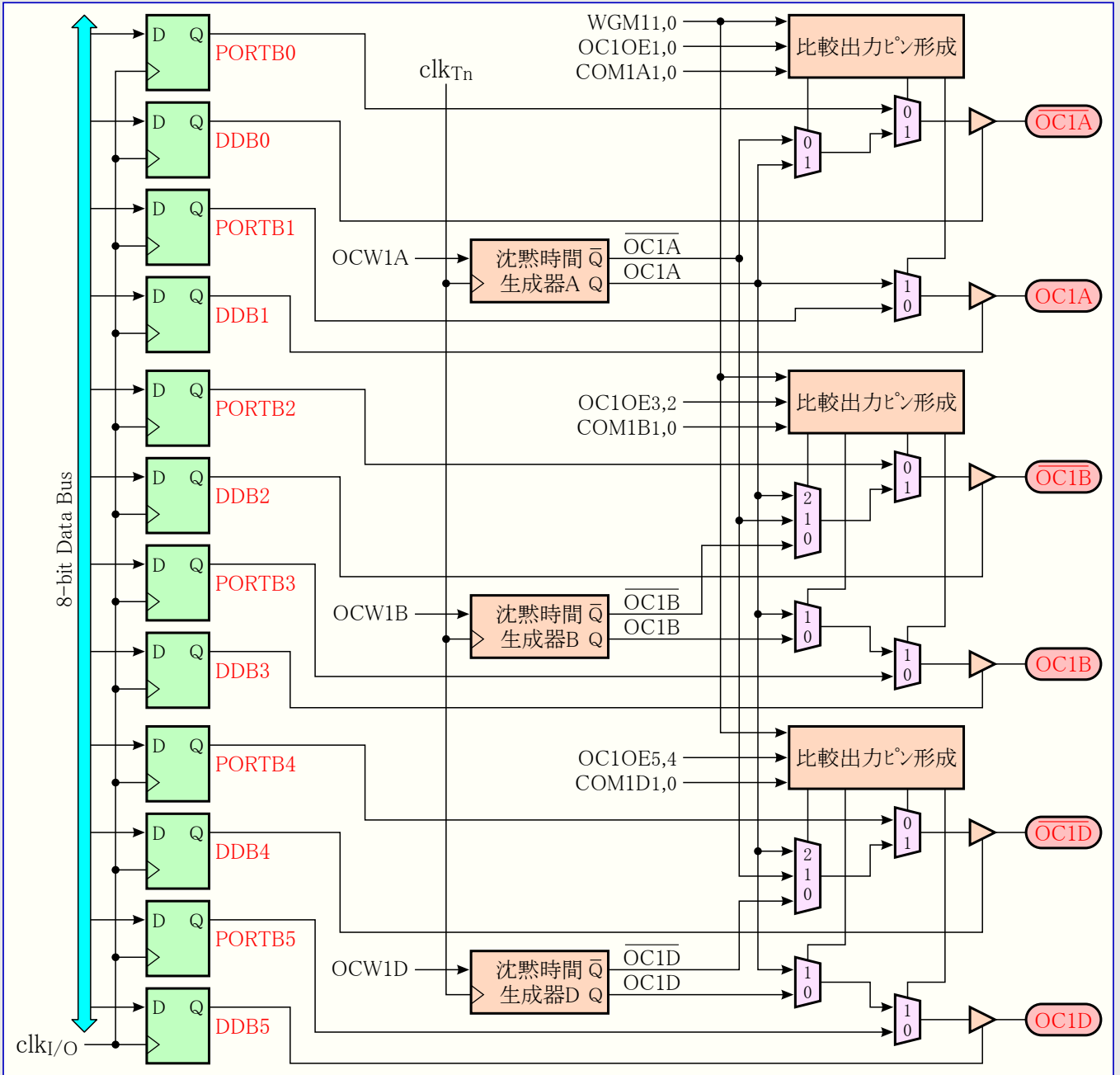


12.7. 比較一致出力部

比較出力選択(COM1x1,0)ビットは2つの機能を持ちます。波形生成器は次の比較一致での非反転または反転の波形出力(OCW1x)を定義するのにCOM1x1,0ビットを使います。またCOM1x1,0ビットはOC1xとOC1xのピン出力元を制御します。図12-10はCOM1x1,0ビット設定によって影響を及ぼされる論理回路の単純化した回路図を示します。図のI/Oレジスタ、I/Oビット、I/Oピンは赤文字(訳注:原文太字)で示されます。COM1x1,0ビットによって影響を及ぼされる標準I/Oポート制御レジスタ(PORTとDDR)の部分だけが示されます。

標準動作(非PWM)での沈黙時間生成器は禁止され、比較出力(OC1x)は波形出力(OCW1x)から1タイマ/カウンタクロック周期遅延される同期化器のように働きます。ところがCOM1x1,0ビットが'01'に設定される時の高速PWM動作と位相/周波数基準PWM動作では、非反転と反転の両比較出力が生成され、使用者が設定可能な沈黙時間がそれらの相互補完出力対(OC1xとOC1x)に対して挿入されます。その他のCOM1x1,0ビット設定が使われる時のPWM動作での機能は標準動作と同じです。OC1xの状態を参照する時のその参照はOC1xピンでなく沈黙時間生成器からの比較出力(OC1x)に対してです。システムリセットが起こると、OC1xは'0'にリセットされます。

図12-10. 比較一致出力回路図



COM1x1,0ビットのどちらかが設定(1)されると、標準I/Oポート機能は沈黙時間生成器からの比較出力(OC1x/OC1x)によって無効にされます。けれどもOC1xピンの方向(入出力)はポートピンに対するポート方向レジスタ(DDR)によって未だ制御されます。OC1xとOC1xピンに対するポート方向レジスタのビット(DDR_OC1xとDDR_OC1x)はOC1xとOC1x値がピンで見えるのに先立って出力として設定されなければなりません。このポートの交換機能は比較出力動作種別と無関係です。

比較出力ピン論理回路の設計は出力が許可される前のOC1x状態の初期化を許します。いくつかのCOM1x1,0ビット設定が或る種の動作種別に対して予約されることに注意してください。比較出力ピン形成については62頁の表12-2、63頁の表12-3、64頁の表12-4、と66頁の表12-5、表12-6、表12-7を参照してください。

12.7.1. 比較一致出力選択と波形生成

波形生成器は標準とPWM動作でCOM1x1,0ビットを違うふうに使います。全動作種別に対してCOM1x1,0='00'設定は次の比較一致で実行すべきOCW1x出力の動きがないことを波形生成器へ告げます。非PWM動作での比較出力動作については71頁の表12-8を参照してください。高速PWM動作については71頁の表12-9、位相基準PWMについては71頁の表12-10を参照してください。

COM1x1,0ビットの状態変更はこのビットが書かれた後の最初の比較一致で有効になります。非PWM動作に対して、この動作は強制変更(FOC1x)スローブビットを使うことによって直ちに効果を得ることを強制できます。

12.8. 動作種別

動作種別、換言するとタイマ/カウンタと比較出力ピンの動作は波形生成種別(WGM11,0とPWM1A,PWM1Bビット)と比較出力選択(COM1x1,0)ビットの組み合わせによって定義されます。比較出力選択ビットは計数順序(動作)に影響しませんが、一方波形生成種別ビットは影響を及ぼします。COM1x1,0ビットは生成されるPWM出力が反転されるべきか、されないべきか、または相互補完かのどれかを制御します。非PWM動作に対するCOM1x1,0ビットは比較一致で出力が解除(0)、設定(1)、1/0交互のどれにされるべきかを制御します。

12.8.1. 標準動作

最も単純な動作種別が標準動作(PWM1A/PWM1B=0)で、カウンタはBOTTOMから(OCR1Cとして定義した)TOPへ計数し、そしてBOTTOMから再び始めます。OCR1Cはカウンタに対するTOP値、従って分解能も定義し、比較一致出力周波数の制御を許します。交互切り替え比較出力動作での波形出力(OCW1x)はTCNT1とOCR1x間の比較一致で交互切り替えされます。非反転比較出力動作(COM1x1,0=10)での波形出力は比較一致で解除(0)されます。反転比較出力動作(COM1x1,0=11)での波形出力は比較一致で設定(1)されます。標準動作に対するタイミング図は図12-11で示されます。

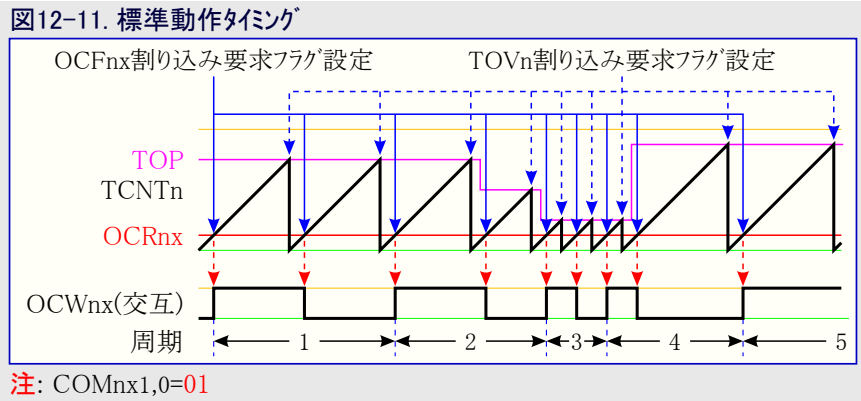


図12-11で折れ線として示されるカウンタ値(TCNT1)はカウンタ値はTOP値に達するまで増加(+1)されます。そしてカウンタは次のクロック周期で解除されます。この図は交互切り替え比較出力動作での波形出力(OCW1x)を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。

タイマ/カウンタ溢れ(TOV1)フラグはTCNT1が\$0000になると同じタイマ/カウンタクロック周期で設定(1)されます。この場合のTOV1フラグは設定(1)のみで解除(0)されないことを除いて第11ビットのようになります。けれどもTOV1フラグを自動的に解除(0)するタイマ/カウンタ溢れ割り込みと組み合わせたタイマ/カウンタの分解能はソフトウェアによって増やせます。標準動作での考慮に特別な場合はなく、新しいカウンタ値は何時でも書けます。

比較出力部は与えられた或る時間に割り込みを生成するのに使えます。標準動作で波形を生成するのに比較出力を使うのはそれが大変多くのCPU時間を占有するために推奨されません。波形生成に関して、OCW1x出力は比較出力選択(COM1x1,0)ビットを交互動作(=01)に設定することによって各比較一致での論理レベル交互切り替えに設定できます。OCR1x値はそのピンに対するデータ方向が出力に設定されない限りポートピンで見えないでしょう。生成された波形はOCR1Cが0(\$000)に設定される時に $f_{OC1x} = f_{clkT1}/2$ の最大周波数を得ます。生成波形周波数は次式によって定義されます。

$$f_{OC1x} = \frac{f_{clkT1}}{2 \times (1 + OCR1C)}$$

分解能(RPWM)はOCR1C内の表現するのに何ビット必要とされるかを示します。これは次式によって計算されます。

$$RPWM = \log_2(OCR1C + 1)$$

標準動作での比較出力ピン形成は表12-2で記述されます。

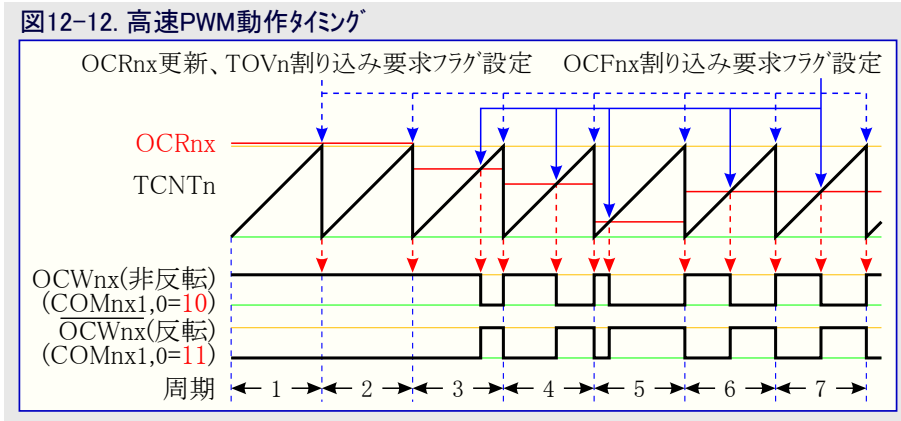
COM1x1	COM1x0	OC1xピン	OC1xピン
0	0	標準ポート動作 (OC1x切断)	標準ポート動作 (OC1x切断)
0	1	OC1x	標準ポート動作 (OC1x切断)
1	0	OC1x	標準ポート動作 (OC1x切断)
1	1	OC1x	標準ポート動作 (OC1x切断)

12.8.2. 高速PWM動作

高速パルス幅変調または高速PWM動作(WGM11,0=00とPWM1A/PWM1B=1)は高周波数PWM波形生成選択を提供します。高速PWMはそれが単一傾斜(鋸波)動作であることで他のPWM動作と異なります。カウンタはBOTTOMから(OCR1Cとして定義された)TOPまで計数し、その後BOTTOMから再び始めます。非反転比較出力動作(COM1x1,0=10)での波形出力(OCW1x)は、TCNT1とOCR1x間の比較一致で解除(0)され、BOTTOMで設定(1)されます。反転出力動作(COM1x1,0=11)の出力は、比較一致で設定(1)され、BOTTOMで解除(0)されます。相互補完比較出力動作(COM1x1,0=01)での波形出力は比較一致で解除(0)され、BOTTOMで設定(1)されます。

この単一傾斜動作のため、高速PWM動作の動作周波数は両傾斜(三角波)動作を使う位相/周波数基準PWM動作よりも2倍高くできます。この高い周波数は電力調節、整流、D/A変換に対して高速PWM動作を都合よく適合させます。高い周波数は物理的に小さな外部部品(コイルやコンデンサ)を許し、従ってシステム総費用を削減します。

高速PWM動作に関するタイミング図は図12-12.で示されます。カウンタはカウンタ値がTOP値と一致するまで増加されます。そして、カウンタは(一致の)次のタイマ/カウンタクロック周期で解除(0)されます。TCNT1値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図は非反転と反転の波形出力を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。



タイマ/カウンタ溢れ(TOV1)フラグはカウンタがTOPに到達する時毎に設定(1)されます。割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

高速PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットの'10'設定は非反転PWM出力を作成し、COM1x1,0の'11'設定は反転PWM出力を生成します。COM1x1,0ビットの'01'設定は相互補完比較出力動作を許可し、非反転(OC1x)と反転(OC1x)の両出力を生成します。実際の値はポートピンに対するデータ方向が出力として設定される場合にだけ見えるでしょう。PWM波形はTCNT1とOCR1x間の比較一致で、OCW1xを設定(1)(または解除(0))することによって生成されます。

PWM出力周波数は次式によって計算できます。

$$f_{OCnxPWM} = \frac{f_{clkT1}}{N}$$

変数Nは単一傾斜動作での段数を表します。Nの値はTOP値と同じです。

OCR1Cの両端値は高速PWM動作でPWM波形出力を生成する時の特別な場合にあたります。OCR1CがBOTTOM(0)に等しく設定されると、出力はMAX+1 タイマ/カウンタクロック周期毎の狭いスパイク(パルス)になるでしょう。OCR1CがMAXに等しく設定されると、(COM1x1,0ビットによって設定される出力極性に依存して)定常的なLowまたはHigh出力に終わるでしょう。

高速PWM動作での(デューティ比50%)周波数の波形出力は比較一致毎に論理反転する波形出力(OCW1x)設定(COM1x1,0=01)によって達成できます。生成された波形はOCR1Cが3(003)に設定される時に $f_{OC1x} = f_{clkT1}/4$ の最大周波数でしょう。

COM1x1,0ビットのどちらかが設定(1)され、OC1xとOC1xのピンに対するデータ方向レジスタビットが出力として設定されている場合、標準I/Oポート機能は沈黙時間生成器からの比較出力値(OC1x/OC1x)によって無効にされます。COM1x1,0ビットが解除(0)なら、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。比較出力ピン形成は表12-3.で記述されます。

表12-3. 高速PWM動作比較出力ピン形成

COM1x1	COM1x0	OC1xピン	OC1xピン
0	0	標準ポート動作 (OC1x切断)	標準ポート動作 (OC1x切断)
0	1	OC1x	OC1x
1	0	OC1x	標準ポート動作 (OC1x切断)
1	1	OC1x	標準ポート動作 (OC1x切断)

12.8.3. 位相/周波数基準PWM動作

位相/周波数基準PWM動作(WGM11,0=01とPWM1A/PWM1B=1)は高い分解能で正しい位相と周波数のPWM波形生成選択を提供します。位相/周波数基準PWM動作は両傾斜(三角波)動作が基準です。カウンタはBOTTOM(\$000)から(OCR1Cとして定義した)TOPへ、そしてその後TOPからBOTTOMへを繰り返し計数します。非反転比較出力動作(COM1x1,0=10)での波形出力(OCW1x)は上昇計数中のTCNT1とOCR1x間の比較一致で解除(0)され、下降計数中の比較一致で設定(1)されます。反転出力動作(COM1x1,0=11)での動作は逆にされます。相互補完比較出力動作(COM1x1,0=01)での波形出力は比較一致で解除(0)され、BOTTOMで設定(1)されます。両傾斜(三角波)動作は単一傾斜(鋸波)動作よりも低い最大動作周波数になります。けれども両傾斜(三角波)PWM動作の対称特性なのでこれらの動作種別は電動機制御の応用に好まれます。TCNT1値は1タイマ/カウンタクロック周期間TOPと等しくなります。

TCNT1値がタイミング図で両傾斜動作(三角波)を表す折れ線グラフとして示される、位相/周波数基準PWM動作のタイミング図は図12-13.で示されます。カウンタはカウンタ値がTOPと一致するまで増加されます。カウンタがTOPに到達した時に計数方向を変更します。この図は非反転と反転での波形出力(OCW1x)を含みます。細い赤線はOCR1x値を示し、TCNT1値との交点(接点)がTCNT1とOCR1x間の比較一致を示します(訳注:図補正に伴い本行若干変更)。

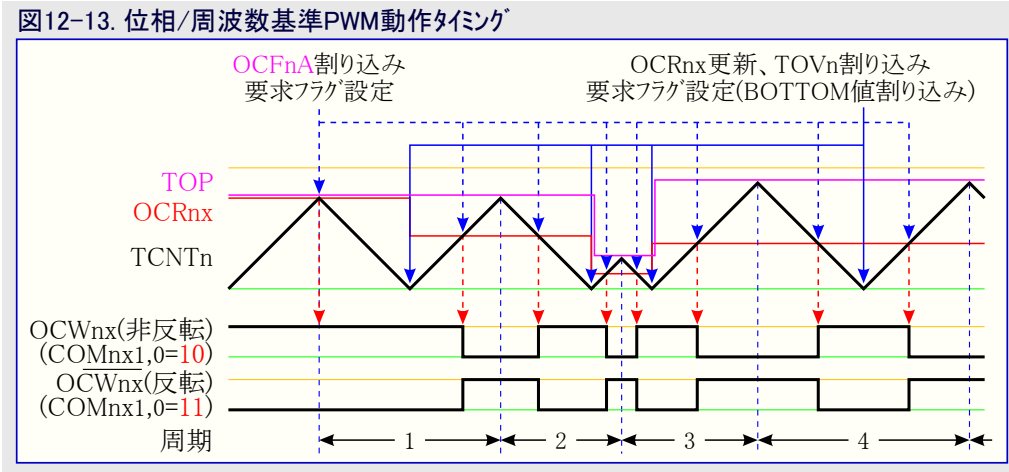


図12-13. 位相/周波数基準PWM動作タイミング

タイマ/カウンタ溢れ(TOV1)フラグはカウンタがBOTTOMに達する時毎に設定(1)されます。割り込み要求フラグはカウンタがBOTTOMに達する時毎に割り込みを発生するのに使えます。

位相/周波数基準PWM動作での比較部はOC1xピンでのPWM波形の生成を許します。COM1x1,0ビットの'10'設定は非反転PWMを作成し、COM1x1,0の'11'設定は反転PWM出力を生成します。COM1x1,0ビットの'01'設定は相互補完比較出力動作を許可し、非反転(OC1x)と反転(OC1x)の両出力を生成します。実際の値はポートピンに対するデータ方向が出力として設定される場合だけ見えますでしょう。PWM波形はカウンタが増加する時のTCNT1とOCR1x間の比較一致で波形出力(OCW1x)を設定(1)(または解除(0))と、カウンタが減少する時のTCNT1とOCR1x間の比較一致で波形出力を解除(0)(または設定(1))することによって生成されます。位相/周波数基準PWMを使う時の出力に対するPWM周波数は次式によって計算できます。

$$f_{OCnxPFCPWM} = \frac{f_{clkT1}}{N}$$

変数Nは両傾斜動作での段数を表します。Nの値はTOP値と同じです。

OCR1Cに対する両端値は位相/周波数基準PWM動作でPWM波形出力を生成する時の特別な場合に当たります。非反転PWM動作ではOCR1xがBOTTOMに等しく設定されると出力は定常的なLow、TOPに等しく設定されると定常的なHighになるでしょう。反転PWMに対する出力は逆の論理値になります。

COM1x1,0ビットのどちらかが設定(1)され、OC1xとOC1xのピンに対するデータ方向レジスタビットが出力として設定されている場合、標準I/Oポート機能は沈黙時間生成器からの比較出力値(OC1x/OC1x)によって無効にされます。COM1x1,0ビットが解除(00)なら、ポート出力レジスタからの実際の値がポートピンで見えますでしょう。比較出力ピン形成は表12-4.で記述されます。

表12-4. 位相/周波数基準PWM動作比較出力ピン形成

COM1x1	COM1x0	OC1xピン	OC1xピン
0	0	標準ポート動作 (OC1x切断)	標準ポート動作 (OC1x切断)
0	1	OC1x	OC1x
1	0	OC1x	標準ポート動作 (OC1x切断)
1	1	OC1x	標準ポート動作 (OC1x切断)

12.8.4. PWM6動作

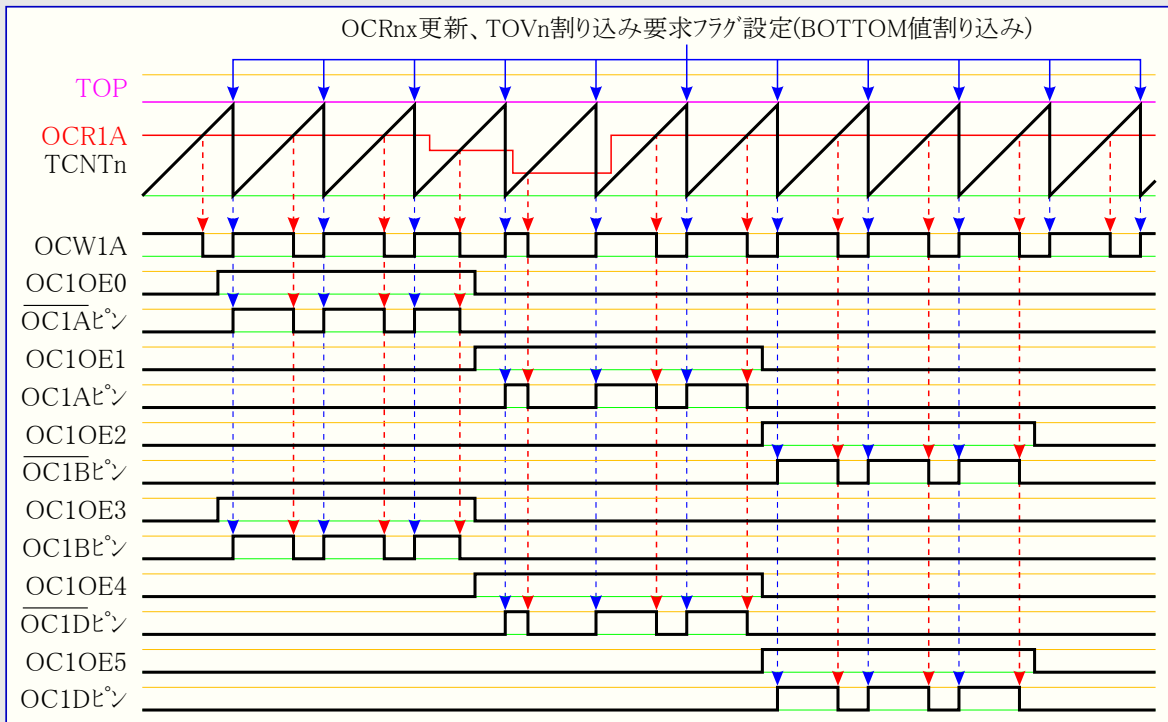
PWM6動作(WGM11,0=1xとPWM1A=1)は例えばブラシレスDC電動機用のPWM波形生成選択を提供します。WPM6動作でのOCR1Aは全波形を生成するのに使われる波形生成器からの同じ波形出力(OCW1A)として6つ全ての比較出力波形を制御します。PWM6動作は比較出力ピンを許可/禁止するための瞬時応答で使える比較出力での無効化許可(OC1OE_m:m=0~5)ビットも提供します。比較出力での無効化許可ビットが解除(0)なら、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。

PWM6動作は単一傾斜動作と両傾斜動作の2つのカウンタ操作種別を提供します。単一傾斜動作が選択(WGM10=0)されるなら、カウンタは高速PWM動作のようにBOTTOMから(OCR1Cとして定義された)TOPまで計数し、その後BOTTOMから再び始めます。PWM波形はTCNT1とOCR1A間の比較一致で波形出力(OCW1A)を解除(0)(または設定(1))と、カウンタが解除(\$000、TOPからBOTTOMへ変更)されるタイマ/カウンタクロック周期で波形出力を設定(1)(または解除(0))することによって生成されます。タイマ/カウンタ溢れ(TOV1)フラグはカウンタがTOPに到達する時毎に設定(1)され、割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

ところが両傾斜動作が選択(WGM10=1)される場合、カウンタは位相/周波数基準PWM動作のようにBOTTOM(\$000)から(OCR1Cとして定義した)TOPへ、そしてその後TOPからBOTTOMへを繰り返して計数します。PWM波形は上昇計数中のTCNT1とOCR1A間の比較一致で波形出力(OCW1A)を解除(0)(または設定(1))と、下降計数中の比較一致で波形出力を設定(1)(または解除(0))することによって生成されます。タイマ/カウンタ溢れ(TOV1)フラグはカウンタがBOTTOMに到達する時毎に設定(1)され、割り込みが許可されるなら、その割り込み処理ルーチンは比較値を更新するのに使えます。

COM1x1,0ビットが'10'に設定される時の単一傾斜動作でのPWM6動作に関するタイミング図は図12-14.で示されます。カウンタはカウンタ値がTOP値と一致するまで増加(+1)されます。そしてカウンタは次のタイマ/カウンタクロック周期で解除(\$000)されます。TCNT1値はタイミング図で単一傾斜動作(鋸波)を表す折れ線グラフとして示されます。この図はOC1AとOC1Aの比較出力ピンと、対応する比較出力有効許可(OC1OE1,OC1OE0)ビットを含みます。

図12-14. PWM6単一傾斜動作タイミング



注: COM1x1,0=10,非反転動作

COM1x1,0ビットのどちらかが設定(1)されている場合、標準I/Oポート機能は沈黙時間生成器からの比較出力値(OC1x/OC1x)によって無効にされます。比較出力ピンは比較出力での無効化許可(OC1OE5~OC1OE0)ビットによっても無効にできます。無効化許可ビットが解除(0)なら、ポート出力レジスタからの実際の値がポートピンで見え、無効化許可ビットが設定(1)なら、比較出力ピンはポートピンへの接続が許されます。比較出力ピン形成は表12-5、表12-6、表12-7.で記述されます。

表12-5. PWM6動作でのOC1A,OC1A比較出力ピン構成設定

COM1A1	COM1A0	OC1Aピン (PB1)	OC1Aピン (PB0)
0	0	標準ポート動作 (OC1A切断)	標準ポート動作 (OC1A切断)
0	1	OC1A・OC1OE1	OC1A・OC1OE0
1	0	OC1A・OC1OE1	OC1A・OC1OE0
1	1	OC1A・OC1OE1	OC1A・OC1OE0

表12-6. PWM6動作でのOC1B,OC1B比較出力ピン構成設定

COM1B1	COM1B0	OC1Bピン (PB3)	OC1Bピン (PB2)
0	0	標準ポート動作 (OC1A切断)	標準ポート動作 (OC1A切断)
0	1	OC1A・OC1OE3	OC1A・OC1OE2
1	0	OC1A・OC1OE3	OC1A・OC1OE2
1	1	OC1A・OC1OE3	OC1A・OC1OE2

表12-7. PWM6動作でのOC1D,OC1D比較出力ピン構成設定

COM1D1	COM1D0	OC1Dピン (PB5)	OC1Dピン (PB4)
0	0	標準ポート動作 (OC1A切断)	標準ポート動作 (OC1A切断)
0	1	OC1A・OC1OE5	OC1A・OC1OE4
1	0	OC1A・OC1OE5	OC1A・OC1OE4
1	1	OC1A・OC1OE5	OC1A・OC1OE4

(訳補) PWM6動作は基本的に高速PWM動作と位相/周波数基準PWM動作に対して波形出力にOCW1Aを共通で使い、各比較出力ピンを比較出力での無効化許可ビットによって個別に許可/禁止できるようにしたものと考えられます。

12.9. タイマ/カウンタのタイミング

このタイマ/カウンタは同期設計で、従って以下の図でタイマ/カウンタクロック(clk_{Tn})がクロック許可信号として示されます。この図は割り込みフラグが設定(1)される時の情報を含みます。

図12-15は基本的なタイマ/カウンタ動作についてのタイミング データを含みます。この図は位相/周波数基準PWM動作以外の全ての動作種別でのTOP値近辺の計数の流れを示します。

図12-15. 前置分周なし(1/1)のタイマ/カウンタ タイミング

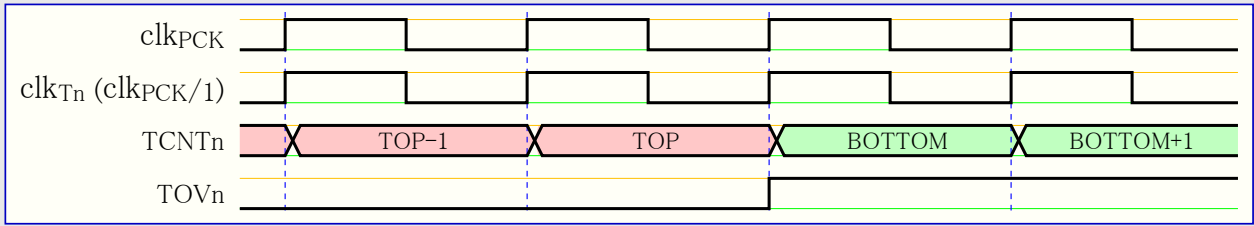


図12-16は位相/周波数基準PWM動作と両傾斜PWM6動作以外の全ての動作種別での同じタイミング データを示しますが、前置分周器が許可されています。

図12-16. 前置分周器($f_{\text{clk}_{PCK}}/8$)のタイマ/カウンタ タイミング (位相/周波数基準PWM動作と両傾斜PWM6動作以外)

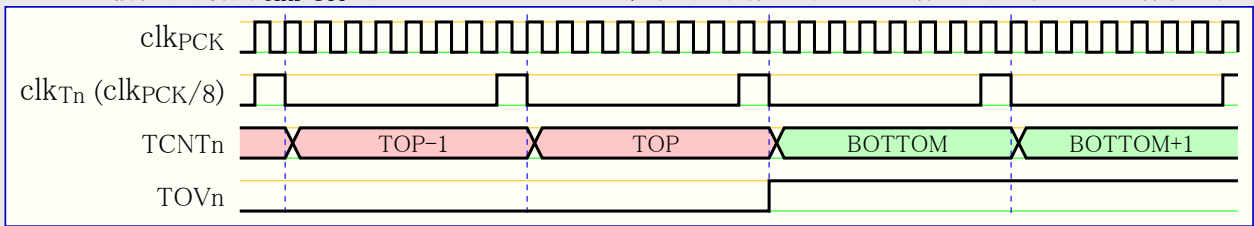


図12-17は全動作種別でのOCF1A,OCF1B,OCF1Dの設定を示します。

図12-17. 前置分周器($f_{\text{clk}_{PCK}}/8$)のタイマ/カウンタ、OCF1x設定 タイミング

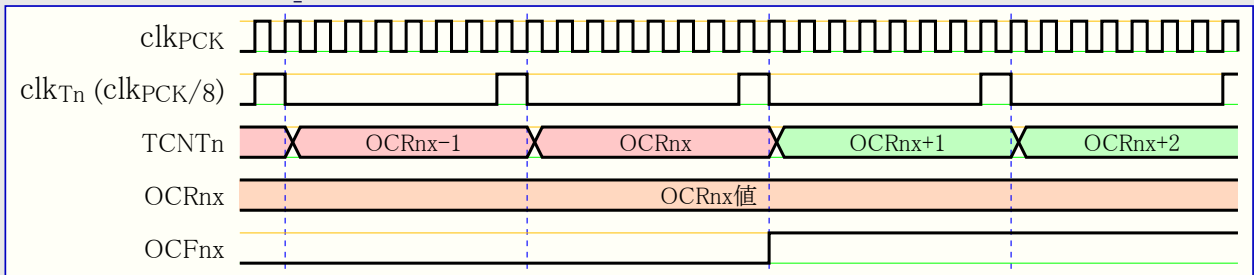
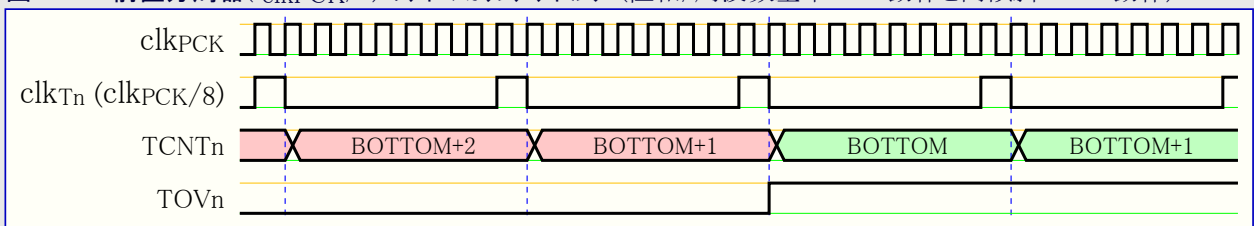


図12-18は位相/周波数基準PWM動作と両傾斜PWM6動作でのTOV1の設定を示します。

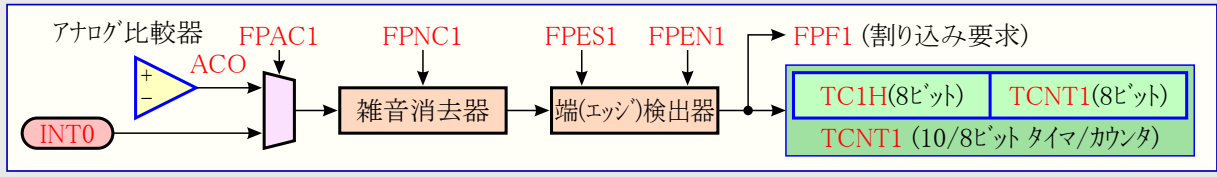
図12-18. 前置分周器($f_{\text{clk}_{PCK}}/8$)のタイマ/カウンタ タイミング (位相/周波数基準PWM動作と両傾斜PWM6動作)



12.10. 障害保護部

タイマ/カウンタ1は外部事象が起動される場合にPWM出力ピンを禁止にできる障害保護部を併設します。出来事を指示する外部信号は外部割り込みINT0経由、または代わりにアナログ比較器部経由で印加できます。障害保護部は図12-19.で示される構成図によって表されます。障害保護部の直接の部分でない構成図の要素は青枠(訳注:原文は灰色背景)で示されます。

図12-19. 障害保護部構成図



障害保護動作は障害保護許可(FPEN1)ビットと外部割り込み(INT0)ピン、または代わりにアナログ比較器出力で論理レベル(事象)の変化によって許可され、この変化が端(エッジ)検出器の設定に通知して障害保護が起動されます。障害保護が起動されると、比較出力選択(COM1x1.0)ビットが解除(00)され、比較出力はPWM出力ピンから切断されてPORTBレジスタビットがPWM出力ピンに接続されます。障害保護許可(FPEN1)はCOM1x1.0ビットが解除(00)されるのと同じシステムクロックで自動的に解除(0)されます。障害保護割り込み許可(FPIE1)が設定(1)なら、障害保護割り込みが生成され、FPEN1ビットが解除(0)されます。代わりにFPEN1はタイマ/カウンタが障害保護動作へ移行してしまった時を了解するのにソフトウェアによってポーリングすることもできます。

12.10.1. 障害保護起動元

障害保護部に対する主な起動元は外部割り込み(INT0)ピンです。代わりにアナログ比較器出力が障害保護部に対する起動元として使えます。アナログ比較器はタイマ/カウンタ1制御レジスタD(TCCR1D)の障害保護アナログ比較器(FPAC1)ビットの設定(1)によって選ばれます。起動元変更が障害保護動作を起動し得ることに注意してください。従って起動元変更、端検出器設定、または障害保護許可後に障害保護割り込み要求フラグ(FPF1)を解除(0)することが推奨されます。

外部割り込み(INT0)ピンとアナログ比較器出力(ACO)入力はT0ピン(45頁の図11-3.参照)と同じ技法を使って採取されます。端検出器も同じですが、雑音除去器許可時に伝播遅延を4システムクロック周期増やす付加論理回路が端検出器の前に挿入されます。

障害保護動作はINT0ピンのポートを制御することによってソフトウェアでも起動することができます。

12.10.2. 雑音除去器

雑音除去器は雑音耐性を改善するために簡単なデジタル濾波技法を用います。連続する採取は4段の深さのパイプラインで監視されます。端検出器へ行く信号は4つ全ての採取が等しい時にだけ変更が許されます。

雑音除去器はタイマ/カウンタ1制御レジスタD(TCCR1D)の障害保護雑音除去許可(FPNC1)ビットの設定(1)によって許可されます。許可した時に雑音除去器は入力に印加した変更に対して4システムクロック周期の追加遅延をもたらします。雑音除去器はシステムクロックを直接使い、従って前置分周器によって影響を及ぼされません。

12.11. 10ビットレジスタのアクセス

10ビット値がTCNT1とOCR1A/B/C/Dレジスタに書かれる場合、その10ビットレジスタは2回の読みまたは書き操作を使って8ビットバス経由でAVR CPUによってアクセスできます。10ビットレジスタは10ビットアクセスの上位2ビットの一時保存用に共通2ビットのタイマ/カウンタ1上位バイト(TC1H)レジスタを持ちます。全ての10ビットレジスタ間で、この同じTC1Hレジスタが共用されます。下位バイトアクセスが10ビット読み書き動作を起動します。10ビットレジスタの下位バイトがCPUによって書かれると、TC1Hレジスタに格納した上位バイトと書かれた下位バイトは同じクロック周期で10ビットレジスタに両方が複写されます。10ビットレジスタの下位バイトがCPUによって読まれると、10ビットレジスタの上位バイトは下位バイトが読まれるのと同じクロック周期でTC1Hレジスタに複写されます。

10ビット書き込みを行うために上位バイトは下位バイトが書かれるのに先立ってTC1Hレジスタへ書かれなければなりません。10ビット読み込みについては下位バイトが上位バイトに先立って読まれなければなりません。

12.11.1. 上位バイト一時レジスタの再使用

書かれる全レジスタについて上位バイトが同じ複数10ビットレジスタ書き込みなら、上位バイトは1度書かれることだけが必要です。けれども直前で記述した非分断操作の同じ規則が、この場合にも適用されることに注意してください。

12.11.2. コード例

次のコード例は割り込みがTC1Hレジスタを更新しないことが前提の10ビットタイマ/カウンタレジスタのアクセス法を示します。OCR1A/B/C/Dレジスタのアクセスに対して同じ原理が直接的に使えます。

```
アセンブリ言語プログラム例
~
LDI    R17, $01
LDI    R16, $FF
OUT    TC1H, R17
OUT    TCNT1, R16
IN     R16, TCNT1
IN     R17, TC1H
~
;
; [10ビット($1FF)書き込み]
; $1FFの上位バイト値取得
; $1FFの下位バイト値取得
; 上位バイト設定(TC1Hレジスタ)
; 下位バイト設定(TC1H⇒上位バイト)
; [10ビット読み込み]
; 下位バイト取得(上位バイト⇒一時レジスタ)
; 上位バイト取得(TC1Hレジスタ)
;

C言語プログラム例
unsigned int i;
~
TC1H = 0x01;
TCNT1 = 0xFF;

i = TCNT1;
i |= ((unsigned int)TC1H<<8);
~
/**/
/* [10ビット($1FF)書き込み] */
/* 上位バイト設定(TC1Hレジスタ) */
/* 下位バイト設定(TC1Hレジスタ⇒上位バイト) */
/* [10ビット読み込み] */
/* 下位バイト取得(上位バイト⇒TC1Hレジスタ) */
/* 上位バイト取得(TC1Hレジスタ)合成 */
/**/
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

10ビットレジスタアクセスが非分断操作であるのに注意することが重要です。10ビットレジスタをアクセスする2命令間で割り込みが起き、割り込みコードがその10ビットタイマ/カウンタレジスタの同じ若しくは他の何れかをアクセスすることによってTC1Hレジスタを更新する場合、割り込み外のその後のアクセス結果は不正にされます。従って主コードと割り込みコードの両方がTC1Hレジスタを更新する時に主コードは10ビットアクセス中の割り込みを禁止しなければなりません。

次のコード例はTCNT1レジスタ内容の非分断読み込み法を示します。同じ原理を使うことにより、OCR1A/B/C/Dのどんな読み込みも行えます。

アセンブリ言語プログラム例

```
RD_TCNT1:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            IN      R16, TCNT1        ;TCNT1下位バイト取得(上位バイト⇒TC1Hレジスタ)
            IN      R17, TC1H        ;TCNT1上位バイト取得(TC1Hレジスタ)
            OUT     SREG, R18        ;全割り込み許可フラグ(I)を復帰
            RET                      ;呼び出し元へ復帰
```

C言語プログラム例

```
unsigned int TIM16_Read_TCNT1(void)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT1読み出し変数定義 */
    sreg = SREG;                      /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                           /* 全割り込み禁止 */
    i = TCNT1;                        /* 下位バイト取得(上位バイト⇒TC1Hレジスタ) */
    i |= ((unsigned int)TC1H<<8);     /* 上位バイト取得(TC1Hレジスタ)合成 */
    SREG = sreg;                      /* 全割り込み許可フラグ(I)を復帰 */
    return i;                         /* TCNT1値で呼び出し元へ復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対にTCNT1値を戻します。

次のコード例はTCNT1レジスタ内容の非分断書き込み法を示します。同じ原理を使うことにより、OCR1A/B/C/Dのどんな書き込みも行えます。

アセンブリ言語プログラム例

```
WR_TCNT1:   IN      R18, SREG           ;現全割り込み許可フラグ(I)を保存
            CLI                    ;全割り込み禁止
            OUT     TC1H, R17        ;TCNT1上位バイト設定(TC1Hレジスタ)
            OUT     TCNT1, R16      ;TCNT1下位バイト設定(TC1Hレジスタ⇒上位バイト)
            OUT     SREG, R18        ;全割り込み許可フラグ(I)を復帰
            RET                      ;呼び出し元へ復帰
```

C言語プログラム例

```
void TIM16_Write_TCNT1(unsigned int i)
{
    unsigned char sreg;                /* ステータスレジスタ一時保存変数定義 */
    unsigned int i;                   /* TCNT1書き込み変数定義 */
    sreg = SREG;                      /* 現全割り込み許可フラグ(I)を保存 */
    _CLI();                           /* 全割り込み禁止 */
    TC1H = (i>>8);                   /* 上位バイト設定(TC1Hレジスタ) */
    TCNT1 = (unsigned char)i;        /* 下位バイト設定(TC1Hレジスタ⇒上位バイト) */
    SREG = sreg;                      /* 全割り込み許可フラグ(I)を復帰 */
}
```

注: 5頁の「コード例」をご覧ください。

アセンブリ言語コード例はR17:R16レジスタ対がTCNT1へ書かれるべき値を含むことが必要です。

12.12. タイマ/カウンタ1用レジスタ

12.12.1. TCCR1A – タイマ/カウンタ1制御レジスタA (Timer/Counter1 Control Register A)

ビット	7	6	5	4	3	2	1	0	
\$30 (\$50)	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	TCCR1A
Read/Write	R/W	R/W	R/W	R/W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – COM1A1,0 : 比較A出力選択 (Compare A Output Mode bits 1 and 0)

これらのビットは波形出力(OCW1A)の動きとOC1A比較出力ピンの接続を制御します。COM1A1,0ビットの1つまたは両方が1を書かれると、OC1A出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。相互補間OC1A出力はCOM1A1,0ビットが'01'に設定される時のPWM動作でだけ接続されます。けれども出力駆動部を許可するのにOC1AとOC1Aピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

COM1A1,0ビットの機能はPWM1AとWGM11,0ビット設定に依存します。

表12-8.はPWM1Aビットが標準動作(つまり非PWM)に設定される時のCOM1A1,0ビットの機能を示します。

表12-8. 標準(非PWM)動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
0 0	標準ポート動作	切断	切断
0 1	比較一致でグル(交互切り替え)出力	接続	切断
1 0	比較一致で解除(0)	接続	切断
1 1	比較一致で設定(1)	接続	切断

表12-9.はPWM1AとWGM11,0ビットが高速PWM動作に設定される時のCOM1A1,0ビットの機能を示します。

表12-9. 高速PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
0 0	標準ポート動作	切断	切断
0 1	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	接続
1 0	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	切断
1 1	比較一致で設定(1)、TCNT1=\$000で解除(0)	接続	切断

表12-10.はPWM1AとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1A1,0ビットの機能を示します。

表12-10. 位相/周波数基準PWM動作比較A出力選択

COM1A1,0	OCW1Aの動き	OC1Aピン	OC1Aピン
0 0	標準ポート動作	切断	切断
0 1	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	接続
1 0	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	切断
1 1	上昇計数時の比較一致で設定(1)、下降計数時の比較一致で解除(0)	接続	切断

表12-11.はPWM1AとWGM11,0ビットが単一傾斜PWM6動作に設定される時のCOM1A1,0ビットの機能を示します。PWM6動作では全ての波形生成に波形出力(OCW1A)が使われ、以下で記述されるようにOC1AとOC1Aが全てのOC1xとOC1xピンに接続されます。

表12-11. 単一傾斜PWM6動作比較x出力選択

COM1A1,0	OCW1Aの動き	OC1xピン	OC1xピン
0 0	標準ポート動作	切断	切断
0 1	比較一致で解除(0)、TCNT1=\$000で設定(1)	OC1A	OC1A
1 0	比較一致で解除(0)、TCNT1=\$000で設定(1)	OC1A	OC1A
1 1	比較一致で設定(1)、TCNT1=\$000で解除(0)	OC1A	OC1A

表12-12.はPWM1AとWGM11,0ビットが両傾斜PWM6動作に設定される時のCOM1A1,0ビットの機能を示します。

表12-12. 両傾斜PWM6動作比較x出力選択

COM1A1,0	OCW1Aの動き	OC1xピン	OC1xピン
0 0	標準ポート動作	切断	切断
0 1	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	OC1A	OC1A
1 0	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	OC1A	OC1A
1 1	上昇計数時の比較一致で設定(1)、下降計数時の比較一致で解除(0)	OC1A	OC1A

COM1A1とCOM1A0のビットはTCCR1Cで投影されます。COM1A1とCOM1A0のビットへの書き込みはTCCR1C内のCOM1A1SとCOM1A0Sのビットも変更します。同様にTCCR1C内のCOM1A1SとCOM1A0Sのビット書き込み変更はここでも見えます。73頁の「TCCR1C – タイマ/カウンタ1制御レジスタC」をご覧ください。

● ビット5,4 – COM1B1,0 : 比較B出力選択 (Compare B Output Mode bits 1 and 0)

これらのビットは波形出力(OCW1B)の動きとOC1B比較出力ピンの接続を制御します。COM1B1,0ビットの1つまたは両方が1を書かれると、OC1B出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。相互補間OC1B出力はCOM1B1,0ビットが'01'に設定される時のPWM動作でだけ接続されます。けれども出力駆動部を許可するのにOC1AとOC1Bピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

COM1B1,0ビットの機能はPWM1BとWGM11,0ビット設定に依存します。

表12-13はPWM1Bビットが標準動作(つまり非PWM)に設定される時のCOM1B1,0ビットの機能を示します。

表12-13. 標準(非PWM)動作比較B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
0 0	標準ポート動作	切断	切断
0 1	比較一致でグル(交互切り替え)出力	接続	切断
1 0	比較一致で解除(0)	接続	切断
1 1	比較一致で設定(1)	接続	切断

表12-14はPWM1BとWGM11,0ビットが高速PWM動作に設定される時のCOM1B1,0ビットの機能を示します。

表12-14. 高速PWM動作比較B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
0 0	標準ポート動作	切断	切断
0 1	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	接続
1 0	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	切断
1 1	比較一致で設定(1)、TCNT1=\$000で解除(0)	接続	切断

表12-15はPWM1BとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1B1,0ビットの機能を示します。

表12-15. 位相/周波数基準PWM動作比較B出力選択

COM1B1,0	OCW1Bの動き	OC1Bピン	OC1Bピン
0 0	標準ポート動作	切断	切断
0 1	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	接続
1 0	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	切断
1 1	上昇計数時の比較一致で設定(1)、下降計数時の比較一致で解除(0)	接続	切断

COM1B1とCOM1B0のビットはTCCR1Cで投影されます。COM1B1とCOM1B0のビットへの書き込みはTCCR1C内のCOM1B1SとCOM1B0Sのビットも変更します。同様にTCCR1C内のCOM1B1SとCOM1B0Sのビット書き込み変更はここでも見えます。73頁の「TCCR1C – タイマ/カウンタ制御レジスタC」をご覧ください。

● ビット3 – FOC1A : 比較A強制変更 (Force Output Compare Match 1A)

FOC1AビットはPWM1Aビットが非PWM動作を指示する時だけ有効です。

このビットへの1書き込みは波形出力(OCW1A)と既にCOM1A1,0ビットで設定した値に従って比較出力(OC1A,OC1A)ピンの変更を強制します。COM1A1,0をFOC1Aと同じ周期で書いた場合、新しい設定が使われます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使えます。COM1A1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Aビットは常に0として読みます。

● ビット2 – FOC1B : 比較B強制変更 (Force Output Compare Match 1B)

FOC1BビットはPWM1Bビットが非PWM動作を指示する時だけ有効です。

このビットへの1書き込みは波形出力(OCW1B)と既にCOM1B1,0ビットで設定した値に従って比較出力(OC1B,OC1B)ピンの変更を強制します。COM1B1,0をFOC1Bと同じ周期で書いた場合、新しい設定が使われます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使えます。COM1B1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Bビットは常に0として読みます。

● ビット1 – PWM1A : PWM-A許可 (Pulse width Moduration A Enable)

設定(1)時、このビットはOCR1A比較器を基にしたPWM動作を許可します。

● ビット0 – PWM1B : PWM-B許可 (Pulse width Moduration B Enable)

設定(1)時、このビットはOCR1B比較器を基にしたPWM動作を許可します。

12.12.2. TCCR1B – タイマ/カウンタ1制御レジスタB (Timer/Counter1 Control Register B)

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	PWM1X	PSR1	DTPS11	DTPS10	CS13	CS12	CS11	CS10	TCCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – PWM1X : PWM反転動作 (PWM Inversion Mode)**

このビットが設定(1)されると、PWM反転動作が選択され、沈黙時間生成器出力、OC1xと \overline{OCIx} が反転されます。

● **ビット6 – PSR1 : タイマ/カウンタ1前置分周器リセット (Prescaler Reset Timer/Counter1)**

このビットが設定(1)されると、タイマ/カウンタ前置分周器がリセットします(TCNT1は影響されません)。このビットはこの操作が実行された後、ハードウェアによって自動的に解除(0)されます。このビットへの0書き込みは無効です。このビットは常に0として読みます。

● **ビット5,4 – DTPS11,0 : 沈黙時間前置分周器選択 (Dead Time Prescaler Bits)**

沈黙時間生成器前の沈黙時間専用前置分周器はタイマ/カウンタ1クロック(CKまたはPCK)を1,2,4,8分周でき、生成され得る広範囲な沈黙時間を提供します。この前置分周器はタイマ/カウンタ1制御レジスタB(TCCR1B)からのDTPS11,DTPS10の2つの制御ビットによって制御されます。これらのビットは沈黙時間前置分周器の分周値を定義します。この分周値は表12-16.で与えられます。

表12-16. 沈黙時間前置分周器の分周値

DTPS11	DTPS10	タイマ/カウンタ1 クロック分周数
0	0	1 (分周なし)
0	1	2分周
1	0	4分周
1	1	8分周

● **ビット3~0 – CS13~0 : クロック選択1 (Clock Select1, bits 3,2,1 and 0)**

このクロック選択ビット3~0はタイマ/カウンタ1の前置分周元を定義します。

表12-17. タイマ/カウンタ1 前置分周クロック選択

CS13	CS12	CS11	CS10	意味		CS13	CS12	CS11	CS10	意味	
				非同期動作	同期動作					非同期動作	同期動作
0	0	0	0	停止 (タイマ/カウンタ1動作停止)		1	0	0	0	PCK/128	CK/128
0	0	0	1	PCK	CK(CPUクロック)	1	0	0	1	PCK/256	CK/256
0	0	1	0	PCK/2	CK/2	1	0	1	0	PCK/512	CK/512
0	0	1	1	PCK/4	CK/4	1	0	1	1	PCK/1024	CK/1024
0	1	0	0	PCK/8	CK/8	1	1	0	0	PCK/2048	CK/2048
0	1	0	1	PCK/16	CK/16	1	1	0	1	PCK/4096	CK/4096
0	1	1	0	PCK/32	CK/32	1	1	1	0	PCK/8192	CK/8192
0	1	1	1	PCK/64	CK/64	1	1	1	1	PCK/16384	CK/16384

停止状態はタイマ/カウンタの許可/禁止機能を提供します。

12.12.3. TCCR1C – タイマ/カウンタ1制御レジスタC (Timer/Counter1 Control Register C)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	COM1A1S	COM1A0S	COM1B1S	COM1B0S	COM1D1	COM1D0	FOC1D	PWM1D	TCCR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7,6 – COM1A1S,COM1A0S : 比較A出力選択 (Compare A Output Mode bits 1 and 0)**

これらのビットはTCCR1A内のCOM1A1とCOM1A0の投影ビットです。COM1A1SとCOM1A0Sのビットへの書き込みはTCCR1A内のCOM1A1とCOM1A0のビットも変更します。同様にTCCR1A内のCOM1A1とCOM1A0のビット書き込み変更はここでも見えます。ビットの使い方の情報については71頁の「TCCR1A – タイマ/カウンタ1制御レジスタA」をご覧ください。

● **ビット5,4 – COM1B1S,COM1B0S : 比較B出力選択 (Compare B Output Mode bits 1 and 0)**

これらのビットはTCCR1A内のCOM1B1とCOM1B0の投影ビットです。COM1B1SとCOM1B0Sのビットへの書き込みはTCCR1A内のCOM1B1とCOM1B0のビットも変更します。同様にTCCR1A内のCOM1B1とCOM1B0のビット書き込み変更はここでも見えます。ビットの使い方の情報については71頁の「TCCR1A – タイマ/カウンタ1制御レジスタA」をご覧ください。

●ビット3,2 – COM1D1,0 : 比較D出力選択 (Compare D Output Mode bits 1 and 0)

これらのビットは波形出力(OCW1D)の動きとOC1D比較出力ピンの接続を制御します。COM1D1,0ビットの1つまたは両方が1を書かれると、OC1D出力はそのI/Oピンの標準ポート機能を無効にし、そのI/Oピンに接続されます。相互補間OC1D出力はCOM1D1,0ビットが'01'に設定される時のPWM動作でだけ接続されます。けれども出力駆動部を許可するのにOC1DとOC1Dピンに対応するポート方向レジスタ(DDR)のビットが設定(1)されなければならないことに注意してください。

COM1D1,0ビットの機能はPWM1DとWGM11,0ビット設定に依存します。

表12-18.はPWM1Dビットが標準動作(つまり非PWM)に設定される時のCOM1D1,0ビットの機能を示します。

表12-18. 標準(非PWM)動作比較D出力選択

COM1D1,0	OCW1Dの動き	OC1Dピン	OC1Dピン
0 0	標準ポート動作	切断	切断
0 1	比較一致でトル(交互切り替え)出力	接続	切断
1 0	比較一致で解除(0)	接続	切断
1 1	比較一致で設定(1)	接続	切断

表12-19.はPWM1DとWGM11,0ビットが高速PWM動作に設定される時のCOM1D1,0ビットの機能を示します。

表12-19. 高速PWM動作比較D出力選択

COM1D1,0	OCW1Dの動き	OC1Dピン	OC1Dピン
0 0	標準ポート動作	切断	切断
0 1	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	接続
1 0	比較一致で解除(0)、TCNT1=\$000で設定(1)	接続	切断
1 1	比較一致で設定(1)、TCNT1=\$000で解除(0)	接続	切断

表12-20.はPWM1DとWGM11,0ビットが位相/周波数基準PWM動作に設定される時のCOM1D1,0ビットの機能を示します。

表12-20. 位相/周波数基準PWM動作比較D出力選択

COM1D1,0	OCW1Dの動き	OC1Dピン	OC1Dピン
0 0	標準ポート動作	切断	切断
0 1	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	接続
1 0	上昇計数時の比較一致で解除(0)、下降計数時の比較一致で設定(1)	接続	切断
1 1	上昇計数時の比較一致で設定(1)、下降計数時の比較一致で解除(0)	接続	切断

●ビット1 – FOC1D : 比較D強制変更 (Force Output Compare Match 1D)

FOC1DビットはPWM1Dビットが非PWM動作を指示する時だけ有効です。

このビットへの1書き込みは波形出力(OCW1D)と既にCOM1D1,0ビットで設定した値に従って比較出力(OC1D,OC1D)ピンの変更を強制します。COM1D1,0をFOC1Dと同じ周期で書いた場合、新しい設定が使われます。比較出力強制ビットはタイマ/カウンタ値と無関係に出力ピンを変更するのに使えます。COM1D1,0で設定した自動動作は比較一致が起こった場合のように実行しますが、割り込みは生成されません。

FOC1Dビットは常に0として読みます。

●ビット0 – PWM1D : PWM-D許可 (Pulse width Moduration D Enable)

設定(1)時、このビットはOCR1D比較器を基にしたPWM動作を許可します。

12.12.4. TCCR1D – タイマ/カウンタ1制御レジスタD (Timer/Counter1 Control Register D)

ビット	7	6	5	4	3	2	1	0	
\$2F (\$4F)	FPIE1	FPEN1	FPNC1	FPES1	FPAC1	FPF1	WGM11	WGM10	TCCR1D
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 – FPIE1 : 障害保護割り込み許可 (Fault Protection Interrupt Enable)

このビットの(1への)設定が障害保護割り込みを許可します。

●ビット6 – FPEN1 : 障害保護動作許可 (Fault Protection Mode Enable)

このビットの(1への)設定が障害保護動作を活性(有効)にします。

●ビット5 – FPNC1 : 障害保護雑音消去許可 (Fault Protection Noise Canceler)

このビットの(1)設定が障害保護雑音消去器を活性(有効)にします。雑音消去器が有効にされると、障害保護入力(INT0)ピンからの入力が濾波されます。この濾波器機能はそれが出力を更新するのに対して連続4回等しく評価されたINT0ピンの採取を必要とします。従って障害保護は雑音消去器が許可される時に4発振器(システムクロック)周期遅らされます。

● **ビット4 – FPES1 : 障害保護起動入力端選択** (Fault Protection Edge Select)

このビットは障害事象を起動するのに使われる障害保護入力(INT0)ピンのどちらかの端(エッジ)を選びます。FPES1ビットが0を書かれると起動動作として下降(負)端が使われ、FPES1ビットが1を書かれると上昇(正)端が障害を起動します。

● **ビット3 – FPAC1 : 障害保護アナログ比較器許可** (Fault Protection Analog Comparator Enable)

論理1を書かれると、このビットはアナログ比較器によって起動されるタイマ/カウンタ1の障害保護機能を許可します。この場合、比較器出力は比較器にタイマ/カウンタ1障害保護割り込みの雑音消去機能と端(エッジ)選択機能を利用させる障害保護前置論理回路へ直接的に接続されます。論理0を書かれると、アナログ比較器と障害保護機能間の接続は存在しません。比較器がタイマ/カウンタ1障害保護割り込みを起動するにはタイマ/カウンタ1制御レジスタD(TCCR1D)の障害保護割り込み許可(FPIE1)ビットが設定(1)されなければなりません。

● **ビット2 – FPF1 : 障害保護割り込み要求フラグ** (Fault Protection Interrupt Flag)

FPIE1ビットが設定(1)されると、障害保護割り込みが許可されます。ピン上の動きは例え障害保護ピンが出力として設定されていても割り込み要求を引き起こします。障害保護割り込み要求に対応する割り込みは障害保護割り込みベクタから実行されます。FPF1ビットは対応する割り込み処理ベクタを実行するとき、ハードウェアによって解除(0)されます。代わりにFPF1はこのフラグへの論理1書き込みによっても同期化クロック周期後に解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、FPIE1とFPF1が設定(1)される時に障害保護割り込みが実行されます。

● **ビット1,0 – WGM11,0 : 波形生成種別** (Waveform Generation Mode Bits)

PWM1A/PWM1Bのビットと組み合わせたこれらのビットはカウンタの計数順序(方向)と使われるべき波形生成のどの形式かを制御します(表16-21参照)。タイマ/カウンタ1によって支援される動作種別は標準動作(カウンタ)、高速PWM動作、位相/周波数基準PWM動作とPWM6動作です。

表16-21. 波形生成種別選択

PWM1A/PWM1B	WGM11,0	タイマ/カウンタ動作種別	TOP値	OCR1x更新時	TOV1設定時
0	x x	標準動作	OCR1C	即時	TOP
1	0 0	高速PWM動作	OCR1C	TOP	TOP
1	0 1	位相/周波数基準PWM動作	OCR1C	BOTTOM	BOTTOM
1	1 0	単一傾斜PWM6動作	OCR1C	TOP	TOP
1	1 1	両傾斜PWM6動作	OCR1C	BOTTOM	BOTTOM

12.12.5. TCCR1E – タイマ/カウンタ1制御レジスタE (Timer/Counter1 Control Register E)

ビット	7	6	5	4	3	2	1	0	
\$00 (\$20)	–	–	OC1OE5	OC1OE4	OC1OE3	OC1OE2	OC1OE1	OC1OE0	TCCR1E
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7,6 – Res : 予約** (Reserved)

これらのビットは予約されており、常に0として読みます。

● **ビット5~0 – OC1OE5~OC1OE0 : 比較出力での無効化許可** (Output Compare Override Enable Bits)

これらのビットは対応する比較出力ピンでの瞬時応答を持つPWM6動作で比較出力ピンを接続または切断する、比較出力での(標準ポート機能)無効化許可ビットです。比較出力での無効化許可ビットが解除(0)されると、ポート出力レジスタからの実際の値がポートピンで見えるでしょう。表12-22は比較出力での無効化許可ビットとそれらに対応する比較出力ピンを示します。

表12-22. 比較出力での無効化許可ビット 対 比較出力ピン

比較出力での無効化許可ビット	OC1OE5	OC1OE4	OC1OE3	OC1OE2	OC1OE1	OC1OE0
比較出力信号	OC1D	OC1D	OC1B	OC1B	OC1A	OC1A
比較出力ピン	PB5	PB4	PB3	PB2	PB1	PB0

12.12.6. PLLCSR – PLL制御/状態レジスタ (PLL Control and Status Register)

ビット	7	6	5	4	3	2	1	0	
\$27 (\$47)	LSM	-	-	-	-	PCKE	PLLE	PLOCK	PLLCSR
Read/Write	R/W	R	R	R	R	R/W	R/W	R	
初期値	0	0	0	0	0	0	1/0	0	

● ビット7 – LSM : 低速動作 (Low Speed Mode)

LSMビットが1を書かれると、低速動作が選ばれ、そして高速周辺機能クロックは64MHzから32MHzに下げられます。既定としてLSMビットは0にリセットされ、低速動作が禁止され、高速周辺機能クロックは64MHzです。タイマ/カウンタ1が低電圧状態で充分速く走行できないので、供給電圧が2.7V以下の場合、低速動作が設定されなければなりません。LSMビットが変更される時に必ずタイマ/カウンタ1は停止されていることが強く推奨されます。

PLLCLKがシステムクロックとして使われる場合、LSMが設定(1)できないことに注意してください。

● ビット6~3 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット2 – PCKE : PCK許可 (PCK Enable)

PCKEビットはタイマ/カウンタ1のクロック元を変更します。設定(1)されると、非同期クロック動作が許可され、タイマ/カウンタ1のクロック元として高速64MHz(または低速動作で32MHz)のPCKクロックが使われます。このビットが解除(0)されると、同期クロック動作が許可され、タイマ/カウンタ1のクロック元としてシステムクロック(CK)が使われます。このビットはPLLEビットが設定(1)されている場合にだけ設定(1)できます。PLLが固定化される、換言するとPLOCKビットが1の時にだけ、このビットを設定(1)するのが無難です。PCKEビットは先にPLLが許可されてしまっている場合にだけ設定できることに注意してください。PLLはCKSELヒューズが'0001'にプログラム(PLLクロック動作が選択)、またはPLLEビットが1に設定されている時に許可されます。

● ビット1 – PLLE : PLL許可 (PLL Enable)

PLLEが設定(1)されると、PLLが起動され、必要とされるなら、PLL基準クロックとして内蔵RC発振器が起動されます。システムクロック元としてPLLが選ばれると、このビットに対する値は常に1です。

● ビット0 – PLOCK : PLL固定化検出 (PLL Lock Detector)

PLOCKビットが設定(1)されると、PLLは基準クロックに固定化されます。PLL周波数が上下超過する初期PLL固定化間、PLOCKビットは無視されるべきです。安定状態は100µs以内に得られます。PLL固定化後、タイマ/カウンタ1に対してPCKを許可する前にPLOCKビットの調査が推奨されます。

12.12.7. TCNT1 – タイマ/カウンタ1 (Timer/Counter1)

ビット	7	6	5	4	3	2	1	0	
\$2E (\$4E)	(MSB)							(LSB)	TCNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この8ビットレジスタはタイマ/カウンタ1の下位バイトを含みます。

タイマ/カウンタ1は読み書きアクセスで10ビット昇降カウンタとして実現されます。CPUの同期化のため、タイマ/カウンタ1に書かれたタイマ/カウンタ1データは同期動作で1.5 CPUクロック周期、非同期動作で更に1 CPUクロック周期遅延されます。10ビット精度が好まれる時は8ビット AVR データバス経由での10ビットTCNT1アクセスに関して特別な手順に従わなければなりません。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。代わりにタイマ/カウンタ1は8ビットタイマ/カウンタとしても使えます。タイマ/カウンタ1が常にTCNT1レジスタ書き込み後に計数を開始することに注意してください。

12.12.8. TC1H – タイマ/カウンタ1上位バイトレジスタ (Timer/Counter1 High Byte)

ビット	7	6	5	4	3	2	1	0	
\$25 (\$45)	-	-	-	-	-	-	TC19	TC18	TC1H
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

このタイマ/カウンタ1一時レジスタは2ビット読み書きレジスタです。

● ビット7~2 – Res : 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。

● ビット1,0 – TC19,8 : 10ビットアクセスの上位2ビット (Two MSB bits of the 10-bit accesses)

10ビット精度が使われる場合、タイマ/カウンタ1上位バイトレジスタは10ビットアクセスのMSB(TC19,TC18)ビットを一時的に格納するのに使われます。タイマ/カウンタ1内の全10ビットレジスタ間で同じTC1Hレジスタが共用されます。10ビットTCNT1を8ビットAVRデータバス経由でアクセスする時に特別な手順に従わなければならないことに注意してください。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。

12.12.9. OCR1A – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register A)

ビット	7	6	5	4	3	2	1	0	
\$2D (\$4D)	(MSB)							(LSB)	OCR1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは8ビット読み書きレジスタです。

比較レジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタA(TCCR1A)で指定されます。比較一致はタイマ/カウンタ1がOCR1A値へ計数する場合にだけ起こります。TCNT1とOCR1Aを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較A一致割り込み要求フラグ(OCF1A)を設定(1)します。

10ビット精度が使われる場合、8ビット AVRデータバス経由で10ビット比較A内部レジスタをアクセスする時に特別な手順に従わなければならないことに注意してください。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。

12.12.10. OCR1B – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register B)

ビット	7	6	5	4	3	2	1	0	
\$2C (\$4C)	(MSB)							(LSB)	OCR1B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは8ビット読み書きレジスタです。

比較レジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタA(TCCR1A)で指定されます。比較一致はタイマ/カウンタ1がOCR1B値へ計数する場合にだけ起こります。TCNT1とOCR1Bを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較B一致割り込み要求フラグ(OCF1B)を設定(1)します。

10ビット精度が使われる場合、8ビット AVRデータバス経由で10ビット比較B内部レジスタをアクセスする時に特別な手順に従わなければならないことに注意してください。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。

12.12.11. OCR1C – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register C)

ビット	7	6	5	4	3	2	1	0	
\$2B (\$4B)	(MSB)							(LSB)	OCR1C
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは8ビット読み書きレジスタです。

比較レジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含み、比較一致はTCNT1を解除(=\$000)します。このレジスタは標準動作とPWM動作で同じ機能を持ちます。

3より小さな値が比較レジスタに書かれると、このレジスタへ書き込むことが許された最小値である3によって置換されることに注意してください。

10ビット精度が使われる場合、8ビット AVRデータバス経由で10ビット比較C内部レジスタをアクセスする時に特別な手順に従わなければならないことに注意してください。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。

12.12.12. OCR1D – タイマ/カウンタ1 比較レジスタ (Timer/Counter1 Output Compare Register D)

ビット	7	6	5	4	3	2	1	0	
\$2A (\$4A)	(MSB)							(LSB)	OCR1D
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この比較レジスタは8ビット読み書きレジスタです。

比較レジスタは継続的にタイマ/カウンタ(TCNT1)と比較されるデータを含みます。比較一致での動作はタイマ/カウンタ1制御レジスタC(TCCR1C)で指定されます。比較一致はタイマ/カウンタ1がOCR1D値へ計数する場合にだけ起こります。TCNT1とOCR1Dを同じ値に設定するソフトウェア書き込みは比較一致を生成しません。

比較一致は比較事象に続く同期化遅延後に比較D一致割り込み要求フラグ(OCF1D)を設定(1)します。

10ビット精度が使われる場合、8ビット AVRデータバス経由で10ビット比較D内部レジスタをアクセスする時に特別な手順に従わなければならないことに注意してください。これらの手順は69頁の「10ビットレジスタのアクセス」項で記述されます。

12.12.13. TIMSK – タイマ/カウンタ割り込み許可レジスタ (Timer/Counter Interrupt Mask Register)

ビット	7	6	5	4	3	2	1	0	
\$39 (\$59)	OCIE1D	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	TICIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – OCIE1D : タイマ/カウンタ1比較D割り込み許可 (Timer/Counter1 Output Compare Match D Interrupt Enable)

OCIE1Dビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較D一致割り込みが許可されます。比較D一致が起きると、ベクタ\$0011の対応する割り込みが実行されます。タイマ/カウンタ1の比較D一致フラグ(OCF1D)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

● ビット6 – OCIE1A : タイマ/カウンタ1比較A割り込み許可 (Timer/Counter1 Output Compare Match A Interrupt Enable)

OCIE1Aビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが許可されます。比較A一致が起きると、ベクタ\$0003の対応する割り込みが実行されます。タイマ/カウンタ1の比較A一致フラグ(OCF1A)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

● ビット5 – OCIE1B : タイマ/カウンタ1比較B割り込み許可 (Timer/Counter1 Output Compare Match B Interrupt Enable)

OCIE1Bビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが許可されます。比較B一致が起きると、ベクタ\$0004の対応する割り込みが実行されます。タイマ/カウンタ1の比較B一致フラグ(OCF1B)がタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

● ビット2 – TOIE1 : タイマ/カウンタ1溢れ割り込み許可 (Timer/Counter1 Overflow Interrupt Enable)

TOIE1ビットが設定(1)され、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されると、タイマ/カウンタ1溢れ割り込みが許可されます。タイマ/カウンタ1溢れが起きると、(ベクタ\$0005)の対応する割り込みが実行されます。(タイマ/カウンタ1)溢れ割り込み要求(TOV1)フラグはタイマ/カウンタ割り込み要求フラグレジスタ(TIFR)で設定(1)されます。

12.12.14. TIFR – タイマ/カウンタ割り込み要求フラグレジスタ (Timer/Counter Interrupt Flag Register)

ビット	7	6	5	4	3	2	1	0	
\$38 (\$58)	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	ICF0	TIFR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – OCF1D : タイマ/カウンタ1比較D割り込み要求フラグ (Timer/Counter1, Output Compare D Match Flag)

OCF1Dビットはタイマ/カウンタ1(TCNT1)と比較Dレジスタ(OCR1D)のデータ値間で比較一致が起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Dはハードウェアによって解除(0)されます。代わりにこのフラグへの論理1書き込みによっても同期化クロック周期後にOCF1Dが解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較D一致割り込み許可(OCIE1D)ビット、OCF1Dが設定(1)されると、タイマ/カウンタ1比較D一致割り込みが実行されます。

● ビット6 – OCF1A : タイマ/カウンタ1比較A割り込み要求フラグ (Timer/Counter1, Output Compare A Match Flag)

OCF1Aビットはタイマ/カウンタ1(TCNT1)と比較Aレジスタ(OCR1A)のデータ値間で比較一致が起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Aはハードウェアによって解除(0)されます。代わりにこのフラグへの論理1書き込みによっても同期化クロック周期後にOCF1Aが解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較A一致割り込み許可(OCIE1A)ビット、OCF1Aが設定(1)されると、タイマ/カウンタ1比較A一致割り込みが実行されます。

● ビット5 – OCF1B : タイマ/カウンタ1比較B割り込み要求フラグ (Timer/Counter1, Output Compare B Match Flag)

OCF1Bビットはタイマ/カウンタ1(TCNT1)と比較Bレジスタ(OCR1B)のデータ値間で比較一致が起こる時に設定(1)されます。対応する割り込み処理ベクタを実行すると、OCF1Bはハードウェアによって解除(0)されます。代わりにこのフラグへの論理1書き込みによっても同期化クロック周期後にOCF1Bが解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1比較B一致割り込み許可(OCIE1B)ビット、OCF1Bが設定(1)されると、タイマ/カウンタ1比較B一致割り込みが実行されます。

● ビット2 – TOV1 : タイマ/カウンタ1溢れ割り込み要求フラグ (Timer/Counter1 Overflow Flag)

標準動作と高速PWM動作でのTOV1ビットはカウンタがTOPに達する時毎で、カウンタがBOTTOMにリセットされる時と同じクロック周期で設定(1)されます。位相/周波数基準PWM動作でのTOV1ビットはBOTTOMに達する時毎で、\$000がカウンタへ計数される時と同じクロック周期で設定(1)されます。

対応する割り込み処理ベクタを実行すると、TOV1はハードウェアによって解除(0)されます。代わりにこのフラグへの論理1書き込みによっても同期化クロック周期後にTOV1が解除(0)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビット、タイマ/カウンタ割り込み許可レジスタ(TIMSK)のタイマ/カウンタ1溢れ割り込み許可(TOIE1)ビット、TOV1が設定(1)されると、タイマ/カウンタ1溢れ割り込みが実行されます。

12.12.15. DT1 – タイマ/カウンタ1 沈黙時間値レジスタ (Timer/Counter1 Dead Time Value)

ビット	7	6	5	4	3	2	1	0	
\$24 (\$44)	DT1H3	DT1H2	DT1H1	DT1H0	DT1L3	DT1L2	DT1L1	DT1L0	DT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この沈黙時間値レジスタは8ビット読み書きレジスタです。

タイマ/カウンタ1の全チャンネルの沈黙時間遅延は沈黙時間値レジスタ(DT1)によって調節されます。このレジスタは各相互補完出力に対して1組のDT1H3~0とDT1L3~0の2つの領域から成ります。従ってOC1xの上昇端と $\overline{\text{OC1x}}$ の上昇端に対して異なる沈黙時間遅延に調節できます。

- **ビット7~4 – DT1H3~0 : OC1x沈黙時間 (Dead Time Value for OC1x Output)**

OC1x出力に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。

- **ビット3~0 – DT1L3~0 : $\overline{\text{OC1x}}$ 沈黙時間 (Dead Time Value for $\overline{\text{OC1x}}$ Output)**

$\overline{\text{OC1x}}$ 出力に対する沈黙時間値です。沈黙時間遅延は前置分周したタイマ/カウンタ クロック数として設定されます。最小沈黙時間は0で、最大沈黙時間は前置分周したタイマ/カウンタ1 クロック周期×15です。

13. 多用途直列インターフェース (USI: Universal Serial Interface)

13.1. 特徴

- ・ 2線同期データ転送 (主装置または従装置)
- ・ 3線同期データ転送 (主装置または従装置)
- ・ データ受信割り込み
- ・ アイドル動作からの起動復帰
- ・ 2線動作でのパワーダウン動作を含む全休止形態からの起動復帰
- ・ 割り込み能力を持つ2線動作開始条件検出器

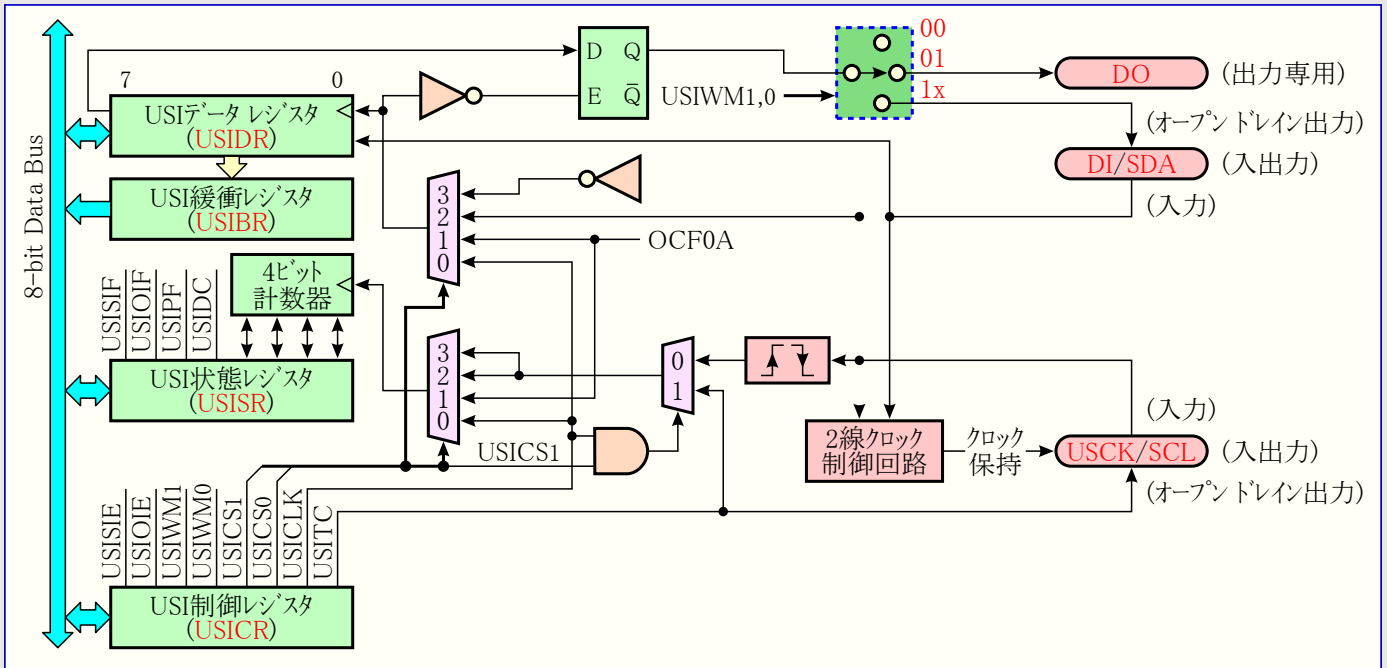
13.2. 概要

多用途直列インターフェース(USI)は直列通信で必要とされる基本的なハードウェア資源(機能)を提供します。最低限の制御ソフトウェアとの組み合わせで、USIはソフトウェアのみを元とした方法よりも少ないコード量と重要な高い転送レートを許します。プロセッサ負荷を最小とするために割り込みが含まれます。

USIの単純化した構成図は図13-1.で示されます。実際のI/Oピンの配置は2頁の「ピン配置」を参照してください。I/OビットとI/Oピンを含み、CPUがアクセス可能なI/Oレジスタは赤文字(訳注:原文は太字)で示されます。デバイス仕様のI/Oレジスタとビット位置は85頁の「USI用レジスタ」で一覧されます。

24頁での「PRR - 電力削減レジスタ」のPRUSIEビットはUSI部を許可するために0を書かれなければなりません(訳注:本行追加)。

図13-1. 多用途直列インターフェース構成図



8ビットのUSIデータレジスタ(USIDR)はデータバス経由で直接的にアクセス可能で、入ってくるデータと出て行くデータを含みます。このレジスタは緩衝部を持たないので(訳注:USIDBの新設によって前部が不適切、削除されるべき)、データが失われないことを保証するためにデータは可能な限り早く読まなければなりません。最上位ビットは動作種別設定に依存して2つの出力ピンの1つに接続されます。トランスペアレント(透過型)ラッチは直列(移動)レジスタ出力と出力ピン間に挿入され、データの変更をデータ入力採取と逆のクロック端に遅らせます。直列入力は(種別)設定に拘らず、常にデータ入力(DI)ピンから採取されます。

4ビット計数器はデータバス経由で読み書き両方ができ、溢れ割り込みを生成できます。この計数器と直列(移動)レジスタは同じクロック元によって同時にクロック駆動されます。これは受信または送信したビット数を数え、転送完了時に割り込みの生成を計数器に許します。外部クロック元が選ばれると、この計数器が両クロック端で計数することに注意してください。この場合、計数器はビット数ではなく、端(エッジ)数を数えます。クロックは3つの異なるクロック元(USCKピン、タイマ/カウンタ0の比較A一致、ソフトウェア)から選べます。

2線クロック制御部(回路)は2線バスで開始条件が検出される時に割り込みを発生できます。開始条件検出後または計数器溢れ後にクロックピンをLowへ保持することによって待ち状態を生成することもできます。

(訳注) 本デバイスはUSI関係ピンをポートAとBに切り替え割り当てできます。従って本章内のポート参照は基本的に「AまたはB」のような記述になりますが、一部に関して代表としての既定ポートB割り当てでの記述があります。その場合、割り当て変更時はポートAと読み換えてください。

13.3. 機能説明

13.3.1. 3線動作

USIの3線動作は直列周辺インターフェース(SPI)の動作種別0と1に準拠していますが、従装置選択(SS)ピン機能を持ちません。けれども、この特性(機能)は必要ならばソフトウェアで実現できます。この動作で使われるピン名はDI,DO,USCKです。

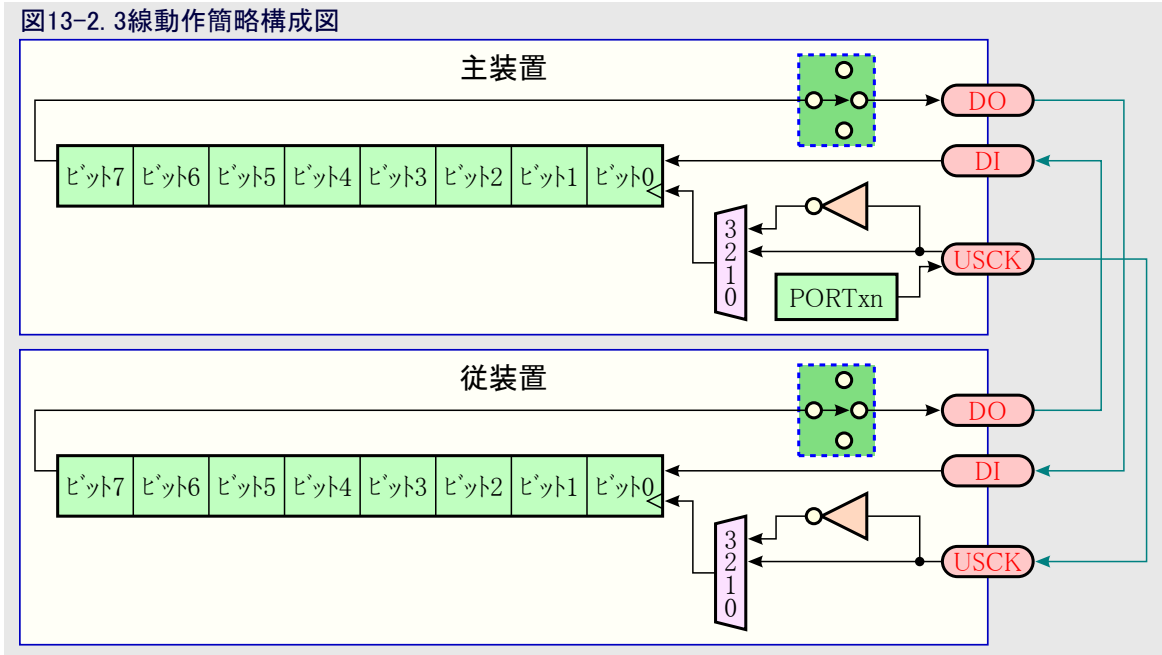
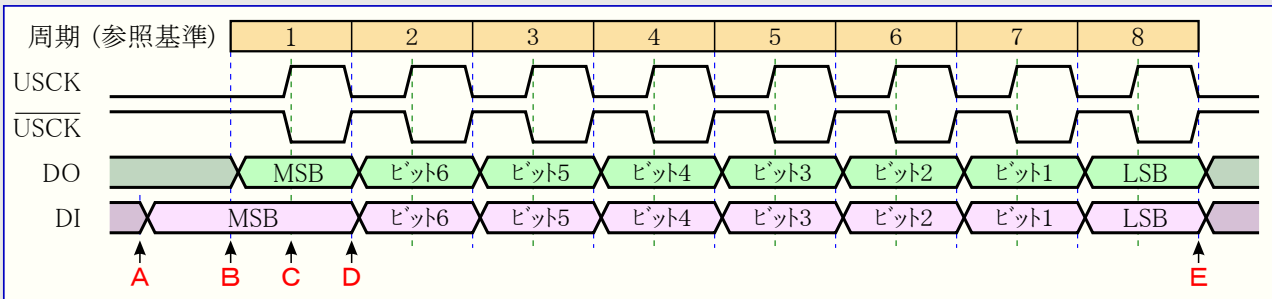


図13-2.は3線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。このような方法で連結された2つのUSIデータレジスタは8 USCKクロック後、各々のレジスタのデータが交換されます。この同じクロック(USCK)がUSIの4ビットカウンタも増加(+1)します。従って計数器溢れ割り込み要求フラグ(USIOIF)は転送が完了される時を決めるのに使えます。このクロックはPORTレジスタ経由USCKピン1/0交互切り替え、またはUSICRのUSITCビットへの1書き込みによる主装置装置ソフトウェアによって生成されます。

図13-3. 3線動作タイミング



3線動作タイミングは図13-3.で示されます。図の最上部はUSCK周期参照基準です。これらの各周期に対して1ビットがUSIデータレジスタ(USIDR)に移動されます。USCKタイミングは両方の外部クロック動作について示されます。外部クロック動作0(USICS0=0)でのDIは上昇端で採取され、DOは下降端で変更(USIDRが1つ移動)されます。外部クロック動作1(USICS0=1)は外部クロック動作0に対して逆端を使用、換言すると下降端でデータを採取、上昇端で出力を変更します。USIクロック動作種別はSPIデータ動作種別0と1に対応します。

このタイミング図(図13-3.)を参照すると、バス転送は次の手順を含みます。

1. 主装置と従装置はそれらのデータ出力を設定し、使用規約に依存してそれらの出力駆動部を許可します(AとB)。この出力は送信されるべきデータをUSIデータレジスタへ書くことによって設定します。出力の許可はポートBのデータ方向レジスタ内の対応するビットを設定(1)することによって行います。図のA点とB点の優先順位はありませんが、両方共にデータが採取されるC点の最低1/2 USCK周期前でなければならないことに注意してください。これはデータ設定の必要条件を満足させるのを保証するためです。4ビットカウンタは0にリセットします。
2. 主装置ソフトウェアはUSCK線をソフトウェアで2度切り替えることによってクロックパルスを生成します(CとD)。データ入力(DI)ピンのビット値は最初の端(エッジ)(C)でUSIによって採取され、データ出力は逆端(D)で変更されます。4ビットカウンタは両端で計数します。
3. レジスタ(バイト)転送完了のために手順2.が8回繰り返されます。
4. 8クロックパルス(換言すると16クロック端)後、カウンタが溢れて転送完了を示します。転送したバイトデータは新規転送が開始され得るのに先立って直ぐに処置されなければなりません。溢れ割り込みはプロセッサがアイドル動作に設定されているなら、プロセッサを起動復帰します。使用規約によって、従装置は直ぐに出力をHi-Z設定にできます。

13.3.2. SPI主装置操作例

次のコードはSPI主装置としてのUSI使用法を実際に示します。

アセンブリ言語プログラム例			
SPIM:	OUT	USIDR, R16	;送信データを設定
	LDI	R16, (1<<USIOIF)	;USIOIFビットのみ1値を取得
	OUT	USISR, R16	;フラグ解除/計数器初期化
	LDI	R16, (1<<USIWM0) (1<<USICS1) (1<<USICLK) (1<<USITC)	;3線動作クロック生成値を取得
	;		
SPIM_LP:	OUT	USICR, R16	;SCKクロック端発生
	SBIS	USISR, USIOIF	;計数器溢れでスキップ
	RJMP	SPIM_LP	;計数器溢れまで継続
	;		
	IN	R16, USIDR	;受信データを取得
	RET		;呼び出し元へ復帰

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDOとUSCKピンがDDRAまたはDDRB出力として許可される仮定です。この関数が呼び出される前にR16レジスタへ格納した値は従装置に転送され、転送が完了された時に従装置から受信したデータがR16レジスタに格納されて戻ります。

2行目と3行目の命令は計数器溢れ割り込み要求フラグ(USIOIF)を解除(0)し、USI 4ビット計数器値を解除(=0)します。4行目と6行目の命令は3線動作、上昇端クロック、USITCスロープ計数、SCK出力交互切り替え(PORTA2またはPORTB2)を設定します。この繰り返しは16回繰り返されます。

次のコードは最高速($f_{SCK}=f_{CK}/2$)でのSPI主装置としてのUSI使用法を実際に示します。

アセンブリ言語プログラム例			
SPIM_F:	OUT	USIDR, R16	;送信データを設定
	LDI	R16, (1<<USIWM0) (0<<USICS0) (1<<USITC)	;3線動作初期値を取得
	LDI	R17, (1<<USIWM0) (0<<USICS0) (1<<USITC) (1<<USICLK)	;3線動作クロック生成値を取得
	;		
	OUT	USICR, R16	;MSB転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット6転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット5転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット4転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット3転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット2転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;ビット1転送
	OUT	USICR, R17	;
	OUT	USICR, R16	;LSB転送
	OUT	USICR, R17	;
	;		
	IN	R16, USIDR	;受信データを取得
	RET		;呼び出し元へ復帰

13.3.3. SPI従装置操作例

次のコードはSPI従装置としてのUSI使用法を実際に示します。

```

アセンブリ言語プログラム例
init:    LDI    R16, (1<<USIWM0) | (1<<USICS1)      ;3線動作,外部クロック値を取得
         OUT    USICR, R16                          ;3線動作,外部クロック設定

SPIS:    OUT    USIDR, R16                            ;送信データを設定
         LDI    R16, (1<<USIOIF)                    ;USIOIFビットのみ1値を取得
         OUT    USISR, R16                            ;フラグ解除/計数器初期化
;
SPIS_LP: SBIS   USISR, USIOIF                          ;計数器溢れでスキップ
         RJMP  SPIS_LP                              ;計数器溢れまで継続
;
         IN    R16, USIDR                            ;受信データを取得
         RET                                       ;呼び出し元へ復帰
    
```

このコードは8命令(+RET)のみ使用の容量最適化です。このコード例はDDRAまたはDDRBLレジスタでDOピンが出力、USCKピンが入力として設定されると仮定します。この関数が呼び出される前にR16レジスタへ格納した値は主装置に転送され、転送が完了された時に主装置から受信したデータがR16レジスタに格納されて戻ります。

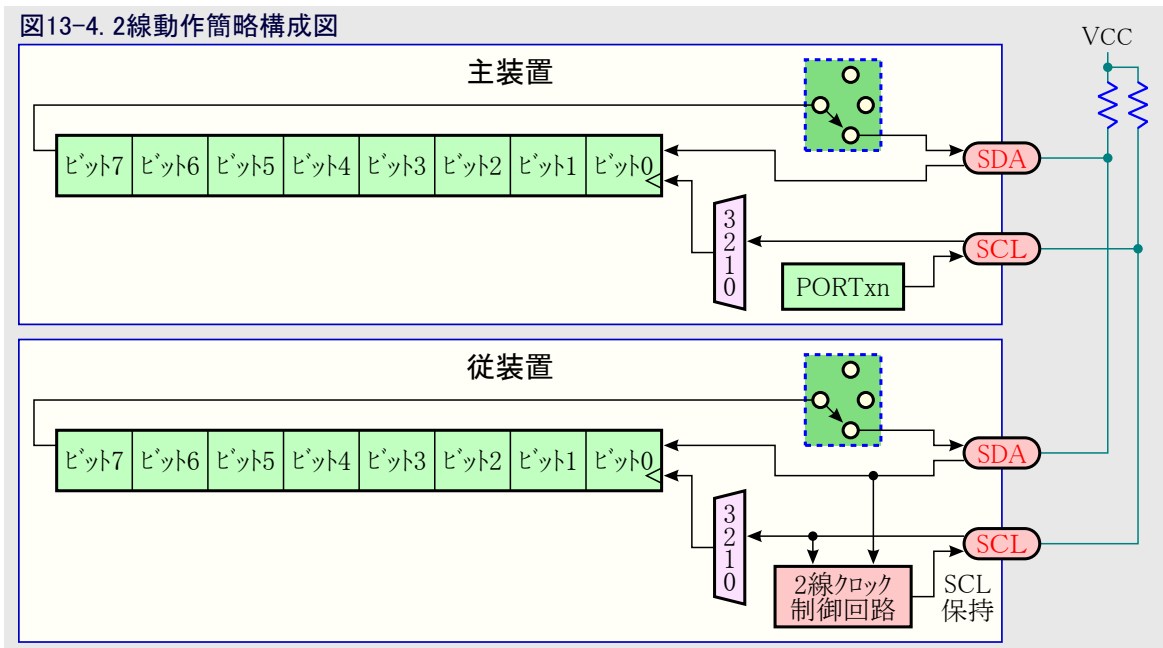
最初の2命令は初期化用だけで、一度だけ実行されるのを必要とすることに注意してください。これらの命令は3線動作と上昇端クロックを設定します。この繰り返しはUSI計数器溢れフラグが設定(1)されるまで繰り返されます。

13.3.4. 2線動作

USIの2線動作はI²C(TWI)バス規約に準拠していますが、出力のスレーブ制限と入力雑音濾波器がありません。この動作で使われるピン名はSCLとSDAです。

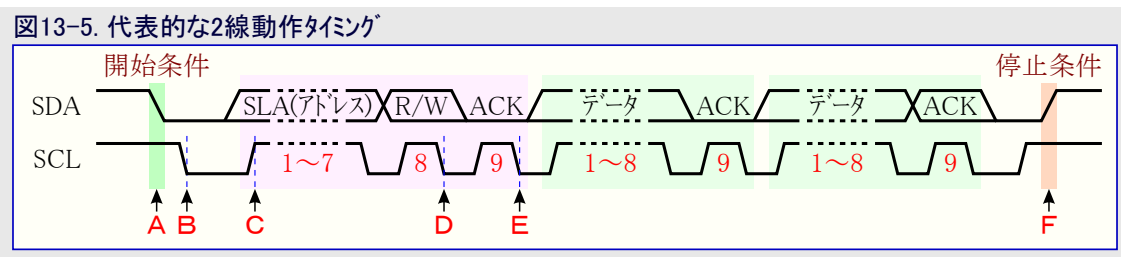
図13-4は2線動作での2つのUSI部(一方は主装置、他方は従装置)動作を示します。システム動作が使用通信構造に大きく依存するために示されるのは物理層のみです。この段階での主装置動作と従装置動作間の主な違いは常に主装置によって行われる直列クロック生成と、従装置だけがクロック制御部(回路)を使うことです。クロック生成はソフトウェアで実行されなければなりません、移動動作は両装置で自動的に行われます。データの移動に関してこの動作種別で下降端でのクロックだけを実際に使うことに注意してください。従装置はSCLクロックをLowに強制することにより、転送の開始と終了で待ち状態(ウェイト ステート)を挿入できます。これは(主装置が)上昇端を生成してしまった後に主装置はSCL線が実際に開放されたかを常に検査しなければならないことを意味します。

このクロックが(4ビット)計数器も増加(+1)するため、計数器溢れ(USIOIF)は転送が完了されたことを示すのに使えます。このクロックは主装置によるPORTAまたはPORTBレジスタ経由のSCLピン交互切り替えによって生成されます。



データ方向は物理層によって与えられません。データの流れを制御するためにTWIバスで使ったような或る種の規約が実装されなければなりません。

このタイミング図(図13-5.)を参照すると、バス転送は次の手順を含みます。

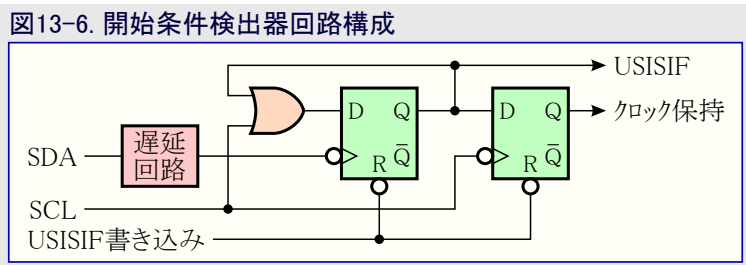


1. 開始条件は主装置によるSCL線High保持中のSDA線Low強制によって生成されます(A)。SDAはUSIデータレジスタのビット7への0書き込みか、またはPORTレジスタでの対応ビットの0設定のどちらかによってLowを強制できます。許可されるべき出力に対してデータ方向(DDR)レジスタのビットが1に設定されなければならないことに注意してください。従装置の開始条件検出器論理回路(図13-6. 参照)が開始条件を検出してUSISIFフラグを設定(1)します。このフラグは必要ならば割り込みを発生できます。
2. 加えて開始条件検出器は主装置がSCL線で上昇端を強制してしまった後にSCL線をLowに保持します(B)。これはアドレスを受信するために移動レジスタを設定する前に休止形態から起動復帰または他の処理を完了することを従装置に許します。これ(保持解除)は(4ビット)計数器をリセット(=0)して開始条件検出フラグ(USISIF)を解除(0)することによって行われます。
3. 主装置は転送されるべき最初のビットを設定してSCL線を開放します(C)。従装置はSCLクロックの上昇端でデータを採取して移動レジスタへ移動します。
4. 従装置アドレスとデータ方向(R/W)を含む8ビットが転送された後、従装置の(4ビット)計数器が溢れてSCL線がLowを強制されます(D)。従装置は主装置の1つがアドレス指定してしまわない場合、SCL線を開放して新規開始条件を待ちます。
5. 従装置がアドレス指定されると、再びSCL線をLowに保持する前の応答(ACK)周期の間中、SDA線をLowに保持します(換言するとD点でSCLを開放する前にUSI(4ビット)計数器レジスタは14に設定されなければなりません)。R/Wビットに依存して主装置か従装置は出力を許可します。このビットが設定(1)の場合、主装置読み込み動作が進行中です(換言すると従装置がSDA線を駆動します)。従装置は応答後(E)にSCL線をLowに保持することができます。
6. 主装置によって停止条件(F)か新規開始条件(再送開始条件)が与えられるまで全て同方向で複数バイトが直ぐに転送できます。従装置はより多くのデータを受信できない場合、最後に受信したバイトデータに回答しません。主装置が読み込み動作を行うとき、最後のバイトが転送された後の応答ビットをLowに強制することによってこの動作を終了しなければなりません。

13.3.5. 開始条件検出器

開始条件検出器は図13-6.で示されます。SDA線はSCL線の有効な採取を保証するために(50~300nsの範囲で)遅延されます。開始条件検出器は2線動作でだけ許可されます。

開始条件検出器は非同期に動作し、従ってパワーダウン休止動作からプロセッサを起動できます。けれども使う規約がSCL保持時間で制限を持つかもしれません。従ってこの場合にこの特徴(機能)を使う時にCKSELヒューズで設定する発振器起動時間(16ページの「クロック体系」参照)も考慮内に取り入れられなければならない。より多くの詳細については85ページのUSISIFフラグ記述を参照してください。



13.3.6. クロック速度の考察

SCLとUSCKに対する最大周波数は $f_{CK}/2$ です。これは2線と3線の両動作での最大データ転送と受信速度でもあります。2線従装置動作では従装置が更にデータを受信する準備ができるまで、2線クロック制御部がSCLを保持します。これは2線動作で実データ速度を減らすかもしれません。

13.4. USIでの代替使用

USIの柔軟な設計は直列通信が不要の時に他の作業への使用を許します。

13.4.1. 半二重非同期データ転送

3線動作でのUSIデータレジスタの使用はソフトウェアだけよりも簡潔で高性能のUART実装が可能です。

13.4.2. 4ビット計数器

4ビット計数器は溢れ割り込みとの自立型計数器として使えます。この計数器が外部的にクロック駆動される場合、両クロック端が計数値を増加(+1)することに注意してください。

13.4.3. 12ビット計数器

4ビットUSI計数器と8ビットタイマ/カウンタの1つとの組み合わせは12ビット計数器を作成します。

13.4.4. 端(エッジ)起動外部割り込み

4ビット計数器を最大値(\$F)に設定することによって追加外部割り込みとして機能できます。溢れフラグと割り込み許可ビットはこの外部割り込みに対して使われます。この特徴(機能)はUSIC S1ビットによって選ばれ(=1)ます。

13.4.5. ソフトウェア割り込み

4ビット計数器の溢れ割り込みはクロックストロープによって起動するソフトウェア割り込みとして使えます。

13.5. USI用レジスタ

13.5.1. USIDR – USIデータレジスタ (USI Data Register)

ビット	7	6	5	4	3	2	1	0	
\$0F (\$2F)	(MSB)							(LSB)	USIDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USIデータレジスタ(USIDR)は直接アクセスすることができます。

USI制御レジスタ(USICR)のUSICS1,0ビット設定に依存して(左)移動動作が実行されます。この移動動作は外部クロック端、**タイマ/カウンタ0比較A一致**により、またはUSICLKビット経由のソフトウェア直接によって同期することができます。レジスタが書かれる同じ周期で直列クロックが起これると、レジスタは書かれた値を含み、移動は実行されません。

2または3線動作種別が選ばれない(USIWM1,0=00)時でも外部データ入力(DI/SDA)と外部クロック入力(USCK/SCL)の両方が未だUSIデータレジスタによって使われ得ることに注意してください。

出力ピン(DOまたはSDA、動作種別依存)は出力ラッチを経由してUSIデータレジスタの最上位ビット(ビット7)に接続されます。出力ラッチは違う(逆の)クロック端でデータ入力 that 採取、及びデータ出力が変更されるのを保証します。このラッチは外部クロック元が選ばれる(USICS1=1)時に直列クロック周期の前半中が透過(トランスペアレント)で、内部クロック元が使われる(USICS1=0)時に定常的な透過です。ラッチが透過である限り、新規MSBが書かれると、出力は直ちに更新されます。

USIデータレジスタからのデータ出力を許可するため、出力ピンに対応するデータ方向レジスタ(DDxn)が1に設定されなければならないことに注意してください。

13.5.2. USIBR – USI緩衝レジスタ (USI Buffer Register)

ビット	7	6	5	4	3	2	1	0	
\$10 (\$30)	(MSB)							(LSB)	USIBR
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

移動レジスタの内容は転送が完了される時にUSI緩衝レジスタ(USIBR)へ格納され、CPUが受信したデータを読むとき、**USIデータレジスタ(USIDR:直列移動レジスタ)**をアクセスする代わりにUSIデータ緩衝部(USIBR)をアクセスできます。これはUSI制御が微妙なタイミングでなくなるため、他のプログラム処理にも取り扱うためのCPU時間を与えます。USIのフラグはUSIDRを読む時と同様に設定されます。

13.5.3. USISR – USI状態レジスタ (USI Status Register)

ビット	7	6	5	4	3	2	1	0	
\$0E (\$2E)	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	USISR
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この状態レジスタは割り込み要求フラグ、状態フラグ、計数値を含みます。

● ビット7 – USISIF : 開始条件検出割り込み要求フラグ (Start Condition Interrupt Flag)

2線動作選択時に**開始条件**が検出されると、USISIFフラグが設定(1)されます。出力禁止動作または3線動作の選択時、USCKピンのどの端(エッジ)もがこのフラグを設定(1)します。

ステータスレジスタ(SREG)の全割り込み許可(I)ビットと**USI制御レジスタ(USICR)で開始条件検出許可(USISIE)ビット**が設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSISIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの**開始条件保持**を解除(開放)します。

開始条件検出割り込みは全ての**休止形態**からプロセッサを起動します。

● ビット6 – USIOIF : 計数器溢れ割り込み要求フラグ (Counter Overflow Interrupt Flag)

このフラグは4ビット計数器が溢れると(換言すると15から0への遷移で)設定(1)されます。SREGの全割り込み許可(I)ビットとUSICRで**計数器溢れ割り込み許可(USIOIE)ビット**が設定(1)の場合にこのフラグが設定(1)されると、割り込みが生成されます。このフラグはUSIOIFビットへの論理1書き込みによってのみ解除(0)されます。このビットの解除(0)は2線動作でのSCLの**計数器溢れ保持**を解除(開放)します。

計数器溢れ割り込みは**アイドル休止動作**からプロセッサを起動します。

● ビット5 – USIPF : 停止条件検出フラグ (Stop Condition Flag)

2線動作が選ばれた時に**停止条件**が検出されると、USIPFフラグが設定(1)されます。このフラグはこのビットへの1書き込みによって解除(0)されます。これが割り込み要求フラグでないことに注意してください。この合図は2線バス主装置調停の実装時に有用です。

● ビット4 – USIDC : 出力データ衝突フラグ (Data Output Collision Flag)

USIデータレジスタ(USIDR)のビット7(MSB)が物理ピン値と異なる時にこのビットは論理1です。このフラグは2線動作が使われる時にだけ有効です。この合図は2線バス主装置調停の実装時に有用です。

● ビット3~0 - USICNT3~0 : 計数値 (Counter Value)

これらのビットは現在の4ビット計数値を反映します。この4ビット計数値はCPUによって直接的に読み書きできます。

この4ビット計数器は外部クロック端検出器、タイマ/カウンタ0比較A一致、USICLKまたはUSITCスローブビットを使うソフトウェアのどれかによって生成した各クロックに対して1つ増加します。このクロック元はUSICS1,0ビット設定に依存します。外部クロック動作に対してUSITCスローブビットへの書き込みによって生成されるのをクロックに許す特別な特徴が付加されます。この特徴は外部クロック元(USICS1=1)設定とUSICLKへの1書き込みによって許可されます。

出力禁止動作(USIWM1,0=00)が選ばれている時でも、外部クロック入力(USCK/SCL)が未だ計数器によって使われることに注意してください。

13.5.4. USICR - USI制御レジスタ (USI Control Register)

ビット	7	6	5	4	3	2	1	0	
\$0D (\$2D)	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	USICR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	W	W	
初期値	0	0	0	0	0	0	0	0	

この制御レジスタは割り込み許可制御、動作種別設定、クロック選択設定、クロック スローブを含みます。

● ビット7 - USISIE : 開始条件検出割り込み許可 (Start Condition Interrupt Enable)

このビットを1に設定することが開始条件検出割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSISIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については85頁の開始条件検出割り込み要求フラグ(USISIF)記述を参照してください。

● ビット6 - USIOIE : 計数器溢れ割り込み許可 (Counter Overflow Interrupt Enable)

このビットを1に設定することが計数器溢れ割り込みを許可します。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとUSIOIEビットが1に設定され、保留割り込みありなら、割り込みが直ちに実行されます。より多くの詳細については85頁の計数器溢れ割り込み要求フラグ(USIOIF)記述を参照してください。

● ビット5,4 - USIWM1,0 : 動作種別選択 (Wire Mode)

これらのビットは表13-1.で示されるように使われるべき動作種別(2または3線動作)を設定します。

基本的に出力の機能だけがこれらのビットによって影響を及ぼされます。データとクロック入力は選んだ動作種別によって影響を及ぼされず、常に同じ機能を持ちます。従って出力が禁止される時でも移動レジスタと計数器は外部的にクロック駆動でき、入力データが採取されます。

表13-1. USI操作とUSIWM1,0の関係

USIWM1	USIWM0	説明
0	0	出力、クロック保持、開始条件検出器は禁止。ポートピンは標準として動作。
0	1	3線動作。DO,DI,USCKピンを使用。 データ出力(DO)ピンはPORTBレジスタの対応ビットを無視します。けれども対応するDDRビットは未だデータ方向を制御します。ポートピンが入力として設定(DDBn=0)されると、そのピンのプルアップはPORTBビットによって制御されます。 データ入力(DI)と直列クロック(USCK)ピンは標準ポート操作に影響を及ぼしません。主装置として動作する時のクロックパルスはデータ方向が出力に設定されている(DDBn=1)間のPORTBレジスタの交互切り替えによってソフトウェアで生成されます。USICRのUSITCビットがこの目的に使えます。
1	0	2線動作。SDA(DI)とSCL(USCK)ピンを使用。(注1) 直列データ(SDA)と直列クロック(SCL)ピンは双方向でオープンドレイン出力駆動を使います。この出力駆動部はDDRレジスタでSDAとSCLに対応するビットの設定(=1)によって許可されます。 SDAピンに対して出力駆動部が許可されると、出力駆動部はUSIデータレジスタ(USIDR)の出力またはPORTBレジスタの対応ビットが0ならばSDA線をLowに強制します。さもないと、SDA線は駆動されません(換言すると開放されます)。SCLピン出力駆動部が許可されると、SCL線はPORTBレジスタの対応ビットが0なら、または開始条件検出器によってLowを強制されます。さもないとSCL線は駆動されません。 SCL線は出力が許可され、開始条件検出器が開始条件を検出すると、Lowに保持されます。開始条件検出フラグ(USISIF)の解除(0)がその線を開放します。SDAとSCLピン入力はこの動作の許可によって影響を及ぼされません。SDAとSCLピンのプルアップは2線動作で禁止されます。
1	1	2線動作。SDAとSCLピンを使用。 計数器溢れが起きた時から計数器溢れフラグ(USIOIF)が解除(0)されるまでもSCL線がLowに保持されることを除いて、上の2線動作と同じ動作です。

注1: DIとUSCKピンは動作種別間での混乱を避けるため、各々直列データ(SDA)と直列クロック(SCL)に改称されます。

● **ビット3,2 – USICS1,0 : クロック選択 (Clock Source Select)**

これらのビットは移動レジスタと計数器に対するクロック元を設定します。外部クロック元(USCK/SCL)を使う時にデータ出力ラッチはデータ入力(DI/SDA)の採取の逆端で出力が変更されるのを保証します。タイマ/カウンタ0比較A一致またはソフトウェア ストローブが選ばれると、出力ラッチは透過で、従って出力は直ちに更新されます。USICS1,0ビットの解除(=00)がソフトウェア ストローブ 選択を許可します。この選択を使う時のUSICLKビットへの1書き込みは移動レジスタと計数器の両方をクロック駆動します。外部クロック元(USICS1=1)に対してUSICLKビットはもはやストローブとして使われませんが、外部クロックとUSITCストローブ ビットによるソフトウェア クロック間を選びます。

表13-2は移動レジスタと4ビット計数器に対して使われるクロック元とUSICS1,0、USICLK設定間の関連を示します。

表13-2. USICS1,0とUSICLK設定との関係

USICS1	USICS0	USICLK	移動レジスタ クロック元	4ビット計数器クロック元
0	0	0	クロックなし	クロックなし
		1	ソフトウェア クロック ストローブ (USICLK)	ソフトウェア クロック ストローブ (USICLK)
	1	X	タイマ/カウンタ0比較A一致	タイマ/カウンタ0比較A一致
1	0	0	外部クロック上昇端	外部クロック両端
	1		外部クロック下降端	
	0	1	外部クロック上昇端	ソフトウェア クロック ストローブ (USITC)
	1		外部クロック下降端	

● **ビット1 – USICLK : クロック ストローブ (Clock Strobe)**

ソフトウェア ストローブ 選択が選ばれるように行うことによってUSICS1,0ビットがゼロ(=00)に設定されるなら、このビット位置への1書き込みは移動レジスタを1段移動して計数器を1つ増加します。このクロック ストローブが実行される時、直ちに、換言すると同じ命令周期内で出力が替わります。移動レジスタ内に移動した値は直前の命令周期で採取されます。このビットは0として読みます。

外部クロック元が選ばれる(USICS1=1)と、USICLK機能はクロック ストローブからクロック選択レジスタに変更されます。この場合のUSICLKビットの設定(1)は4ビット計数器に対するクロック元としてのUSITCストローブを選びます(表13-2参照)。

● **ビット0 – USITC : クロック値切り替え (Toggle Clock Port Pin)**

このビット位置に1を書くことはUSCK/SCL値を0から1、または1から0のどちらかへ切り替えます。この切り替えはデータ方向レジスタでの設定と無関係ですが、PORT値がピンで見られるべきなら、DDA2またはDDB2が出力として設定(=1)されなければなりません。この特徴は主装置を実現する時の容易なクロック生成を許します。このビットは0として読みます。

外部クロック元が選ばれ(USICS1=1)、USICLKビットが1に設定されると、USITCストローブ ビットへの書き込みは直接的に4ビット計数器をクロック駆動します。これは主装置として動作する時に転送が行われる時の早い検出を許します。

13.5.5. USIPP – USIピン位置レジスタ (USI Pin Position Register)

ビット	7	6	5	4	3	2	1	0	
\$11 (\$31)	-	-	-	-	-	-	-	USIPOS	USIPP
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~1 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

● **ビット1 – USIPOS : USIピン位置 (USI Pin Position)**

このビットの1への設定がUSIピン位置を変更します。既定ピンとしてPB2~PB0がUSIピン機能用に使われますが、このビットへの1設定時にUSIPOSビットはUSIピン機能をPA2~PA0ピンに設定します。

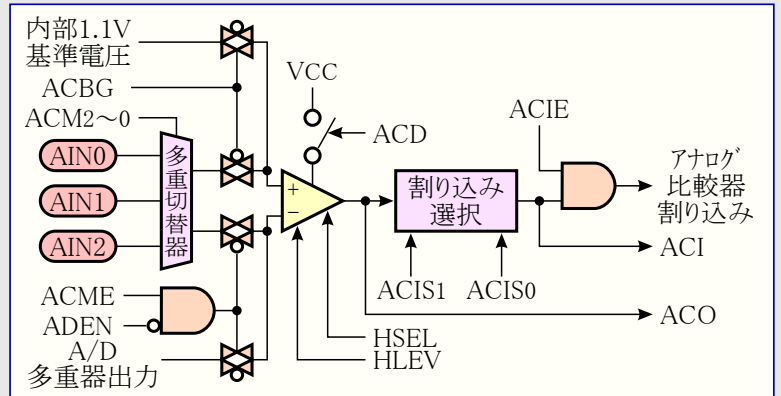
14. アナログ比較器

アナログ比較器は選択可能な非反転入力(AIN0,AIN1,AIN2)ピンと選択可能な反転入力(AIN0,AIN1,AIN2)ピンの入力値を比較します。非反転ピンの電圧が反転ピンの電圧よりも高い時にアナログ比較器制御/状態レジスタ(ACSRA)のアナログ比較器出力(ACO)ビットが設定(1)されます。この比較器はアナログ比較器専用の独立した割り込みを起動できます。使用者は比較器出力の上昇端、下降端、またはその両方で割り込み起動を選べます。この比較器とその周辺論理回路の構成図は図14-1.で示されます。

アナログ比較器ピン配置については2頁の「ピン配置」と38頁の表10-3.を参照してください。

ADC入力(A/D多重器出力)使用を可能とするには、24頁の「PRR - 電力削減レジスタ」のPRADCBビットが0でなければなりません(訳注:共通性から本行追加)。

図14-1. アナログ比較器部構成図



注: A/D多重器出力については以下の表14-1.をご覧ください。

14.1. アナログ比較器入力選択

A/D変換器が利得増幅器なしのシングルエンドとして設定されるとき、アナログ比較器への反転入力取り替えにADC10~0のどれかを選ぶことができます。A/D変換の多重器がこの入力選択に使われ、従ってこの機能を利用するためにA/D変換部がOFF(動作禁止)にされなければなりません。ACSRAのアナログ比較器多重器許可(ACME)ビットが設定(1)され、A/D変換部がOFF(ADCSRAのADENビットが0)にされるなら、表14-1.で示されるようにADMUXのチャンネル選択(MUX5~0)ビットがアナログ比較器への反転入力を取り替えるための入力ピンを選びます。ACMEが解除(0)、またはADENが設定(1)されると、AIN0,AIN1,AIN2のどれかがアナログ比較器への反転入力に印加されます。

表14-1. アナログ比較器入力選択

ACME	ADEN	MUX5~0	ACM2~0	非反転入力	反転入力	ACME	ADEN	MUX5~0	ACM2~0	非反転入力	反転入力	
0	x	xxxxxxx	0 0 0	AIN0	AIN1			000100	0 1 x	AIN1	ADC4	
			0 0 1	AIN0	AIN2				1 x x	AIN2	ADC4	
			0 1 0	AIN1	AIN0				0 0 0	AIN0	ADC5	
			0 1 1	AIN1	AIN2				000101	0 1 x	AIN1	ADC5
			1 0 0	AIN2	AIN0				1 x x	AIN2	ADC5	
1	0	000000	101,110,111	AIN2	AIN1	1	0	000110	0 0 0	AIN0	ADC6	
			0 0 0	AIN0	ADC0				0 1 x	AIN1	ADC6	
			0 1 x	AIN1	ADC0				0 0 0	AIN0	ADC7	
			1 x x	AIN2	ADC0				000111	0 1 x	AIN1	ADC7
			0 0 0	AIN0	ADC1				1 x x	AIN2	ADC7	
			0 1 x	AIN1	ADC1				0 0 0	AIN0	ADC8	
			1 x x	AIN2	ADC1				001000	0 1 x	AIN1	ADC8
			0 0 0	AIN0	ADC2				1 x x	AIN2	ADC8	
			0 1 x	AIN1	ADC2				0 0 0	AIN0	ADC9	
			1 x x	AIN2	ADC2				001001	0 1 x	AIN1	ADC9
1	0	000001	0 0 0	AIN0	ADC3			001010	1 x x	AIN2	ADC9	
			0 1 x	AIN1	ADC3				0 0 0	AIN0	ADC10	
			1 x x	AIN2	ADC3				0 1 x	AIN1	ADC10	
			0 0 0	AIN0	ADC4				1 x x	AIN2	ADC10	

14.2. アナログ比較器用レジスタ

14.2.1. ACSRA – アナログ比較器 制御/状態レジスタ (Analog Comparator Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$08 (\$28)	ACD	ACBG	ACO	ACI	ACIE	ACME	ACIS1	ACIS0	ACSRA
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	不定	0	0	0	0	0	

● ビット7 – ACD : アナログ比較器禁止 (Analog Comparator Disable)

このビットが論理1を書かれると、アナログ比較器への電力がOFFにされます。このビットはアナログ比較器をOFFにするために何時でも設定(1)できます。これは活動動作やアイドル動作で電力消費を削減します。ACDビットを変更する時にACSRAの**アナログ比較器割り込み許可(ACIE)ビット**を解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、このビットが変更される時に割り込みが起り得ます。

● ビット6 – ACBG : 基準電圧選択 (Analog Comparator Bandgap Select)

このビットが設定(1)されると、内部基準電圧(公称1.1V)がアナログ比較器への非反転入力に置き換わります。内部基準電圧選択はA/D変換多重器選択(ADMUX)レジスタの**基準電圧選択(REFS2~0)ビット**によって行われます。この(ACBG)ビットが解除(0)されると、**アナログ比較器制御/状態レジスタB(ACSRB)のアナログ比較器入力選択(ACM2~0)ビット**に依存してAIN0,AIN1またはAIN2がアナログ比較器の非反転入力に印加されます。

● ビット5 – ACO : アナログ比較器出力 (Analog Comparator Output)

アナログ比較器の出力は同期化され、その後直接ACOへ接続されます。この同期化は1~2クロック周期の遅延をもたらします。

● ビット4 – ACI : アナログ比較器割り込み要求フラグ (Analog Comparator Interrupt Flag)

このビットは比較器出力での出来事がACSRAの**アナログ比較器割り込み条件(ACIS1,0)ビット**によって定義した割り込み方法で起動する時に設定(1)されます。ACSRAのアナログ比較器割り込み許可(ACIE)ビットが設定(1)され、**ステータスレジスタ(SREG)の全割り込み許可(I)ビット**が設定(1)されていると、アナログ比較器割り込みルーチンが実行されます。対応する割り込み処理ベクタを実行すると、ACIはハードウェアによって解除(0)されます。代わりにこのフラグへ論理1を書くことによってもACIは解除(0)されます。

● ビット3 – ACIE : アナログ比較器割り込み許可 (Analog Comparator Interrupt Enable)

ACIEビットが論理1を書かれ、ステータスレジスタ(SREG)の全割り込み許可(I)ビットが設定(1)されていると、アナログ比較器割り込みが活性(有効)にされます。論理0を書かれると、この割り込みは禁止されます。

● ビット2 – ACME : アナログ比較器多重器許可 (Analog Comparator Multiplexer Enable)

このビットが論理1を書かれ、A/D変換部がOFF(ADCSRAの**ADEN**ビットが0)にされると、A/D変換の多重器がアナログ比較器への反転入力を選びます。このビットが論理0を書かれると、ACSRBのACM2~0ビットに依存してAIN0,AIN1またはAIN2がアナログ比較器の反転入力に印加されます。このビットの詳細な記述については88頁の表14-1をご覧ください。

● ビット1,0 – ACIS1,0 : アナログ比較器割り込み条件 (Analog Comparator Interrupt Mode Select)

これらのビットは比較器のどの事象がアナログ比較器割り込みを起動するのかを決めます。各種設定は表14-2で示されます。

ACIS1,ACIS0ビットを変更する時にACSRAのアナログ比較器割り込み許可(ACIE)ビットを解除(0)することによってアナログ比較器割り込みが禁止されなければなりません。さもなければ、これらのビットが変更される時に割り込みが起き得ます。

表14-2. アナログ比較器割り込み条件選択

ACIS1	ACIS0	割り込み発生条件
0	0	比較器出力の変移 (トグル)
0	1	(予約)
1	0	比較器出力の下降端
1	1	比較器出力の上昇端

14.2.2. ACSRБ – アナログ比較器 制御/状態レジスタB (Analog Comparator Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$09 (\$29)	HSEL	HLEV	–	–	–	ACM2	ACM1	ACM0	ACSRB
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – HSEL : ヒステリシス許可 (Hysteresis Select)**

このビットが論理1を書かれると、アナログ比較器のヒステリシスがONにされます。ヒステリシス基準はHLEVビットによって選ばれます。

- **ビット6 – HLEV : ヒステリシス基準選択 (Hysteresis Level)**

ヒステリシス許可(HSEL)ビットによってヒステリシスが許可されると、ヒステリシス基準選択(HLEV)ビットが20mV(HLEV=0)または50mV(HLEV=1)のどちらかのヒステリシス基準を選びます。

- **ビット5~3 – Res : 予約 (Reserved)**

これらのビットは予約されており、常に0として読みます。

- **ビット2~0 – ACM2~0 : アナログ比較器入力選択 (Analog Comparator Multiplexer)**

アナログ比較器入力選択ビットはアナログ比較器の非反転と反転の入力ピンを選びます。各種設定は表14-1.で示されます。

14.2.3. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	ADC6D	ADC5D	ADC4D	ADC3D	AREFD	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4,2~0 – ADC6D~ADC0D : ADC6~0 デジタル入力禁止 (ADC6~0 Digital Input Disable)**

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC6~0ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

- **ビット3 – AREFD : AREF デジタル入力禁止 (AREF Digital Input Disable)**

このビットが論理1を書かれると、AREFピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がAREFピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

14.2.4. DIDR1 – デジタル入力禁止レジスタ1 (Digital Input Disable Register 1)

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	ADC10D	ADC9D	ADC8D	ADC7D	–	–	–	–	DIDR1
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~4 – ADC10D~ADC7D : ADC10~7 デジタル入力禁止 (ADC10~7 Digital Input Disable)**

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC10~7ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

- **ビット3~0 – Res : 予約 (Reserved Bits) (訳注: 共通性から本項追加)**

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、DIDR1が書かれるとき、これらのビットは0が書かれなければなりません。

15. A/D変換器

15.1. 特徴

- 10ビット分解能
- 積分非直線性誤差1.0 LSB
- 絶対精度±2 LSB
- 変換時間13μs
- 最大分解能で15kSPS(採取/s)
- 11の多重化されたシングルエンド入力チャネル
- 16の差動入力対
- 15の選択可能な利得付き差動入力対
- 温度感知器入力チャネル
- A/D変換結果読み出しに対する任意の左揃え
- 0~AVCC A/D変換入力電圧範囲
- 選択可能な1.1V/2.56V A/D変換基準電圧
- 連続と単独の変換動作
- 割り込み元の自動起動によるA/D変換開始
- A/D変換完了割り込み
- 休止形態雑音低減機能
- 単極性/両極性入力動作
- 入力極性反転動作

15.2. 概要

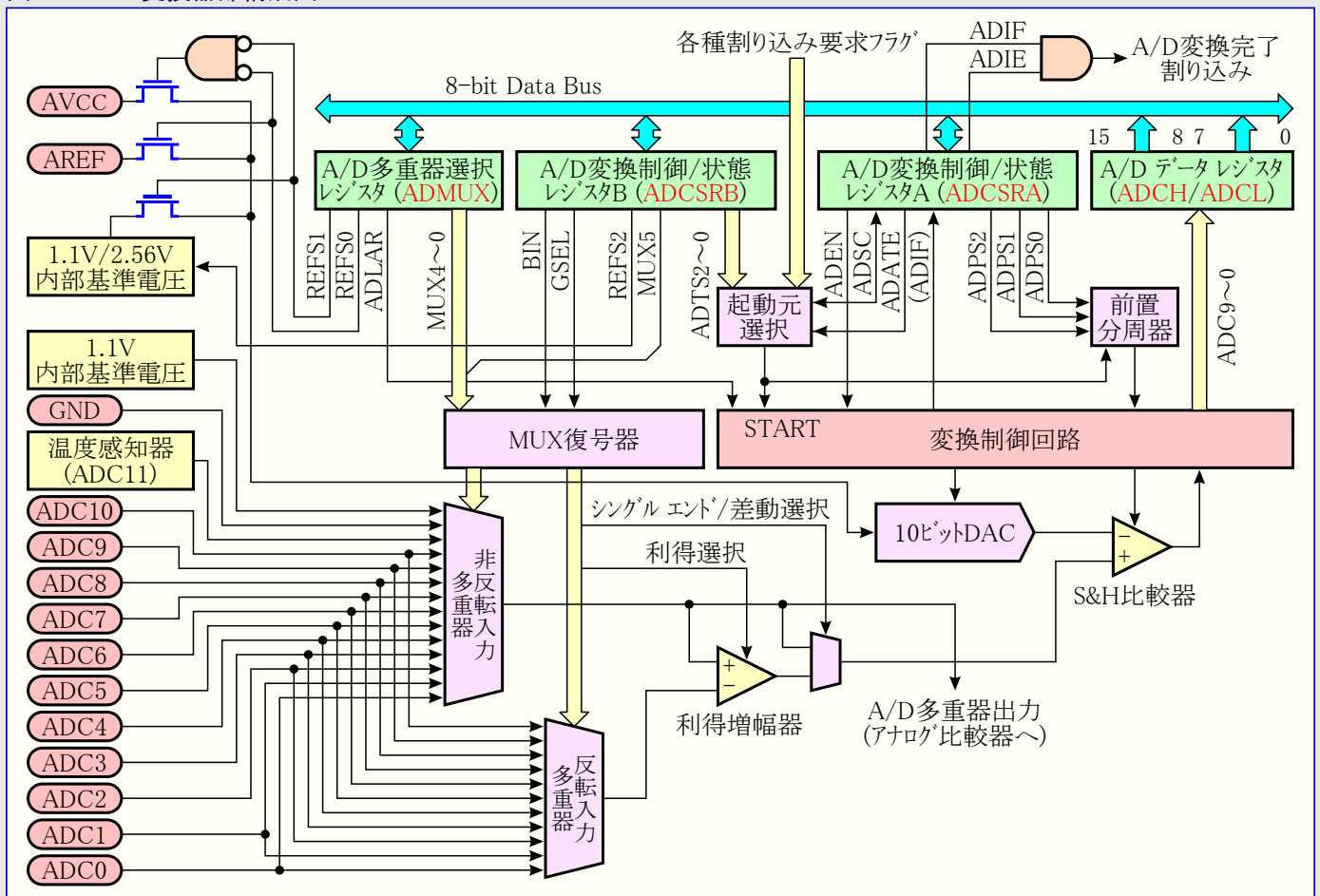
ATtiny261/461/861は10ビット逐次比較A/D変換器が特徴です。このA/D変換器はPA7~PA0とPB7~PB4で構成した16の差動電圧入力の組み合わせと、11のシングルエンド電圧入力を許す11チャネルのアナログ多重器に接続されます。差動入力はA/D変換前の差動入力電圧で×1、×8、×20、×32の増幅段を提供する、設定可能な利得段が装備されます。シングルエンド電圧入力は0V(GND)が基準です。

このA/D変換器はA/D変換器への入力電圧が変換中に一定の値で保持されることを保証する採取&保持(S/H)回路を含みます。A/D変換部の構成図は図15-1.で示されます。

公称1.1Vまたは2.56Vの内蔵基準電圧がチップ上で提供されます。2.56V内部基準電圧は雑音特性向上のため、任意でコンデンサによってAREF(PA3)ピンで外部的にデカップ(雑音分離)できます。代わりにVCCがシングルエンドチャネル用の基準電圧として使えます。内部基準電圧をOFFにして外部基準電圧を使う任意選択もあります。これらの任意選択はA/D制御/状態レジスタB(ADCSRB)とA/D変換多重器選択(ADMUX)レジスタの基準電圧選択(REFS2~0)ビットを使って選ばれます。

24頁での「PRR - 電力削減レジスタ」のPRADCビットはA/D変換部を許可するために0を書かれなければなりません。

図15-1. A/D変換器部構成図



15.3. 操作

A/D変換部は逐次比較を通してアナログ入力電圧を10ビットのデジタル値に変換します。最小値はGNDを表し、最大値はVCC電圧、AREFピンの電圧、または1.1V/2.56V内部基準電圧を表します。

A/D変換器用の基準電圧はADCSRBとA/D多重器選択レジスタ(ADMUX)の基準電圧選択(REFS2~0)ビットへの書き込みによって選べます。VCC電源、AREFピン、または1.1V/2.56V内部基準電圧がA/D変換器基準電圧として選べます。任意で2.56V内部基準電圧は雑音耐性を改善するためにAREFピンで外部コンデンサによってテカッパ(雑音結合減少)ができます。

アナログ入力チャンネルと差動利得はA/D変換制御/状態レジスタB(ADCSRB)とADMUXのチャンネル選択(MUX5~0)ビットへの書き込みによって選ばれます。11のADC入力ピン(ADC10~0)のどれもがA/D変換器のシングルエンド入力として選べます。差動利得増幅器への非反転及び反転入力は表15-4で記述されます。

差動チャンネルが選ばれると、差動利得段は選んだ入力チャンネル対間の差電圧を、ADCSRBとADMUXのMUX5~0ビットとADCSRBの利得選択(GSEL)ビットの設定に従って、1,8,20または32倍の選んだ増幅率で増幅します。それからこの増幅した値はA/D変換器の入力になります。シングルエンドチャンネルが使われると、利得増幅器全体が迂回(無視)されます。

同じADC入力が入力チャンネルへの反転と非反転の両方の入力として選ばれると、利得段と変換回路の残留変位(オフセット)が変換結果として直接測定できます。この数値は変位誤差を1 LSB以下に減らすために、同じ利得設定で後続する変換(結果)から減算できます。

チップ上の温度感知器はADC11チャンネルがA/D変換器入力として使われるとき、(即ち)ADCSRBとADMUXのMUX5~0ビットへの'111111'書き込みによって選ばれます。

A/D変換部はA/D変換制御/状態レジスタA(ADCSRA)のA/D許可(ADEN)ビットの設定(1)によって(動作が)許可されます。基準電圧と入力チャンネルの選択はADENが設定(1)されるまで実施しません。ADENが解除(0)されているとA/D変換部は電力を消費しないので、節電をする休止形態へ移行する前にA/D変換部をOFFに切り替えることが推奨されます。

A/D変換部はA/Dデータレジスタ(ADCH,ADCL)で示される10ビットの結果を生成します。既定では、この結果は右揃え(16ビットのビット0側10ビット)で表されますが、ADMUXで左揃え選択(ADLAR)ビットを設定(1)することにより、任意で左揃え(16ビットのビット15側10ビット)で表せます。

この結果が左揃え補正され、8ビットを越える精度が必要とされない場合はADCHを読むことで足りる。さもなければデータレジスタの内容が同じ変換に属することからの結果を保証するため、ADCLが初めに、次にADCHが読まれなければなりません。一度ADCLが読まれると、A/D変換器からのA/Dデータレジスタ(ADCH,ADCL)アクセスが阻止されます。これはADCLが読まれてしまい、ADCHが読まれる前に変換が完了すると、どちらのレジスタ(ADCH,ADCL)も更新されず、その変換からの結果が失われることを意味します。ADCHが読まれると、ADCH,ADCLへのA/D変換器アクセスが再び許可されます。

A/D変換部には変換完了時に起動できる自身の割り込みがあります。A/DデータレジスタへのA/D変換器アクセスがADCLとADCHの読み込み間で禁止されている場合、例えばその変換結果が失われても割り込みは起動します。

15.4. 変換の開始

単独変換はADCSRAで変換開始(ADSC)ビットに論理1を書くことによって開始されます。このビットは変換が進行中である限り、1に留まり、変換が完了されるとハードウェアによって解除(0)されます。変換が進行中に違う入力チャンネルが選ばれると、A/D変換部はそのチャンネル変更を実行する前に現在の変換を済ませます。

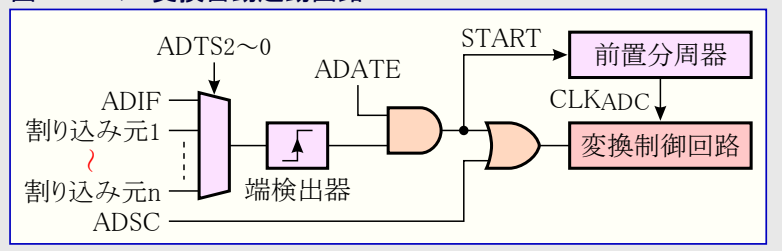
代わりに、変換は様々な起動元によって自動的に起動できます。自動起動はA/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットの設定(1)によって許可されます。起動元はA/D変換制御/状態レジスタB(ADCSRB)のA/D変換起動元選択(ADTS2~0)ビットの設定によって選ばれます(起動元の一覧についてはADTSビットの記述をご覧ください)。選んだ起動信号上に上昇端が起きると、A/D変換用前置分周器がリセットし、変換が開始されます。これは一定間隔での変換開始の方法を提供します。変換完了時、起動信号が未だ設定(1)されている場合は新規の変換が開始されません。変換中にこの起動信号上で別の上昇端が起きると、その端(エッジ)は無視されます。指定した割り込みが禁止またはステータスレジスタ(SREG)の全割り込み許可(I)ビットが解除(0)でも、割り込み要求フラグが設定(1)されることに注意してください。従って割り込みを起こさずに変換が起動できます。けれども次の割り込み要因で新規変換を起動するために、割り込み要求フラグは解除(0)されなければなりません。

起動元としてA/D変換完了割り込み要求フラグ(ADIF)を使うことは、A/D変換器に実行中の変換が完了されると直ぐに新規変換を開始させます。そのためA/D変換器は連続動作で動き、継続的な採取(変換)とA/Dデータレジスタを更新します。最初の変換はADCSRAでADSCビットに論理1を書くことにより始めなければなりません。この動作でのA/D変換器はA/D変換完了割り込み要求フラグ(ADIF)が解除(0)されるかどうかにかかわらず、連続的な変換を実行します。

自動起動が許可されている場合、ADCSRAのADSCビットに論理1を書くことによって単独変換を開始できます。ADSCは変換が進行中かを定めるためにも使えます。ADSCビットは変換がどう開始されたかに拘らず、変換中は1として読みます。

変換はA/D変換雑音低減機能の使用によっても開始され得ます。この機能はアイドル休止動作とA/D変換雑音低減休止動作中に変換を許可します。詳細については95頁の「雑音低減機能」をご覧ください。(訳注:共通性から2行追加)

図15-2. A/D変換自動起動回路



15.5. 前置分周と変換タイミング

既定での逐次比較回路は最大分解能を得るのに50～200kHzの入力クロック周波数を必要とします。10ビットよりも低い分解能が必要とされるなら、A/D変換器への入力クロック周波数はより高い採取速度を得るために200kHzよりも高くできます。

A/D変換部は100kHz以上のどんなCPUクロックからも受け入れ可能なA/D変換クロック周波数を生成する前置分周器を含みます。この前置分周はA/D変換制御/状態レジスタ(ADCSRA)のA/Dクロック選択(ADPS2～0)ビットによって設定されます。前置分周器はADCSRAでA/D許可(ADEN)ビットの設定(1)によってA/D変換部がONにされた瞬間から計数を始めます。前置分周器はADENビットが設定(1)される限り走行を保ち、ADENが0の時は継続的にリセットします。図15-3をご覧ください。

ADCSRAのA/D変換開始(ADSC)ビットの設定(1)によってシングルエンド入力の変換を起動すると、その変換は直後の変換クロックの上昇端で始まります。

通常の変換は13変換クロック周期で行われます。下の図15-4.で示されるように、A/D変換部がONされた(ADCSRAのADEN=1)後の最初の変換はアナログ回路を初期化するために25変換クロック周期で行われます。

図15-3. A/D変換前置分周器部構成

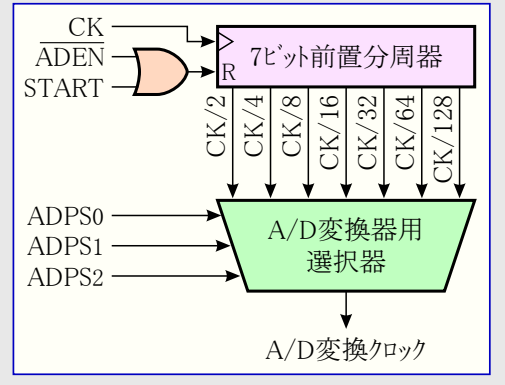
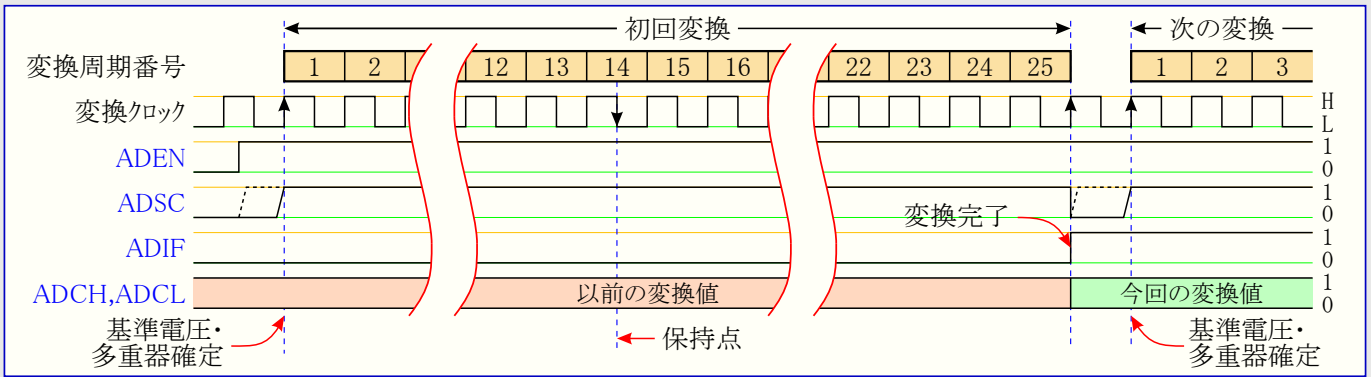
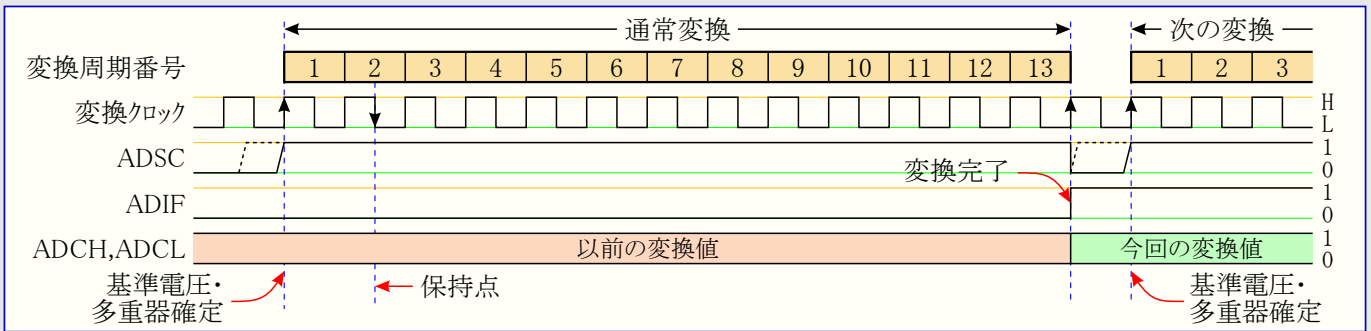


図15-4. 初回変換タイミング (単独変換動作)



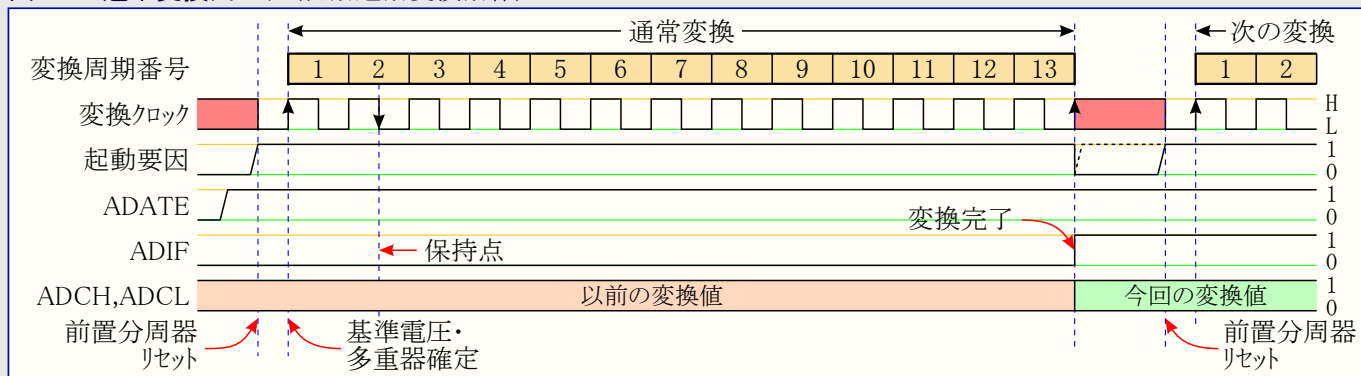
実際の採取&保持(保持開始点)は通常変換の開始後1.5変換クロック周期、初回変換の開始後13.5変換クロック周期で行われます。図15-5.をご覧ください。変換が完了すると、結果がA/Dデータレジスタ(ADCH,ADCL)に書かれ、ADCSRAのA/D変換完了割り込み要求フラグ(ADIF)が設定(1)されます。単独変換動作(ADATE=0)では同時にADCSRAのA/D変換開始(ADSC)ビットが解除(0)されます。その後ソフトウェアは再びADSCを設定(1)でき、新規変換は変換クロックの最初の上昇端で開始されます。

図15-5. 通常変換タイミング (単独変換動作)



自動起動が使われると、前置分周器は起動要因発生時にリセットされます。図15-6をご覧ください。これは起動要因から変換開始までの一定の遅延を保証します。この動作での採取&保持は起動要因となる信号の上昇後、2変換クロック周期で採取が行われます。同期化論理回路(端(エッジ)検出器)に対して、追加の3 CPUクロック周期が費やされます。

図15-6. 通常変換タイミング (自動起動変換動作)



連続変換動作(ADATE=1)では変換完了後直ちに新規変換が開始され、一方ADSCは1に留まります(図15-7をご覧ください)。変換時間の概要については表15-1をご覧ください。

図15-7. 連続変換動作タイミング

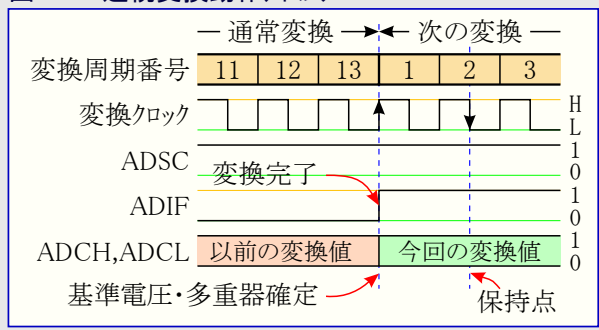


表15-1. A/D変換時間

変換種別	保持点	変換時間
初回変換	13.5	25
シングルエンド入力通常変換	1.5	13
自動起動変換	1.5 (2)	13.5

注: 変換時間を除く各値は変換開始からの変換クロック数です。

15.6. チャネル変更と基準電圧選択

A/D変換制御/状態レジスタ(ADCSR)とA/D多重器選択レジスタ(ADMUX)のチャネル選択(MUX5~0)ビットと基準電圧選択(REFS2~0)ビットはCPUが乱順にアクセスするための一時レジスタを通し単独緩衝されます。これはチャネルと基準電圧の選択が変換中の安全なところでだけ行うのを保証します。チャネルと基準電圧の選択は変換が開始されるまで継続的に更新されます。一旦変換が始まると、A/D変換器に対して十分な採取/変換時間を保証するためにチャネルと基準電圧の選択は固定されます。継続的な更新は変換完了(ADCSRAのADIF=1)前の最後の変換クロック周期で再開します。ADCSRAの変換開始(ADSC)ビットが書かれた後の次の変換クロックの上昇端で変換が始まることに注意してください。従って使用者はADSC書き込み後、1変換クロック周期(経過)まで新しいチャネルまたは基準電圧選択値をADCSRとADMUXに書かないことが推奨されます。

自動起動が使われる場合、起動要因の正確な時間は確定できません。変換が新規設定によって影響されるように制御するにはADCSRとADMUXの更新時に特別な注意が払われなければなりません。

ADCSRAのA/D許可(ADEN)とA/D変換自動起動許可(ADATE)の両方が1を書かれると、何時でも割り込みが起き得ます。この期間でADMUXが変更されると、使用者は次の変換が旧設定または新設定どちらが基準にされるかを知ることができません。ADMUXは次の方法で安全に更新できます。

- ADENまたはADATEが解除(0)されているとき。
- 変換開始後、最低1変換クロック周期経過後の変換中。
- 変換後から、変換起動元として使った割り込みフラグが解除(0)される直前まで。

これら条件の1つでADCSRとADMUXを更新すると、新設定は次のA/D変換に影響を及ぼします。

15.6.1. A/D入力チャネル

チャネル選択を変更する時に使用者は正しいチャネルが選ばれることを保証するために次の指針を守るべきです。

単独変換動作では常に変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法はチャネル選択を変更する前に変換が完了するまで待つことです。

連続変換動作では常に最初の変換を始める前にチャネルを選んでください。チャネル選択はADSCへの1書き込み後、1変換クロック周期で変更されるかもしれません。とは言え、最も簡単な方法は最初の変換が完了するまで待ち、その後にチャネル選択を変更することです。既に次の変換が自動的に開始されているので、次の結果は直前のチャネル選択を反映します。それに続く変換は新しいチャネル選択を反映します。

15.6.2. A/D変換基準電圧

このA/D変換用の基準電圧(V_{REF})はA/D変換に対する変換範囲を示します。 V_{REF} を越えるシングル エント'入力チャネルは\$3FFで打ち切る符号に帰着します。 V_{REF} はVCC、1.1V/2.56V内部基準電圧、外部AREFピンのどれかとして選べます。基準電圧源切り替え後の最初のA/D変換結果は不正確かもしれず、使用者はこの結果を破棄することが推奨されます。

15.7. 雑音低減機能

A/D変換部は**休止形態**中の変換を可能にする雑音低減機能が特徴です。これはCPUコアと他の周辺I/Oが誘導した雑音を低減します。雑音低減機能は**A/D変換雑音低減動作**と**アイドル動作**で使えます。この機能を使うには次の手順が使われるべきです。

1. A/D変換部が許可($ADEN=1$)され、変換中でない($ADSC=0$)ことを確認してください。単独変換動作が選択($ADATE=0$)され、且つA/D変換完了割り込みが許可($ADIE=1$)されていなければなりません。
2. A/D変換雑音低減(またはアイドル)動作に移行してください。一旦CPUが停止されてしまうと、A/D変換部は変換を始めます。
3. A/D変換完了前に他の割り込みが起こらなければ、A/D変換完了割り込みはCPUを起動してA/D変換完了割り込みルーチンを実行します。A/D変換完了前に他の割り込みがCPUを起動すると、その割り込みが実行され、A/D変換完了割り込み要求はA/D変換完了時に生成されます。CPUは新規**SLEEP**命令が実行されるまで活動動作に留まります。

アイドル動作とA/D変換雑音低減動作を除く他の休止形態へ移行する時にA/D変換部が自動的にOFFへ切り替えられないことに注意してください。使用者は余分な消費電力を避けるため、このような休止形態へ移行する前にADENへ**0**を書くことが推奨されます。

15.8. アナログ入力回路

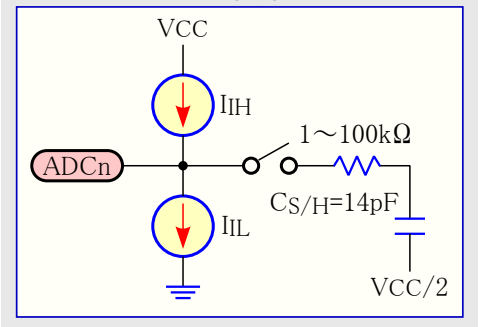
シングル エント'入力チャネルのアナログ回路は**図15-8**で図示されます。ADCnに印加したアナログ(信号)源はそのチャネルがADC入力として選ばれているかどうかにかかわらず、ピン容量とそのピンの漏れ電流に左右されます。そのチャネルが選ばれると、(アナログ信号)源は直列抵抗(入力経路の合成抵抗)を通してS/Hコンデンサを駆動しなければなりません。

図15-8内のコンデンサ容量はS/Hコンデンサとデバイス内の何れかの浮遊容量または寄生容量を含む合計容量を叙述します。与えられた値は最悪(最大)値です。

A/D変換部は概ね10k Ω 若しくはそれ以下の出力インピーダンスのアナログ信号用に最適化されています。このような(アナログ信号)源が使われるなら、採取時間は無視してもよいでしょう。より高いインピーダンスの(アナログ信号)源が使われる場合、採取時間は広範囲に変化し得るS/Hコンデンサを充電するために(アナログ信号)源がどれくらいの時間を必要とするかに依存します。必要とされるS/Hコンデンサへの充放電を最小とするため、使用者は緩やかに変化する低いインピーダンス(アナログ信号)源だけを使うことが推奨されます。

特定できない信号の渦からの歪を避けるために、どのチャネルに対してもナイキスト周波数($f_{ADC}/2$)よりも高い信号成分が存在すべきではありません。使用者はADC入力として信号を印加する前に低域通過濾波器(ローパス フィルタ)で高い周波数成分を取り除くことが推奨されます。

図15-8. アナログ入力回路



15.9. アナログ雑音低減技術

デバイス内外のデジタル回路がアナログ測定の精度に影響を及ぼすかもしれないEMIを発生します。変換精度が重要なとき、次の技法を適用することによって雑音レベルを低減できます。

- アナログ信号経路を可能な限り最短にしてください。
- アナログ信号経路がアナログGND面上を走ることを確認してください。
- アナログ信号経路を高速切り替えデジタル信号線から充分分離することを守ってください。
- 何れかのADCポート ピンがデジタル出力として使われる場合、これらを変換進行中に決して切り替えてはなりません。
- 可能な限りVCCとGNDピンの近くにパスコンを配置してください。

高いA/D変換精度が必要とされるとき、「**雑音低減機能**」で記述されるようにA/D変換雑音低減動作の使用が推奨されます。これは特にシステム クロック周波数が1MHz以上、または「**温度測定**」で記述されるようにA/D変換が内部温度感知器読み込みに使われる場合です。正しい外部パスコン配置での良いシステム設計はA/D変換雑音低減動作の必要性を低減します。

15.10. A/D変換の精度定義

シングル エンド入力電圧のnビットA/D変換はGNDとVREF間を 2^n で直線的に変換します。最低値符号は0として読み、最高値符号は $2^n - 1$ として読みます。以下の各種パラメータは理想状態からの偏差を表します。

• 変位(オフセット)誤差 - 図15-9.

最初の遷移点(\$000から\$001)で理想遷移点(差0.5 LSB)と比べた偏差です。理想値は0 LSBです。

• 利得誤差 - 図15-10.

変位誤差補正後の最後の遷移点(\$3FEから\$3FF)で理想遷移点(最大差1.5 LSB以下)と比べた偏差です。理想値は0 LSBです。

• 積分非直線性誤差 (INL) - 図15-11.

変位誤差と利得誤差補正後の全ての遷移点で理想遷移点と比べた最大偏差です。理想値は0 LSBです。

• 微分非直線性誤差 (DNL) - 図15-12.

実際の符号の幅(隣接する2つの遷移点間)で理想符号幅(1 LSB)と比べた最大偏差です。理想値は0 LSBです。

• 量子化誤差

有限数の符号で入力電圧を量子化するため、1 LSB幅となる入力電圧範囲は同じ値の符号になります。この値は常に ± 0.5 LSBです。

• 絶対精度

補正しない全ての遷移点で理想遷移点と比べた最大偏差です。これは、変位誤差、利得誤差、差動誤差、非直線誤差の影響の合成です。理想値は ± 0.5 LSBです。

図15-9. 変位(オフセット)誤差

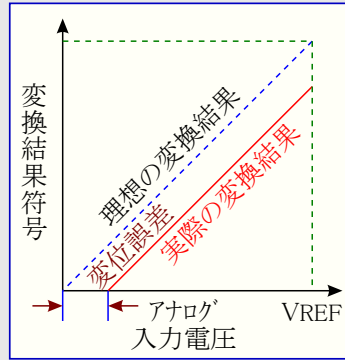


図15-10. 利得誤差

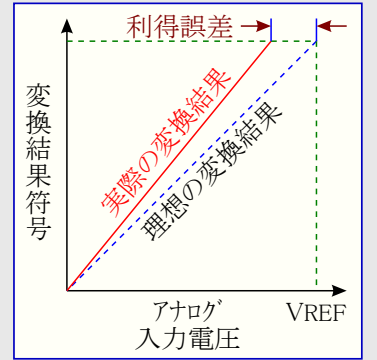


図15-11. 積分非直線性誤差

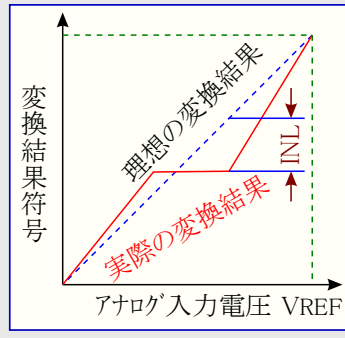
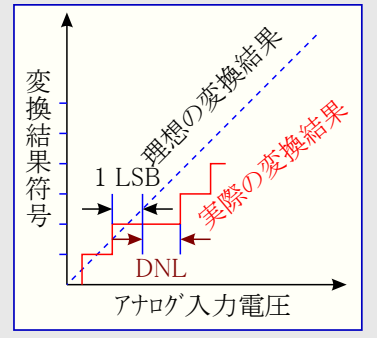


図15-12. 微分非直線性誤差



15.11. A/D変換の結果

変換完了(ADIF=1)後、変換結果はA/Dデータレジスタ(ADCH, ADCL)で得られます。変換結果の形式はシングル エンド変換、単極差動変換、両極差動変換の3つの変換形式に依存します。

15.11.1. シングル エンド変換

シングル エンド入力変換での結果は右式で示されます。

V_{IN} は選んだ入力ピンの電圧で、 V_{REF} は選んだ基準電圧です(97頁の表15-3と98頁の表15-4をご覧ください)。\$000はアナログGNDを表し、\$3FFは選んだ基準電圧-1 LSBを表します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。

$$ADC = \frac{V_{IN} \times 1024}{V_{REF}}$$

15.11.2. 単極差動変換

差動チャンネルで単極入力動作が使われると、その結果は右式で示されます。

V_{POS} は非反転入力ピンの電圧で、 V_{NEG} は反転入力ピンの電圧、 $GAIN$ は選んだ倍率、 V_{REF} は選んだ基準電圧です(97頁の表15-3と98頁の表15-4をご覧ください)。非反転ピンの電圧は常に反転ピンの電圧より高くなければならず、さもなければ差電圧は0に飽和します。結果は0(\$000)~1023(\$3FF)の符号なし2進数で表されます。 $GAIN$ は1,8,20,32倍の何れかです。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 1024}{V_{REF}}$$

15.11.3. 両極差動変換

既定としてA/D変換器は単極入力動作で働きますが、A/D変換制御/状態レジスタB(ADCSR)の両極入力動作(BIN)ビットの1書き込みにより両極入力動作が選べます。両極入力動作では \pm 両側の差電圧が許され、従って反転入力ピンの電圧は非反転入力ピンの電圧よりも高くもできます。差動チャンネルで両極入力動作が使われると、その結果は右式で示されます。

$$ADC = \frac{(V_{POS} - V_{NEG}) \times GAIN \times 512}{V_{REF}}$$

V_{POS} は非反転入力ピンの電圧で、 V_{NEG} は反転入力ピンの電圧、 $GAIN$ は選んだ倍率、 V_{REF} は選んだ基準電圧です。結果は-512(\$200)から0(\$000)を通して+511(\$1FF)までの符号付き2進数で表されます。 $GAIN$ は1,8,20,32倍の何れかです。

けれども信号が本質動作(10ビットとして符号+9ビット)で両極でない場合、この仕組みは変換器の機能範囲(ダイナミックレンジ)の1ビットを失います。そこで使用者が最大機能範囲での変換実行を欲するなら、使用者は(変換)結果を素早く調べ、選択可能な差動入力対で単極差動変換を使えます。極性検査実行時、それは結果のMSB読み込み(ADCHのADC9ビット)で充分です。このビットが1ならば結果が負、0ならば正です。

15.12. 温度測定

温度測定はシングル エンド ADC11チャンネルに連結されるチップ上の温度感知器に基づきます。A/D変換制御/状態レジスタB(ADCSR)とA/D多重器選択(ADMUX)レジスタのチャンネル選択(MUX5~0)ビットへの'111111'書き込みによるADC11チャンネル選択がこの温度感知器を許可します。温度感知器測定に於いて1.1V内部基準電圧もA/D変換器基準電圧源に選ばれなければなりません。温度感知器が許可されると、A/D変換器は温度感知器上の電圧測定を単独変換動作(ADATE=0)で使うことができます。

測定した電圧は表15-2.で記述されたように温度に対して直線的関係を持ちます。感度は概ね1 LSB/°Cで、精度は使用者校正に依存します。代表的には、室温校正との仮定で、単独温度校正後の測定精度は±10°Cです。より良好な精度は校正に対して2つの温度点を使うことで達せられます。

表15-2. 温度対感知器出力電圧 (代表値)

温度(°C)	-40°C	+25°C	+85°C
A/D変換値(LSB)	230	300	370

表15-2.に記載した値は代表値です。然しながら製法変化のため、温度感知器出力電圧は或るチップと別のチップで変化します。より正確な結果達成を可能とするために温度測定は応用ソフトウェアで校正できます。校正ソフトウェアは次式を使って行なえます。

$$T(\text{温度}) = k \times (\text{ADCH} \ll 8 | \text{ADCL}) - T_{OS}$$

ここでADCH:ADCLはA/D変換器データレジスタ、 k は固定傾斜係数、 T_{OS} は温度感知器変位(オフセット)値です。代表的に係数 k は1.0に大変近く、単点校正ではこの係数を省略できるかもしれません。高精度が要求される場合、傾斜係数は2つ温度での測定を基に評価されるべきです。

15.13. A/D変換用レジスタ

15.13.1. ADMUX – A/D多重器選択レジスタ (ADC Multiplexer Select Register)

ビット	7	6	5	4	3	2	1	0	
\$07 (\$27)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – REFS1,0 : 基準電圧選択 (Reference Selection Bits)

A/D変換制御/状態レジスタB(ADCSR)のREFS2ビットを伴うこれらのビットは表15-3.で示されるようにA/D変換器の基準電圧(VREF)を選びます。

表15-3. A/D変換部の基準電圧選択

REFS2	REFS1	REFS0	基準電圧 (VREF)
x	0	0	基準電圧としてVCC使用 (AREF(PA3)ピン切断)
x	0	1	AREF(PA3)ピンの外部基準電圧 (内部基準電圧はOFF)
0	1	0	AREF(PA3)外部デカップ用コンデンサなし、1.1V内部基準電圧 (AREF(PA3)ピン切断)
0	1	1	(予約)
1	1	0	AREF(PA3)外部デカップ用コンデンサなし、2.56V内部基準電圧 (注) (AREF(PA3)ピン切断)
1	1	1	AREF(PA3)外部デカップ用コンデンサあり、2.56V内部基準電圧 (注)

注: このデバイスは2.56V基準電圧を生成するために3V以上の供給電圧が必要です。(訳注: 共通性から本注追加)

これらのビットが変換中に変更されると、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。これらのビットが変更された時に次の変換が25 A/D変換クロック周期かかることにも注意してください。

差動チャンネルを変更するとき、特別な配慮が求められるべきです。一旦差動チャンネルが選ばれてしまうと、この入力段は安定時間が掛かるかもしれません。従ってチャンネル選択または基準電圧設定の変更時、長い変換の実行をA/D変換器に強制することが推奨されます。これは最初にA/D変換器をOFFにし、次に基準設定を変更し、そしてA/D変換器をONにすることで行えます。代替として、基準設定変更後の変換結果は破棄されるべきです。

差動利得付きのチャンネルに対して(VCC-1V)よりも高い外部AREFを使うことは、これがA/D変換精度に影響を及ぼすために推奨されません。

内部基準電圧選択はAREFピンに外部電圧が印加されつつある場合に使えないかもしれません。

● ビット5 – ADLAR : 左揃え選択 (ADC Left Adjust Result)

ADLARビットはA/Dデータレジスタ内の変換結果の配置に影響を及ぼします。結果を左揃えにするにはADLARに1を書いてください。さもなければ結果は右揃えです。ADLARビットの変更はどんな進行中の変換にも拘らず、直ちにA/Dデータレジスタの内容に影響を及ぼします。このビットの完全な記述については100頁の「A/Dデータレジスタ」をご覧ください。

●ビット4~0 - MUX4~0 : A/Dチャネル選択 (Analog Channel and Gain Selection Bits 4~0)

これらビットとA/D変換制御/状態レジスタB(ADCSRБ)のMUX5ビットの値はA/D変換器にどのアナログ入力の組み合わせが接続されるかを選びます。差動入力の場合、利得選択もこれらのビットで行なわれます。差動利得段への両入力として同じピンを選択は変位(オフセット)測定を可能にします。シングルエンドチャネルADC11選択は温度感知器を許可します。詳細については表15-4をご覧ください。これらのビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

表15-4. アナログ入力チャネル選択

MUX5~0	差動入力時			S/D	MUX5~0	差動入力時			S/D	MUX5~0	差動入力時			S/D
	非反転	反転	利得			非反転	反転	利得			非反転	反転	利得	
0 00000	ADC0 (PA0)			シングル エンド 入力	0 10110	ADC5	ADC5	×20	差動 入力	1 01100	ADC4	ADC5	×20/×32	差動 入力
0 00001	ADC1 (PA1)				0 10111	ADC6	ADC5	×20		1 01101	ADC4	ADC5	×1/×8	
0 00010	ADC2 (PA2)				0 11000	ADC6	ADC5	×1		1 01110	ADC5	ADC4	×20/×32	
0 00011	ADC3 (PA4)				0 11001	ADC8	ADC9	×20		1 01111	ADC5	ADC4	×1/×8	
0 00100	ADC4 (PA5)				0 11010	ADC8	ADC9	×1		1 10000	ADC5	ADC6	×20/×32	
0 00101	ADC5 (PA6)				0 11011	ADC9	ADC9	×20		1 10001	ADC5	ADC6	×1/×8	
0 00110	ADC6 (PA7)				0 11100	ADC10	ADC9	×20		1 10010	ADC6	ADC5	×20/×32	
0 00111	ADC7 (PB4)				0 11101	ADC10	ADC9	×1		1 10011	ADC6	ADC5	×1/×8	
0 01000	ADC8 (PB5)				0 11110	1.1V(V _{BG})				1 10100	ADC6	ADC4	×20/×32	
0 01001	ADC9 (PB6)				0 11111	0V(GND)				1 10101	ADC6	ADC4	×1/×8	
0 01010	ADC10 (PB7)			1 00000	ADC0	ADC1	×20/×32	1 10110	ADC4	ADC6	×20/×32	SEI		
0 01011	ADC0	ADC1	×20	1 00001	ADC0	ADC1	×1/×8	1 10111	ADC4	ADC6	×1/×8			
0 01100	ADC0	ADC1	×1	1 00010	ADC1	ADC0	×20/×32	1 11000	ADC0	ADC0	×20/×32			
0 01101	ADC1	ADC1	×20	1 00011	ADC1	ADC0	×1/×8	1 11001	ADC0	ADC0	×1/×8			
0 01110	ADC2	ADC1	×20	1 00100	ADC1	ADC2	×20/×32	1 11010	ADC1	ADC1	×20/×32			
0 01111	ADC2	ADC1	×1	1 00101	ADC1	ADC2	×1/×8	1 11011	ADC2	ADC2	×20/×32			
0 10000	ADC2	ADC3	×1	1 00110	ADC2	ADC1	×20/×32	1 11100	ADC4	ADC4	×20/×32			
0 10001	ADC3	ADC3	×20	1 00111	ADC2	ADC1	×1/×8	1 11101	ADC5	ADC5	×20/×32			
0 10010	ADC4	ADC3	×20	1 01000	ADC2	ADC0	×20/×32	1 11110	ADC6	ADC6	×20/×32			
0 10011	ADC4	ADC3	×1	1 01001	ADC2	ADC0	×1/×8	1 11111	ADC11 (温度感知器)		SEI			
0 10100	ADC4	ADC5	×20	1 01010	ADC0	ADC2	×20/×32							
0 10101	ADC4	ADC5	×1	1 01011	ADC0	ADC2	×1/×8							

15.13.2. ADCSRA - A/D制御/状態レジスタ (ADC Control and Status Register A)

ビット	7	6	5	4	3	2	1	0	
\$06 (\$26)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 - ADEN : A/D許可 (ADC Enable)

このビットに1を書くことがA/D変換部(動作)を許可します。0を書くことによってA/D変換部は(電源が)OFFされます。変換が進行中にA/D変換部をOFFにすることはその変換を(途中)終了します。

●ビット6 - ADSC : A/D変換開始 (ADC Start Conversion)

単独変換動作で各変換を始めるにはこのビットへ1を書いてください。連続変換動作で最初の変換を始めるにはこのビットへ1を書いてください。A/D変換部が許可される(ADEN=1)と同時にADSCが書かれるか、またはA/D変換部が許可されてしまった後にADSCが書かれた後の初回変換は、通常の13に代わって25変換クロック周期で行います。この初回変換はA/D変換部の初期化を実行します。ADSCは変換が進行中である限り1として読みます。変換が完了すると0に戻ります。このビットへの0書き込みは無効です。

●ビット5 - ADATE : A/D変換自動起動許可 (ADC Auto Trigger Enable)

このビットが1を書かれると、A/D変換の自動起動が許可されます。A/D変換器は選んだ起動信号の上昇端で変換を開始します。この起動元はA/D変換制御/状態レジスタB(ADCSRБ)のA/D変換起動要因選択(ADTS2~0)ビット設定によって選ばれます。

●ビット4 - ADIF : A/D変換完了割り込み要求フラグ (ADC Interrupt Flag)

A/D変換が完了し、A/Dデータレジスタが更新されると、このフラグが設定(1)されます。ステータスレジスタ(SREG)の全割り込み許可(I)ビットとA/D変換完了割り込み許可(ADIE)ビットが設定(1)されていれば、A/D変換完了割り込みが実行されます。対応する割り込み処理ベクタを実行する時にADIFはハードウェアによって解除(0)されます。代わりにこのフラグに論理1を書くことによってもADIFは解除(0)されます。ADCSRAで読み-変更-書き(リード-モディファイ-ライト)を行うと、保留中の割り込みが禁止され得ることに注意してください。これはSBI,CBI命令が使われる場合にも適用されます。

●ビット3 - ADIE : A/D変換完了割り込み許可 (ADC Interrupt Enable)

このビットが1を書かれ、SREGの全割り込み許可(I)ビットが設定(1)されていると、A/D変換完了割り込みが活性的に(許可)されます。

● ビット2~0 – ADPS2~0 : A/D変換クロック選択 (ADC Prescaler Select Bits)

これらのビットはシステムクロック周波数とA/D変換部への入力クロック間の分周値を決めます。

表15-5. A/D変換クロック選択 (CK=システムクロック)

ADPS2	0	0	0	0	1	1	1	1
ADPS1	0	0	1	1	0	0	1	1
ADPS0	0	1	0	1	0	1	0	1
A/D変換クロック	CK/2	CK/2	CK/4	CK/8	CK/16	CK/32	CK/64	CK/128

15.13.3. ADCSRB – A/D変換制御/状態レジスタB (ADC Control and Status Register B)

ビット	7	6	5	4	3	2	1	0	
\$03 (\$23)	BIN	GSEL	–	REFS2	MUX5	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – BIN : 両極入力動作 (Bipolar Input Mode)

利得段は既定として単極動作で動きますが、ADCSRBのBINビット(=1)書き込みによって両極動作が選ばれます。単極動作では(±)の片側変換だけが支援され、非反転入力 of 電圧は反転入力 of 電圧よりも常に高くなければなりません。さもなければ、その結果は基準電圧に飽和されます。両極動作では(±)の両側変換が支援され、その結果は2の補数形式で表されます。単極動作での分解能は10ビットで、両極動作での分解能は9ビット+1符号ビットです。

● ビット6 – GSEL : 利得選択 (Gain Select)

利得選択ビットは利得選択ビットが1を書かれる時に、1倍利得に代わって8倍利得を、20倍利得に代わって32倍利得を選びます。

● ビット5 – Res : 予約 (Reserved Bits)

このビットは予約されており、常に0として読みます。

● ビット4 – REFS2 : 基準電圧選択ビット2 (Reference Selection Bit 2)

このビットは表15-3. で示されるようにA/D変換器に対して1.1Vまたは2.56Vの基準電圧のどちらかを選びます。活動するチャネルが使われる場合、基準電圧としてVCCまたは(VCC-1V)よりも高い外部AREFの使用は、これがA/D変換精度に影響を及ぼすために推奨されません。外部電圧がAREFピンに印加されている場合、内部基準電圧任意選択は使えないかもしれません。

● ビット3 – MUX5 : A/Dチャネル選択ビット5 (Analog Channel and Gain Selection Bit 5)

MUX5ビットはアナログチャネル/利得選択ビットのMSBです。詳細については表15-4. を参照してください。このビットが変換中に変更される場合、その変更は変換が完了する(ADCSRAのADIF=1)まで実施しません。

● ビット2~0 – ADTS2~0 : A/D変換自動起動要因選択 (ADC Auto Trigger Source)

A/D変換制御/状態レジスタA(ADCSRA)のA/D変換自動起動許可(ADATE)ビットが1を書かれると、これらのビットの値はどの起動元がA/D変換を起動するのかわります。ADATEが解除(0)されると、ADTS2~0設定は無効です。変換は選んだ割り込みフラグの上昇端によって起動されます。解除(0)されている起動元から設定(1)されている起動元への切り替えが、起動信号上の上昇端を生成することに注意してください。ADCSRAのA/D許可(ADEN)ビットが設定(1)されているなら、これが変換を開始させます。連続変換動作(ADTS2~0=0)への切り替えは、例えばA/D変換完了割り込み要求フラグが設定(1)されていても、起動事象を引き起こしません。

表15-6. A/D変換自動起動元選択

ADTS2	ADTS1	ADTS0	起動元
0	0	0	連続変換動作
0	0	1	アナログ比較器
0	1	0	外部割り込み要求0
0	1	1	タイマ/カウンタ0比較A一致
1	0	0	タイマ/カウンタ0溢れ
1	0	1	タイマ/カウンタ0比較B一致
1	1	0	タイマ/カウンタ1溢れ
1	1	1	ウォッチドッグ割り込み要求

15.13.4. ADCH,ADCL – A/Dデータレジスタ (ADC Data Register)

ADLAR=0時									
ビット	15	14	13	12	11	10	9	8	
\$05 (\$25)	-	-	-	-	-	-	ADC9	ADC8	ADCH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
\$04 (\$24)	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0	ADCL
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	
ADLAR=1時									
ビット	15	14	13	12	11	10	9	8	
	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADCH
ビット	7	6	5	4	3	2	1	0	
	ADC1	ADC0	-	-	-	-	-	-	ADCL

A/D変換が完了すると、その結果がこれら2つのレジスタで得られます。

ADCLが読まれると、A/DデータレジスタはADCHが読まれるまで更新されません。従ってこの結果が左揃え、且つ8ビットを越える精度が必要とされないなら、ADCHを読むことで用が足ります。さもなくばADCLが初めに、その後にADCHが読まれなければなりません。

A/D多重器選択レジスタ(ADMUX)の左揃え選択(ADLAR)ビットとA/Dチャネル選択(MUX4~0)ビットと、A/D変換制御/状態レジスタB(ADCSRB)のA/Dチャネル選択(MUX5)ビットは本レジスタから結果を読む方法に影響を及ぼします。ADLARが設定(1)されると結果は左揃えされます。ADLARが解除(0)されていると(既定)、結果は右揃えされます。

● ADC9~0 : A/D変換結果 (ADC Conversion result)

これらのビットは96頁の「A/D変換の結果」で詳述されるように変換での結果を表します。

15.13.5. DIDR0 – デジタル入力禁止レジスタ0 (Digital Input Disable Register 0)

ビット	7	6	5	4	3	2	1	0	
\$01 (\$21)	ADC6D	ADC5D	ADC4D	ADC3D	AREFD	ADC2D	ADC1D	ADC0D	DIDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4,2~0 – ADC6D~ADC0D : ADC6~0 デジタル入力禁止 (ADC6~0 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC6~0ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

● ビット3 – AREFD : AREF デジタル入力禁止 (AREF Digital Input Disable)

このビットが論理1を書かれると、AREFピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がAREFピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

15.13.6. DIDR1 – デジタル入力禁止レジスタ1 (Digital Input Disable Register 1)

ビット	7	6	5	4	3	2	1	0	
\$02 (\$22)	ADC10D	ADC9D	ADC8D	ADC7D	-	-	-	-	DIDR1
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – ADC10D~ADC7D : ADC10~7 デジタル入力禁止 (ADC10~7 Digital Input Disable)

このビットが論理1を書かれると、対応するADCnピンのデジタル入力緩衝部が禁止されます。このビットが設定(1)されると、対応するポート入力レジスタのビット(PINx)は常に0として読みます。アナログ信号がADC10~7ピンに印加され、そのピンからのデジタル入力が必要とされない時にデジタル入力緩衝部での消費電力を削減するため、そのビットは論理1を書かれるべきです。

● ビット3~0 – Res : 予約 (Reserved Bits) (訳注:共通性から本項追加)

これらのビットは将来の使用に対して予約されています。将来のデバイスとの共通性のため、DIDR1が書かれるとき、これらのビットは0が書かれなければなりません。

16. デバッグWIRE 内蔵デバッグ システム

16.1. 特徴

- 完全なプログラムの流れ制御
- RESETピンを除くデジタルとアナログ両方でのチップ全機能のエミュレート
- 実時間(リアルタイム)動作
- シンボリックデバッグ支援(アセンブリ及びC言語または他の高位言語)
- 無制限数のプログラム中断点(ブレークポイント:ソフトウェア中断点使用)
- 邪魔しない動作
- 実デバイスと同じ電気的特性
- 自動設定システム
- 高速動作
- 不揮発性メモリのプログラミング

16.2. 概要

デバッグWIRE内蔵デバッグシステムはCPUでのAVR命令実行、プログラムの流れ制御、各種不揮発性メモリのプログラミングのための1本線の双方向インターフェースを使います。

16.3. 物理インターフェース

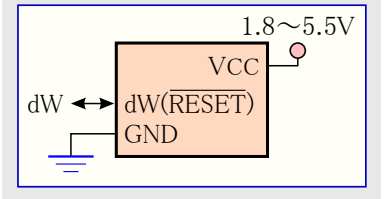
デバッグWIRE許可(DWEN)ヒューズがプログラム(0)され、施錠ビットが非プログラム(1)にされると、対象デバイス内のデバッグWIREシステムが活性(有効)にされます。RESETポートピンはプルアップ許可のANDタイ(オープンドレイン)双方向I/Oピンとして設定され、対象デバイスとエミュレータ間の通信路になります。

図16-1.はエミュレータと許可したデバッグWIREでの対象MCUとの接続の図を示します。システムクロックはデバッグWIREによって影響を及ぼされず、常にCKSELヒューズで選んだクロック元です。

デバッグWIREが使われるシステムの設計時、以下が厳守されなければなりません。

- dW/(RESET)線のプルアップ抵抗は10k~20kΩの範囲でなければなりません。けれどもこのプルアップ抵抗は任意です。
- RESETピンのVCCへの直接的な接続では動作しません。
- RESETピンに挿入したコンデンサはデバッグWIRE使用時、切断されなければなりません。
- 全ての外部リセット元は切断されなければなりません。

図16-1. デバッグWIRE構成図



16.4. ソフトウェア中断点 (ブレークポイント)

デバッグWIREはAVRのBREAK命令によってプログラムメモリの中断点を支援します。AVR Studio®での中断点設定はプログラムメモリにBREAK命令を挿入します。BREAK命令で置換した(元の)命令は保存されます。プログラム実行が継続される時、プログラムメモリから継続される前に保存した命令が実行されます。一時停止(ブレーク)はプログラムにBREAK命令を置くことによって手動で挿入できます。

フラッシュメモリは中断点の変更される度に書き換えされなければなりません。これはデバッグWIREインターフェースを通してAVR Studioによって自動的に操作されます。従って中断点の使用はフラッシュメモリのデータ保持力を低下させます。デバッグ目的に使ったデバイスは最終顧客へ出荷すべきではありません。

16.5. デバッグWIREの制限

デバッグWIRE通信(dW)ピンは物理的に外部リセット(RESET)と同じピンに配置されます。従ってデバッグWIREが許可されると、外部リセット元が支援されません。

デバッグWIREシステムは全速度、換言するとCPUのプログラムが走行する時に全I/O機能を正確エミュレートします。CPUが停止される時にデバッグ(AVR Studio)経由でいくつかのI/Oレジスタをアクセスする間、注意が妨げられなければなりません。この制限の詳細説明についてはデバッグWIRE資料をご覧ください。

デバッグWIREインターフェースはデバッグがシステムクロックに同期する必要があることを意味する、非同期です。システムクロックがソフトウェア(例えばCLKPSビット書き込み)によって変更されると、デバッグWIRE経由通信は失敗するかもしれません。また、100kHz未満のクロック周波数は通信問題を引き起こすかもしれません。

プログラム(0)にしたDWENヒューズは全休止形態でクロック系のいくつかの部分の走行を許可します。これは休止間中の消費電力を増加します。従ってDWENヒューズはデバッグWIREが使われない場合、禁止されるべきです。

16.6. デバッグWIRE用レジスタ

次項はデバッグWIREで使うレジスタを記述します。

16.6.1. DWDR – デバッグWIRE データレジスタ (debugWIRE Data Register)

ビット	7	6	5	4	3	2	1	0	
\$20 (\$40)	(MSB)							(LSB)	DWDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

DWDRはMCU内で走行するプログラムからデバッグへの通信チャネルを提供します。このレジスタはデバッグWIREでだけアクセス可能で、従って通常動作で一般目的レジスタとして使えません。

17. フラッシュメモリの自己プログラミング

本デバイスはMCU自身によるプログラムコードのダウンロードとアップロード用の自己プログラミング機構を提供します。自己プログラミングはフラッシュメモリ内にコードを書き(プログラム)、コードを読み、またはプログラムメモリからコードを読むために、利用可能なデータインターフェースと関連する規約のどれもが使えます。SPM命令は既定で禁止ですが、SELFPGENヒューズを(0)にプログラミングすることで許可にできます。

プログラムメモリはページ単位形式で更新されます。ページ一時緩衝部へ格納したデータでページを書く前にそのページは消去されなければなりません。ページ一時緩衝部はSPM命令使用時毎の1語(ワード)で満たされ、この緩衝部はページ消去命令前、またはページ消去とページ書き込み操作間のどちらかで満たすことができます。

手段1 (ページ消去前の一時緩衝部格納)

- ・ページ一時緩衝部を満たしてください。
- ・ページ消去を実行してください。
- ・ページ書き込みを実行してください。

手段2 (ページ消去後の一時緩衝部格納)

- ・ページ消去を実行してください。
- ・ページ一時緩衝部を満たしてください。
- ・ページ書き込みを実行してください。

ページの一部の変更だけがが必要な場合、消去前にページの残す部分は(例えばページ一時緩衝部に)保存されなければならない、その後に変更して書かれます。手段1.を使う場合、初めにページを読んで必要な変更を行い、その後に変更したデータを書き戻すことをユーザーソフトウェアに許す効率的な読み-修正-書き(リード モデファイライト)機能をデバイスが提供します。手段2.が使われる場合、ページが既に消去されているため、格納中の旧データを読むことができません。ページ一時緩衝部は乱順でアクセスできます。ページ消去とページ書き込み操作の両方で使われるページアドレスは同じページをアドレス指定することが非常に重要です。

17.1. SPM命令によるページ消去の実行

ページ消去を実行するにはZポインタにアドレスを設定してSPM命令制御/状態レジスタ(SPMCSR)に'00000011'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスはZポインタのPCPAGEに書かれなければなりません。この操作中、Zポインタの他のビットは無視されます。

注: ページ消去中、CPUは停止されます。

17.2. ページ一時緩衝部の設定 (ページ設定)

命令語(ワード)を(ページ一時緩衝部に)書くにはZポインタにアドレス、R1:R0にデータを設定してSPMCSRに'00000001'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。ZポインタのPCWORDの内容は一時緩衝部のデータのアドレスに使われます。一時緩衝部はページ書き込み操作後、またはSPMCSRのCTPビット(=1)書き込みによって自動的に消去されます。システムリセット後も消去されています。一時緩衝部を消去せずに各アドレスへ複数回書くことができないことに注意してください。

SPMページ設定操作の途中でEEPROMが書かれると、設定した全データが失われます。

17.3. ページ書き込みの実行

ページ書き込みを行うにはZポインタにアドレスを設定してSPMCSRに'00000101'を書き、SPMCSR書き込み後4クロック周期内にSPM命令を実行してください。R1とR0のデータは無視されます。ページアドレスは(Zポインタの)PCPAGEに書かれなければなりません。この操作の間、Zポインタの他のビットは0を書かれなければなりません。

注: ページ書き込み中、CPUは停止されます。

17.4. 自己プログラミング中のフラッシュメモリのアドレス指定

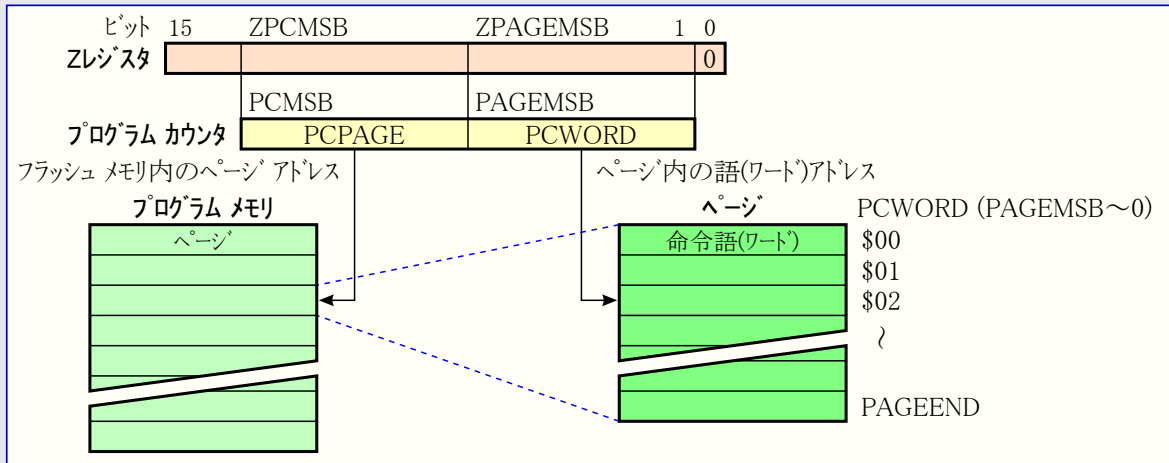
Zポインタ(レジスタ)はSPM命令でのアドレス指定に使われます。

ビット	15	14	13	12	11	10	9	8
ZH (R31)	Z15	Z14	Z13	Z12	Z11	Z10	Z9	Z8
ビット	7	6	5	4	3	2	1	0
ZL (R30)	Z7	Z6	Z5	Z4	Z3	Z2	Z1	Z0

フラッシュメモリがページで構成されるため(108頁の表18-7参照)、プログラムカウンタ(アドレスポインタ)は2つの違う領域を持つようになり取り扱われます。1つの領域は下位側ビットから成り、ページ内の語(ワード)をアドレス指定し、一方上位側ビットはそのページをアドレス指定します。これは次頁の図17-1.で示されます。ページ消去とページ書き込み操作が個別にアドレス指定されることに注意してください。従ってソフトウェアはページ消去とページ書き込み操作の両方で同じページをアドレス指定することが最も重要です。

LPM命令はアドレスを格納するのにZポインタを使います。この命令はフラッシュメモリのバイト単位をアドレス指定するので、Zポインタの最下位ビット(Z0)も使われます。

図17-1. SPM操作中のフラッシュメモリのアドレス指定



注: 図内で使った各変数は108頁の表18-7.で一覧されます。

17.5. SPM命令での書き込み時のEEPROM書き込みによる妨害

EEPROM書き込み動作がフラッシュメモリへの全ソフトウェアプログラミングを妨げることに注意してください。ソフトウェアからのヒューズと施錠ビット読み出しもEEPROM書き込み動作中、妨げられます。使用者はEEPROM制御レジスタ(ECCR)のEEPROMプログラム許可(EEPE)ビットを検査し、SPM命令制御/状態レジスタ(SPMCSR)へ書く前に、このビットが解除(0)されているのを確認することが推奨されます。

17.6. ソフトウェアからのヒューズと施錠ビットの読み出し

ファームウェアに関してデバイスのヒューズと施錠ビットを読むことが可能です。

注: プログラム(0)されたヒューズと施錠ビットは0として読みます。非プログラム(1)にされたヒューズと施錠ビットは1として読みます。

17.6.1. ファームウェアからの施錠ビット読み出し

SPMCSRでフラッシュ/施錠ビット読み込み(RFLB)とSPM操作許可(SPMEN)ビットを設定(1)した後の3 CPU周期内でLPM命令が発行された後、転送先レジスタ内に施錠ビット値が返されます。RFLBとSPMENビットは施錠ビット読み出しの完了で、または3 CPU周期内にLPM命令が実行されないか、または4 CPU周期内にSPM命令が実行されない場合、自動的に解除(0)されます。通常、RFLBとSPMENビットが解除(0)されるのはLPMの作用です。

施錠ビットを読むには以下の手続きに従ってください。

1. Zポイントに\$0001を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタから施錠ビット値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	LB2	LB1

より多くの情報については106頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

17.6.2. ファームウェアからのヒューズビット読み出し

ヒューズバイトを読む方法はアドレスが異なるだけで上記の施錠ビット読み出しと同様です。ヒューズ下位バイト(FLB)を読むには以下の手続きに従ってください。

1. Zポイントに\$0000を格納してください。
2. SPMCSRでRFLBとSPMENビットを設定(1)してください。
3. 3クロック周期内にLPM命令を実行してください。
4. LPM転送先レジスタからFLB値を読んでください。

成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FLB7	FLB6	FLB5	FLB4	FLB3	FLB2	FLB1	FLB0

ヒューズ下位バイトの配置と詳細記述については107頁の表18-5.を参照してください。

ヒューズ上位バイト(FHB)を読むには単にZポイント内のアドレスを\$0003に置き換え、前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	FHB7	FHB6	FHB5	FHB4	FHB3	FHB2	FHB1	FHB0

ヒューズ上位バイトの配置と詳細記述については107頁の表18-4を参照してください。

ヒューズ拡張バイト(FEB)を読むにはZポイント内のアドレスを\$0002に置き換え、直前の手続きを繰り返してください。成功なら、転送先レジスタの内容は次のとおりです。

ビット	7	6	5	4	3	2	1	0
Rd	-	-	-	-	-	-	-	FEB0

ヒューズ拡張バイトの配置と詳細記述については107頁の表18-3を参照してください。

17.7. フラッシュメモリデータ化けの防止

低VCCの期間中、CPUとフラッシュメモリの正しい動作に対して供給電圧が低すぎるためにフラッシュメモリのプログラムが不正にされ得ます。これらの問題はフラッシュメモリーを使う基板段階の装置と同じで、同じ設計上の解決策が適用されるべきです。

フラッシュメモリのプログラム化けは電圧が低すぎる時の2つの状態によって起こされます。1つ目としてフラッシュメモリへの通常の書き込み手順は正しく動作するための最低電圧が必要です。2つ目として供給電圧が低すぎると、CPU自身が命令を間違えて実行し得ます。

フラッシュメモリ化けは次の推奨設計によって容易に避けられます(1つは必須)。

- 不十分な供給電源電圧の期間中、AVR RESETを活性(Low)に保ってください。これは動作電圧が検出電圧と一致するなら、内部低電圧検出器(BOD)を許可することによって行えます。そうでなければ外部低VCCリセット保護回路が使えます。書き込み操作進行中にリセットが起こると、その書き込み動作は供給電源電圧が充分であれば完了されます。
- 低VCCの期間中、AVRコアをパワーダウン休止動作に保ってください。これはCPUが命令の復号と実行を試みるのを防ぎ、SPMCSR従ってフラッシュメモリを予期せぬ書き込みから効果的に保護します。

17.8. SPM命令使用時のフラッシュメモリ用プログラミング(書き込み)時間

校正された内蔵RC発振器がフラッシュメモリアクセス時間に使われます。表17-1はCPUからのフラッシュメモリアクセスに対する代表的なプログラミング時間を示します。

表17-1. SPM命令によるフラッシュメモリのプログラミング時間

項目	最小	最大
SPM命令によるフラッシュ書き込み(ページ消去、ページ書き込み、施錠ビット書き込み)	3.7ms	4.5ms

注: 最小と最大の時間は(項目の)個別操作毎に対してです。

17.9. 自己プログラミング用レジスタ

17.9.1. SPMCSR – SPM命令制御/状態レジスタ (Store Program Memory Control and Status Register)

このレジスタはプログラム メモリ操作を制御するために必要とする制御ビットを含みます。

ビット	7	6	5	4	3	2	1	0	
\$37 (\$57)	-	-	-	CTPB	RFLB	PGWRT	PGERS	SPMEN	SPMCSR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7～5 – Res : 予約 (Reserved Bits)

これらのビットは予約されており、常に0として読みます。

- ビット4 – CTPB : ページ一時緩衝部消去 (Clear Temporary Page Buffer)

ページ一時緩衝部を満たしている間にCTPBビットが1を書かれると、ページ一時緩衝部は消去され、データが失われます。

- ビット3 – RFLB : ヒューズ/施錠ビット読み込み (Read Fuse and Lock Bits)

SPMCSRでRFLBとSPMENが設定(1)された後の3クロック周期内のLPM命令は(ZポインタのZ0に依存して)ヒューズ ビットまたは施錠ビットのどちらかを転送先レジスタに読みます。詳細については103頁の「ソフトウェアからのヒューズ ビットと施錠ビットの読み出し」をご覧ください。

- ビット2 – PGWRT : ページ書き込み (Page Write)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令は一時緩衝部に格納したデータでページ書き込みを実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGWRTビットはページ書き込みの完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の書き込み動作中に、CPUは停止されません。

- ビット1 – PGERS : ページ消去 (Page Erase)

このビットがSPMENと同時に1を書かれると、次の4クロック周期内のSPM命令はページ消去を実行します。ページ アドレスはZポインタの上位部から取得されます。R1とR0のデータは無視されます。PGERSビットはページ消去の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ全体の消去中、CPUは停止されます。

- ビット0 – SPMEN : SPM操作許可 (Store Program Memory Enable)

このビットは次の4クロック周期間SPM命令を許可します。このビットがCTPB,RFLB,PGWRT,PGERSのどれかと共に1を書かれると、続くSPM命令は特別な意味を持ちます(上の記述をご覧ください)。SPMENだけが書かれると、続くSPM命令はZポインタによってアドレス指定したページ一時緩衝部へR1:R0の値を格納します。Zレジスタの最下位ビットは無視されます。SPMENビットはSPM命令の完了で、または4クロック周期内にSPM命令が実行されない場合、自動的に解除(0)されます。ページ消去とページ書き込み中、SPMENビットはその動作が完了されるまで1に留まります。

下位5ビットに10001, 01001, 00101, 00011, 00001以外のどんな組み合わせを書いても無効です。

18. メモリプログラミング

本章はATtiny261/461/861のメモリプログラミングに対する各種方法を記述します。

18.1. プログラムメモリとデータメモリ用施錠ビット

ATtiny261/461/861は、非プログラム(1)のままか、表18-2.で一覧される付加機能を得るためにプログラム(0)できる2つの施錠ビットを提供します。この施錠ビットはチップ消去指令でのみ1に消去できます。

デバイスは独立したブートローダ領域を持ちません。自己プログラミング許可(SELFPRGEN)ヒューズがプログラム(0)される場合にSPM命令はフラッシュメモリ全体に対して許可され、さもなければ禁止されます。

プログラムメモリは例え施錠ビットが設定されていても、デバッグWIRE許可(DWEN)ヒューズがプログラム(0)されていると、デバッグWIREインターフェース経由で読み出せます。従って施錠ビット保護が必要とされる場合、DWENヒューズを解除(=1)することによってデバッグWIREが常に禁止されるべきです。

表18-1. 施錠ビットバイトの内容

名称	ビット番号	意味	既定値 (注)
-	7		1 (非プログラム)
-	6		1 (非プログラム)
-	5		1 (非プログラム)
-	4		1 (非プログラム)
-	3		1 (非プログラム)
-	2		1 (非プログラム)
LB2	1	フラッシュとEEPROMメモリに対する一般保護用施錠ビット	1 (非プログラム)
LB1	0		1 (非プログラム)

注: 0はプログラム、1は非プログラムを意味します。

表18-2. 施錠ビットの保護種別

メモリ施錠ビット			保護種別
LB 種別	LB2	LB1	直列、並列、またはデバッグWIRE経由プログラミングに対する保護
1	1	1	メモリ施錠機能は機能しません。
2	1	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)が禁止されます。ヒューズビットが固定されます。(注1)
3	0	0	フラッシュ、EEPROMの更なるプログラミング(書き込み)と照合(読み出し)が禁止されます。ヒューズビットが固定されます。(注1)

注: 0はプログラム、1は非プログラムを意味します。

注1: 施錠ビットを書く前にヒューズビットを書いてください。デバッグWIREは全面的に禁止されます。

施錠ビットはデバイスファームウェアによって読むこともできます。103頁の「ソフトウェアからのヒューズと施錠ビットの読み出し」項をご覧ください。

18.2. ヒューズ ビット

ATtiny261/461/861には3つのヒューズ バイトがあります。表18-3～5は全てのヒューズの概略機能とヒューズ バイト内でどのように配置されるかを示します。ヒューズはプログラムされると、論理0として読まれることに注意してください。

表18-3. 拡張ヒューズ バイト一覧

名称	ビット	意味	既定値
-	7～1		1 (非プログラム)
SELFPRGEN (注1)	0	自己プログラミング機能許可。	1 (非プログラム) 自己プログラミング不許可

注1: SPM命令許可。102頁の「フラッシュメモリの自己プログラミング」をご覧ください。

表18-4. ヒューズ 上位バイト一覧

名称	ビット	意味	既定値
RSTDISBL(注1)	7	PB5がI/OピンかまたはRESETピンかを選びます。	1 (非プログラム) PB5はRESETピン
DWEN (注2)	6	デバッグWIRE機能許可。	1 (非プログラム) デバッグWIRE不許可
SPIEN (注3)	5	直列プログラミング許可。	0 (プログラム) 直列プログラミング許可
WDTON (注4)	4	ウォッチドッグ タイマ常時有効。	1 (非プログラム) WDTはWDTCRで許可
EESAVE	3	チップ消去からEEPROM内容を保護。	1 (非プログラム) EEPROMは未保護
BODLEVEL2	2		1 (非プログラム)
BODLEVEL1	1	低電圧検出(BOD)リセットの制御と検出電圧選択。(注5)	1 (非プログラム)
BODLEVEL0	0		1 (非プログラム)

注1: RSTDISBLとDWENヒューズの記述については40頁の「ポートBの交換機能」をご覧ください。RSTDISBLヒューズをプログラム(0)すると、更なるプログラミングを実行するためのヒューズ変更に並列プログラミングが使われなければなりません。

注2: DWENヒューズは施錠ビット保護が必要とされる場合、非プログラム(1)にされなければなりません。前頁の「プログラムメモリとデータメモリ用施錠ビット」をご覧ください。

注3: SPIENヒューズは直列プログラミングでアクセスできません。

注4: このヒューズのプログラム(0)はウォッチドッグ タイマ割り込みを禁止します。詳細については29頁の「WDTCR - ウォッチドッグ タイマ制御レジスタ」をご覧ください。

注5: BODLEVELヒューズの復号については120頁の表19-6をご覧ください。

表18-5. ヒューズ 下位バイト一覧

名称	ビット	意味	既定値
CKDIV8 (注1)	7	システム クロック 8分周選択。	0 (プログラム) 8分周
CKOUT (注2)	6	システム クロック出力許可。	1 (非プログラム) 不許可
SUT1	5	起動時間選択。(注3)	1 (非プログラム)
SUT0	4		0 (プログラム)
CKSEL3	3	クロック種別選択。(注4)	0 (プログラム)
CKSEL2	2		0 (プログラム)
CKSEL1	1		1 (非プログラム)
CKSEL0	0		0 (プログラム)

注1: 詳細については20頁の「システム クロック前置分周器」をご覧ください。

注2: システム クロックにピン出力を許します。詳細については20頁の「クロック出力緩衝部」をご覧ください。

注3: 既定値は最大起動時間になります。詳細については18頁の表6-7をご覧ください。

注4: 既定設定は8MHz校正付き内蔵RC発振器になります。詳細については16頁の表6-1をご覧ください。

施錠ビット1(LB1)がプログラム(0)されると、ヒューズ ビットが固定されることに注意してください。施錠ビットをプログラム(0)する前にヒューズ ビットをプログラミング(書き込み)してください。ヒューズ ビットの状態はチップ消去によって影響されません。

ヒューズ ビットはデバイスのファームウェアによって読むこともできます。103頁の「ソフトウェアからのヒューズと施錠ビットの読み出し」項をご覧ください。

18.2.1. ヒューズのラッチ

ヒューズ値はデバイスがプログラミング動作へ移行する時にラッチされ、ヒューズ値に対する変更はデバイスがプログラミング動作を去るまで無効です。これは一旦プログラム(0)されると直ぐに効果があるEESAVEヒューズには適用されません。ヒューズは電源投入でもラッチされます。

18.3. 識票バイト

全てのAtmelマイクロコントローラはデバイスを識別する3バイトの識票符号を持ちます。この符号は直列と高電圧プログラミング動作の両方で、またデバイスが施錠されていても読めます。この3バイトは分離された空間に存在します。ATtiny261/461/861用の識票バイトは表18-6.で与えられます。

表18-6. デバイスの識別番号(ID)

部品番号	識票バイトアドレス		
	\$0000	\$0001	\$0002
ATtiny261	\$1E	\$91	\$0C
ATtiny461	\$1E	\$92	\$08
ATtiny861	\$1E	\$93	\$0D

18.4. 校正バイト

ATtiny261/461/861は内蔵RC発振器用に1バイトの校正値を持っています。このバイトは識票アドレス空間でアドレス\$0000の上位バイトにあります。リセット中、校正付き内蔵RC発振器の正しい周波数を保証するために、このバイトが発振校正(OSCCAL)レジスタへ自動的に書かれます。

18.5. ページ容量

表18-7. フラッシュメモリのページ数とページの語数

デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	PCMSB
ATtiny261	1K語 (2Kバイト)	16語	PC3~0	64	PC9~4	9
ATtiny461	2K語 (4Kバイト)	32語	PC4~0	64	PC10~5	10
ATtiny861	4K語 (8Kバイト)	32語	PC4~0	128	PC11~5	11

表18-8. EEPROMメモリのページ数とページの語数

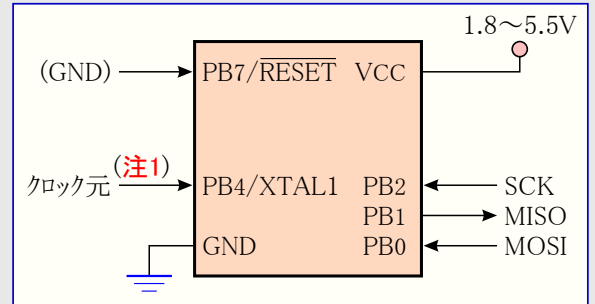
デバイス	全容量	ページ容量	PCWORD	ページ数	PCPAGE	EEAMSB
ATtiny261	128バイト	4バイト	EEA1~0	32	EEA6~2	6
ATtiny461	256バイト	4バイト	EEA1~0	64	EEA7~2	7
ATtiny861	512バイト	4バイト	EEA1~0	128	EEA8~2	8

18.6. 直列プログラミング

フラッシュとEEPROMの両メモリ配列はRESETがGNDに引かれている間に直列SPIバスを使ってプログラミングできます。この直列インターフェースはSCK入力、MOSI入力、MISO出力から成ります。右の図18-1をご覧ください。

RESETがLowに設定された後、書き込み/消去操作が実行され得るのに先立ってプログラミング許可命令が初めに実行されることを必要とします。

図18-1. 直列プログラミング構成図



注1: デバイスが内蔵発振器で動作する場合、CLKIピンにクロック元を接続する必要はありません。

表18-9. 直列プログラミング用ピン配置

信号名	ピン名	入出力	機能
MOSI	PB0	入力	直列データ入力
MISO	PB1	出力	直列データ出力
SCK	PB2	入力	直列クロック

注: 上の表18-9.でSPIプログラミング用のピン配置が一覧されます。全てのデバイスが内部SPIインターフェースに対する専用SPIピンを使うとは限りません。

EEPROMをプログラミングする時に自動消去周期が自動書き込み動作内に組み入れられ(直列プログラミングのみ)、チップ消去命令を先に実行する必要がありません。チップ消去操作はプログラム(フラッシュメモリ)とEEPROM両方の全メモリ位置の内容を\$FFにします。

CKSELヒューズに依存して有効なクロックが存在しなければなりません。直列クロック(SCK)入力のLowとHighの区間の最小値は次のように定義されます。

$f_{CK} < 12\text{MHz}$: Low区間 > 2 CPUクロック周期	$f_{CK} < 12\text{MHz}$: High区間 > 2 CPUクロック周期
$f_{CK} \geq 12\text{MHz}$: Low区間 > 3 CPUクロック周期	$f_{CK} \geq 12\text{MHz}$: High区間 > 3 CPUクロック周期

18.6.1. 直列プログラミング手順

ATtiny261/461/861に直列データを書く時にデータはSCKの上昇端で行われ、ATtiny261/461/861から読む時にデータはSCKの下降端で行われます。タイミングの詳細については122頁の図19-4.と図19-5.をご覧ください。

直列プログラミング動作でのATtiny261/461/861のプログラミングと照合は次の手順が推奨されます(形式は表18-11.命令一式参照)。

1. 電源投入手順:

RESETとSCKがLow(0)に設定されている間にVCCとGND間へ電源を印加します。いくつかのシステムで電源投入中、SCKがLowに保持されるのを書き込み器が保証できません。この場合、SCKがLow(0)に設定されてしまった後、RESETは正パルスを与えられなければなりません。このパルス時間は最低 t_{RST} (RESETピンの最小パルス幅、120頁の表19-4.をご覧ください)+2 CPUクロック周期でなければなりません。

2. 最低20ms待ち、MOSIピンにプログラミング許可命令を送ることによって直列プログラミングを許可してください。

3. 通信が同期を外していると、直列プログラミング命令は動作しません。同期していると、プログラミング許可命令の第3バイト送出時に第2バイト(\$53)が戻ります。この戻りが正しいかどうかによらず、命令の4バイト全てが送信されなければなりません。\$53が戻らない場合、RESETに正パルスを与え、新規プログラミング許可命令を行ってください。

4. フラッシュメモリは1ページ単位で書かれます。ページ容量は108頁の表18-7.で得られます。このメモリページはページ設定命令と共にアドレスの下位4/5/5+1ビットとデータを供給することによって1バイトずつ設定されます。ページが正しく設定されるのを保証するため、与えられたアドレスにデータ上位バイトが適用される前にデータ下位バイトが設定されなければなりません。プログラムメモリのページはアドレスの上位6/6/7ビットを含むページ書き込み命令の設定によって(フラッシュメモリに)格納されます。ポーリング(BSY/RDY)が使われない場合、使用者は次のページを行う前に最低 t_{WD_FLASH} (表18-10.参照)待たなければなりません。フラッシュ書き込み操作完了前の(ポーリング以外の)直列プログラミングインターフェースでのアクセスは不正な書き込み結果になり得ます。

5. EEPROMはページ単位かバイト単位のどちらかでプログラミングできます。

バイト単位: EEPROMは適切なEEPROM書き込み命令と共にアドレスとデータを供給することによって1バイト単位で書かれます。EEPROMのメモリ位置は新規データが書かれるのに先立って始めて自動的に消去されます。ポーリング(BSY/RDY)が使われない場合、次のバイトを行う前に最低 t_{WD_EEPROM} (表18-10.参照)待たなければなりません。

ページ単位: EEPROMの1ページはEEPROMページ設定命令と共にアドレスの下位2ビットとデータを供給することによって1バイトずつ設定されます。EEPROMページはアドレスの上位5/6/7ビットを含むEEPROMページ書き込み命令によって(EEPROMに)格納されます。EEPROMページアクセス使用時、EEPROMページ設定命令で設定したバイト位置だけが変更されます。残りの位置は無変化で留まります。ポーリング(BSY/RDY)が使われない場合、次のページ(表18-8.参照)を行う前に最低 t_{WD_EEPROM} (表18-10.参照)待たなければなりません。チップ消去されたデバイスでの\$FFデータは書かれる必要がありません。

6. どのメモリ位置も選んだアドレスの内容を直列出力MISOに読み戻す読み出し命令を使うことによって照合できます。

7. プログラミング作業終了時、RESETは通常動作を開始するため、High(1)に設定できます。

8. 電源OFF手順(必要とされるならば)

- RESETをHigh(1)に設定します。
- VCC電源をOFFにします。

表18-10. ヒューズ、フラッシュ、EEPROM次位置書き込み前の待機時間

シンボル	最低待機時間	備考
tWD_FUSE	4.5ms	ヒューズ書き込み
tWD_FLASH	4.5ms	フラッシュメモリ書き込み
tWD_EEPROM	4.0ms	EEPROM書き込み
tWD_ERASE	9.0ms	チップ消去

18.6.2. 直列プログラミング命令一式

表18-11.と次頁の図18-2.は命令一式を記述します。

表18-11. 直列プログラミング命令一式

命令	命令形式				備考
	第1バイト	第2バイト	第3バイト	第4バイト	
プログラミング許可	\$AC	\$53	\$00	\$00	
チップ消去	\$AC	\$80	\$00	\$00	
多忙/準備可検査	\$F0	\$00	\$00	状態値	最下位ビットが多忙フラグ。
設定系命令					
拡張アドレス設定 (注1)	\$4D	\$00	拡張アドレス	\$00	
フラッシュ ページ内上位バイト設定	\$48	アドレス上位	アドレス下位	上位バイト	
フラッシュ ページ内下位バイト設定	\$40	アドレス上位	アドレス下位	下位バイト	
EEPROMページ内バイト設定	\$C1	\$00	ページ内位置	バイト	注:ページ内指示以外のビットは0。
読み出し命令					
フラッシュメモリ上位バイト読み出し	\$28	アドレス上位	アドレス下位	上位バイト	
フラッシュメモリ下位バイト読み出し	\$20	アドレス上位	アドレス下位	下位バイト	
EEPROM読み出し	\$A0	アドレス上位	アドレス下位	バイト	
施錠ビット読み出し	\$58	\$00	\$00	施錠ビット値	
識票バイト読み出し	\$30	\$00	アドレス	識票バイト	
ヒューズ下位読み出し	\$50	\$00	\$00	ヒューズ下位	
ヒューズ上位読み出し	\$58	\$08	\$00	ヒューズ上位	
拡張ヒューズ読み出し	\$50	\$08	\$00	拡張ヒューズ	
校正バイト読み出し	\$38	\$00	\$00	校正バイト	
書き込み命令 (注2)					
フラッシュ ページ書き込み	\$4C	アドレス上位	アドレス下位	\$00	
EEPROMバイト書き込み	\$C0	アドレス上位	アドレス下位	バイト	
EEPROMページ書き込み	\$C2	アドレス上位	アドレス下位	\$00	注:ページ指示以外のアドレスビットは0。
施錠ビット書き込み	\$AC	\$E0	\$00	施錠ビット値	
ヒューズ下位書き込み	\$AC	\$A0	\$00	ヒューズ下位	
ヒューズ上位書き込み	\$AC	\$A8	\$00	ヒューズ上位	
拡張ヒューズ書き込み	\$AC	\$A4	\$00	拡張ヒューズ	

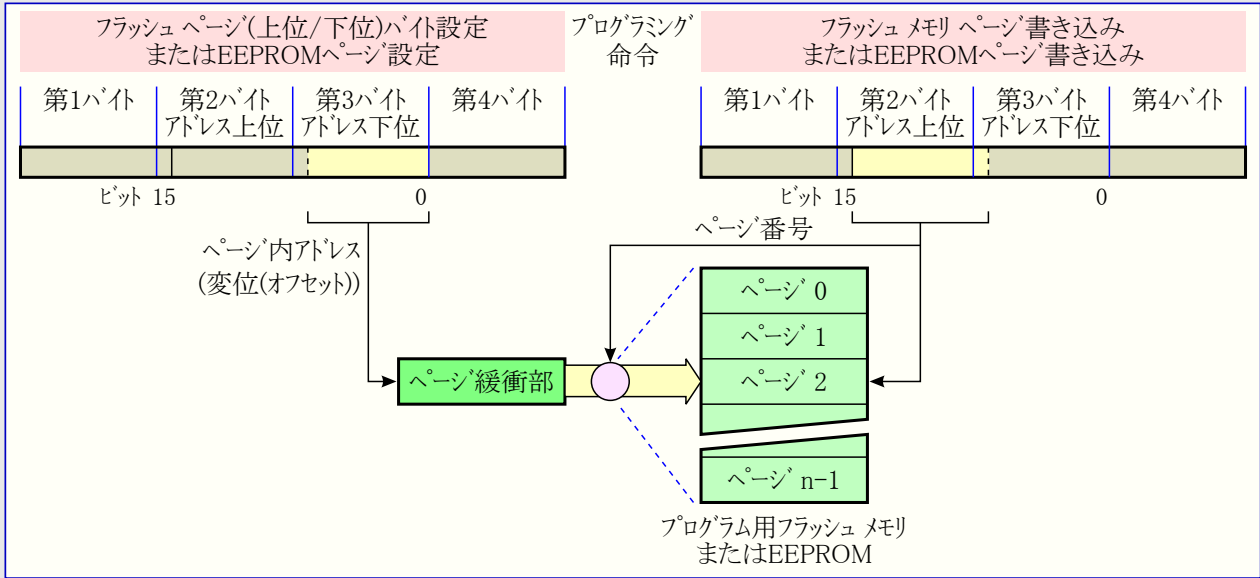
注1: 全命令が全デバイスで利用可能な訳ではありません。

注2: プログラム用メモリにアクセスする命令は語(ワード)アドレスを使います。このアドレスはページ範囲内で乱順にできます。

注: ・施錠ビットとヒューズ値はプログラムが0、非プログラムが1です。将来との互換性のため、未使用のヒューズと施錠ビットは非プログラム(1)にすべきです。

- ・ヒューズ、施錠ビット、識票バイト、校正バイト、ページ容量については対応項目を参照してください。
- ・プログラミングと書き込み器に関する応用記述については <http://www.atmel.com/avr> をご覧ください。
- ・第4バイトの赤背景はホスト読み込み(デバイス出力)を示します。

図18-2. 直列プログラミング命令例



多忙/準備可検査バイトデータ出力のLSBが1なら、プログラミング操作が未だ保留(動作中)です。次の命令が実行される前に本ビットが0に戻るまで待ってください。

同じページ内で、下位バイトデータは上位バイトデータに先行して格納されなければなりません。

データがページ緩衝部に格納された後にEEPROMページをプログラムしてください。図18-2をご覧ください。

(訳補) フラッシュメモリ、EEPROM、ページ緩衝部内のアドレス(位置)指定に使われるビットはメモリ容量とページ構成に依存します。ATtiny26 1/461/861でのこれらの指定方法は次表で要約されます。

表18-A. アドレス(第2,3バイト)指定法

命令	第2バイト	第3バイト	備考
拡張アドレス設定			該当命令なし
フラッシュページ内バイト設定	0000 0000	0000 LLLL 000L LLLL	ATtiny261 : L=PC3~0 ATtiny461/861 : L=PC4~0
EEPROMページ内バイト設定	0000 0000	0000 00LL	ATtiny261/461/861 : L=EAA1~0
フラッシュメモリ読み出し	0000 00HH 0000 0HHH 0000 HHHH	LLLL LLLL	ATtiny261 : H=PC9~8, L=PC7~0 ATtiny461 : H=PC10~8, L=PC7~0 ATtiny861 : H=PC11~8, L=PC7~0
EEPROM読み出し	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny261 : L=EAA6~0 ATtiny461 : L=EAA7~0 ATtiny861 : H=EAA8, L=EAA7~0
フラッシュページ書き込み	0000 00HH 0000 0HHH 0000 HHHH	LLLL 0000 LLL0 0000 LLL0 0000	ATtiny261 : H=PC9~8, L=PC7~4 ATtiny461 : H=PC10~8, L=PC7~5 ATtiny861 : H=PC11~8, L=PC7~5
EEPROMバイト書き込み	0000 0000 0000 0000 0000 000H	0LLL LLLL LLLL LLLL LLLL LLLL	ATtiny261 : L=EAA6~0 ATtiny461 : L=EAA7~0 ATtiny861 : H=EAA8, L=EAA7~0
EEPROMページ書き込み	0000 0000 0000 0000 0000 000H	0LLL LL00 LLLL LL00 LLLL LL00	ATtiny261 : L=EAA6~2 ATtiny461 : L=EAA7~2 ATtiny861 : H=EAA8, L=EAA7~2

18.7. 並列プログラミング

この項はプログラム用フラッシュメモリ、データ用EEPROM、メモリの**施錠ビット**、**ヒューズビット**の並列プログラミングと照合の方法を記述します。特記事項を除いて、パルス幅は最低250nsと仮定されます。

18.7.1. 信号名

本章ではいくつかのピンが並列プログラミング中の機能を表す信号名で参照されます。**図18-3**と**表18-12**をご覧ください。後続の表に記載されないピンはピン名によって参照されます。

図18-3. 並列プログラミング構成図

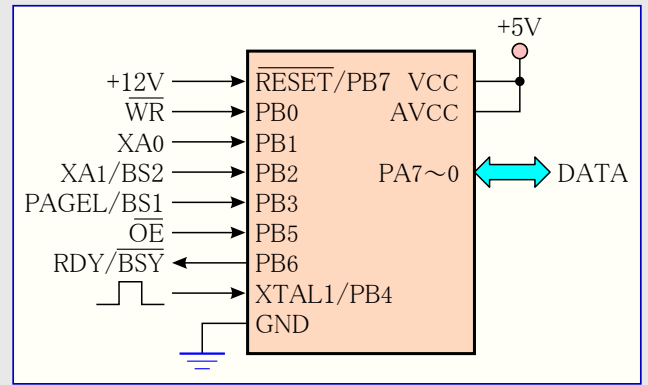


表18-12. 信号名とピン名の関係

信号名	ピン名	入出力	機能
WR	PB0	入力	書き込みパルス(負論理)
XA0	PB1	入力	XTAL動作ビット0
XA1/BS2 (注)	PB2	入力	XTAL動作ビット1 / 上位/下位バイト選択2 (0:下位, 1:上位) (ヒューズビット用)
PAGEL/BS1 (注)	PB3	入力	ページ一時緩衝部に設定 / 上位/下位バイト選択1 (0:下位, 1:上位) (一般用)
OE	PB5	入力	出力許可(負論理)
RDY/BSY	PB6	出力	0(Low): 多忙(プログラミング中) 1(High): 準備可(指令受付可)
DATA	PA7~0	入出力	双方向データバス (OE=Low時出力)

注: このピンは2つの異なる制御信号に対して使われます。以降の記述で、通常1つの信号(名)だけが参照されます。例えば、「BS1に正パルスを与える」は「PAGEL/BS1に正パルスを与える」と同等です。

XA0とXA1ピンはCLKIピンが正パルスを与えられる時に実行される動作を決めます。このビット符号化は**表18-14**で示されます。

表18-13. プログラミング動作移行用のピン値

ピン名	シンボル	値
PAGEL/BS1	Prog_enable[3]	0
XA1/BS2	Prog_enable[2]	0
XA0	Prog_enable[1]	0
WR	Prog_enable[0]	0

表18-14. XA0とXA1の符号化(機能)

XA1	XA0	XTAL1パルス時の動作
0	0	フラッシュまたはEEPROMのアドレス取得 (上位/下位はBS1で指定)
0	1	データ取得 (フラッシュ時の上位/下位はBS1で指定)
1	0	指令取得
1	1	アイドル (動作なし)

WRまたはOEパルスを送るとき、設定した指令が実行される動作を決めます。各種指令は**表18-15**で示されます。

表18-15. 指令バイトのビット符号化

指令バイト	指令の機能	指令バイト	指令の機能
\$80 (1000 0000)	チップ消去	\$08 (0000 1000)	識票バイト、校正バイト読み出し
\$40 (0100 0000)	ヒューズビット書き込み	\$04 (0000 0100)	ヒューズビット、施錠ビット読み出し
\$20 (0010 0000)	施錠ビット書き込み	\$02 (0000 0010)	フラッシュメモリ読み出し
\$10 (0001 0000)	フラッシュメモリ書き込み	\$03 (0000 0011)	EEPROM読み出し
\$11 (0001 0001)	EEPROM書き込み		

18.7.2. 並列プログラミング動作への移行

次に示す方法がデバイスを(高電圧)並列プログラミング動作にします。

- ① VCCとGND間に4.5～5.5Vを印加します。
- ② RESETをLow(0)にし、XTAL1を少なくとも6回、交互に(High/Low)切り替えます。
- ③ 112頁の表18-13.で一覧されるProg_enableピンを全てLow(0)に設定し、最低100ns待ちます。
- ④ RESETに11.5～12.5Vを印加します。+12VがRESETに印加されてしまった後100ns以内のProg_enableピンのどんな動きも、デバイスのプログラミング動作への移行を失敗させます。
- ⑤ 新規指令送出前に少なくとも50μs間待ちます。

18.7.3. 効率的なプログラミングへの考慮

設定した指令とアドレスはプログラミング中、維持されます。効率的なプログラミングを行うために次を考慮すべきです。

- 複数のメモリ領域を読み書きする時に指令設定は一度だけ必要です。
- チップ消去後のフラッシュメモリと(EESAVEヒューズがプログラム(0)されている場合を除き)EEPROM全体の内容は\$FFなので、値が\$FFのデータ書き込みを飛ばします。
- アドレス上位バイトはフラッシュメモリで新規256語(ワード)枠、EEPROMで新規256バイト枠の読み書き前に一度だけ必要です。この考慮は識票バイト読み出しにも適用されます。

18.7.4. チップ消去

チップ消去はフラッシュメモリ、EEPROM、施錠ビットを消去します。施錠ビットはプログラムメモリが完全に消去されてしまうまでリセット(消去)されません。ヒューズビットは変更されません。チップ消去はフラッシュメモリやEEPROMが再書き込みされる前に実行されなければなりません。

1. 「チップ消去」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$80(1000 0000)に設定します。これはチップ消去指令です。
- ④ XTAL1に正パルスを与えます。これはチップ消去指令を設定します。
- ⑤ WRに負パルスを与えます。これはチップ消去を開始します。RDY/BSYがLow(0)になります。
- ⑥ 次の指令を設定する前にRDY/BSYがHigh(1)になるまで待ちます。

注: EESAVEヒューズがプログラム(0)されていると、EEPROMはチップ消去中、保護されます。

18.7.5. フラッシュ メモリ書き込み

フラッシュ メモリはページで構成されます(108頁の表18-7参照)。フラッシュ メモリへ書く時にプログラム データはページ緩衝部にラッチされます。これは同時に書かれることをプログラム データの1ページに許します。次の手順は完全なフラッシュ メモリの書き込み方法を記述します(信号波形については次頁の図18-5をご覧ください)。

1. 「フラッシュ メモリ書き込み」指令設定

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② BS1をLow(0)に設定します。
- ③ DATAを\$10(0001 0000)に設定します。これはフラッシュ メモリ書き込み指令です。
- ④ XTAL1に正パルスを与えます。これはフラッシュ メモリ書き込み指令を設定します。

2. アドレス下位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をLow(0)に保ちます。これは下位アドレス(バイト)を選びます。
- ③ DATAにアドレス下位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス下位バイトを設定します。

3. データ下位バイト設定

- ① XA1をLow(0)、XA0をHigh(1)に設定します。これはデータ設定を許可します。
- ② DATAにデータ下位バイト(\$00~\$FF)を設定します。
- ③ XTAL1に正パルスを与えます。これはデータ下位バイトを設定します。

4. データ上位バイト設定

- ① BS1をHigh(1)に設定します。これは上位バイトを選びます。
- ② XA1をLow(0)、XA0をHigh(1)に保ちます。これはデータ設定を許可します。
- ③ DATAにデータ上位バイト(\$00~\$FF)を設定します。
- ④ XTAL1に正パルスを与えます。これはデータ上位バイトを設定します。

5. 緩衝部全体が満たされるか、または(必要な)全てのデータが緩衝部内に設定されるまで、2~4を繰り返し

6. アドレス上位バイト設定

- ① XA1をLow(0)、XA0をLow(0)に設定します。これはアドレス設定を許可します。
- ② BS1をHigh(1)に設定します。これは上位アドレス(バイト)を選びます。
- ③ DATAにアドレス上位バイト(\$00~\$03/\$07/\$0F)を設定します。
- ④ XTAL1に正パルスを与えます。これはアドレス上位バイトを設定します。

7. ページ書き込み

- ① BS1をLow(0)に設定します。
- ② WRに負パルスを与えます。これはデータのページ全体の書き込みを開始します。RDY/ \overline{BSY} がLow(0)になります。
- ③ RDY/ \overline{BSY} がHigh(1)になるまで待ちます。

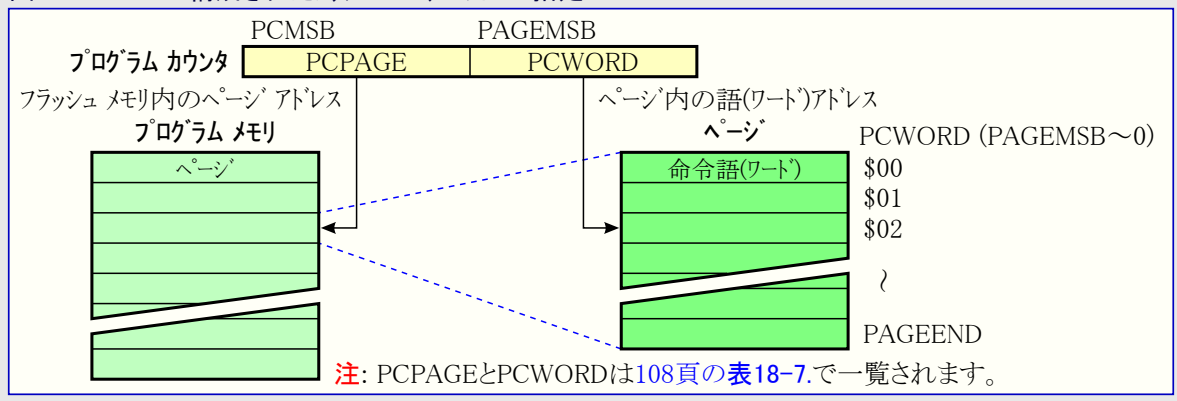
8. フラッシュ メモリ全部が書かれるか、または(必要な)全データが書かれてしまうまで、2~7を繰り返し

9. ページ書き込み終了

- ① XA1をHigh(1)、XA0をLow(0)に設定します。これは指令設定を許可します。
- ② DATAを\$00(0000 0000)にします。これは無操作指令です。
- ③ XTAL1に正パルスを与えます。これは無操作指令を設定し、内部書き込み信号がリセットされます。

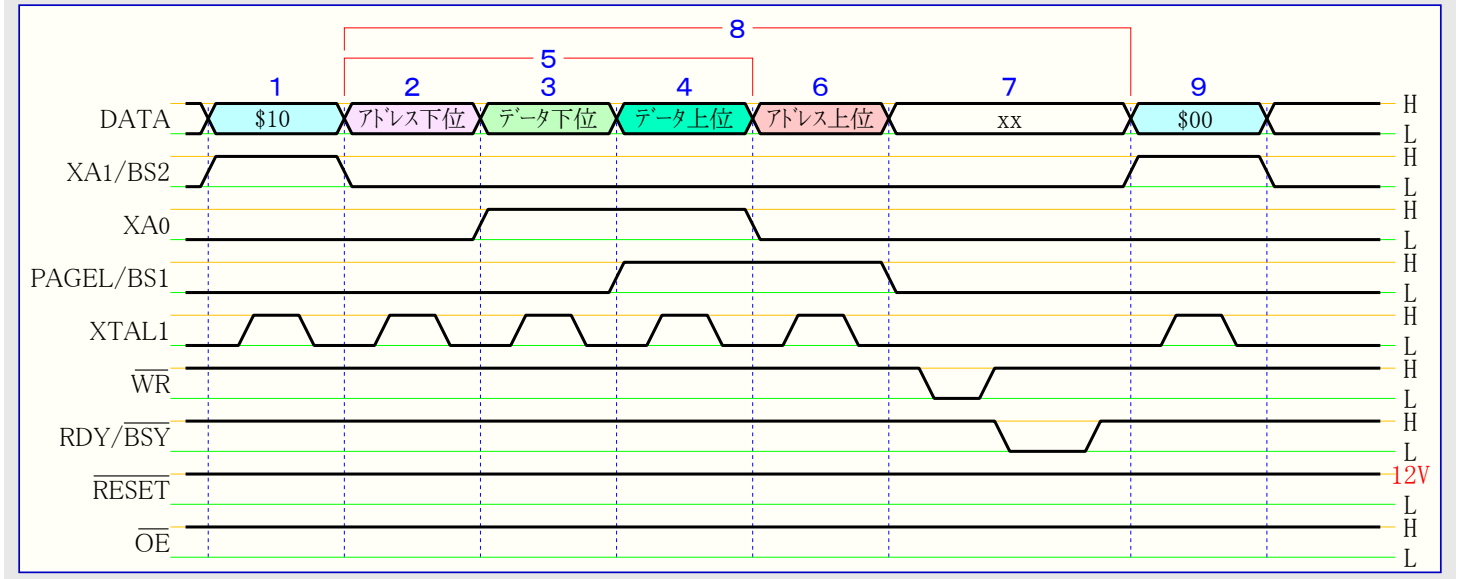
アドレス内の下位ビットがページ内の語(ワード)位置を指示する一方、上位ビットがフラッシュ メモリ内のページをアドレス指定します。これは図18-4で図示されます。ページ内の語アドレスに8ビット未満が必要とされる場合(ページ容量<256)、アドレス下位バイトの最上位(側)ビットがページ書き込み実行時のページ アドレスに使われることに注意してください。

図18-4. ページで構成されたフラッシュ メモリのアドレス指定



下図に於いて“xx”は無関係を意味します。図内の番号は前記プログラミングを参照します。

図18-5. フラッシュメモリ書き込みタイミング

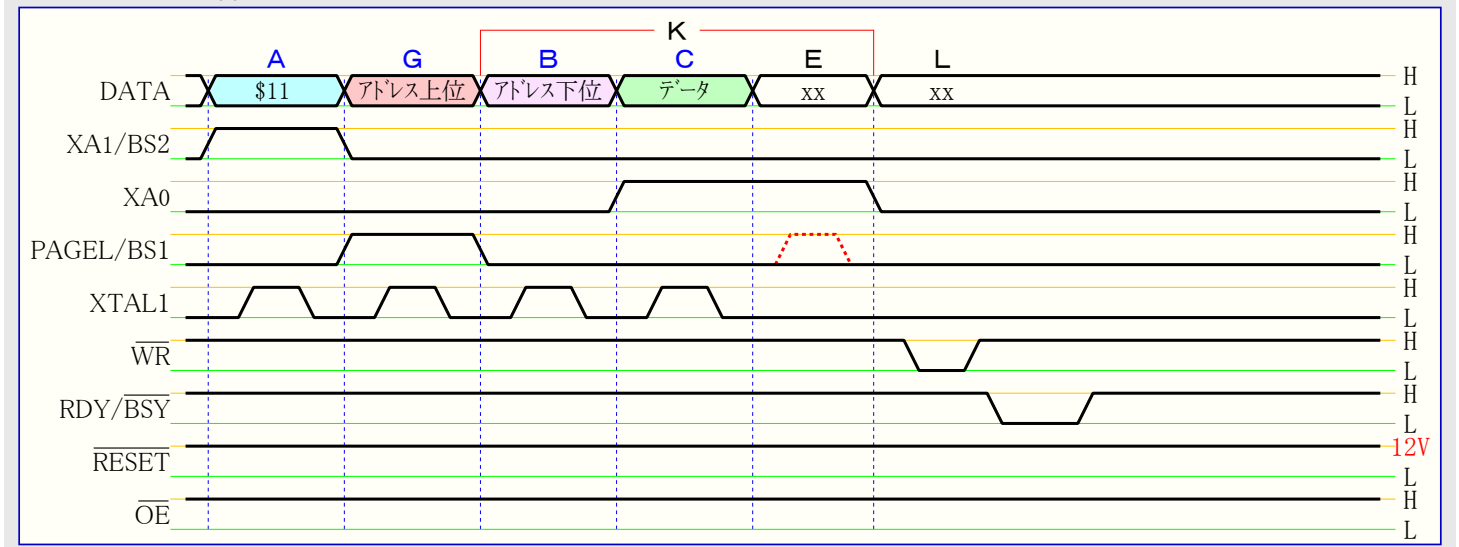


18.7.6. EEPROM書き込み

EEPROMはページで構成されます(108頁の表18-8参照)。EEPROMを書く時にデータはページ緩衝部にラッチされます。これは同時に書かれることをデータの1ページに許します。データ用EEPROMメモリの書き込み方法は次のとおりです。(指令、アドレス、データ設定の詳細については114頁の「フラッシュメモリの書き込み」を参照。信号波形については図18-6をご覧ください。)

1. A: EEPROM書き込み指令\$11(0001 0001)を設定します。(「フラッシュメモリ書き込み」の1を参照)
2. G: アドレス上位バイト(\$00~\$00/\$00/\$01)を設定します。(「フラッシュメモリ書き込み」の6を参照)
3. B: アドレス下位バイト(\$00~\$7F/\$FF/\$FF)を設定します。(「フラッシュメモリ書き込み」の2を参照)
4. C: データバイト(\$00~\$FF)を設定します。(「フラッシュメモリ書き込み」の3を参照)
5. E: データをラッチします(PAGELに正パルスを与えます)。(訳注: 参照先及び図に該当処理が存在しません。)
6. K: 緩衝部全体が満たされるまで3~5を繰り返します。
7. L: EEPROMページ書き込み
 - ① BS1をLow(0)に設定します。
 - ② WRに負パルスを与えます。これはEEPROMページ書き込みを開始します。RDY/BSYがLow(0)になります。
 - ③ 次のページを書く前に、RDY/BSYがHigh(1)になるまで待ちます。

図18-6. EEPROM書き込みタイミング



18.7.7. フラッシュ メリ読み出し

フラッシュ メリの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については114頁の「フラッシュ メリの書き込み」を参照)

1. **A**:フラッシュ メリ読み出し指令\$02(0000 0010)を設定します。(「フラッシュ メリ書き込み」の1を参照)
2. **G**:アドレス上位バイト(\$00~\$03/\$07/\$0F)を設定します。(「フラッシュ メリ書き込み」の6を参照)
3. **B**:アドレス下位バイト(\$00~\$FF)を設定します。(「フラッシュ メリ書き込み」の2を参照)
4. BS1をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。フラッシュ メリ語(ワード)の下位バイトが直ぐにDATAで読めます。
5. BS1をHigh(1)に設定します。フラッシュ メリ語(ワード)の上位バイトが直ぐにDATAで読めます。
6. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

18.7.8. EEPROM読み出し

データ用EEPROMの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については114頁の「フラッシュ メリの書き込み」を参照)

1. **A**:EEPROM読み出し指令\$03(0000 0011)を設定します。(「フラッシュ メリ書き込み」の1を参照)
2. **G**:アドレス上位バイト(\$00~\$00/\$00/\$01)を設定します。(「フラッシュ メリ書き込み」の6を参照)
3. **B**:アドレス下位バイト(\$00~\$7F/\$FF/\$FF)を設定します。(「フラッシュ メリ書き込み」の2を参照)
4. BS1をLow(0)、 $\overline{\text{OE}}$ をLow(0)に設定します。EEPROMのバイト データが直ぐにDATAで読めます。
5. $\overline{\text{OE}}$ をHigh(1)に設定します。DATAはHi-Zになります。

18.7.9. ヒューズ ビット書き込み (訳注:原書での拡張/上位/下位ヒューズ項を1つに纏めました。)

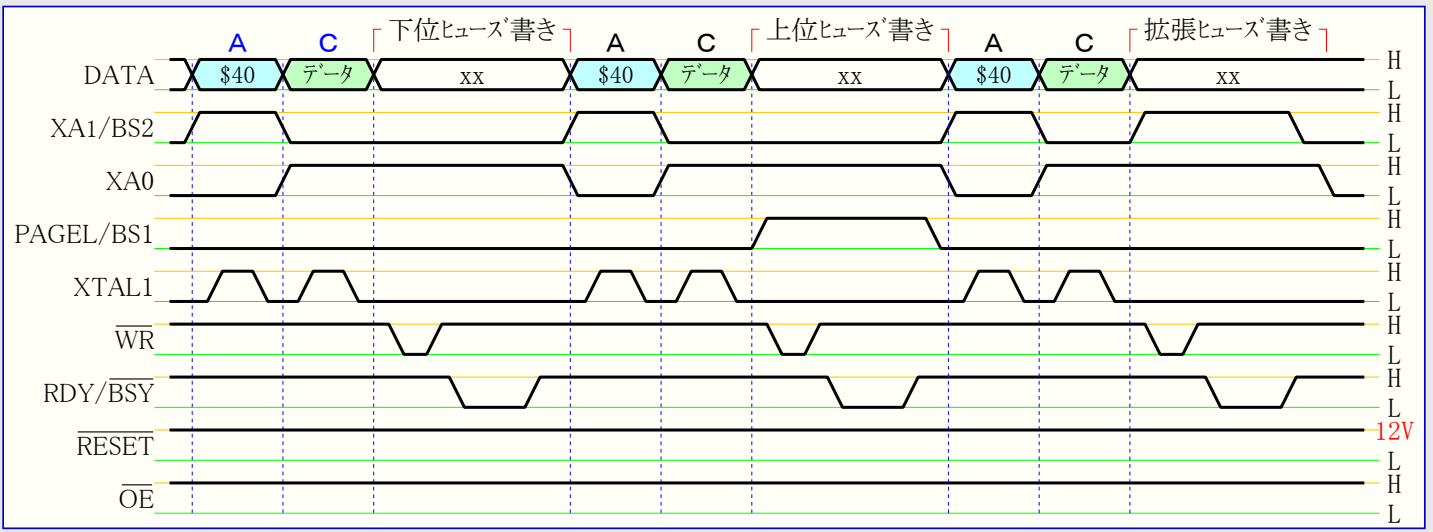
各ヒューズ バイトの書き込み方法は次のとおりです。(指令とデータ設定の詳細については114頁の「フラッシュ メリの書き込み」を参照)

1. **A**:ヒューズ ビット書き込み指令\$40(0100 0000)を設定します。(「フラッシュ メリ書き込み」の1を参照)
2. **C**:データ下位バイトを設定します。0=プログラム,1=非プログラム(消去)です。(「フラッシュ メリ書き込み」の3を参照)
3. BS1とBS2を右表の目的バイトに対応する設定にします。
4. $\overline{\text{WR}}$ に負パルスを与え、RDY/ $\overline{\text{BSY}}$ がHighになるまで待ちます。
5. 3.でHighに設定したBS1、BS2をLow(0)に戻します。これはデータ下位バイトを選びます。

表A. ヒューズ バイト対応BS1,BS2設定

ヒューズ バイト	BS1	BS2
拡張バイト	Low(0)	High(1)
上位バイト	High(1)	Low(0)
下位バイト	Low(0)	Low(0)

図18-7. ヒューズ書き込みタイミング



18.7.10. 施錠ビット書き込み

施錠ビットの書き込み方法は次のとおりです。(指令とデータ設定の詳細については114頁の「フラッシュメモリの書き込み」を参照)

1. **A**: 施錠ビット書き込み指令\$20(0010 0000)を設定します。(「フラッシュメモリの書き込み」の1を参照)
2. **C**: データ下位バイト(としてデータ)を設定します。0=プログラム,1=無変化です。LB保護種別3が設定(LB1とLB2がプログラム(0))された場合、どの外部プログラミング動作種別によってもポット施錠ビットをプログラミングできません。(「フラッシュメモリの書き込み」の3を参照)
3. \overline{WR} に負パルスを与え、RDY/BSYがHighになるまで待ちます。

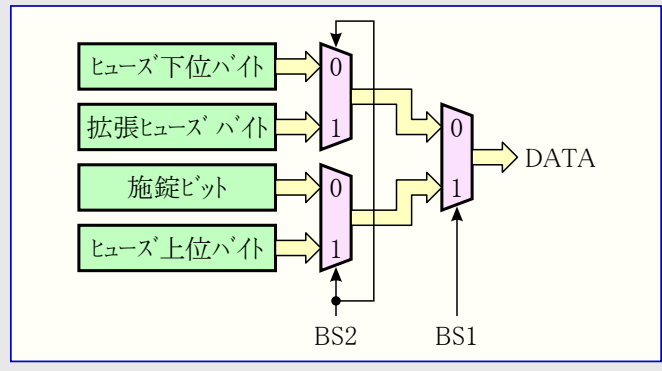
施錠ビットはチップ消去の実行によってのみ解除(1)できます。

18.7.11. ヒューズビットと施錠ビットの読み出し

ヒューズビットと施錠ビットの読み出し方法は次のとおりです。(指令設定の詳細については114頁の「フラッシュメモリの書き込み」を参照)

1. **A**: ヒューズビットと施錠ビットの読み出し指令\$04(0000 0100)を設定します。(「フラッシュメモリの書き込み」の1を参照)
2. BS1とBS2をLow(0)、 \overline{OE} をLow(0)に設定します。ヒューズ下位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
3. BS1とBS2をHigh(1)、 \overline{OE} をLow(0)に設定します。ヒューズ上位ビットの状態が直ぐにDATAで読めます。(0=プログラム)
4. BS1をLow(0)、BS2をHigh(1)、 \overline{OE} をLow(0)に設定します。拡張ヒューズビットの状態が直ぐにDATAで読めます。(0=プログラム)
5. BS1をhigh(1)、BS2をLow(0)、 \overline{OE} をLow(0)に設定します。施錠ビットの状態が直ぐにDATAで読めます。(0=プログラム)
6. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

図18-8. ヒューズ、施錠ビット読み出し中のBS1, BS2との関係



18.7.12. 識票バイト読み出し

識票バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については114頁の「フラッシュメモリの書き込み」を参照)

1. **A**: 識票バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」の1を参照)
2. **B**: アドレス下位バイト(\$00~\$02)を設定します。(「フラッシュメモリの書き込み」の2を参照)
3. BS1をLow(0)、 \overline{OE} をLow(0)に設定します。選んだ識票バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

18.7.13. 校正バイト読み出し

校正バイトの読み出し方法は次のとおりです。(指令とアドレス設定の詳細については114頁の「フラッシュメモリの書き込み」を参照)

1. **A**: 校正バイト読み出し指令\$08(0000 1000)を設定します。(「フラッシュメモリの書き込み」の1を参照)
2. **B**: アドレス下位バイトに\$00を設定します。(「フラッシュメモリの書き込み」の2を参照)
3. BS1をHigh(1)、 \overline{OE} をLow(0)に設定します。校正バイトが直ぐにDATAで読めます。
4. \overline{OE} をHigh(1)に設定します。DATAはHi-Zになります。

19. 電气的特性

19.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
RESETを除くピン許容電圧	-0.5V ~ VCC+0.5V
RESETピン許容電圧	-0.5V ~ +13.0V
最大動作電圧	6.0V
入出力ピン出力電流	40.0mA
消費電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

19.2. DC特性

表19-1. DC特性 TA=-40°C~85°C, VCC=1.8V~5.5V (特記事項を除く)

シンボル	項目	条件	最小	代表 (注1)	最大	単位
VIL	Lowレベル入力電圧	XTAL1, RESETを除く	-0.5		0.2VCC (注3)	V
		XTAL1外部クロック駆動	-0.5		0.1VCC (注3)	
		RESET	-0.5		0.2VCC (注3)	
		I/OとしてのRESET	-0.5		0.2VCC (注3)	
VIH	Highレベル入力電圧	XTAL1, RESETを除く	0.7VCC (注2)		VCC+0.5	V
		XTAL1外部クロック駆動	0.8VCC (注2)		VCC+0.5	
		RESET	0.9VCC (注2)		VCC+0.5	
		I/OとしてのRESET	0.7VCC (注2)		VCC+0.5	
VOL	Lレベル出力電圧 (RESETピン以外) (注4,6)	IOL=10mA, VCC=5V			0.6	V
		IOL=5mA, VCC=3V			0.5	
VOH	Hレベル出力電圧 (RESETピン以外) (注5,6)	IOH=-10mA, VCC=5V	4.3			V
		IOH=-5mA, VCC=3V	2.5			
IIL	I/OピンLowレベル入力漏れ電流	VCC=5.5V		<0.05	1	μA
IiH	I/OピンHighレベル入力漏れ電流	確実なH/L範囲		<0.05	1	μA
RRST	RESETピンプルアップ抵抗		30		60	kΩ
RPU	I/Oピンプルアップ抵抗		20		50	kΩ
ICC	活動動作消費電流 (注7)	VCC=2V, 1MHz		0.4	0.6	mA
		VCC=3V, 4MHz		2	3	
		VCC=5V, 8MHz		6	9	
	アイドル動作消費電流 (注7)	VCC=2V, 1MHz		0.1	0.3	mA
		VCC=3V, 4MHz		0.4	1	
		VCC=5V, 8MHz		1.5	3	
パワーダウン動作消費電流 (注8)	パワーダウン動作消費電流 (注8)	VCC=3V, WDT有効		4	10	μA
		VCC=3V, WDT禁止		0.15	2	

注1: 25°Cでの代表値です。

注2: “最小”はHighレベルの認識が保証される最低電圧を意味します。

注3: “最大”はLowレベルの認識が保証される最高電圧を意味します。

注4: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA, VCC=3Vで5mA)よりも多くの吸い込み電流を流すことができるとは言え、(全ポートに対して)全IOLの合計が60mAを超えるべきではありません。IOLが検査条件を超える場合、VOLも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吸い込み電流を流すことは保証されません。

注5: 各I/Oポートは安定状態(非過渡時)に於いて検査条件(VCC=5Vで10mA, VCC=3Vで5mA)よりも多くの吐き出し電流を流すことができるとは言え、(全ポートに対して)全IOHの合計が60mAを超えるべきではありません。IOHが検査条件を超える場合、VOHも関連する仕様を超えます。ピンは検査条件で一覽されるよりも大きな吐き出し電流を流すことは保証されません。

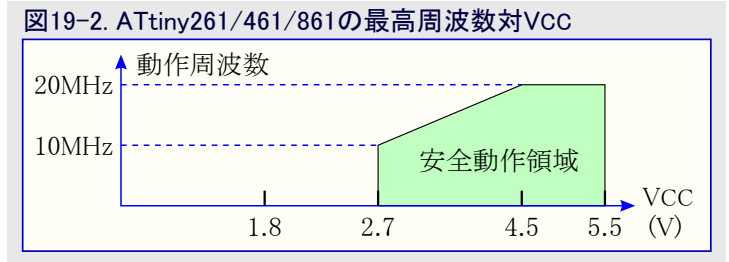
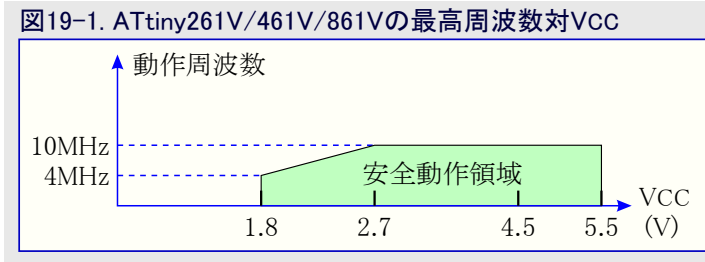
注6: RESETピンはプログラミング動作での操作と移行時に高電圧を許容しなければならず、その結果として標準I/Oピンと比べて弱い駆動能力を持ちます。(132頁から始まる)図20-23~26をご覧ください。

注7: 23頁の「消費電力の最小化」で記述した方法を用いた外部クロックでの値です。電力削減が許可(PRR=\$FF)され、I/Oの駆動はありません。

注8: 低電圧検出(BOD)禁止での測定です。

19.3. 速度

最高周波数は動作電圧に依存します。図19-1.と図19-2.で示されるように最高周波数対動作電圧曲線は1.8~2.7Vと2.7~4.5V間で直線です。



19.4. クロック特性

工場既定校正よりも高い精度に内蔵発振器を手動校正することが可能です。この発振器周波数が温度と電圧に依存することに注意してください。電圧と温度の特性は137頁の図20-38.と図20-39.で得られます。

表19-2. 校正付き内蔵RC発振器の校正精度

校正種別	周波数	VCC	温度	校正精度 (注1)
工場校正	8.0MHz	3V	25°C	±10%
使用者校正	7.3~8.1MHz内の一定周波数	1.8~5.5V(注2), 2.7~5.5V(注3)内の一定電圧	-40~85°C内の一定温度	±1%

注1: 校正点での発振器周波数精度(一定温度と一定電圧)

注2: ATtiny261V/461V/861Vに対する電圧範囲

注3: ATtiny261/461/861に対する電圧範囲

図19-3. 外部クロック駆動波形

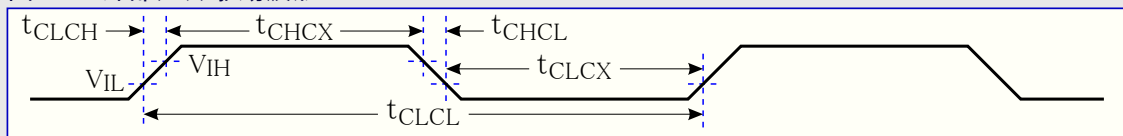


表19-3. 外部クロック駆動特性

シンボル	項目	VCC=1.8~5.5V		VCC=2.7~5.5V		VCC=4.5~5.5V		単位
		最小	最大	最小	最大	最小	最大	
1/tCLCL	クロック周波数	0	4	0	10	0	20	MHz
tCLCL	クロック周期	250		100		50		
tCHCX	Highレベル時間	100		40		20		ns
tCLCX	Lowレベル時間	100		40		20		
tCLCH	上昇時間		2.0		1.6		0.5	μs
tCHCL	下降時間		2.0		1.6		0.5	
ΔtCLCL	隣接クロック周期間の変化率		2		2		2	%

注: 詳細については17頁の「外部クロック信号」を参照してください。

19.5. システムとリセットの特性

表19-4. リセット、低電圧検出(BOD)、内部基準電圧の特性

シンボル	項目	条件	最小	代表	最大	単位
V_{RST}	RESETピン閾値電圧 (注1)		0.2VCC		0.9VCC	V
t_{RST}	リセットパルス幅 (注1)	VCC=3V	2.5			μ s
V_{HYST}	低電圧検出ヒステリシス電圧 (注1)			50		mV
t_{BOD}	最小低電圧検出時間 (注1)			2		μ s
V_{BG}	基準電圧	VCC=2.7V, TA=25°C	1.0	1.1	1.2	V
t_{BG}	起動時間 (注1)			40	70	μ s
I_{BG}	消費電流 (注1)	VCC=5V, TA=25°C		15		μ A

注1: 値は指針だけです。

19.5.1. 電源ONリセット

表19-5. 電源ONリセット特性 (TA=-40°C~85°C)

シンボル	項目	最小	代表	最大	単位
V_{POR}	電源ONリセット開放閾値電圧 (注1,2)	0.7	1.0	1.4	V
V_{POA}	電源ONリセット活性閾値電圧 (注1,3)	0.05	0.9	1.3	
SR_{ON}	電源投入時上昇率 (注1)	0.01		4.5	V/ms

注1: 値は指針だけです。

注2: 電圧上昇時にデバイスがリセットから開放される閾値電圧です。

注3: 供給電圧がVPOA未満でなければ電源ONリセットは動作しません(電圧下降時)。

19.5.2. 低電圧検出 (BOD)

表19-6. BODLEVELヒューズ* (V_{BOT}) 設定 (注1)

BODLEVEL2~0	最小	代表	最大	単位
1 1 1	低電圧検出(BOD)リセット禁止			
1 1 0	1.7	1.8	2.0	V
1 0 1	2.5	2.7	2.9	
1 0 0	4.1	4.3	4.5	
0 0 0 ~ 0 1 1	(予約)			

注1: いくつかのデバイスでV_{BOT}が公称最低動作電圧以下の可能性があります。この状態のデバイスについては、製造検査中、VCC=V_{BOT}に落ちて検査されています。これはマイクロコントローラの正しい動作がもはや保証されない電圧になる前に、低電圧検出(BOD)リセットが起きることを保証します。

19.6. A/D変換器特性

表19-7. A/D変換特性 (TA=-40~85°C)

シンボル	項目	条件	最小	代表	最大	単位
	分解能				10	ビット
	絶対精度	変換クロック=200kHz		2		
		変換クロック=1MHz		3		
	(積分非直線性誤差、 微分非直線性誤差、 量子化誤差、利得誤差、 変位(オフセット)誤差を含む)	VCC=4V VREF=4V 変換クロック=200kHz 雑音低減動作		1.5		
		変換クロック=1MHz 雑音低減動作		2.5		LSB
	積分非直線性誤差			1		
	微分非直線性誤差	VCC=4V、VREF=4V		0.5		
	利得誤差	変換クロック=200kHz		2.5		
	変位(オフセット)(ゼロ)誤差			1.5		
	変換時間	連続変換動作	13		260	μs
	変換クロック周波数		0.05		1	MHz
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	
AREF	外部基準電圧	シングルエンド変換	2.0		AVCC	V
		差動変換	2.0		AVCC-1.0	
VIN	入力電圧	シングルエンド変換	GND		VREF	
		差動変換	0		AVCC (注2)	
	入力周波数帯域	シングルエンド変換		38.5		kHz
		差動変換		4		
VINT	1.1V内部基準電圧		1.0	1.1	1.2	V
	2.56V内部基準電圧 (注2)		2.3	2.56	2.8	
RREF	基準電圧入力インピーダンス			35		kΩ
RAIN	アナログ入力インピーダンス			100		MΩ
	A/D変換出力		0		1023	LSB

注1: 値は指針の意味だけです。

注2: 差動電圧(V_{DIFF})は基準電圧(V_{REF})以下でなければなりません。

19.7. 直列プログラミング特性

図19-4. 直列プログラミングバイト通信波形

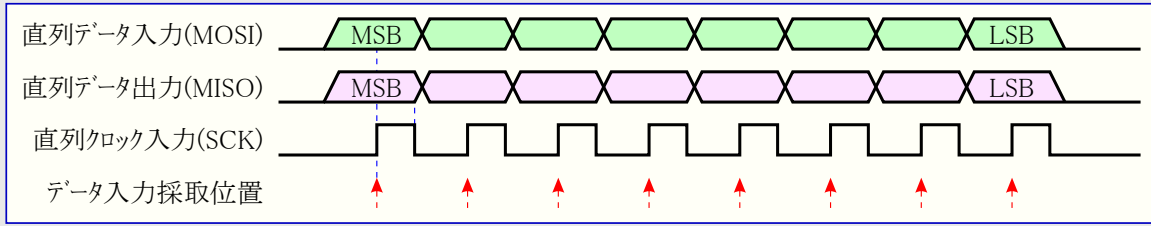


図19-5. 直列プログラミング タイミング

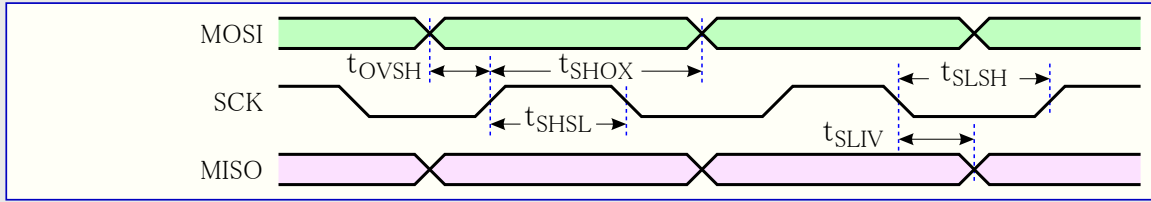


表19-8. 直列プログラミング特性 (特記条件を除いて、 $T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$, $V_{CC} = 1.8 \sim 5.5\text{V}$)

シンボル	項目	最小	代表	最大	単位
1/tCLCL	発振器周波数	1.8~2.7V	0	4	MHz
		2.7~4.5V	0	10	
		4.5~5.5V	0	20	
tCLCL	発振器周期	1.8~2.7V	250		
		2.7~4.5V	100		
		4.5~5.5V	50		
tSHSL	SCKパルスHレベル幅 (注1)	2tCLCL			ns
tSLSH	SCKパルスLレベル幅 (注1)	2tCLCL			
tOVSH	SCK ↑ に対するMOSI準備時間	tCLCL			
tSHOX	SCK ↑ に対するMOSI保持時間	2tCLCL			
tSLIV	SCK ↓ に対するMISO出力遅延時間			100	

注1: $f_{CK} < 12\text{MHz}$ 時 $2t_{CLCL}$ 、 $f_{CK} \geq 12\text{MHz}$ 時 $3t_{CLCL}$ 。

19.8. 並列プログラミング特性

図19-6. 並列プログラミング タイミング (一般的な必要条件)

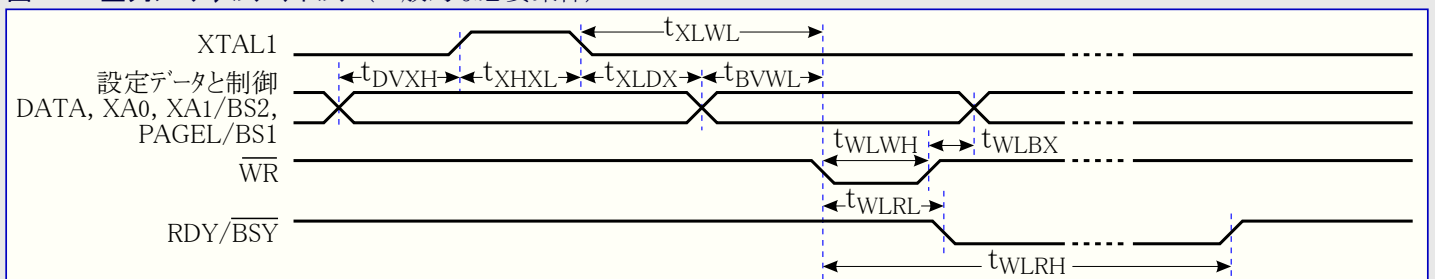
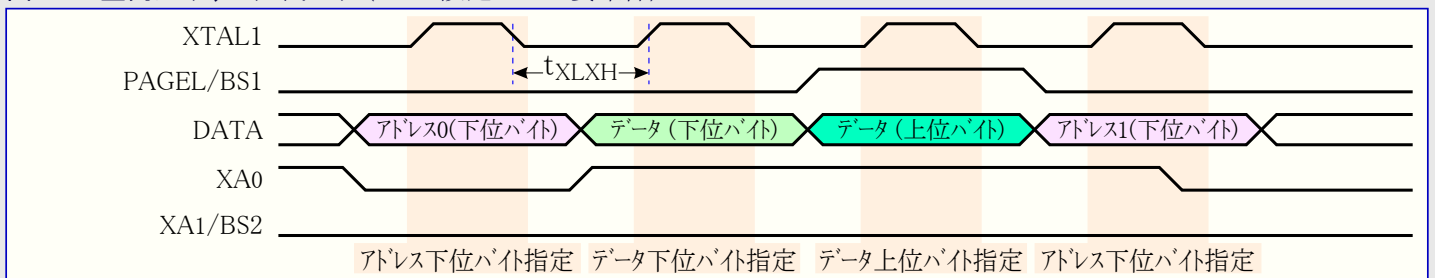
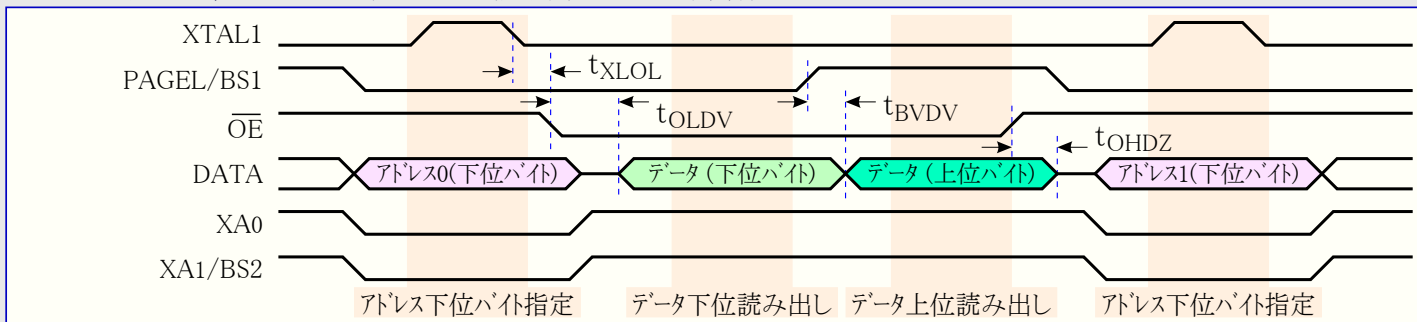


図19-7. 並列プログラミング タイミング (ページ設定での必要条件)



注: 図19-6.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は設定操作にも適用されます。

図19-8. 並列プログラミング タイミング (同一ページ読み出しでの必要条件)



注: 図19-6.で示されるタイミング必要条件(即ち、 t_{DVXH} 、 t_{XHXL} 、 t_{XLDX})は読み出し操作にも適用されます。

表19-9. 並列プログラミング特性 (VCC=5V±10%)

シンボル	項目	最小	代表	最大	単位
VPP	プログラミング許可電圧	11.5		12.5	V
IPP	プログラミング許可電流			250	μA
tDVXH	XTAL1 ↑ に対するデータと制御の準備時間	67			
tXLXH	XTAL1 ↓ から次XTAL1 ↑ までの待機時間	200			
tXHXL	XTAL1 Highパルス幅	150			
tXLDX	XTAL1パルス ↓ 後のデータと制御の保持時間	67			
tXLWL	XTAL1パルス ↓ 後の \overline{WR} ↓ 待機時間	0			
tBVPH	PAGELパルス ↑ に対するBS1準備時間	67			
tPHPL	PAGEL Highパルス幅	150			ns
tPLBX	PAGELパルス ↓ 後のBS1保持時間	67			
tWLBX	\overline{WR} パルス ↓ 後のBS1,BS2保持時間	67			
tPLWL	PAGELパルス ↓ 後の \overline{WR} パルス ↓ 待機時間	67			
tBVWL	\overline{WR} パルス ↓ に対するBS1準備時間	67			
tWLWH	\overline{WR} Lowパルス幅	150			
tWLRH	\overline{WR} パルス ↓ 後のRDY/ \overline{BSY} ↓ 遅延時間	0		1	μs
tWLRH	書き込み時間 (\overline{WR} ↓ からRDY/ \overline{BSY} ↑)	(注1) 3.7		4.5	ms
tWLRH_CE	チップ消去時間 (\overline{WR} ↓ からRDY/ \overline{BSY} ↑)	(注2) 7.5		9	
tXLCL	XTAL1パルス ↓ 後の \overline{OE} ↓ 待機時間	0			
tBVDV	BS1有効からのDATA遅延時間	0		250	
tOLDV	\overline{OE} ↓ 後のDATA出力遅延時間			250	ns
tOHDZ	\overline{OE} ↑ 後のDATA Hi-Z遅延時間			250	

注1: フラッシュメモリ、EEPROM、ヒューズビット、施錠ビット書き込み指令に対して有効です。

注2: チップ消去指令に対して有効です。

20. 代表特性

本章内に含まれたデータは主に同じ製法と設計法の類似デバイスの特徴付けとシミュレーションに基づいています。従って、このデータはデバイスがどう反応するかについての指標として扱われるべきです。

以下の図は代表的な特性を示します。これらの図は製造中に検査されていません。特性付けの間、デバイスは検査限界よりも高い周波数で動作していますが、それらは注文符号が示すよりも高い周波数での正しい機能が保証される訳ではありません。

全ての消費電流測定は全I/Oピンを入力として設定した内部プルアップ許可で行われています。消費電流は動作電圧、動作周波数、I/Oピンの負荷、I/Oピンの切り替え速度、命令実行、周囲温度のような様々な要素の関数です。支配的な要素は動作電圧と動作周波数です。

電源幅振幅の方形波発振器がクロック源として使われていますが、**パワーダウン動作**での消費電力はクロック選択と無関係です。**ウォッチドッグタイマ許可**の**パワーダウン動作**での消費電流と**ウォッチドッグタイマ禁止**の**パワーダウン動作**での消費電流間の違いは、ウォッチドッグタイマによって引き込んだ(消費した)差電流を表します。

容量性負荷のピンの引き込み電流は(1つのピンに対して) $C_L(\text{負荷容量}) \times V_{CC}(\text{動作電圧}) \times f_{SW}(\text{I/Oピンの平均切り替え周波数})$ として推測できます。

20.1. 周辺機能部供給電流

以下の表と式は活動動作とアイドル動作で個別周辺機能部に対する追加消費電流の計算に使えます。周辺機能部の許可や禁止は電力削減レジスタによって制御されます。詳細については24頁の「PRR - 電力削減レジスタ」をご覧ください。

表20-1. 各部追加消費電流 (絶対値: μA)

PRR内ビット	1MHz, 2V	4MHz, 3V	8MHz, 5V
PRTIM1	65	423	1787
PRTIM0	7	39	165
PRUSI	5	25	102
PRADC	18	111	457

表20-2. 各部追加消費電流 (相対値: %)

PRR内ビット	活動動作(図20-1, 図20-2)	アイドル動作(図20-6, 図20-7)
PRTIM1	26.9	103.7
PRTIM0	2.6	10.0
PRUSI	1.7	6.5
PRADC	7.1	27.3

表20-1.で一覧される以外のVCCと周波数設定については表20-2.からの数値を元に代表的な消費電流を計算できます。

例: VCC=2V, f=1MHzでUSI, タイマ/カウンタ0, A/D変換器が許可されたアイドル動作での予測される消費電流を計算します。表20-2.のアイドル動作列からUSIが6.5%、タイマ/カウンタ0が10%、A/D変換器が27.3%追加するのを知ります。図20-6.を読み、VCC=2V, f=1MHzでのアイドル動作消費電流が約0.085mAであることを得ます。USI, タイマ/カウンタ0, A/D変換器許可のアイドル動作での総消費電流を得ます。

$$\text{総消費電流} = 0.085\text{mA} \times (1 + 0.065 + 0.1 + 0.273) \approx 0.122\text{mA}$$

20.2. 活動動作消費電流

図20-1. 活動動作消費電流 対 周波数 (100kHz~1MHz)

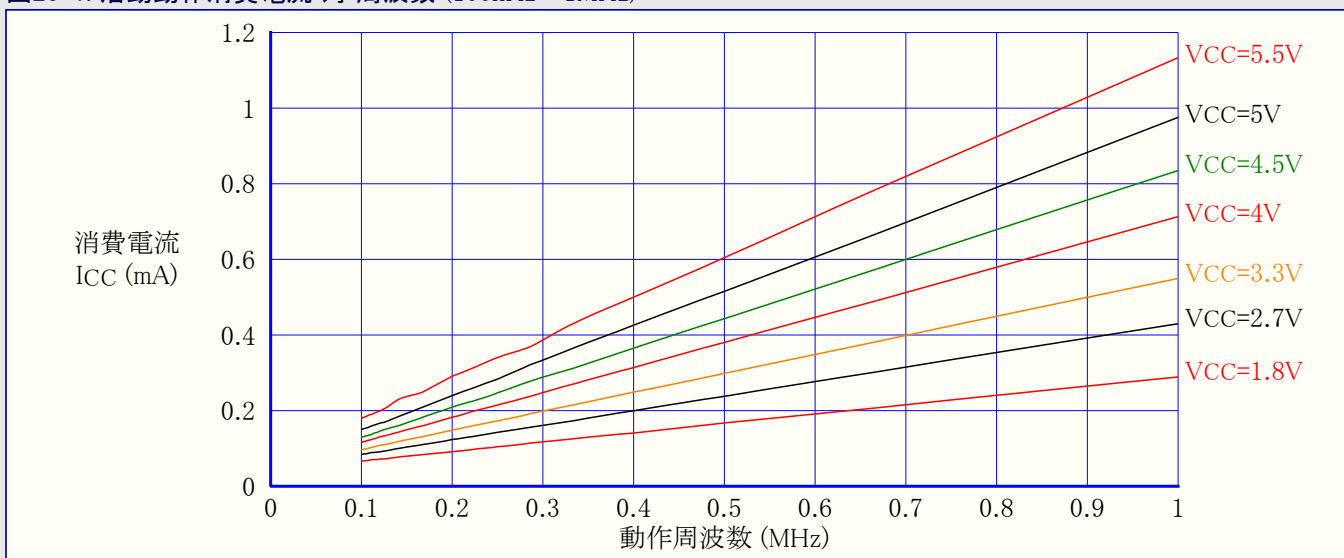


図20-2. 活動動作消費電流 対 周波数 (1MHz~20MHz)

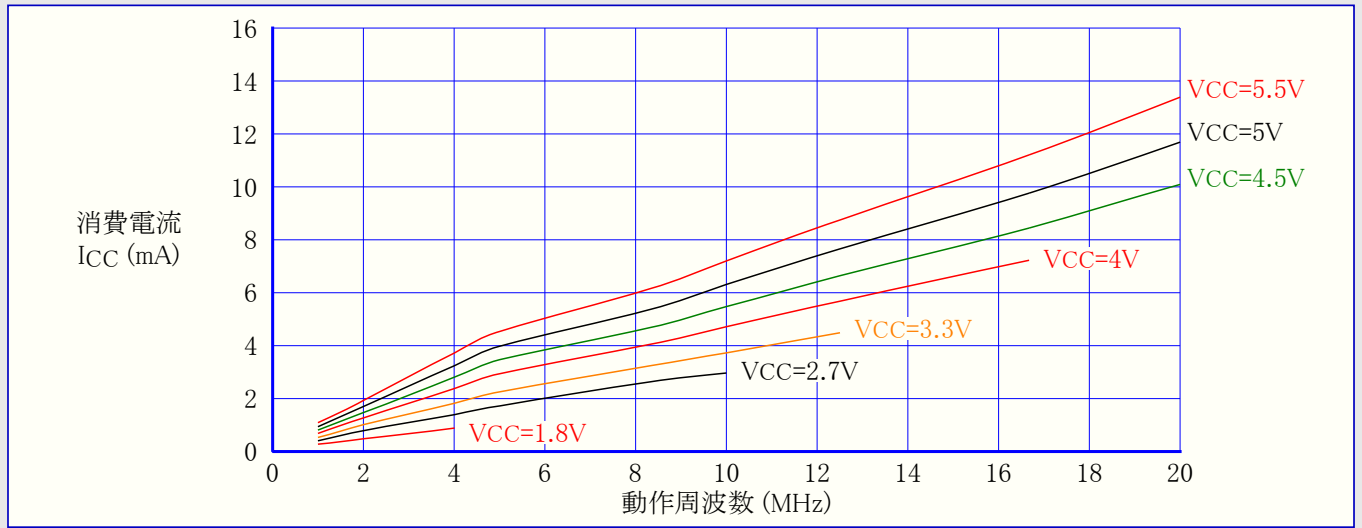


図20-3. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

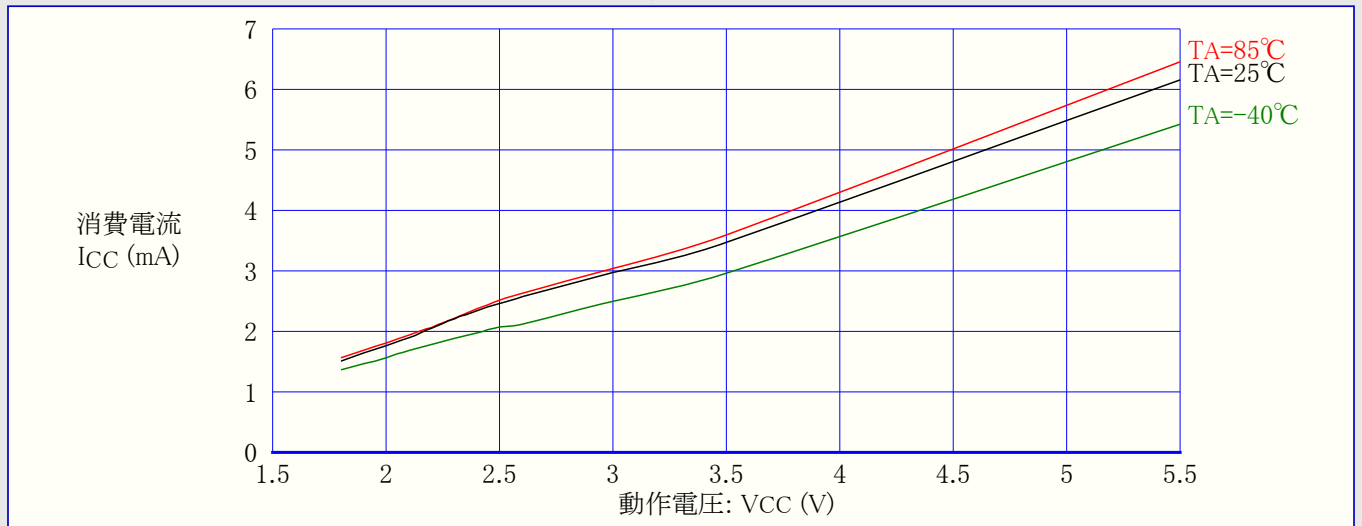


図20-4. 活動動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

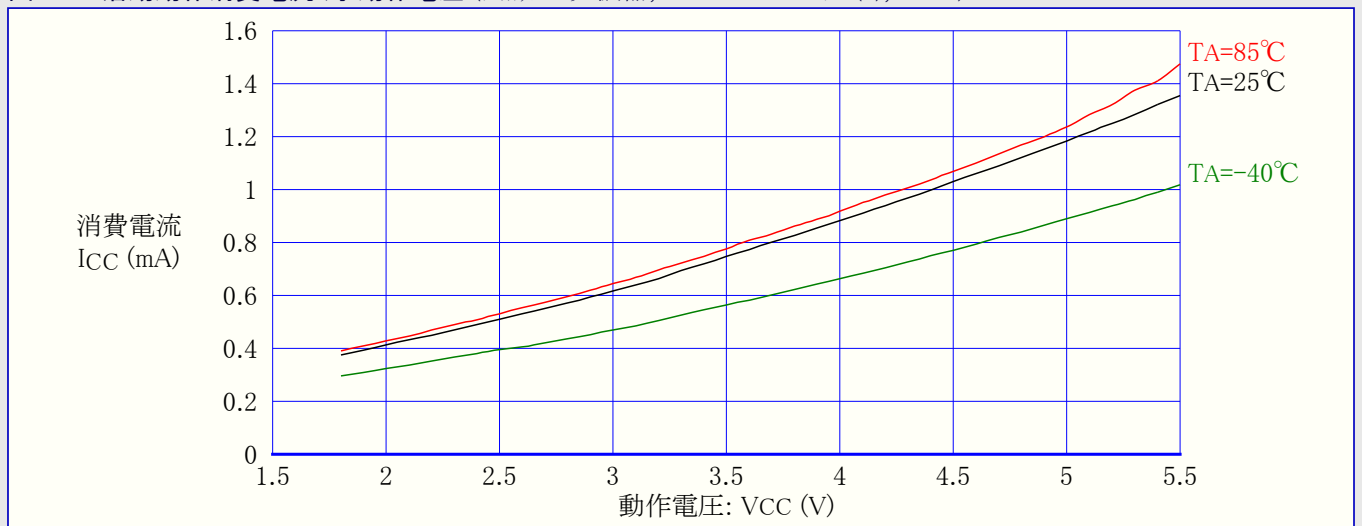
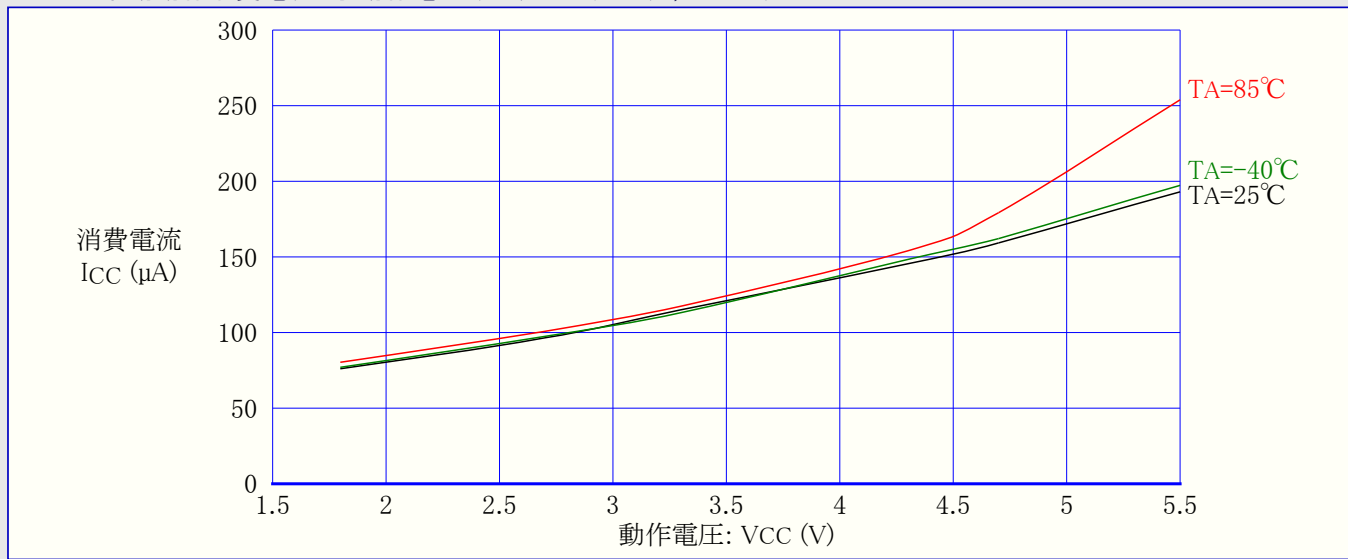


図20-5. 活動動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



20.3. アイドル動作消費電流

図20-6. アイドル動作消費電流 対 周波数 (100kHz~1MHz)

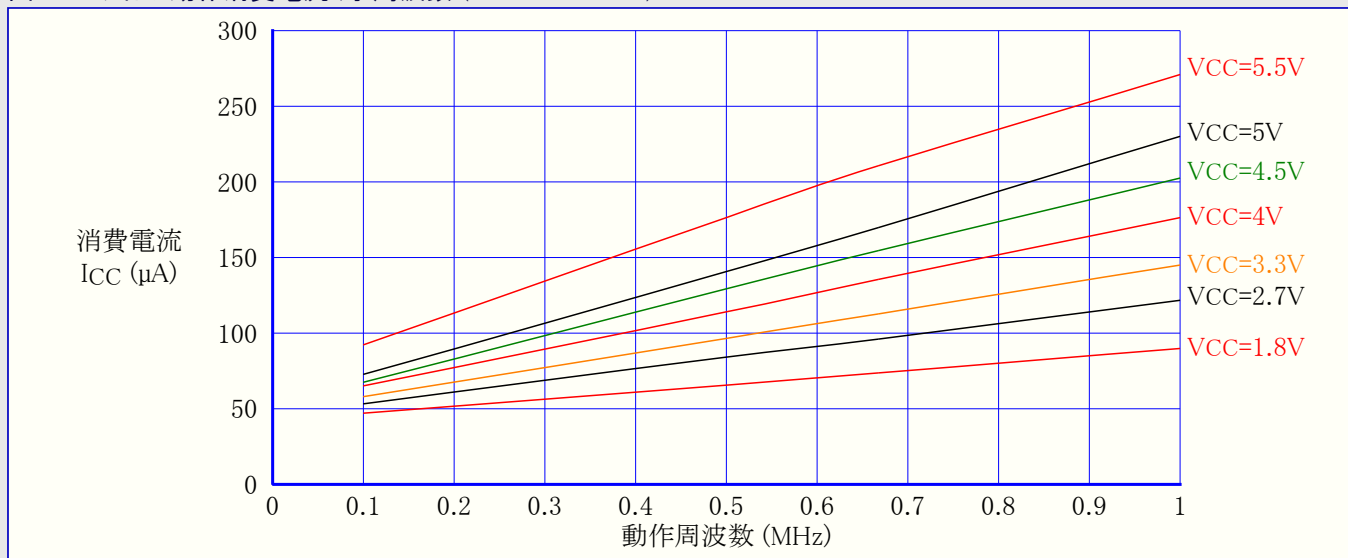


図20-7. アイドル動作消費電流 対 周波数 (1MHz~20MHz)

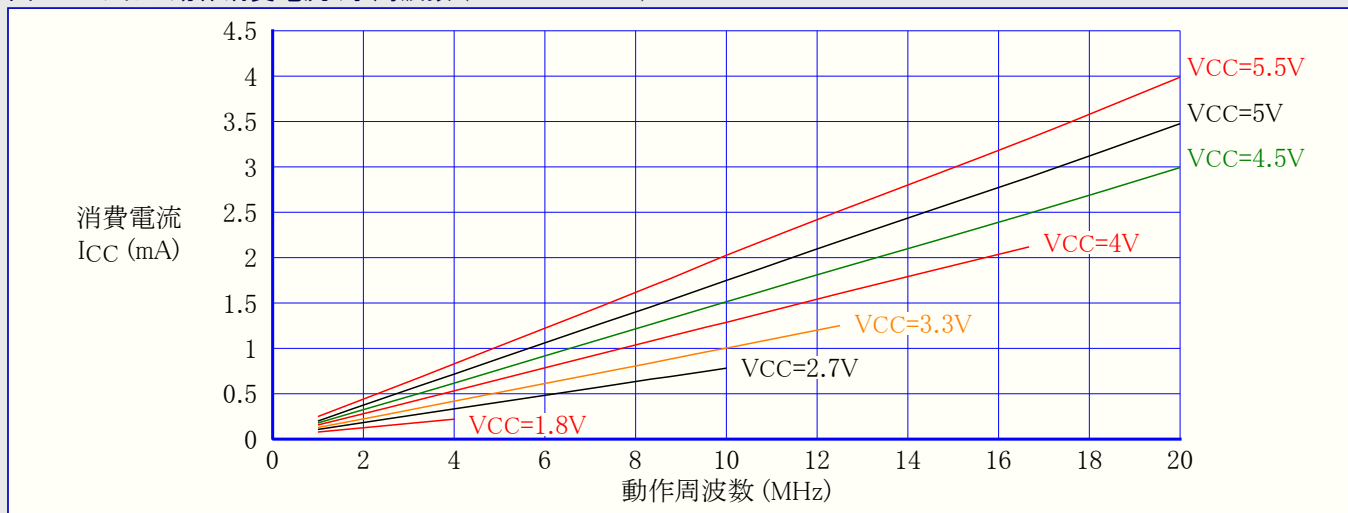


図20-8. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,8MHz)

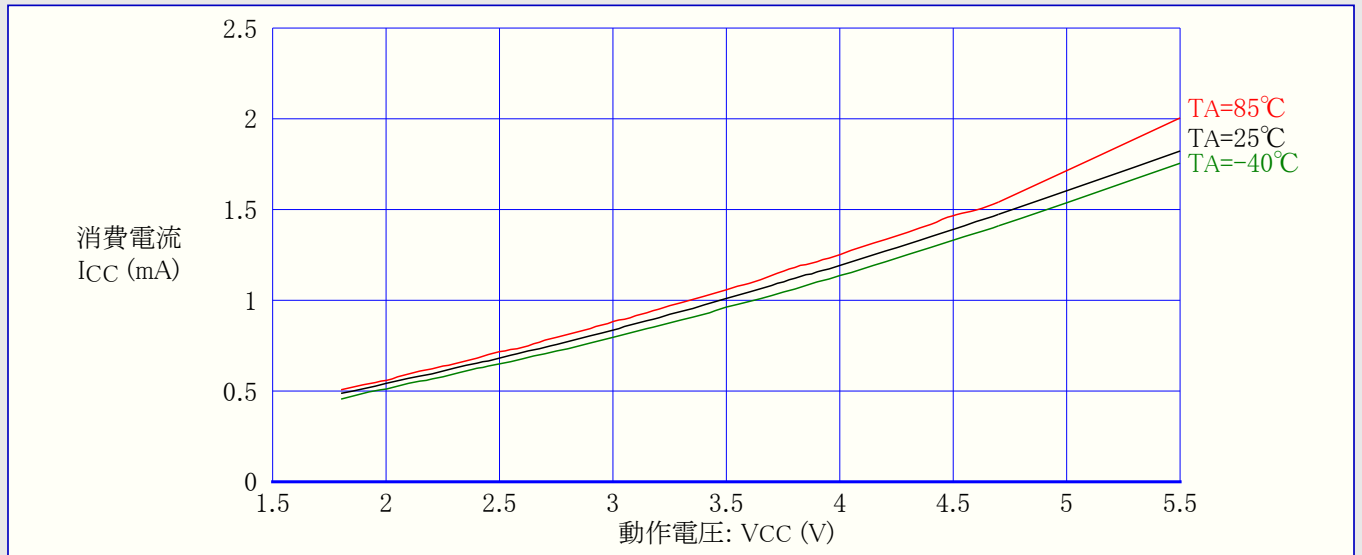


図20-9. アイドル動作消費電流 対 動作電圧 (内蔵RC発振器,CKDIV8=プログラム(0),1MHz)

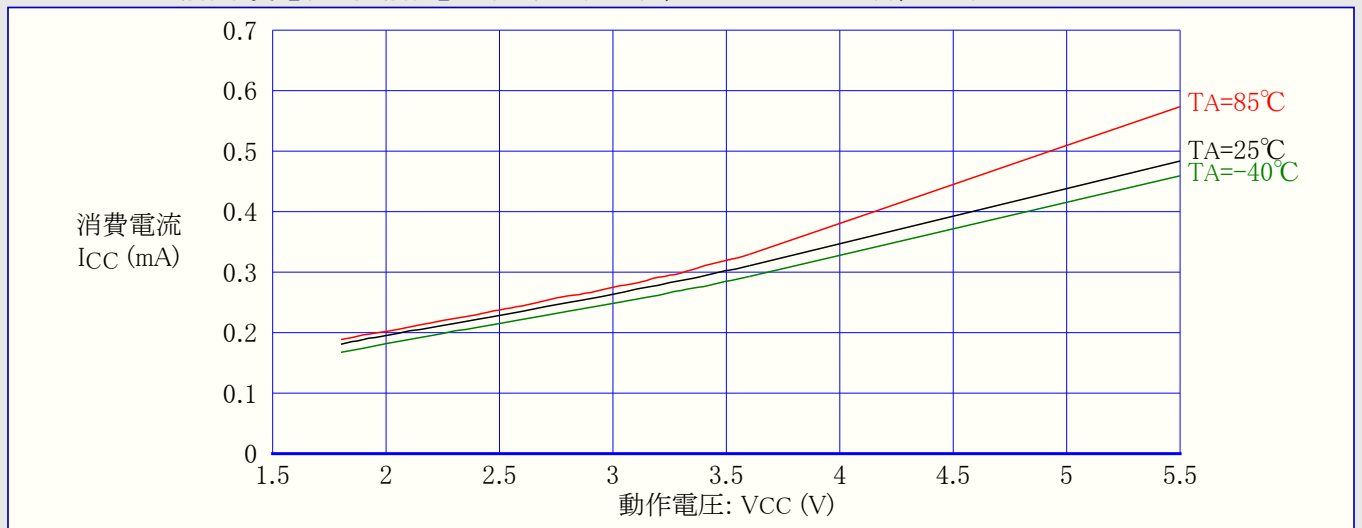
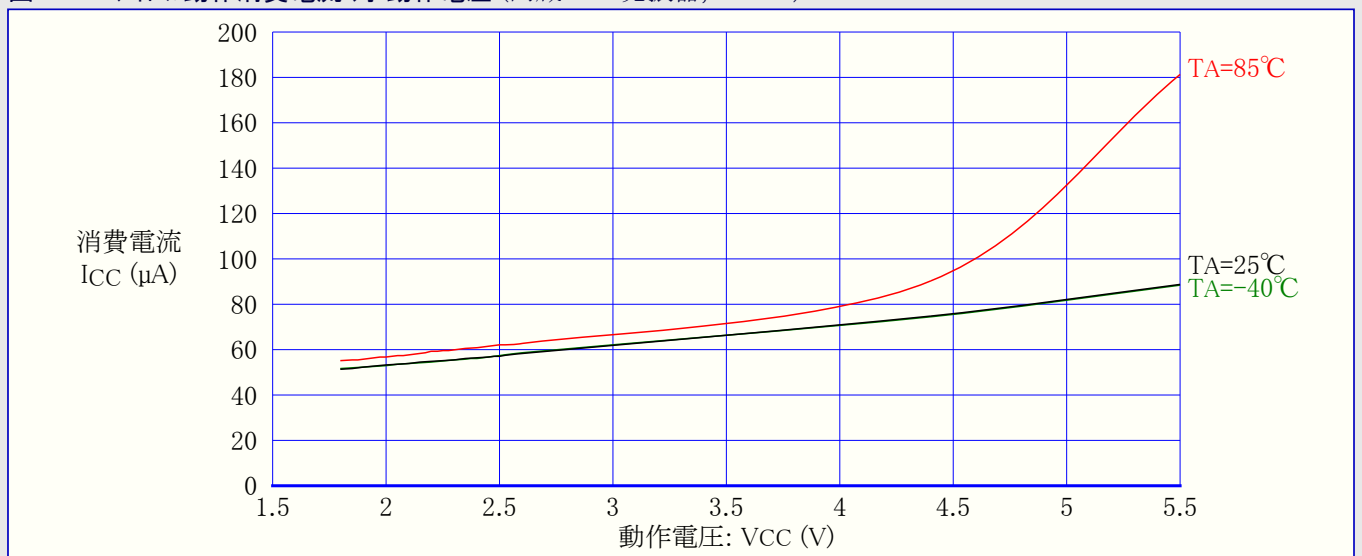


図20-10. アイドル動作消費電流 対 動作電圧 (内蔵WDT発振器,128kHz)



20.4. パワーダウン動作消費電流

図20-11. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ禁止)

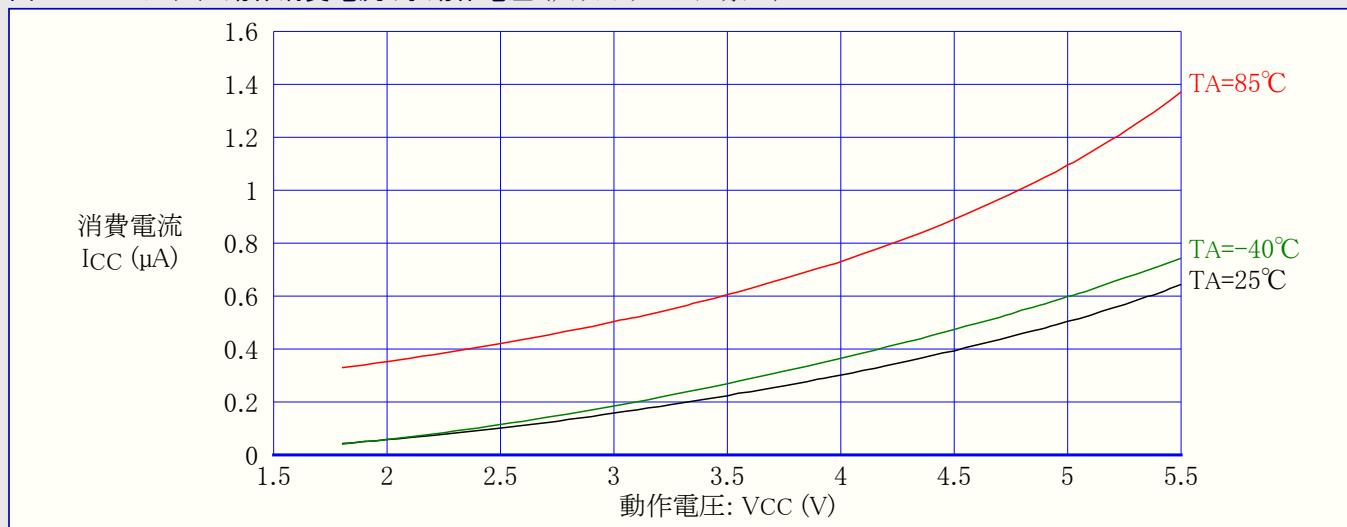
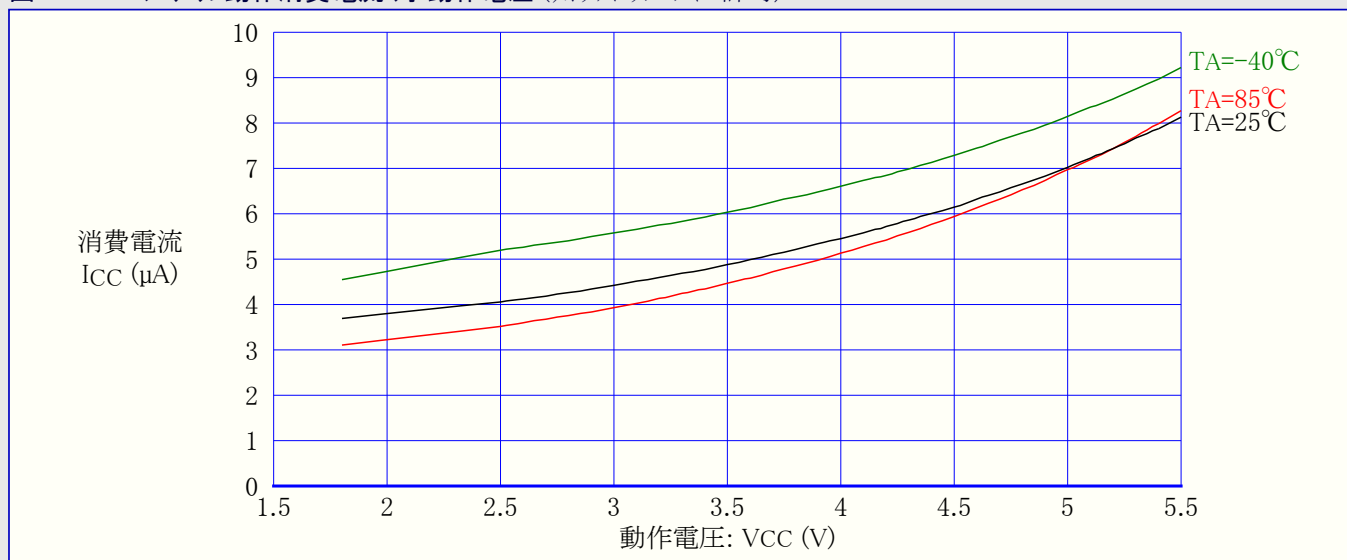


図20-12. パワーダウン動作消費電流 対 動作電圧 (ウォッチドッグ タイマ許可)



20.5. ピンプルアップ

図20-13. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

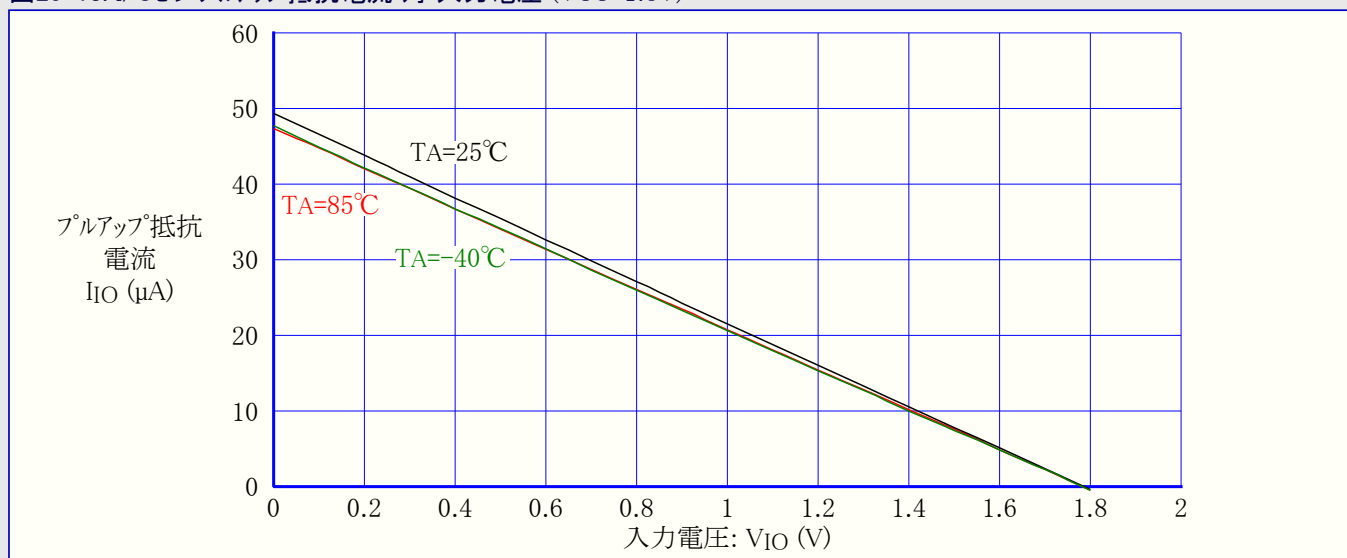


図20-14. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

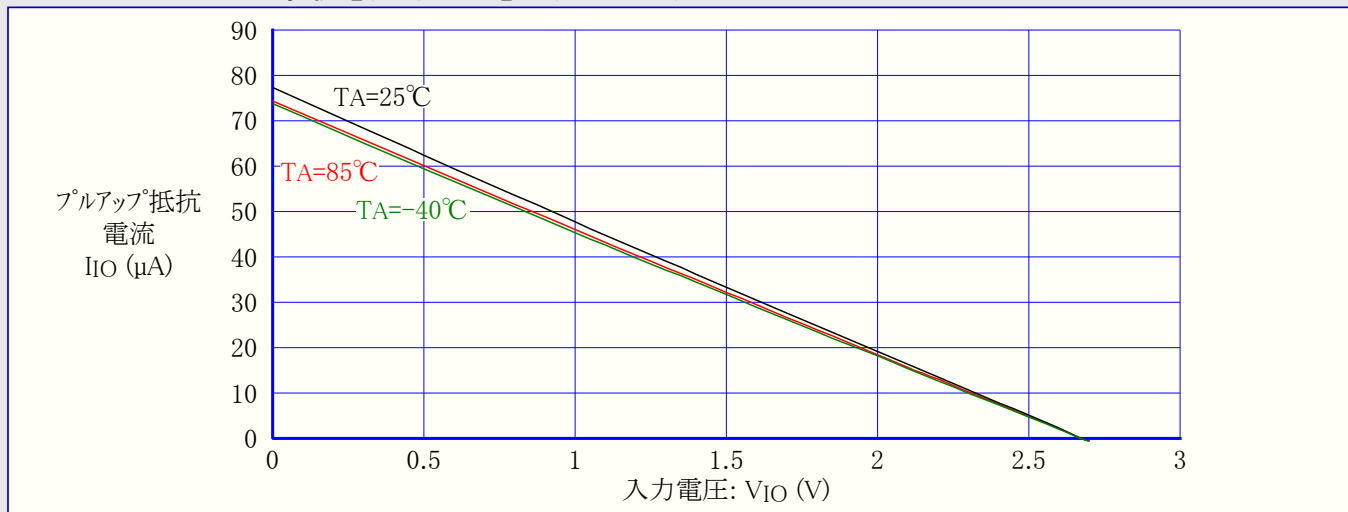


図20-15. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=5V)

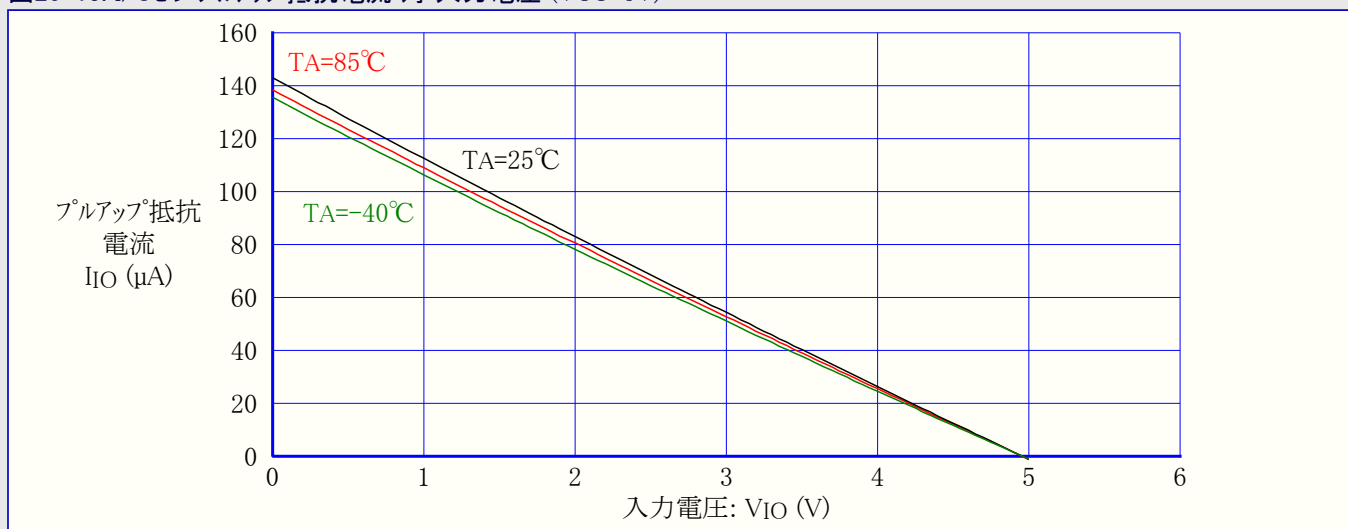


図20-16. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

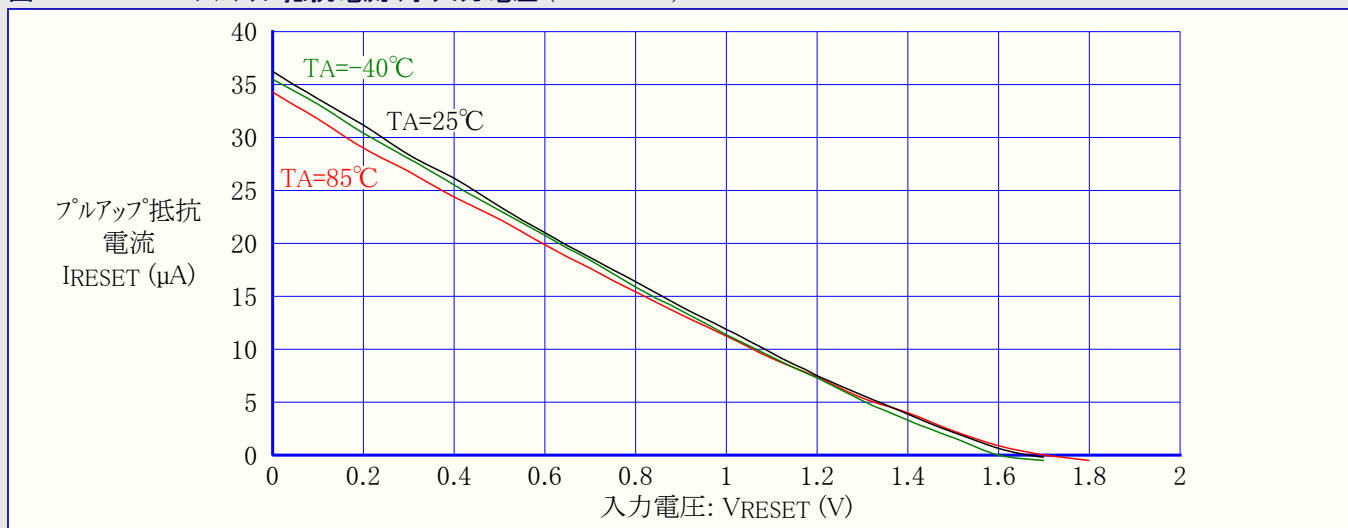


図20-17. RESETプルアップ抵抗電流 対 入力電圧 (VCC=2.7V)

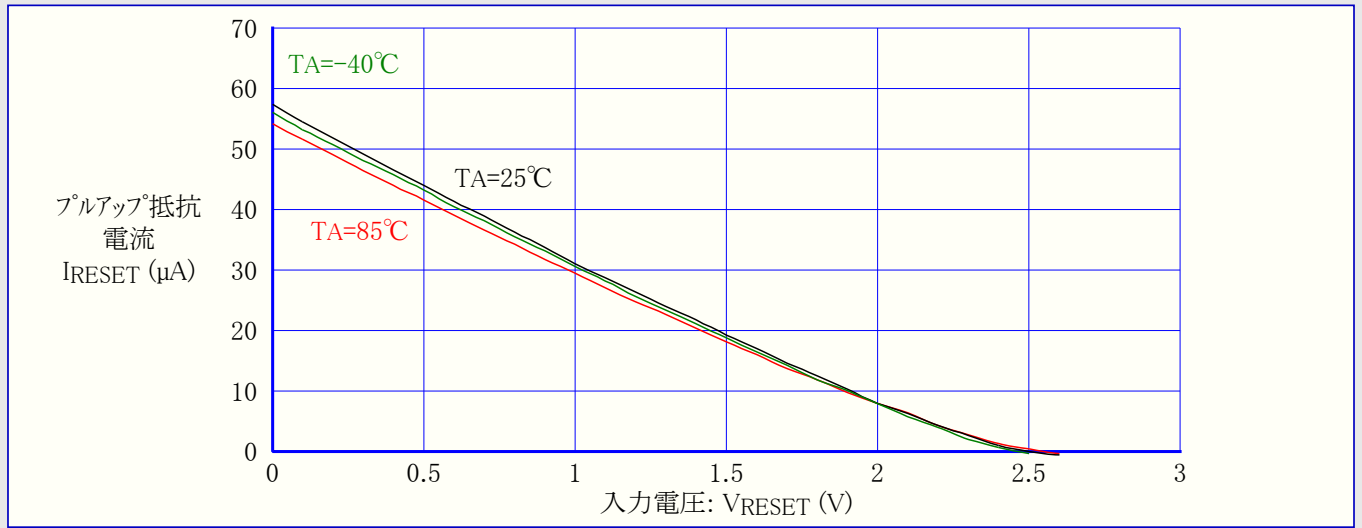
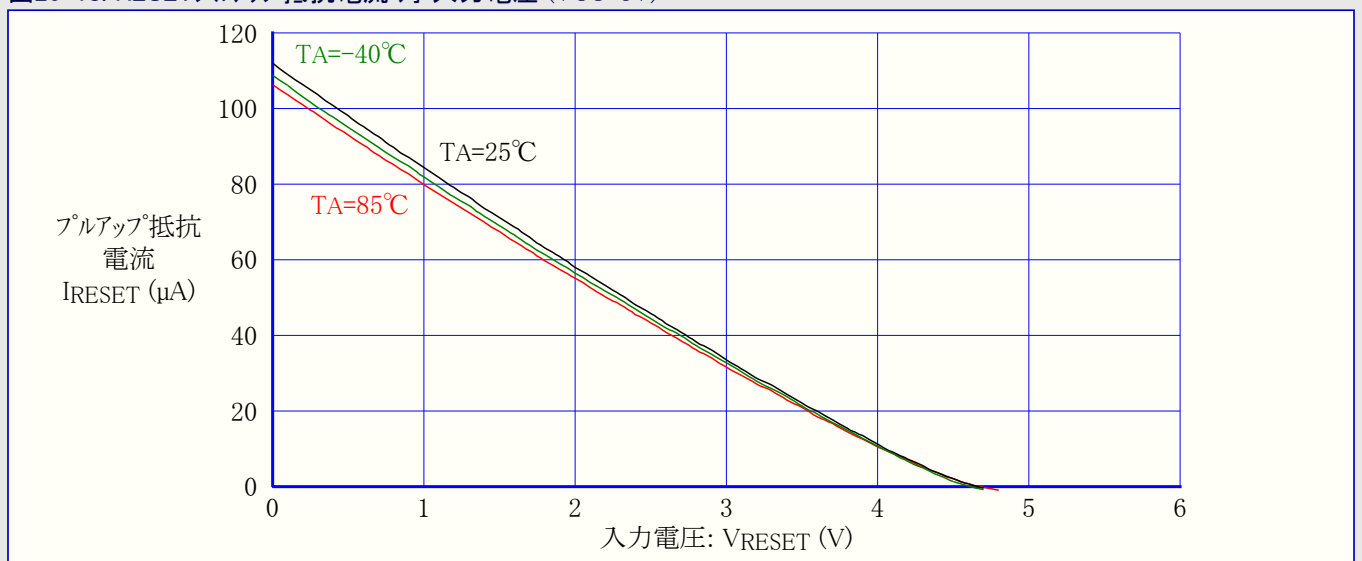


図20-18. RESETプルアップ抵抗電流 対 入力電圧 (VCC=5V)



20.6. ピン駆動能力

図20-19. I/Oピン出力電圧 対 吸い込み電流 (VCC=3V)

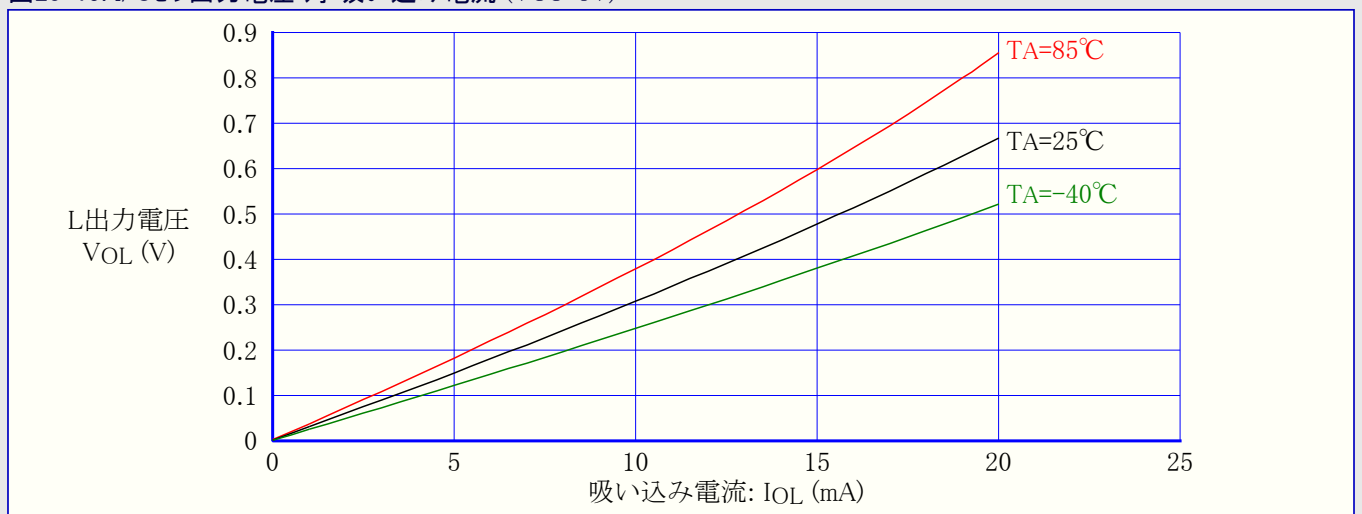


図20-20. I/Oピン出力電圧 対 吸い込み電流 (VCC=5V)

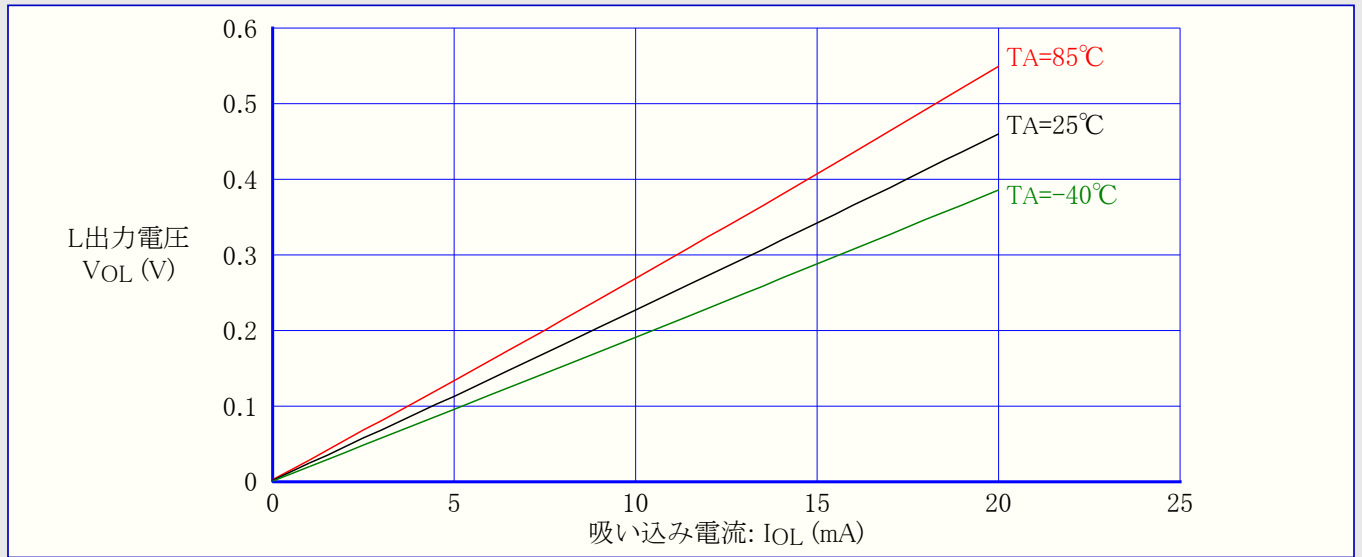


図20-21. I/Oピン出力電圧 対 吐き出し電流 (VCC=3V)

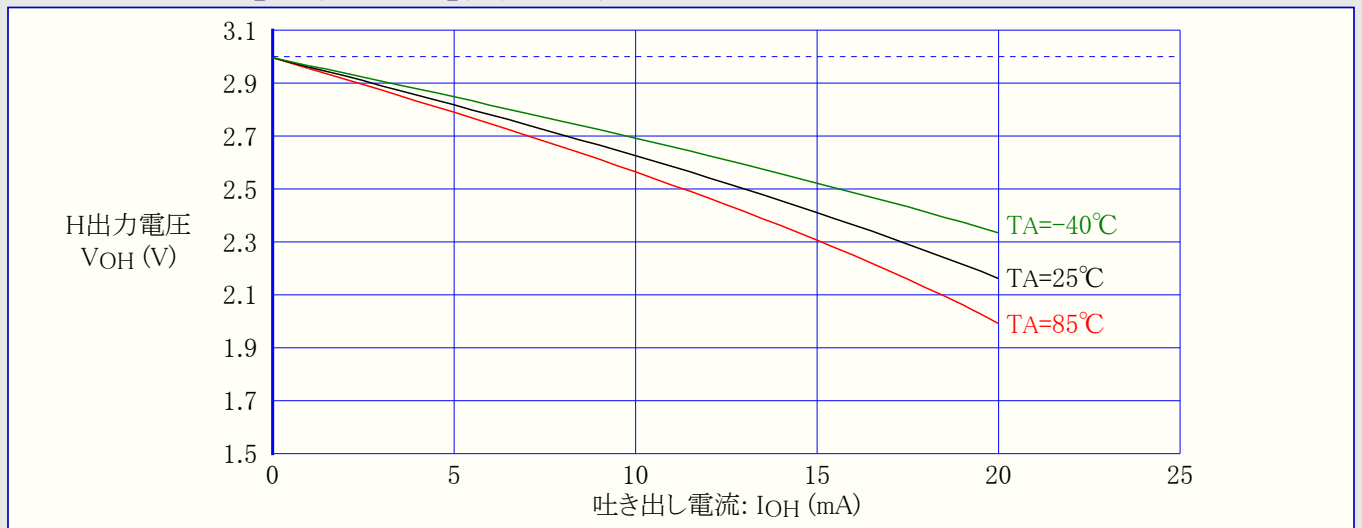


図20-22. I/Oピン出力電圧 対 吐き出し電流 (VCC=5V)

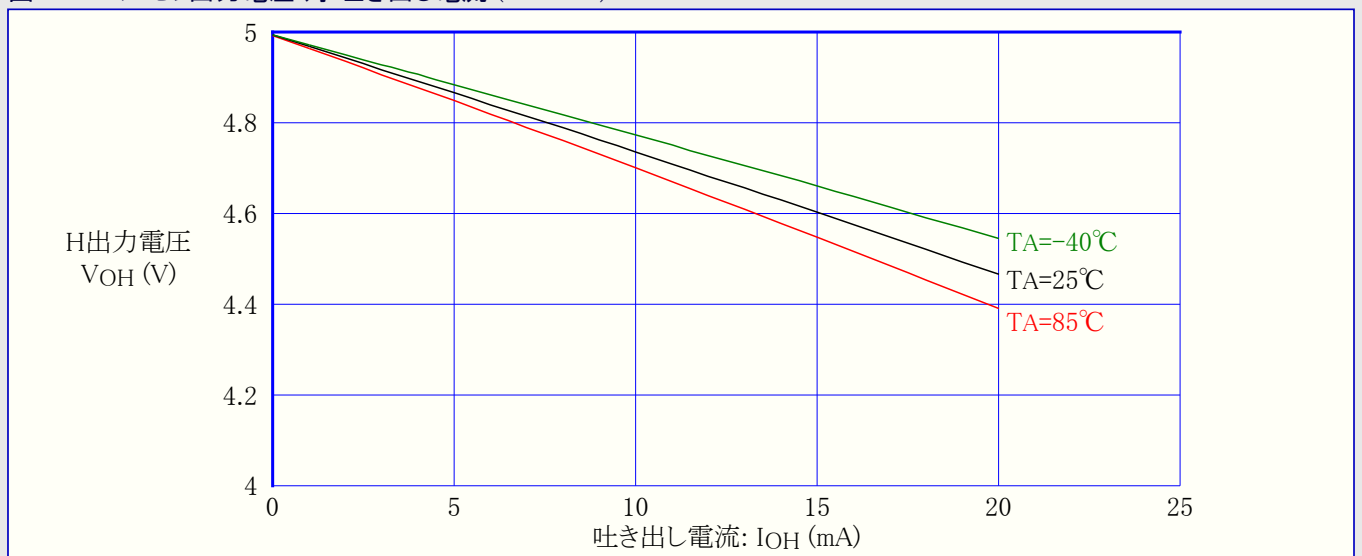


図20-23. RESETピンの出力電圧 対 吸い込み電流 (VCC=3V)

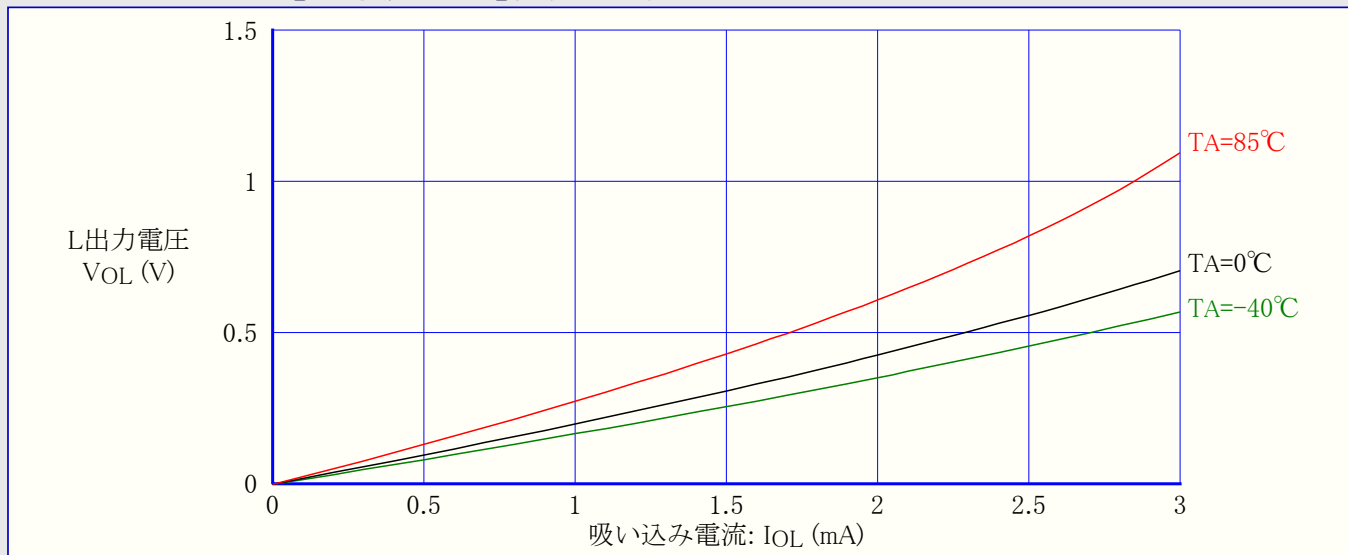


図20-24. RESETピンの出力電圧 対 吸い込み電流 (VCC=5V)

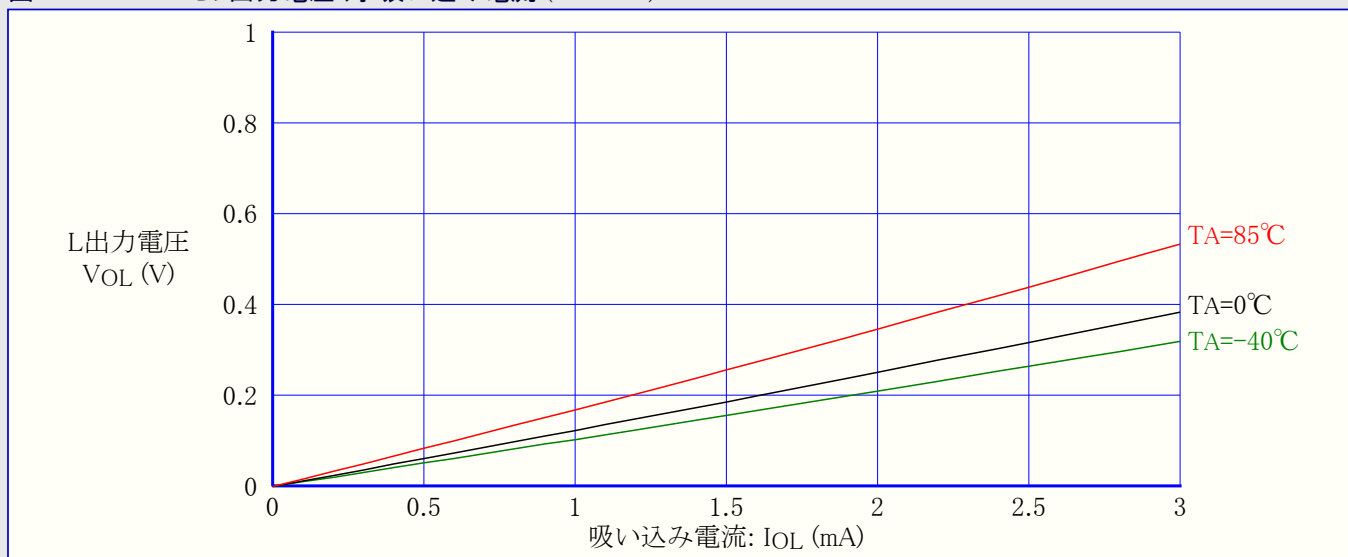


図20-25. RESETピンの出力電圧 対 吐き出し電流 (VCC=3V)

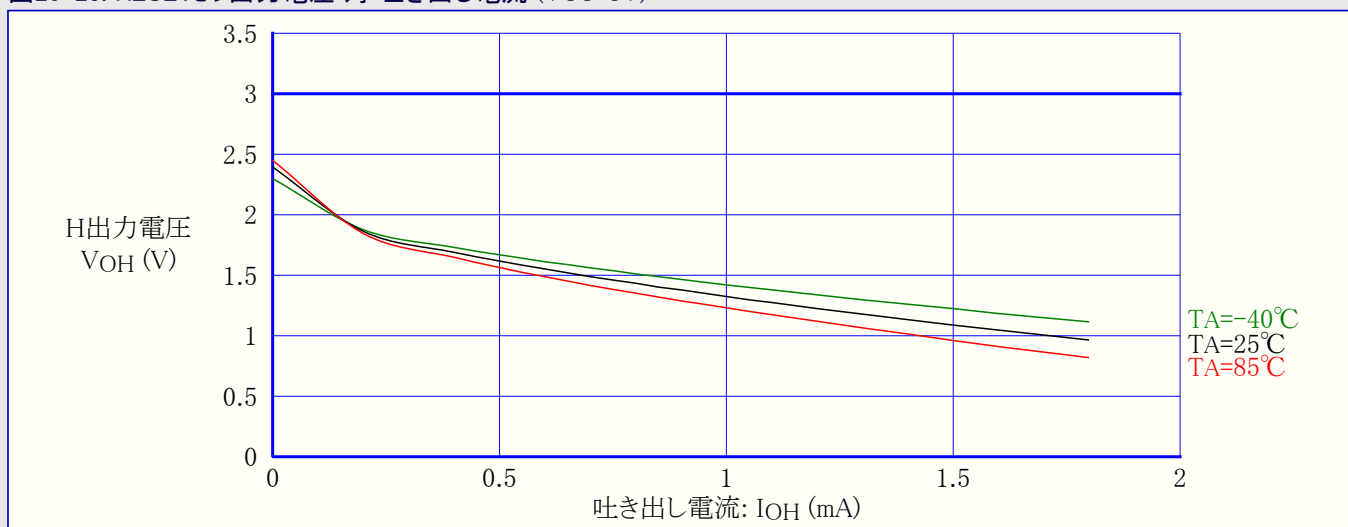
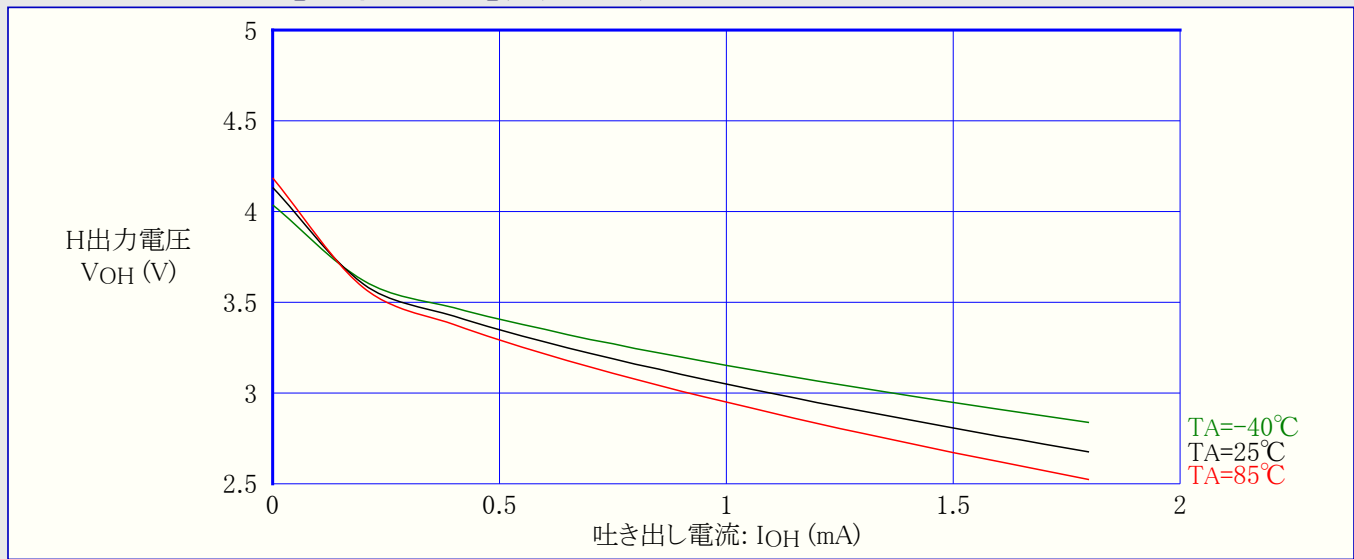


図20-26. RESETピン出力電圧 対 吐き出し電流 (VCC=5V)



20.7. ピン 閾値とヒステリシス

図20-27. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

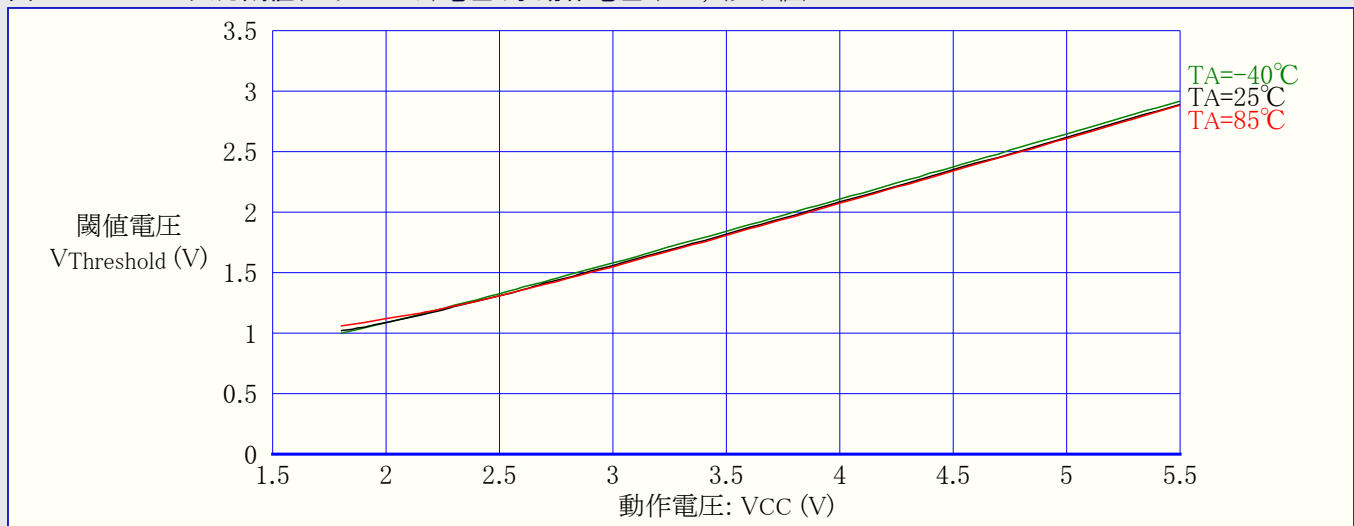


図20-28. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)

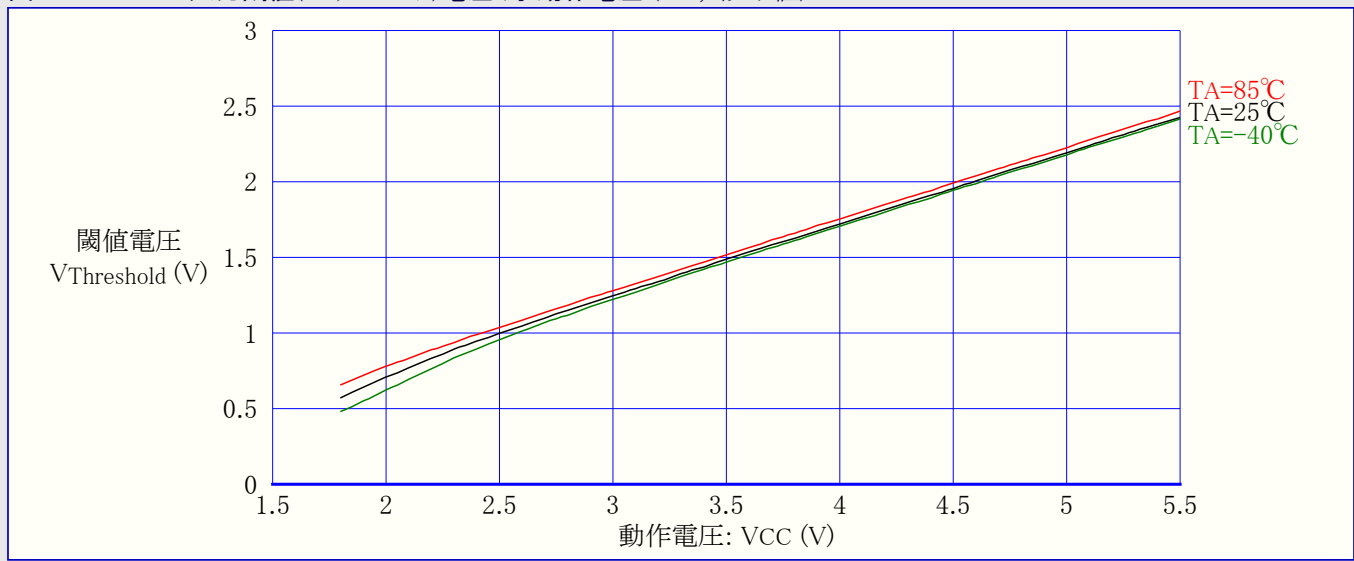


図20-29. I/Oピン入力ヒステリシス電圧 対 動作電圧

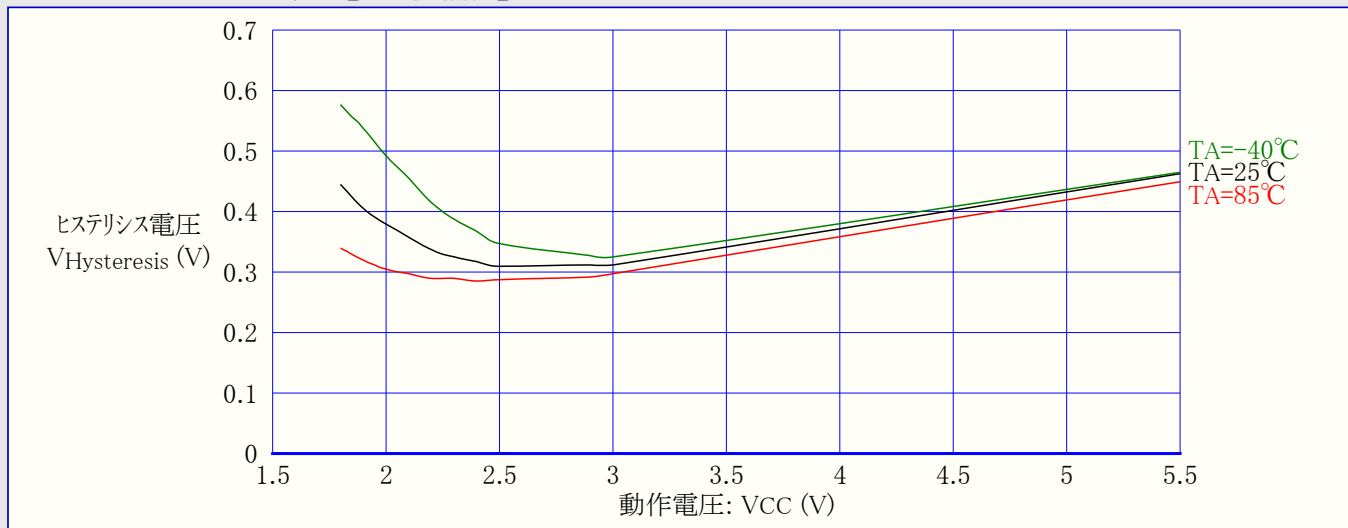


図20-30. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

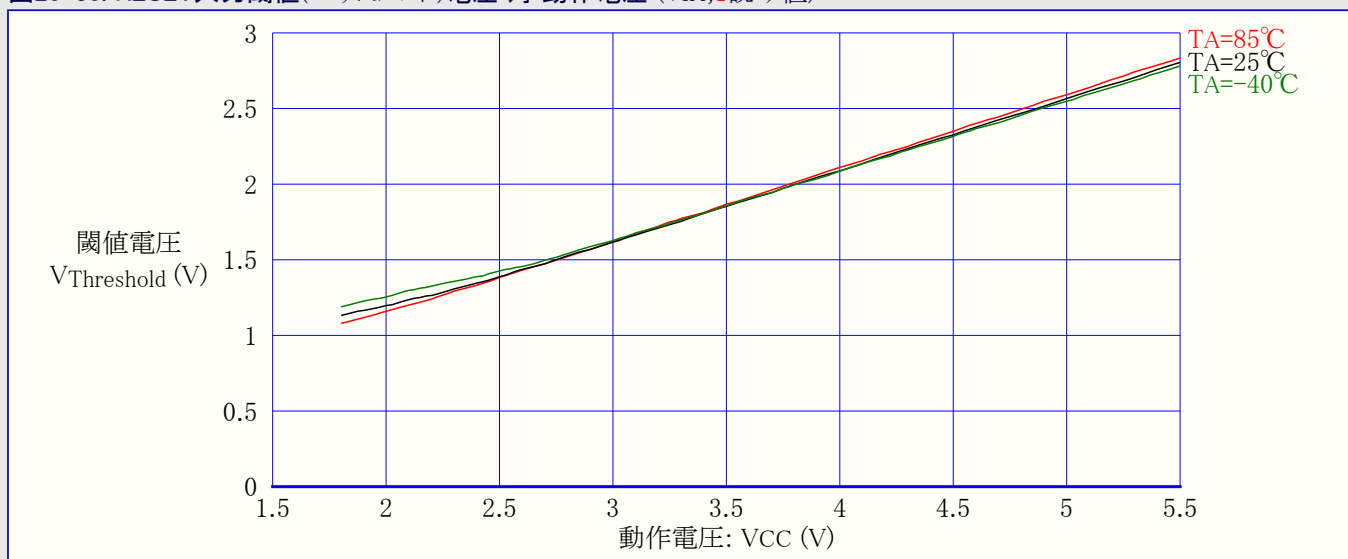


図20-31. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)

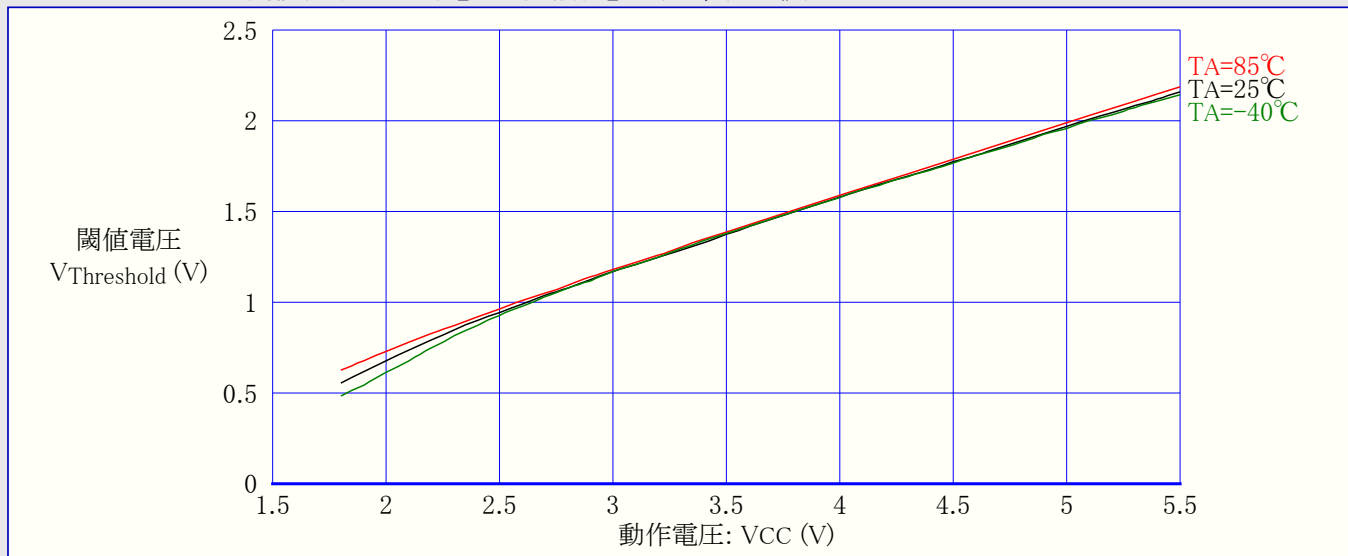
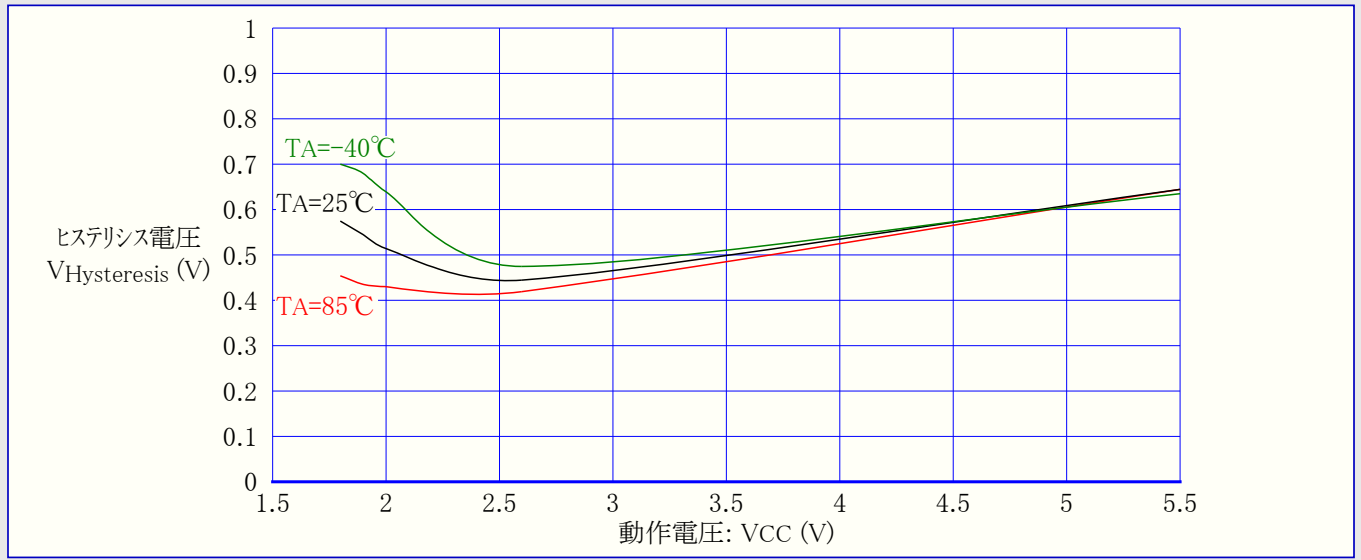


図20-32. RESET入力ヒステリシス電圧 対 動作電圧



20.8. 低電圧検出器(BOD)閾値

図20-33. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧4.3V)

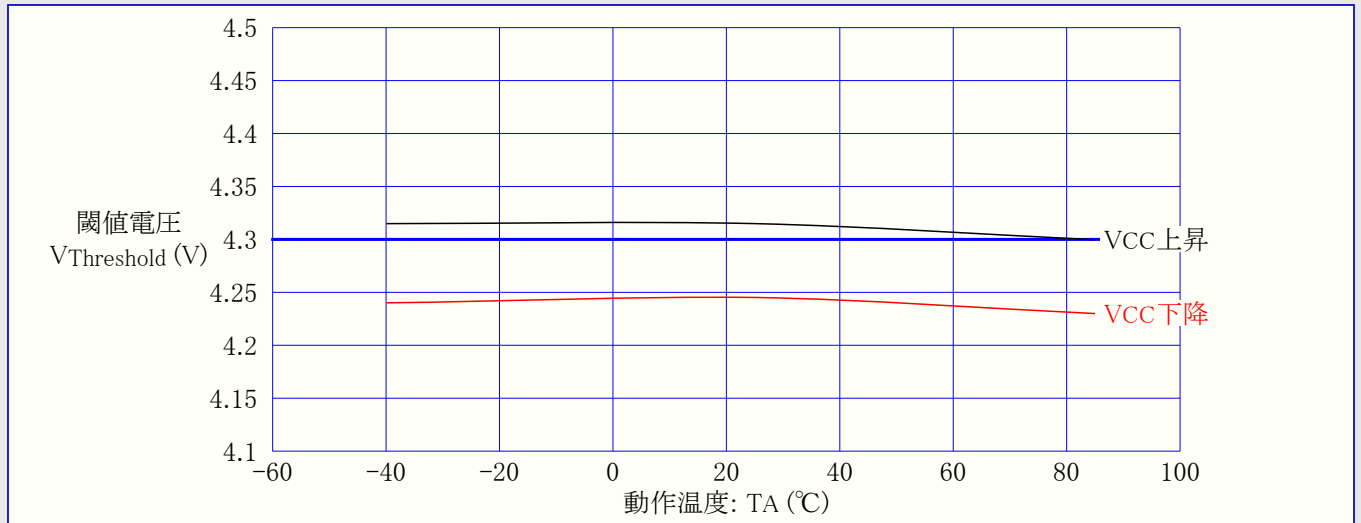


図20-34. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧2.7V)

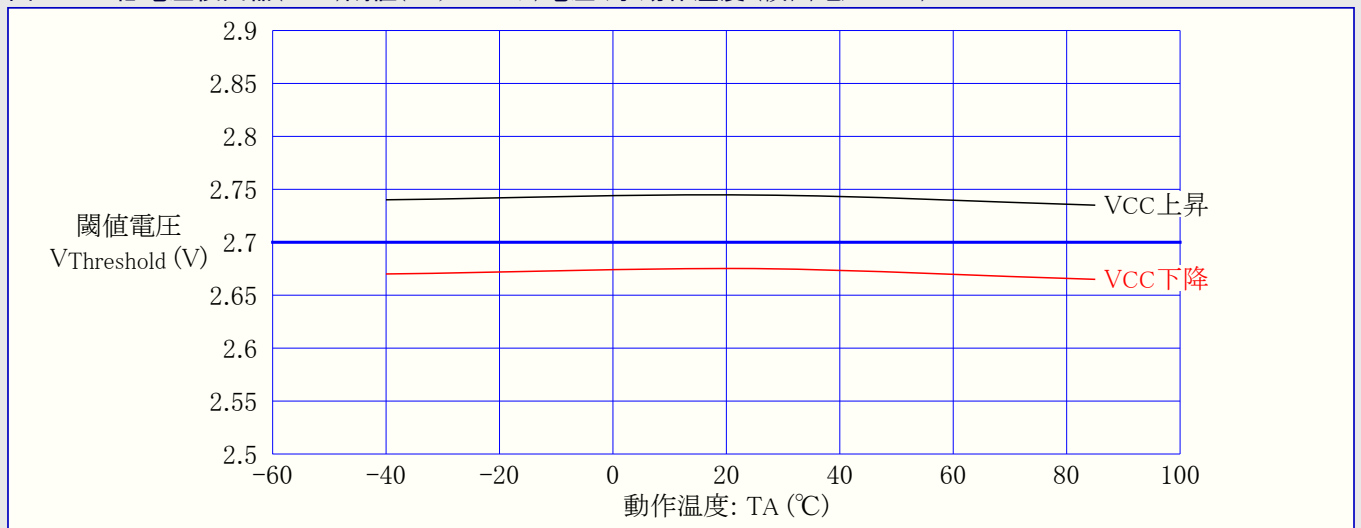


図20-35. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧1.8V)

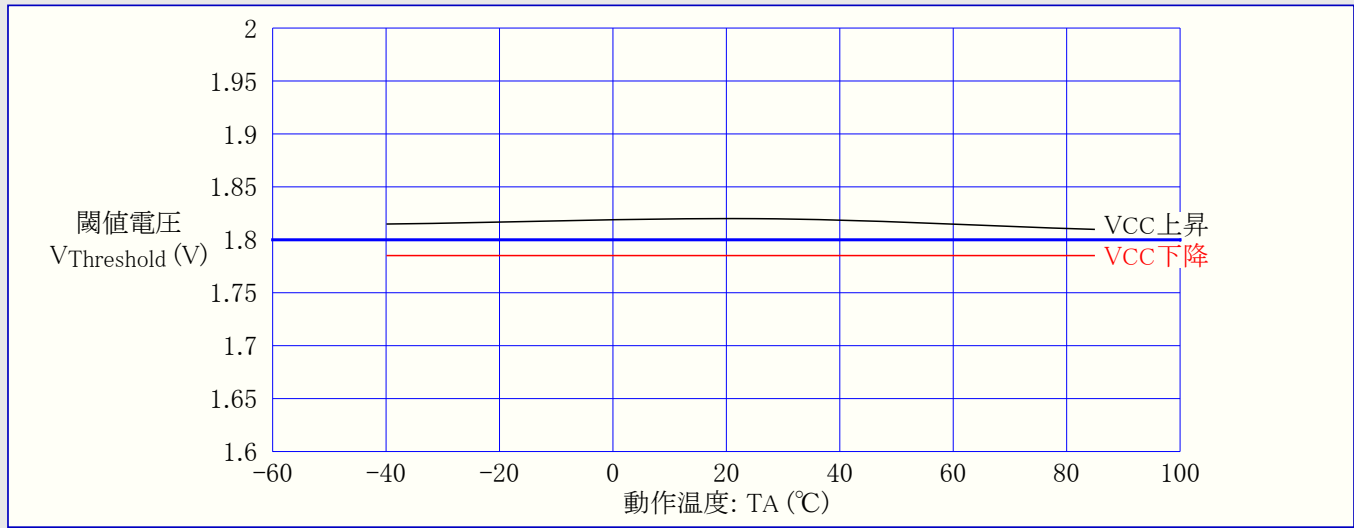
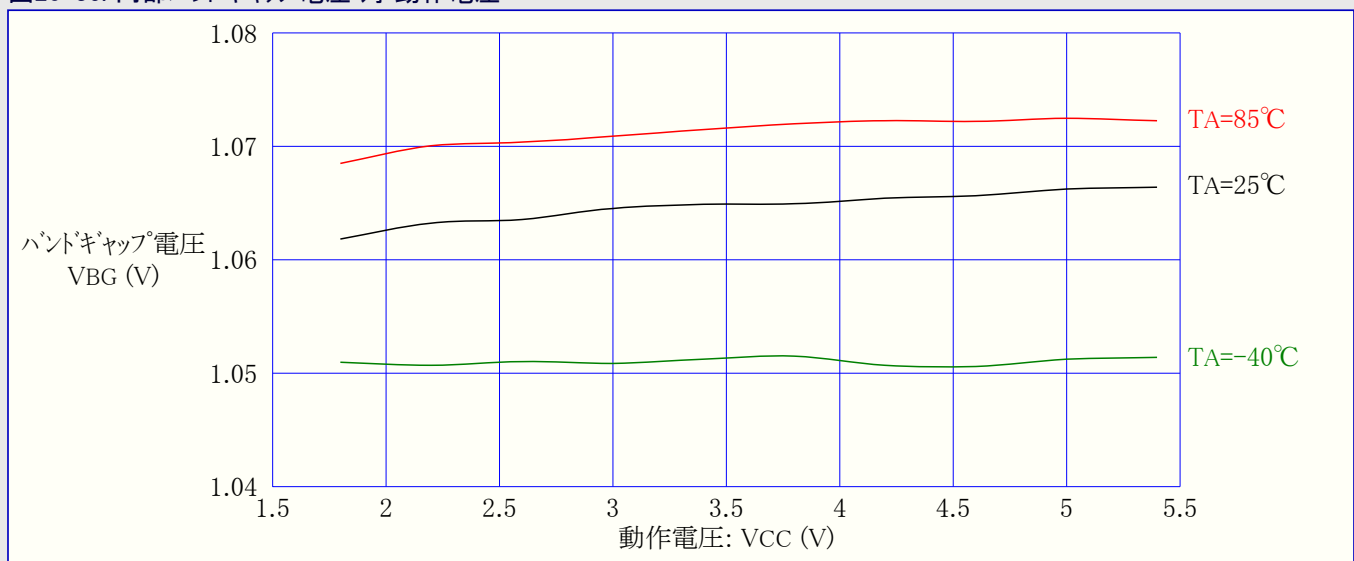


図20-36. 内部バンドギャップ電圧 対 動作電圧



20.9. 内部発振器周波数

図20-37. ウォッチドッグ発振器周波数 対 動作電圧

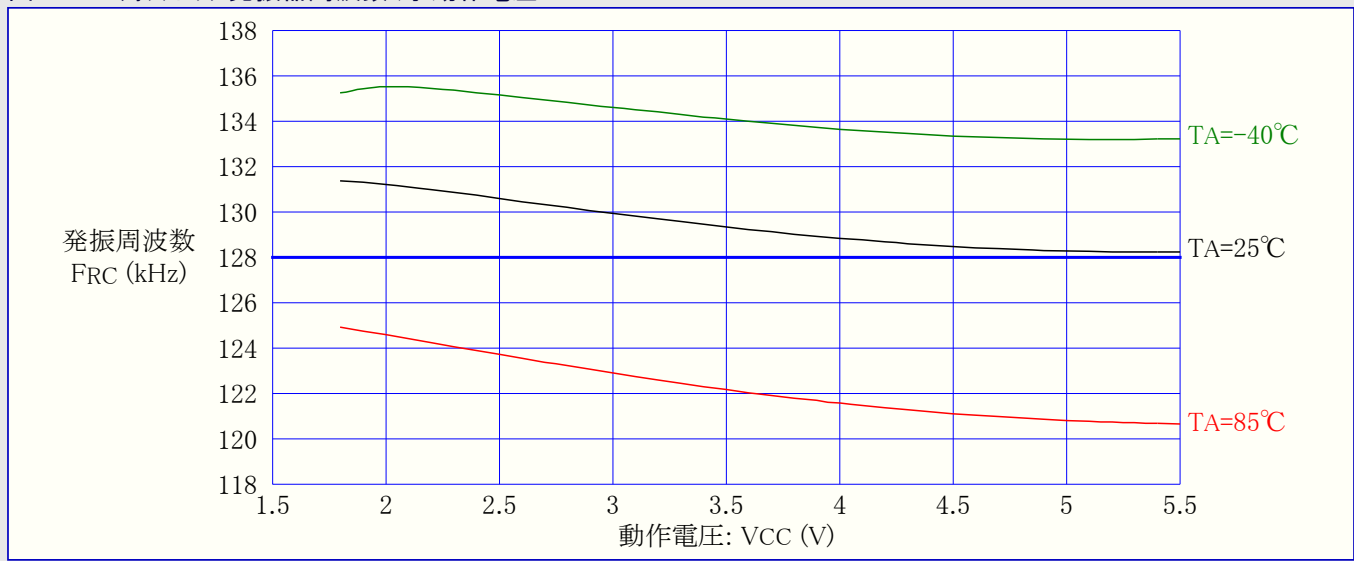


図20-38. 校正済み8MHz内蔵RC発振器周波数 対 動作電圧

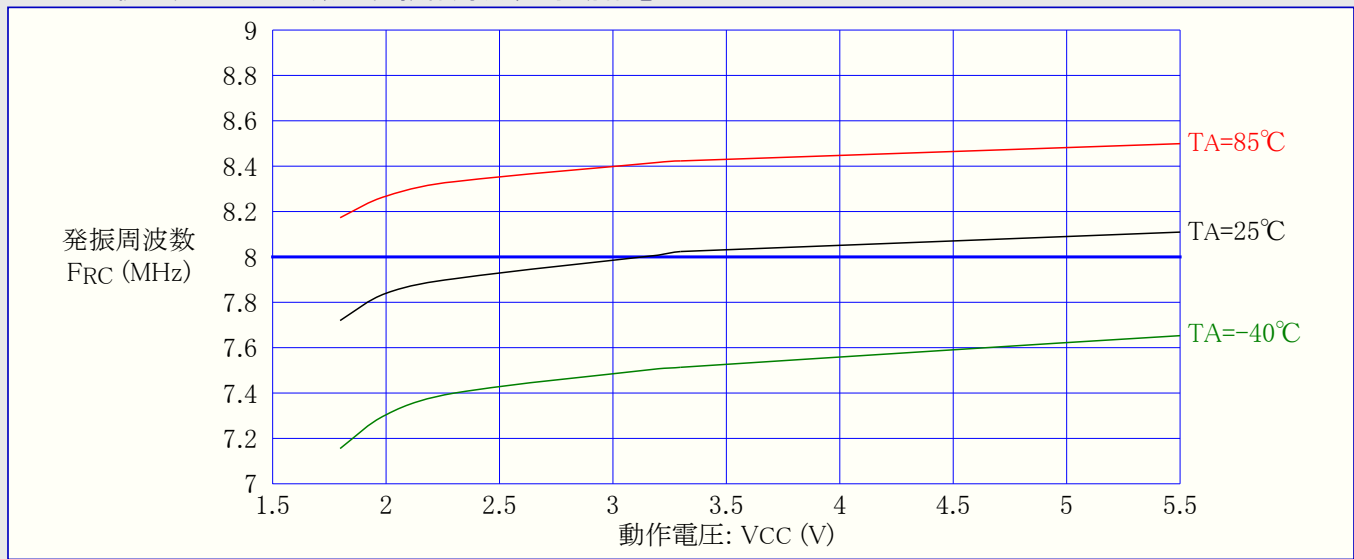


図20-39. 校正済み8MHz内蔵RC発振器周波数 対 動作温度

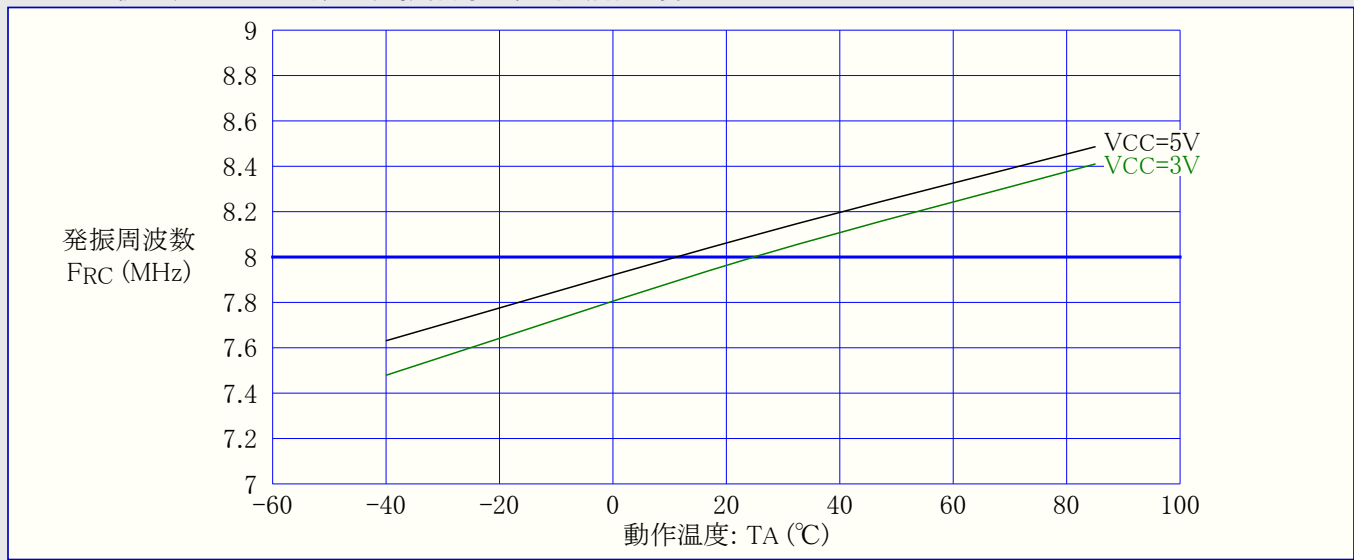
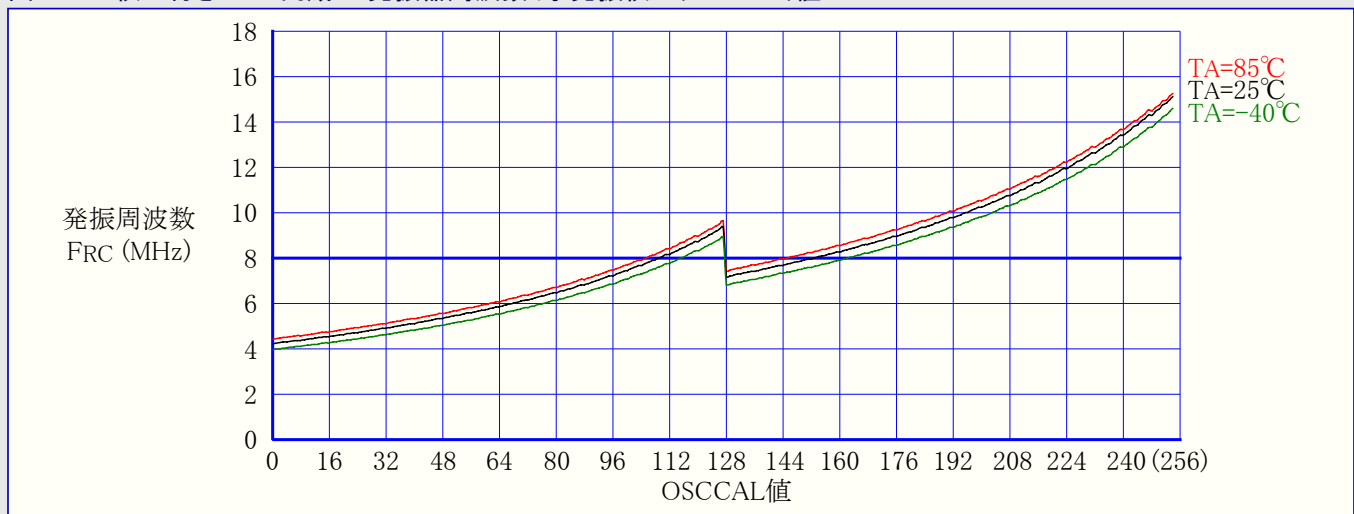


図20-40. 校正付き8MHz内蔵RC発振器周波数 対 発振校正(OSCCAL)値



20.10. 周辺機能部消費電流

図20-41. A/D変換器消費電流 対 動作電圧 (AREF=AVCC)

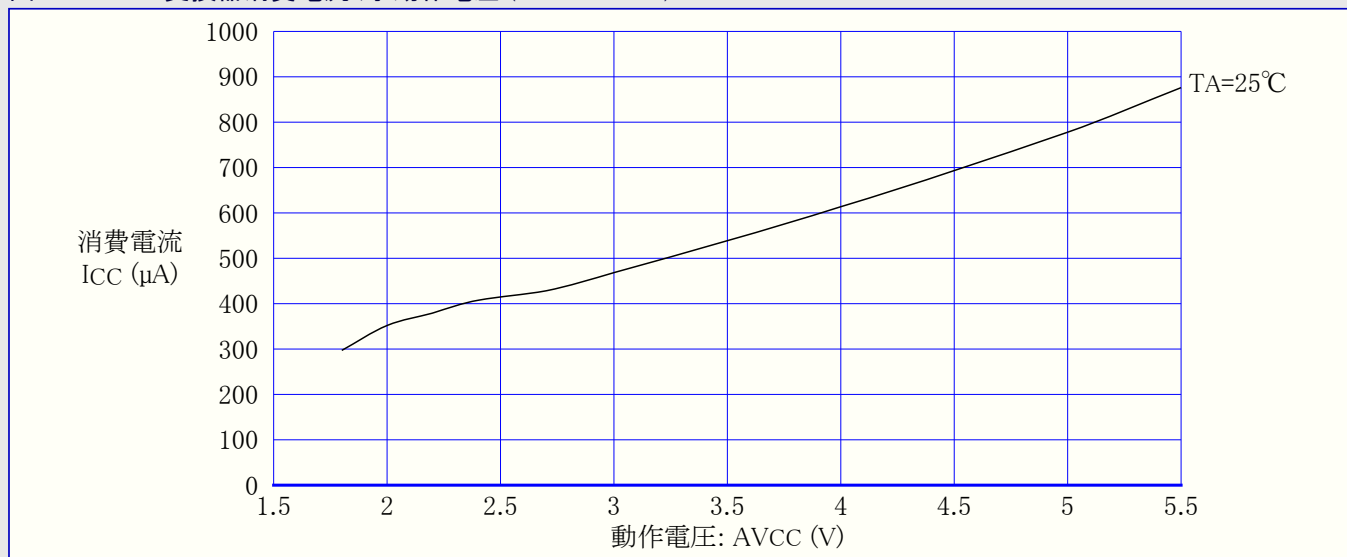


図20-42. 外部基準電圧(AREF)電流 対 動作電圧

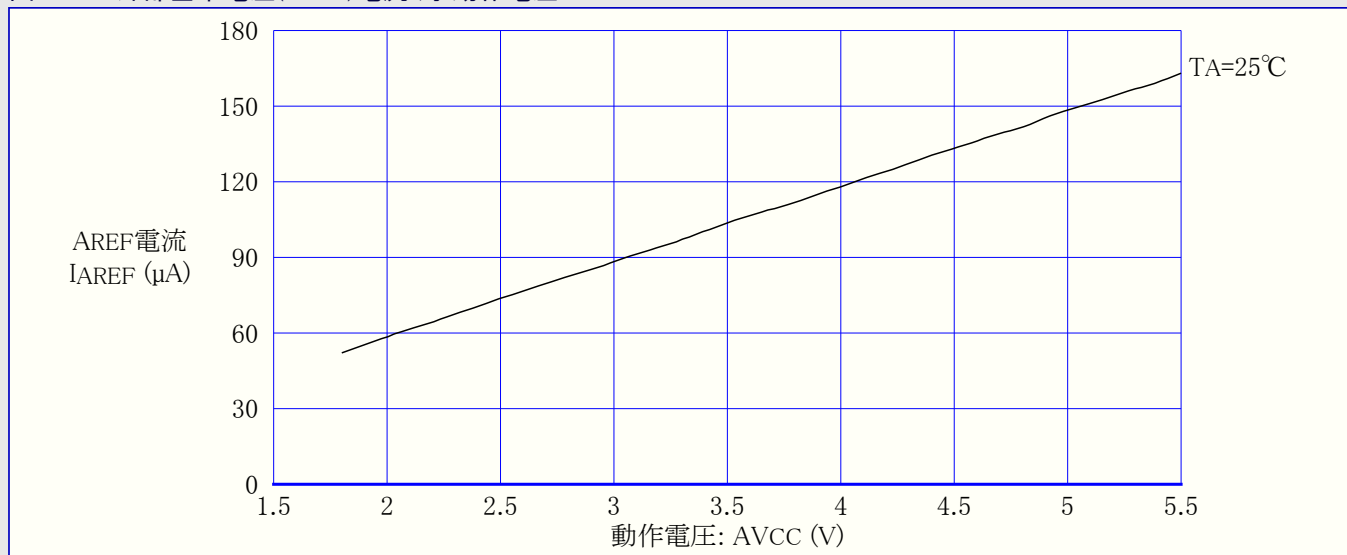


図20-43. アナログ比較器消費電流 対 動作電圧

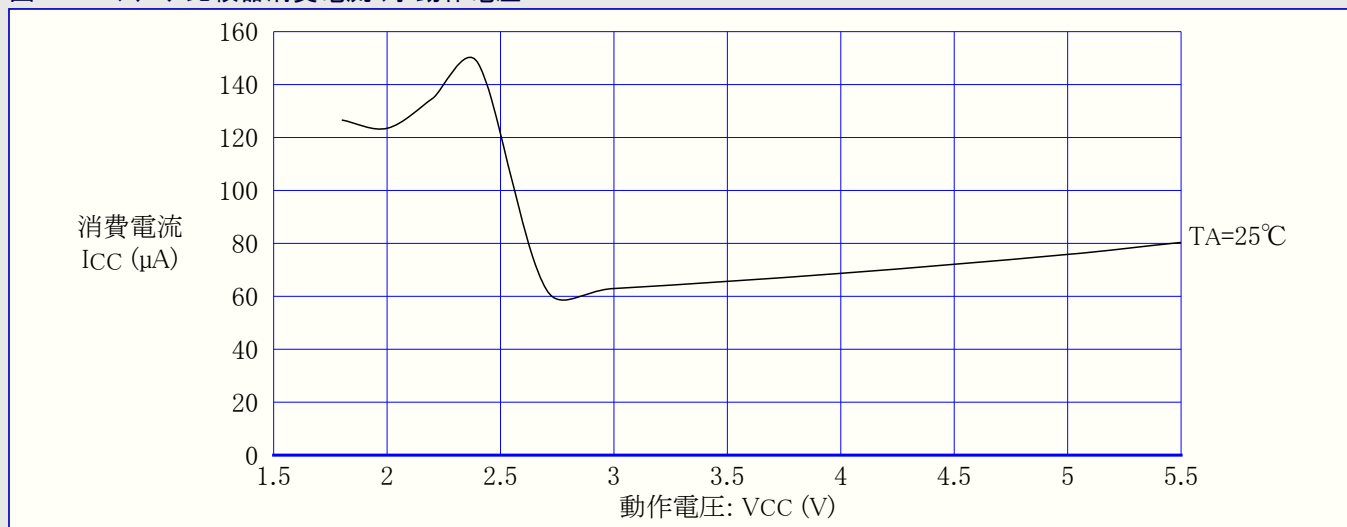


図20-44. 低電圧検出器(BOD)消費電流 対 動作電圧

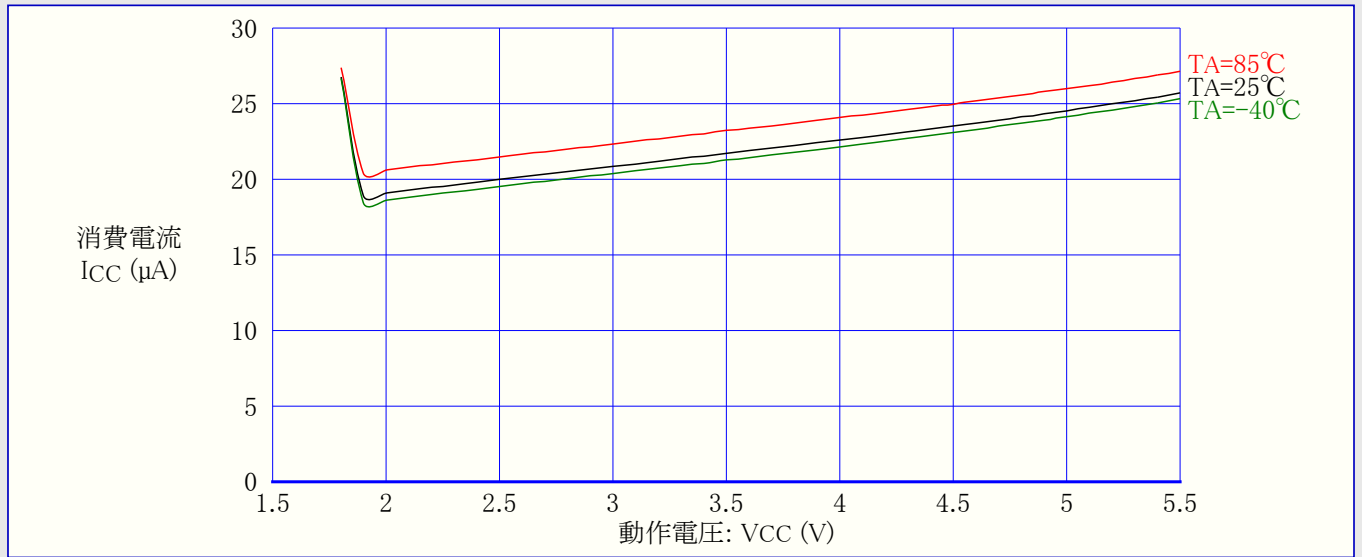


図20-45. フロタミング電流 対 動作電圧

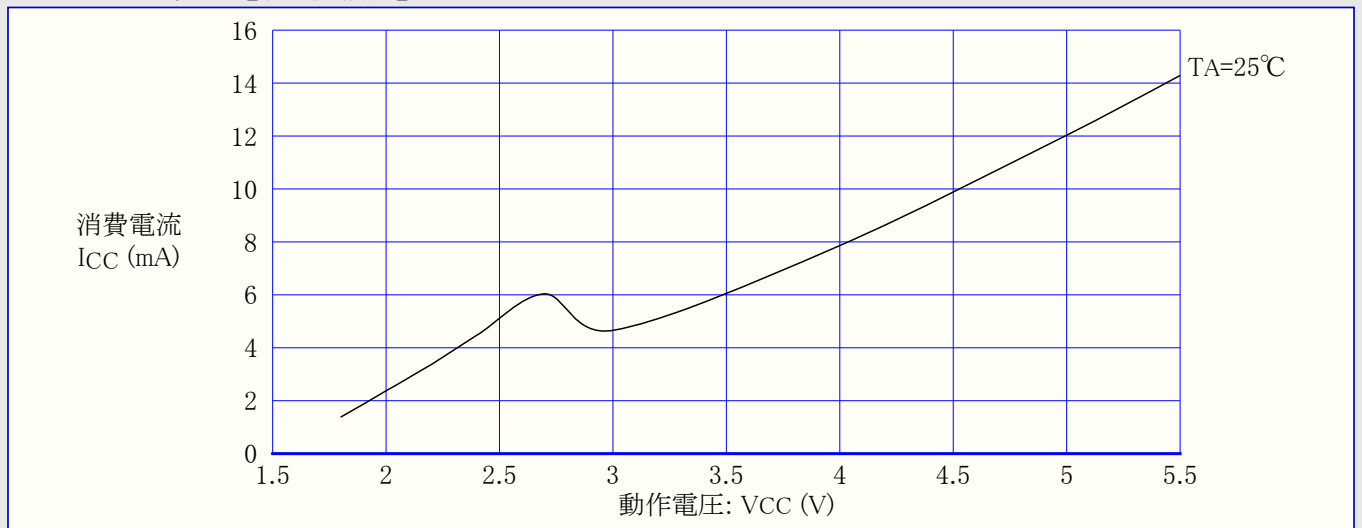
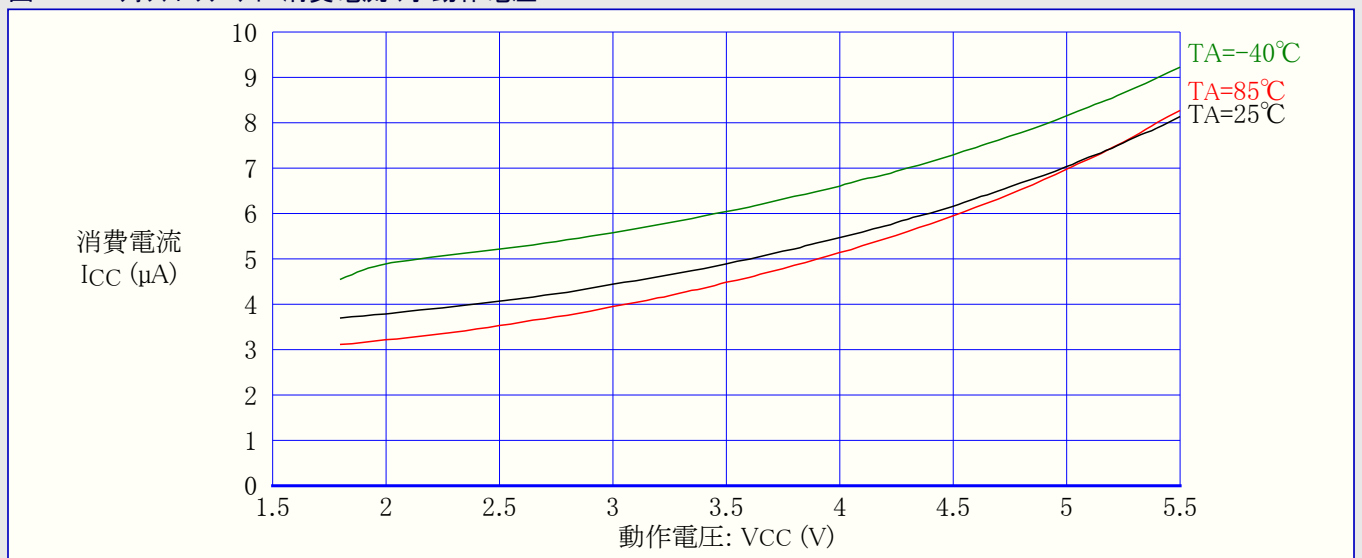


図20-46. ウォッチドッグ タイマ消費電流 対 動作電圧



20.11. リセット消費電流とリセットパルス幅

図20-47. リセット消費(供給)電流 対 周波数 (100kHz~1MHz、RESETプルアップ電流を除く)

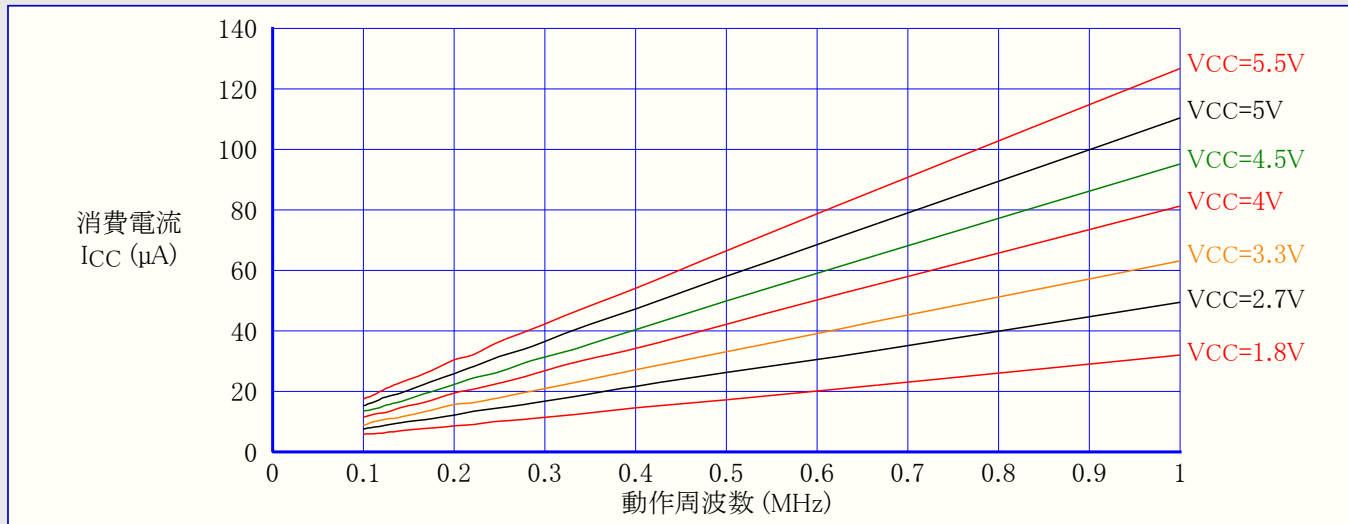


図20-48. リセット消費(供給)電流 対 周波数 (1MHz~20MHz、RESETプルアップ電流を除く)

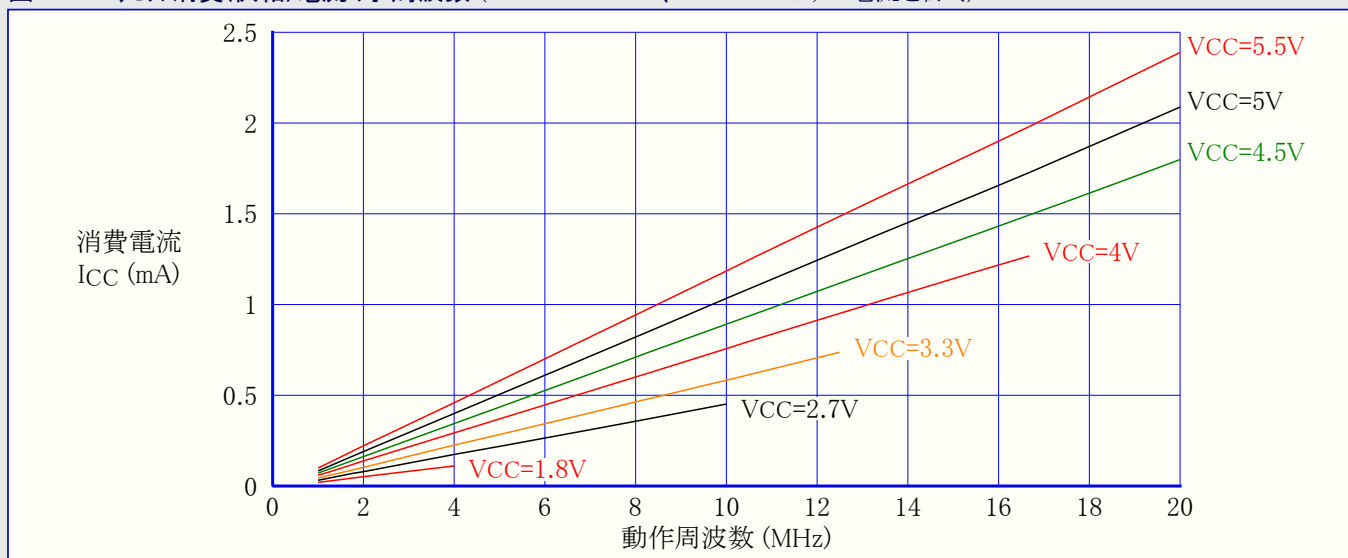
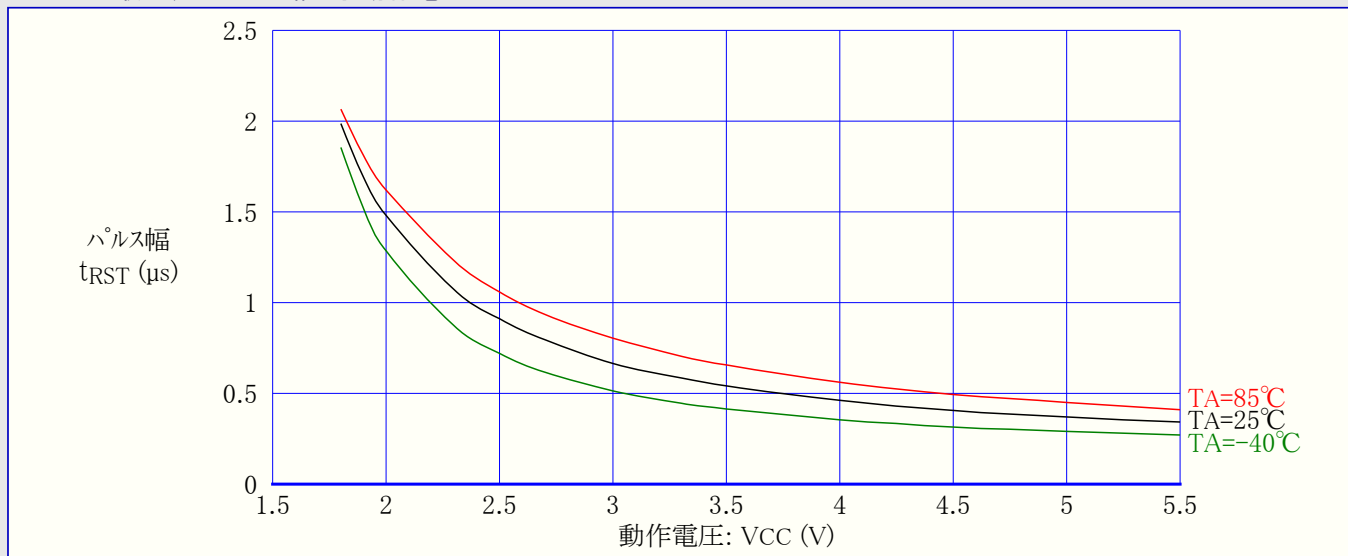


図20-49. 最小リセットパルス幅 対 動作電圧



21. レジスタ要約

アドレス	レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
\$3F (\$5F)	SREG	I	T	H	S	V	N	Z	C	7
\$3E (\$5E)	SPH	-	-	-	-	-	-	(SP9)	(SP8)	8
\$3D (\$5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	8
\$3C (\$5C)	予約									
\$3B (\$5B)	GIMSK	INT1	INT0	PCIE1	PCIE0	-	-	-	-	32
\$3A (\$5A)	GIFR	INTF1	INTF0	PCIF	-	-	-	-	-	32
\$39 (\$59)	TIMSK	OCIE1D	OCIE1A	OCIE1B	OCIE0A	OCIE0B	TOIE1	TOIE0	TICIE0	78,54
\$38 (\$58)	TIFR	OCF1D	OCF1A	OCF1B	OCF0A	OCF0B	TOV1	TOV0	ICF0	78,54
\$37 (\$57)	SPMCSR	-	-	-	CTPB	RFLB	PGWRT	PGERS	SPMEN	105
\$36 (\$56)	PRR	-	-	-	-	PRTIM1	PRTIM0	PRUSI	PRADC	24
\$35 (\$55)	MCUCR	-	PUD	SE	SM1	SM0	-	ISC01	ISC00	43,24,31
\$34 (\$54)	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF	28
\$33 (\$53)	TCCR0B	-	-	-	TSM	PSR0	CS02	CS01	CS00	52
\$32 (\$52)	TCNT0L	タイマ/カウンタ0 (下位バイト)								53
\$31 (\$51)	OSCCAL	内蔵RC発振器 発振校正値レジスタ								20
\$30 (\$50)	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	PWM1A	PWM1B	71
\$2F (\$4F)	TCCR1B	PWM1X	PSR1	DTPS11	DTPS10	CS13	CS12	CS11	CS10	73
\$2E (\$4E)	TCNT1	タイマ/カウンタ1 (下位バイト)								76
\$2D (\$4D)	OCR1A	タイマ/カウンタ1 比較Aレジスタ								77
\$2C (\$4C)	OCR1B	タイマ/カウンタ1 比較Bレジスタ								77
\$2B (\$4B)	OCR1C	タイマ/カウンタ1 比較Cレジスタ								77
\$2A (\$4A)	OCR1D	タイマ/カウンタ1 比較Dレジスタ								77
\$29 (\$49)	PLLCSR	LSM	-	-	-	-	PCKE	PLLE	PLOCK	76
\$28 (\$48)	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0	21
\$27 (\$47)	TCCR1C	COM1A1S	COM1A0S	COM1B1S	COM1B0S	COM1D1	COM1D0	FOC1D	PWM1D	73
\$26 (\$46)	TCCR1D	FP1E1	FPEN1	FPNC1	FPES1	FPAC1	FPF1	WGM11	WGM10	74
\$25 (\$45)	TC1H	-	-	-	-	-	-	TC19	TC18	76
\$24 (\$44)	DT1	DT1H3	DT1H2	DT1H1	DT1H0	DT1L3	DT1L2	DT1L1	DT1L0	79
\$23 (\$43)	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	33
\$22 (\$42)	PCMSK1	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	33
\$21 (\$41)	WDTCR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0	29
\$20 (\$40)	DWDR	デバッグWIRE データレジスタ								101
\$1F (\$3F)	EEARH	-	-	-	-	-	-	-	(EEAR8)	14
\$1E (\$3E)	EEARL	(EEAR7)	EEPROMアドレスレジスタ (EEAR6~0)							
\$1D (\$3D)	EEDR	EEPROMデータレジスタ								14
\$1C (\$3C)	EECR	-	-	EEM1	EEM0	EERIE	EEMPE	EEPE	EEERE	14
\$1B (\$3B)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	43
\$1A (\$3A)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0	43
\$19 (\$39)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0	43
\$18 (\$38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	43
\$17 (\$37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	43
\$16 (\$36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	43
\$15 (\$35)	TCCR0A	TCW0	ICEN0	ICNC0	ICES0	ACIC0	-	-	CTC0	52
\$14 (\$34)	TCNT0H	タイマ/カウンタ0 上位バイト								53
\$13 (\$33)	OCR0A	タイマ/カウンタ0 比較Aレジスタ								53
\$12 (\$32)	OCR0B	タイマ/カウンタ0 比較Bレジスタ								53
\$11 (\$31)	USIPP	-	-	-	-	-	-	-	USIPOS	87
\$10 (\$30)	USIBR	USI 緩衝レジスタ								85
\$0F (\$2F)	USIDR	USI データレジスタ								85
\$0E (\$2E)	USISR	USISIF	USIOIF	USIPF	USIDC	USICNT3	USICNT2	USICNT1	USICNT0	85
\$0D (\$2D)	USICR	USISIE	USIOIE	USIWM1	USIWM0	USICS1	USICS0	USICLK	USITC	86
\$0C (\$2C)	GPIOR2	汎用I/Oレジスタ2								15
\$0B (\$2B)	GPIOR1	汎用I/Oレジスタ1								15
\$0A (\$2A)	GPIOR0	汎用I/Oレジスタ0								15
\$09 (\$29)	ACSRB	HSEL	HLEV	-	-	-	ACM2	ACM1	ACM0	90
\$08 (\$28)	ACSRA	ACD	ACBG	ACO	ACI	ACIE	ACME	ACIS1	ACIS0	89
\$07 (\$27)	ADMUX	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	97
\$06 (\$26)	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	98
\$05 (\$25)	ADCH	A/Dデータレジスタ 上位バイト (ADC9~8またはADC9~2)								100
\$04 (\$24)	ADCL	A/Dデータレジスタ 下位バイト (ADC7~0またはADC1~0)								
\$03 (\$23)	ADCSRB	BIN	GSEL	-	REFS2	MUX5	ADTS2	ADTS1	ADTS0	99
\$02 (\$22)	DIDR1	ADC10D	ADC9D	ADC8D	ADC7D	-	-	-	-	100,90
\$01 (\$21)	DIDR0	ADC6D	ADC5D	ADC4D	ADC3D	AREFD	ADC2D	ADC1D	ADC0D	100,90
\$00 (\$20)	TCCR1E	-	-	OC1OE5	OC1OE4	OC1OE3	OC1OE2	OC1OE1	OC1OE0	75

注: 将来のデバイスとの共通性のため、予約ビットへ書く場合は0を書くべきです。予約I/Oメモリ アドレスは決して書かれるべきではありません。

- アドレス範囲\$00~\$1FのI/OレジスタはCBIとSBI命令の使用で直接アクセス可能です。これらのレジスタの単一ビットはCBISとSBIS命令の使用によって検査できます。
- いくつかの状態ビットはそれらへ論理1を書くことによって解除(0)されます。他の多くのAVRと異なり、CBIとSBI命令は指定ビットだけ操作し、従ってこのような状態フラグを含むレジスタで使えることに注意してください。CBIとSBI命令は\$00~\$1Fのレジスタだけで動作します。

22. 命令要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K6$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K6$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	3
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	3
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	$Rd=Rr$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	$Rr(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	$P(b)=0$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBSI	P,b	I/Oレジスタのビットが設定(1)でスキップ	$P(b)=1$ なら, $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
BRBS	s,k	ステータスフラグが設定(1)で分岐	$SREG(s)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	$SREG(s)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	$Z=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	$Z=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの \geq で分岐	$C=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの $<$ で分岐	$C=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	$N=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	$N=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの \geq で分岐	$(N \text{ EOR } V)=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの $<$ で分岐	$(N \text{ EOR } V)=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	$H=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	$H=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	$T=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	$T=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	$V=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	$V=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	$I=1$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	$I=0$ なら, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

K6, K : 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z : X, Y, Zレジスタ
 b : ビット(0~7) k : アドレス定数(7,12,16ビット) q : 符号なし6ビット定数(変位) s : ステータスフラグ(C,Z,N,V,X,H,T,I)

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	2
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	2
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	2
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	2
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	2
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	2
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,I,I	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,1	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態開始	休止形態参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用	I,T,H,S,V,N,Z,C	N/A

23. 注文情報

デバイス	速度(MHz)	電源電圧	注文符号 (注2,4)	外囲器	動作範囲
ATtiny261 (注5)	10 (注3)	1.8~5.5V	ATtiny261V-10PU	20P3	工業用 (-40°C~85°C)
			ATtiny261V-10SU	20S2	
			ATtiny261V-10SUR		
			ATtiny261V-10MU	32M1-A	
			ATtiny261V-10MUR		
	20 (注3)	2.7~5.5V	ATtiny261-20PU	20P3	
			ATtiny261-20SU	20S2	
			ATtiny261-20SUR		
			ATtiny261-20MU	32M1-A	
			ATtiny261-20MUR		
ATtiny461	10 (注3)	1.8~5.5V	ATtiny461V-10PU	20P3	工業用 (-40°C~85°C)
			ATtiny461V-10SU	20S2	
			ATtiny461V-10SUR		
			ATtiny461V-10MU	32M1-A	
			ATtiny461V-10MUR		
	20 (注3)	2.7~5.5V	ATtiny461-20PU	20P3	
			ATtiny461-20SU	20S2	
			ATtiny461-20SUR		
			ATtiny461-20MU	32M1-A	
			ATtiny461-20MUR		
ATtiny861	10 (注3)	1.8~5.5V	ATtiny861V-10PU	20P3	工業用 (-40°C~85°C)
			ATtiny861V-10SU	20S2	
			ATtiny861V-10SUR		
			ATtiny861V-10MU	32M1-A	
			ATtiny861V-10MUR		
	20 (注3)	2.7~5.5V	ATtiny861-20PU	20P3	
			ATtiny861-20SU	20S2	
			ATtiny861-20SUR		
			ATtiny861-20MU	32M1-A	
			ATtiny861-20MUR		

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。最低数量と詳細な注文情報については最寄りのAtmel営業所へお問い合わせください。

注2: 全ての外囲器は鉛フリー、ハロゲン化合物フリーで完全に安全で、それらは有害物質使用制限に関する欧州指令(RoHS指令)に従います。

注3: 速度と電源電圧の関係については119頁の図19-1.と図19-2.をご覧ください。

注4: 符号は以下を示します。

- U : 半光沢錫
- R : テープとリール

注5: ATtiny261Aによって置き換えられた終了品

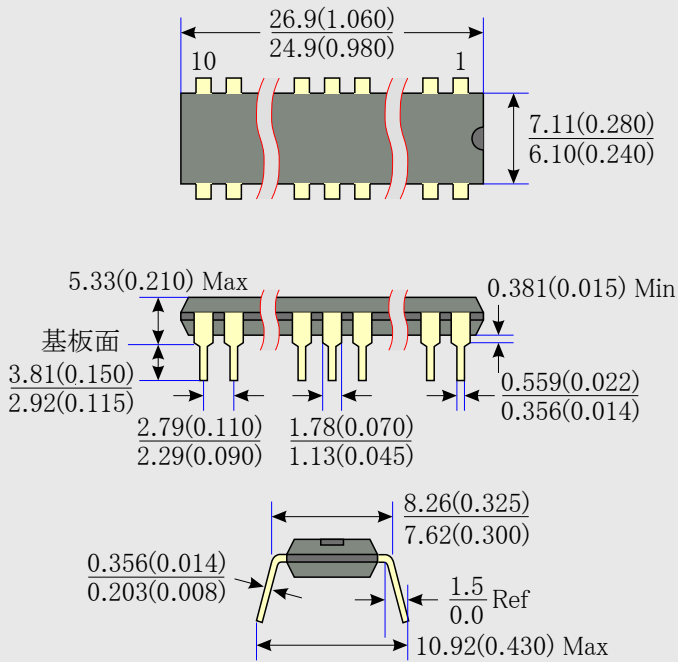
外囲器形式

20P3	20ピン 300mil幅 プラスティック2列直線外囲器 (PDIP)
20S2	20リード 300mil幅 プラスティック小外形外囲器 (SOIC)
32M1-A	32パッド 5×5×1mm 0.5mmピッチ 4方向平板リードなし/小リード枠外囲器 (QFN/MLF)

24. 外圍器情報

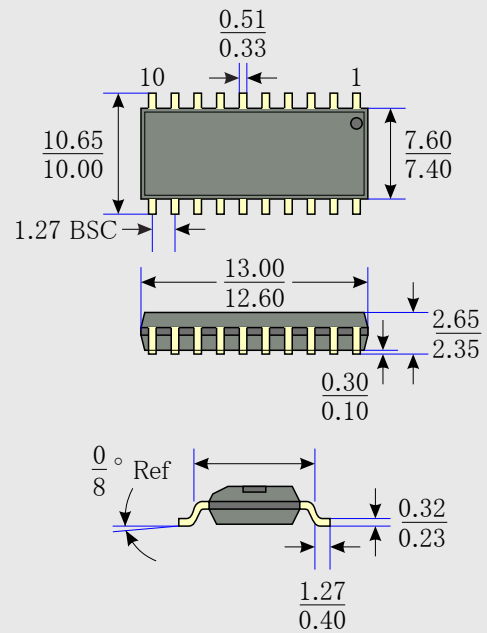
24.1. 20P3

20ピン 300mil幅 プラスチック2列直線外圍器 (PDIP)
 寸法: mm、()内はインチ
 JEDEC規格 MS-001 AD



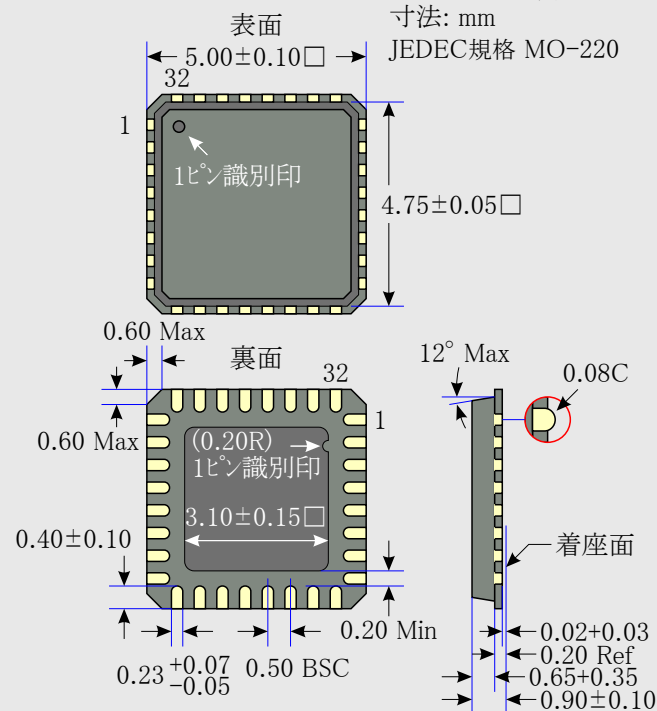
24.2. 20S2

20リード 300mil幅 プラスチック小外形外圍器 (SOIC)
 寸法: mm
 JEDEC規格 MS-013 AC



24.3. 32M1-A

32パッド 0.5mmピッチ 4方向平板リードなし/小リード枠外圍器
 (QFN/MLF)



25. 障害情報

この章の改訂番号はATtiny261/461/861(V)デバイスの改訂版を参照してください。

ATtiny261

改訂A 既知の障害はありません。

ATtiny461

改訂A 既知の障害はありません。

改訂B 改善品。既知の障害はありません。

ATtiny861

改訂A 試供されていません。

改訂B 既知の障害はありません。

26. データシート改訂履歴

この章内の参照頁番号はこの文書が参照されていることに注意してください。この章内の改訂番号は文書の改訂番号を参照してください。

26.1. 改訂2588A – 2006年10月

1. 初版

26.2. 改訂2588B – 2006年11月

1. 144頁の「注文情報」を更新
2. 145頁の「外圍器情報」を更新

26.3. 改訂2588C – 2009年10月

1. 文書雛形更新。いくつかの章を再整理。
2. デバイス状況を「新規設計に対して推奨されません」に変更
3. 以下の項目を追加
 - ・ 5頁の「データ保持力」
 - ・ 16頁の「クロック元」
 - ・ 31頁の「Lowレベル割り込み」
 - ・ 84頁の「クロック速度の考察」
4. 以下の項目を更新
 - ・ 4頁の「構成図」
 - ・ 5頁の「コード例」
 - ・ 17頁の「高周波数PLLクロック」
 - ・ 62頁の「標準動作」
 - ・ 91頁の「特徴」
 - ・ 93頁の「前置分周と変換タイミング」
 - ・ 97頁の「温度測定」
 - ・ 101頁の「デバッグWIREの制限」
 - ・ 109頁の手順1
 - ・ 114頁の「フラッシュメモリ書き込み」
 - ・ 120頁の「システムとリセットの特性」
5. 以下の図を追加
 - ・ 132頁の「RESETピン出力電圧 対 吸い込み電流 (VCC=3V)」
 - ・ 132頁の「RESETピン出力電圧 対 吸い込み電流 (VCC=5V)」
 - ・ 132頁の「RESETピン出力電圧 対 吐き出し電流 (VCC=3V)」
 - ・ 133頁の「RESETピン出力電圧 対 吐き出し電流 (VCC=5V)」
 - ・ 136頁の「内部バンドギャップ電圧 対 動作電圧」
6. 以下の図を更新
 - ・ 16頁の「クロックの配給」
 - ・ 115頁の「フラッシュメモリ書き込みタイミング」
7. 以下の表を追加
 - ・ 19頁の「低周波数クリスタル用発振器内部容量」
8. 以下の表を更新
 - ・ 18頁の「校正付き内蔵RC発振器用起動遅延時間選択表」
 - ・ 18頁の「128kHz内部発振器用起動遅延時間選択表」
 - ・ 22頁の「各休止形態に於ける動作クロック範囲と復帰起動要因」
 - ・ 122頁の「直列プログラミング特性」
9. 以下のレジスタ説明を更新
 - ・ 71頁の「TCCR1A – タイマ/カウンタ1制御レジスタA」
 - ・ 73頁の「TCCR1C – タイマ/カウンタ1制御レジスタC」
 - ・ 97頁の「ADMUX – A/D多重器選択レジスタ」
10. 13頁で“書き込み”項のアセンブリ言語プログラム例を更新
11. 118頁の「DC特性」を更新

26.4. 改訂2588D – 2010年6月

1. 表紙から“暫定”を削除
2. 19頁の「表6-10. 低周波数クリスタル用発振器内部容量」の前に説明文を追加
3. 91頁の「図15-1. A/D変換器部構成図」を更新、内部1.18Vを内部1.1Vに変更
4. 108頁の「表18-8. EEPROMメモリのページ数とページの語数」を更新、ATtiny261に対するページ数を64から32に

5. 118頁の「表19-1. DC特性」の注を補正

26.5. 改訂2588E – 2010年8月

1. 表紙から“新規設計に推奨しません。”の文章を削除
2. 20頁の「クロック出力緩衝部 (外部クロック出力)」を更新
3. 144頁の「注文情報」にテープとリール品を追加の項目を追加

26.6. 改訂2588F – 2013年6月

1. ATtiny261の状況を「終了品」に変更

目次

特徴	1	11.9. 16ビット動作でのレジスタアクセス	50
1. ピン配置	2	11.10. タイマ/カウンタ0用レジスタ	52
1.1. ピン説明	3	12. タイマ/カウンタ1	55
2. 概要	4	12.1. 特徴	55
2.1. 構成図	4	12.2. 概要	55
3. 諸注意	5	12.3. クロック元	57
1.1. 資料	5	12.4. 計数器部	58
1.2. コード例	5	12.5. 比較出力部	59
1.3. データ保持力	5	12.6. 沈黙時間生成器	60
1.4. お断り	5	12.7. 比較一致出力部	61
4. CPU コア	6	12.8. 動作種別	62
4.1. 構造概要	6	12.9. タイマ/カウンタのタイミング	67
4.2. ALU (Arithmetic Logic Unit)	6	12.10. 障害保護部	68
4.3. ステータスレジスタ	7	12.11. 10ビットレジスタのアクセス	69
4.4. 汎用レジスタファイル	8	12.12. タイマ/カウンタ1用レジスタ	71
4.5. スタックポインタ	8	13. 多用途直列インターフェース (USI)	80
4.6. 命令実行タイミング	9	13.1. 特徴	80
4.7. リセットと割り込みの扱い	9	13.2. 概要	80
5. メモリ	11	13.3. 機能説明	81
5.1. 実装書き換え可能なプログラム用フラッシュメモリ	11	13.4. USIでの代替使用	84
5.2. データ用SRAMメモリ	11	13.5. USI用レジスタ	85
5.3. データ用EEPROMメモリ	12	14. アナログ比較器	88
5.4. I/Oメモリ (レジスタ)	14	14.1. アナログ比較器入力選択	88
5.5. メモリ関係レジスタ	14	14.2. アナログ比較器用レジスタ	89
6. クロック体系	16	15. A/D変換器	91
6.1. クロック副系統	16	15.1. 特徴	91
6.2. クロック元	16	15.2. 概要	91
6.3. システムクロック前置分周器	20	15.3. 操作	92
6.4. システムクロック出力緩衝部	20	15.4. 変換の開始	92
6.5. クロック関係レジスタ	20	15.5. 前置分周と変換タイミング	93
7. 電力管理と休止形態	22	15.6. チャネル変更と基準電圧選択	94
7.1. 休止形態種別	22	15.7. 雑音低減機能	95
7.2. 電力削減(電力削減レジスタ)	23	15.8. アナログ入力回路	95
7.3. 消費電力の最小化	23	15.9. アナログ雑音低減技術	95
7.4. 電力管理用レジスタ	24	15.10. A/D変換の精度定義	96
8. システム制御とリセット	25	15.11. A/D変換の結果	96
8.1. リセット元	25	15.12. 温度測定	97
8.2. 内部基準電圧	27	15.13. A/D変換用レジスタ	97
8.3. ウォッチドッグタイマ	27	16. デバッグWIRE内蔵デバッグ機能	101
8.4. リセット関係レジスタ	28	16.1. 特徴	101
9. 割り込み	30	16.2. 概要	101
9.1. 割り込みベクタ	30	16.3. 物理インターフェース	101
9.2. 外部割り込み	31	16.4. ソフトウェア中断点	101
9.3. 外部割り込み用レジスタ	31	16.5. デバッグWIREの制限	101
10. 入出力ポート	34	16.6. デバッグWIRE用レジスタ	101
10.1. 標準デジタル入出力としてのポート	34	17. フラッシュの自己プログラミング	102
10.2. 交換ポート機能	37	17.1. SPM命令によるページ消去の実行	102
10.3. I/Oポート用レジスタ	43	17.2. ページ一時緩衝部設定(ページ設定)	102
11. タイマ/カウンタ0	44	17.3. ページ書き込みの実行	102
11.1. 特徴	44	17.4. 自己プログラミングでのフラッシュアドレス指定	102
11.2. 概要	44	17.5. SPM書き込み時のEEPROM書き込み妨害	103
11.3. クロック元	45	17.6. ソフトウェアからのヒューズと施錠ビット読み出し	103
11.4. 計数器部	46	17.7. フラッシュメモリデータ化けの防止	104
11.5. 捕獲入力部	46	17.8. SPM使用時のフラッシュメモリ書き込み時間	104
11.6. 比較部	47	17.9. 自己プログラミング用レジスタ	105
11.7. 動作種別	48	18. メモリプログラミング	106
11.8. タイマ/カウンタのタイミング	49	18.1. プログラムメモリとデータメモリ用施錠ビット	106
		18.2. ヒューズビット	107

18.3.	識票バイト	108
18.4.	校正バイト	108
18.5.	ページ容量	108
18.6.	直列プログラミング	109
18.7.	並列プログラミング	112
19.	電気的特性	118
19.1.	絶対最大定格	118
19.2.	DC特性	118
19.3.	速度	119
19.4.	クロック特性	119
19.5.	システムとリセットの特性	120
19.6.	A/D変換器特性	121
19.7.	直列プログラミング特性	122
19.8.	並列プログラミング特性	122
20.	代表特性	124
20.1.	周辺機能部供給電流	124
20.2.	活動動作消費電流	124
20.3.	アイドル動作消費電流	126
20.4.	パワーダウン動作消費電流	128
20.5.	ピンプルアップ	128
20.6.	ピン駆動能力	130
20.7.	ピン 閾値とヒステリシス	133
20.8.	低電圧検出器(BOD)閾値	135
20.9.	内部発振器周波数	136
20.10.	周辺機能部消費電流	138
20.11.	リセット消費電流とリセット パルス幅	140
21.	レジスタ要約	141
22.	命令要約	142
23.	注文情報	144
24.	外圍器情報	145
25.	障害情報	146
26.	データシート改訂履歴	147



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:2588F-AVR-06/2013

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®, AVR®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATtiny261/461/861英語版データシート(改訂2588F-06/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。