

本文書はAtmel® AVR® XMEGA® Aマイクロコントローラ系列に含まれる全ての単位部の完全且つ詳細な記述を含みます。XMEGA AはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。この手引書で記載されるXMEGA A単位部は次のとおりです。

- Atmel AVR CPU
- メモリ
- DMAC – 直接メモリ入出力制御器(Direct Memory Access Controller)
- 事象システム
- システムクロックとクロック選択
- 電力管理と休止形態動作
- システム制御とリセット
- 電池代替支援システム(Battery Backup System)
- WDT – ウォッチドッグ タイマ(Watchdog Timer)
- 割り込みと設定可能な多段割り込み制御器
- PORT – 入出力ポート
- TC – 16ビット タイマ/カウンタ
- AWeX – 新波形生成拡張
- Hi-Res – 高分解能拡張
- RTC – 実時間計数器(Real Time Counter)
- RTC32 – 32ビット実時間計数器(32-bit Real Time Counter)
- TWI – 2線直列インターフェース(Two Wire Serial Interface)
- SPI – 設定可能な直列インターフェース(Serial Programmable Interface)
- USART – 同期/非同期万能送受信機
(Universal Synchronous and Asynchronous Serial Receiver and Transmitter)
- I2C – 赤外線通信部(IR Communication Module)
- AESとDESの暗号エンジン
- EBI – 外部バス インターフェース
- ADC – A/D変換器(Analog to Digital Converter)
- DAC – D/A変換器(Digital to Analog Converter)
- AC – アナログ比較器(Analog Comparator)
- IEEE 1149.1 JTAGインターフェース
- PDI – プログラミングとデバッグ用インターフェース
- メモリプログラミング
- 周辺機能アドレス割り当て
- レジスタ要約
- 割り込みベクタ要約
- 命令一式要約

1. 手引書について

本文書はXMEGA Aデバイス系列で利用可能な全単位部の徹底的な文書化を含みます。全ての特性は機能的段階で文書化され、一般的な意味で記述されています。この手引書で記述された全ての周辺機能や単位部が全てのXMEGA Aデバイスに存在しないかもしれません。

特性データ、メモリ容量、利用可能な周辺機能のようなデバイス特有情報の全てとそれらのメモリ絶対アドレスについてはデバイスのデータシートを参照してください。1つのデバイスに周辺機能が多数存在する場合、各部は一意の名前を持ちます。例えば各ポート単位部(PORT)はPORTAやPORTBなどのような一意の名前を持ちます。レジスタ名、ビット名はその単位部内で一意です。

周辺機能と単位部に対して用いられる使用とコード例のより多くの詳細については、<http://www.atmel.com/avr>で利用可能なAtmel AVR XMEGA固有応用記述を参照してください。

1.1. 手引書の読み方

本手引書の主項目は様々な単位部と周辺機能を記述します。各項目は簡単な機能一覧と簡単な単位部概要記述を含みます。項の残りは特性と機能をもっと詳細に記述します。

レジスタ記述項は全レジスタを一覧にし、それらの機能と共に各ビットとフラグを記述します。これは単位部の各種機能の設定と許可の方法の詳細を含みます。構成設定に複数ビットが必要な場合、それらはビット群で共に分類されます。可能なビット群構成設定はそれらが関連する群構成設定と簡単な記述と共に全てのビット群に関して一覧にされます。群構成設定はAtmel AVR XMEGAで使われる定義済み構成設定名、アセンブラヘッダファイル、応用記述ソースコードを参照してください。

レジスタ要約項は各単位部形式に対する内部レジスタ配置を一覧にします。

割り込みベクタ要約項は割り込みベクタと各単位部形式に対する差分アドレスを一覧にします。

1.2. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>からのダウンロードで利用できます。

1.3. 推奨読物

- Atmel AVR XMEGA A デバイス データシート
- XMEGA応用記述

本手引書は一般的な単位部と周辺機能記述を含みます。AVR XMEGA Aデバイスのデータシートはデバイス固有情報を含みます。XMEGA A応用記述とAtmelソフトウェア枠組み(SF)はコード例を含み、単位部と周辺機能を適用する使い方を示します。

新規の使用者は「AVR1000 – Atmel XMEGAIに対してコードを書く前に」と「AVR1900 – Atmel ATxmega128A1での開始に際して」応用記述を読むことが推奨されます。

2. 概要

XMEGA AはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する強力な命令によって、XMEGA Aはシステム設計者に対して電力消費対処理速度の最適化を可能にする、MHz当たり100万命令(MIPS:Million Instructions Per Second)に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に、伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

XMEGA Aデバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、4チャネルのDMA制御器、8チャネルの事象システム、設定可能な多段割り込み制御器、78本までの汎用入出力線、16ビット実時間計数器(RTC)または32ビット実時間計数器(RTC32)、比較動作とPWM付きの8つまでの柔軟な16ビット タイマ/カウンタ、8つまでのUSART、4つまでのI²CとSMBus適合2線直列インターフェース(TWI)、4つまでの直列周辺インターフェース(SPI)、AESとDESの暗号エンジン、設定可能な利得付きの任意選択差動入力を持つ2組までの16チャネル 12ビットA/D変換器、2組までの2チャネル 12ビットD/A変換器、窓動作を持つ4つまでのアナログ比較器、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。選ばれたデバイスはIEEE std. 1149. 1適合JTAGインターフェースも持ち、これはチップ上デバッグとプログラミングにも使うことができます。

Atmel AVR XMEGAデバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、SRAM、DMA制御器、事象システム、割り込み制御器、全ての周辺機能に機能継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWIまたはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作では外部クリスタル用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部発振器からの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能クロックは活動動作とアイドル動作に於いて任意で停止することができます。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュ メモリはPDIまたはJTAGインターフェースを通して実装書き換えすることができます。デバイス内で走行するブートローダはフラッシュ メモリにアプリケーションプログラムを取得格納するのにどのインターフェースをも用いることができます。ブート フラッシュ領域内のブートローダ ソフトウェアはアプリケーションフラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、Atmel AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

XMEGA AデバイスはCコンパイラ、マクロ アセンブラ、プログラム デバッグ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。

図2-1. XMEGA A構成図

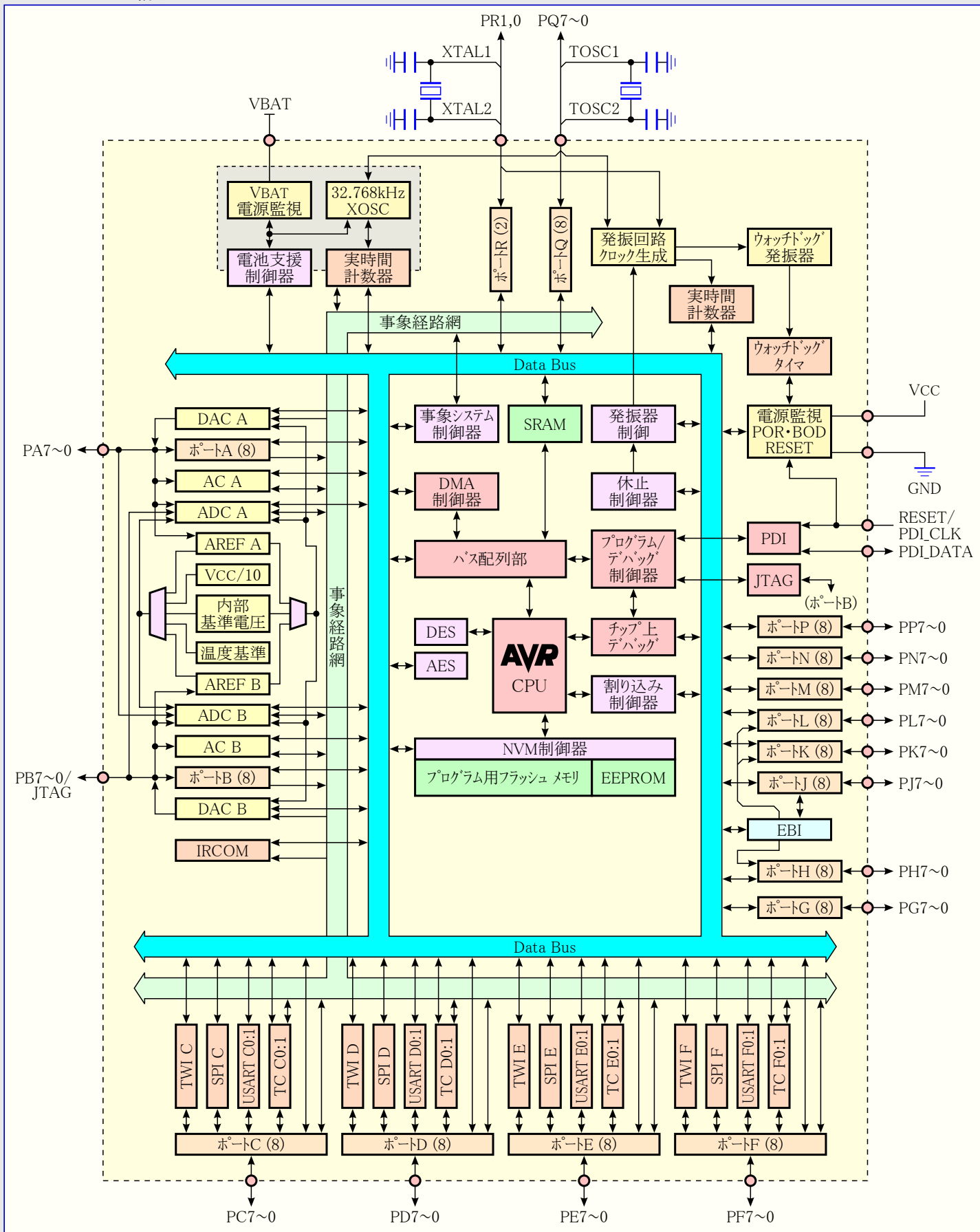


表2-1.に於いてXMEGA A系に関する機能要約が示され、各副系亜種に対して1つの機能要約列に分けます。各副系は同じ機能の組を持ちますが、異なるメモリ選択を持ち、注文符号とメモリ選択についてはそれらのデバイスのデータシートを参照してください。

表2-1. XMEGA A機能要約概要

機能	詳細 副系	A1	A3	A3B	A4
ピン、I/O	合計	100	64	64	44
	設定可能なI/Oピン	78	50	47	34
メモリ	プログラムメモリ (Kバイト)	64~128	64~256	256	16~128
	ブートメモリ (Kバイト)	4~8	4~8	8	4~8
	SRAM (Kバイト)	4~8	4~16	16	2~8
	EEPROM (Kバイト)	2	2~4	4	1~2
	汎用レジスタ	16	16	16	16
外圍器	TQFP	100A	64A	64A	44A
	QFN/VQFN	-	64M2	64M2	44M1
	BGA	100C1/100C2	-	-	49C2
QTouch	チャンネル	56	56	56	56
DMA制御器	チャンネル	4	4	4	4
事象システム	チャンネル	8	8	8	8
	QDEC	3	3	3	3
クリスタル用発振器	0.4~16MHz XOSC	○	○	○	○
	32.768kHz TOSC	○	○	○	○
内部発振器	校正付き2MHz	○	○	○	○
	校正付き32MHz	○	○	○	○
	128MHz PLL	○	○	○	○
	校正付き32.768kHz	○	○	○	○
	32kHz ULP	○	○	○	○
タイマ/カウンタ	TC0 - 16ビット,4CC	4	4	4	3
	TC1 - 16ビット,2CC	4	3	2	2
	TC2 - 8ビット×2	4	4	4	2
	Hi-Res	4	4	4	3
	AWeX	4	2	2	1
	RTC	1	1	-	1
	RTC32	-	-	1	-
電池代替支援システム	-	-	○	-	
直列通信	USART	8	7	6	5
	SPI	4	3	3	2
	TWI	4	2	2	2
暗号	AES-128	○	○	○	○
	DES	○	○	○	○
外部メモリ (EBI)	チップ選択	4	-	-	-
	SRAM	○	-	-	-
	SDRAM	○	-	-	-
A/D変換器 (ADC)	ADC単位部数	2	2	2	1
	分解能 (ビット)	12	12	12	12
	採取速度 (kbps)	1000	2000	2000	2000
	ADC当たりの入力チャンネル	8	8	8	12
	変換チャンネル	4	4	4	4
D/A変換器 (DAC)	DAC単位部数	2	1	1	1
	分解能 (ビット)	12	12	12	12
	採取速度 (kbps)	1000	1000	1000	1000
	DAC当たりの出力チャンネル	2	2	2	2
アナログ比較器 (AC)	-	4	4	4	2
プログラミングとデバッグ用インターフェース	PDI	○	○	○	○
	JTAG	○	○	○	-
	境界走査	○	○	○	-

3. Atmel AVR CPU

3.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 142命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- RAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタックポインタ
- 16Mバイトまでのプログラムメモリと16Mバイトのデータメモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の構成設定変更保護

3.2. 概要

全てのAVR XMEGAデバイスには8/16ビットAVR CPUを使っています。CPUの主な機能はコードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムの実行が行えます。割り込みの扱いは独立した項、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されます。

3.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとバスを持つハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の要約については267頁の「命令一式要約」を参照してください。

全AVR命令の詳細については <http://www.atmel.com/avr> を参照してください。

論理演算部(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単独レジスタ操作もALUで実行できます。演算操作後、操作結果に関する情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レジスタファイルへ直結されます。32個の8ビット汎用作業レジスタの全てはレジスタ間またはレジスタと即値間での単一クロック算術論理演算操作を許す単一クロック周期アクセスです。32個のレジスタ内の6つはデータ空間に対して効率的なアドレス計算を可能とするアドレス指定用の3つの16ビットアドレスポインタとして使うことができます。これらのアドレスポインタ内の1つはプログラム用フラッシュメモリ内の表を調べるためのアドレスポインタとしても使うことができます。

メモリ空間は直線的です。データメモリ空間とプログラムメモリ空間は2つの別なメモリ空間です。

データメモリ空間はI/Oレジスタ、SRAM、外部RAMに分けられます。加えてEEPROMがデータメモリ内にメモリ割り当てされ得ます。

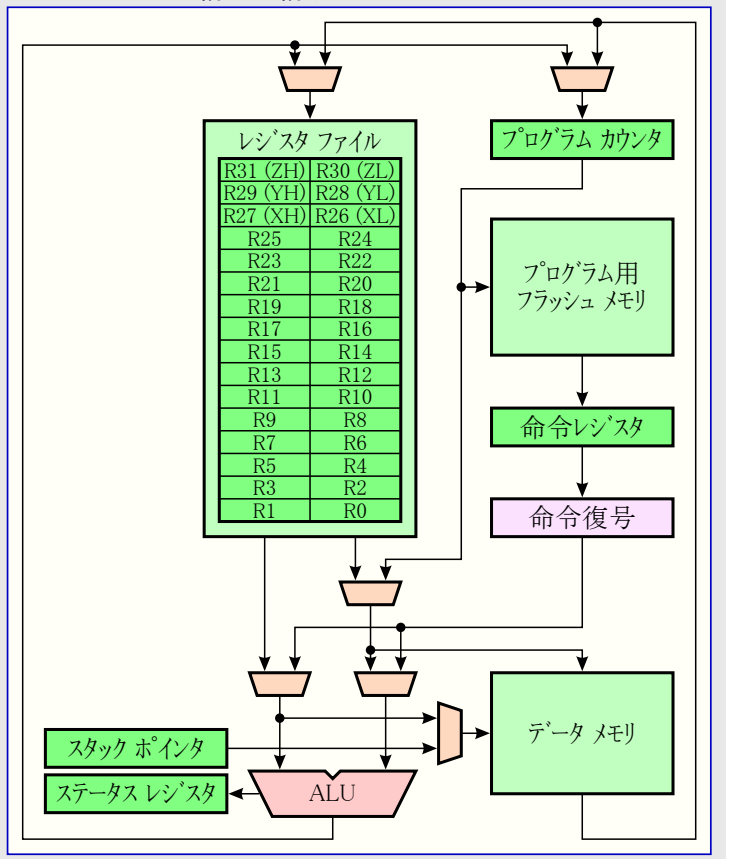
全I/Oの状態と制御のレジスタはデータメモリの最下位4Kバイト位置に属します。これはI/Oメモリ空間として参照されます。最下位64位置は直接的、または\$0000～\$003Fのデータ空間位置としてアクセスできます。残りは\$0040～\$1FFFに連なる拡張I/Oメモリ空間です。I/Oレジスタはここで取得(LD/LDS/LDD)と格納(ST/STS/STD)命令を使ってデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。AVR構造で支援される5つの異なる位置指定種別を通してこれは容易にアクセスできます。SRAM先頭アドレスは\$2000です。

\$1000～\$1FFFのデータ位置はEEPROMのメモリ割り当て用に予約されています。

プログラムメモリは、応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護用の専用施錠ビットを持ちます。応用フラッシュメモリの自己プログラミングに使われるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護用の独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラムメモリ内の不揮発性データ保存格納に使うことができます。

図3-1. AVR CPU構造の構成図



3.4. 算術論理演算器 (ALU)

算術論理演算器はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作も実行できます。ALUは32個全ての汎用レジスタと直結で動作します。単一クロック周期で、汎用レジスタ間または、レジスタと即値間の演算操作が実行されて結果がレジスタファイルに格納されます。演算または論理操作後、**ステータスレジスタ**が操作結果を反映するために更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。

8ビットと16ビットの両方の演算が支援され、命令一式は効率的な32ビット演算の実装を許します。ハードウェア乗算器は符号付と符号なしの乗算そして固定小数点形式を支援します。

3.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付きと符号なしの整数乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2 CPUクロック周期かかります。

3.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュメモリ内の最下位アドレス'0'から命令の実行を開始します。プログラムカウンタ(PC)は取得されるべき次の命令の位置を示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どの命令は16ビット語形式を用い、一方特別ないくつかは32ビット形式を用います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC(値)がスタックに格納されます。スタックは一般的なデータ用SRAMに配置され、必然的にスタック容量は総SRAM容量とSRAMの使用法によってのみ制限されます。リセット後、**スタックポインタ(SP)**は内部SRAMの最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセス可能で、多数のスタックまたはスタック領域の容易な実装を許します。データ用SRAMはAVR CPUで支援される5つの異なるアドレス指定形態を通して容易にアクセスすることができます。

3.6. 命令実行タイミング

AVR CPUはCPUクロック(clk_{CPU})によってクロック駆動されます。内部クロック分周は使われません。

図3-2はハーバード構造と高速入出力レジスタファイルの概念によって可能にされる命令取得と命令実行の並列化を示します。これは高い電力効率と共にMHz当たり1 MIPSの性能を得るのに使われる基本的なパイプラインの概念です。

図3-3はレジスタファイルに関する内部タイミングの概念を示します。単一クロック周期で2つのレジスタオペランドを使うALU操作が実行され、その結果が転送先レジスタへ書き戻されます。

図3-2. 命令の取得と実行の並列動作

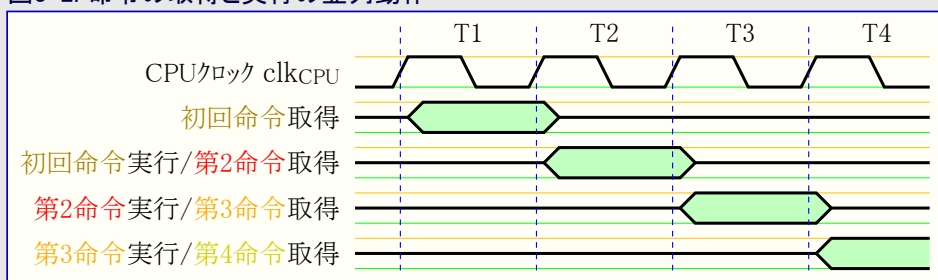
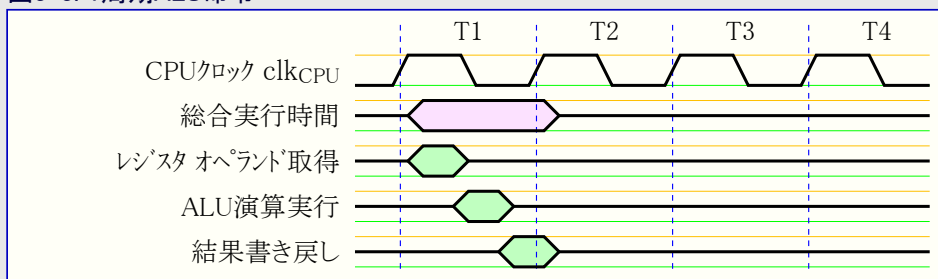


図3-3. 1周期ALU命令



3.7. ステータス レジスタ

ステータスレジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。ステータスレジスタは「命令一式手引書」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータスレジスタはI/Oメモリ空間でアクセスできます。

3.8. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データの格納にも使えます。スタックポインタ(SP)レジスタは常にスタックの先頭(注:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。データはPUSH命令とPOP命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならない、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されています。復帰アドレスはデバイスのプログラムメモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラムメモリを持つデバイスについては復帰アドレスが2バイトで、故にスタックポインタは+2/-2されます。128Kバイトを越えるプログラムメモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスはRETI命令を使って割り込みから、またはRET命令を使ってサブルーチン呼び出しから戻るときにスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは-1され、POP命令を使ってスタックからデータを取得する時に+1されます。

ソフトウェアからのスタックポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

3.9. レジスタ ファイル

レジスタファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用レジスタから成ります。レジスタファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビットアドレスレジスタポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレスポインタの1つはプログラム用フラッシュメモリ内の参照表用のアドレスポインタとしても用いることができます。

レジスタファイルは独立したアドレス空間に配置され、故にレジスタはデータメモリとしてアクセスできません。

図3-4. AVR CPU 汎用作業レジスタ

	7	0	アドレス	
			R0	\$00
			R1	\$01
			R2	\$02
			⋮	
			R13	\$0D
			R14	\$0E
			R15	\$0F
			R16	\$10
			R17	\$11
			⋮	
			R26	\$1A
			R27	\$1B
			R28	\$1C
			R29	\$1D
			R30	\$1E
			R31	\$1F

汎用 作業 レジスタ ファイル				
	Xレジスタ	下位8ビット		
		上位8ビット		
	Yレジスタ	下位8ビット		
		上位8ビット		
	Zレジスタ	下位8ビット		
		上位8ビット		

3.9.1. X,Y,Z レジスタ

R26~R31レジスタにはそれらの汎用使用に属する付加機能があります。

これらのレジスタはデータメモリ位置指示用の16ビットアドレスポインタ形式にできます。これら3つのアドレスレジスタはX,Y,Zレジスタと呼ばれます。Zレジスタはプログラム用フラッシュメモリ、識票列、ヒューズと施錠ビットに対する読み書きのためのアドレスポインタとしても使えます。

下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。様々な位置指示種別で、これらのアドレスレジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「命令一式手引書」をご覧ください)。

図3-5. X,Y,Zレジスタ

	15	XH (上位)		XL (下位)	0
X レジスタ	7	R27 (\$1B)	0	7	R26 (\$1A)
Y レジスタ	15	YH (上位)		YL (下位)	0
	7	R29 (\$1D)	0	7	R28 (\$1C)
Z レジスタ	15	ZH (上位)		ZL (下位)	0
	7	R31 (\$1F)	0	7	R30 (\$1E)

3.10. RAMPと間接拡張レジスタ

64Kバイトを越えるプログラムメモリやデータメモリをアクセスするために、アドレスポインタは16ビットより多くなければなりません。これはX,Y,またはZレジスタの1つに1つのレジスタを連結することによって行われます。そのレジスタは24ビットのアドレスまたはアドレスポインタ内の最上位バイト(MSB)を保持します。

これらのレジスタは外部バスインターフェースまたは64Kバイトを越えるプログラムかデータのメモリ空間を持つデバイスでだけ利用できます。これらのデバイスについてはデバイス内のプログラムとデータのメモリ空間全体をアドレス指定するのに必要なビット数だけがレジスタ内に実装されます。

3.10.1. RAMPX,RAMPY,RAMPZ レジスタ

RAMPX,RAMPY,RAMPZレジスタは64Kバイトを越え16Mバイトまでのデータメモリ空間全体の間接位置指示を可能とするために各々X,Y,Zレジスタと連結されます。

図3-6. RAMPX+X,RAMPY+Y,RAMPZ+Zレジスタの組み合わせ

	23	16 15	8 7	0
Xポインタ	7 RAMPX	0 7 XH	0 7 XL	0
Yポインタ	7 RAMPY	0 7 YH	0 7 YL	0
Zポインタ	7 RAMPZ	0 7 ZH	0 7 ZL	0

プログラムメモリの最初の128Kバイトを越えるプログラムメモリ位置の読み込み(ELPM)と書き込み(SPM)時、RAMPZは24ビットアドレス形式のためにZレジスタと連結されます。LPMはRAMPZ設定によって影響を及ぼされません。

3.10.2. RAMPD レジスタ

このレジスタは64Kバイトを越えるデータメモリ空間全体の直接位置指示を可能とするためにオペラントと連結されます。RAMPDとオペラントと共に24ビットアドレス形式になるでしょう。

図3-7. RAMPD+kの組み合わせ

	23	16 15	8 7	0
直接位置指示	7 RAMPD	0 15	k	0

3.10.3. EIND レジスタ

EINDはプログラムメモリの最初の128Kバイト(64K語)を越える位置に対して間接の分岐や呼び出しを可能とするためにZポインタと連結されます。

図3-8. EIND+Zレジスタの組み合わせ

	23	16 15	8 7	0
間接位置指示	7 EIND	0 7 ZH	0 7 ZL	0

3.11. 16ビットレジスタのアクセス

AVRのデータバスは8ビット幅で、故に16ビットレジスタのアクセスは非分断(atomic)操作が必要です。これらのレジスタは2つの読みまたは書き操作を用いてバイト入出力されなければなりません。16ビットレジスタは8ビットバスと16ビットバスを使う一時レジスタに接続されています。書き込み操作については上位バイトの前に16ビットレジスタの下位バイトが書かれなければなりません。そして下位バイトは一時レジスタに書かれます。16ビットレジスタの上位バイトが書かれる時に、同じクロック周期で一時レジスタが16ビットレジスタの下位バイトに複写されます。読み込み操作については上位バイトの前に16ビットレジスタの下位バイトが読まれなければなりません。下位バイトレジスタがCPUによって読まれるとき、下位バイトが読まれるのと同じクロック周期で16ビットレジスタの上位バイトが一時レジスタに複写されます。上位バイトが読まれると、それは一時レジスタから読まれます。

これはレジスタの読み書き時に16ビットレジスタの上位バイトと下位バイトがいつも同時にアクセスされることを保証します。

非分断16ビット読み/書き操作間に割り込みが起動されて同じ16ビットレジスタのアクセスを試みる場合、割り込みは時間手順を不正にしが得ます。これを防ぐために、16ビットレジスタの読み書き時に割り込みを禁止できます。

一時レジスタは使用者ソフトウェアから直接読み書きできます。

3.11.1. 24及び32ビットレジスタのアクセス

24と32ビットのレジスタに対する読み書きアクセスは、24ビットレジスタについては2つ、32ビットレジスタについては3つの一時レジスタがあるのを除いて、16ビットレジスタに関して記述されたのと同じ方法で行われます。最下位バイトは書き込みを行う時に先に書かれ、読み込みを行う時に先に読まれなければなりません。

3.12. 構成設定変更保護

システムの重要なI/Oレジスタ設定は予期せぬ変更から保護されます。SPM命令が予期せぬ実行から保護され、LPM命令はヒューズと識票列読み込み時に保護されます。これは構成設定変更保護(CCP)レジスタによって全体的に取り扱われます。保護されたI/Oレジスタまたはビットへの変更や、保護された命令の実行は、CPUがCCPレジスタへ識票を書いた後でだけ可能です。各識票はレジスタ説明で記述されます。

I/Oレジスタ保護に対する1つとLPM/SPM命令保護に対する2つの動作種別があります。

3.12.1. 保護されたI/Oレジスタへの書き込み操作手順

1. 応用コードはCCPレジスタに保護されたI/Oレジスタの変更許可用識票を書きます。
2. 4命令周期内に応用コードは保護されたレジスタへ適切なデータを書かなければなりません。殆どの保護されたレジスタは書き込み許可/変更許可のビットも含みます。このビットはデータが書かれるのと同じ操作内で1を書かれなければなりません。保護された変更はCPUがI/Oレジスタまたはデータメモリに書き込み操作を実行する場合、またはSPM,LPM.SLEEP命令が実行される場合、直ちに禁止されます。

3.12.2. 保護されたLPM/SPMの実行手順

1. 応用コードはCCPレジスタに保護されたLPM/SPMの実行用識票を書きます。
2. 4命令周期内に応用コードは適切な命令を実行しなければなりません。保護された変更はCPUがデータメモリに書き込み操作を実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは構成設定変更許可期間中について無視されるでしょう。CCP期間の間の(遮蔽不可割り込みを含む)どんな割り込み要求も通常様に対応する割り込み要求フラグを設定(1)し、そしてその要求は保留を維持されるでしょう。CCP期間完了後に何れかの保留割り込みがそれらの段位と優先権に従って実行されます。DMA要求が未だ取り扱われていますが、保護された構成設定変更許可期間に影響しません。DMAによって書かれた識票は無視されます。

3.13. 施錠ヒューズ

システムで重要ないくつかの機能について関連するI/O制御レジスタ内の全ての変更を禁止するためのヒューズをプログラム(0)にできます。これが行われた場合、使用者ソフトウェアからレジスタを変更することが不可能になり、このヒューズは外部書き込み器を使う書き換えだけができます。この詳細はこの機能が利用可能な単位部のデータシートで記述されます。

3.14. レジスタ説明

3.14.1. CCP – 構成設定変更保護レジスタ (Configuration Change Protection register)

ビット +\$04	7	6	5	4	3	2	1	0	CCP
	CCP7~0								
Read/Write	W	W	W	W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCP7~0 : 構成設定変更保護 (Configuration Change Protection)

CCPレジスタは保護されたI/Oレジスタの変更または保護された命令の実行を許可するための正しい識票を最大4CPU命令周期内に書かれなければなりません。これらの周期の間は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらの段位と優先権に従って実行されるでしょう。保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読みます。同様に保護されたLPM/SPMの識票が書かれると、CCP1は保護機能が許可されている限り1として読みます。CCP7~2は常に0として読みます。表3-1は各種別用の識票を示します。

表3-1. CPU変更保護種別

識票	構成群種別	内容
\$9D	SPM	保護されたLPM/SPM
\$D8	IOREG	保護されたI/Oレジスタ

3.14.2. RAMPD – 直接位置指示拡張レジスタ (Extended Direct Addressing register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の直接位置指示(LDS/STS)のために、このレジスタはオペランドと接続されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$08	7	6	5	4	3	2	1	0	RAMPD
	RAMPD7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPD7~0 : 直接位置指示拡張ビット (Extended Direct Addressing bits)

これらのビットはRAMPDと16ビットオペランドによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

3.14.3. RAMPX – Xポインタ拡張レジスタ (Extended X-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはXレジスタと接続されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$09	7	6	5	4	3	2	1	0	RAMPX
	RAMPX7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPX7~0 : Xポインタ拡張アドレスビット (Extended X-pointer Address bits)

これらのビットはRAMPXと16ビットXレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

3.14.4. RAMPY – Yポインタ拡張レジスタ (Extended Y-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと接続されます。外部メモリを含むデータメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット +\$0A	7	6	5	4	3	2	1	0	RAMPY
	RAMPY7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RAMPY7~0 : Yポインタ拡張アドレスビット (Extended Y-pointer Address bits)

これらのビットはRAMPYと16ビットYレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

3.14.5. RAMPZ – Zポイント拡張レジスタ (Extended Z-Pointer register)

64Kバイトを越えるデータメモリを持つデバイスでデータメモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはZレジスタと連結されます。先頭の64Kバイトを越えるプログラムメモリ位置を読む(ELPM)時と、先頭の128Kバイトを越えるプログラムメモリ位置に書く(SPM)時に、RAMPZはZレジスタと連結されます。

外部メモリを含むデータメモリが64Kバイト以下と、デバイス内のプログラムメモリが64Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+\$0B	RAMPZ7~0								RAMPZ
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – RAMPZ7~0 : Zポイント拡張アドレスビット (Extended Z-pointer Address bits)

これらのビットはRAMPZと16ビットZレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータとプログラムのメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

3.14.6. EIND – 間接拡張レジスタ (Extended Indirect register)

128Kバイトを越えるプログラムメモリを持つデバイスでプログラムメモリ空間全体の拡張間接の分岐(EIJMP)と呼び出し(EICALL)のために、このレジスタはZレジスタと連結されます。128Kバイト以下のアドレスへの分岐に対してEICALL/EIJMPが使われる場合、このレジスタが使われるべきで、ICALLとIJMP命令が使われる場合にそれは使われません。128Kバイト以下のアドレスへの分岐と呼び出しに関しては、このレジスタが使われません。デバイス内のプログラムメモリが128Kバイト以下の場合、このレジスタは利用できません。

ビット	7	6	5	4	3	2	1	0	
+\$0C	EIND7~0								EIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – EIND7~0 : 間接拡張アドレスビット (Extended Indirect Address bits)

これらのビットはEINDと16ビットZレジスタによって生成された24ビットアドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なプログラムメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

3.14.7. SPL – スタックポインタレジスタ下位 (Stack Pointer register Low)

SPHとSPLレジスタ対は16ビット値SPを表します。SPはスタックの先頭を指示するスタックポインタを保持します。リセット後、スタックポインタは内部SRAM最高アドレスを指示します。ソフトウェアからスタックポインタを更新する時の不正(化け)を防ぐため、SPLへの書き込みは次の4命令間、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

各デバイスについては外部メモリを含み64Kバイトまでで利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読みます。

ビット	7	6	5	4	3	2	1	0	
+\$0D	SP7~0								SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● ビット7~0 – SP7~0 : スタックポインタ下位 (Stack Pointer Low byte)

これらのビットは16ビットスタックポインタ(SP)のLSB(最下位バイト)を保持します。

3.14.8. SPH – スタックポインタレジスタ上位 (Stack Pointer register High)

ビット	7	6	5	4	3	2	1	0	
+\$0E	SP15~8								SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● ビット7~0 – SP15~8 : スタックポインタ上位 (Stack Pointer High byte)

これらのビットは16ビットスタックポインタ(SP)のMSB(最上位バイト)を保持します。

3.14.9. SREG – ステータス レジスタ (Status register)

ステータスレジスタ(SREG)は最も直前に実行された演算または論理命令の結果についての情報を含みます。

ビット	7	6	5	4	3	2	1	0	
+\$0F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – I: 全体割り込み許可 (Global Interrupt Enable)

全体割り込み許可ビットは許可されるべき割り込みに関して設定(1)されなければなりません。全体割り込み許可ビットが解除(0)された場合、個別割り込み許可設定に拘らず、どの割り込みも許可されません。このビットは割り込みが起きた後でハードウェアによって解除(0)されません。このビットは「**命令一式手引書**」で記述されるようにSEIとCLI命令で応用(プログラム)によって設定(1)と解除(0)ができます。I/Oレジスタを通したビットの変更はそのアクセスでの1周期の待ち状態に帰着します。

● ビット6 – T: ビット複写変数 (Bit Copy Storage)

ビット複写命令、ビット取得(BLD:Bit LoaD)とビット格納(BST:Bit STore)は操作するビットの転送元または転送先として、このビットを使います。レジスタ ファイルのレジスタからのビットがBST命令によってこのビットに複写でき、このビットはBLD命令によってレジスタ ファイルのレジスタ内のビットに複写できます。

● ビット5 – H: ハーフキャリー フラグ (Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「**命令一式手引書**」をご覧ください。

● ビット4 – S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグ間の排他的論理和です。詳細情報については「**命令一式手引書**」をご覧ください。

● ビット3 – V: 2の補数溢れフラグ (2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「**命令一式手引書**」をご覧ください。

● ビット2 – N: 負フラグ (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「**命令一式手引書**」をご覧ください。

● ビット1 – Z: ゼロフラグ (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「**命令一式手引書**」をご覧ください。

● ビット0 – C: キャリー フラグ (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはホロー)を示します。詳細情報については「**命令一式手引書**」をご覧ください。

3.15. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0F	SREG	I	T	H	S	V	N	Z	C	13
+\$0E	SPH	SP15~8								13
+\$0D	SPL	SP7~0								12
+\$0C	EIND	EIND7~0								12
+\$0B	RAMPZ	RAMPZ7~0								12
+\$0A	RAMPY	RAMPY7~0								12
+\$09	RAMPX	RAMPX7~0								11
+\$08	RAMPD	RAMPD7~0								11
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CCP	CCP7~0								11
+\$03	予約	-	-	-	-	-	-	-	-	
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	予約	-	-	-	-	-	-	-	-	

4. メモリ

4.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Programmable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダ コード用ブート領域
 - 全領域に対する独立した施錠ビット
 - 選択可能なプログラム用フラッシュ メモリ領域の組み込み高速チェックサム生成器
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - バイトとページでのアクセスが可能
 - 直接の取得と格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
 - 全体変数またはフラグ用のビット アクセス可能な16個の汎用I/Oレジスタ
 - 外部メモリ支援
 - SRAM
 - SDRAM
 - メモリ位置割り当て外部ハードウェア
 - バス調停
 - CPU、DMA制御器、他のバス所有者間の優先順を扱う決定法
 - SRAM、EPROM、I/Oメモリ、外部メモリのアクセスに関する独立バス
 - CPUとDMA制御器に対する同時アクセス
- 工場書き込みデータ用製品識票列メモリ
 - 各マイクロ コントローラ型式に対するID
 - 各デバイスに対する通番
 - 工場較正された周辺機能用の較正バイト
- 使用者識票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後の内容保持

4.2. 概要

本章は各種メモリ領域を記述します。AVRの構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能なコードはプログラム メモリにだけ属せ、一方データはプログラム メモリとデータ メモリの両方に格納できます。データ メモリは内部SRAMと、不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り替えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠できます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

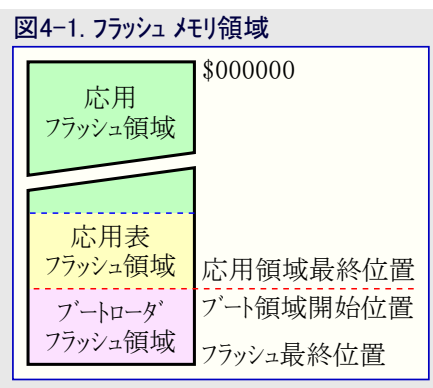
独立したメモリ領域はヒューズ ビットを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってだけ書き込むことができます。

4.3. フラッシュ プログラム メモリ

全てのXMEGAデバイスにはチップ上にプログラム記憶用の実装書き換え可能なフラッシュメモリを含みます。フラッシュメモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各位置は16ビット幅です。図4-1.で示されるようにXMEGAのフラッシュメモリは応用領域とブートローダ領域の2つの主な領域で構成されています。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持っています。SPM(Store Program Memory)命令は応用ソフトウェアからフラッシュを書くのに使われ、これはブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラムメモリ内の揮発性データの安全な記憶に使えます。



4.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コードを格納するのに使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選べます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

4.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選べます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここに応用コードが存在できます。

4.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コードの格納に使われる一方、SPM命令がこの領域から実行する時にプログラミングを始められるので、ブートローダソフトウェアはブートローダ領域に配置されなければなりません。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選べます。この領域がブートローダソフトウェア用に使われないなら、ここに応用コードを格納することができます。

4.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。温度、基準電圧などのような校正条件の詳細についてはデバイスのデータシートを参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

製品識票列のアクセスについては255頁の「NVMフラッシュ指令」を参照してください。

4.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュメモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

4.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するのに使われ、外部プログラミングインターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や、始動構成設定、JTAG許可とJTAG使用者IDに使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトウェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えばチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

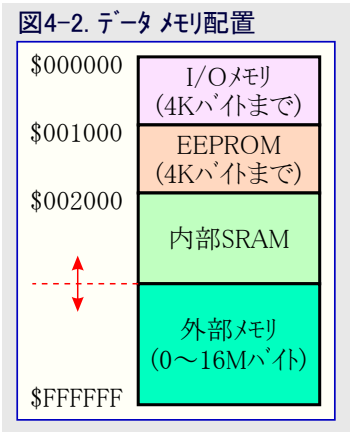
ヒューズと施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

いくつかのヒューズビットに対して、それらを非プログラム(\$FF)のままにすることが不正な設定に帰着します。使用者はヒューズビットが有効な設定を与える値にプログラミングされることを確実にしなければなりません。更なる情報については個別ヒューズビットの詳細説明を参照してください。

4.5. データメモリ

データメモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMと利用可能な場合の外部メモリを含みます。図4-2.で示されるように、データメモリは1つの続いたメモリ領域として構成されます。

I/Oメモリ、EEPROM、SRAMは全てのXMEGAデバイスに関して常に同じ開始アドレスを持ちます。外部メモリのアドレス空間は常に内部SRAMの最後から始まり、アドレス\$FFFFFFで終わります。



4.6. 内部SRAM

内部SRAMは常に16進アドレス位置\$2000で始まります。SRAMは取得(LD/LDD/LDS)と格納(ST/STD/STS)命令を使うことでCPUによってアクセスされます。

4.7. EEPROM

全てのXMEGAデバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でアドレス指定でき、またはメモリ配置割り当てで通常のデータ空間でアクセスできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。けれども、緩衝部破棄とページの消去と書き込みは未だI/O割り当てアクセスとしてNVM制御器を通して行われなければなりません。

4.8. I/Oメモリ

CPUを含む単位部と周辺機能に関する状態と構成設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

4.8.1. 汎用I/Oレジスタ

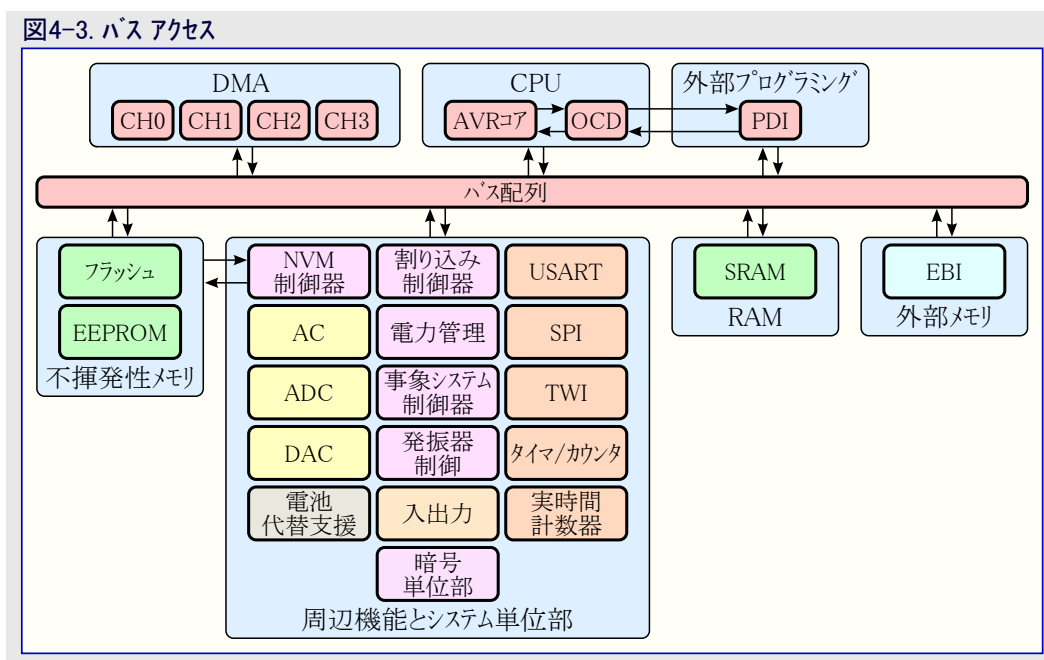
最下位16個のI/Oメモリアドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI, SBIS,SBIC命令を使って直接ビットアクセスが可能のため、全体変数とフラグの格納に使うことができます。

4.9. 外部メモリ

外部メモリ専用の最大4つのポートは外部SRAM,SDRAMやLCD表示器のようなメモリ配置割り当て周辺機器を支援します。詳細については188頁の「EBI - 外部バス インターフェース」記述を参照してください。外部メモリアドレス空間は常に内部SRAMの最後で始まります。

4.10. データメモリとバス調停

データメモリが4つの独立したメモリの組として構成されるため、異なるバス主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるメモリ領域をアクセスし得ます。図4-3をご覧ください。



4.10.1. バス優先権

多数の主権部が同じバスへのアクセスを要求するとき、バス優先権は以下の順です(高位から低位の優先順)。

1. アクセス実行中のバス主権部
 - バスアクセス許可、けれども従う単位部の完了待ち
2. 集中転送実行中のバス主権部
 - DMA制御器が同じメモリ領域内の2つの位置間で転送する場合、読み書き主権部は集中が完了するまで切り換えます。
3. 集中転送アクセスを要求するバス主権部
 - 第1優先権：CPU(CALL/RET)
 - 第2優先権：DMAC(2バイトまたはそれ以上)
4. バスアクセスを要求するバス主権部
 - 第1優先権：CPU(取得/格納)
 - 第2優先権：DMAC(1バイト)

4.11. メモリタイミング

I/Oメモリへの読み書きアクセスは1 CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。外部メモリは複数周期読み書きです。周期数は外部バスインターフェースの構成設定とメモリ形式に依存します。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

4.12. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂ID(REVID)レジスタはデバイスの改訂番号を含みます。

4.13. JTAG禁止

応用ソフトウェアからJTAGインターフェースを禁止することができます。これは次のデバイスリセットまたはJTAGが応用ソフトウェアから再び許可されるまで、デバイスへの全ての外部JTAGアクセスを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oピンは標準I/Oピンとして使えます。

4.14. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能で、施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。詳細については10ページの「構成設定変更保護」を参照してください。

4.15. レジスタ説明 – 不揮発性メモリ(NVM)制御器

4.15.1. ADDR0 – アドレスレジスタ0 (Address register 0)

ADDR2, ADDR1, ADDR0レジスタは24ビット値ADDRを表します。

ビット	7	6	5	4	3	2	1	0	
+\$00	ADDR7~0								ADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – ADDR7~0 : アドレス下位バイト (Address byte 0)

このレジスタはNVM位置をアクセスする時のアドレス下位バイトを与えます。

4.15.2. ADDR1 – アドレスレジスタ1 (Address register 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	ADDR15~8								ADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – ADDR15~8 : アドレス上位バイト (Address byte 1)

このレジスタはNVM位置をアクセスする時のアドレス上位バイトを与えます。

4.15.3. ADDR2 – アドレスレジスタ2 (Address register 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	ADDR23~16								ADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – ADDR23~16 : アドレス拡張バイト (Address byte 2)

このレジスタはNVM位置をアクセスする時のアドレス拡張バイトを与えます。

4.15.4. DATA0 – データレジスタ0 (Data register 0)

DATA2, DATA1, DATA0レジスタは24ビット値DATAを表します。

ビット	7	6	5	4	3	2	1	0	
+\$04	DATA7~0								DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA7~0 : データ下位バイト (Data byte 0)

このレジスタは何れかのメモリ位置をアクセスする時のデータ値第1バイトを与えます。

4.15.5. DATA1 – データレジスタ1 (Data register 1)

ビット	7	6	5	4	3	2	1	0	
+\$05	DATA15~8								DATA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA15~8 : データ上位バイト (Data byte 1)

このレジスタは応用とブートの領域をアクセスする時のデータ値第2バイトを与えます。

4.15.6. DATA2 – データレジスタ2 (Data register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	DATA23~16								DATA2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DATA23~16 : データ第3バイト (Data byte 2)

このレジスタは応用領域とブート領域またはその組み合わせでCRC検査を動かす時のデータ値第3バイトを与えます。

4.15.7. CMD – 指令レジスタ (Command register)

ビット	7	6	5	4	3	2	1	0	
+\$0A	CMD6~0								CMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書きしてください。

● ビット6~0 – CMD6~0 : 指令 (Command)

これらのビットはフラッシュに対するプログラミング指令を定義します。ビット6は外部プログラミング指令に対してだけ設定(1)されます。プログラミング指令については250頁の「メモリプログラミング」をご覧ください。

4.15.8. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$0B								CMDEX	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W(S)	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書きしてください。

● ビット0 – CMDEX : 指令実行 (Command Execute)

このビットを設定(1)することが不揮発性メモリ指令(CMD)レジスタ内の指令を実行します。このビットは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「構成設定変更保護」を参照してください。

4.15.9. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$0C					EEMAPEN	FPRM	EPRM	SPMLOCK	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書きしてください。

● ビット3 – EEMAPEN : EEPROMデータメモリ割り当て許可 (EEPROM Data Memory Mapping Enable)

このビットを設定(1)することがEEPROM領域のデータメモリ配置割り当てを許可します。その後EEPROMは取得(LD/LDD/LDS)と格納(ST/STD/STS)の命令を使ってアクセスできます。

● ビット2 – FPRM : フラッシュ電力削減動作 (Flash Power Reduction Mode)

このビットを設定(1)することがフラッシュメモリに対する節電を許可します。コードが応用領域で走行している場合、ブートローダ領域がOFFされ、逆もまた同様です。OFFされている領域へのアクセスが必要とされる場合、CPUはアイドル休止形態動作からの起動時間と等しい時間停止されます。

● ビット1 – EPRM : EEPROM電力削減動作 (EEPROM Power Reduction Mode)

このビットを設定(1)することがEEPROMに対する節電を許可します。その後、EEPROMは休止形態動作移行に等しい規則でOFFにされます。アクセスが必要とされる場合、バス主権部はアイドル休止形態動作からの起動時間と等しい時間停止されます。

● ビット0 – SPMLOCK : SPM施錠 (SPM Locked)

このビットは更なる自己プログラミングを防止するために1を書くことができます。このビットはリセットで解除(0)され、ソフトウェアから解除(0)することはできません。このビットは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「構成設定変更保護」を参照してください。

4.15.10. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$0D	-			SPMLVL1,0			EELVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – SPMLVL1,0 : SPM操作可割り込み段位 (SPM Ready Interrupt Level)

これらのビットは割り込みを許可し、86頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように割り込み段位を選びます。これは状態(STATUS)レジスタの**不揮発性メモリ多忙(NVMBUSY)フラグ**が0に設定される時にだけ起動されるレベル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラグが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

● ビット1,0 – EELVL1,0 : EEPROM操作可割り込み段位 (EEPROM Ready Interrupt Level)

これらのビットはEEPROM操作可割り込みを許可し、86頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように**割り込み段位**を選びます。これは状態(STATUS)レジスタの**不揮発性メモリ多忙(NVMBUSY)フラグ**が0に設定される時にだけ起動されるレベル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラグが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

4.15.11. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$0F	NVMBUSY	FBUSY	-	-	-	-	EELOAD	FLOAD	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – NVMBUSY : 不揮発性メモリ多忙フラグ (Non-Volatile Memory Busy)

NVMBUSYフラグはNVM(フラッシュメモリ、EEPROM、施錠ビット)がプログラミングされつつあるかどうかを示します。一旦操作が開始されると、このフラグが設定(1)され、操作が完了されるまで設定(1)に留まります。NVMBUSYフラグは操作完了時に、自動的に解除(0)されます。

● ビット6 – FBUSY : フラッシュ多忙フラグ (Flash Busy)

FBUSYフラグはフラッシュのプログラミング動作が始められたかどうかを示します。一旦操作が開始されると、FBUSYフラグが設定(1)され、応用領域がアクセスできなくなります。FBUSYフラグは操作完了時、自動的に解除(0)されます。

● ビット5~2 – 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – EELOAD : EEPROMページ緩衝部設定中フラグ (EEPROM Page Buffer Active Loading)

EELOADフラグはEEPROMページ一時緩衝部が1バイト以上格納されていることを示します。これはEEPROMページ書き込みまたはページ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については、252頁の「[フラッシュメモリとEEPROMのプログラミング手順](#)」をご覧ください。

● ビット0 – FLOAD : フラッシュページ緩衝部設定中フラグ (Flash Page Buffer Active Loading)

FLOADフラグはフラッシュページ一時緩衝部が1バイト以上格納されていることを示します。これは応用ページ書き込み、ブートページ書き込み、またはページ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については252頁の「[フラッシュメモリとEEPROMのプログラミング手順](#)」をご覧ください。

4.15.12. LOCKBITS – 施錠ビットレジスタ (Lock Bit register)

ビット	7	6	5	4	3	2	1	0	
+\$10	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	

このレジスタはI/Oメモリ空間内へのNVM施錠ビット割り当てで、応用ソフトウェアからの直接読み込みアクセスを許します。記述については24頁の「[LOCKBITS – 施錠ビットレジスタ](#)」を参照してください。

4.16. レジスタ説明 - ヒューズと施錠ビット

4.16.1. FUSEBYTE0 - ヒューズ バイト0 (Fuse Byte 0)

ビット	7	6	5	4	3	2	1	0	
+\$00	JTAGUID7~0								FUSEBYTE0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

- ビット7~0 - JTAGUID7~0 : JTAG使用者ID (JTAG User ID)

これらのヒューズはデバイスに対する既定JTAG使用者ID(JTAG USER ID)を設定するのに使えます。リセットの間にJTAGUIDヒューズビットはMCU JTAG使用者IDレジスタ内に設定されます。

4.16.2. FUSEBYTE1 - ヒューズ バイト1 (Fuse Byte 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	WDWPER3~0				WDPER3~0				FUSEBYTE1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 - WDWPER3~0 : ウォッチドッグ窓周期 (Watchdog Window Timeout Period)

これらのヒューズビットは窓動作でのウォッチドッグ タイマに対する窓閉鎖初期値を設定するのに使われます。リセットの間にこれらのヒューズビットが自動的にウォッチドッグ窓動作制御レジスタのウォッチドッグ窓動作周期(WPER)ビットに書かれます。詳細については84頁の「WINCTRL - 窓動作制御レジスタ」を参照してください。

- ビット3~0 - WDPER3~0 : ウォッチドッグ周期 (Watchdog Timeout Period)

これらのヒューズビットはウォッチドッグ タイマ周期初期値を設定するために使われます。リセットの間にこれらのヒューズビットが自動的にウォッチドッグ制御レジスタのウォッチドッグ周期(PER)ビットに書かれます。詳細については84頁の「CTRL - ウォッチドッグ タイマ制御レジスタ」を参照してください。

4.16.3. FUSEBYTE2 - ヒューズ バイト2 (Fuse Byte 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	BOOTRST	-	-	-	-	BODPD1,0		FUSEBYTE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

- ビット7 - 予約 (Reserved)

このビットは未使用で将来の使用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

- ビット6 - BOOTRST : ブートローダ領域リセットベクタ (Boot Loader Section Reset Vector)

このヒューズはリセットベクタがブートローダフラッシュ領域の先頭アドレスを指示するようにプログラム(0)にできます。デバイスはリセット後にブートローダフラッシュ領域から実行を開始します。

表4-1. ブートリセットヒューズ

BOOTRST	リセットベクタ(アドレス)
0	ブートローダリセット
1	応用リセット(\$000000)

- ビット5~2 - 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

- ビット1,0 - BODPD1,0 : 低電力保持動作でのBOD動作 (BOD operation in power-down mode)

これらのヒューズビットはデバイスがアイドル動作を除く全ての休止形態動作でのBOD動作種別を設定します。

BODとBOD動作種別の詳細については74頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-2. 休止形態動作でのBOD動作種別

BODPD1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

4.16.4. FUSEBYTE4 – ヒューズ バイト4 (Fuse Byte 4)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	–	–	RSTDISBL	STARTUPTIME1,0	WDLOCK	JTAGEN		FUSEBYTE4
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書き込んでください。

● ビット4 – RSTDISBL : 外部リセット禁止 (External Reset Disable)

このヒューズは外部リセットピン機能を禁止するためにプログラム(0)にできます。これが行われると、リセットピンのLow引き込みは外部リセットを引き起こしません。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

● ビット3,2 – STARTUPTIME1,0 : 始動時間 (Start-up time)

これらのヒューズビットは全てのリセット元が開放される時から内部リセットが遅延計数器から開放されるまでの設定可能な時間間隔を設定するのに使うことができます。これらのビットが変更された後でそれらが正しく読めるのに先立ってリセットが必要とされます。

この遅延は超低電力(ULP)発振器の1kHz出力で計時されます。詳細については73頁の「リセットの流れ」を参照してください。

表4-3. 始動時間

STARTUPTIME1,0	1kHz ULP発振器周期数
0 0	64
0 1	4
1 0	(予約)
1 1	0

● ビット1 – WDLOCK : ウォッチドッグ タイマ施錠 (Watchdog Timer lock)

WDLOCKヒューズはウォッチドッグタイマ構成設定を施錠するためにプログラム(0)にすることができます。このヒューズがプログラム(0)されると、ウォッチドッグタイマ構成設定を変更できなくなり、リセットでウォッチドッグタイマ制御(CTRL)レジスタのウォッチドッグ許可(ENABLE)ビットが自動的に設定(1)され、応用ソフトウェアから解除(0)できなくなります。ウォッチドッグタイマ制御(WINCTRL)レジスタのウォッチドッグ窓動作許可(WEN)ビットは自動的に設定(1)されず、ソフトウェアからの設定(1)を必要とします。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

表4-4. ウォッチドッグ タイマ施錠

WDLOCK	内容
0	ウォッチドッグタイマは変更に対して閉ざされます。
1	ウォッチドッグタイマは施錠されません。

● ビット0 – JTAGEN : JTAG許可 (JTAG Enable)

このヒューズはJTAGインターフェースが許可されるか否かを制御します。

JTAGインターフェースが禁止されると、JTAGを通す全てのアクセスが禁止され、デバイスはプログラミングとデバッグ用インターフェース(PDI)だけを用いてアクセスすることができます。

JTAGENヒューズはJTAGインターフェースを持つデバイスでだけ利用可能です。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

表4-5. JTAG許可

JTAGEN	内容
0	JTAG許可
1	JTAG禁止

4.16.5. FUSEBYTE5 – ヒューズ バイト5 (Fuse Byte 5)

ビット	7	6	5	4	3	2	1	0	
+\$05	–	–	BODACT1,0	EESAVE	BODLEVEL2~0				FUSEBYTE5
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	–	–	–	–	–	–	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書き込んでください。

● ビット5,4 – BODACT1,0 : 活動中のBOD動作 (BOD operation in active mode)

これらのヒューズビットはデバイスが活動(標準)またはアイドル動作の時のBOD動作種別を設定します。

BODとBOD動作種別の詳細については74頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-6. 活動とアイドル動作でのBOD動作種別

BODACT1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

● ビット3 – EESAVE : チップ消去からEEPROM保護 (EEPROM is preserved through the Chip Erase)

チップ消去命令は標準的にフラッシュ、EEPROM、内部SRAMを消去します。このヒューズがプログラム(0)されている場合、チップ消去の間にEEPROMは消去されません。これはEEPROMがソフトウェア改訂版に無関係なデータの格納に使われる場合に有用です。

EESAVEヒューズビット変更は書き込み時間経過後直ちに効力を発揮します。従って、プログラミング動作の抜け出しと再移行なしにEESAVE更新とEESAVEの新しい設定に応じたチップ消去の実行が可能です。

表4-7. チップ消去を通したEEPROM保護

EESAVE	内容
0	EEPROMはチップ消去の間、保護されます。
1	EEPROMはチップ消去の間に消去されます。

● ビット2~0 – BODLEVEL2~0 : 低電圧検出(BOD)電圧 (Brown-out detection voltage level)

これらのヒューズビットはBOD電圧値を設定します。詳細については74頁の「リセット元」を参照してください。BOD電圧の公称値については74頁の表9-2をご覧ください。

4.16.6. LOCKBITS – 施錠ビットレジスタ (Lock Bit register)

ビット +\$07	7	6	5	4	3	2	1	0	
	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7,6 – BLBB1,0 : フォトリード領域用施錠ビット1,0 (Boot Lock Bit Boot Section)

これらの施錠ビットはフォトリード領域アクセスに対するソフトウェア保護基準を制御します。BLBBビットはより厳しい施錠へだけ書くことができます。BLBBビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-8. フォトリード領域用施錠ビット

BLBB1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、フォトリード領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令はフォトリード領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、応用領域で実行する(E)LPM命令はフォトリード領域からの読み込みを許されません。割り込みベクタが応用領域に配置されている場合、フォトリード領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令はフォトリード領域への書き込みを許されず、応用領域で実行する(E)LPM命令はフォトリード領域からの読み込みを許されません。割り込みベクタが応用領域に配置されている場合、フォトリード領域から実行されている間、割り込みが禁止されます。

● ビット5,4 – BLBA1,0 : 応用領域用施錠ビット1,0 (Boot Lock Bit Application Section)

これらのビットは応用領域アクセスに対するソフトウェア保護基準を制御します。BLBAビットはより厳しい施錠へだけ書くことができます。BLBAビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-9. 応用領域用施錠ビット

BLBA1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、応用領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、フォトリード領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。割り込みベクタがフォトリード領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用領域への書き込みを許されず、フォトリード領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。割り込みベクタがフォトリード領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ビット3,2 – BLBAT1,0 : 応用表領域ブート施錠ビット1,0 (Boot Lock Bit Application Table Section)

これらのビットはソフトウェア アクセスに関して**応用表領域**アクセスに対するソフトウェア保護基準を制御します。BLBATビットはより厳しい施錠へだけ書くことができます。BLBATビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-10. 応用表領域用ブート施錠ビット

BLBAT1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、応用表領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用表領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用表領域への書き込みを許されず、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ビット1,0 – LB1,0 : 施錠ビット1,0 (Lock Bit)

これらのビットは外部プログラミング中のフラッシュとEEPROMに対する保護基準を制御します。これらのビットは外部プログラミング インターフェースを通してのみ書き込み可能です。施錠ビットのリセットはチップ消去命令の実行によってのみ可能です。TIFとOCDを使う他の全てのアクセスはこの施錠ビットの何れかが0に書かれる場合に防がれます。これらのビットはメモリへのどのソフトウェア アクセスも妨げません。

表4-11. 施錠ビット保護種別

LB1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、メモリ施錠は許可されません。
1 0	WLOCK	書き込み施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)はプログラミング インターフェースに対して禁止されます。ヒューズ ビットはプログラミング インターフェースからの書き込みに対して施錠されます。
0 0	RWLOCK	読み書き施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)と読み込み/検証はプログラミング インターフェースに対して禁止されます。施錠ビットとヒューズ ビットはプログラミング インターフェースからの読み書きに対して施錠されます。

注: 施錠ビットを設定する前にヒューズ ビットとブート施錠ビットを設定してください。

4.17. レジスタ説明 – 製品識票列

4.17.1. RCOSC2M – 2MHz内部発振器校正レジスタ (Internal 2MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$00	RCOSC2M7~0								RCOSC2M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – RCOSC2M7~0 : 2MHz内部発振器校正値 (Internal 2MHz Oscillator Calibration Value)

このバイトは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が2MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については65頁の「[CALB – 校正レジスタB](#)」を参照してください。

4.17.2. RCOSC32K – 32.768kHz内部発振器校正レジスタ (Internal 32.768kHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$02	RCOSC32K7~0								RCOSC32K
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – RCOSC32K7~0 : 32.768kHz内部発振器校正値 (Internal 32.768kHz Oscillator Calibration Value)

このバイトは32.768kHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32kHz発振器用の校正レジスタ内へ自動的に格納されます。より多くの詳細については64頁の「[RC32KCAL – 32kHz内部発振器校正レジスタ](#)」を参照してください。

4.17.3. RCOSC32M – 32MHz内部発振器校正レジスタ (Internal 32MHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$03	RCOSC32M7~0								RCOSC32M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – RCOSC32M7~0 : 32MHz内部発振器校正値 (Internal 32MHz Oscillator Calibration Value)

このバイトは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については65頁の「[CALB – 校正レジスタB](#)」を参照してください。

4.17.4. LOTNUM0 – ロット番号レジスタ0 (Lot Number register 0)

LOTNUM0, LOTNUM1, LOTNUM2, LOTNUM3, LOTNUM4, LOTNUM5は各々のデバイスに対するロット番号を含みます。ウェハー番号とウェハー座標と共に、これはデバイスに対する通番を与えます。

ビット	7	6	5	4	3	2	1	0	
\$08	LOTNUM07~0								LOTNUM0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM07~0 : ロット番号バイト0 (LOT Number byte 0)

このバイトはデバイスに対するロット番号のバイト0を含みます。

4.17.5. LOTNUM1 – ロット番号レジスタ1 (Lot Number register 1)

ビット	7	6	5	4	3	2	1	0	
\$09	LOTNUM17~0								LOTNUM1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM17~0 : ロット番号バイト1 (LOT Number byte 1)

このバイトはデバイスに対するロット番号のバイト1を含みます。

4.17.6. LOTNUM2 – ロット番号レジスタ2 (Lot Number register 2)

ビット	7	6	5	4	3	2	1	0	
\$0A	LOTNUM27~0								LOTNUM2
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM27~0 : ロット番号バイト2 (LOT Number byte 2)

このバイトはデバイスに対するロット番号のバイト2を含みます。

4.17.7. LOTNUM3 – ロット番号レジスタ3 (Lot Number register 3)

ビット	7	6	5	4	3	2	1	0	
\$0B	LOTNUM37~0								LOTNUM3
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM37~0 : ロット番号バイト3 (LOT Number byte 3)

このバイトはデバイスに対するロット番号のバイト3を含みます。

4.17.8. LOTNUM4 – ロット番号レジスタ4 (Lot Number register 4)

ビット	7	6	5	4	3	2	1	0	
\$0C	LOTNUM47~0								LOTNUM4
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM47~0 : ロット番号バイト4 (LOT Number byte 4)

このバイトはデバイスに対するロット番号のバイト4を含みます。

4.17.9. LOTNUM5 – ロット番号レジスタ5 (Lot Number register 5)

ビット	7	6	5	4	3	2	1	0	
\$0D	LOTNUM57~0								LOTNUM5
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – LOTNUM57~0 : ロット番号バイト5 (LOT Number byte 5)

このバイトはデバイスに対するロット番号のバイト5を含みます。

4.17.10. WAFNUM – ウェハー番号レジスタ (Wafer Number register)

ビット	7	6	5	4	3	2	1	0	
\$10	WAFNUM7~0								WAFNUM
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	x	x	x	x	x	

● ビット7~0 – WAFNUM7~0 : ウェハー番号 (Wafer Number)

このバイトは各々のデバイスに対するウェハー番号を含みます。ロット番号とウェハー座標と共に、これはデバイスに対する通番を与えます。

4.17.11. COORDX0 – ウェハー-X座標レジスタ0 (Wafer Coordinate X register 0)

COORDX0,COORDX1,COORDY0,COORDY1は各々のデバイスに対するウェハーのX座標とY座標を含みます。ロット番号とウェハー番号と共に、これは各々のデバイスに対する通番を与えます。

ビット	7	6	5	4	3	2	1	0	
\$12	COORDX07~0								COORDX0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDX07~0 : ウェハー-X座標バイト0 (Wafer Coordinate X byte 0)

このバイトはデバイスに対するウェハー-X座標のバイト0を含みます。

4.17.12. COORDX1 – ウェハ-X座標レジスタ1 (Wafer Coordinate X register 1)

ビット	7	6	5	4	3	2	1	0	
\$13	COORDX17~0								COORDX1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDX17~0 : ウェハ-X座標バイト1 (Wafer Coordinate X byte 1)

このバイトはデバイスに対するウェハ-X座標のバイト1を含みます。

4.17.13. COORDY0 – ウェハ-Y座標レジスタ0 (Wafer Coordinate Y register 0)

ビット	7	6	5	4	3	2	1	0	
\$14	COORDY07~0								COORDY0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDY07~0 : ウェハ-Y座標バイト0 (Wafer Coordinate Y byte 0)

このバイトはデバイスに対するウェハ-Y座標のバイト0を含みます。

4.17.14. COORDY1 – ウェハ-Y座標レジスタ1 (Wafer Coordinate Y register 1)

ビット	7	6	5	4	3	2	1	0	
\$15	COORDY17~0								COORDY1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – COORDY17~0 : ウェハ-Y座標バイト1 (Wafer Coordinate Y byte 1)

このバイトはデバイスに対するウェハ-Y座標のバイト1を含みます。

4.17.15. ADCACAL0 – ADCA校正レジスタ0 (ADCA Calibration register 0)

ADCACAL0とADCACAL1はA/D変換器A(ADCA)に対する校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはA/D変換器校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ビット	7	6	5	4	3	2	1	0	
\$20	ADCACAL07~0								ADCACAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCACAL07~0 : A/D変換器A校正バイト0 (ADCA Calibration byte 0)

このバイトはA/D変換器A校正データのバイト0を含み、これはADCAの校正下位(CALL)レジスタ内に格納されなければなりません。

4.17.16. ADCACAL1 – ADCA校正レジスタ1 (ADCA Calibration register 1)

ビット	7	6	5	4	3	2	1	0	
\$21	ADCACAL17~0								ADCACAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCACAL17~0 : A/D変換器A校正バイト1 (ADCA Calibration byte 1)

このバイトはA/D変換器A校正データのバイト1を含み、これはADCAの校正上位(CALH)レジスタ内に格納されなければなりません。

4.17.17. ADCBCAL0 – ADCB校正レジスタ0 (ADCB Calibration register 0)

ADBCAL0とADBCAL1はA/D変換器B(ADCB)に対する校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはA/D変換器校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ビット	7	6	5	4	3	2	1	0	
\$24	ADBCAL07~0								ADBCAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCBCAL07~0 : A/D変換器B校正バイト0 (ADCB Calibration byte 0)

このバイトはA/D変換器B校正データのバイト0を含み、これはADCBの校正下位(CALL)レジスタ内に格納されなければなりません。

4.17.18. ADCBCAL1 – ADCB校正レジスタ1 (ADCB Calibration register 1)

ビット	7	6	5	4	3	2	1	0	
\$25	ADCBCAL17~0								ADCBCAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – ADCBCAL17~0 : A/D変換器B校正バイト1 (ADCB Calibration byte 1)

このバイトはA/D変換器B校正データのバイト1を含み、これはADCBの校正上位(CALH)レジスタ内に格納されなければなりません。

4.17.19. TEMPENSE0 – 温度感知器校正レジスタ0 (Temperature Sensor Calibration register 0)

TEMPENSE0とTEMPENSE1は内部温度感知器で行われた温度測定からの12ビットADCA変換値を含みます。この測定は製造検査に於いて85°Cで行われ、単点または多点温度感知器校正に使うことができます。

ビット	7	6	5	4	3	2	1	0	
\$2E	TEMPENSE07~0								TEMPENSE0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – TEMPENSE07~0 : 温度感知器校正バイト0 (Temperature Sensor Calibration byte 0)

このバイトは温度測定のバイト0(下位8ビット)を含みます。

4.17.20. TEMPENSE1 – 温度感知器校正レジスタ1 (Temperature Sensor Calibration register 1)

ビット	7	6	5	4	3	2	1	0	
\$2F	TEMPENSE17~0								TEMPENSE1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	x	x	x	x	

● ビット7~0 – TEMPENSE17~0 : 温度感知器校正バイト1 (Temperature Sensor Calibration byte 1)

このバイトは温度測定のバイト1を含みます。

4.17.21. DACAOFFCAL – DACA変位(オフセット)校正レジスタ (DACA Offset Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$30	DACAOFFCAL7~0								DACAOFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – DACAOFFCAL7~0 : D/A変換器A変位(オフセット)校正バイト (DACA Offset Calibration byte)

このバイトはD/A変換器Aに対する変位(オフセット)校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはDACAの変位校正(OFFSETCAL)レジスタへ自動的に格納されず、故にこれはソフトウェアで行われなければなりません。

4.17.22. DACAGAINCAL – DACA利得校正レジスタ (DACA Gain Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$31	DACAGAINCAL7~0								DACAGAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – DACAGAINCAL7~0 : D/A変換器A利得校正バイト (DACA Gain Calibration byte)

このバイトはD/A変換器Aに対する利得校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはDACAの利得校正(GAINCAL)レジスタへ自動的に格納されず、故にこれはソフトウェアで行われなければなりません。

4.17.23. DACBOFFCAL – DACB変位(オフセット)校正レジスタ (DACB Offset Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$32	DACBOFFCAL7~0								DACBOFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – DACBOFFCAL7~0 : D/A変換器B変位(オフセット)校正バイト (DACB Offset Calibration byte)

このバイトはD/A変換器Bに対する変位(オフセット)校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはDACBの変位校正(OFFSETCAL)レジスタへ自動的に格納されず、故にこれはソフトウェアで行われなければなりません。

4.17.24. DACBGAINCAL – DACB利得校正レジスタ (DACB Gain Calibration register)

ビット	7	6	5	4	3	2	1	0	
\$33	DACBGAINCAL7~0								DACBGAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 – DACBGAINCAL7~0 : D/A変換器B利得校正バイト (DACB Gain Calibration Byte)

このバイトはD/A変換器Bに対する利得校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはDACBの利得校正(GAINCAL)レジスタへ自動的に格納されず、故にこれはソフトウェアで行われなければなりません。

4.18. レジスタ説明 – 汎用I/Oメモリ

4.18.1. GPIORn – 汎用I/Oレジスタn (General Purpose I/O register n)

ビット	7	6	5	4	3	2	1	0	
+n	GPIORn7~0								GPIORn
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

これらはビット アクセス可能なI/Oメモリ空間でのフラグや全体変数のようなデータの格納に使える汎用レジスタです。

4.19. レジスタ説明 – 外部メモリ

188頁の「EBI – 外部バス インターフェース」を参照してください。

4.20. レジスタ説明 – MCU制御

4.20.1. DEVID0 – デバイスIDレジスタ0 (Device ID register 0)

DEVID0, DEVID1, DEVID2レジスタは各マイクロ コントローラ デバイス形式を識別するバイト識別を含みます。実際のIDの詳細についてはデバイスのデータシートを参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$00	DEVID7~0								DEVID0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	1	1	1	1	0	

● ビット7~0 – DEVID7~0 : デバイスID第1バイト (Device ID byte 0)

デバイスIDの第1バイト。このバイトは常に\$1Eとして読みます。これはAtmelによって製造されたことを示します。

4.20.2. DEVID1 – デバイスIDレジスタ1 (Device ID register 1)

ビット	7	6	5	4	3	2	1	0	
+\$01	DEVID15~8								DEVID1
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● ビット7~0 – DEVID15~8 : デバイスID第2バイト (Device ID byte 1)

デバイスIDの第2バイトはデバイスのフラッシュ容量を示します。

4.20.3. DEVID2 – デバイスIDレジスタ2 (Device ID register 2)

ビット	7	6	5	4	3	2	1	0	
+\$02	DEVID23~16								DEVID2
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● ビット7~0 – DEVID23~16 : デバイスID第3バイト (Device ID byte 2)

デバイスIDの第3バイトはデバイス番号を示します。

4.20.4. REVID – 改訂ID (Revision ID)

ビット	7	6	5	4	3	2	1	0	
+\$03	REVID3~0								REVID
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1/0	1/0	1/0	1/0	

- ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されています。

- ビット3~0 – REVID3~0 : 改訂版ID (Revision ID)

これらのビットはデバイス改訂版番号を含みます。0=A,1=B,以下同様です。

4.20.5. JTAGUID – JTAG使用者IDレジスタ (JTAG User ID register)

ビット	7	6	5	4	3	2	1	0	
+\$04	JTAGUID7~0								JTAGUID
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

- ビット7~0 – JTAGUID7~0 : JTAG使用者ID (JTAG User ID)

JTAGUIDはJTAG走査チェーン内の同じデバイスIDを持つ2つのデバイス識別に使えます。JTAGUIDはフラッシュから読み取られてこれらのレジスタに配置されます。

4.20.6. MCUCR – MCU制御レジスタ (MCU Control register)

ビット	7	6	5	4	3	2	1	0	
+\$06								JTAGD	MCUCR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – JTAGD : JTAG禁止 (JTAG Disable)

このビットの設定(1)はJTAGインターフェースを禁止します。このビットは構成設定変更保護機構によって保護されています。この詳細については10頁の「構成設定変更保護」を参照してください。

4.20.7. EVSYSLOCK – 事象システム施錠レジスタ (Event System Lock register)

ビット	7	6	5	4	3	2	1	0	
+\$08			EVSYS1LOCK					EVSYS0LOCK	EVSYSLOCK
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5 – 予約 (Reserved)

これらのビットは将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット4 – EVSYS1LOCK : 事象1群施錠

このビットの設定(1)は更なる変更に対して事象チャンネル4~7に関連する事象システム内の全てのレジスタを施錠します。事象システム内の次のレジスタ、CH4MUX,CH4CTRL,CH5MUX,CH5CTRL,CH6MUX,CH6CTRL,CH7MUX,CH7CTRLが施錠されます。このビットは構成設定変更保護機構によって保護されており、この詳細については10頁の「構成設定変更保護」を参照してください。

- ビット3~1 – 予約 (Reserved)

これらのビットは将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – EVSYS0LOCK : 事象0群施錠

このビットの設定(1)は更なる変更に対して事象チャンネル0~3に関連する事象システム内の全てのレジスタを施錠します。事象システム内の次のレジスタ、CH0MUX,CH0CTRL,CH1MUX,CH1CTRL,CH2MUX,CH2CTRL,CH3MUX,CH3CTRLが施錠されます。このビットは構成設定変更保護機構によって保護されており、この詳細については10頁の「構成設定変更保護」を参照してください。

4.20.8. AWEXLOCK – 新波形拡張施錠レジスタ (Advanced Waveform Extension Lock register)

ビット	7	6	5	4	3	2	1	0	
+\$09	–	–	–	–	–	AWEXELOCK	–	AWEXCLOCK	AWEXLOCK
Read/Write	R	R	R	R	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~3 – 予約 (Reserved)

これらのビットは将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2 – AWEXELOCK : TCE0用新波形拡張施錠 (Advanced Waveform Extension Lock for TCE0)

このビットの設定(1)は更なる変更に対して(ポートE配置の)タイマ/カウンタE0用の新波形拡張(AWeX)部(AWEXE)内の全レジスタを施錠します。このビットは構成設定変更保護機構によって保護されています。この詳細については10頁の「構成設定変更保護」を参照してください。

- ビット1 – 予約 (Reserved)

このビットは将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

- ビット0 – AWEXCLOCK : TCC0用新波形拡張施錠 (Advanced Waveform Extension Lock for TCC0)

このビットの設定(1)は更なる変更に対して(ポートC配置の)タイマ/カウンタC0用の新波形拡張(AWeX)部(AWEXC)内の全レジスタを施錠します。このビットは構成設定変更保護機構によって保護されています。この詳細については10頁の「構成設定変更保護」を参照してください。

4.21. レジスタ要約 – NVM制御器

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$10	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		21	
+\$0F	STATUS	NVMBUSY	FBUSY	-	-	-	-	EELOAD	FLOAD	21	
+\$0E	予約	-	-	-	-	-	-	-	-		
+\$0D	INTCTRL	-	-	-	-	SPMLVL1,0		EELVL1,0		21	
+\$0C	CTRLB	-	-	-	-	EEMAPEN	FPRM	EPRM	SPMLOCK	20	
+\$0B	CTRLA	-	-	-	-	-	-	-	CMDEX	20	
+\$0A	CMD	CMD6~0									20
+\$09	予約	-	-	-	-	-	-	-	-		
+\$08	予約	-	-	-	-	-	-	-	-		
+\$07	予約	-	-	-	-	-	-	-	-		
+\$06	DATA2	DATA23~16 (データ バイト2)									19
+\$05	DATA1	DATA15~8 (データ バイト1)									19
+\$04	DATA0	DATA7~0 (データ バイト0)									19
+\$03	予約	-	-	-	-	-	-	-	-		
+\$02	ADDR2	ADDR23~16 (アドレス バイト2)									19
+\$01	ADDR1	ADDR15~8 (アドレス バイト1)									19
+\$00	ADDR0	ADDR7~0 (アドレス バイト0)									19

4.22. レジスタ要約 – ヒューズと施錠ビット

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$07	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		24	
+\$06	予約	-	-	-	-	-	-	-	-		
+\$05	FUSEBYTE5	-	-	BODACT1,0		EESAVE	BODLEVEL2~0			23	
+\$04	FUSEBYTE4	-	-	-	RSTDISBL	STARTUPTIME1,0		WDLOCK	JTAGEN	23	
+\$03	予約	-	-	-	-	-	-	-	-		
+\$02	FUSEBYTE2	-	BOOTRST	TOSCSEL	-	-	-	BODPD1,0		22	
+\$01	FUSEBYTE1	WDWPER3~0				WDPER3~0					22
+\$00	FUSEBYTE0	JTAGUID7~0									22

4.23. レジスタ要約 - 製品識票列

アドレス	自動設定	略称	ビット7~0	頁	アドレス	自動設定	略称	ビット7~0	頁
\$00	○	RCOSC2M	RCOSC2M7~0	26	\$20	×	ADCACAL0	ADCACAL07~0	28
\$01		予約			\$21	×	ADCACAL1	ADCACAL17~0	28
\$02	○	RCOSC32K	RCOSC32K7~0	26	\$22		予約		
\$03	○	RCOSC32M	RCOSC32M7~0	26	\$23		予約		
\$04		予約			\$24	×	ADCBCAL0	ADCBCAL07~0	28
\$05		予約			\$25	×	ADCBCAL1	ADCBCAL17~0	29
\$06		予約			\$26		予約		
\$07		予約			\$27		予約		
\$08	×	LOTNUM0	LOTNUM07~0	26	\$28		予約		
\$09	×	LOTNUM1	LOTNUM17~0	26	\$29		予約		
\$0A	×	LOTNUM2	LOTNUM27~0	27	\$2A		予約		
\$0B	×	LOTNUM3	LOTNUM37~0	27	\$2B		予約		
\$0C	×	LOTNUM4	LOTNUM47~0	27	\$2C		予約		
\$0D	×	LOTNUM5	LOTNUM57~0	27	\$2D		予約		
\$0E		予約			\$2E	×	TEMPSENSE0	TEMPSENSE7~0	29
\$0F		予約			\$2F	×	TEMPSENSE1	TEMPSENSE11~8	29
\$10	×	WAFNUM	WAFNUM7~0	27	\$30	×	DACAOFFCAL	DACAOFFCAL7~0	29
\$11		予約			\$31	×	DACAGAINCAL	DACAGAINCAL7~0	29
\$12	×	COORDX0	COORDX07~0	27	\$32	×	DACBOFFCAL	DACBOFFCAL7~0	29
\$13	×	COORDX1	COORDX17~0	28	\$33	×	DACBGAINCAL	DACBGAINCAL7~0	30
\$14	×	COORDY0	COORDY07~0	28	\$34		予約		
\$15	×	COORDY1	COORDY17~0	28	\$35		予約		
\$16		予約			\$36		予約		
\$17		予約			\$37		予約		
\$18		予約			\$38		予約		
\$19		予約			\$39		予約		
\$1A		予約			\$3A		予約		
\$1B		予約			\$3B		予約		
\$1C		予約			\$3C		予約		
\$1D		予約			\$3D		予約		
\$1E		予約			\$3E		予約		
\$1F		予約			\$3F		予約		

4.24. レジスタ要約 – 汎用I/Oレジスタ

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0F	GPIOR15					GPIOR157~0				30
+\$0E	GPIOR14					GPIOR147~0				30
+\$0D	GPIOR13					GPIOR137~0				30
+\$0C	GPIOR12					GPIOR127~0				30
+\$0B	GPIOR11					GPIOR117~0				30
+\$0A	GPIOR10					GPIOR107~0				30
+\$09	GPIOR9					GPIOR97~0				30
+\$08	GPIOR8					GPIOR87~0				30
+\$07	GPIOR7					GPIOR77~0				30
+\$06	GPIOR6					GPIOR67~0				30
+\$05	GPIOR5					GPIOR57~0				30
+\$04	GPIOR4					GPIOR47~0				30
+\$03	GPIOR3					GPIOR37~0				30
+\$02	GPIOR2					GPIOR27~0				30
+\$01	GPIOR1					GPIOR17~0				30
+\$00	GPIOR0					GPIOR07~0				30

4.25. レジスタ要約 – MCU制御

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	予約	-	-	-	-	-	-	-	-	
+\$09	AWEXLOCK	-	-	-	-	-	AWEXELOCK	-	AWEXCLOCK	32
+\$08	EVSYSLOCK	-	-	-	EVSYS1LOCK	-	-	-	EVSYS0LOCK	31
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	MCUCR	-	-	-	-	-	-	-	JTAGD	31
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	JTAGUID					JTAGUID7~0				31
+\$03	REVID	-	-	-	-		REVID3~0			31
+\$02	DEVID2					DEVID23~16				30
+\$01	DEVID1					DEVID15~8				30
+\$00	DEVID0					DEVID7~0				30

4.26. 割り込みベクタ要約 – NVM制御器

表4-12. NVM割り込みベクタとNVM制御器割り込み基準からのそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	EE_vect	不揮発性メモリEEPROM割り込みベクタ
\$02	SPM_vect	不揮発性メモリSPM割り込みベクタ

5. DMAC – 直接メモリ入出力制御器 (Direct Memory Access Controller)

5.1. 要点

- 最小CPU介在での高速転送を許容
 - データメモリからデータメモリへ
 - データメモリから周辺機能へ
 - 周辺機能からデータメモリへ
 - 周辺機能から周辺機能へ
- 独立した4つのDMAチャンネル
 - 転送起動元
 - 割り込みベクタ
 - アドレス指示種別
- 設定可能なチャンネル優先順
- 単一転送処理で1バイトから16Mバイトまでのデータ
 - 繰り返し付き、64Kバイトまでの塊転送
 - 1,2,4,8バイトの集中転送
- 複数のアドレス指示種別
 - 静止
 - 増加
 - 減少
- 各終了での転送元と転送先の再設定任意選択
 - 集中
 - 塊
 - 単位処理
- 転送終了での割り込み任意選択

5.2. 概要

4チャンネル直接メモリ入出力(DMA)制御器はメモリと周辺機能間でデータを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いデータ転送速度を許し、CPU時間を自由にします。4つのDMAチャンネルは4つまでの独立した平行転送を許します。

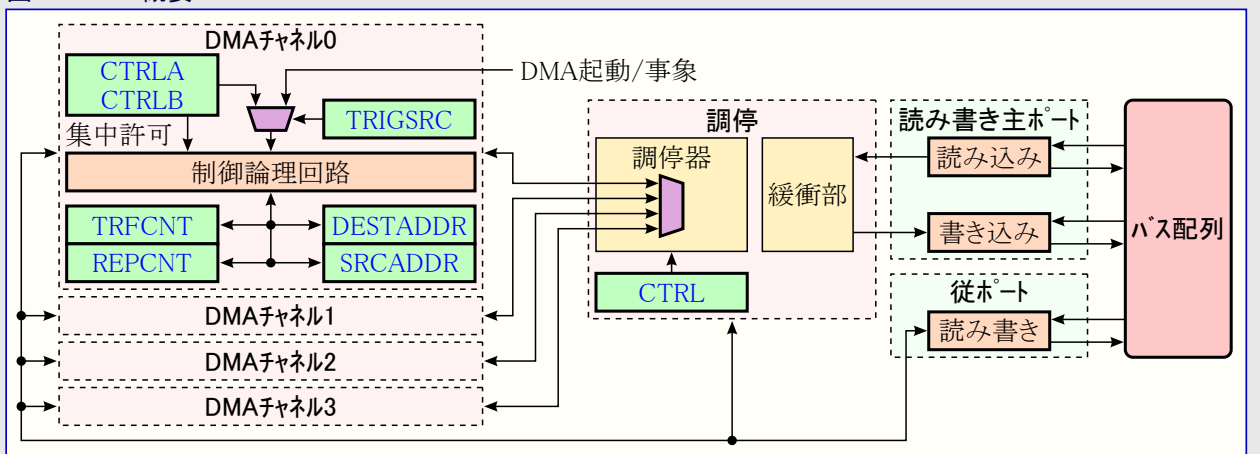
DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能レジスタ間のデータを直接移動することができます。全ての周辺機能へのアクセスとで、DMA制御器は通信単位部との自動的なデータ転送を扱うことができます。DMA制御器はメモリ配置割り当てEEPROMから読むこともできます。

データ転送は1,2,4,8バイトの継続集中で行われます。それらは1バイトから64Kバイトまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mバイトまで各塊転送を繰り返すのに使うことができます。転送元と転送先のアドレス指示は静止、増加、減少にすることができます。転送元と/または転送先のアドレスの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ソフトウェア、周辺機能と事象がDMA転送を起動することができます。

4つのDMAチャンネルは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAチャンネルで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのチャンネルを内部接続することができます。

図5-1. DMA概要



5.3. DMA単位処理 (DMA Transaction)

メモリや周辺機能間の完全なDMA読み書き操作はDMA単位処理と呼ばれます。DMA単位処理はデータの塊(Block)で行われ、単位処理の量(転送バイト数)はソフトウェアから設定可能で、塊の量と繰り返し回数設定によって制御されます。各塊転送(Block transfer)はより小さな集中転送(Burst transfer)に分割されます。

5.3.1. 塊転送(Block Transfer)と繰り返し(Repeat)

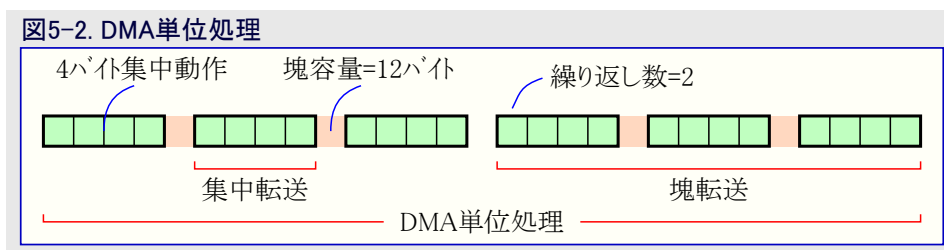
塊転送量は塊転送回数(TRFCNTH, TRFCNTL)レジスタによって設定され、1バイトから64Kバイトまでのいくつにでもできます。

繰り返し回数は単位処理が完了する前に塊転送繰り返し回数を設定することを可能にできます。繰り返しは1~255で、繰り返し回数を0に設定することによって無制限繰り返しが達成できます。

5.3.2. 集中転送 (Burst transfer)

AVR CPUとDMA制御器が同じデータバスを使うため、塊転送はより小さな集中転送に分割されます。集中転送は1,2,4,8バイトが選択可能です。これはDMAがデータバスを獲得し、転送要求が保留中の場合、集中転送内の全バイトが転送されるまでバスを占有することを意味します。

バス調停器はDMA制御器とAVR CPUがバスを使う時を制御します。CPUが常に優先権を持ち、故にCPUがバスへのアクセスを要求する限り、どの保留集中転送も待たなければなりません。SRAM、I/Oメモリ、EEPROM、外部バスインターフェースのデータを読み書きする命令を実行する時に、CPUはバスアクセスを要求します。メモリ入出力でのバス調停のより多くの詳細については17頁の「データメモリ」を参照してください。



5.4. 転送起動元

DMA転送はDMA転送要求が検出される時にだけ開始することができます。転送要求はソフトウェア、外部起動元(周辺機能)または事象から起動できます。各DMAチャンネルには専用の起動元選択があります。利用可能な起動元はデバイス毎に変わり得て、そのデバイスに存在する単位部や周辺機能に依存します。存在しない単位部や周辺機能に対する転送起動の使用は無効です。全ての転送起動元の一覧については44頁の「TRIGSRC - DMAチャンネル起動元レジスタ」を参照してください。

既定により、起動は塊転送動作を始動します。塊転送完了時にチャンネルが自動的に禁止されます。再び許可されると、チャンネルは次の塊転送起動を待ちます。塊転送の代わりに集中転送を始める起動を選ぶことが可能です。これは単発転送と呼ばれ、各起動に対して1つの集中転送だけを転送します。繰り返し動作が許可されていると、次の塊転送は転送起動が必要ありません。それは直前の塊が行われてしまうと直ぐに始まります。

転送実行中に起動元が転送要求を生成した場合、それは保留を維持され、その転送は実行中の転送が行われてしまった時に開始され得ます。1つの保留転送が保持され、従って既に保留されている時に起動元が更に転送要求を生成した場合、それらは失われます。

5.5. アドレス指定

DMA転送に対する転送元と転送先のアドレスは転送元と転送先に対する個別選択で、静止または自動的な増加か減少のどちらかになります。アドレスの増加または減少が使われると、既定の動きが各アクセス後にアドレスを更新するようになります。元の転送元と転送先のアドレスはDMA制御器によって保存され、故に転送元と転送先のアドレスは以下の時点で再設定するように個別に構成設定できます。

- 各集中転送の最後
- 各塊転送の最後
- 単位転送処理の最後
- 再設定なし

5.6. チャンネル間の優先権

多くのチャンネルが同時にデータ転送を要求した場合、どのチャンネルにデータ転送を許すのかを決めるのに優先権の仕組みが利用できます。応用ソフトウェアは1つ以上のチャンネルが固定優先順を持つべきなのか、またはラウンドロビンの仕組みが使われるべきなのかの何れかに決めることができます。ラウンドロビンの仕組みは最後に転送したチャンネルが(次に)最低優先権を持つことを意味します。

5.7. 2重緩衝 (訳補: 2つのチャネルの交互使用によって転送緩衝部が2重化される意)

継続的な転送を可能とするために、2つのチャネルは1つ目が終了した時に2つ目が転送を開始する(またその逆も)ように内部接続することができます。これは2つ目のチャネルが動いている間に、1つ目のチャネルによって転送されたデータを処理し、新しいデータ緩衝部を準備して再びチャネルレジスタを構成設定するための時間を応用に残します。2重緩衝または連結転送と呼ばれます。

2重緩衝がチャネル対に対して許可される時に、この2つのチャネルが同じ繰り返し計数で構成設定されることが重要です。塊容量は等しい必要はありませんが、チャネルの動作構成設定の残りと共に等しくあるべきです。

2重緩衝のチャネル対は1つ目の対としてチャネル0と1、2つ目の対としてチャネル2と3に制限されることに注意してください。けれども、2重緩衝形態での1つの対動作と同時に他は未使用のまま、または独立した動作を持つことが可能です。

5.8. 転送緩衝部

異なるアクセス タイミングを持つメモリ(例えば、入出力レジスタと外部メモリ)間でデータ転送を行う時の不必要なバス負荷を避けるため、DMA制御器は4バイトの緩衝部を持ちます。転送元アドレスから2バイトが読まれ、転送先への書き込み開始前にこの緩衝部へ書かれます。

5.9. 異常検出

DMA制御器は不正な操作を検知できます。異常条件は各DMAチャネルに対して個別に検出され、その異常条件は次のとおりです。

- メモリ割り当てされたEEPROM位置への書き込み
- EEPROMがOFFの(休止形態動作移行)時のEEPROM読み込み
- 転送中のソフトウェアによるDMA制御器または稼動中チャネルの禁止

5.10. ソフトウェア リセット

DMA制御器とDMAチャネルは使用者ソフトウェアからリセットできます。DMA制御器がリセットされると、チャネルを含み、DMA制御器に関する全てのレジスタが解除(=0)されます。ソフトウェア リセットはDMA制御器が禁止されている時にだけ行えます。

DMAチャネルがリセットされると、そのDMAチャネル関係する全てのレジスタが解除(=0)されます。ソフトウェア リセットはそのDMAチャネルが禁止されている時にだけ行えます。

5.11. 保護

安全な動作を保証するために、チャネルレジスタのいくつかは単位処理の間は保護されます。各チャネルに関してDMAチャネル稼動(CHnBUSY)フラグが設定(1)されているとき、使用者は以下のレジスタとビットの変更だけができます。

- DMA制御(CTRL)レジスタ
- DMA割り込み状態(INTFLAGS)レジスタ
- DMA一時(TEMPH, TEMPL)レジスタ
- DMAチャネル制御レジスタA(CTRLA)内のDMAチャネル許可(ENABLE), DMAチャネルソフトウェア リセット(RESET), DMAチャネル繰り返し許可(REPEAT), DMAチャネル転送要求(TRFREQ)ビット
- DMAチャネル起動元(TRIGSRC)レジスタ

5.12. 割り込み

DMAチャネルで異常が検出された時またはDMAチャネルに対して単位処理が完了した時に、DMA制御器は割り込みを生成できます。各DMAチャネルは独立した割り込みベクタを持ち、異常と単位処理完了に対して異なる割り込み要求フラグがあります。

繰り返しが許可されていなければ、塊転送の最後で単位処理完了フラグ(TRNIF)が設定(1)されます。無制限繰り返し許可されている場合、単位処理完了フラグは各塊転送の最後でも設定(1)されます。

5.13. レジスタ説明 – DMA制御器

5.13.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	ENABLE	RESET	–	–	DBUFMODE1,0		PRIMODE1,0		CTRL
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – ENABLE : 許可 (Enable)

このビットの設定(1)がDMA制御器を許可します。DMA制御器が許可されていて且つこのビットが0を書かれた場合、内部転送緩衝部が空でDMAデータ転送が中止される前に、ENABLEビットは解除(0)されません。

- ビット6 – RESET : ソフトウェア リセット (Software Reset)

RESETビットへの1書き込みはDMAが許可(ENABLE=1)されている限り無視されます。このビットはDMA制御器が禁止(ENABLE=0)の時にだけ設定(1)することができます。

- ビット5,4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3,2 – DBUFMODE1,0 : 2重緩衝動作種別 (Double Buffer Mode)

これらのビットは表5-1.に従って様々なチャンネルでの2重緩衝を許可します。

表5-1. DMA 2重緩衝設定

DBUFMODE1,0	群構成設定	内容
0 0	DISABLED	2重緩衝許可なし
0 1	CH01	チャンネル0/1間で2重緩衝許可
1 0	CH23	チャンネル2/3間で2重緩衝許可
1 1	CH01CH23	チャンネル0/1間とチャンネル2/3間で2重緩衝許可

- ビット1,0 – PRIMODE1,0 : チャンネル優先権種別 (Channel Priority Mode)

これらのビットは表5-2.に従って内部チャンネル優先権を決定します。

表5-2. DMAチャンネル優先権設定

PRIMODE1,0	群構成設定	内容
0 0	RR0123	ラウンド ロビン
0 1	CH0RR123	チャンネル0 > ラウンド ロビン(チャンネル1,2,3)
1 0	CH01RR23	チャンネル0 > チャンネル1 > ラウンド ロビン(チャンネル2,3)
1 1	CH0123	チャンネル0 > チャンネル1 > チャンネル2 > チャンネル3

5.13.2. INTFLAGS – 割り込み状態レジスタ (Interrupt Status register)

ビット	7	6	5	4	3	2	1	0	
+\$03	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNFIF	CH2TRNFIF	CH1TRNFIF	CH0TRNFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – CHnERRIF : チャンネルn 異常割り込み要求フラグ (Channel n Error Interrupt Flag)

DMAチャンネルで異常条件が検出された場合、CHnERRIFフラグが設定(1)されます。このビット位置への1書き込みはこのフラグを解除(0)します。

- ビット3~0 – CHnTRNFIF : チャンネルn 転送完了割り込み要求フラグ (Channel n Transaction Complete Interrupt Flag)

チャンネルnでの単位転送処理が完了すると、CHnTRNFIFフラグが設定(1)されます。無制限繰り返し数が許可されている場合、このフラグは各塊転送後に1として読みます。このビット位置への1書き込みはこのフラグを解除(0)します。

5.13.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$04	CH3BUSY CH2BUSY CH1BUSY CH0BUSY CH3PEND CH2PEND CH1PEND CH0PEND								STATUS
Read/Write	R	R	R	R	R	R	R	R	R
初期値	0	0	0	0	0	0	0	0	0

● ビット7~4 – CHnBUSY : チャンネルn 稼動中フラグ (Channel n Busy)

チャンネルnがDMA単位転送処理を開始すると、CHnBUSYフラグが1として読みます。このフラグはDMAチャンネルが禁止された時、チャンネル転送完了割り込み要求フラグが設定(1)された時、またはDMAチャンネル異常割り込み要求フラグが設定(1)された場合、自動的に解除(0)されます。

● ビット3~0 – CHnPEND : チャンネルn 保留中フラグ (Channel n Pending)

DMAチャンネルで塊転送が保留中の場合、CHnPENDフラグが1として読みます。このフラグは塊転送開始時、または転送が中止された場合、自動的に解除(0)されます。

5.13.4. TEMPL – 一時レジスタ下位 (Temporary register Low)

ビット	7	6	5	4	3	2	1	0	
+\$06	TEMP7~0								TEMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP7~0 : 一時値7~0 (Temporary bits, low byte)

このレジスタはDMA制御器内の16ビットと24ビットのレジスタ読み書き時に使われます。CPUによって16/24ビットレジスタの第1バイトが書かれる時にそれがここに格納されます。CPUによって16/24ビットレジスタの第1バイトが読まれる時に16/24ビットレジスタの第2バイトがここに格納されます。このレジスタは使用者ソフトウェアからの読み書きもできます。

16ビットと24ビットのレジスタの読み書きは特別な注意が必要です。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

5.13.5. TEMPH – 一時レジスタ上位 (Temporary register High)

ビット	7	6	5	4	3	2	1	0	
+\$07	TEMP15~8								TEMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – TEMP15~8 : 一時値15~8 (Temporary bits, high byte)

このレジスタはDMA制御器内の24ビットレジスタ読み書き時に使われます。CPUによって24ビットレジスタの第2バイトが書かれる時にそれが格納されます。CPUによって24ビットレジスタの第1バイトが読まれる時に24ビットレジスタの第3バイトがここに格納されます。このレジスタは使用者ソフトウェアからも読み書きできます。

24ビットレジスタの読み書きは特別な注意が必要です。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

5.14. レジスタ説明 – DMAチャネル

5.14.1. CTRLA – 制御レジスタ (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	CTRLA
	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	BURSTLEN1,0		
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – ENABLE : チャネルn許可 (Channel Enable)

このビットの設定(1)がDMAチャネルを許可します。このビットは単位転送処理が完了される時に自動的に解除(0)されます。DMAチャネルが許可され、このビットが0を書かれた場合、内部転送緩衝部が空でDMA転送が中止されるまでENABLEビットは解除(0)されません。

● ビット6 – RESET : ソフトウェア リセット (Software Reset)

このビットの設定(1)はDMAチャネルをリセットします。このビットはDMAチャネルが禁止(ENABLE=0)されている時にだけ設定(1)できます。このビットへの1書き込みはチャネルが許可(ENABLE=1)されている限り無視されます。このビットはリセットが完了される時に自動的に解除(0)されます。

● ビット5 – REPEAT : 繰り返し許可 (Repeat Mode)

このビットの解除(1)が繰り返し動作を許可します。繰り返し動作では、最後の塊転送の開始でこのビットがハードウェアによって解除(0)されます。DMAチャネル繰り返し数(REPCNT)レジスタはREPEATビット設定前に構成設定されるべきです。

● ビット4 – TRFREQ : 転送要求 (Transfer Request)

このビットの設定(1)がDMAチャネルでのデータ転送を要求します。このビットはデータ転送の開始で自動的に解除(0)されます。このビットの書き込みはチャネルが許可されていない場合は無効です。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 – SINGLE : 単発データ転送 (Single Shot Data Transfer)

このビットの設定(1)が単発動作を許可します。その後チャネルは転送起動でBURSTLENビットの集中転送を行います。チャネルが許可されている間、このビットへの書き込みは無視されます。

● ビット1,0 – BURSTLEN1,0 : 集中動作種別 (Burst Mode)

これらのビットは表5-3に従ってDMAチャネルの集中動作を決めます。これらのビットはチャネルが稼働中の場合に変更できません。

表5-3. DMAチャネル集中動作

BURSTLEN1,0	群構成設定	内容
0 0	1BYTE	1バイト集中転送動作
0 1	2BYTE	2バイト集中転送動作
1 0	4BYTE	4バイト集中転送動作
1 1	8BYTE	8バイト集中転送動作

表5-4. DMAチャネル構成設定に従う、起動、単位転送処理完了フラグ、チャネル禁止の要約

REPEAT	SINGLE	REPCNT	起動	～後フラグ設定	～後チャネル禁止
0	0	0	塊	1塊	1塊
0	0	1	塊	1塊	1塊
0	0	n>1	塊	1塊	1塊
0	1	0	BURSTLEN	1塊	1塊
0	1	1	BURSTLEN	1塊	1塊
0	1	n>1	BURSTLEN	1塊	1塊
1	0	0	塊	各塊	各塊
1	0	1	単位転送処理	1塊	1塊
1	0	n>1	単位転送処理	n塊	n塊
1	1	0	BURSTLEN	各塊	決して起きない
1	1	1	BURSTLEN	1塊	1塊
1	1	n>1	BURSTLEN	n塊	n塊

5.14.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – CHBUSY : チャネル稼動中 (Channel Busy)

DMAチャネルがDMA単位転送処理を開始すると、CHBUSYフラグが1として読みます。DMAチャネルが禁止される時、チャネル転送完了割り込み要求フラグ(TRNIF)が設定(1)される時、またはチャネル異常割り込み要求フラグ(ERRIF)が設定(1)される場合、このフラグは自動的に解除(0)されます。

● ビット6 – CHPEND : チャネル保留中 (Channel Pending)

DMAチャネルで塊転送が保留中の場合、CHPENDが1として読みます。転送開始時、または転送が中止された場合、このフラグは自動的に解除(0)されます。

● ビット5 – ERRIF : 異常割り込み要求フラグ (Error Interrupt Flag)

DMAチャネルで異常条件が検出された場合、ERRIFフラグが設定(1)され、任意選択割り込みが生成されます。DMAチャネル異常割り込みはDMAチャネル転送完了割り込みと割り込みアドレスを共用しているため、ERRIFはその割り込みベクタが実行される時に解除(0)されません。このフラグはこの位置への1書き込みによって解除(0)されます。

● ビット4 – TRNIF : チャネル転送完了割り込み要求フラグ (Channel Transaction Complete Interrupt Flag)

DMAチャネルでの単位転送処理が完了されると、TRANIFフラグが設定(1)され、任意選択割り込みが生成されます。繰り返しが許可されていなくて単位転送処理が完了すると、塊転送後にTRANIFが設定(1)されます。無制限繰り返しが許可されていると、TRNIFは各塊転送後にも設定(1)されます。

DMAチャネル転送完了割り込みがDMAチャネル異常割り込みと割り込みアドレスを共用しているので、TRNIFはその割り込みベクタが実行される時に解除(0)されません。このフラグはこの位置への1書き込みによって解除(0)されます。

● ビット3,2 – ERRINTLVL1,0 : チャネル異常割り込み段位 (Channel Error Interrupt Level)

これらのビットはDMAチャネル転送異常に対する割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可された割り込みはチャネル異常割り込み要求フラグ(ERRIF)が設定(1)される時の条件に対して起動します。

● ビット1,0 – TRNINTLVL1,0 : チャネル転送完了割り込み段位 (Channel Transaction Complete Interrupt Level)

これらのビットはDMAチャネル単位転送処理完了に対する割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可された割り込みはチャネル転送完了割り込み要求フラグ(TRNIF)が設定(1)される時の条件に対して起動します。

5.14.3. ADDRCTRL – アドレス制御レジスタ (Address Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	SRCRELOAD1,0		SRCDIR1,0		DESTRELOAD1,0		DESTDIR1,0		ADDRCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – SRCRELOAD1,0 : チャネル転送元アドレス再格納 (Channel Source Address Reload)

これらのビットは表5-5に従ってDMAチャネルの転送元アドレスの再格納を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-5. DMAチャネル転送元アドレス再格納設定

SRCRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送元アドレスレジスタは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送元アドレスレジスタは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送元アドレスレジスタは各単位転送処理の最後で初期値が再格納されます。

● ビット5,4 – SRCDIR1,0 : チャネル転送元アドレス指示種別 (Channel Source Address Mode)

これらのビットは表5-6.に従ってDMAチャネルの転送元アドレス指示種別を決めます。これらのビットはチャネルが稼働中の場合に変更できません。

表5-6. DMAチャネル転送元アドレス指示種別設定

SRCDIR1,0	群構成設定	内容
0 0	FIXED	固定
0 1	INC	増加(+1)
1 0	DEC	減少(-1)
1 1	-	(予約)

● ビット3,2 – DESTRELOAD1,0 : チャネル転送先アドレス再格納 (Channel Destination Address Reload)

これらのビットは表5-7.に従ってDMAチャネルの転送先アドレスの再格納を決めます。これらのビットはチャネルが稼働中の場合に変更できません。

表5-7. DMAチャネル転送先アドレス再格納設定

DESTRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送先アドレスレジスタは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送先アドレスレジスタは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送先アドレスレジスタは各単位転送処理の最後で初期値が再格納されます。

● ビット1,0 – DESTDIR1,0 : チャネル転送先アドレス指示種別 (Channel Destination Address Mode)

これらのビットは表5-8.に従ってDMAチャネルの転送先アドレス指示種別を決めます。これらのビットはチャネルが稼働中の場合に変更できません。

表5-8. DMAチャネル転送先アドレス指示種別設定

DESTDIR1,0	群構成設定	内容
0 0	FIXED	固定
0 1	INC	増加(+1)
1 0	DEC	減少(-1)
1 1	-	(予約)

5.14.4. TRIGSRC – 起動元レジスタ (Trigger Source register)

ビット	7	6	5	4	3	2	1	0	
+\$03	TRIGSRC7~0								TRIGSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TRIGSRC7~0 : チャネル起動元選択 (Channel Trigger Source Select)

これらのビットはDMAチャネルでの転送を起動するのにどの起動元が使われるかを選びます。0値は起動元が禁止されることを意味します。各起動元に対してTRIGSRCレジスタ内に置くための値は、単位部または周辺機能の基準値と、単位部または周辺機能内の起動元に対する変位値の合計です。表5-9.は全ての単位部または周辺機能に対する基準値を示します。表5-10.~13.は各種の単位部または周辺機能の形式内の起動元に対する差分値を示します。デバイスに関して存在しない単位部または周辺機能については転送起動も存在しません。利用可能な周辺機能の一覧についてはデバイスのデータシートを参照してください。

起動元と関連する割り込み要求フラグが解除される、または割り込みが起動されるように割り込み段位を許可した場合、DMA要求が失われます。DMA要求が割り込み要求フラグを解除し得るため、割り込みが失われ得ます。

注: 殆どの起動元に関してその要求は要求での周辺機能に属するレジスタのアクセスによって解除されます。要求がどう生成されて解除されるかについては各種周辺機能章を参照してください。

表5-9. 全単位部及び周辺機能に対するDMA起動元基準値

TRIGSRC 基準値	群構成 設定	内容	TRIGSRC 基準値	群構成 設定	内容
\$00	OFF	ソフトウェア起動のみ	\$6A	SPID	SPI D DMA起動基準値
\$01	SYS	事象システムDMA起動基準値	\$6B	USARTD0	USART D0 DMA起動基準値
\$04	AES	AES DMA起動基準値	\$6E	USARTD1	USART D1 DMA起動基準値
\$10	ADCA	ADC A DMA起動基準値	\$80	TCE0	タイマ/カウンタ E0 DMA起動基準値
\$15	DACA	DAC A DMA起動基準値	\$86	TCE1	タイマ/カウンタ E1 DMA起動基準値
\$20	ADCB	ADC B DMA起動基準値	\$8A	SPIE	SPI E DMA起動基準値
\$25	DACB	DAC B DMA起動基準値	\$8B	USARTE0	USART E0 DMA起動基準値
\$40	TCC0	タイマ/カウンタ C0 DMA起動基準値	\$8E	USARTE1	USART E1 DMA起動基準値
\$46	TCC1	タイマ/カウンタ C1 DMA起動基準値	\$A0	TCF0	タイマ/カウンタ F0 DMA起動基準値
\$4A	SPIC	SPI C DMA起動基準値	\$A6	TCF1	タイマ/カウンタ F1 DMA起動基準値
\$4B	USARTC0	USART C0 DMA起動基準値	\$AA	SPIF	SPI F DMA起動基準値
\$4E	USARTC1	USART C1 DMA起動基準値	\$AB	USARTF0	USART F0 DMA起動基準値
\$60	TCD0	タイマ/カウンタ D0 DMA起動基準値	\$AE	USARTF1	USART F1 DMA起動基準値
\$66	TCD1	タイマ/カウンタ D1 DMA起動基準値			

訳注: これらのA~FはポートA~Fを表し、同一周辺機能が複数存在する場合の個別指示に使われます。基本的に各ポートはA,Bがアナログ関係、C以降がデジタル関係です。これらから必ずしも順に実装されるとは限らないことに注意してください。

表5-10. 事象システム起動に対するDMA起動元差分値

TRIGSRC 差分値	群構成 設定	内容
+\$00	CH0	事象チャンネル0
+\$01	CH1	事象チャンネル1
+\$02	CH2	事象チャンネル2

表5-11. ADCとDACに対するDMA起動元差分値

TRIGSRC 差分値	群構成 設定	内容
+\$00	CH0	ADC/DACチャンネル0
+\$01	CH1	ADC/DACチャンネル1
+\$02	CH2	ADCチャンネル2 (注1)
+\$03	CH3	ADCチャンネル3 (注1)
+\$04	CH4	ADCチャンネル0,1,2,3 (注1,注2)

注1: DACはチャンネル0と1だけ存在し、起動に使えます。
注2: チャンネル4はADCチャンネル0~3共のorと当価です。

表5-12. タイマ/カウンタに対するDMA起動元差分値

TRIGSRC 差分値	群構成 設定	内容
+\$00	OVF	上昇溢れ/下降漏れ
+\$01	ERR	異常
+\$02	CCA	比較または捕獲チャンネルA
+\$03	CCB	比較または捕獲チャンネルB
+\$04	CCC	比較または捕獲チャンネルC (注1)
+\$05	CCD	比較または捕獲チャンネルD (注1)

注1: CCのCとDチャンネルはタイマ/カウンタ0でだけ利用可能です。

表5-13. USARTに対するDMA起動元差分値

TRIGSRC 差分値	群構成 設定	内容
+\$00	RXC	受信完了
+\$01	DRE	データレジスタ空

群構成設定は基準_差分(base_offset)、例えばタイマ/カウンタC1のCCチャンネルAでの転送起動はTCC1_CCAです。

5.14.5. TRFCNTL – チャネルn塊転送数レジスタ下位 (Channel Block Transfer Count register Low)

TRFCNTHとTRFCNTLレジスタ対は16ビット値TRFCNTを表します。TRFCNTは塊転送でのバイト数を定義します。TRFCNTの値はDMAチャネルによってバイトが読まれる毎に減少(-1)されます。TRFCNTが0に達すると、レジスタは最後に書かれた値を再格納します。

TRFCNTレジスタの既定値は1です。使用者がこのレジスタに0を書いてDMA起動を始めた場合、DMAは\$FFFF回の転送を行います。

ビット	7	6	5	4	3	2	1	0	
+\$04	TRFCNT7~0								TRFCNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~0 – TRFCNT7~0 : チャネルn塊転送数下位 (Channel n Block Transfer Count low byte)

これらのビットは16ビット塊転送数のLSB(下位バイト)を保持します。

5.14.6. TRFCNTH – チャネルn塊転送数レジスタ上位 (Channel Block Transfer Count register High)

16ビットレジスタの読み書きは特別な注意が必要で、その詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$05	TRFCNT15~8								TRFCNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TRFCNT15~8 : チャネルn塊転送数上位 (Channel n Block Transfer Count high byte)

これらのビットは16ビット塊転送数のMSB(上位バイト)を保持します。

5.14.7. REPCNT – 繰り返し数レジスタ (Repeat Counter register)

ビット	7	6	5	4	3	2	1	0	
+\$06	REPCNT7~0								REPCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~0 – REPCNT7~0 : DMAチャネルn繰り返し数 (DMA Channel n Repeat Count)

REPCNTは塊転送が何回実行されるかを数えます。各塊転送毎に、このレジスタは減少(-1)されます。

繰り返し動作が許可されているとき(41頁の「CTRLA – DMAチャネル制御レジスタ」のDMAチャネル繰り返し許可(REPEAT)ビットをご覧ください)、このレジスタは単位転送処理完了時の制御に使われます。DMAが制限された塊転送繰り返し数を扱わなければならない場合、この計数器は各塊転送後に減数(-1)されます。繰り返し動作許可時、REPCNTが0に達して最後の塊転送が完了すると、チャネルは禁止されます。無制限繰り返しは、このレジスタへの0設定によって成し遂げられます。

5.14.8. SRCADDR0 – チャネルn転送元アドレスレジスタ0 (Channel Source Address register 0)

SRCADDR2,SRCADDR1,SRCADDR0は24ビット値SRCADDRを表し、そしてこれはDMAチャネル転送元アドレスです。SRCADDR2はこのレジスタ内の最上位バイトです。SRCADDRは42頁の「ADDRCTRL – DMAチャネルアドレス制御レジスタ」内のDMAチャネル転送元アドレス指示種別(SRCDIR)ビットの設定に基づいて自動的に増減(±1)できます。

ビット	7	6	5	4	3	2	1	0	
+\$08	SRCADDR7~0								SRCADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – SRCADDR7~0 : チャネルn転送元アドレス0 (Channel Source Address byte 0)

これらのビットは24ビット転送元アドレスの第1バイトを保持します。

5.14.9. SRCADDR1 – チャネルn転送元アドレスレジスタ1 (Channel Source Address register 1)

ビット	7	6	5	4	3	2	1	0	
+\$09	SRCADDR15~8								SRCADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – SRCADDR15~8 : チャネルn転送元アドレス1 (Channel Source Address byte 1)

これらのビットは24ビット転送元アドレスの第2バイトを保持します。

5.14.10. SRCADDR2 – チャネル転送元アドレス レジスタ2 (Channel Source Address register 2)

24ビット値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$0A	SRCADDR23~16								SRCADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – SRCADDR23~16 : チャネル転送元アドレス2 (Channel Source Address byte 2)

これらのビットは24ビット転送元アドレスの第3バイトを保持します。

5.14.11. DESTADDR0 – チャネル転送先アドレス レジスタ0 (Channel Destination Address register 0)

DESTADDR2, DESTADDR1, DESTADDR0は24ビット値DESTADDRを表し、そしてこれはDMAチャネル転送先アドレスです。DESTADDR2はこのレジスタ内の最上位バイトです。DESTADDRは42頁の「ADDRCTRL – DMAチャネルアドレス制御レジスタ」内のDMAチャネル転送先アドレス指示種別(DESTDIR)ビットの設定に基づいて自動的に増減(±1)できます。

ビット	7	6	5	4	3	2	1	0	
+\$0C	DESTADDR7~0								DESTADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – DESTADDR7~0 : チャネル転送先アドレス0 (Channel Destination Address byte 0)

これらのビットは24ビット転送先アドレスの第1バイトを保持します。

5.14.12. DESTADDR1 – チャネル転送先アドレス レジスタ1 (Channel Destination Address register 1)

ビット	7	6	5	4	3	2	1	0	
+\$0D	DESTADDR15~8								DESTADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – DESTADDR15~8 : チャネル転送先アドレス1 (Channel Destination Address byte 1)

これらのビットは24ビット転送先アドレスの第2バイトを保持します。

5.14.13. DESTADDR2 – チャネル転送先アドレス レジスタ2 (Channel Destination Address register 2)

24ビット値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$0E	DESTADDR23~16								DESTADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~0 – DESTADDR23~16 : チャネル転送先アドレス2 (Channel Destination Address byte 2)

これらのビットは24ビット転送先アドレスの第3バイトを保持します。

5.15. レジスタ要約 – DMA制御器

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$40	ch3変位									
+\$30	ch2変位									
+\$20	ch1変位									
+\$10	ch0変位									
+\$07	TEMPH									40
+\$06	TEMPL									40
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	STATUS	CH3BUSY	CH2BUSY	CH1BUSY	CH0BUSY	CH3PEND	CH2PEND	CH1PEND	CH0PEND	40
+\$03	INTFLAGS	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNFIF	CH2TRNFIF	CH1TRNFIF	CH0TRNFIF	39
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	CTRL	ENABLE	RESET	-	-	DBUFMODE1,0		PRIMODE1,0		39

5.16. レジスタ要約 – DMAチャネル

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	DESTADDR2									46
+\$0D	DESTADDR1									46
+\$0C	DESTADDR0									46
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	SRCADDR2									46
+\$09	SRCADDR1									45
+\$08	SRCADDR0									45
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	REPCNT									45
+\$05	TRFCNTH									45
+\$04	TRFCNTL									45
+\$03	TRIGSRC									44
+\$02	ADDRCTRL	SRCRELOAD1,0		SRCDIR1,0		DESTRELOAD1,0		DESTDIR1,0		42
+\$01	CTRLB	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		42
+\$00	CTRLA	ENABLE	RESET	REPEAT	TRFREQ	-	SINGLE	BURSTLEN1,0		41

5.17. 割り込みベクタ要約

表5-14. DMA割り込みベクタとDMA制御器割り込み基準からのそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	CH0_vect	DMA制御器チャンネル0割り込みベクタ
\$02	CH1_vect	DMA制御器チャンネル1割り込みベクタ
\$04	CH2_vect	DMA制御器チャンネル2割り込みベクタ
\$06	CH3_vect	DMA制御器チャンネル3割り込みベクタ

6. 事象システム

6.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
 - CPUとDMAの個別動作
 - 100%予測可能な信号タイミング*
 - 短く保証された応答時間
- 8つまでの異なる平行信号経路と構成設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
 - 直交復号
 - 入出力ピン状態のデジタル濾波
- 活動動作とアイドル動作で作動

6.2. 概要

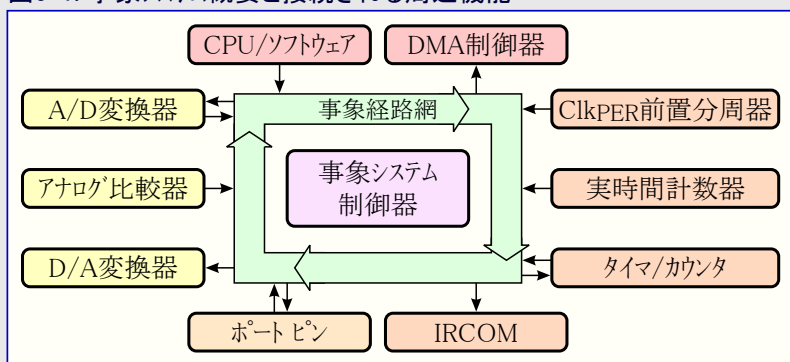
事象システムは周辺機能から周辺機能への直接的な通信と合図を許します。それは或る周辺機能の状態変化から別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するために設計されています。これは割り込み、CPU、またはDMA制御器の資源なしで、自律の周辺機能制御と相互作用を許し、従ってこれは応用コードの複雑さ、大きさ、実行時間を減らす強力な道具です。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能の割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図6-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)を共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象構成設定と配線を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図6-1. 事象システム概要と接続される周辺機能

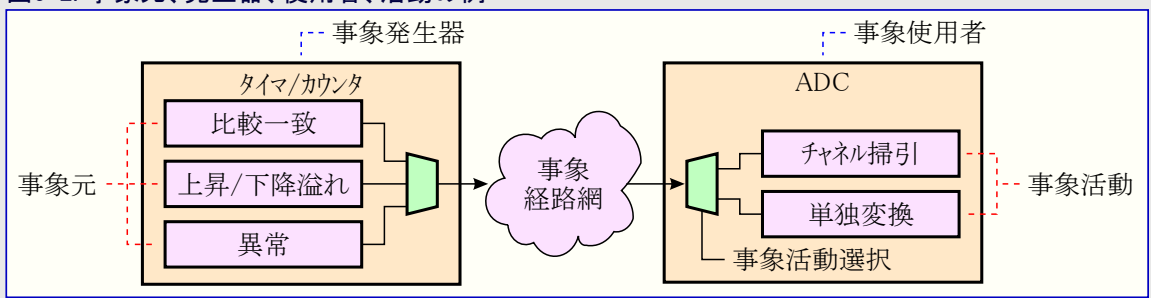


6.3. 事象

事象システムの関係に於いては周辺機能内で状態変化が起きたことの指示が事象と呼ばれます。これらは2つの主な事象、合図事象とデータ事象です。合図事象は状態変化を指示するだけで、一方データ事象は事象についての付加情報を含みます。

事象原点である周辺機能は事象発生器と呼ばれます。各周辺機能内、例えばタイマ/カウンタにはタイマ比較一致やタイマ上昇溢れのような多くの事象元があります。事象を使う周辺機能は事象使用者と呼ばれ、起動される動作は事象活動と呼ばれます。

図6-2. 事象元、発生器、使用者、活動の例



事象はソフトウェアに於いて手動で発生することもできます。

6.3.1. 合図事象

合図事象は最も基本的な事象形式です。合図事象は周辺機能での変化指示を別にして何の情報も含みません。殆どの周辺機能は合図事象を生成して使うことができます。他に断りが無ければ、語‘事象’の全表記は合図事象と理解されるべきです。

6.3.2. データ事象

データ事象は事象使用者が受信情報に基づいて事象活動を決めるのに復号できる情報をそれらが含むことで合図事象と異なります。

事象経路網が全事象を全事象使用者へ経路付けすることができるとは言え、合図事象の使用だけを意図するそれらはデータ事象の利用に必要な復号能力を持ちません。事象使用者がデータ事象をどう復号するかは表6-1.で示されます。

データ事象を利用できる事象使用者は合図事象も使えます。これは設定可能で、各周辺機能に対するデータシート部分で記述されます。

6.3.3. 周辺機能クロック事象

各事象チャンネルは1(前置分周なし)~32768の範囲を持つ周辺機能クロック前置分周器を含みます。これは周辺機能クロックに基づく、設定可能な周期的事象生成を許します。これは周辺機能での周期的な起動事象または多数の周辺機能での周期的な同期された起動事象が可能です。各事象チャンネルが前置分周器を含むため、異なる周辺機能は異なる間隔での起動を受け取ることができます。

6.3.4. ソフトウェア事象

事象は事象データ(DATA)と事象発動(STROBE)のレジスタを書くことによってソフトウェアから生成することができます。STROBEレジスタ書き込みが動作を起動するので、DATAレジスタが先に書かれなければなりません。DATAとSTROBEのレジスタは各事象チャンネルに対する1ビットを含みます。ビットnが事象チャンネルnに対応します。多数のビット位置を一度に書くことによって同時に多数のチャンネルで事象を生成することが可能です。

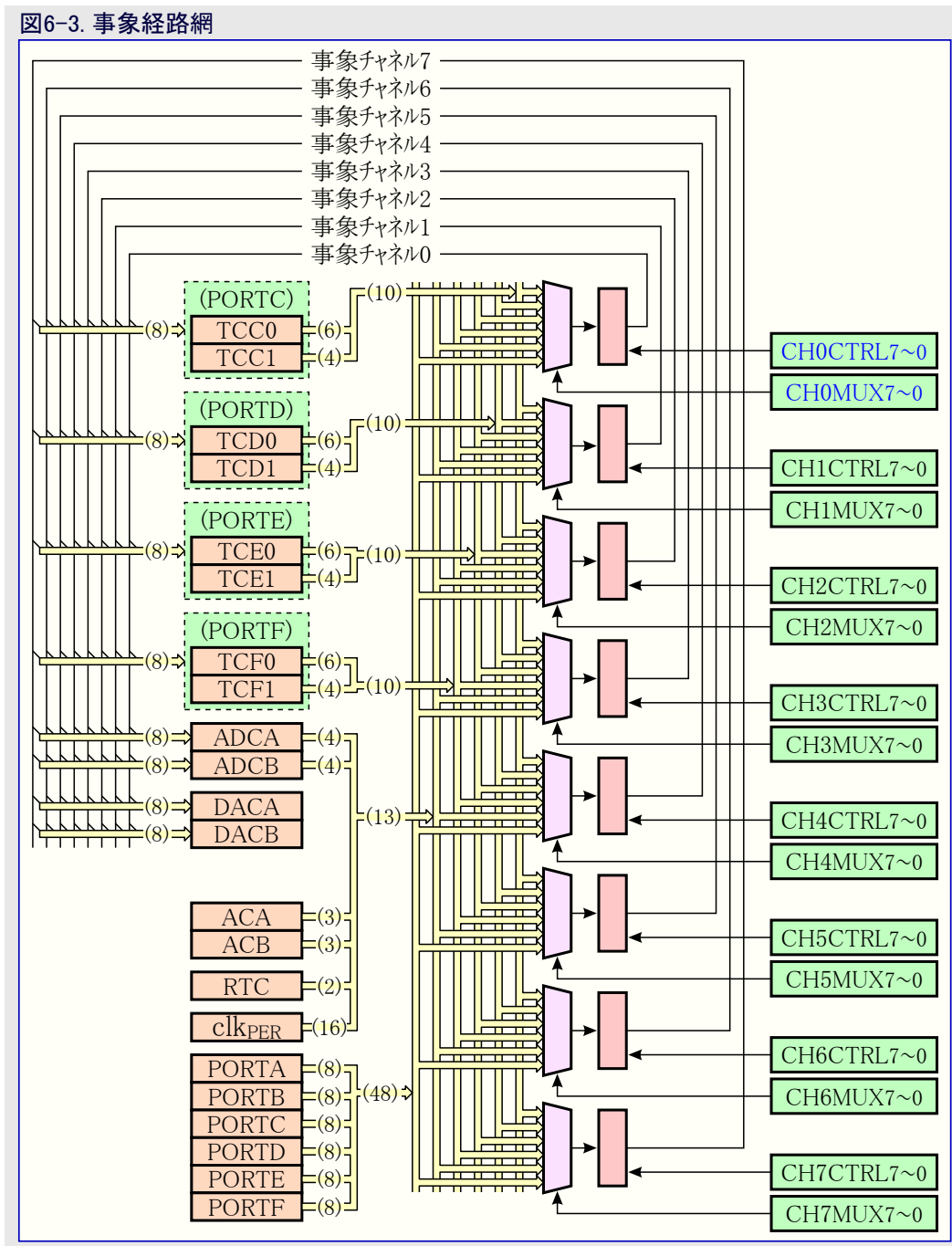
ソフトウェア生成事象は1クロック周期間持続し、そのクロック周期間でそのチャンネル上の他の事象生成器からの事象を上書きします。

表6-1.は各種事象がどう手動生成でき、どう復号されるのかを示します。

STROBE	DATA	データ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	データ事象01	事象なし
1	0	データ事象02	合図事象
1	1	データ事象03	合図事象

6.4. 事象経路網

事象経路網は周辺機能間の事象を経路付けします。これは各々がどの事象元をどの事象使用者へも配線するように構成設定することができる8つの多重器(CHnMUX)から成ります。多重器からの出力は事象チャンネルとして参照されます。各周辺機能については、やって来る事象が事象活動を起動すべきかどうかを選択可能です。構成設定の詳細については各周辺機能に関するデータシートで得られます。事象経路網は図6-3.で示されます。



8つの多重器は同時に8つまでの事象の経路付けが可能であることを意味します。1つの事象を沢山の多重器を通して経路付けすることも可能です。

全てのXMEGAデバイスが全ての周辺機能を含む訳ではありません。これはその周辺機能が事象の生成と使用に利用できないことだけを意味します。それ自身の網形態は全デバイス間で一致します。

6.5. 事象タイミング

通常、事象は1周辺機能クロック周期間持続しますが、I/OピンのLowレベルのようないくつかの事象元は継続的に事象を生成するでしょう。この詳細は各周辺機能に対するデータシートで記述されますが、その他言及がなければ事象は1周辺機能クロック周期間持続します。事象が生成される時から他の周辺機能の事象活動が起動されるまでには最大2クロック周期かかります。これはCPUやDMA制御器の負荷またはソフトウェア改訂と無関係に、短くて100%予測可能な応答時間を保証します。

6.6. 濾波

各事象チャンネルはデジタル濾波器を含みます。これが許可されると、それが受け入れられる前に構成設定可能なシステムクロック周期数と同じ値分で採取されなければなりません。これは本来ピン変化事象用に意図されています。

6.7. 直交復号器

事象システムはデバイスに、I/Oピンの直交入力への復号と、タイマ/カウンタが上昇計数、下降計数、または指標/リセットへ復号し得るデータ事象の送出を許す、3つの直交復号器(QDEC)を含みます。表6-2.はどの直交復号器データ事象が利用可能か、そしてそれらがどう復号されるか、それらがどう生成され得るかを示します。QDECと関連する機能、制御と状態のレジスタは事象チャンネル0,2,4で利用できます。

表6-2. 直交復号器データ事象

STROBE	DATA	データ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	指標/リセット	事象なし
1	0	下降計数	合図事象
1	1	上昇計数	合図事象

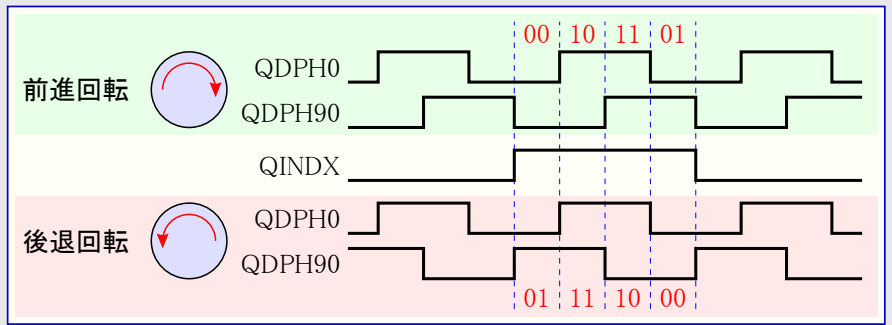
6.7.1. 直交動作

直交信号は互いに90°移動された位相関係の2つの方形波を持つことによって特徴付けられます。回転運動は2つの波形の端を計数することによって測定することができます。2つ方形波間の位相関係が回転方向を決めます。

図6-4.は回転符号器からの代表的な直交信号を示します。QDPH0とQDPH90の信号が2つの直交信号です。QDPH90がQDPH0より先行するとき、回転は正または正転として定義されます。QDPH0がQDPH90より先行するとき、回転は負または逆転として定義されます。2相信号の関連は直交状態または位相状態と呼ばれます。

絶対的な回転変位を知るために第3の指標信号(QINDX)が使えます。これは1回転毎の指示を与えます。

図6-4. 回転符号器からの直交信号



6.7.2. QDEC初期設定

完全なQDEC初期設定については以下が必要とされます。

- 直交信号入力用の2または3つのI/Oポートピン
- 直交復号用の2つの事象システム
- 上昇、下降と任意の指標計数用の1つのタイマ/カウンタ

QDEC初期設定に関して次の手順が使われるべきです。

1. QDEC相入力としてポートの2つの連続するピンを選んでください。
2. QDPH0とQDPH90に対してピン方向を入力として設定してください。
3. QDPH0とQDPH90に対してピン形態をLowレベル感知条件に設定してください。
4. 事象チャンネルnに対する多重器入力としてQDPH0ピンを選んでください。
5. 事象チャンネルで直交復号とデジタル濾波を許可してください。
6. 任意選択:
 1. QDEC指標(QINDX)を初期設定してください。
 2. QINDX入力用の第3のピンを選んでください。
 3. QINDXに対してピン方向を入力として設定してください。
 4. QINDXに対するピン形態を両端感知条件に設定してください。
 5. 事象チャンネルn+1に対する多重器入力としてQINDXを選んでください。
 6. 事象チャンネルnで直交復号指標許可(QDIEN)ビットを設定(1)してください。
 7. 事象チャンネルnで直交復号指標認証動作(QDIRM1,0)を選んでください。
7. タイマ/カウンタに対して事象活動として直交復号を設定してください。
8. タイマ/カウンタ事象元として事象チャンネルnを選んでください。
9. タイマ/カウンタの定期(PER)レジスタを(直交符号器の直線計数数×4-1)に設定してください。
10. クロック前置分周なしでタイマ/カウンタを許可してください。

QDPH0,QDPH90(とQINDX)へ装着された直交符号器の角度が今やタイマ/カウンタ計数(CNTH:CNL)レジスタから直接読めます。指標が認識された時に計数レジスタがBOTTOMと異なる場合、タイマ/カウンタ異常フラグ(ERRIF)が設定(1)されます。同様に指標の認識なしに計数器の位置がBOTTOMを通る場合も異常フラグが設定(1)されます。

6.8. レジスタ説明

6.8.1. CHnMUX – 事象チャネル多重器レジスタ (Event Channel n Multiplexer register)

ビット +n	7	6	5	4	3	2	1	0	CHnMUX
	CHnMUX7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CHnMUX7~0 : 事象チャネル多重器選択 (Channel Multiplexer)

これらのビットは表6-3.に従って事象元を選びます。この表は周辺機能が存在するか否かのどちらかに拘らず全てのXMEGAデバイスに対して有効です。存在しない周辺機能からの事象元選択は、このレジスタが0の時と同じ結果を与えます。このレジスタが0の時、その間は経路付けされる事象はありません。手動生成事象はCHnMUXを無視し、例えばこのレジスタが0でもその事象チャネルへ経路付けします。

表6-3. CHnMUXビット設定

CHnMUX7~4	CHnMUX3~0	群構成設定	事象元
0 0 0 0	0 0 0 0		なし(手動生成事象のみ)
0 0 0 0	0 0 0 1		(予約)
0 0 0 0	0 0 1 x		(予約)
0 0 0 0	0 1 x x		(予約)
0 0 0 0	1 0 0 0	RTC_OVF/RTC32_OVF	RTC/RTC32上昇溢れ
0 0 0 0	1 0 0 1	RTC_CMP	RTC比較一致
0 0 0 0	1 0 1 x		(予約)
0 0 0 0	1 1 x x		(予約)
0 0 0 1	0 0 0 0	ACA_CH0	ACAチャネル0
0 0 0 1	0 0 0 1	ACA_CH1	ACAチャネル1
0 0 0 1	0 0 1 0	ACA_WIN	ACA窓
0 0 0 1	0 0 1 1	ACB_CH0	ACBチャネル0
0 0 0 1	0 1 0 0	ACB_CH1	ACBチャネル1
0 0 0 1	0 1 0 1	ACB_WIN	ACB窓
0 0 0 1	0 1 1 x		(予約)
0 0 0 1	1 x x x		(予約)
0 0 1 0	0 0 n	ADCA_CHn	ADCAチャネルn(n=0,1,2,3)
0 0 1 0	0 1 n	ADCB_CHn	ADCBチャネルn(n=0,1,2,3)
0 0 1 0	1 x x x		(予約)
0 0 1 1	x x x x		(予約)
0 1 0 0	x x x x		(予約)
0 1 0 1	0 n	PORTA_PINn	PORTAピンn(n=0~7) (注)
0 1 0 1	1 n	PORTB_PINn	PORTBピンn(n=0~7) (注)
0 1 1 0	0 n	PORTC_PINn	PORTCピンn(n=0~7) (注)
0 1 1 0	1 n	PORTD_PINn	PORTDピンn(n=0~7) (注)
0 1 1 1	0 n	PORTE_PINn	PORTEピンn(n=0~7) (注)
0 1 1 1	1 n	PORTF_PINn	PORTFピンn(n=0~7) (注)
1 0 0 0	M	PRESCALER_M	2M分周Clk _{PER} (M=1~15)
1 0 0 1	x x x x		(予約)
1 0 1 0	x x x x		(予約)
1 0 1 1	x x x x		(予約)
1 1 0 0	0 E	表6-4.参照	タイマ/カウンタC0事象形式E
1 1 0 0	1 E	表6-4.参照	タイマ/カウンタC1事象形式E
1 1 0 1	0 E	表6-4.参照	タイマ/カウンタD0事象形式E
1 1 0 1	1 E	表6-4.参照	タイマ/カウンタD1事象形式E
1 1 1 0	0 E	表6-4.参照	タイマ/カウンタE0事象形式E
1 1 1 0	1 E	表6-4.参照	タイマ/カウンタE1事象形式E
1 1 1 1	0 E	表6-4.参照	タイマ/カウンタF0事象形式E
1 1 1 1	1 E	表6-4.参照	タイマ/カウンタF1事象形式E

注: ポートがどう事象を生成するかの記述は95頁の「ポート事象」項で記述されます。

表6-4. タイマ/カウンタ事象形式E (注)

T/C事象	群構成設定	事象形式
0 0 0	TC _{xn} _OVF	上昇/下降溢れ
0 0 1	TC _{xn} _ERR	異常
0 1 0		(予約)
0 1 1		(予約)
1 0 0	TC _{xn} _CCA	捕獲または比較A
1 0 1	TC _{xn} _CCB	捕獲または比較B
1 1 0	TC _{xn} _CCC	捕獲または比較C
1 1 1	TC _{xn} _CCD	捕獲または比較D

注: x=C,D,E,F。n=0,1。

(訳注) 表6-3.の赤文字A~Fと表6-4.の赤文字xは基本的に複数同一周辺機能の個別指定に用いられ、それは各周辺機能がポート単位で配置されます。従ってこれらの文字はポート種別を表し、例えば対タイマ/カウンタC0はポートCに配置されたタイマ/カウンタ0を意味します。

6.8.2. CHnCTRL – 事象チャンネル制御レジスタ (Event Channel n Control register)

ビット	7	6	5	4	3	2	1	0		
+\$08+n	-	QDIRM1,0 (注)			QDIEN(注)	QDEN(注)	DIFFILT2~0			CHnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

注: CH0CTRL, CH2CTRL, CH4CTRLに対してのみ利用可能。これらのビットはCH1CTRL, CH3CTRL, CH5CTRL, CH6CTRL, CH7CTRLで予約されています。

● ビット7 – 予約 (Reserved)

このビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6,5 – QDIRM1,0 : 直交復号指標認識動作 (Quadrature Decode Index Recognition Mode)

これらのビットは有効な指標信号が認識される位置に対するQDPH0とQDPH90の直交状態を決め、そして表6-5に従って計数器指標データ事象が与えられます。これらのビットは接続された指標信号と共に直交復号器を用いる時にだけ設定されるべきです。これらのビットはCH0CTRL, CH2CTRL, CH4CTRLに対してのみ利用可能です。

表6-5. QDIRMビット設定

QDIRM1,0	指標認識状態
0 0	{QDPH0, QDPH90}=00
0 1	{QDPH0, QDPH90}=01
1 0	{QDPH0, QDPH90}=10
1 1	{QDPH0, QDPH90}=11

● ビット4 – QDIEN : 直交復号指標許可 (Quadrature Decode Index Enable)

このビットが設定(1)されると、事象チャンネルはQDEC指標元として使われ、指標データ事象が許可されます。

このビットはCH0CTRL, CH2CTRL, CH4CTRLに対してのみ利用可能です。

● ビット3 – QDEN : 直交復号許可 (Quadrature Decode Enable)

このビットの設定(1)がQDEC動作を許可します。

このビットはCH0CTRL, CH2CTRL, CH4CTRLに対してのみ利用可能です。

● ビット2~0 – DIGFILT2~0 : デジタル濾波器係数 (Digital Filter Coefficient)

これらのビットはデジタル濾波器で使う長さを定義します。事象は、事象元がDIGFILTで定義された周辺機能クロック数間活性(有効)で且つ同じレベルで採取される時にだけ、事象チャンネルを通じて渡されます。

表6-6. デジタル濾波器係数値

DIGFILT2~0	群構成設定	内容
0 0 0	1SAMPLE	1採取
0 0 1	2SAMPLE	2採取
0 1 0	3SAMPLE	3採取
0 1 1	4SAMPLE	4採取
1 0 0	5SAMPLE	5採取
1 0 1	6SAMPLE	6採取
1 1 0	7SAMPLE	7採取
1 1 1	8SAMPLE	8採取

6.8.3. STROBE – 発動レジスタ (Strobe register)

STROBEレジスタ位置が書かれると、各事象チャンネルはSTROBEnと対応するDATAnビット設定のどれもが0でなければ、それによって設定されます。

1周辺機能クロック持続する単一事象が生成されます。

ビット	7	6	5	4	3	2	1	0	
+\$10	STROBE7~0								STROBE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.8.4. DATA – データレジスタ (Data register)

このレジスタはデータ事象を手動生成する時のデータ値を含みます。このレジスタは事象発動(STROBE)レジスタの前に書かれなければなりません。詳細については「[STROBE – 事象発動レジスタ](#)」をご覧ください。

ビット	7	6	5	4	3	2	1	0	
+\$11	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.9. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$11	DATA	DATA7~0								54
+\$10	STROBE	STROBE7~0								53
+\$0F	CH7CTRL	-	-	-	-	-	DIGFILT2~0			53
+\$0E	CH6CTRL	-	-	-	-	-	DIGFILT2~0			53
+\$0D	CH5CTRL	-	-	-	-	-	DIGFILT2~0			53
+\$0C	CH4CTRL	-	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			53
+\$0B	CH3CTRL	-	-	-	-	-	DIGFILT2~0			53
+\$0A	CH2CTRL	-	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			53
+\$09	CH1CTRL	-	-	-	-	-	DIGFILT2~0			53
+\$08	CH0CTRL	-	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			53
+\$07	CH7MUX	CH7MUX7~0								52
+\$06	CH6MUX	CH6MUX7~0								52
+\$05	CH5MUX	CH5MUX7~0								52
+\$04	CH4MUX	CH4MUX7~0								52
+\$03	CH3MUX	CH3MUX7~0								52
+\$02	CH2MUX	CH2MUX7~0								52
+\$01	CH1MUX	CH1MUX7~0								52
+\$00	CH0MUX	CH0MUX7~0								52

7. システム クロックとクロック選択

7.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
 - 32MHz走行時校正付き発振器
 - 2MHz走行時校正付き発振器
 - 32.768kHz校正付き発振器
 - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 20~128MHz出力周波数を持つPLL
 - 内部及び外部クロック任意選択と1~31通倍
- 1~2048分周のクロック前置分周器
- CPUクロックの2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器失敗検出

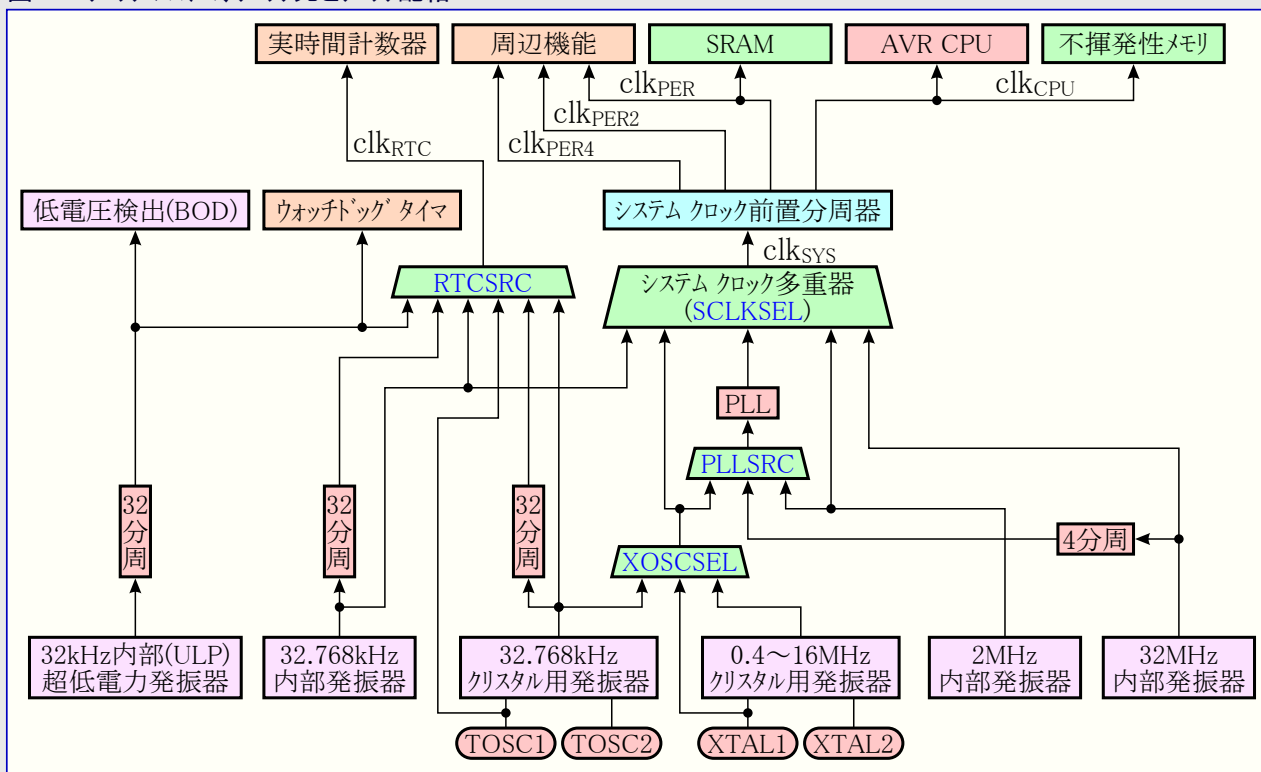
7.2. 概要

XMEGAデバイスは多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振器とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に役立ちます。校正機能(DPLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に役立ちます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステムクロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図7-1.はXMEGA A系デバイスの原則的なクロックシステムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは68頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。

図7-1. クロックシステム、クロック元とクロック配給



7.3. クロック配給

図7-1.はXMEGAデバイスで使われる原則的なクロック配給系統を表します。

7.3.1. システム クロック – clk_{sys}

システム クロックは主システム クロック選択からの出力です。これは非同期クロックを除く全ての内部クロックを生成するのに使われる前置分周器に供給されます。

7.3.2. CPUクロック – clk_{CPU}

CPUクロックはCPUと不揮発性メモリへ送られます。CPUクロックの停止は命令実行からCPUを抑制します。

7.3.3. 周辺機能クロック – clk_{PER}

主要な周辺機能とシステム単位部がこの周辺機能クロックを使います。これにはDMA制御器、事象システム、割り込み制御器、外部バスインターフェースとSRAMを含みます。このクロックは常にCPUクロックに同期しますが、例えCPUクロックがOFFされても動作できます。

7.3.4. 2倍/4倍周辺機能クロック – clk_{PER2},clk_{PER4}

CPUクロック周波数の2または4倍で動作できる単位部は2倍周辺機能クロックと4倍周辺機能クロックを使えます。

7.3.5. 非同期クロック – clk_{RTC}

非同期クロックは外部32.768kHzクリスタル用発振器、32.768kHz内部発振器からの32分周出力、または超低電力(ULP)発振器からの直接クロック駆動を実時間計数器(RTC)に許します。例えデバイスが休止形態動作で残りのクロックが停止されても、専用のクロック範囲がこの周辺機能の動作を許します。

7.4. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

7.4.1. 内部発振器

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

7.4.1.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、これは高い精度用に設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使います。詳細については61頁の「[RTCCTRL – 実時間計数器\(RTC\)制御レジスタ](#)」をご覧ください。デバイスのどれかの部分に対するクロック元として使われる時に、この発振器は自動的に許可/禁止されます。この発振器はRTCに対するクロック元として選ぶことができます。

7.4.1.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。[32.768kHz発振器校正\(RC32KCAL\)レジスタ](#)は発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。詳細については61頁の「[RTCCTRL – 実時間計数器\(RTC\)制御レジスタ](#)」をご覧ください。

7.4.1.3. 32MHz走行時校正付き内部発振器

32MHz走行時校正内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。この発振器は30~55MHz間の何れかの周波数に調整と校正をすることもできます。

7.4.1.4. 2MHz走行時校正付き内部発振器

2MHz走行時校正内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。

7.4.2. 外部クロック元

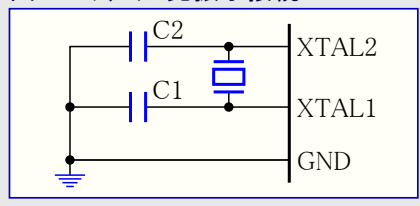
XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TSOC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

7.4.2.1. 0.4～16MHzクリスタル用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。図7-2はクリスタル発振子またはセラミック振動子の代表的な接続を示します。

C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。

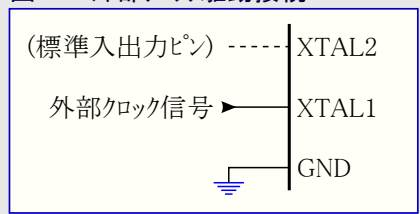
図7-2. クリスタル発振子接続



7.4.2.2. 外部クロック入力

外部クロック元からデバイスを駆動するには、XTAL1が図7-3.で示されるように駆動されなければなりません。この動作ではXTAL2が標準I/Oピンとして使えます。

図7-3. 外部クロック駆動接続

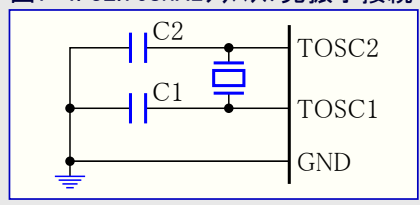


7.4.2.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器は専用の低周波数発振器入力回路を許可することによってTOSC1とTOSC2のピン間に接続できます。代表的な接続は図7-4.で示されます。TOSC2での振幅電圧を減らした低電力動作が利用可能です。この発振器はシステムクロック、RTCに対するクロック元として、DFLL基準として使えます。

C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。推奨されるTOSC特性と負荷容量の詳細についてはデバイスのデータシートを参照してください。

図7-4. 32.768kHzクリスタル発振子接続

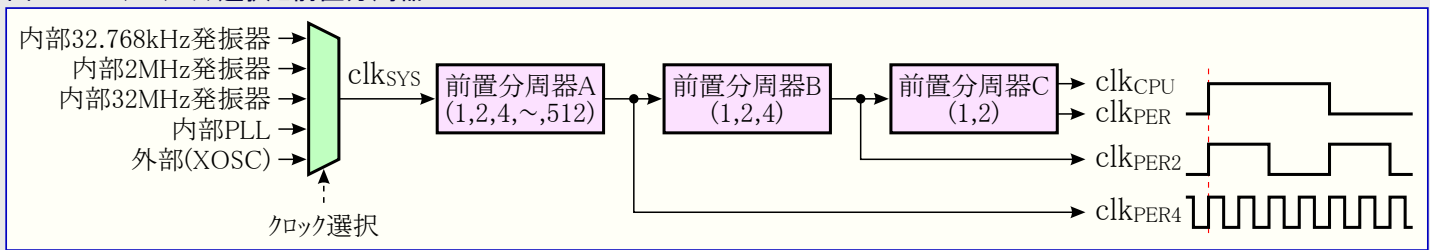


7.5. システムクロック選択と前置分周器

全ての校正付き内部発振器、外部クロック元(XOSC)、PLL出力がシステムクロック元として使えます。システムクロック元はソフトウェアから選択可能で、通常動作の間に変更することができます。組み込みハードウェア保護が安全でないクロック切り換えを防ぎます。不活性または禁止されている発振器をクロック元として選ぶこと、システムクロックとして現在使っている発振器を禁止することは不可能です。発振器の準備可を調べるために各発振器はソフトウェアから読むことができる状態フラグを持っています。

システムクロックはそれをCPUや周辺機能へ配給する前にクロック信号を1～2048分周できる前置分周部へ供給されます。前置分周器設定は通常動作の間にソフトウェアから変更できます。初段の前置分周器Aは1～512分周できます。そして前置分周器BとCは個別にクロックをそのまま通すか、または合同で1～4分周するかのどちらかに構成設定できます。前置分周器は前置分周器設定変更時に起こる中間の周波数や不具合のないことと、(正しい)位相を常に保証します。前置分周器設定は最低クロックの上昇端に従って更新されます。

図7-5. システムクロック選択と前置分周器



前置分周器Aはシステムクロックを分周し、その結果のクロックがclkPER4です。CPUクロック周波数の2または4倍での動作を周辺機能に許すために、前置分周器BとCはクロック速度の異なる分周を許すことができます。前置分周器BとCが使われない場合は、全てのクロックが前置分周器Aからの出力として同じ周波数で動作します。

システムクロック選択と前置分周レジスタは、システムクロックと前置分周器設定の変更に対して時間制限書き込み手順を使う構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

7.6. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL:Phase Locked Loop)は高周波数システム クロックを生成するのに使えます。PLLは使用者が選択可能な1~31の倍率を持ちます。出力周波数 f_{OUT} は倍率PLL_FACで乗算された入力周波数 f_{IN} によって与えられます。

$$f_{OUT} = f_{IN} \times PLL_FAC$$

PLLへの入力として4つの異なるクロック元が選べます。

- 2MHz内部発振器
- 4分周された32MHz内部発振器
- 0.4~16MHzクリスタル用発振器
- 外部クロック信号

PLLを許可するには次の手順に従わなければなりません。

1. 基準クロック元を許可してください。
2. 倍率を設定し、PLLに対する基準クロックを選んでください。
3. 基準クロック元が安定するまで待ってください。
4. PLLを許可してください。

PLLが使用中の時にPLL構成設定が変更できないことをハードウェアが保証します。PLLは新しい構成設定が書かれ得る前に禁止されなければなりません。

選んだクロック元が安定してPLLが固定化する前にPLLを使うことはできません。

PLLが走行中、基準クロック元を禁止することはできません。

7.7. DFLL 2MHzとDFLL 32MHz

2MHzと32MHzの内部発振器の精度を改善するために2つの組み込みデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)が使えます。発振器の走行時自動校正、温度と電圧の変動の補償を行うために、DFLLは発振器周波数をより高い精度の発振器と比較します。基準クロック元に関する選択は次のとおりです。

- 32.768kHz校正付き内部発振器
- TOSCピンに接続された32.768kHzクリスタル用発振器
- 外部クロック

DFLLは1.024kHz基準を使うので発振器基準クロックを32分周します。図7-6で示されるように、基準クロックは各DFLLに対して個別に選ばれます。

リセット中に内部発振器と1.024kHz基準クロック間の周波数比を表す理想計数値がDFLL発振器比較(COMP2,COMP1,COMP0)レジスタに設定されます。32MHz発振器について、このレジスタは異なる周波数で発振器を走行させるため、または基準クロックと発振器間の比率が異なる時にソフトウェアから書くことができます。

COMPレジスタに書かれるべき値は次式によって与えられます。

$$COMP = hex\left(\frac{f_{OSC}}{f_{RCnCREF}}\right)$$

DFLL許可時、それは基準クロック周波数と発振器周波数間の比率を制御します。内部発振器が速すぎるまたは遅すぎる動作なら、DFLLは発振器周波数を調節するためにその校正レジスタ値を1つ増加または減少します。誤差が1/2較正段階量よりも大きい時に発振器は速すぎるまたは遅すぎると見做されます。

DFLLは発振器が停止される休止形態動作へ移行する時に停止します。起動後、DFLLは休止形態移行前に得た校正値で(動作を)継続します。DFLL校正レジスタのリセット値は製品識票列から読むことができます。

DFLLが禁止されると、DFLL校正レジスタは発振器の走行時手動校正用にソフトウェアから書くことができます。

図7-6. DFLL基準クロック選択

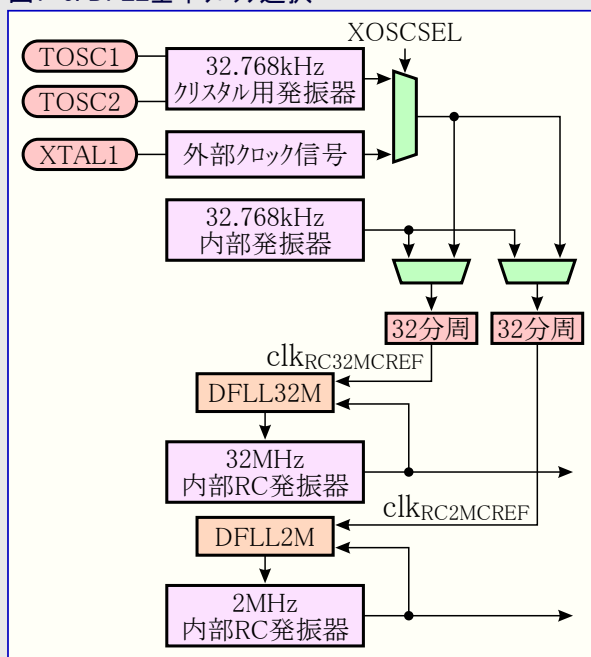
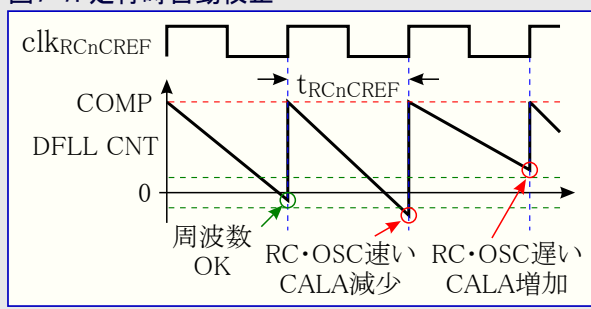


図7-7. 走行時自動校正



7.8. 外部クロック元停止監視器

外部クロック元に対して組み込み停止監視器が利用可能です。外部クロック元に関して停止監視器が許可され、このクロック元がシステムクロックとして使われている間に失敗(外部クロック元停止)の場合、デバイスでは以下を行います。

- 2MHz内部発振器でシステムクロックを走行するように切り替えます。
- 発振器制御(CTRL)レジスタとシステムクロック制御(CTRL)レジスタをそれらの既定値にリセットします。
- 失敗したクロック元(外部クロック)に対する停止検出割り込み要求フラグ(XOSCFDIF)を設定(1)します。
- 遮蔽不可割り込み(NMI)を発行します。

システムクロック元として使われていない時に外部発振器が停止した場合、それが自動的に禁止される一方で、システムクロックは通常動作を継続します。NMIは発行されません。停止監視器は32kHz異常の外部クロック元を予定されています。

停止監視器が許可されると、次のリセットまでそれを禁止することはできません。

停止監視器は外部クロック元が停止される全ての休止形態動作で禁止されます。休止形態からの起動の間にそれは自動的に再開されます。

PLLと外部クロック元停止監視器設定は設定を変更するのに時間制限書き込み手順を使う構成設定変更保護機構によって保護されています。詳細については10頁の「[構成設定変更保護](#)」を参照してください。

7.9. レジスタ説明 - クロック

7.9.1. CTRL - 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	CTRL
	-	-	-	-	-	SCLKSEL2~0			
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - SCLKSEL2~0: システム クロック選択 (System Clock Selection)

これらのビットはシステム クロック用の供給元を選ぶのに使われます。各種選択については表7-1をご覧ください。システム クロック元変更は旧クロック元で2クロック周期と新クロック元で2クロック周期かかります。これらのビットは形態設置変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

SCLKSELは新しいクロック元が安定でない場合に変更することができません。旧クロックはクロック切り替えが完了されるまで禁止することができません。

表7-1. システム クロック選択

SCLKSEL2~0	群構成設定	内容
0 0 0	RC2MHZ	2MHz内部RC発振器
0 0 1	RC32MHZ	32MHz内部環状発振器
0 1 0	RC32KHZ	32.768kHz内部RC発振器
0 1 1	XOSC	外部発振器またはクロック
1 0 0	PLL	位相固定化閉路(PLL)
1 0 1	-	(予約)
1 1 0	-	(予約)
1 1 1	-	(予約)

7.9.2. PSCTRL - 前置分周レジスタ (Prescaler register)

このレジスタは形態設置変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

ビット +\$01	7	6	5	4	3	2	1	0	PSCTRL
	-	PSADIV4~0					PSBCDIV1,0		
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~2 - PSADIV4~0: 前置分周器A分周係数 (Prescaler A Division Factor)

これらのビットは表7-2に従ったクロック前置分周器Aの分周比を定義します。これらのビットはシステム クロックclk_{SYS}に比例するclk_{PER4}の周波数を変更するので、走行時に書くことができます。

表7-2. 前置分周器Aの分周係数

PSADIV4~0	群構成設定	内容
0 0 0 0 0	1	分周なし
0 0 0 0 1	2	2分周
0 0 0 1 1	4	4分周
0 0 1 0 1	8	8分周
0 0 1 1 1	16	16分周
0 1 0 0 1	32	32分周
0 1 0 1 1	64	64分周
0 1 1 0 1	128	128分周
0 1 1 1 1	256	256分周
1 0 0 0 1	512	512分周
1 0 1 0 1	-	(予約)
1 0 1 1 1	-	(予約)
1 1 0 0 1	-	(予約)
1 1 0 1 1	-	(予約)
1 1 1 0 0	-	(予約)
1 1 1 1 1	-	(予約)

● ビット1,0 – PSBCDIV1,0 : 前置分周器B,C分周係数 (Prescaler B and C Division Factor)

これらのビットは表7-3.に従ってクロック前置分周器BとCの分周比を定義します。前置分周器Bはclk_{PER4}クロックに比例するclk_{PER2}クロックのクロック周波数を設定します。前置分周器Cはclk_{PER2}に比例するclk_{PER}とclk_{CPU}クロックのクロック周波数を設定します。より多くの詳細については57頁の図7-5.を参照してください。

表7-3. 前置分周器BとCの分周係数

PSBCDIV1,0	群構成設定	分周数	
		B	C
0 0	1_1	分周なし	分周なし
0 1	1_2	分周なし	2分周
1 0	4_1	4分周	分周なし
1 1	2_2	2分周	2分周

7.9.3. LOCK – 施錠レジスタ (Lock register)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	-	-	-	LOCK	LOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – LOCK : クロックシステム施錠 (Clock System Lock)

このビットが1を書かれると、システムクロック制御(CTRL)レジスタとシステムクロック前置分周器(PSCCTRL)レジスタが変更できなくなり、システムクロック選択と前置分周器設定は次のリセット後まで全ての更なる更新に対して保護されます。このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

LOCKビットはリセットによってのみ解除(0)されます。

7.9.4. RTCCTRL – 実時間計数器(RTC)制御レジスタ (RTC Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	-	-	-	-	RTCSRC2~0			RTCEN	RTCCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~1 – RTCSRC2~0 : RTCクロック元選択 (RTC Clock Source)

これらのビットは表7-4.に従って実時間計数器に対するクロック元を選びます。

表7-4. RTCクロック元選択 (注)

RTCSRC2~0	群構成設定	内容
0 0 0	ULP	内部32kHz超低電力(ULP)発振器からの1kHz
0 0 1	TOSC	TOSCでの32.768kHzクリスタル用発振器からの1.024kHz
0 1 0	RCOSC	32.768kHz内部RC発振器からの1.024kHz
0 1 1	-	(予約)
1 0 0	-	(予約)
1 0 1	TOSC32	TOSCでの32.768kHzクリスタル用発振器からの32.768kHz
1 1 0	-	(予約)
1 1 1	-	(予約)

注: 本表はRTC32に対しては適用できません。

● ビット0 – RTCEN : RTCクロック元許可 (RTC Clock Source Enable)

RTCENビットの設定(1)が実時間計数器に対して選んだRTCクロック元を許可します。

7.10. レジスタ説明 – 発振器

7.10.1. CTRL – 発振器制御レジスタ (Oscillator Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	CTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – PLLEN : PLL許可 (PLL Enable)

このビットの設定(1)がPLLを許可します。PLLが許可される前に、PLLは望む倍率とクロック元で構成設定されなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット3 – XOSCEN : 外部用発振器許可 (External Oscillator Enable)

このビットの設定(1)が選んだ外部クロック元を許可します。外部クロック元の選択法の詳細については63頁の「XOSCCTRL – XOSC制御レジスタ」を参照してください。外部クロック元はそれがシステムクロックに対する供給元として選ばれる前に安定させる時間を与えられるべきです。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット2 – RC32KEN : 32.768kHz内部発振器許可 (32.768kHz Internal Oscillator Enable)

このビットの設定(1)が32.768kHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選ばれる前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット1 – RC32MEN : 32MHz内部発振器許可 (32MHz Internal Oscillator Enable)

このビットの設定(1)が32MHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選ばれる前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

● ビット0 – RC2MEN : 2MHz内部発振器許可 (2MHz Internal Oscillator Enable)

このビットの設定(1)が2MHz内部発振器を許可します。発振器はシステムクロックに対する供給元として選ばれる前に安定していなければなりません。「STATUS – 発振器状態レジスタ」をご覧ください。

既定により、このビットが設定(1)されて2MHz内部発振器が許可されます。

7.10.2. STATUS – 発振器状態レジスタ (Oscillator Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – PLLRDY : PLL準備可 (PLL Ready)

このフラグはPLLが選んだ周波数に固定化され、システムクロック元として使う準備が整った時に設定(1)されます。

● ビット3 – XOSCRDY : 外部発振器準備可 (External Oscillator Ready)

このフラグは外部クロック元が安定し、システムクロック元として使う準備が整った時に設定(1)されます。

● ビット2 – RC32KRDY : 32.768kHz内部発振器準備可 (32.768kHz Internal RC Oscillator Ready)

このフラグは32.768kHz内部発振器が安定し、システムクロック元として使う準備が整った時に設定(1)されます。

● ビット1 – RC32MRDY : 32MHz内部発振器準備可 (32MHz Internal RC Oscillator Ready)

このフラグは32MHz内部発振器が安定し、システムクロック元として使う準備が整った時に設定(1)されます。

● ビット0 – RC2MRDY : 2MHz内部発振器準備可 (2MHz Internal RC Oscillator Ready)

このフラグは2MHz内部発振器が安定し、システムクロック元として使う準備が整った時に設定(1)されます。

7.10.3. XOSCCTRL – 外部用発振器制御レジスタ (XOSC Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	FRQRANGE1,0		X32KLPM	–	XOSCSEL3~0				XOSCCTRL
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – FRQRANGE1,0 : 0.4~16MHzクリスタル用発振器周波数範囲選択 (Crystal Oscillator Frequency Range Select)

これらのビットは表7-5に従って接続されたクリスタル用発振器に対する周波数範囲を選びます。

表7-5. 発振器周波数範囲選択

FRQRANGE1,0	群構成設定	周波数範囲	推奨容量 (pF)
0 0	04TO2	0.4MHz~2MHz	100
0 1	2TO9	2MHz~9MHz	15
1 0	9TO12	9MHz~12MHz	15
1 1	12TO16	12MHz~16MHz	10

注: 与えられた周波数に対して最良の設定を取得するために、デバイスのデータシートで電気的特性章を参照してください。

● ビット5 – X32KLPM : 32.768kHzクリスタル用発振器低電力動作 (Crystal Oscillator 32.768kHz Low Power Mode)

このビットの設定(1)が32.768kHzクリスタル用発振器に対する低電力動作を許可します。これはTOSC2ピンでの振幅を減らします。

● ビット4 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書き込んでください。

● ビット3~0 – XOSCSEL3~0 : クリスタル用発振器選択 (Crystal Oscillator Selection)

これらのビットはXTALまたはTOSCのピンに接続されるクリスタル発振子またはセラミック振動子に対する形式と始動時間を選びます。クリスタル選択については表7-6をご覧ください。システムクロックの供給元として外部クロックまたは外部用発振器が選ばれている場合(発振器制御(CTRL)レジスタをご覧ください)に、この構成設定は変更することができません。

表7-6. 外部用発振器選択と始動時間

XOSCSEL3~0	群構成設定	選択クロック元	始動時間
0 0 0 0 (注3)	EXTCLK	外部クロック信号	6×CLK
0 0 1 0 (注3)	32KHZ	32.768kHz TOSC	16k×CLK
0 0 1 1 (注1)	XTAL_256CLK	0.4~16MHz XTAL	256×CLK
0 1 1 1 (注2)	XTAL_1KCLK	0.4~16MHz XTAL	1k×CLK
1 0 1 1	XTAL_16KCLK	0.4~16MHz XTAL	16k×CLK

注1: この任意選択は始動での周波数安定性が応用で重要でない時にだけ使われるべきです。この任意選択はクリスタル用に適合しません。

注2: この任意選択はセラミック振動子での使用を意図され、始動での周波数安定性を保証するでしょう。また、始動での周波数安定性が応用で重要でない時にも使えます。

注3: DFLL用の基準として外部発振器が使われる時はEXTCLKと32KHZだけを選ぶことができます。

7.10.4. XOSCFAIL – 外部用発振器停止検出レジスタ (XOSC Failure Detection register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	–	–	XOSCFDIF	XOSCFDEN	XOSCFAIL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット1 – XOSCFDIF : 外部クロック停止検出割り込み要求フラグ (Failure Detection Flag)

外部クロック元発振器停止監視器が許可されているなら、停止が検出された時にXOSCFDIFが設定(1)されます。この位置への論理1書き込みがXOSCFDIFを解除(0)します。

● ビット0 – XOSCFDEN : 外部クロック停止検出許可 (Failure Detection Enable)

このビットの設定(1)は停止検出を許可し、外部クロック停止検出割り込み要求フラグ(XOSCFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。一旦許可されると、停止検出はリセットだけによって禁止されます。

7.10.5. RC32KCAL – 32.768kHz内部発振器校正レジスタ (32.768kHz Oscillator Calibration register)

ビット	7	6	5	4	3	2	1	0	
+\$04	RC32KCAL7~0								RC32KCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RC32KCAL7~0 : 32.768kHz内部発振器校正値 (32.768kHz Internal Oscillator Calibration Value)

このレジスタは32.768kHz内部発振器の校正に使われます。リセットの間に概ね32.768kHzの発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタへ書かれます。このレジスタは通常動作の間に発振器周波数を校正するためにソフトウェアから書くこともできます。

7.10.6. PLLCTRL – PLL制御レジスタ (PLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$05	PLLSRC1,0		-	PLLFAC4~0					PLLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – PLLSRC1,0 : PLLクロック元選択 (Clock Source)

PLLSRCビットは表7-7に従ってPLLに対する入力元を選びます。

表7-7. PLLクロック元

PLLSRC1,0	群構成設定	PLL入力元
0 0	RC2M	2MHz内部発振器
0 1	-	(予約)
1 0	RC32M	32MHz内部発振器
1 1	XOSC	外部クロック元 (注)

注: 32kHz TOSCはPLLへの供給元として選ばれません。クロック元として使われるべき外部クロックは最低0.4MHzでなければなりません。

● ビット5 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット4~0 – PLLFAC4~0 : PLL倍率 (Multiplication Factor)

これらのビットはPLLに対する倍率を選びます。倍率は1~31倍の範囲にできます。

7.10.7. DFLLCTRL – DFLL制御レジスタ (DFLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$06	-	-	-	-	-	RC32MCREF1,0		RC2MCREF	DFLLCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2,1 – RC32MCREF1,0 : 32MHz校正基準選択 (32MHz Oscillator Calibration Reference)

これらのビットは表7-8に従って32MHzのDFLLに対する校正元を選ぶのに使われます。これらのビットはDFLLに使う校正元だけを選びます。加えて、選ばれた実際のクロック元はこの機能の校正用に許可されて構成設定されなければなりません。

表7-8. 32MHz発振器基準選択

RC32MCREF1,0	群構成設定	内容
0 0	RC32K	32.768kHz内部発振器
0 1	XOSC32	TOSCでの32.768kHz水晶用発振器
1 0	-	(予約)
1 1	-	(予約)

● ビット0 – RC2MCREF : 2MHz校正基準選択 (2MHz Oscillator Calibration Reference)

このビットは2MHzのDFLLに対する校正元を選ぶのに使われます。既定でのこのビットは0で、32.768kHz内部RC発振器が選ばれます。このビットが1に設定されたなら、基準としてTOSCに接続された32.768kHz水晶用発振器が選ばれます。これらのビットはDFLLに使う校正元だけを選びます。加えて、選ばれた実際のクロック元はこの機能の校正用に許可されて構成設定されなければなりません。

7.11. レジスタ説明 – DFLL32M/DFLL2M

7.11.1. CTRL – DFLL制御レジスタ (DFLL Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – ENABLE : DFLL許可 (DFLL Enable)

このビットの設定(1)がDFLLと内部発振器の自動校正を許可します。DFLLが許可される前に基準クロックが許可されて安定でなければなりません。

DFLL禁止後、ENABLEビットが0として読まれる前に基準クロックは禁止することができません。

7.11.2. CALA – DFLL校正レジスタA (DFLL Calibration register A)

CALBとCALAのレジスタは内部発振器の走行時自動校正に使われる13ビットのDFLL校正値を保持します。DFLLが禁止されている時は発振器の走行時手動校正用にソフトウェアによって校正レジスタに書くことができます。発振器はDFLLが禁止されている時もこれらのレジスタ内の校正値に従って校正されます。

ビット	7	6	5	4	3	2	1	0	
+\$02	–	CALA6~0							CALA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	x	x	x	x	x	x	x	

- ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット6~0 – CALA6~0 : DFLL校正値6~0 (DFLL Calibration bits)

これらのビットは走行時自動校正に使われる発振器校正値の部分保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。このビットはDFLLが許可されている時に書くことはできません。

7.11.3. CALB – DFLL校正レジスタB (DFLL Calibration register B)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	CALB5~0						CALB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	x	

- ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット5~0 – CALB5~0 : DFLL校正値5~0 (DFLL Calibration bits)

これらのビットは発振器周波数を選ぶのに使われる発振器校正値の部分保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。これらのビットは発振器の走行時自動校正の間、変更されません。このビットはDFLLが許可されている時に書くことはできません。既定と違う周波数に校正する時に、DFLLの範囲を最大にするためにCALAビットは中間値に設定されるべきです。

7.11.4. COMP0 – 発振器比較レジスタ0 (Oscillator Compare register 0)

COMP0レジスタは発振器と基準クロック間の周波数比を表します。これらのレジスタの初期値は内部発振器周波数と32.768kHz基準クロック間の比率です。

ビット	7	6	5	4	3	2	1	0	
+\$04	COMP7~0								COMP0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP7~0 : 発振器比較値7~0 (Compare value byte 0)

これらのビットは24ビット比較レジスタの第1バイトを保持します。

7.11.5. COMP1 – 発振器比較レジスタ1 (Oscillator Compare register 1)

COMP2とCOMP1のレジスタ対は発振器と基準クロック間の周波数比を表します。これらのレジスタの初期値は内部発振器周波数と1.024kHz基準クロック間の比率です。

ビット	7	6	5	4	3	2	1	0	
+\$05	COMP15~8								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP15~8 : 発振器比較値15~8 (Compare value byte 1)

これらのビットは24ビット比較レジスタの第2バイト(16ビット比較レジスタの第1バイト)を保持します。

7.11.6. COMP2 – 発振器比較レジスタ2 (Oscillator Compare register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	COMP23~16								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP23~16 : 発振器比較値23~16 (Compare value byte 2)

これらのビットは24ビット比較レジスタの第3バイト(16ビット比較レジスタの第2バイト)を保持します。

表7-9. 各種出力周波数の公称DFLL32M COMP値

発振器周波数 (MHz)	28.0	30.0	32.0	34.0	36.0	38.0	40.0	42.0	44.0	46.0	48.0	50.0	52.0	54.0
(clk _{RCnCREF} = 1.024kHz)														
COMP2,1値	\$6ACF	\$7270	\$7A12	\$81B3	\$8954	\$90F5	\$9896	\$A037	\$A7D8	\$AF79	\$B71B	\$BEBC	\$C65D	\$CDFE
COMP0値	\$35	\$39	\$3D	\$41	\$45	\$48	\$4C	\$50	\$54	\$58	\$5C	\$5F	\$63	\$67

7.12. レジスタ要約 - クロック

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	予約	-	-	-	-	-	-	-	-	
+\$03	RTCCTRL	-	-	-	-	RTCSRC2~0			RTCEN	61
+\$02	LOCK	-	-	-	-	-	-	-	LOCK	61
+\$01	PSCTRL	-	PSADIV4~0			PSBCDIV1,0				60
+\$00	CTRL	-	-	-	-	-	SCLKSEL2~0			60

7.13. レジスタ要約 - 発振器

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	DFLLCTRL	-	-	-	-	-	RC32MCREF1,0		RC2MCREF	64
+\$05	PLLCTRL	PLLSRC1,0		-	PLLFAC4~0					64
+\$04	RC32KCAL	RC32KCAL7~0								64
+\$03	XOSCFAIL	-	-	-	-	-	-	XOSCFDIF	XOSCFDEN	63
+\$02	XOSCCTRL	FRQRANGE1,0		X32KLPM	-	XOSCSEL3~0				63
+\$01	STATUS	-	-	-	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	62
+\$00	CTRL	-	-	-	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	62

7.14. レジスタ要約 - DFLL32M/DFLL2M

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	COMP2	COMP23~16								66
+\$05	COMP1	COMP15~8								66
+\$04	COMP0	COMP7~0								66
+\$03	CALB	-	-	-	CALB5~0					65
+\$02	CALA	CALA6~0								65
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	CTRL	-	-	-	-	-	-	-	ENABLE	65

7.15. 発振器停止割り込みベクタ要約

表7-10. 発振器停止割り込みベクタと、外部発振器停止割り込み基準からのその変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	OSCF_vect	外部発振器停止割り込みベクタ (NMI)

8. 電力管理と休止形態動作

8.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

8.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位の停止をXMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

8.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

表8-1は各種休止形態動作と活動するクロック範囲、発振器と起動元を示します。

表8-1. 各休止形態動作での活動クロック範囲と起動元

休止形態種別	活動クロック範囲			発振器		起動元			
	CPUクロック	周辺機能クロック	RTCクロック	システムクロック元	RTCクロック元	非同期ポート割り込み	TWIアドレス一致割り込み	RTC割り込み	その他割り込み
アイドル		○	○	○	○	○	○	○	○
パワーダウン						○	○		
パワーセーブ			○		○	○	○	○	
スタンバイ				○		○	○		
拡張スタンバイ			○	○	○	○	○	○	

デバイスに対する起動時間は休止形態種別と主クロック元に依存します。システムクロック元が走行を維持されない休止形態種別に対しては起動時間にシステムクロック元に対する始動時間が加えられなければなりません。各種発振器任意選択に対する始動時間の詳細については55頁の「システムクロックとクロック選択」を参照してください。

レジスタファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセットベクタから始動して実行します。

8.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、割り込み制御器、事象システムとDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

8.3.2. パワーダウン動作

パワーダウン動作では実時間計数器クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線インターフェースアドレス一致割り込み、非同期ポート割り込みだけです。

8.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いてパワーダウン動作と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動できます。

8.3.4. スタンバイ動作

スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いてパワーダウン動作と同じです。これは起動時間を減らします。

8.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いてパワーセーブ動作と同じです。これは起動時間を減らします。

8.4. 電力削減レジスタ

電力削減(PR)レジスタは個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、関連するI/Oレジスタが読み書きできなくなります。周辺機能によって使われる資源は占有に留まり、従って殆どの場合で周辺機能はクロックを停止する前に禁止されるべきです。周辺機能へのクロックを再び許可することは、周辺機能を停止前と同じ状態にします。これは総電力消費を減らすためにアイドル動作と活動動作で使えます。他の全ての休止形態動作では周辺機能クロックが既に停止されています。

全てのデバイスが電力削減レジスタ内のビットに関連する全ての周辺機能を持つ訳ではありません。利用不能の周辺機能に対する電力削減ビットの設定(1)は無効です。

8.5. 消費電力の最小化

AVR MCUで制御されるシステムで消費電力の最小化を試みる時に考慮する多数の検討点があります。一般的に応用が動作するのに必要とされる単位部だけが保証するように、正しい休止形態が選ばれて使われるべきです。

必要とされない全ての機能は禁止されるべきです。特に以下の単位部は可能な最低消費電力の達成を試みる時に特別な考慮を必要とするでしょう。

8.5.1. A/D変換器 – ADC

許可したなら、A/D変換器は全休止形態で許可されます。節電するため、どの休止形態へ移行するのにも先立ってA/D変換器は禁止されるべきです。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については201頁の「[ADC – A/D変換器](#)」を参照してください。

8.5.2. アナログ比較器 – AC

アイドル動作移行時、アナログ比較器は使われないなら、禁止されるべきです。他の休止形態ではアナログ比較器が自動的に禁止されます。けれども、アナログ比較器が入力として内部基準電圧を使う構成設定の場合、アナログ比較器は全休止形態で禁止されるべきです。さもなければ、内部基準電圧は休止形態と無関係に許可されます。アナログ比較器の構成設定法の詳細については229頁の「[AC – アナログ比較器](#)」を参照してください。

8.5.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODACTとBODPDのヒューズによって許可されていると全休止形態で許可され、常に電力を消費します。より深い休止形態では、消費電流を減らすためにOFFにして採取動作形態に設定することができます。低電圧検出器(BOD)の構成設定法の詳細については74頁の「[低電圧検出\(BOD\)](#)」を参照してください。

8.5.4. ウォッチドッグ タイマ

ウォッチドッグ タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチドッグ タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。ウォッチドッグ タイマの構成設定法の詳細については82頁の「[WDT – ウォッチドッグ タイマ](#)」を参照してください。

8.5.5. ポートピン

休止形態へ移行する時に全てのポートピンは最小電力使用に構成設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。周辺機能クロック(clkPER)が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。

8.5.6. チップ上デバッグ システム

チップ上デバッグ システムが許可され、チップが休止動作形態に移行する場合、主クロック元が許可され、従って常に電力を消費します。より深い休止動作形態に於いて、これは総消費電流に対する重要な一因になります。

8.6. レジスタ説明 - 休止

8.6.1. CTRL - 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	
	-	-	-	-	SMODE2~0			SEN	CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

- ビット3~1 - SMODE2~0 : 休止形態動作種別選択 (Sleep Mode Selection)

これらのビットは表8-2.に従って休止形態動作種別を選びます。

表8-2. 休止形態動作種別

SMODE2~0	群構成設定	内容
0 0 0	IDLE	アイドル動作
0 0 1	-	(予約)
0 1 0	PDOWN	パワーダウン動作
0 1 1	PSAVE	パワーセーブ動作
1 0 0	-	(予約)
1 0 1	-	(予約)
1 1 0	STDBY	スタンバイ動作
1 1 1	ESTDBY	拡張スタンバイ動作

- ビット0 - SEN : 休止許可 (Sleep Enable)

SLEEP命令が実行される時にMCUを選んだ休止形態動作に移行させるために、このビットが設定(1)されなければなりません。休止形態動作の予期せぬ移行を避けるために、SLEEP命令実行直前にSENを書き、起動後直ちに解除(0)することが推奨されます。

8.7. レジスタ説明 - 電力削減

8.7.1. PRGEN - 一般電力削減レジスタ (General Power Reduction register)

ビット +\$00	7	6	5	4	3	2	1	0	
	-	-	-	AES	EBI	RTC	EVSYS	DMA	PRGEN
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

- ビット4 - AES : AES電力削減 (AES Module)

このビットの設定(1)がAES単位部へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

- ビット3 - EBI : 外部バス インターフェース電力削減 (External Bus Interface)

このビットの設定(1)が外部バス インターフェース(EBI)へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。EBIが全てのデバイスに対して存在する訳でないことに注意してください。

- ビット2 - RTC : 実時間計数器電力削減 (Real-Time Counter)

このビットの設定(1)が実時間計数器へ周辺機能クロックをOFFにします。これはレジスタ アクセス、割り込み生成、事象生成が停止されますが、計数器が動き続けることを意味します。

- ビット1 - EVSYS : 事象システム電力削減 (Event System)

このビットの設定(1)が事象システムへのクロックを停止します。このビットが解除(0)されると、単位部は停止前のように継続(動作)します。

- ビット0 - DMA : DMA制御器電力削減 (DMA-Controller)

このビットの設定(1)がDMA制御器へのクロックを停止します。このビットはDMA制御器が禁止されている場合にだけ設定(1)できます。

8.7.2. PRPA/B – ポートA/B電力削減レジスタ (Power Reduction Port A/B register)

ビット	7	6	5	4	3	2	1	0	
+\$01,+\$02	-	-	-	-	-	DAC	ADC	AC	PRPA,PRPB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: アナログ単位部の禁止はインターフェースだけでなくアナログ単位部それら自体へのクロックを停止します。

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 – DAC : D/A変換器(DAC)電力削減 (Power Reduction DAC)

このビットの設定(1)がD/A変換器(DAC)へのクロックを停止します。停止される前にDACが禁止されるべきです。

● ビット1 – ADC : A/D変換器(ADC)電力削減 (Power Reduction ADC)

このビットの設定(1)がA/D変換器(ADC)へのクロックを停止します。停止される前にADCが禁止されるべきです。

● ビット0 – AC : アナログ比較器(AC)電力削減 (Power Reduction AC)

このビットの設定(1)がアナログ比較器(AC)へのクロックを停止します。停止される前にACが禁止されるべきです。

8.7.3. PRPC/D/E/F – ポートC/D/E/F電力削減レジスタ (Power Reduction Port C/D/E/F register)

ビット	7	6	5	4	3	2	1	0	
+\$03~\$06	-	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	PRPC/D/E/F
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6 – TWI : 2線インターフェース(TWI)電力削減 (Two-Wire Interface)

このビットの設定(1)が2線インターフェースへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット5 – USART1 : USART1電力削減 (USART1)

このビットの設定(1)がUSART1へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット4 – USART0 : USART0電力削減 (USART0)

このビットの設定(1)がUSART0へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット3 – SPI : 直列周辺インターフェース(SPI)電力削減 (Serial Peripheral Interface)

このビットの設定(1)がSPIへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット2 – HIRES : 高分解能拡張電力削減 (Hi-Resolution Extension)

このビットの設定(1)がタイマ/カウンタに対する高分解能拡張へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット1 – TC1 : タイマ/カウンタ1(TC1)電力削減 (Timer/Counter 1)

このビットの設定(1)がタイマ/カウンタ1へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

● ビット0 – TC0 : タイマ/カウンタ0(TC0)電力削減 (Timer/Counter 0)

このビットの設定(1)がタイマ/カウンタ0へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

8.8. レジスタ要約 - 休止

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	予約	-	-	-	-	-	-	-	-	
+\$03	予約	-	-	-	-	-	-	-	-	
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	CTRL	-	-	-	-	SMODE2~0			SEN	70

8.9. レジスタ要約 - 電力削減

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	PRPF	-	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	71
+\$05	PRPE	-	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	71
+\$04	PRPD	-	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	71
+\$03	PRPC	-	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	71
+\$02	PRPB	-	-	-	-	-	DAC	ADC	AC	71
+\$01	PRPA	-	-	-	-	-	DAC	ADC	AC	71
+\$00	PRGEN	-	-	-	AES	EBI	RTC	EVSYS	DMA	70

9. リセット体系

9.1. 要点

- リセット元が活性になる時にマイクロコントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグリセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェアリセット
- 非同期動作
 - リセットにデバイス内のシステムクロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

9.2. 概要

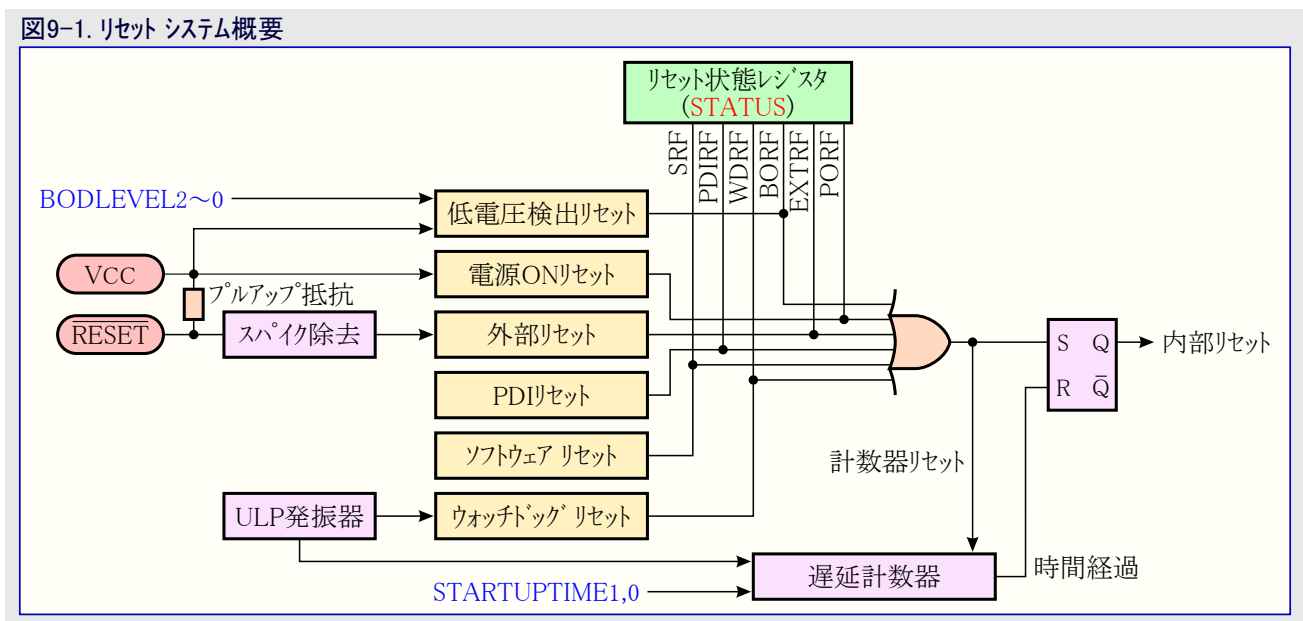
リセットシステムはマイクロコントローラリセットを発行してデバイスをその初期状態に設定します。これはマイクロコントローラがその電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラムカウンタはリセットベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセットベクタアドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラムアドレス(0)ですが、リセットベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステムクロックの走行が全く必要とされません。ソフトウェアリセット機能は使用者ソフトウェアからの制御されたシステムリセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

リセットシステムの概要は図9-1で示されます。



9.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通して行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

9.3.1. リセット計数器

リセット計数器は全てのリセット要求が開放された時から設定可能な期間でリセット開放を遅らせることができます。リセット遅延は超低電力(ULP)内部発振器の1kHz出力から計時され、加えて、リセットが開放されるのに先立って24システムクロック(clk_{SYS})周期数が計数されます。リセット遅延はSTARTUPTIMEヒューズビットによって設定されます。選択可能な遅延は表9-1.で示されます。

表9-1. リセット遅延

STARTUPTIME1,0	1kHz ULP発振器周期数	推奨使用方法
0 0	$64clk_{ULP} + 24clk_{SYS}$	始動での周波数安定
0 1	$4clk_{ULP} + 24clk_{SYS}$	低速上昇電源
1 0	(予約)	-
1 1	$24clk_{SYS}$	高速上昇電源またはBOD許可

リセットが起こると必ず、クロック体系がリセットされ、 clk_{SYS} 用の供給元として2MHz内部発振器が選ばれます。

9.3.2. 発振器始動

リセット遅延後、2MHz内部RC発振器クロックが開始され、その校正値が製品識票列から校正レジスタへ自動的に設定されます。

9.4. リセット元

9.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降して V_{POT} 基準以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT} 基準はVCC上昇の方がVCC下降よりも高くなります。POR特性データについてはデータシートを調べてください。

図9-2. MCU始動 (RESETはVCCに接続)

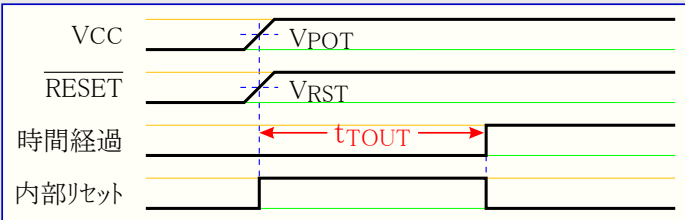
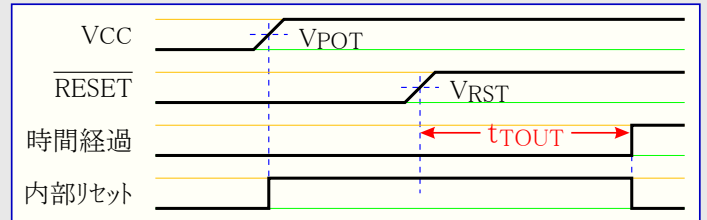


図9-3. MCU始動 (外部的に延長されたRESET)



9.4.2. 低電圧検出(BOD:Brown-Out Detection)

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選ばれる設定可能な基準の固定値と比較することにより、動作中のVCC水準を監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低基準を強制されます。

BODが許可され、VCCが起動基準以下の値に下降すると(図9-4.の V_{BOT-})、直ちに低電圧リセットが活性にされます。

VCCが起動基準以上に上昇すると(図9-4.の V_{BOT+})、リセット計数器は時間経過期間(t_{TOUT})経過後にMCUを始動します。

起動基準はスパイクなしの低電圧検出を保証するためのヒステリシスを持ちます。検出基準のヒステリシスは $V_{BOT+} = V_{BOT} + V_{HYST}/2$ 、 $V_{BOT-} = V_{BOT} - V_{HYST}/2$ と解釈されるべきです。

BOD回路は電圧が t_{BOD} よりも長い間起動基準以下に留まる場合だけ、VCCでの低下を検出します。

BOD特性データについてはデバイスのデータシートを調べてください。

設定可能なBODLEVEL設定は表9-2.で示されます。

図9-4. 低電圧検出(BOD)リセット

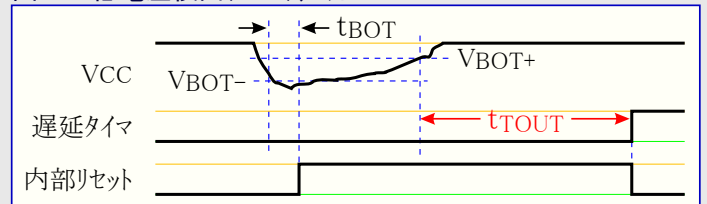


表9-2. 設定可能なBODLEVEL設定

BOD基準番号	0	1	2	3	4	5	6	7
BODLEVEL2~0 ヒューズ (注2)	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
公称低電圧検出電圧(V_{BOD}) (注1)	3.4V	3.2V	2.9V	2.6V	2.4V	2.1V	1.9V	1.6V

注1: この値は公称値だけです。精度と実際の数値についてはデバイスのデータシートを調べてください。

注2: これらのヒューズビット変更はプログラミング動作を抜けるまで無効です。

BOD回路は3つの動作形態を持ちます。

- **禁止:** この動作形態ではVCC水準の監視が全くありません。
- **許可:** この動作形態ではVCC水準が継続的に監視され、最低 t_{BOD} 間の V_{BOT} 未満へのVCC低下が低電圧(Brown-out)リセットを与えます。
- **採取:** この動作形態ではBOD回路が超低電力(ULP)発振器からの1kHz出力と同じ周期でVCC電圧を採取します。各採取間でBODはOFFされます。この動作種別は許可動作形態に比べて消費電力を減らしますが、1kHz ULP発振器出力の2つの正端間のVCC電圧低下が検出されません。この動作形態で低電圧(Brown-out)が検出された場合、VCCが再び V_{BOT} 以上になるまでデバイスがリセットを維持するのを保証するために、BOD回路が許可動作形態に設定されます。

BODACTヒューズが活動動作とアイドル動作に対するBOD設定を決め、一方BODPDヒューズがアイドル動作を除く全ての休止形態動作に対するBOD設定を決めます。

表9-3. BOD設定ヒューズ符号化

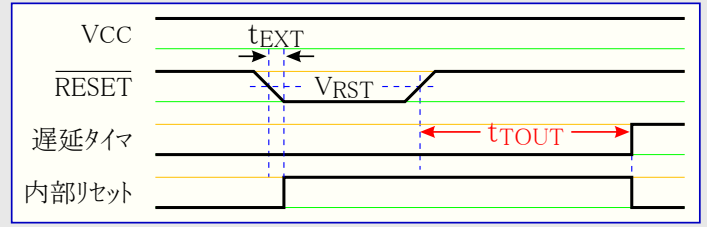
BODACT1,0 / BODPD1,0	内容
0 0	(予約)
0 1	採取動作: 採取動作でBOD許可
1 0	許可動作: 継続的にBOD許可
1 1	禁止動作: BOD禁止

9.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間 t_{EXT} より長くRESETピン閾値電圧 V_{RST} 未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセットピンは内部プルアップ抵抗を内包します。

外部リセット特性データについてはデバイスのデータシートを調べてください。

図9-5. 外部リセット特性

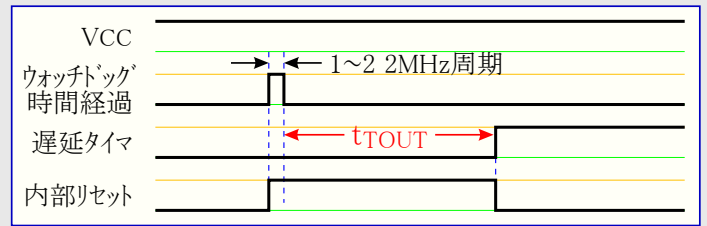


9.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。

WDTの構成設定と使用の情報については82頁の「WDT - ウォッチドッグ タイマ」を参照してください。

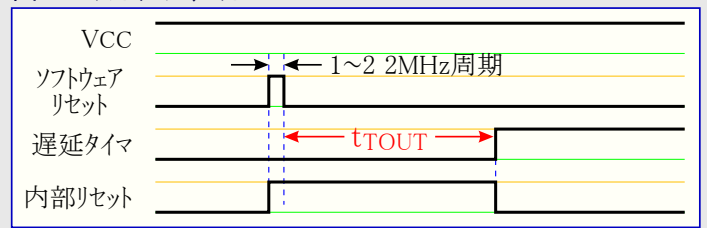
図9-6. ウォッチドッグ リセット



9.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステムリセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

図9-7. ソフトウェア リセット



9.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェースリセットは外部のプログラミングとデバッグの間中のデバイスリセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

9.5. レジスタ説明

9.5.1. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	STATUS
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● ビット7,6 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書き込んでください。

● ビット5 – SRF : ソフトウェア リセット フラグ (Software Reset Flag)

このフラグはソフトウェア リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット4 – PDIRF : プログラミングとデバッグ用インターフェース リセット フラグ (Program and Debug Interface Reset Flag)

このフラグはプログラミング インターフェース リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット3 – WDRF : ウォッチドッグ リセット フラグ (Watchdog Reset Flag)

このフラグはウォッチドッグ リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット2 – BORF : 低電圧(Brown-out)リセット フラグ (Brown Out Reset Flag)

このフラグは低電圧(Brown Out)リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット1 – EXTRF : 外部リセット フラグ (External Reset Flag)

このフラグは外部リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット0 – PORF : 電源ONリセット フラグ (Power On Reset Flag)

このフラグは電源ONリセットが起きた場合に設定(1)されます。このフラグへの1書き込みがこのビット位置を解除(0)します。

9.5.2. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	–	–	–	SWRST	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット0 – SWRST : ソフトウェア リセット (Software Reset)

このビットが設定(1)される時にソフトウェア リセットが起こります。このビットはリセットが発行される時に解除(0)されます。このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

9.6. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$01	CTRL	–	–	–	–	–	–	–	SWRST	76
+\$00	STATUS	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	76

10. 電池代替支援システム

10.1. 要点

- 主電源停止中の実時間時計継続を保證する統合電池代替支援システム
- 以下に対する専用VBAT電力ピンからの電池代替電圧供給
 - 1つの32ビット実時間計数器
 - 停止検出監視器を持つ1つの32.768kHzクリスタル用超低電力発振器
 - 2つの電池代替支援レジスタ
- 主電源と電池代替支援電力間の自動電力切替
 - 主電源喪失での主電源から電池代替支援電力への切り替え
 - 主電源回復での電池代替支援電力から主電源への切り替え

10.2. 概要

例え主電源喪失または不足の事態でも、多くの応用は継続的に走行を保つ実時間時計が必要です。電池代替支援システムは主電力と電池代替電源間の自動電力切り換えによるこのための機能を含みます。外部部品は全く必要とされません。図10-1はこのシステムの概要を示します。

電池代替支援システムを持つデバイスに於いて、代替電池は専用のVBAT電力ピンへ接続することができます。主電力が失われると、代替電池は実時間計数器(RTC)、停止検出監視器付き32.768kHzクリスタル用発振器、2つの代替支援レジスタを続けて給電します。電池代替支援システムはシステム外側のSRAMやI/Oレジスタのような、デバイス内の他の揮発性メモリの部分へ電力を提供しません。

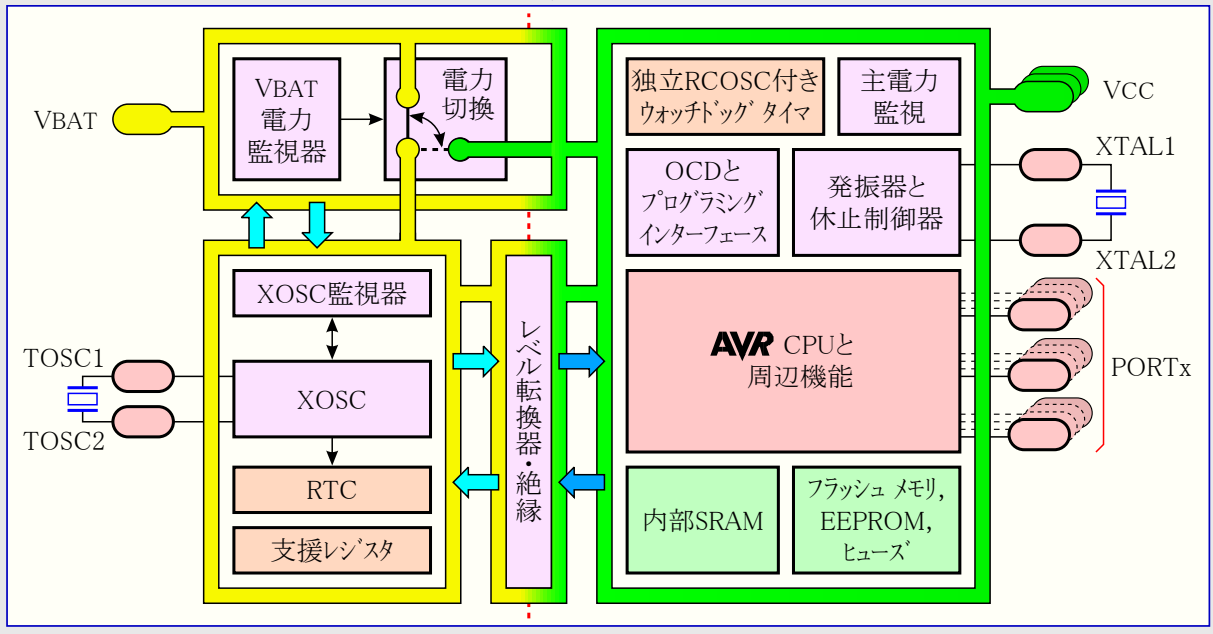
デバイスは主電源喪失を検出してVBATピンからの電力へ切り替えるのにそのBODを使います。主電力が回復された後、電池代替支援システムは自動的に再び主電力からの給電に切り換え戻されます。代替電池は主電力が存在しない時にだけ流出され、これは最大電池寿命を保證します。

電池代替支援システムを持つデバイスでは全ての休止形態でRTCが走行を維持します。

10.3. 電池代替支援システム

電池代替支援システムはVBAT電力監視器、電力切り替え器、停止監視器付きクリスタル用発振器、32ビット実時間計数器(RTC)、2つの代替支援レジスタから成ります。

図10-1. 電池代替支援単位部とその電力領域実装



10.3.1. 電力監視器

電力監視器はVBATピン上の電圧を監視します。これは3つの主な機能を実行します。

電源ON検出(BBPOD)機能はVBATピンに電力が供給される時、換言すると代替電池が挿入される時を検出します。これが起こると、**電池代替電源ON検出フラグ(BBPODF)**が設定(1)され、デバイスが構成設定される前に代替電池が流出されるのを防ぐために電力切り替え器が切断されます。

低電圧検出(BBBOD)機能はシステムがVBATピンから給電されている時のVBAT電圧水準を監視します。VBAT電圧が閾値電圧以下に落ちると、**電池代替低電圧検出フラグ(BBBODF)**が設定(1)されます。BBBODは1Hz近辺の速度でVBAT電圧水準を採取し、緩やかな電圧変化の検出用に設計されています。BBBODはデバイスが主電力で動く時にOFFにされます。

電力検出(BBPWR)機能はリセット後のVBAT電圧を制御します。VBATピン上に電圧が全く存在しなければ**代替電池電力フラグ(BBPWR)**が設定(1)されます。これは代替電池が存在しないか、または流出されてしまっていることを示します。BBPODF, BBBODF, BPWRのフラグは後で電力監視フラグとして参照されます。

10.3.2. 電力切り替え器

電力切り替え器はシステムに給電するための主電力とVBATピン間を切り替えます。これは自動的に起き、デバイス内の主BODから制御されます。

10.3.3. 停止監視器付きクリスタル用発振器

クリスタル用発振器(XOSC)は外部32.768kHzクリスタルの接続を支援します。これは1.024kHzまたは1Hzに選択可能な前置分周されたクロック出力を提供します。クリスタル用発振器は超低消費電力用に設計され、既定によって低いESRと負荷容量のクリスタル用に構成設定されています。高いESRと負荷容量を持つクリスタルを駆動するように**高ESR動作形態**を許可することが可能ですが、これは消費電流を増します。クリスタル用発振器停止検出器はクリスタルが恒常的または一時的に停止される場合に**クリスタル用発振器停止(XOSCFAIL)フラグ**を設定(1)します。

10.3.4. 32ビット実時間計数器

32ビット実時間計数器はクリスタル用発振器からの各クロック出力を計数します。これは**クリスタル用発振器クロック出力選択(XOSCSEL)**に依存して1msまたは1sの分解能を提供します。32ビットRTCのより多くの詳細については139頁の「**RTC32 – 32ビット実時間計数器**」を参照してください。

10.3.5. 代替支援レジスタ

2つの代替支援レジスタはVCCが存在しない時に揮発性のデータパラメータを格納するのに使うことができます。

10.4. 構成設定

デバイス初期化中、電池代替支援システムとRTCはそれらは使われ得る前に構成設定されなければなりません。推奨される構成設定手順は次のとおりです。

1. リセットを印加してください。
2. **アクセス許可(ACCEN)ビット**を設定(1)してください。
3. 任意で発振器出力とESR選択を構成設定してください。
4. 任意でクリスタル用発振器停止検出器と構成設定継続前に必要な遅延を許可してください。
5. クリスタル用発振器を許可してください。
6. **クリスタル用発振器準備可(XOSCRDY)フラグ**が設定(1)されるまで待ってください。
7. RTCを構成設定して許可してください。

10.5. 操作

主BODは主電圧(VCC)水準を監視して電力切り替えを制御します。これは常に許可されなければなりません。活性とアイドルの動作形態で、BODは継続動作形態でなければなりません。深い休止形態で、BODは継続または採取の動作形態にできます。このシステムはRTC用の電力代替支援システムとして設計されています。BODと電力喪失以外のリセット元(換言すると、外部リセット、ウォッチドッグリセット、ソフトウェアリセット)はシステムリセットとして扱われなければなりません。この場合、デバイス状態は未知として扱われ、電池代替支援システムの構成設定を含めて完全な再初期化に導かれるべきです。

10.5.1. 主電力喪失

VCCが設定されたBOD閾値電圧以下に落ちると、デバイスは以下を行います。

1. 電池代替支援システムをVBATピンからの給電に切り換え、BBBODを許可します。
2. 偶然または部分的な構成設定を避けるため、システムへのどんな入力信号も無視します。
3. 切り替え活動時のクロック端を避けるため、1Hz/1.024kHzクロック信号を引き伸ばします。
4. VBATピンから給電されないデバイスの部分をリセットします。

電池代替支援システムは電力切り替えとその後の間、通常のように走行を継続します。主電力が失われると、アクセスやレジスタからの状態読み込みは不可能です。

10.5.2. 主電力回復と始動手順

主電力回復後の始動毎にソフトウェアは以下を行うべきです。

1. PORまたはBORが起きたことを判断するために主リセット元を制御してください。
2. **電池代替電力(BBPWR)フラグ**を読むことによってVBATピンの電力を調べてください。
3. 更なるソフトウェア活動を決めるために電力監視器フラグ(**BBPWR, BBPODF, BBBODF**)を読んでください。
 - 全ての電力監視器フラグが解除(**0**)されているなら、電池代替支援システムは通常として動いています。ソフトウェアは電池代替支援システムへのアクセスを許可して**クリスタル用発振器停止(XOSCFAIL)フラグ**を調べてください。このフラグが設定(**1**)されている場合、ソフトウェアはRTCの計数器値が不正と仮定して適切な動きを取るべきです。
 - 何れかの電力監視器フラグが設定(**0**)されている場合、デバイスの残りが給電されない期間の間の或る時に電池代替支援システムが電力を失ったことを示します。ソフトウェアは構成設定とRTC値が不正と仮定して適切な動きを取るべきです。

10.6. レジスタ説明

10.6.1. CTRL – 電池代替支援制御レジスタ (Battery Backup Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	HIGHESR	XOSCSEL	XOSCEN	XOSCFDEN	ACCEN	RESET	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

- **ビット7,6 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット5 – HIGHESR : 高ESR動作形態 (High ESR Mode)**

このビットの設定(1)はクリスタルを駆動に使われる電流を増し、TOSC2ピンでの振れを増します。これはより高い負荷とより高いESRを持つクリスタルの使用を許します。

- **ビット4 – XOSCSEL : 32.768kHzクリスタル用発振器出力選択 (32-kHz Crystal Oscillator Output Selection)**

このビットは32.768kHzクリスタル用発振器からの前置分周されたクロック出力を選びます。リセット後、このビットは0で、RTCの入力として1Hzクロック出力が使われます。このビットの設定(1)はRTCの入力として1.024kHzクロック出力を選びます。このビットはクリスタル用発振器許可(XOSCEN)ビットが設定(1)されている場合に変更できません。

- **ビット3 – XOSCEN : クリスタル用発振器許可 (Crystal Oscillator Enable)**

このビットの設定(1)は32.768kHzクリスタル用発振器を許可します。このビットの0書き込みは無効です。この発振器は電池代替支援リセットが発行されるまで許可に留まります。クリスタル用発振器は78頁の「構成設定」で記述される手順1～3を実行した後で32.768kHzシステムクロックとして使うこともできます。

- **ビット2 – XOSCFDEN : クリスタル用発振器停止検出許可 (Crystal Oscillator Failure Detection Enable)**

このビットの設定(1)はクリスタル用発振器の監視器を許可します。監視器はクリスタルが一時的に停止された、または接続を失ったかを検出します。停止検出が起動される前に最低64振幅が失われなければなりません。このビットの0書き込みは無効で、クリスタル用発振器の監視器は電池代替支援リセットが発行されるまで許可に留まります。

- **ビット1 – ACCEN : 単位部アクセス許可 (Module Access Enable)**

このビットの設定(1)は電池代替支援レジスタへのアクセスを許可します。このビットの0書き込みは無効です。主リセット後、このビットは常にアクセス可能な電池代替電源ON検出フラグ(BBPODF)、電池代替低電圧検出フラグ(BBBODF)、代替電池電力フラグ(BBPWR)を除き、電池代替支援レジスタにアクセス(読み書き)するために設定(1)されなければなりません。このビットの0書き込みは無効で、デバイスリセットだけがこのビットを解除(0)します。

- **ビット0 – RESET : 電池代替支援リセット (Reset)**

このビットの設定(1)は1周辺機能クロック周期持続する電池代替支援システムのリセットを強制します。このビットの0書き込みは無効です。同時にクリスタル用発振器許可(XOSCEN)ビットまたはクリスタル用発振器停止検出許可(XOSCFDEN)ビットへ1を書くことはこのビットへの書き込みを妨げます。このビットが設定(1)されると、HIGHESR, XOSCSEL, XOSCEN, XOSCFDENと電池代替支援状態(STATUS)レジスタのXOSCRDYが解除(0)されます。

これらのビットは構成設定変更保護機構で保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

10.6.2. STATUS – 電池代替支援状態レジスタ (Battery Backup Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	BBPWR	–	–	–	XOSCRDY	XOSCFAIL	BBBODF	BBPODF	STATUS
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	x	x	0	0	

- **ビット7 – BBPWR : 代替電池電力 (Battery Backup Power)**

このフラグはデバイスがリセットを抜け出す時にVBATピンで電力が全く検出されない場合に設定(1)されます。このフラグはこのビット位置に1を書くことによって解除(0)することができます。

- **ビット6~4 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット3 – XOSCRDY : クリスタル用発振器準備可 (Crystal Oscillator Ready)**

このフラグは32.768kHzクリスタル用発振器が開始されて安定して使用準備が整った時に設定(1)されます。このフラグは電池代替支援システムにリセットを印加することによって解除(0)することができます。より多くの情報については使われるクリスタル用発振器に関してデータシートを参照してください。

● **ビット2 – XOSCFAIL : クリスタル用発振器停止 (Crystal Oscillator Failure)**

このフラグはクリスタル用発振器停止が検出された場合に設定(1)されます。このフラグはこのビット位置に1を書くこと、または電池代替支援システムへのリセット印加によって解除(0)することができます。

● **ビット1 – BBBODF : 電池代替低電圧検出フラグ (Battery Backup Brown-Out Detection Flag)**

このフラグは電池代替支援システムがVBATピンから給電されている時に電池代替低電圧検出(BOD)が検出された場合に設定(1)されます。このフラグはこのビット位置に1を書くことによって解除(0)することができます。このフラグはBBPWRフラグが設定(1)されている時に有効ではありません。

● **ビット0 – BBPODF : 電池代替電源ON検出フラグ (Battery Backup Power-On Detection Flag)**

このフラグは電池代替電源ONが検出された場合、換言すると電力がVBATに接続された時に設定(1)されます。このフラグは主電力が印加されている時のデバイス始動中にだけ更新されます。主電力が存在する間のVBATピンへの電力印加または再印加は、主電力が取り去られて再印加されるまでこのフラグを変更しません。このフラグはこのビット位置に1を書くことによって解除(0)することができます。このフラグは代替電池電力(BBPWR)フラグが設定(1)されている時に有効ではありません。

10.6.3. BACKUP0 – 代替支援レジスタ0 (Backup register 0)

ビット	7	6	5	4	3	2	1	0	
+\$02	BACKUP07~0								BACKUP0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	x	x	x	x	x	x	x	x	

● **ビット7~0 – BACKUP07~0 : 代替支援レジスタ0値 (Backup value 0)**

このレジスタは主電力が喪失または取り去られる前にデータを電池代替支援システムに格納するのに使うことができます。

10.6.4. BACKUP1 – 代替支援レジスタ1 (Backup register 1)

ビット	7	6	5	4	3	2	1	0	
+\$03	BACKUP17~0								BACKUP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	x	x	x	x	x	x	x	x	

● **ビット7~0 – BACKUP17~0 : 代替支援レジスタ1値 (Backup value 1)**

このレジスタは主電力が喪失または取り去られる前にデータを電池代替支援システムに格納するのに使うことができます。

10.7. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	BACKUP1	BACKUP07~0								81
+\$02	BACKUP0	BACKUP17~0								81
+\$01	STATUS	BBPWR	-	-	-	XOSCRDY	XOSCFAIL	BBBODF	BBPODF	80
+\$00	CTRL	-	-	HIGHESR	XOSCSEL	XOSCEN	XOSCFDEN	ACCEN	RESET	80

11. WDT – ウォッチドッグ タイマ

11.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための構成設定施錠

11.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コードのような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に構成設定され、許可された時に定期的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロ コントローラ リセットを発行します。WDTは応用コードからのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコード異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

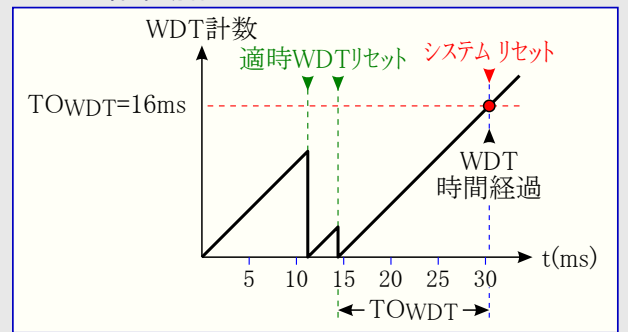
許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例えば主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒューズも利用可能です。

11.3. 標準動作

標準動作では単一時間経過周期がWDTに設定されます。時間経過が起きる前にWDTが応用コードからリセットされなかった場合、WDTはシステム リセットを発行します。8msから8sまで選択可能な11種の可能なWDT時間経過周期(TOWD_T)があり、その時間経過周期の何時でもWDTをリセットできます。新しい時間経過周期はWDR命令によってWDTがリセットされる毎に開始されます。既定時間経過周期はヒューズによって制御されます。標準動作は図11-1.で図解されます。

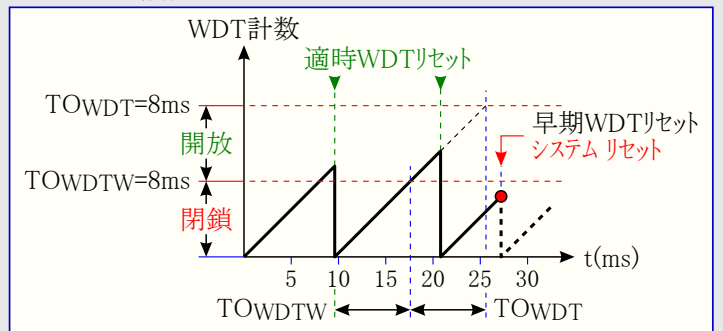
図11-1. 標準動作



11.4. 窓動作

窓動作ではWDTが通常時間経過周期(TOWD_T)と閉鎖窓時間経過周期(TOWD_{TW})の、2つの異なる時間経過周期を使います。閉鎖窓時間経過周期はWDTをリセットできない8msから8sまでの幅を定義します。この期間中にWDTがリセットされた場合、WDTはシステム リセットを発行します。通常WDT時間経過周期もまた8msから8sでWDTをリセットできる(すべき)間の開放区間の幅を定義します。開放区間は常に閉鎖区間に続き、故に時間経過周期の総合幅は閉鎖窓と開放窓の時間経過周期の合計です。既定の閉鎖窓時間経過周期はヒューズによって制御されます(開放と閉鎖の両方の区間がヒューズによって制御されます)。窓動作は図11-2.で図解されます。

図11-2. 窓動作



11.5. ウォッチドッグ タイマ クロック

WDTは32kHz内部超低電力(ULP)発振器からの1kHz出力でクロック駆動されます。超低電力設計のため、この発振器はかなり正確でなく、故に時間経過周期はデバイス間で変わるかもしれません。WDTを使うソフトウェアを設計するとき、全てのデバイスに対して使う時間経過周期が有効なことを保証するためにこのデバイス間変化が留意されなければなりません。ULP発振器精度のより多くの情報についてはデバイスのデータシートを調べてください。

11.6. 構成設定保護と施錠

WDTはWDTの予期せぬ変更を避けるために2つの安全機構で設計されています。

最初の機構はWDT制御(CTRL)レジスタの変更に対して時間制限手順を使う構成設定変更保護機構です。加えて、制御レジスタに書かれる新しい構成設定については、そのレジスタの変更許可(CEN)ビットが同時に書かれなければなりません。

2つ目の機構はWDT施錠(WDLOCK)ヒューズ設定によって構成設定を施錠します。このヒューズが設定(WDLOCK=0)されると、ウォックアップ タイマ制御レジスタは変更できず、従ってWDTはソフトウェアから禁止できません。システムリセット後にWDTは構成設定された動作で再び始めます。WDT施錠ヒューズがプログラム(0)されると、窓動作時間経過周期は変更できませんが、窓動作自体は未だ許可または禁止が行えます。

11.7. レジスタ説明

11.7.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	PER3~0				ENABLE	CEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時は書き込みが禁止されます。初期値のxはヒューズ設定に依存します。

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~2 – PER3~0 : 時間経過周期 (Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数としてウォッチドッグ時間経過周期を決めます。窓動作では、これらのビットが開放窓区間を定義します。代表的な各種時間経過周期が表11-1.で得られます。これらのビットの初期値は電源ONで格納される、ウォッチドッグ時間経過周期(WDPER)ヒューズによって設定されます。

これらのビットを変更するためにウォッチドッグ変更許可(CEN)ビットが同時に1を書かれなければなりません。これらのビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

表11-1. ウォッチドッグ時間経過周期

PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● ビット1 – ENABLE : 許可 (Enable)

このビットの設定(1)がWDTを許可します。このビットの解除(0)はウォッチドッグ タイマを禁止します。

このビットを変更するにはウォッチドッグ制御(CTRL)レジスタのウォッチドッグ変更許可(CEN)ビットが同時に1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

● ビット0 – CEN : 変更許可 (Change Enable)

このビットはウォッチドッグ制御(CTRL)レジスタの構成設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

11.7.2. WINCTRL – 窓動作制御レジスタ (Window Mode Control register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	WPER3~0				WEN	WCEN	WINCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時はWPER3~0の書き込みが禁止されます。初期値のxはヒューズ設定に依存します。

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~2 – WPER3~0 : 窓動作時間経過周期 (Watchdog Window Mode Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数として窓動作での閉鎖窓周期を決めます。代表的な各種閉鎖窓周期が表11-2.で得られます。これらのビットの初期値はウォッチドッグ窓時間経過周期(WDWER)ヒューズによって設定され、電源ONで格納されます。標準動作ではこれらのビットが使われません。

これらのビットを変更するにはウォッチドッグ窓動作変更許可(WCEN)ビットが同時に1を書かれなければなりません。これらのビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

表11-2. ウォッチドッグ閉鎖窓周期

WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	-	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	-	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	-	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	-	(予約)	1 1 1 1	-	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● ビット1 - WEN : ウォッチドッグ窓動作許可 (Watchdog Window Mode Enable)

このビットの設定(1)がウォッチドッグ窓動作を許可します。このビットを変更するには窓動作制御(CTRL)レジスタのウォッチドッグ窓動作変更許可(WCEN)ビットが同時に1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

● ビット0 - WCEN : ウォッチドッグ窓動作変更許可 (Watchdog Window Mode Change Enable)

このビットは窓動作制御(CTRL)レジスタの構成設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されていますが、WDT施錠ヒューズによって保護されません。

11.7.3. STATUS - 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	-	-	-	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - SYNCBUSY : 同期中フラグ

このフラグはウォッチドッグ制御(CTRL)レジスタまたは窓動作制御(WINCTRL)レジスタへの書き込み後に設定(1)され、そのデータはシステムクロック領域からWDTクロック領域へ同期化されつつあります。このビットは同期化完了時に自動的に解除(0)されます。この同期化はウォッチドッグ タイマに対してウォッチドッグ許可(ENABLE)ビットが設定(1)されている時にだけ行われます。

11.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	STATUS	-	-	-	-	-	-	-	SYNCBUSY	85
+\$01	WINCTRL	-	-	WPER7~0				WEN	WCEN	84
+\$00	CTRL	-	-	PER7~0				ENABLE	CEN	84

12. 割り込みと設定可能な多段割り込み制御器

12.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みベクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
 - 低位割り込み内での選択可能なラウンド ロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブート ロード領域に任意選択で配置される割り込みベクタ

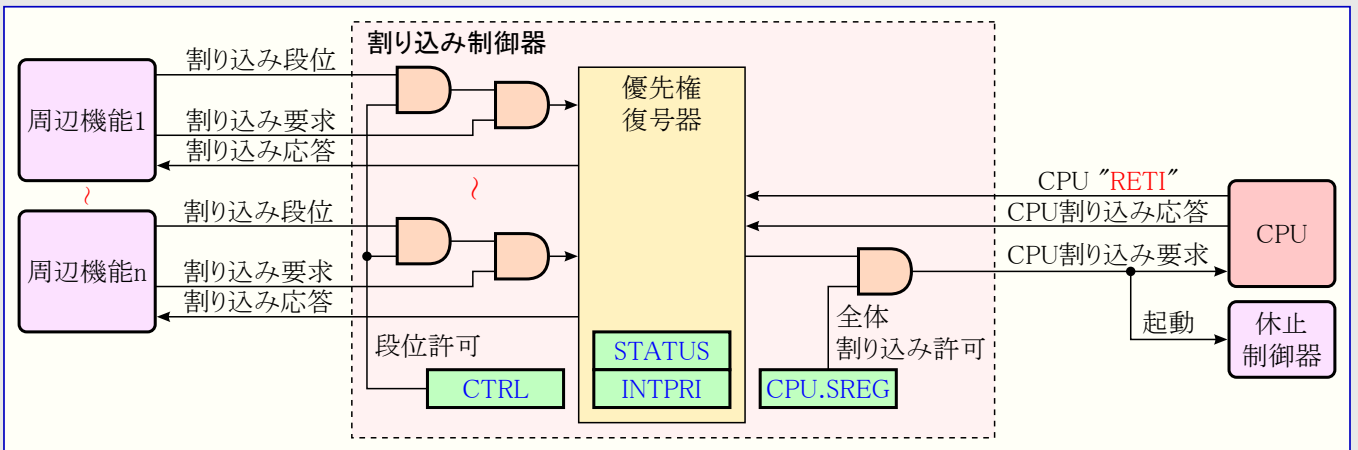
12.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラム カウンタが割り込みベクタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先段位を選べます。割り込みはそれらの段位とそれらのベクタ アドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各段位内では割り込み優先権が割り込みベクタ アドレスから決められ、それは最下位割り込みベクタ アドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンド ロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使うことができます。

図12-1. 割り込み制御器概要



12.3. 動作

割り込みは生成されるべき何れかの割り込みに関して全体的に許可されなければなりません。これはCPUステータスレジスタ(SREG)の全体割り込み許可(1)ビットの設定(1)によって行われます。1ビットは割り込み応答時に解除(0)されません。各割り込み段位も対応する段位での割り込みが生成され得る前に許可されなければなりません。

割り込みが許可されて割り込み条件が存在すると、PMICは割り込み要求を受け取ります。割り込み段位と何れかの実行中割り込みの割り込み優先権に基づいて、割り込みは応答されるか、またはそれが優先権を持つまで保留を維持されるかのどちらかです。割り込み要求が応答されると、プログラム カウンタが割り込みベクタへの指示に更新されます。割り込みベクタは通常、割り込みを扱うソフトウェア ルーチンである割り込み処理ルーチンへの無条件分岐命令です。割り込み処理ルーチンからの復帰後、割り込みが起きた前の場所からプログラム実行が継続します。何れかの保留割り込みが扱われる前に、常に1命令が実行されます。

PMIC状態(STATUS)レジスタは割り込み処理ルーチンの最後でRETI(割り込みからの復帰)命令が実行される時にPMICが正しい割り込み段位に戻すのを保証する状態情報を含みます。割り込みからの復帰はPMICを割り込みへ移行する前の状態に戻します。ステータスレジスタ(SREG)は割り込み要求で自動的に保存されません。RET(サブルーチンからの復帰)命令は、これがPMICを正しい状態に戻せないため、割り込み処理ルーチンからの復帰時に使えません。

12.4. 割り込み

全ての割り込みとリセット ベクタの各々はプログラム メモリ空間に独立したプログラム ベクタ アドレスを持っています。プログラム メモリ空間の最下位アドレスはリセット ベクタです。全ての割り込みは割り込み段位設定と許可用の個別の制御ビットを割り当てられ、これは割り込みを生成し得る各周辺機能に対する制御レジスタで設定されます。各割り込みの詳細は割り込みが利用可能な周辺機能で記述されます。

全ての割り込みはそれに関連した割り込み要求フラグを持っています。割り込み条件が存在すると、例え対応する割り込みが許可されていなくても割り込み要求フラグが設定(1)されます。殆どの割り込みについては割り込みベクタが実行される時に割り込み要求フラグが自動的に解除(0)されます。割り込み要求フラグへの論理1書き込みもそのフラグを解除(0)します。いくつかの割り込み要求フラグは割り込みベクタ実行時に解除(0)されず、そのいくつかは関連するレジスタがアクセス(読みまたは書き)される時に自動的に解除(0)されます。これは各個別割り込み要求フラグに対して記述されます。

他のより高い優先権の割り込みが実行中または保留中の間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが優先権を持つまで記憶されます。対応する割り込みが許可されていない間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが許可されるまで記憶されるか、またはソフトウェアによってそのフラグが解除(0)されます。同様に全体割り込みが禁止(I=0)されている間に1つ以上の割り込み条件が起こる場合、その割り込み要求フラグが設定(1)され、全体割り込みが許可されるまで記憶されます。その後、全ての保留割り込みはそれらの優先順に応じて実行されます。

施錠された領域(例えばブート施錠ビットがプログラム(0)されている時)からコードを実行するとき、割り込みが妨げられ得ます。この機能はソフトウェアの安全性を改善します。施錠ビット設定については250頁の「メモリプログラミング」を参照してください。

割り込みは正しい識別票で構成設定変更保護レジスタが書かれる時に4 CPUクロック周期間自動的に禁止されます。より多くの詳細については10頁の「構成設定変更保護」を参照してください。

12.4.1. NMI – 遮蔽不可割り込み(Non-Maskable Interrupts)

どの割り込みがNMIを表し、どれが通常の割り込みを表すかは選べません。遮蔽不可割り込みはそれらが使われ得る前に許可されなければなりません。各デバイスに存在するNMIについてはデバイスのデータシートを参照してください。

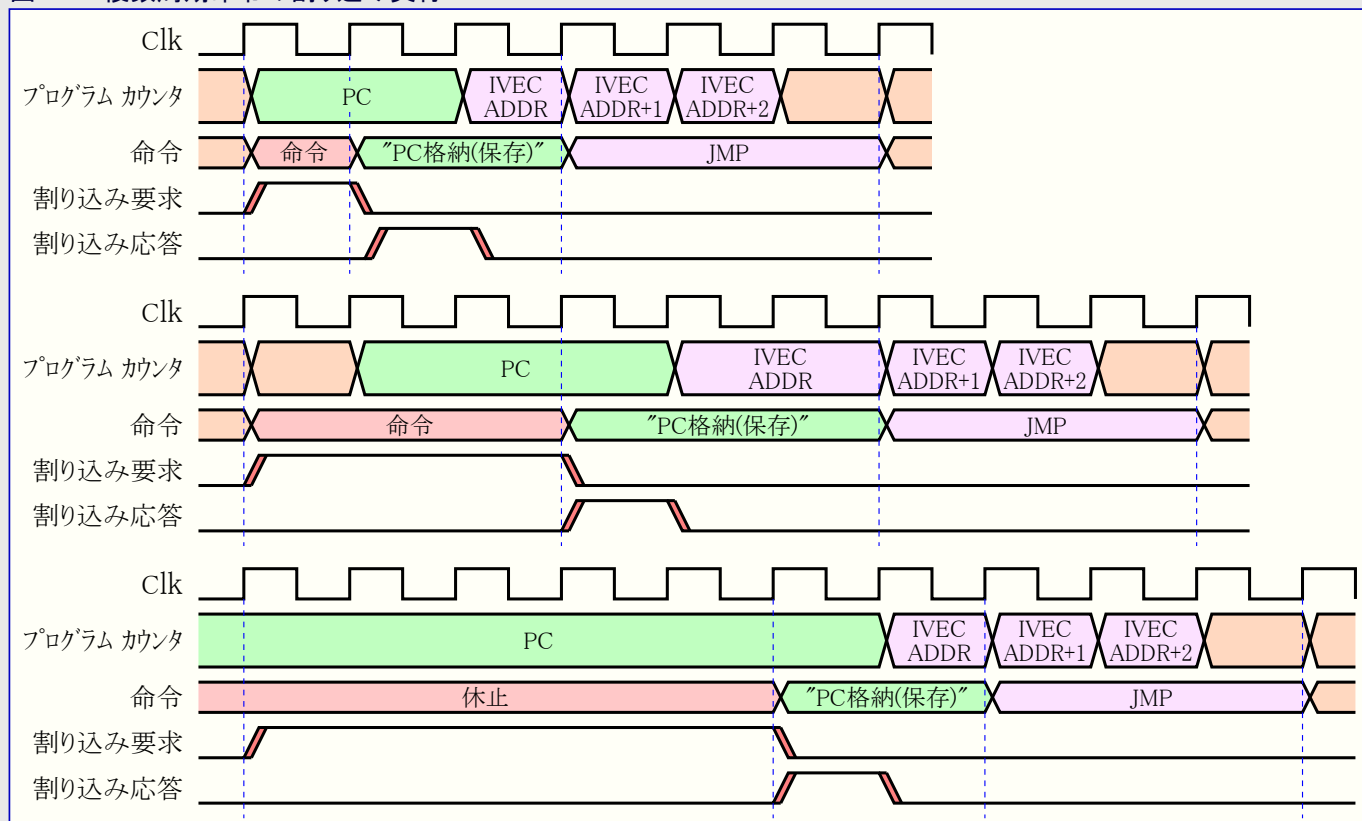
NMIは全体割り込み許可(I)ビットの設定と無関係に実行され、そしてそれは決してIビットを変更しません。他の割り込みはNMI割り込み処理に割り込めません。複数のNMIが同時に要求された場合、それは最低アドレスが最高優先権を持つ割り込みベクタに従う静的な優先権です。

12.4.2. 割り込み応答時間

許可された全ての割り込みに対する割り込み応答時間は、進行中の命令終了に1周期と、プログラムカウンタをスタックに格納するのに2周期の最小3 CPUクロック周期です。プログラムカウンタがスタックに押し込まれた後、その割り込みに対するプログラムベクタが実行されます。割り込み処理部への無条件分岐(JMP)は3クロック周期かかります。

複数周期命令の実行の間に割り込みが起きた場合、その割り込みが処理される前にその命令が完了されます。より多くの詳細については図12-2をご覧ください。

図12-2. 複数周期命令の割り込み実行



デバイスが休止形態動作の時に割り込みが起きた場合、割り込み応答時間が5クロック周期増やされます。加えて応答時間は選んだ休止形態動作からの始動時間によって増加されます。

割り込み処理ルーチンからの復帰はプログラムカウンタの大きさに依存して4~5クロック周期かかります。これらのクロック周期の間にプログラムカウンタがスタックから引き出され、スタックポインタが増やされます。

12.5. 割り込み段位

割り込み段位は各割り込み元に対して無関係に設定されます。どの割り込み要求についてもPMICがその割り込みに対する割り込み段位を受け取ります。割り込み段位と全ての割り込みの割り込み段位構成設定に対するそれらの対応するビット値は表12-1.で示されます。

割り込み要求の割り込み段位は現在の段位と割り込み制御器の状態に対して比較されます。より高い段位の割り込み要求はより低い段位の割り込みからのどんな実行中の割り込み処理にも割り込みます。高い段位の割り込み処理からの復帰時、より低い段位の割り込み処理の実行が継続されます。

表12-1. 割り込み段位

割り込み段位構成設定	群構成設定	内容
0 0	OFF	割り込み禁止
0 1	LO	低位割り込み
1 0	MED	中位割り込み
1 1	HI	高位割り込み

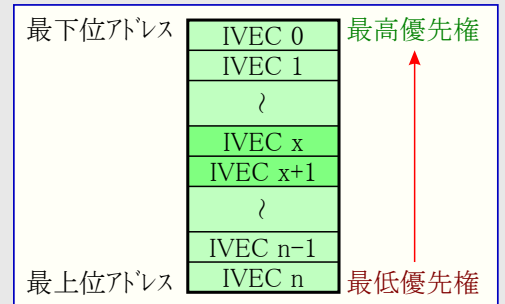
12.6. 割り込み優先権

各割り込み段位内では全ての割り込みが優先権を持っています。多くの割り込み要求が保留中のとき、どの順で割り込みが応答されるかはその割り込み要求の段位と優先権の両方によって決められます。割り込みは静的または動的(ラウンド・ロビン)な優先権の仕組みに構成することができます。高位及び中位の割り込みとNMIは常に静的な優先権です。低位割り込みについては静的または動的な優先権計画を選べます。

12.6.1. 静的優先権

割り込みベクタ(IVEC)は固定アドレスに配置されています。静的優先権については、この割り込みベクタアドレスが或る割り込み段位内の優先権を決め、それは最下位割り込みベクタアドレスが最高優先権を持ちます。割り込み能力を持つ全ての単位部と周辺機能に対する基準アドレスと割り込みベクタ表についてはデバイスのデータシートを参照してください。各種の単位部と周辺機能内のそれらに対応する差分アドレスと割り込みの一覧については、本手引書の各単位部と周辺機能の割り込みベクタ要約を参照してください。

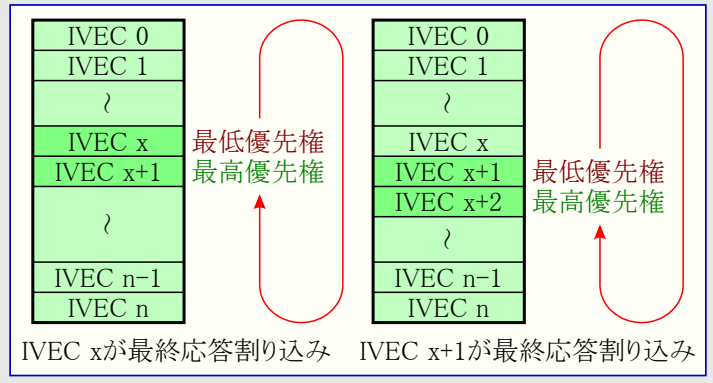
図12-3. 静的優先権



12.6.2. 動的優先権 (ラウンド・ロビン)

いくつかの割り込みが決して処理されないかもしれない、静的優先権を持つ低位割り込みに対する欠落問題の可能性を避けるため、PMICは低位割り込みに対してラウンド・ロビン計画を提供します。ラウンド・ロビン計画が許可されると、最後に応答された低位割り込みに対する割り込みベクタアドレスが最低優先権を持ち、次回に低位からの1つ以上の割り込みが要求されます。

図12-4. 動的優先権(ラウンド・ロビン)



12.7. 割り込みベクタ位置

表12-2.はBOOTRSTと割り込みベクタ選択(IVSEL)の設定の様々な組み合わせに対するリセットと割り込みのベクタ配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みベクタは使われず、これらの位置に通常のプログラムコードを配置することができます。これはリセットベクタが応用領域で、一方割り込みベクタがブート領域、またはその逆の場合でもです。

表12-2. リセットと割り込みのベクタ配置

BOOTRST	IVSEL	リセット アドレス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
	1	\$0000	ブートリセットアドレス+\$0002
プログラム(0)	0	ブートリセットアドレス	\$0002
	1	ブートリセットアドレス	ブートリセットアドレス+\$0002

12.8. レジスタ説明

12.8.1. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$00	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – NMIEX : 遮蔽不可割り込み実行中フラグ (Non-Maskable Interrupt Executing)**

このフラグは遮蔽不可割り込みが実行中の場合に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に、解除(0)されません。

- **ビット6~3 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット2 – HILVLEX : 高位割り込み実行中フラグ (High Level Interrupt Executing)**

このフラグは高位割り込みが実行中、または割り込み処理がNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

- **ビット1 – MEDLVLEX : 中位割り込み実行中フラグ (Medium Level Interrupt Executing)**

このフラグは中位割り込みが実行中、または割り込み処理がNMIまたは高位からの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

- **ビット0 – LOLVLEX : 低位割り込み実行中フラグ (Low Level Interrupt Executing)**

このフラグは低位割り込みが実行中、または割り込み処理がNMIまたはより高い段位からの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

12.8.2. INTPRI – 優先権レジスタ (Priority register)

ビット	7	6	5	4	3	2	1	0	
+\$01	INTPRI7~0								INTPRI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~0 – INTPRI7~0 : 割り込み優先権 (Interrupt Priority)**

ラウンド ロビン計画が許可されている時に、このレジスタは最後に応答された低位割り込みの割り込みベクタを格納します。1つ以上の低位割り込みが保留中の次回に、格納された割り込みベクタが最低優先権を持ちます。このレジスタは優先順を変更するためにソフトウェアからアクセス可能です。このレジスタはラウンド ロビン計画が禁止された場合にその初期値に再初期化されず、故に既定の静的優先権が必要な場合、レジスタは0を書かれなければなりません。

12.8.3. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – RREN : ラウンド ロビン許可 (Round-robin Scheduling Enable)**

RRENビットが設定(1)されると、ラウンド ロビン計画の仕組みが低位割り込みに対して許可されます。このビットが解除(0)されると、最下位アドレスが最高優先権を持つ割り込みベクタ アドレスに対応した静的優先権です。

- **ビット6 – IVSEL : 割り込みベクタ選択 (Interrupt Vector Select)**

IVSELビットが解除(0)されると、割り込みベクタはフラッシュの応用領域の先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュのブート領域の先頭に置かれます。絶対アドレスについてはデバイスのデータシートを参照してください。

このビットは構成設定変更保護機構によって保護されています。詳細については10ページの「構成設定変更保護」を参照してください。

- **ビット5~3 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット2 – HILVLEN : 高位割り込み許可 (High Level Interrupt Enable) (注)**

このビットが設定(1)されると、高位割り込みが許可されます。このビットが解除(0)された場合、高位割り込み要求は無視されます。

● ビット1 – MEDLVLEN : 中位割り込み許可 (Medium Level Interrupt Enable) (注)

このビットが設定(1)されると、中位割り込みが許可されます。このビットが解除(0)された場合、中位割り込み要求は無視されます。

● ビット0 – LOLVLEN : 低位割り込み許可 (Low Level Interrupt Enable) (注)

このビットが設定(1)されると、低位割り込みが許可されます。このビットが解除(0)された場合、低位割り込み要求は無視されます。

注: 割り込み無視はそのビットが解除(0)された後の1周期で実施します。

12.9. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	CTRL	RREN	IVSEL	-	-	-	HILVLEN	MEDLVLEN	LOLVLEN	89
+\$01	INTPRI	INTPRI7~0								89
+\$00	STATUS	NMIEX	-	-	-	-	HILVLEX	MEDLVLEX	LOLVLEX	89

13. 入出力ポート

13.1. 要点

- 個別構成設定を持つ汎用入出力ピン
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 入力とワイヤードOR/AND構成設定での任意選択のプルアップとプルダウンの抵抗
- 任意選択のスレーブ制御
- 全休止形態からデバイスを起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポートピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通ずハードウェア読み-変更-書き
 - 単一操作で複数ピンの構成設定
 - ビットアクセス可能なI/Oメモリ空間へポートレジスタの割り当て
- ポートピンでの周辺機能クロック出力
- ポートピンでの実時間計数器クロック出力
- 事象チャンネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

13.2. 概要

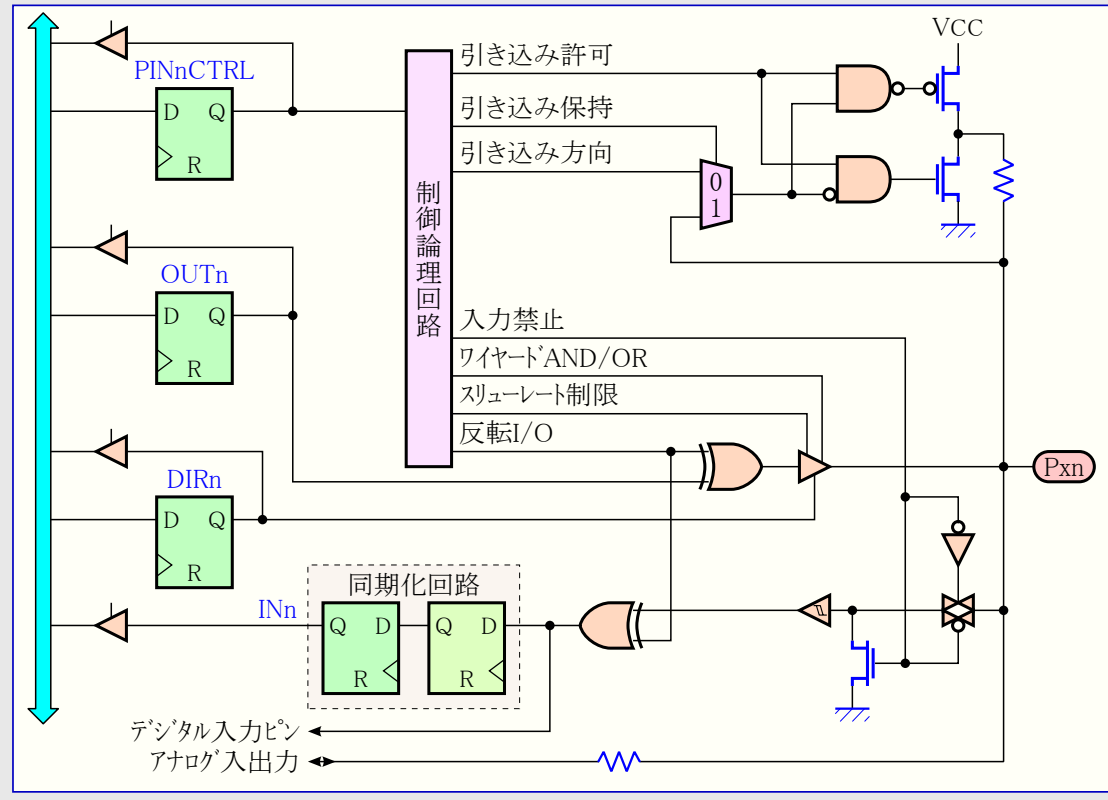
AVR XMEGAマイクロコントローラは柔軟な汎用I/Oポートを持ちます。1つのポートはピン0~7で最大8つのポートピンから成ります。各ポートピンは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で構成設定可能ですが、単一操作で多数のピンを構成設定することができます。ピンは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのハードウェア読み-変更-書き(RMW)機能を持ちます。1つのポートピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポートピン構成設定は他のデバイス機能の入出力選択も制御します。それはポートピンへの周辺機能クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

図13-1はI/Oピン機能とピン制御に対して利用可能なレジスタを示します。

図13-1. 標準I/Oピン機能



13.3. I/Oピンの使い方と構成設定

各ポートはポートピン制御に使われる1つのデータ方向(DIR)レジスタと1つのデータ出力値(OUT)レジスタを持ちます。データ入力値(IN)レジスタはポートピンを読むのに使われます。加えて各ピンは付加的なピン形態用のピン構成設定(PINnCTRL)レジスタを持っています。

ピンの方向はDIRレジスタのDIRnビットによって決められます。DIRnが1を書かれた場合、ピンは出力ピンとして構成設定されます。DIRnが0を書かれた場合、ピンは入力ピンとして構成設定されます。

方向が出力として設定されると、OUTレジスタのOUTnビットはピンの値を設定するのに使われます。OUTnが1を書かれた場合、ピンはHighに駆動されます。OUTnが0を書かれた場合、ピンはLowに駆動されます。

INレジスタはピン値を読むのに使われます。デジタル入力禁止される場合を除き、ピンが入力または出力のどちらとして構成設定されているかに拘らず、ピン値は常に読むことができます。

I/Oピンは例えばクロックが動作していなくてもリセット条件が活性(有効)になるとHi-Zにされます。

ピン構成設定(PINnCTRL)レジスタは付加的なI/Oピン形態に使われます。ピンはコンプリメンタリ、ワイヤードAND、ワイヤードOR形態に設定できます。ピンに対して反転入出力を許可することも可能です。

コンプリメンタリ出力は、コンプリメンタリ(プッシュプル)、プルダウン、プルアップ、バス保持の4つの可能な引き込み構成設定を持ちます。バス保持は両方向で活性(有効)です。これは出力禁止時の発振を避けるためです。プルアップとプルダウン付きのコンプリメンタリ形態はピンが入力として設定される時にだけ活性(有効)になる抵抗器を持ちます。この機能は不必要な電力消費を無くします。

ワイヤードANDとワイヤードOR形態については、任意選択のプルアップとプルダウン抵抗が入力と出力の両方向で活性(有効)です。

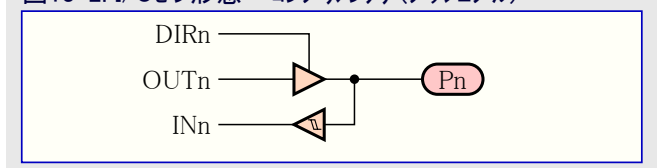
引き込み形態がピン構成設定レジスタを通して構成設定されるため、ピン方向とピン値の切り換え間のポート中間状態が避けられます。

I/Oピン形態は図13-2.~図13-7.での簡単化した回路図で要約されます。

13.3.1. コンプリメンタリ

コンプリメンタリ(プッシュプル)形態では、ピンが対応するデータ出力値(OUT)レジスタ設定に従ってLowまたはHighに駆動されます。この形態ではそのピンが持つ可能な能力以外に吸い込み(シンク)と吐き出し(ソース)に対して何の制限もありません。ピンが入力に構成設定された場合、外部の引き込み(プルアップ/ダウン)抵抗が接続されないなら、そのピンは浮き状態になります。

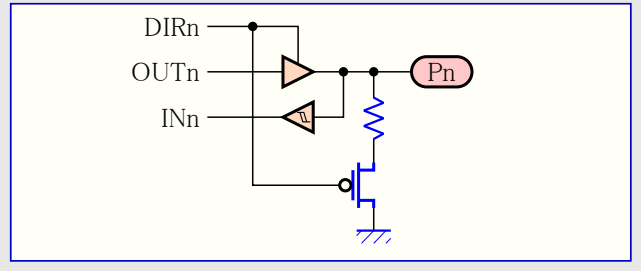
図13-2. I/Oピン形態 - コンプリメンタリ (プッシュプル)



13.3.1.1. プルダウン付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルダウン抵抗とで構成設定されるのを除いて、コンプリメンタリと同様です。

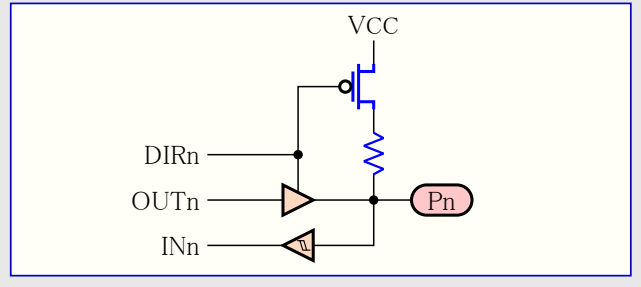
図13-3. I/Oピン形態 - 入力プルダウン付きコンプリメンタリ



13.3.1.2. プルアップ付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルアップとで構成設定されるのを除いて、コンプリメンタリと同様です。

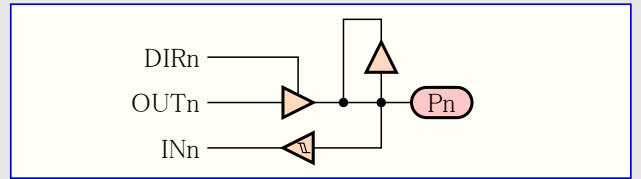
図13-4. I/Oピン形態 - 入力プルアップ付きコンプリメンタリ



13.3.2. バス保持

バス保持形態ではピンがもはやHighまたはLowに駆動されない時にその論理レベルでピンを保持する弱いバス保持器を提供します。ピン/バス上での最後のレベルが1だったなら、バス保持構成設定はバスをHighに保持するために内部プルアップ抵抗を使います。ピン/バス上での最後のレベルが0だったなら、バス保持器はバスをLowに保持するために内部プルダウン抵抗を使います。

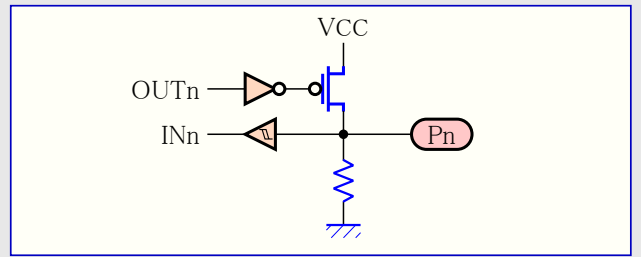
図13-5. I/Oピン形態 - バス保持付きコンプリメンタリ



13.3.3. ワイヤードOR

ワイヤードOR構成設定ではデータ出力値(OUT)レジスタとデータ方向(DIR)レジスタで対応するビットが1を書かれる時にピンがHighに駆動されます。OUTレジスタが0に設定されると、ピンは開放され、内部または外部のプルダウン抵抗でLowに引かれることをピンに許します。内部プルダウンが使われる場合、ピンが入力として設定される場合にもこれは活性(有効)です。

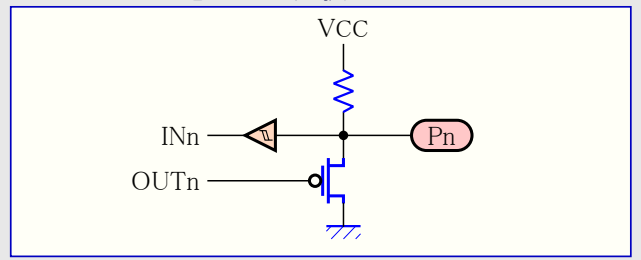
図13-6. 出力形態 - 任意選択プルダウン付きワイヤードOR



13.3.4. ワイヤードAND

ワイヤードAND構成設定ではデータ出力値(OUT)レジスタとデータ方向(DIR)レジスタで対応するビットが0を書かれる時にピンがLowに駆動されます。OUTレジスタが1に設定されると、ピンは開放され、内部または外部のプルアップ抵抗でHighに引かれることをピンに許します。内部プルアップが使われる場合、ピンが入力として設定される場合にもこれは活性(有効)です。

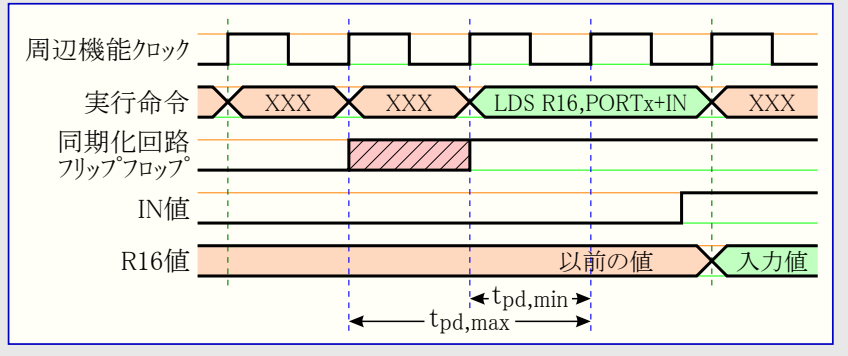
図13-7. 出力形態 - 任意選択プルアップ付きワイヤードAND



13.4. ピン値の読み方

ピンのデータ方向と無関係に、ピン値は92頁の図13-1.で示されるように、データ入力値(IN)レジスタから読むことができます。デジタル入力禁止される場合、ピン値は読めません。INレジスタビットと先行するフリップフロップが同期化回路を構成します。同期化回路は内部信号線での遅延を生じます。図13-8.は外部的に印加されたピン値を読む時の同期化タイミング構成図を示します。最大と最小の伝播遅延は各々 $t_{pd,max}$ と $t_{pd,min}$ として記されます。

図13-8. 外部的に印加されたピン値を読む時の同期化



13.5. 入力感知構成設定

入力感知はI/Oピン入力での端(エッジ)またはレベルの検出に使われます。各ピンに対して利用可能な各種検出条件は上昇端、下降端、両端の検出、またはLowレベルの検出です。Highレベルは反転入力構成設定を使うことによって検出することができます。入力感知はピンでの変化があった時に割り込み要求(IREQ)または事象を起動することができます。

I/Oピンは同期と非同期の入力感知を支援します。同期感知は周辺機能クロックの存在を必要とし、一方非同期感知はどのクロックも必要としません。

図13-9. 入力感知 - 完全な非同期感知

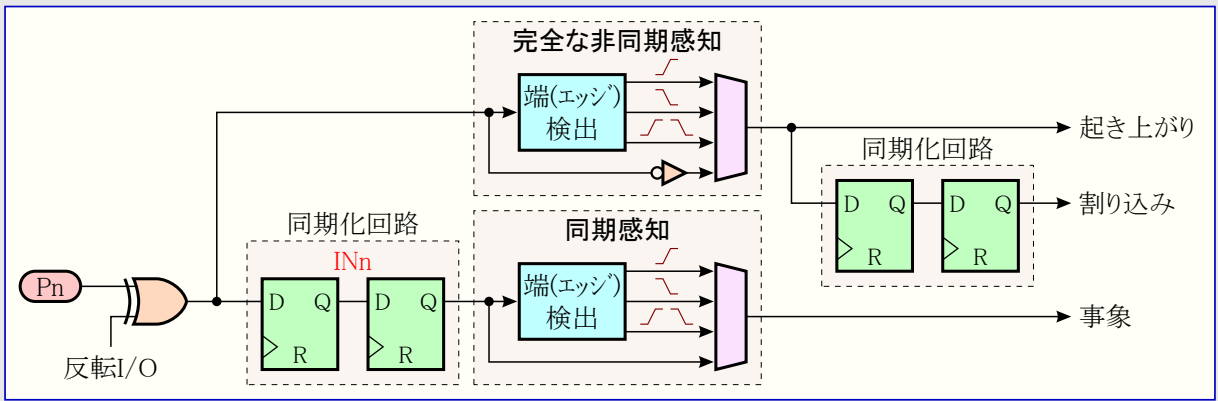
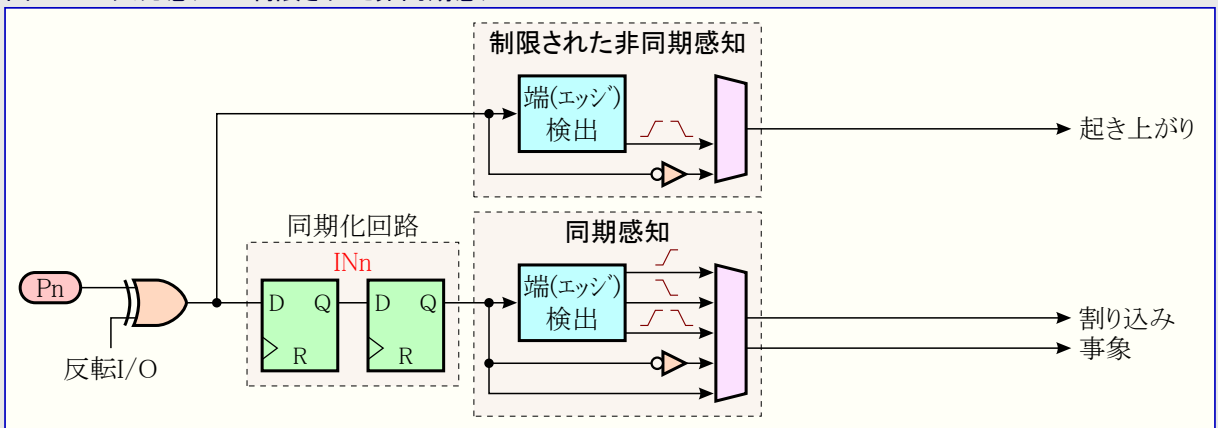


図13-10. 入力感知 - 制限された非同期感知



(訳注) 図13-9.と図13-10.は基本的に原書に従っていますが、割り込み信号に関して、本文及び表に於ける説明と矛盾します。本文及び表に従った場合、両図に於いて割り込み信号が同期感知と非同期感知のどちらに対しても存在しなければなりません。

13.6. ホート割り込み

各ポートは2つの割り込みベクタを持ち、各割り込みを起動するポートのピンが構成設定可能です。ポート割り込みはそれらが使われる前に許可されなければなりません。どの感知形態が割り込み生成に使えるかは、選んだピンに対して同期と非同期の入力感知のどちらが利用可能かに依存します。

同期感知については、全ての感知形態が割り込み生成に使えます。端(エッジ)検出に対しては、割り込み要求が生成されるために、変更されたピン値が周辺機能クロックによって1度採取されなければなりません。表13-1をご覧ください。

アイドルを除く全ての休止動作形態で使われる非同期感知については、各ポートのポートピン2だけが完全な非同期感知支援を持ちます。これは端検出に関してピン2がどの端もタッチして検出し、常に割り込み要求を起動することを意味します。他のポートピンは制限された非同期感知支援を持ちます。表13-2をご覧ください。これは端検出に関して、デバイス起動してクロックが存在するまで、変更された値が保持されなければならないことを意味します。デバイスの起動時間が終わる前にピン値が戻る場合、デバイスは起動したままですが、割り込み要求は生成されません。表13-3をご覧ください。

Lowレベルは周辺機能クロックが存在するか否かに拘らず全てのピンで常に検出できます。ピンがLowレベル感知に構成設定された場合、そのピンがLowを保持している限り、割り込みを起動します。活動動作に於いては、割り込みを生成するために現在実行中の命令の完了までLowレベルが保たれなければなりません。全ての休止形態動作に於いて、割り込みを生成するためにデバイス起動時間の終りまでLowレベルが保持されなければなりません。起動時間の終了前にLowレベルが消滅した場合、デバイスは起動したままですが、割り込み要求は生成されません。

表13-1. 同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

表13-2. 完全な非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

表13-3. 制限された非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	無	-
下降端	無	-
両端	有	起動中、ピン値は無変化を維持されなければなりません。
Lowレベル	有	起動中、ピン値は無変化を維持されなければなりません。

13.7. ホート事象

ポートピンはそれらがピンで変化する時に事象を生成できます。感知構成設定は各ピンに対して事象を生成する条件を決めます。事象生成は周辺機能クロックの存在を必要とし、非同期事象生成は不可能です。端(エッジ)感知については、生成されるべき事象に対して変更されたピン値が周辺機能クロックによって1度採取されなければなりません。

レベル感知に関して、Lowレベルのピン値は事象を生成せず、Highのピン値は継続的に事象を生成します。Lowレベルで生成されるべき事象については、ピン構成設定が反転I/Oに設定されなければなりません。

表13-4. 事象感知支援

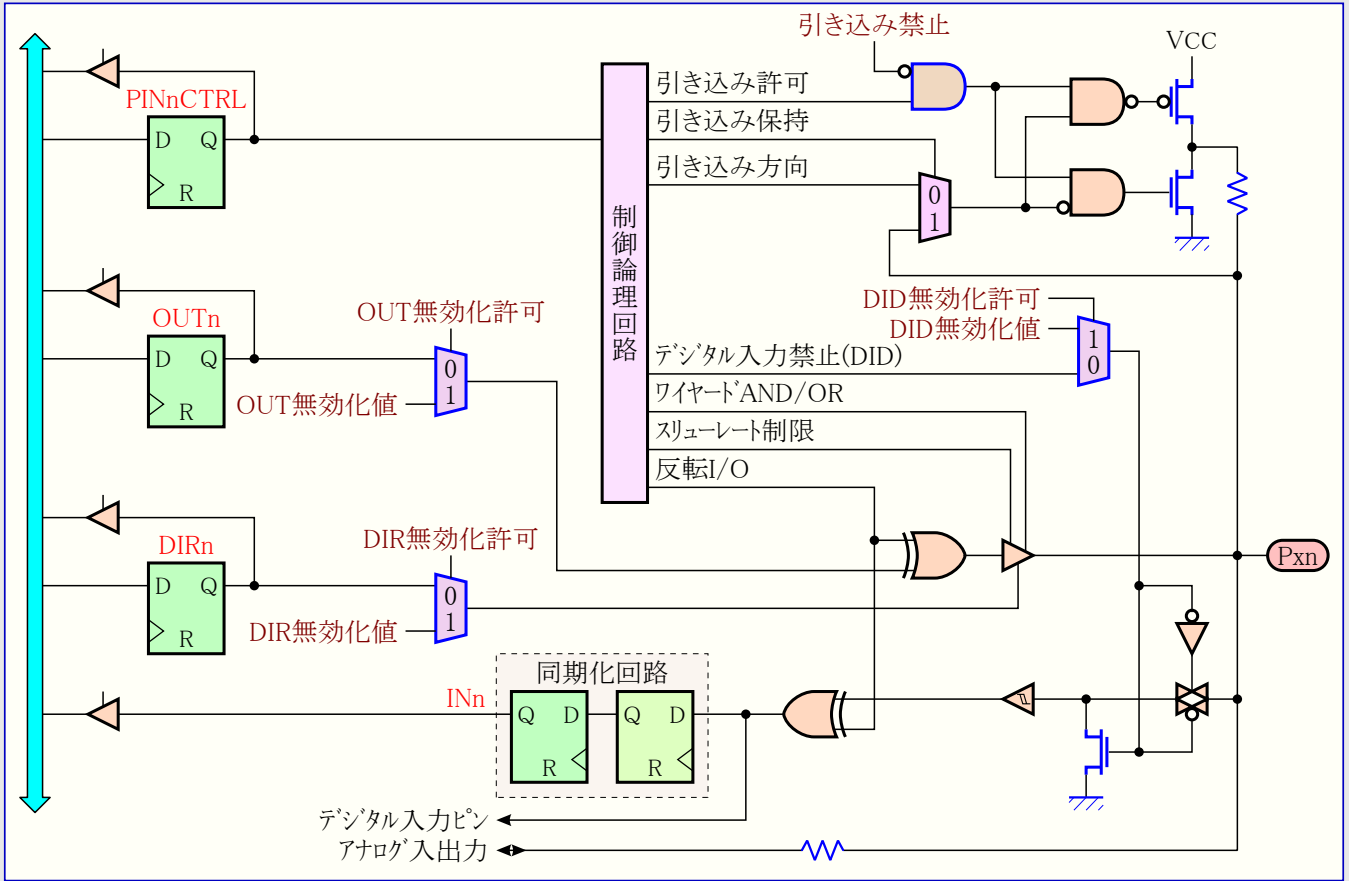
感知設定	合図事象	データ事象
上昇端	上昇端	ピン値
下降端	下降端	ピン値
両端	何れか端	ピン値
Lowレベル	ピン値	ピン値

13.8. ホート機能交換

殆どのポートピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポートピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに構成設定される時に起きます。周辺機能がどう無効にして、ピンをどう使うかはその周辺機能に関する章で記述されます。

ポート無効化信号と関連する論理回路(暗背景青枠、**訳注**:原書は灰色)が図13-11で示されます。この信号はソフトウェアからアクセス不能で、無効化する周辺機能とポートピン間の内部信号です。

図13-11. ポート無効化信号と関連論理回路



13.9. スリューレート制御

スリューレート制御は各I/Oピンに対して個別に許可できます。スリューレート制限器の許可は動作条件と負荷に依存して代表的に50~150%で上昇/下降時間を増加します。スリューレート制限器の特性についてはデバイスのデータシートを参照してください。

13.10. クロックと事象の出力

周辺機能クロックと事象チャンネル0事象をピンに出力することが可能です。これはクロック、制御、そして外部の機能とハードウェアを内部デバイスタイミングと同期するのに使うことができます。出力ポートピンは選択可能です。事象が起きた場合、その事象が継続する限り、そのポートピンで見ることができ、通常1周辺機能クロック周期です。

13.11. 複数ピン構成設定

複数ピン構成設定機能は、ポートピン構成設定レジスタの1つだけへの単一書き込み操作を用いて、複数ポートピンの構成設定に使うことができます。複数ピン全体構成設定許可(MPCMASK)レジスタは或るポートピンレジスタが書かれる時にどのポートピンが構成設定されるかを決め、同時に同じ書き込み操作中に同じ方法で多数のピンの書き込みを避けます。

13.12. 仮想ポート

仮想ポートレジスタはビットアクセス可能なI/Oメモリ空間へ仮想的に割り当てられることをポートレジスタに許します。これが行われると、仮想ポートレジスタへの書き込みは現実のポートレジスタへの書き込みと同じです。これは通常、拡張I/Oメモリ空間に属するポートレジスタで、ビット操作命令のようなI/Oメモリ特定命令の使用を許します。4つの仮想ポートがあり、故に同時に4ポートを割り当てることができます。

13.13. レジスタ説明 - ポート

13.13.1. DIR - データ方向レジスタ (Data Direction register)

ビット	7	6	5	4	3	2	1	0	
+\$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIR7~0 : データ方向 (Data Direction)

このレジスタはポートの個別ピンに対するデータ方向を設定します。DIRnが1を書かれるなら、ピンは出力ピンとして構成設定されます。DIRnが0を書かれるなら、ピンは入力ピンとして構成設定されます。

13.13.2. DIRSET - データ方向設定レジスタ (Data Direction Set register)

ビット	7	6	5	4	3	2	1	0	
+\$01	DIRSET7~0								DIRSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRSET7~0 : データ方向設定 (Port Data Direction Set)

このレジスタは出力として個別ピンを設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを設定(1)します。このレジスタの読み込みはDIRレジスタ値を返します。

13.13.3. DIRCLR - データ方向解除レジスタ (Data Direction Clear register)

ビット	7	6	5	4	3	2	1	0	
+\$02	DIRCLR7~0								DIRCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRCLR7~0 : データ方向解除 (Port Data Direction Clear)

このレジスタは入力として個別ピンを設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを解除(0)します。このレジスタの読み込みはDIRレジスタ値を返します。

13.13.4. DIRTGL - データ方向交互切換レジスタ (Data Direction Toggle register)

ビット	7	6	5	4	3	2	1	0	
+\$03	DIRTGL7~0								DIRTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRTGL7~0 : データ方向交互切換 (Port Data Direction Toggle)

このレジスタは個別ピンの方向を交互切り換えするための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはDIRレジスタ値を返します。

13.13.5. OUT - データ出力値レジスタ (Data Output Value register)

ビット	7	6	5	4	3	2	1	0	
+\$04	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - OUT7~0 : データ出力値 (Port Data Output Value)

このレジスタはポートの個別ピンに対するデータ出力値を設定します。OUTnが1を書かれるなら、ピンはHighを駆動します。OUTnが0を書かれるなら、ピンはLowを駆動します。この設定が何らかの効果を持つにはピン方向が出力として設定されなければなりません。

13.13.6. OUTSET – データ出力値設定レジスタ (Data Output Value Set register)

ビット	7	6	5	4	3	2	1	0	
+\$05	OUTSET7~0								OUTSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUTSET7~0 : データ出力値設定 (Data Output Value Set)

このレジスタは個別ピンの出力値を1に設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを設定(1)します。このレジスタの読み込みはOUTレジスタ値を返します。

13.13.7. OUTCLR – データ出力値解除レジスタ (Data Output Value Clear register)

ビット	7	6	5	4	3	2	1	0	
+\$06	OUTCLR7~0								OUTCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUTCLR7~0 : データ出力値解除 (Data Output Value Clear)

このレジスタは個別ピンの出力値を0に設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを解除(0)します。このレジスタの読み込みはOUTレジスタ値を返します。

13.13.8. OUTTGL – データ出力値交互切換レジスタ (Data Output Value Toggle register)

ビット	7	6	5	4	3	2	1	0	
+\$07	OUTTGL7~0								OUTTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUTTGL7~0 : データ出力値交互切換 (Port Data Output Value Toggle)

このレジスタは個別ピンで出力値を交互切り換えするための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはOUTレジスタ値を返します。

13.13.9. IN – データ入力値レジスタ (Data Input Value register)

ビット	7	6	5	4	3	2	1	0	
+\$08	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 – IN7~0 : データ入力値 (Data Input Value)

このレジスタはデジタル入力緩衝部が許可されている場合のピンに存在する値を示します。INnはポートのピン値を示します。デジタル入力緩衝部が禁止されている場合、入力が採取されず、読むことができません。

13.13.10. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$09	-	-	-	-	INT1LVL1,0		INT0LVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2,1,0 – INTnLVL1,0 : 割り込みn段位 (Interrupt n Level)

これらのビットはポート割り込みnを許可して、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。

13.13.11. INTOMASK – 割り込み0許可レジスタ (Interrupt 0 Mask register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$0A	INTOMASK7~0								INTOMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – INTOMASK7~0 : 割り込み0許可 (Interrupt 0 Mask)

これらのビットはポート割り込み0に対する供給元としてどのピンを使うかの許可/遮蔽に使われます。INTOMASK_nが1を書かれるなら、ピンはポート割り込み0に対する供給元として使われます。各ピンに対する入力感知形態はピン構成設定(PINnCTRL)レジスタによって決められます。

13.13.12. INT1MASK – 割り込み1許可レジスタ (Interrupt 1 Mask register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$0B	INT1MASK7~0								INT1MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – INT1MASK7~0 : 割り込み1許可 (Interrupt 1 Mask)

これらのビットはポート割り込み1に対する供給元としてどのピンを使うかの許可/遮蔽に使われます。INT1MASK_nが1を書かれるなら、ピンはポート割り込み1に対する供給元として使われます。各ピンに対する入力感知形態はピン構成設定(PINnCTRL)レジスタによって決められます。

13.13.13. INTFLAGS – 割り込み要求フラグレジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$0C	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – INTnIF : 割り込みn要求フラグ (Interrupt n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知構成設定と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込み段位記述を参照してください。

13.13.14. PINnCTRL – ピン構成設定レジスタ (Pin n Configuration register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$10+n	SRLLEN	INVEN	OPC2~0			ISC2~0			PINnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – SRLLEN : スローレート制限許可 (Slew Rate Limit Enable)

このビットの設定(1)がピンnのスローレート制限を許可します。

● ビット6 – INVEN : 反転I/O許可 (Inverted I/O Enable)

このビットの設定(1)がピンnの入力データと出力データの反転を許可します。

● ビット5~3 – OPC2~0 : 出力/引き込み構成設定 (Output and Pull Configuration)

これらのビットは表13-5に従ってピンnの出力/引き込み形態を設定します。

表13-5. 出力/引き込み形態

OPC2~0	群構成設定	内容	
		出力形態	引き込み形態
0 0 0	TOTEM	コンプリメンタリ	(なし)
0 0 1	BUSKEEPER	コンプリメンタリ	バス保持
0 1 0	PULLDOWN	コンプリメンタリ	入力でのプルダウン
0 1 1	PULLUP	コンプリメンタリ	入力でのプルアップ
1 0 0	WIREDOR	ワイヤードOR	(なし)
1 0 1	WIREDAND	ワイヤードAND	(なし)
1 1 0	WIREDORPULL	ワイヤードOR	プルダウン
1 1 1	WIREDANDPULL	ワイヤードAND	プルアップ

● ビット2~0 - ISC2~0 : 入力/感知構成設定 (Input/Sense Configuration)

これらのビットは表13-6.に従ってピン入力と感知の形態を設定します。感知形態はピンがポート割り込みと事象をどう起動し得るかを決めます。入力緩衝部が禁止されていると、入力は入力値(IN)レジスタで読むことができません。

表13-6. 入力/感知形態

ISC2~0	群構成設定	内容
0 0 0	BOTHEDGES	両端感知
0 0 1	RISING	上昇端感知
0 1 0	FALLING	下降端感知
0 1 1	LEVEL	Lowレベル感知 (注1)
1 0 0	-	(予約)
1 0 1	-	(予約)
1 1 0	-	(予約)
1 1 1	INPUT_DISABLE	デジタル入力緩衝部禁止 (注2)

注1: Lowレベルのピン値は事象を生成せず、Highレベルのピン値が継続的な事象を生成します。

注2: ポートA~Fだけが入力緩衝部禁止任意選択を支援します。ピンがA/D変換器(ADC)やアナログ比較器(AC)のようなアナログ機能に使われる場合、ピンをINPUT_DISABLEに構成設定することが推奨されます。

13.14. レジスタ説明 – ホート構成設定

13.14.1. MPCMASK – 複数ピン構成設定許可レジスタ (Multi-pin Configuration Mask register)

ビット +\$00	7	6	5	4	3	2	1	0	MPCMASK
	MPCMASK7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – MPCMASK7~0 : 複数ピン構成設定許可 (Multi-pin Configuration Mask)

MPCMASKレジスタは同時に構成設定されるべきポートの多数のピンを許可します。ビットへの1書き込みはピンを複数ピン構成設定の一部にします。MPCMASKレジスタの1つ以上のビットが設定(1)されると、ピン構成設定(PINnCTRL)レジスタの何れかの書き込みはそのポートに対してMPCMASKレジスタ内の遮蔽に一致するPINnCTRLだけを更新します。MPCMASKレジスタはPINnCTRLレジスタのどれかが書かれた後で自動的に解除(=0)されます。

13.14.2. VPCTRLA – 仮想ポート割り当て制御レジスタA (Virtual Port-map Control register A)

ビット +\$02	7	6	5	4	3	2	1	0	VPCTRLA
	VP1MAP3~0				VP0MAP3~0				
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – VP1MAP3~0 : 仮想ポート1割り当て (Virtual Port 1 Mapping)

これらのビットは仮想ポート1にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。構成設定については表13-6をご覧ください。

● ビット3~0 – VP0MAP3~0 : 仮想ポート0割り当て (Virtual Port 0 Mapping)

これらのビットは仮想ポート0にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。構成設定については表13-6をご覧ください。

13.14.3. VPCTRLB – 仮想ポート割り当て制御レジスタB (Virtual Port-map Control register B)

ビット +\$03	7	6	5	4	3	2	1	0	VPCTRLB
	VP3MAP3~0				VP2MAP3~0				
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – VP3MAP3~0 : 仮想ポート3割り当て (Virtual Port 3 Mapping)

これらのビットは仮想ポート3にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。構成設定については表13-6をご覧ください。

● ビット3~0 – VP2MAP3~0 : 仮想ポート2割り当て (Virtual Port 2 Mapping)

これらのビットは仮想ポート2にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポートレジスタのアクセスは実際のポートレジスタアクセスと等価です。構成設定については表13-7をご覧ください。

表13-7. 仮想ポート割り当て

VPnMAP3~0	群構成設定	内容	VPnMAP3~0	群構成設定	内容
0 0 0 0	PORTA	ポートAを仮想ポートnに割り当て	1 0 0 0	PORTJ	ポートJを仮想ポートnに割り当て
0 0 0 1	PORTB	ポートBを仮想ポートnに割り当て	1 0 0 1	PORTK	ポートKを仮想ポートnに割り当て
0 0 1 0	PORTC	ポートCを仮想ポートnに割り当て	1 0 1 0	PORTL	ポートLを仮想ポートnに割り当て
0 0 1 1	PORTD	ポートDを仮想ポートnに割り当て	1 0 1 1	PORTM	ポートMを仮想ポートnに割り当て
0 1 0 0	PORTE	ポートEを仮想ポートnに割り当て	1 1 0 0	PORTN	ポートNを仮想ポートnに割り当て
0 1 0 1	PORTF	ポートFを仮想ポートnに割り当て	1 1 0 1	PORTP	ポートPを仮想ポートnに割り当て
0 1 1 0	PORTG	ポートGを仮想ポートnに割り当て	1 1 1 0	PORTQ	ポートQを仮想ポートnに割り当て
0 1 1 1	PORTH	ポートHを仮想ポートnに割り当て	1 1 1 1	PORTR	ポートRを仮想ポートnに割り当て

13.14.4. CLKEVOUT – クロック/事象出力レジスタ (Clock and Event Out register)

ビット +\$04	7	6	5	4	3	2	1	0	CLKEVOUT
	-	-	EVOUT1,0	-	-	-	CLKOUT1,0		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5,4 – EVOUT1,0 : 事象出力ポート (Event Output Port)

これらのビットは事象システムからの事象チャンネル0がどのポートに出力されるのかを決めます。選ばれたポートのピン7が既定で使われ、**クロック出力ポート(CLKOUT)**ビットはEVOUTのそれらと違うように設定されなければなりません。ピンで利用可能にすべき事象のために、ポートピンは出力として構成設定されなければなりません。

表13-8.が可能な形態を示します。

表13-8. 事象チャンネル出力構成設定

EVOUT1,0	群構成設定	内容
0 0	OFF	事象出力禁止
0 1	PC	ポートCでの事象チャンネル出力
1 0	PD	ポートDでの事象チャンネル出力
1 1	PE	ポートEでの事象チャンネル出力

● ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – CLKOUT1,0 : クロック出力ポート (Clock Output Port)

これらのビットは周辺機能クロックがどのポートに出力されるべきかを決めます。選ばれたポートのピン7が既定で使われます。CLKOUT設定はEVOUT設定を無効にします。従って、両方が同じポートピンで許可される場合、周辺機能クロックが見えます。ピンで利用可能にすべきクロックのために、ポートピンは出力ピンとして構成設定されなければなりません。

表13-9.が可能な形態を示します。

表13-9. クロック出力構成設定

CLKOUT1,0	群構成設定	内容
0 0	OFF	クロック出力禁止
0 1	PC	ポートCでのクロック出力
1 0	PD	ポートDでのクロック出力
1 1	PE	ポートEでのクロック出力

13.15. レジスタ説明 – 仮想ポート

13.15.1. DIR – データ方向レジスタ (Data Direction register)

ビット	7	6	5	4	3	2	1	0	
+\$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DIR7~0 : データ方向 (Data Direction)

このレジスタはVPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBによって割り当てされたポート内の個別ピンに対するデータ方向を設定します。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ方向(DIR)レジスタのアクセスと同じです。

13.15.2. OUT – データ出力値レジスタ (Data Output Value register)

ビット	7	6	5	4	3	2	1	0	
+\$01	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – OUT7~0 : データ方向設定 (Port Data Output Value)

このレジスタはVPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBによって割り当てされたポートの個別ピンに対するデータ出力値を設定します。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ出力値(OUT)レジスタのアクセスと同じです。

13.15.3. IN – データ入力値レジスタ (Data Input Value register)

ビット	7	6	5	4	3	2	1	0	
+\$02	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 – IN7~0 : データ入力値 (Data Input Value)

このレジスタはデジタル入力緩衝部が許可されている場合のピンに存在する値を示します。VPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBの構成設定がこのレジスタ内の値を決めます。ポートが仮想として割り当てられたとき、このレジスタのアクセスはそのポートに対する実際のデータ入力値(IN)レジスタのアクセスと同じです。

13.15.4. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 – INTnIF : 割り込みn要求フラグ (Interrupt n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知形態と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込み段位記述を参照してください。

VPCTRLA – 仮想ポート割り当て制御レジスタAまたはVPCTRLB – 仮想ポート割り当て制御レジスタBの構成設定がどのフラグが割り当てられるかを決定します。ポートが仮想として割り当てられた時に、このレジスタのアクセスはそのポートに対する実際の割り込み要求フラグ(INTFLAGS)レジスタのアクセスと同じです。

13.16. レジスタ要約 - ポート

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$1F	予約	-	-	-	-	-	-	-	-	
+\$1E	予約	-	-	-	-	-	-	-	-	
+\$1D	予約	-	-	-	-	-	-	-	-	
+\$1C	予約	-	-	-	-	-	-	-	-	
+\$1B	予約	-	-	-	-	-	-	-	-	
+\$1A	予約	-	-	-	-	-	-	-	-	
+\$19	予約	-	-	-	-	-	-	-	-	
+\$18	予約	-	-	-	-	-	-	-	-	
+\$17	PIN7CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$16	PIN6CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$15	PIN5CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$14	PIN4CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$13	PIN3CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$12	PIN2CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$11	PIN1CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$10	PIN0CTRL	SRLLEN	INVEN		OPC2~0			ISC2~0		99
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	予約	-	-	-	-	-	-	-	-	
+\$0C	INTFLAGS	-	-	-	-	-	-	INT1IF	INT0IF	99
+\$0B	INT1MASK					INT1MASK7~0				99
+\$0A	INT0MASK					INT0MASK7~0				99
+\$09	INTCTRL	-	-	-	-	INT1LVL1,0		INT0LVL1,0		98
+\$08	IN					IN7~0				98
+\$07	OUTTGL					OUTTGL7~0				98
+\$06	OUTCLR					OUTCLR7~0				98
+\$05	OUTSET					OUTSET7~0				98
+\$04	OUT					OUT7~0				97
+\$03	DIRTGL					DIRTGL7~0				97
+\$02	DIRCLR					DIRCLR7~0				97
+\$01	DIRSET					DIRSET7~0				97
+\$00	DIR					DIR7~0				97

13.17. レジスタ要約 - ポート構成設定

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CLKEVOUT	-	-	EVOUT1,0		-	-	CLKOUT1,0		102
+\$03	VPCTRLB		VP3MAP3~0				VP2MAP3~0			101
+\$02	VPCTRLA		VP1MAP3~0				VP0MAP3~0			101
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	MPCMASK					MPCMASK7~0				101

13.18. レジスタ要約 - 仮想ポート

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	INTFLAGS	-	-	-	-	-	-	INT1IF	INT0IF	103
+\$02	IN					IN7~0				103
+\$01	OUT					OUT7~0				103
+\$00	DIR					DIR7~0				103

13.19. 割り込みベクタ要約 - ポート

表13-15. ポート割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	INT0_vect	ポート割り込み0ベクタ
\$02	INT1_vect	ポート割り込み1ベクタ

14. TC0/1 – 16ビット タイマ/カウンタ0型と1型

14.1. 要点

- 16ビット タイマ/カウンタ
- 2つのタイマ/カウンタの縦列接続によって支援される32ビット タイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
 - 0型のタイマ/カウンタに対して4つのCCチャネル
 - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
 - 周波数生成
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
 - 直交復号
 - 計数と方向の制御
 - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
 - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX – 新波形拡張
 - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
 - 駆動部の安全な禁止のための事象制御された障害保護

14.2. 概要

Atmel AVR XMEGAデバイスには柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

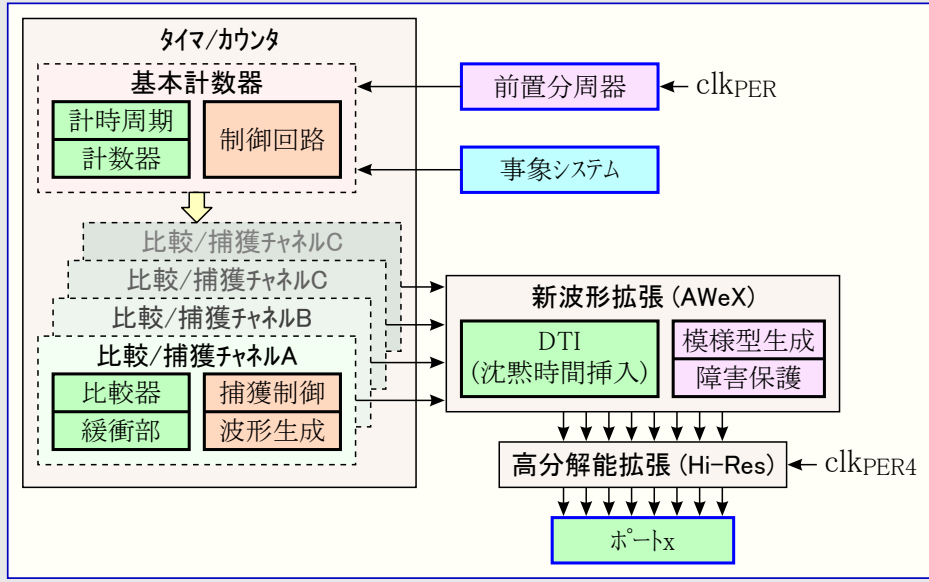
タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使うことができます。

タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つ8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。**新波形拡張(AWeX)**は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポートピンの向こう側への同期したビット様式を生成することもできます。**高分解能(Hi-Res)拡張**は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。

密接に関連する(青枠の(訳注:原書は灰色の))周辺機能単位部と拡張を伴う16ビット タイマ/カウンタの構成図が図14-1.で示されます。

図14-1. 16ビット タイマ/カウンタと密接に関連する周辺機能



14.2.1. 定義

以下の定義が文書全体を通して使われています。

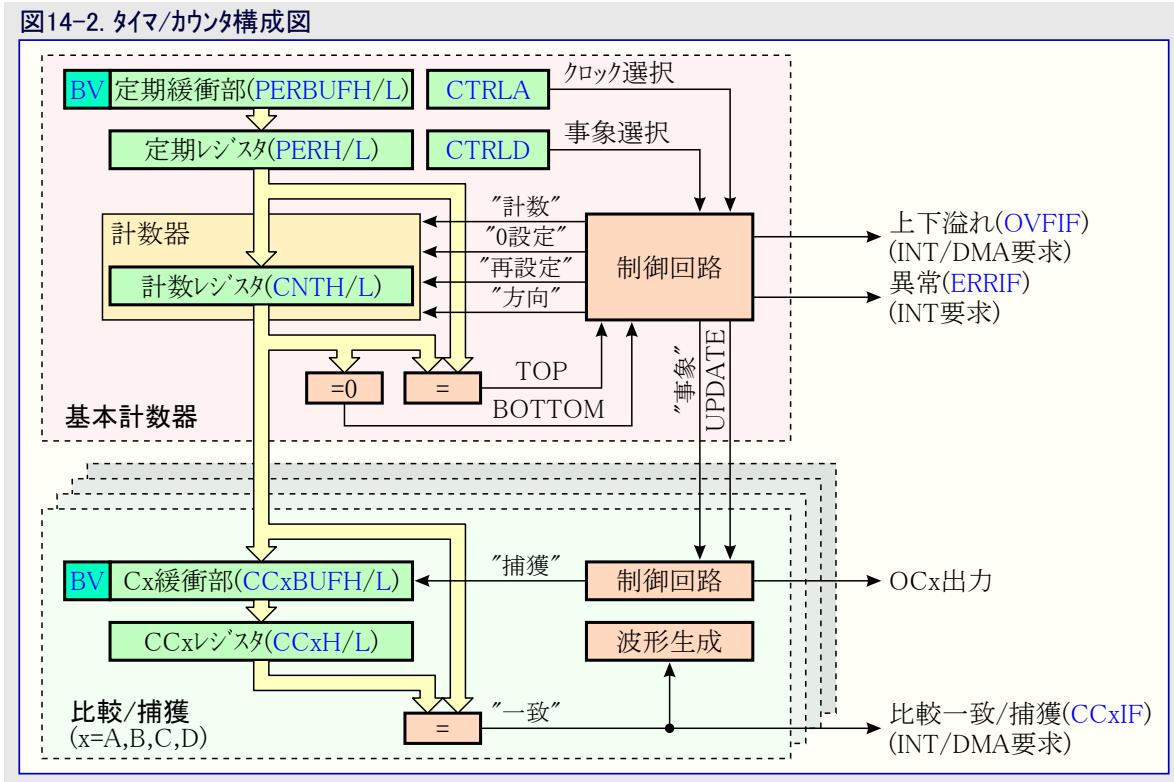
表14-1. タイマ/カウンタ用語定義

用語	意味
BOTTOM	計数器が底(BOTTOM)に到達し、それが0になる時。
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時。
TOP	計数器が頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は定期(PER)レジスタまたは比較チャンネルA(CCA)レジスタの設定に等しくできます。これは波形生成動作種別によって選ばれます。
UPDATE	タイマ/カウンタが更新(UPDATE)を合図し、それが波形生成動作種別に依存してBOTTOMまたはTOPに到達する時。

一般的に用語'計時器'はタイマ/カウンタのクロック制御が内部供給元によって扱われる時に使われ、用語'計数器'はクロックが外部的に扱われる(換言すると、外部事象計数)時に使われます。CCチャンネルは比較操作に使われる時に'比較チャンネル'として参照されます。捕獲操作に使われる時にCCチャンネルは'捕獲チャンネル'として参照されます。

14.3. 構成図

図14-2は拡張(部)を除くタイマ/カウンタの詳細な構成図を示します。



計数器(CNT)レジスタ、定期(PER)レジスタと定期緩衝(PERBUF)レジスタ、比較/捕獲(CCx)レジスタと比較/捕獲緩衝(CCxBUF)レジスタは16ビットレジスタです。全ての緩衝レジスタは緩衝内容が新しい値の時を示す緩衝有効(BV)フラグを持ちます。

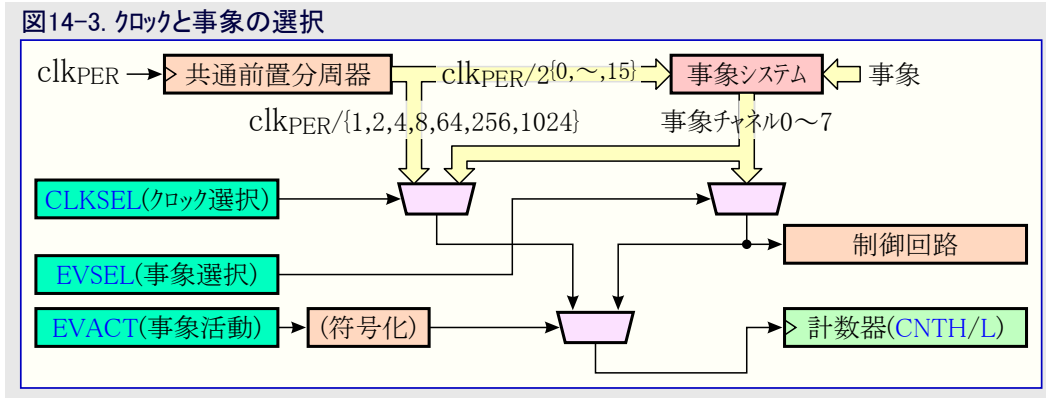
標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。

計数器値はCCxレジスタとも比較されます。これらの比較は割り込み要求、DMA転送単位処理要求、事象システムに対する事象を生成するのに使えます。波形生成器動作は波形周期またはパルス幅を設定するのに比較器を使います。

前置分周された周辺機能クロックと事象システムからの事象が計数器を制御するのに使えます。事象システムは捕獲入力への供給元としても使われます。[事象システムQDECの直交復号機能](#)とタイマ/カウンタの組み合わせは高速直交復号に使えます。

14.4. クロック元と事象元

タイマ/カウンタは周辺機能クロック(ClkPER)または事象システムからクロック駆動でき、**図14-3**がクロックと事象の選択論理を示します。



周辺機能クロックは共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1~1/1024の前置分周器出力はタイマ/カウンタによる選択が直接的に利用可能です。加えて1~2¹⁵前置分周器範囲全体が**事象システム**を通して利用可能です。

クロック選択(CLKSEL)は計数器(CNT)入力として前置分周器出力の1つを直接的に、または事象チャネルを選びます。これは計数器の標準動作としての参照です。詳細については**110頁の「標準動作」**を参照してください。事象システムの使用により、何れかのI/Oピンの外部クロック信号のような事象元もクロック入力として使えます。

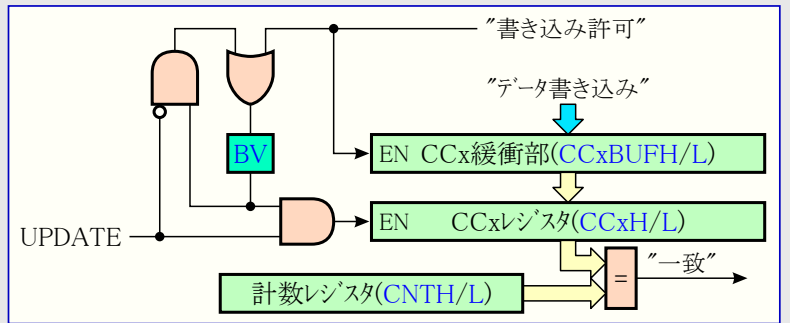
加えてタイマ/カウンタは事象システムを経由して制御ができます。事象選択(EVSEL)と事象活動(EVACT)の設定は1つ以上の事象から事象活動を起動するのに使われます。これは計数器の事象活動制御動作として参照されます。詳細については**110頁の「事象活動制御動作」**を参照してください。事象活動制御動作が使用されるとき、クロック選択は計数器入力として事象チャネルの使用に設定されなければなりません。

既定ではクロック入力なしが選ばれ、タイマ/カウンタは動作しません。

14.5. 2重緩衝

定期(PER)レジスタと比較/捕獲(CC)レジスタは、全て2重緩衝されます。各々の緩衝レジスタは緩衝有効(BV)フラグを持ち、これは緩衝が有効、換言すると対応する定期やCCレジスタ内に複写することができる新しい値を含んでいることを示します。定期レジスタとCCチャネルが比較動作に使われる時は、データが緩衝レジスタに書かれる時に緩衝有効フラグが設定(1)され、UPDATE条件で解除(0)されます。これは比較レジスタに関して**図14-4**で示されます。

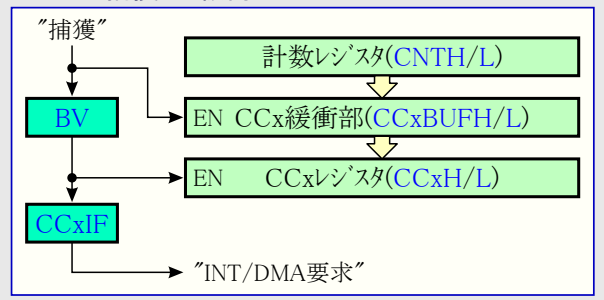
図14-4. 定期レジスタと比較レジスタの2重緩衝処理



CCxチャネルが捕獲動作に使われる時には同じ2重緩衝機構が使われますが、この場合は**図14-5**で示されるように緩衝有効フラグが捕獲事象で設定(1)されます。捕獲に関しては緩衝レジスタと対応するCCxレジスタがFIFOのように動きます。CCxレジスタが使用、または読まれると、緩衝レジスタのどんな内容もCCxレジスタに渡されます。緩衝有効フラグはCCx割り込み要求フラグ(CCxIF)を設定(1)するために渡されて、任意選択の割り込みを生成します。

CCxとCCxBUFの両レジスタはI/Oレジスタとして利用可能です。これは緩衝レジスタの初期化と迂回して2重緩衝機能を許します。

図14-5. 捕獲2重緩衝



14.6. 計数器動作

動作種別に依存して計数器は各タイマ/カウンタクロック入力で、0設定、再設定、増加、減少されます。

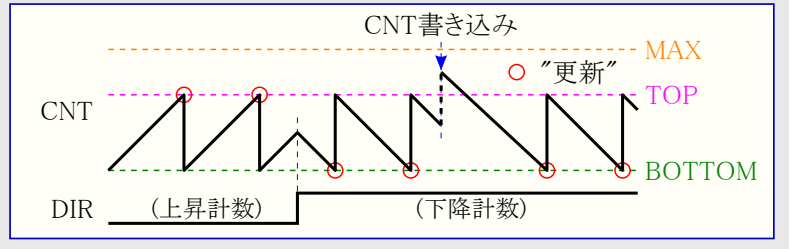
14.6.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、各クロックに対して方向(DIR)ビットによって設定された方向で計数します。上昇計数でTOP到達時、計数器は次のクロックが与えられた時に0が設定されます。下降計数時の計数器はBOTTOM到達時に定期(PER)レジスタで再設定されます。

図14-6.で示されるように、計数器動作時に計数器値変更が可能です。書き込みアクセスは、計数、0設定、再設定より高い優先権を持ち、直ちに行われます。計数器の方向は標準動作中でも変更できます。

捕獲チャネルに対する基準計時として計数器を使う時に標準動作が使われなければなりません。

図14-6. 標準動作



14.6.2. 事象活動制御動作

事象選択(EVSEL)と事象活動設定(EVACT)が事象システムからの計数器制御に使えます。計数器に関して以下の事象活動を選ぶことができます。

- 事象システム制御上昇/下降計数
 - 事象nは計数許可として使われます。
 - 事象n+1は上昇(1)と下降(0)間の選択に使われます。ピン構成設定はLowレベル感知に設定されなければなりません。
- 事象システム制御直交復号計数

14.6.3. 32ビット動作

32ビット計数器動作を許可するのに2つのタイマ/カウンタを共に使うことができます。2つのタイマ/カウンタを使うことによって、1つのタイマ/カウンタ(下位計数器)からの上昇溢れ事象は事象システム経由で経路付けでき、別のタイマ/カウンタ(上位計数器)に対するクロック入力として使用できます。

14.6.4. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。2重緩衝が使われない場合、図14-7.で示されるようにどんな周期変更も直ちに行われます。

図14-7. 緩衝なし周期変更

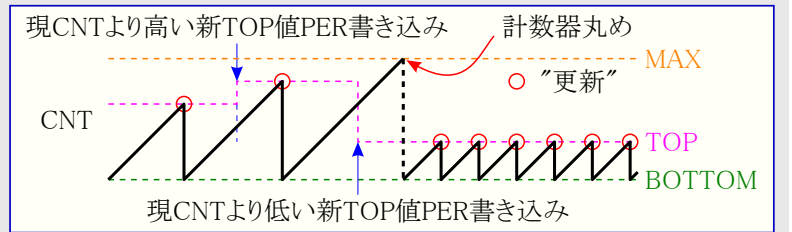
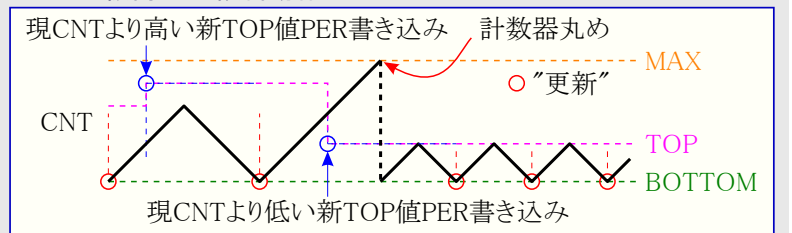


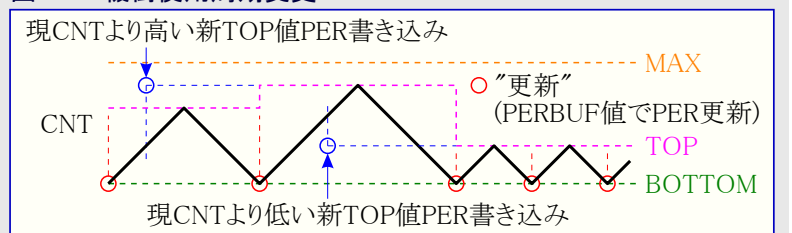
図14-8.で示されるように緩衝なしでの上昇計数時、どの動作形態でも丸められた計数器が起り得ます。これは計数器(CNT)レジスタと定期(PER)レジスタが継続的に比較され、現在のCNTよりも低い新しいTOP値がPERに書かれた場合、比較一致が起こる前に丸められます。

図14-8. 緩衝なし2傾斜動作



2重緩衝使用時、緩衝部は何時でも書け、未だ正しい動作を維持します。図14-9.で示されるように定期レジスタは常に"更新"条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

図14-9. 緩衝使用周期変更



14.7. 捕獲チャンネル

比較/捕獲(CC)チャンネルは外部事象の捕獲のためのチャンネルとして使え、それらに時刻印を与えます。捕獲を使うには計数器が標準動作に設定されていなければなりません。

事象が捕獲の起動に使われ、換言すると、どのピンからのピン変化も含む事象システムからのどの事象も捕獲動作を起動できます。事象元選択設定はどのCCチャンネルAを起動するか選びます。構成設定されるなら、後続する事象チャンネルが後続するCCチャンネルでの事象を起動します。例えば事象チャンネル2を選ぶ事象元設定は事象チャンネル2に接続されたCCチャンネルA、事象チャンネル3へのCCチャンネルB、以下同様の結果になります。

タイマ/カウンタの**事象活動設定(EVSEL)**が行われる捕獲形式を決めます。

使うCCチャンネルは捕獲が行われ得る前に**個別に許可**されなければなりません。捕獲条件が起ると、タイマ/カウンタは計数器(CNTH/L)レジスタの現在のCNT値を許可された**CCチャンネル(CCxH/L)レジスタ**内に複写することによって事象の時刻印を記します。

入出力ピンが捕獲に対する事象元として使われるとき、そのピンは端(エッジ)感知に構成設定されなければなりません。入出力ピンの感知構成設定の詳細については94頁の「**入力感知構成設定**」を参照してください。定期レジスタ値が\$8000よりも低い場合、入出力ピンの端極性が捕獲レジスタの最上位ビット(MSB)に格納されます。捕獲レジスタのMSBが0なら、下降端で生成された捕獲です。MSBが1なら、上昇端で生成された捕獲です。

14.7.1. 入力捕獲

入力捕獲事象活動の選択は許可された捕獲チャンネルに事象での入力捕獲を実行させます。**割り込み要求フラグ(CCxIF)**が設定(1)され、対応するCCxレジスタの捕獲結果が有効なことを示します。同時に**緩衝有効(CCxBV)フラグ**が**緩衝(CCxBUF)レジスタ**内のデータ有効を示します。

計数器は**図14-11**で示されるように、BOTTOMからTOPへ計数し、そしてBOTTOMから再び始めます。

図14-10. 捕獲操作事象元選択

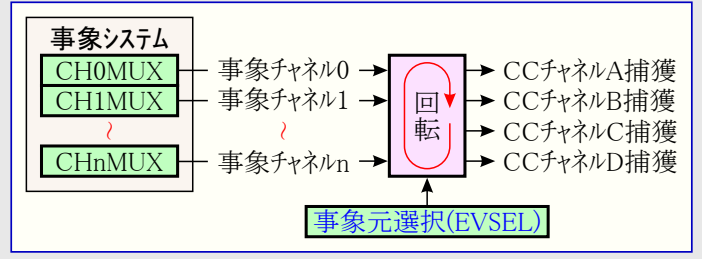
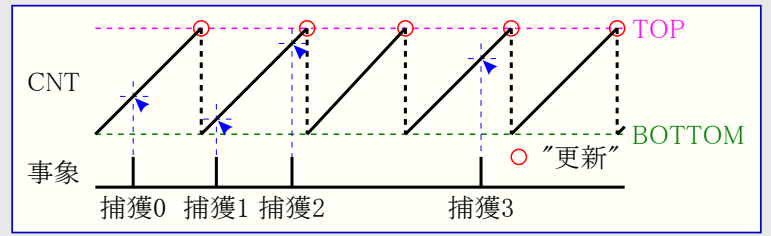


図14-11. 入力捕獲タイミング



14.7.2. 周波数捕獲

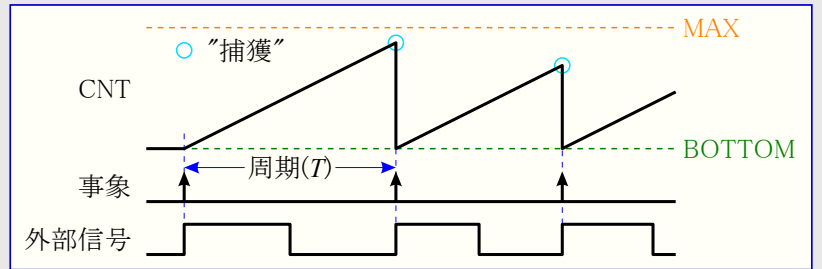
周波数捕獲事象活動の選択は許可された捕獲チャンネルに正端事象での入力捕獲と再始動を実行させます。これは信号の直接的な周期または周波数の測定をタイマ/カウンタに許します。捕獲結果は直前のタイマ/カウンタ再始動から事象発生までの時間 T です。これはその信号の周波数を計算するのに使えます。

$$f = \frac{1}{T}$$

図14-12は2度測定された外部信号の周期の例を示します。

全捕獲チャンネルが同じ計数器(CNT)を使うので、同時に1つのチャンネルだけが許可されなければなりません。2つのチャンネルが異なる供給元で使われた場合、計数器は両方の入力元からの正端事象で再始動し、結果は何の意味も持たないでしょう。

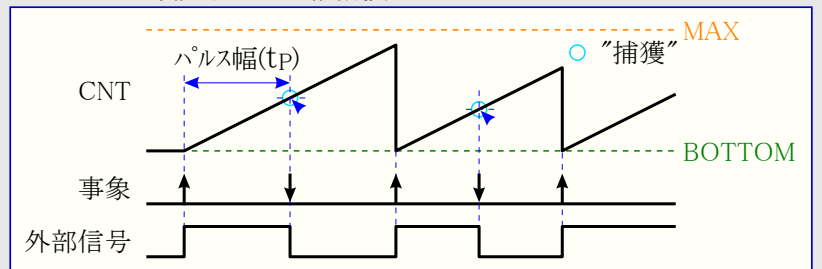
図14-12. 外部信号の周波数捕獲



14.7.3. パルス幅捕獲

パルス幅捕獲事象活動の選択は許可された捕獲チャンネルに下降端事象での入力捕獲活動と上昇端事象での再始動活動を実行させます。そして計数器は正端事象で再開し、負端事象で入力捕獲が実行されます。事象元はI/Oピンでなければならず、そのピンに対する感知構成設定は両端での事象生成に設定されなければなりません。**図14-13**は外部信号に対してパルス幅が2度測定される例を示します。

図14-13. 外部信号のパルス幅捕獲



14.7.4. 32ビット入力捕獲

32ビット入力捕獲を許可するために2つのタイマ/カウンタを共に使うことができます。代表的な32ビット入力捕獲初期設定では、下位計数器の上昇溢れ事象が事象システム経由で接続され、上位計数器に対するクロック入力として使われます。

上位計数器は下位計数器で上昇溢れが起きた1周辺機能クロック後に更新されます。これを補償するため、上位計数器に対する捕獲事象は、このタイマ/カウンタに対する**事象遅延(EVDLY)ビット**の設定(1)によって同じ遅延にされなければなりません。

14.7.5. 捕獲緩衝部溢れ

タイマ/カウンタは入力捕獲チャンネルの緩衝部溢れを検知できます。**緩衝有効(BV)フラグ**と**捕獲割り込み要求フラグ(CCxIF)**の両方が設定(1)され、新しい捕獲事象が検知された時に、新しい時刻印を格納する場所が何処にもありません。緩衝部溢れが検出された場合、新しい値は拒否され、**異常割り込み要求フラグ(ERRIF)**が設定(1)されて任意選択の割り込みが生成されます。

14.8. 比較チャンネル

各比較チャンネルは**計数器値(CNT)**と**比較/捕獲(CCx)レジスタ**を継続的に比較します。CNTとCCxが等しい場合に一致を合図します。この一致は次の計数器クロック周期でCCチャンネルの**割り込み要求フラグ(CCxIF)**を設定(1)し、事象と任意選択の割り込みが生成されます。

比較緩衝(CCxBUF)レジスタは**定期緩衝(PERBUF)**のそれと等価な能力を持つ2重緩衝を提供します。2重緩衝は**UPDATE条件**に従った計数手順のTOPまたはBOTTOMに対して緩衝値でのCCxレジスタ更新を同期化します。同期化は奇数長の発生、不具合なし出力のために非対称パルスを防ぎます。

14.8.1. 波形生成

比較チャンネルは対応するポートピンでの波形生成に使えます。接続されたポートピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. **波形生成動作(WGMODE)**が選ばれなければなりません。
2. **事象活動(EVACT)**が禁止されなければなりません。
3. 使われるCCチャンネルが**許可(CCxEN)**されなければなりません。これは対応する**ポートピン出力(OUT)レジスタ**を無効にします。
4. 関連するポートピンに対する**方向(DIR)**が出力に設定されなければなりません。

反転波形出力はポートピンに対する**反転出力(INVEN)ビット**を設定(1)することによって達成されます。

14.8.2. 周波数(FRQ)波形生成

周波数生成では**定期(PER)レジスタ**に代わって**比較/捕獲A(CCA)レジスタ**によって周期(T)が制御されます。波形生成(WG)出力は図14-14.で示されるように計数器(CNT)とCCAレジスタ間の各比較一致で交互されます。

波形周波数(f_{FRQ})は次式によって定義されます。

$$f_{FRQ} = \frac{f_{clk_{PER}}}{2N(CCA+1)}$$

ここでNは使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定される時に周辺機能クロック周波数($f_{clk_{PER}}$)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

14.8.3. 単一傾斜PWM生成

単一傾斜PWM生成については、周期(T)が定期(PER)レジスタによって制御され、一方比較/捕獲(CCx)レジスタが波形生成(WG)出力のデューティサイクルを制御します。図14-15.は計数器がどうBOTTOMからTOPへ計数し、そしてBOTTOMから再始動するかを示します。WG出力は計数器(CNT)とCCxレジスタ間の比較一致で設定(1)され、TOPで解除(0)されます。

PERレジスタはPWM分解能を定義します。最小分解能は2ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。

次式は単一傾斜PWMに対する正確な分解能($R_{PWM_{SS}}$)を計算します。

$$R_{PWM_{SS}} = \frac{\log(PER+1)}{\log(2)}$$

図14-14. 周波数波形生成

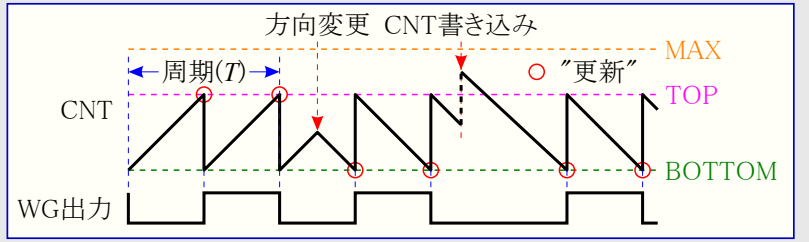
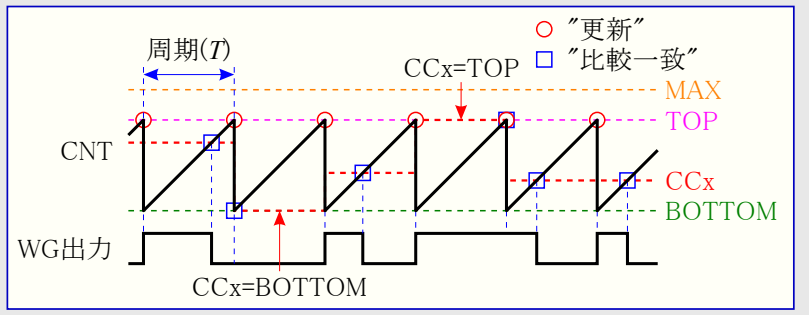


図14-15. 単一傾斜パルス幅変調



単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺機能クロック周波数(f_{clk_PER})に依存し、次式によって計算できます。

$$f_{PWM_SS} = \frac{f_{clk_PER}}{N(PER+1)}$$

ここで N は使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定される時に周辺機能クロック周波数(f_{clk_PER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

14.8.4. 2傾斜PWM生成

2傾斜PWM生成については周期(T)が定期(PER)レジスタによって制御され、一方比較/捕獲(CC_x)レジスタが波形生成(WG)出力のデューティサイクルを制御します。図14-16. は2傾斜PWMに関して計数器がBOTTOMからTOPへ、そしてその後TOPからBOTTOMへどう繰り返し計数するかを示します。波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

2傾斜PWMの使用は単一傾斜PWM動作と比較してより低い最大動作周波数の結果となります。

PERレジスタはPWM分解能を定義します。最小分解能は2ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。

次式は2傾斜PWMに対する正確な分解能($RPWM_DS$)を計算します。

$$RPWM_DS = \frac{\log(PER+1)}{\log(2)}$$

PWM周波数(f_{PWM_DS})は周期設定(PER)と周辺機能クロック周波数(f_{clk_PER})に依存し、次式によって計算できます。

$$f_{PWM_DS} = \frac{f_{clk_PER}}{2N \times PER}$$

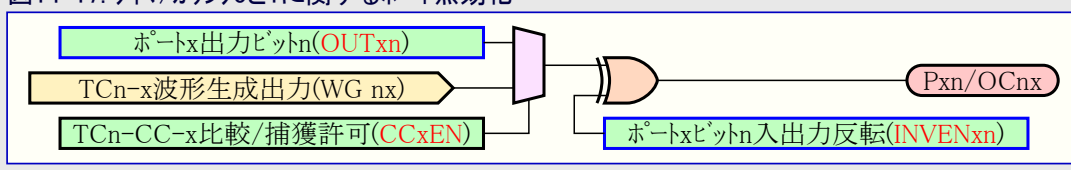
ここで N は使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定される時に周辺機能クロック周波数(f_{clk_PER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

14.8.5. 波形生成に関するポート無効化

ポートピンで利用可能な波形生成を行うには対応するポートピンの方向が出力として設定されなければなりません。タイマ/カウンタは比較/捕獲(CC)チャンネルが許可(CC_xEN)され、波形生成動作種別(WGMODE)が選ばれている時にポートピン値を無効にします。

図14-17.はタイマ/カウンタに関するポート無効化を示します。タイマ/カウンタのCCチャンネルは対応するポートピン(P_{xn})でポートピン出力値(OUT_{xn})を無効にします。ポートピンでの反転I/O許可($INVEN_{xn}$)は対応するWG出力を反転します。

図14-17. タイマ/カウンタ0と1に関するポート無効化



14.9. 割り込みと事象

タイマ/カウンタは割り込みと事象の両方を生成できます。計数器は上昇溢れ/下降溢れでの割り込みを生成でき、各比較/捕獲(CC)チャンネルは比較または捕獲に使われる独立した割り込みを持ちます。加えて、CCチャンネルのどれかが捕獲に使われ、捕獲チャンネルで緩衝部溢れが起きた場合に異常割り込みを生成できます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については48頁の「事象システム」を参照してください。

14.10. DMA支援

割り込み要求フラグはDMA単位処理の起動に使えます。表14-2はタイマ/カウンタから利用可能な転送起動元と転送起動を解除するDMA活動を一覧にします。DMA使用のより多くの詳細については36頁の「DMAC - 直接メモリ入出力制御器」を参照してください。

表14-2. DMA要求元

要求	応答	注釈
OVFIIF	CNTへのDMA制御器書き込み	
	PERへのDMA制御器書き込み	
	PERBUFへのDMA制御器書き込み	
	模様型生成動作のAWeXのDTHSBUFまたはDTLSBUFへのDMA制御器書き込み	
ERRIF	利用不可	
CCxIF	CCxのDMA制御器アクセス	捕獲動作
	CCxBUFのDMA制御器アクセス	比較動作

14.11. タイマ/カウンタ指令

単位部の状態を直ちに変更するために、ソフトウェアによって1組の指令をタイマ/カウンタに与えることができます。これらの指令は更新、再始動、リセットの信号の直接制御を行います。

更新指令は更新条件発生時と同じ効果を持ちます。更新指令は更新施錠(LUPD)ビットが設定(1)されている場合に無効とされます。

ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器、方向と全ての比較出力が0に設定されます。

リセット指令は全てのタイマ/カウンタレジスタをそれらの初期値に設定します。リセットはタイマ/カウンタが非動作(OFF)の時にだけ与えることができます。

14.12. レジスタ説明

14.12.1. CTRLA – 制御レジスタA (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	CTRLA
	-	-	-	-	CLKSEL3~0				
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – CLKSEL3~0: クロック選択 (Clock Select)

これらのビットは表14-3.に従ってタイマ/カウンタに対するクロック元を選びます。

高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、CLKSEL=0001が設定されなければなりません。

表14-3. クロック選択

CLKSEL3~0	群構成設定	内容
0 0 0 0	OFF	なし (換言するとタイマ/カウンタ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clk _{PER}
0 0 1 0	DIV2	前置分周器: clk _{PER} /2
0 0 1 1	DIV4	前置分周器: clk _{PER} /4
0 1 0 0	DIV8	前置分周器: clk _{PER} /8
0 1 0 1	DIV64	前置分周器: clk _{PER} /64
0 1 1 0	DIV256	前置分周器: clk _{PER} /256
0 1 1 1	DIV1024	前置分周器: clk _{PER} /1024
1 n n n	EVCH _n	事象チャンネルn (n=0~7)

14.12.2. CTRLB – 制御レジスタB (Control register B)

ビット +\$01	7	6	5	4	3	2	1	0	CTRLB
	CCDEN	CCCEN	CCBEN	CCAEN	-	WGMODE2~0			
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – CCxEN: 比較/捕獲x許可 (Compare or Capture Enable)

これらのビットの設定(1)はFRQまたはPWM波形生成動作で対応するOC_n出力ピンに対するポート出力レジスタ値を無効にします。

入力捕獲動作が選ばれている時のCCxENビットは対応する比較/捕獲(CC)チャンネルに対する捕獲動作を許可します。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2~0 – WGMODE2~0: 波形生成動作種別 (Waveform Generation Mode)

これらのビットは波形生成動作種別を選び、表14-4.に従って計数器の計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。

波形生成なしは標準動作で実行されます。他の全ての動作種別に関しては、対応する比較/捕獲x許可(CCxEN)ビットがそれを許可に設定している場合に、波形生成器からの結果が単にポートピンへ直結されるだけです。そのポートピンの方向(DIR)は出力として設定されなければなりません。

表14-4. 波形生成動作種別

WGMODE2~0	群構成設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	PER	TOP	TOP
0 0 1	FRQ	周波数(FRQ)	CCA	TOP	TOP
0 1 0	-	(予約)	-	-	-
0 1 1	SINGLESLOPE	単一傾斜PWM	PER	BOTTOM	BOTTOM
1 0 0	-	(予約)	-	-	-
1 0 1	DSTOP	2傾斜PWM	PER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	PER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	PER	BOTTOM	BOTTOM

14.12.3. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	CMPD	CMPC	CMPB	CMPA	CTRLC
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット3~0 – CMPx : 比較x出力値 (Compare Output Value x)

これらのビットはタイマ/カウンタがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接アクセスを許します。これはタイマ/カウンタが動作していない時にWG出力値を設定(1)または解除(0)するのに使われます。

14.12.4. CTRLD – 制御レジスタD (Control register D)

ビット	7	6	5	4	3	2	1	0	
+\$03	EVACT2~0			EVDLY	EVSEL3~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – EVACT2~0 : 事象活動 (Event Action)

これらのビットは表14-5.に従って事象で実行する計時器の事象活動を定義します。

その場合に事象選択(EVSEL)設定はどの事象元または供給元が制御を持つかを決定します。

どれかの捕獲事象活動の設定は捕獲として使われるべき関連する状態と制御のビットと比較/捕獲(CC)レジスタの動きを変更します。異常状態フラグ(ERRIF)はこの構成設定での緩衝部溢れを示します。更なる詳細については110ページの「事象活動制御動作」をご覧ください。

表14-5. 計時器事象活動選択

EVACT2~0	群構成設定	事象活動
0 0 0	OFF	なし
0 0 1	CAPT	入力捕獲
0 1 0	UPDOWN	外部制御された上昇/下降計数
0 1 1	QDEC	直交復号
1 0 0	RESTART	波形生成周期再始動
1 0 1	FRQ	周波数捕獲
1 1 0	PW	パルス幅捕獲
1 1 1	-	(予約)

● ビット4 – EVDLY : 事象遅延 (Timer Delay Event)

このビットが設定(1)されると、選んだ事象元は1周辺機能クロック周期遅延されます。これは32ビット入力捕獲に対して意図されています。事象システム経由で2つの計数器を直列にする時にキャリー伝播遅延に対する補償用に事象遅延の追加が必要です。

● ビット3~0 – EVSEL3~0 : 事象元選択 (Timer Event Source Select)

これらのビットはタイマ/カウンタに対する事象チャンネル元を選びます。選んだ事象チャンネルが効果を表すためには事象活動(EVACT)ビットが表14-6.に従って設定されなければなりません。事象活動が捕獲動作に設定されると、選んだ事象チャンネルは比較/捕獲(CC)チャンネルAに対する事象チャンネル元になり、事象チャンネルn+1,n+2,n+3(各々8の剰余)が各々CCチャンネルB,C,Dに対する事象チャンネル元になります。

表14-6. 事象元選択

EVSEL3~0	群構成設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	-	(予約)
0 0 1 0	-	(予約)
0 0 1 1	-	(予約)
0 1 0 0	-	(予約)
0 1 0 1	-	(予約)
0 1 1 0	-	(予約)
0 1 1 1	-	(予約)
1 n n n	CHn	事象チャンネルn (n=0~7)

14.12.5. CTRL E – 制御レジスタ E (Control register E)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	–	–	–	–	–	BYTEM1,0		CTRL E
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット1,0 – BYTEM1,0 : バイト動作 (Byte Mode)

これらのビットは表14-7に従ってタイマ/カウンタ動作形態を選びます。

表14-7. タイマ/カウンタ型式選択

BYTEM1,0	群構成設定	内容
0 0	NORMAL	タイマ/カウンタは標準形態(タイマ/カウンタ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位バイト(CNTH)は各クロック周期後、0に設定されます。
1 0	–	(予約)
1 1	–	(予約)

14.12.6. INTCTRL A – 割り込み許可レジスタ A (Interrupt Enable register A)

ビット	7	6	5	4	3	2	1	0	
+\$06	–	–	–	–	ERRINTLVL1,0		OVFINTLVL1,0		INTCTRL A
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3,2 – ERRINTLVL1,0 : 異常割り込み段位 (Timer Error Interrupt Level)

これらのビットは異常割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。

- ビット1,0 – OVFINTLVL1,0 : 上昇/下降溢れ割り込み段位 (Timer Overflow/Underflow Interrupt Level)

これらのビットは上昇/下降溢れ割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。

14.12.7. INTCTRL B – 割り込み許可レジスタ B (Interrupt Enable register B)

ビット	7	6	5	4	3	2	1	0	
+\$07	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		INTCTRL B
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CCxINTLVL1,0 : 比較/捕獲x割り込み段位 (Compare or Capture x Interrupt Level)

これらのビットはチャンネルxに対する比較または捕獲の割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。

14.12.8. CTRLFCLR,CTRLFSET – 制御レジスタF 解除/設定 (Control register F Clear/Set)

このレジスタは2つのI/Oメモリ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両メモリ位置は読み込み時に同じ結果を与えます。

個別の状態ビットはCTRLxSETのそのビット位置への1書き込みによって設定(1)でき、CTRLxCLRのそのビット位置への1書き込みによって解除(0)できます。これは単一レジスタでの読み-変更-書きの使用なしで設定(1)または解除(0)される各ビットを許します。

14.12.8.1. CTRLFCLR

ビット	7	6	5	4	3	2	1	0	
+\$08	–	–	–	–	CMD1,0	LUPD	DIR		CTRLFCLR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

14.12.8.2. CTRLFSET

ビット	7	6	5	4	3	2	1	0	
+\$09	–	–	–	–	CMD1,0	LUPD	DIR		CTRLFSET
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – CMD1,0 : 指令 (Command)

これらのビットはタイマ/カウンタのリセット、再始動、更新のソフトウェア制御に使えます。指令ビットは常に0として読まれます。

表14-8. 指令選択

CMD1,0	群構成設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
1 1	RESET	強制ハードリセット (T/CがOFF状態でなければ無視されます。)

● ビット1 – LUPD : 更新施錠 (Lock Update)

このビットが設定(1)されていると、例えUPDATE条件が起きても、緩衝されているレジスタの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このビットは無効です。

● ビット0 – DIR : 計数方向 (Counter Direction)

0の時、このビットは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。

通常、このビットは波形生成動作種別または事象活動によってハードウェアで制御されますが、このビットはソフトウェアからも変更できます。

14.12.9. CTRLGCLR,CTRLGSET – 制御レジスタG 解除/設定 (Control register G Clear/Set)

ビット	7	6	5	4	3	2	1	0	
+\$0A,+\$0B	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	CTRLGCLR CTRLGSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この形式の状態レジスタのアクセス方法の情報については「CTRLFCLR,CTRLFSET – 制御レジスタF 解除/設定」を参照してください。

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4~1 – CCxBV : 比較/捕獲緩衝有効 (Compare or Capture x Buffer Valid)

これらのビットは対応する比較/捕獲緩衝(CCxBUF)レジスタに新しい値が書かれる時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このビットが捕獲事象で設定(1)され、対応する比較/捕獲割り込み要求フラグ(CCxIF)が解除(0)された場合に解除(0)されることに注意してください。

● ビット0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

これらのビットは新しい値が定期緩衝(PERBUF)レジスタに書かれる時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)されます。

14.12.10. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$0C	CCDIF	CCCIF	CCBIF	CCAIF	–	–	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – CCxIF : 比較/捕獲チャネルx割り込み要求フラグ (Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求フラグ(CCxIF)は対応する比較/捕獲(CC)チャネルでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、CCxIFは計数器(CNT)レジスタと対応する比較(CCx)レジスタ間で比較一致が起きる時に設定(1)されます。CCxIFは対応する割り込みベクタが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する比較/捕獲緩衝(CCxBUF)レジスタが有効な値を含む場合(換言すると比較/捕獲緩衝有効(CCxBV)フラグが設定(1)される時に)、CCxIFが設定(1)されます。比較/捕獲(CCx)レジスタが読まれると、このフラグが解除(0)されます。この動作では割り込みベクタ実行がフラグを解除(0)しません。

このフラグはこのビット位置への1書き込みによっても解除(0)できます。

CCxIFはDMA転送要求に使えます。そしてCCxまたはCCxBUFに対応するDMA読み書きアクセスがCCxIFを解除(0)してその要求を解除します。

● ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – ERRIF : 異常割り込み要求フラグ (Error Interrupt Flag)

このフラグは動作種別に依存して複数の場合で設定(1)されます。

FRQまたはPWM波形生成動作では新波形生成拡張(AWeX)の障害保護機能からの障害検出状態でERRIFが設定(1)されます。利用可能なAWeX拡張を持たないタイマ/カウンタについては、このフラグはFRQまたはPWM波形生成動作で決して設定(1)されません。

捕獲動作に関しては、比較/捕獲(CC)チャネルのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された直交復号(QDEC)動作については、不正な指標信号が与えられた時に設定(1)されます。

このフラグは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 – OVFIF : 上昇/下降溢れ割り込み要求フラグ (Overflow/Underflow Interrupt Flag)

このフラグは波形生成動作種別(WGMODE)設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFIFは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

OVFIFはDMA転送を要求するのにも使えます。そして計数器(CNT)、定期(PER)、定期緩衝(PERBUF)のレジスタへのDMA書き込みアクセスがOVFIFフラグを解除(0)します。

14.12.11. TEMP – 一時レジスタ (Temporary register)

TEMPレジスタはCPUによって16ビットタイマ/カウンタレジスタへの単一周期16ビットアクセスに使われます。DMA制御器は独立した一時記憶レジスタを持っています。全ての16ビットタイマ/カウンタレジスタに対して1つの共通TEMPレジスタがあります。

より多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$0F	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

14.12.12. CNTL – 計数レジスタ下位 (Counter register Low)

CNTHとCNTLレジスタ対は16ビット値CNTを表します。CNTはタイマ/カウンタの16ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の0設定、再設定、計数より上の優先権を持ちます。

16ビットレジスタ読み書きのより多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$20	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT7~0 : 計数器7~0 (Counter low byte)

これらのビットは16ビット計数器レジスタの下位バイト(LSB)を保持します。

14.12.13. CNTH – 計数レジスタ上位 (Counter register High)

ビット	7	6	5	4	3	2	1	0	
+\$21	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT15~8 : 計数器15~8 (Counter high byte)

これらのビットは16ビット計数器レジスタの上位バイト(MSB)を保持します。

14.12.14. PERL – 定期レジスタ下位 (Period register Low)

PERHとPERLレジスタ対は16ビット値PERを表します。PERはタイマ/カウンタの16ビットTOP値を含みます。

ビット	7	6	5	4	3	2	1	0	
+\$26	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER7~0 : 定期値7~0 (Period low byte)

これらのビットは16ビット定期レジスタの下位バイト(LSB)を保持します。

14.12.15. PERH – 定期レジスタ上位 (Period register High)

ビット	7	6	5	4	3	2	1	0	
+\$27	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER15~8 : 定期値15~8 (Period high byte)

これらのビットは16ビット定期レジスタの上位バイト(MSB)を保持します。

14.12.16. CCxL – 比較/捕獲xレジスタ下位 (Compare or Capture x register Low)

CCxHとCCxLレジスタ対は16ビット値CCxを表します。これらの16ビットレジスタは動作種別に依存して2つの機能を持ちます。

捕獲動作に対しては、これらのレジスタがCPUとDMAに対するアクセス位置と第2緩衝段階を構築します。

比較動作に関しては、これらのレジスタが計数器値と継続的に比較されます。通常、比較器からの出力はその後の波形生成に使われます。

CCxレジスタはUPDATE条件発生時にそれらの対応する比較/捕獲緩衝(CCxBUF)レジスタからの緩衝値で更新されます。

ビット	7	6	5	4	3	2	1	0	
+\$28,A,C,E	CCx7~0								CCxL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CCx7~0 : 比較/捕獲値7~0 (Compare or Capture x low byte)

これらのビットは16ビット比較/捕獲レジスタの下位バイト(LSB)を保持します。

14.12.17. CCxH – 比較/捕獲xレジスタ上位 (Compare or Capture x register High)

ビット	7	6	5	4	3	2	1	0	
+\$29,B,D,F	CCx15~8								CCxH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CCx15~8 : 比較/捕獲値15~8 (Compare or Capture x high byte)

これらのビットは16ビット比較/捕獲レジスタの上位バイト(MSB)を保持します。

14.12.18. PERBUFL – 定期緩衝レジスタ下位 (Timer/Counter Period Buffer Low)

PERBUFHとPERBUFLレジスタ対は16ビット値PERBUFを表します。この16ビットレジスタは定期(PER)レジスタに対する緩衝部として扱います。CPUまたはDMAを使うこのレジスタのアクセスは定期緩衝有効(PERBV)フラグに影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+\$36	PERBUF7~0								PERBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

- ビット7~0 – PERBUF7~0 : 定期緩衝値7~0 (Period Buffer low byte)

これらのビットは16ビット定期緩衝レジスタの下位バイト(LSB)を保持します。

14.12.19. PERBUFH – 定期緩衝レジスタ上位 (Timer/Counter Period Buffer High)

ビット	7	6	5	4	3	2	1	0	
+\$37	PERBUF15~8								PERBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

- ビット7~0 – PERBUF15~8 : 定期緩衝値15~8 (Period Buffer high byte)

これらのビットは16ビット定期緩衝レジスタの上位バイト(MSB)を保持します。

14.12.20. CCxBUFL – 比較/捕獲x緩衝レジスタ下位 (Compare or Capture x Buffer register Low)

CCxBUFHとCCxBUFLレジスタ対は16ビット値CCxBUFを表します。これらの16ビットレジスタは関連する比較/捕獲(CCx)レジスタに対する緩衝部として扱います。CPUまたはDMAを使うこれらのどれかのレジスタのアクセスは対応する比較/捕獲緩衝有効(CCxBV)状態フラグに影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+\$38,A,C,E	CCxBUF7~0								CCxBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CCxBUF7~0 : 比較/捕獲緩衝値7~0 (Compare or Capture Buffer x low byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの下位バイト(LSB)を保持します。

14.12.21. CCxBUFH – 比較/捕獲x緩衝レジスタ上位 (Compare or Capture x Buffer register High)

ビット	7	6	5	4	3	2	1	0	
+\$39,B,D,F	CCxBUF15~8								CCxBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 – CCxBUF15~8 : 比較/捕獲緩衝値15~8 (Compare or Capture Buffer x high byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの上位バイト(MSB)を保持します。

14.13. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$3F	CCDBUFH			CCDBUF15~8 (比較/捕獲D緩衝レジスタ上位バイト)							121
+\$3E	CCDBUFL			CCDBUF7~0 (比較/捕獲D緩衝レジスタ下位バイト)							121
+\$3D	CCCBUFH			CCCBUF15~8 (比較/捕獲C緩衝レジスタ上位バイト)							121
+\$3C	CCCBUFL			CCCBUF7~0 (比較/捕獲C緩衝レジスタ下位バイト)							121
+\$3B	CCBBUFH			CCBBUF15~8 (比較/捕獲B緩衝レジスタ上位バイト)							121
+\$3A	CCBBUFL			CCBBUF7~0 (比較/捕獲B緩衝レジスタ下位バイト)							121
+\$39	CCABUFH			CCABUF15~8 (比較/捕獲A緩衝レジスタ上位バイト)							121
+\$38	CCABUFL			CCABUF7~0 (比較/捕獲A緩衝レジスタ下位バイト)							121
+\$37	PERBUFH			PERBUF15~8 (定期緩衝レジスタ上位バイト)							121
+\$36	PERBUFL			PERBUF7~0 (定期緩衝レジスタ下位バイト)							121
+\$30~\$35	予約	-	-	-	-	-	-	-	-		
+\$2F	CCDH			CCD15~8 (比較/捕獲Dレジスタ上位バイト)							121
+\$2E	CCDL			CCD7~0 (比較/捕獲Dレジスタ下位バイト)							120
+\$2D	CCCH			CCC15~8 (比較/捕獲Cレジスタ上位バイト)							121
+\$2C	CCCL			CCC7~0 (比較/捕獲Cレジスタ下位バイト)							120
+\$2B	CCBH			CCB15~8 (比較/捕獲Bレジスタ上位バイト)							121
+\$2A	CCBL			CCB7~0 (比較/捕獲Bレジスタ下位バイト)							120
+\$29	CAAH			CA15~8 (比較/捕獲Aレジスタ上位バイト)							121
+\$28	CCAL			CA7~0 (比較/捕獲Aレジスタ下位バイト)							120
+\$27	PERH			PER15~8 (定期レジスタ上位バイト)							120
+\$26	PERL			PER7~0 (定期レジスタ下位バイト)							120
+\$22~\$25	予約	-	-	-	-	-	-	-	-		
+\$21	CNTH			CNT15~8 (計数器レジスタ上位バイト)							120
+\$20	CNTL			CNT7~0 (計数器レジスタ下位バイト)							120
+\$10~\$1F	予約	-	-	-	-	-	-	-	-		
+\$0F	TEMP			TMP7~0 (一時レジスタ)							119
+\$0E	予約	-	-	-	-	-	-	-	-		
+\$0D	予約	-	-	-	-	-	-	-	-		
+\$0C	INTFLAGS	CCDIF	CCCIF	CCBIF	CCAIF	-	-	ERRIF	OVFIF	119	
+\$0B	CTRLGSET	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	118	
+\$0A	CTRLGCLR	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	118	
+\$09	CTRLFSET	-	-	-	-	CMD1,0		LUPD	DIR	118	
+\$08	CTRLFCLR	-	-	-	-	CMD1,0		LUPD	DIR	118	
+\$07	INTCTRLB	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		117	
+\$06	INTCTRLA	-	-	-	-	ERRINTLVL1,0		OVFINTLVL1,0		117	
+\$05	予約	-	-	-	-	-	-	-	-		
+\$04	CTRLLE	-	-	-	-	-	-	BYTEM1,0		117	
+\$03	CTRLD	EVACT2~0			EVDLY		EVSEL3~0			116	
+\$02	CTRLC	-	-	-	-	CMPD	CMPC	CMPB	CMPA	116	
+\$01	CTRLB	CCDEN	CCCEN	CCBEN	CCAEN	-	WGMODE2~0			115	
+\$00	CTRLA	-	-	-	-	CLKSEL3~0				115	

14.14. 割り込みベクタ要約

表14-9. タイマ/カウンタ割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	OVF_vect	タイマ/カウンタ上昇溢れ/下降溢れ割り込みベクタ
\$02	ERR_vect	タイマ/カウンタ異常割り込みベクタ
\$04	CCA_vect	タイマ/カウンタ比較または捕獲チャンネルA割り込みベクタ
\$06	CCB_vect	タイマ/カウンタ比較または捕獲チャンネルB割り込みベクタ
\$08	CCC_vect (注)	タイマ/カウンタ比較または捕獲チャンネルC割り込みベクタ
\$0A	CCD_vect (注)	タイマ/カウンタ比較または捕獲チャンネルD割り込みベクタ

注: 4つの16ビット比較または捕獲チャンネルを持つタイマ/カウンタでだけ利用可能

15. AWeX – 新波形生成拡張

15.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
 - 8ビット分解能
 - 独立したHigh側とLow側の沈黙時間設定
 - 2重緩衝された沈黙時間
 - 任意選択の沈黙時間中の停止計時器
- ポートピンに渡って同期したビット様式を生成する模様型生成部
 - 2重緩衝された模様型生成
 - 任意選択のポートピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

15.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポートピンに渡る同期されたビット模様を生成することもできます。

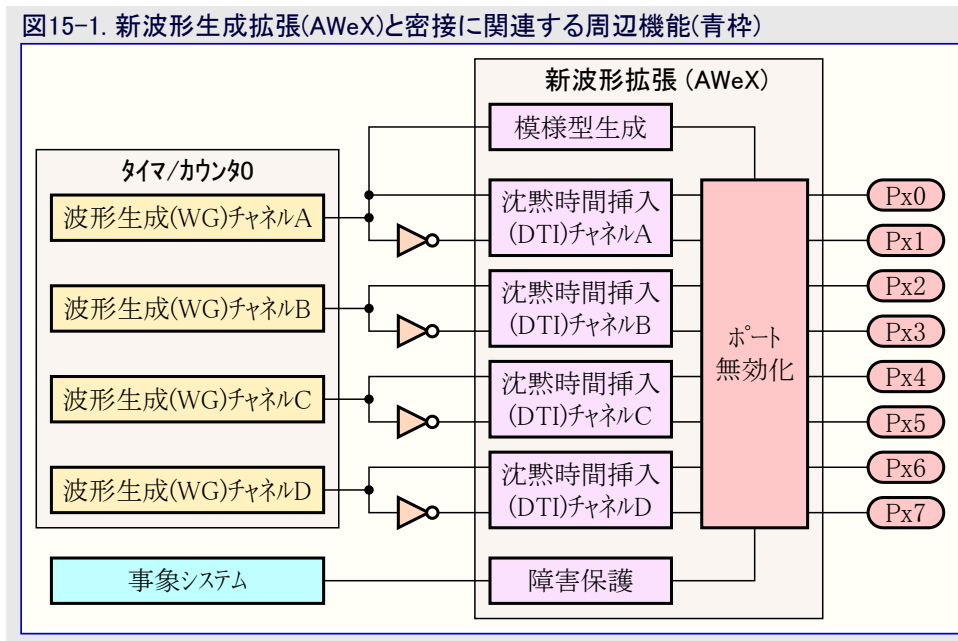


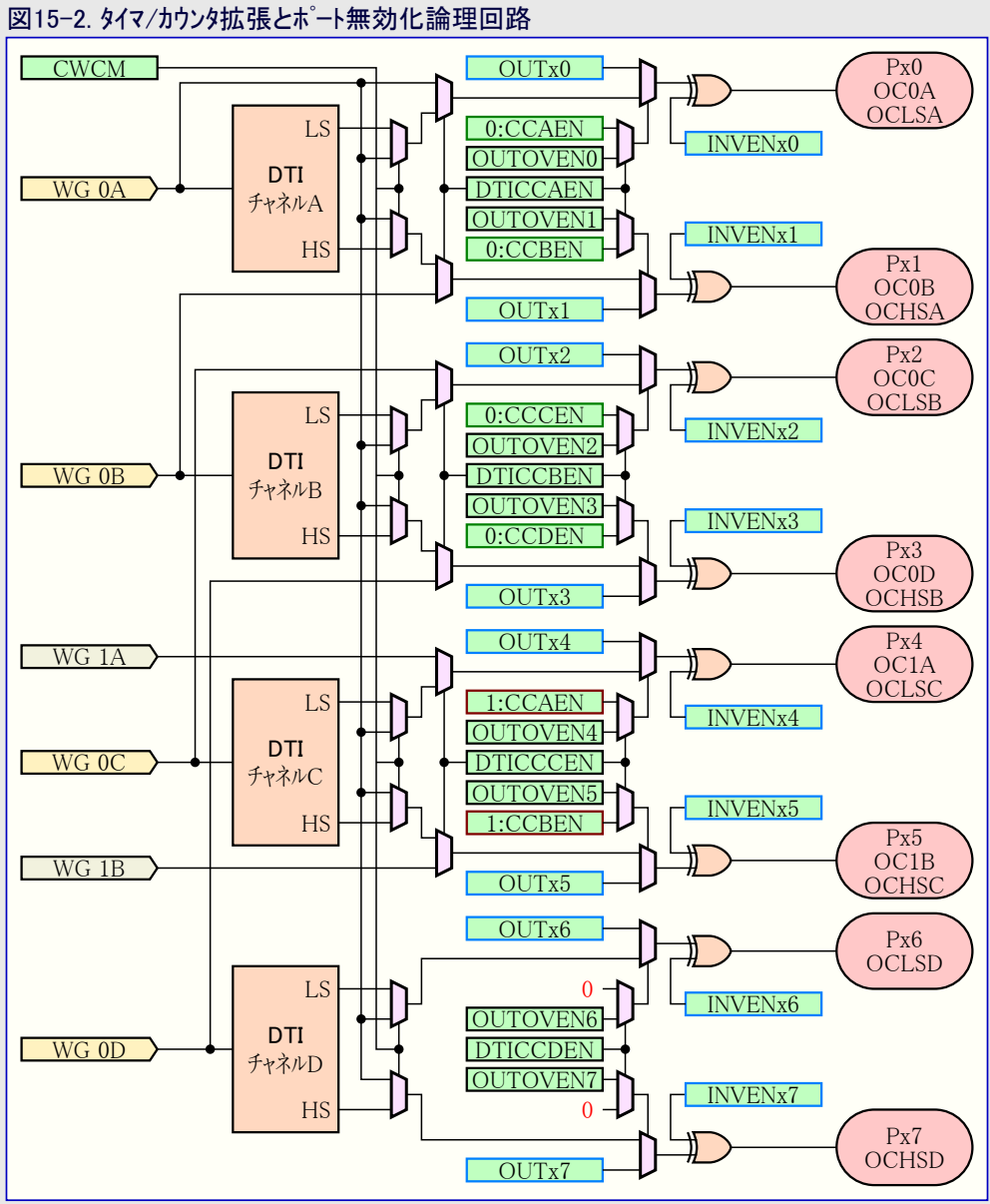
図15-1.で示されるように、タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通過して行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。より多くの詳細については91頁の「入出力ポート」を参照してください。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

15.3. ポート無効化

全てのタイマ/カウンタ拡張に対してポート無効化論理回路は共通です。図15-2はポート無効化論理回路の回路構成を示します。沈黙時間許可(DTICCxEN)ビットが設定(1)されると、タイマ/カウンタ拡張は対応するチャンネルに対してピン対の制御を引き受けます。この条件を与えられた出力無効化許可(OUTOVEN)ビットは比較/捕獲x許可(CCxEN)の制御を引き取ります。



15.4. 沈黙時間挿入

沈黙時間挿入(DTI)部は波形生成(WG)出力の非反転Low側(LS)と反転High側(HS)の両方がLowとなるOFF時間の生成を可能にします。このOFF時間は沈黙時間と呼ばれ、沈黙時間はLSとHSを決して同時に切り換えないことを保証します。

DTI部はタイマ/カウンタ0の比較チャンネルの各々に対して1つの、4つの同じ沈黙時間生成器から成ります。図15-3は1つのDTI生成器の構成図を示します。4つのチャンネルは沈黙時間を制御する共通のレジスタを持ちます。High側とLow側は個別の沈黙時間設定を持ち、沈黙時間レジスタは2重緩衝されています。

図15-3. 沈黙時間生成器構成図

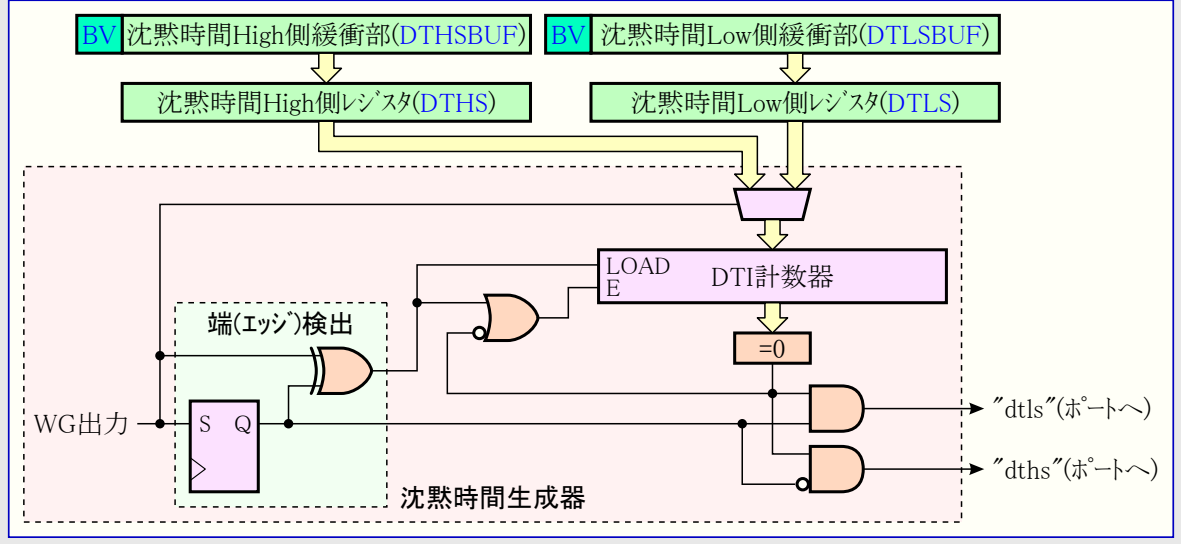
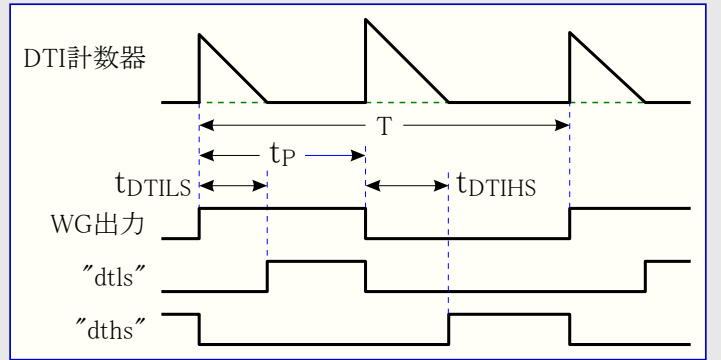


図15-4.で示されるように、8ビットの沈黙時間計数器は0に達するまで各周辺機能クロック周期に対して1つずつ減少されます。0以外の計数器値はLow側とHigh側の両方の出力にOFF状態を強制します。波形生成(WG)出力で変化が検出されると、沈黙時間計数器は入力端(エッジ)に応じて再設定されます。正端は沈黙時間Low側(DTLS)レジスタの再設定で、負端は沈黙時間High側(DTHS)レジスタの再設定で計数器を初期化します。

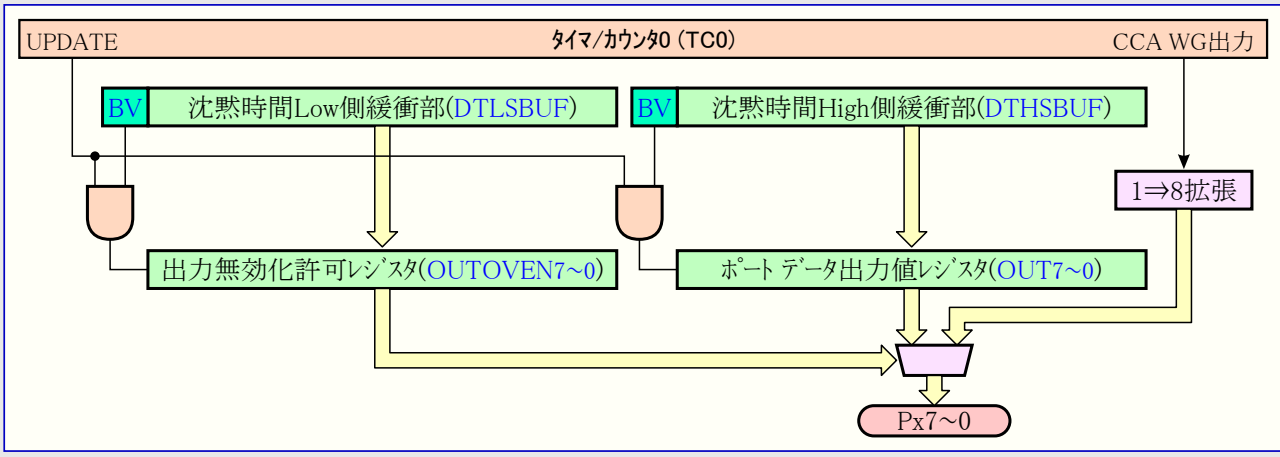
図15-4. 沈黙時間生成器タイミング構成図



15.5. 模様型生成

模様型生成器部はそれが接続されたポートに渡って同期したビット模様を生成するのに沈黙時間挿入(DTI)レジスタを再使用します。加えて、比較(CC)チャンネルA(CCA)からの波形生成器出力は全ポートピンを無効にしてそこへ配給できます。これらの機能は主にブラシレスDC電動機とステップング電動機応用での整流手順の扱いを意図されています。模様型生成器の構成図が図15-5.で示されます。対応する出力無効化許可(OUTOVEN)ビットが多重器を設定する各ポートピンに対して比較/捕獲チャンネルA(CCA)からの波形を出力します。

図15-5. 模様型生成器構成図



他のタイマ/カウンタの2重緩衝されたレジスタでのように、レジスタ更新は波形生成動作種別によって設定されたUPDATE条件に同期化されます。この提供された同期化が応用で必要がない場合、応用コードは単に出力無効化許可(OUTOVEN)レジスタとポートデータ出力値(OUT)レジスタを直接アクセスすることができます。

ポートで見えるように、模様型生成器からのどの出力に対してもピン方向が(出力に)設定されなければなりません。

15.6. 障害保護

障害保護機能は障害検出時に高速且つ決定的な動きを可能にします。障害保護は事象制御され、故に事象システムからの何れかの事象はアナログ比較器やA/D変換器の測定からの過電流指示のような障害活動を起動するのに使えます。

障害保護が許可されると、選んだ事象チャネルからやって来る事象が事象活動を起動し得ます。各事象チャネルは障害保護入力として独立して許可でき、指定された事象チャネルは共にORされ、同時に障害保護に使われるのを複数の事象元に許します。

15.6.1. 障害活動

障害が検出されると、方向解除活動は関連するポートの方向(DIR)レジスタを解除し、全てのポートピンをHi-Z入力として設定します。

障害検出フラグ(FDF)が設定(1)され、タイマ/カウンタの異常割り込み要求フラグ(ERRIF)が設定(1)され、そして任意選択の割り込みが生成されます。

事象発生時から障害保護が事象活動を起動するまでには最大2周辺機能クロック周期があります。障害保護はCPUやDMAと完全に無関係ですが、周辺機能クロックの走行が必要です。

15.6.2. 障害回復動作

障害後で障害条件がもはや活性(有効)でない時に新波形生成拡張(AWeX)とタイマ/カウンタを障害状態から通常動作にどう戻すかは、2つの異なる動作の1つから選ぶことができます。

- ラッチ動作では、障害条件がもはや活性(有効)でなく、障害検出フラグ(FDF)がソフトウェアによって解除(0)されるまで、波形出力は障害状態に留まります。これらの両条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。
- 周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

障害状態からの戻り時に許可されたDTIチャネルに対応するDIR7~0ビットが回復されます。ソフトウェアからレジスタへの書き込みが妨げられることを除き、OUTOVENは障害によって影響を及ぼされません。

通常動作への回復に使われるUPDATE条件はタイマ/カウンタでのものと同じ更新(UPDATE)です。

15.6.3. 変更保護

障害保護設定での予期せぬ変更を避けるため、新波形生成拡張(AWeX)の全ての制御レジスタは新波形生成拡張施錠(AWEXLOCK)レジスタの対応する施錠ビットを書くことによって保護できます。より多くの詳細については18頁の「I/Oメモリ保護」と32頁の「AWEXLOCK - 新波形生成拡張施錠レジスタ」を参照してください。

施錠ビットが設定(1)されると、制御(CTRL)レジスタ、出力無効化許可(OUTOVEN)レジスタ、障害検出事象許可(FDEMASK)レジスタは変更できません。

障害事象設定での予期せぬ変更を避けるため、事象システム施錠(EVSYSLock)レジスタの対応する施錠ビットを書くことによって事象システムチャネル構成設定を施錠できます。より多くの詳細については18頁の「I/Oメモリ保護」と31頁の「EVSYSLock - 事象システム施錠レジスタ」を参照してください。

15.6.4. チップ上テハック

障害検出許可時、チップ上テハック(OCD)システムはテハックから中断要求を受け取り、これは障害元としての既定での機能です。OCD中断要求受け取り時、新波形生成拡張(AWeX)と対応するタイマ/カウンタは障害状態へ移行し、指定した障害活動を実行します。

OCDが中断状態から抜け出した後、通常動作が再び開始されます。周期単位動作では波形出力が中断後の最初の更新(UPDATE)条件で始まり、ラッチ動作では出力が回復される前に障害検出フラグ(FDF)がソフトウェアによって解除(0)されなければなりません。この特性は中断の間に出力波形が安全な状態へ移行することを保証します。

この機能は禁止することができます。

15.7. レジスタ説明

15.7.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	FDEVMASK7~0								CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5 – PGM : 模様型生成動作 (Pattern Generation Mode)

このビットの設定(1)は模様型生成動作だけでなく共通波チャネル動作(CWCM)も許可し、AWeX出力無効化許可(OUTOVEN)レジスタの活動を禁止します。これは沈黙時間挿入(DTI)を無効にし、模様型生成は模様型格納用に沈黙時間レジスタを再使用します。

● ビット4 – CWCM : 共通波形チャネル動作 (Common Waveform Channel Mode)

このビットが設定(1)なら、全ての沈黙時間生成器に対する入力として、比較/捕獲(CC)チャネルAが使われます。CCチャネルB,C,Dの波形は無視されます。

● ビット3~0 – DTICCxEN : チャネルx沈黙時間挿入許可 (Dead-Time Insertion CCx Enable)

これらのビットの設定(1)は対応するチャネルに対する沈黙時間生成器を許可します。これはタイマ/カウンタ波形出力を無効にします。

15.7.2. FDEMASK – 障害検出事象許可レジスタ (Fault Detect Event Mask register)

ビット	7	6	5	4	3	2	1	0	
+\$02	FDEVMASK7~0								FDEMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – FDEVMASK7~0 : 障害検出事象許可 (Fault Detect Event Mask)

これらのビットは対応する事象チャネルを障害条件入力元として許可します。事象チャネルからの全事象は共にORされ、障害検出への複数供給元同時使用を可能にします。障害検出時、障害検出フラグ(FDF)が設定(1)され、障害検出活動(FDACT)が実行されます。

15.7.3. FDCTRL – 障害検出制御レジスタ (Fault Detection Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	FDDBD								FDCTRL
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – FDDBD : デバッグ中断要求での障害検出処理動作 (Fault Detection on Debug Break Detection)

既定ではこのビットが解除(0)されており、障害検出許可時のチップ上デバッグ(OCD)中断要求は障害として扱われます。このビットが設定(1)されると、OCD中断要求は障害条件を起動しません。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 – FDMODE : 障害検出再開種別 (Fault Detection Restart Mode)

このビットは障害検出再開動作種別を設定します。このビットが解除(0)されるとラッチ動作が使われ、このビットが設定(1)されると周期単位動作が使われます。

ラッチ動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まり、障害検出フラグ(FDF)はソフトウェアによって解除(0)されます。両方の条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。

周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

● ビット1,0 – FDACT1,0 : 障害検出活動 (Fault Detection Actioin)

これらのビットは表15-1.に従って、障害条件が検知された場合に実行される活動を定義します。

表15-1. 障害検出活動選択

FDACT1,0	群構成設定	事象活動
0 0	NONE	なし(障害検出禁止)
0 1	-	(予約)
1 0	-	(予約)
1 1	CLEARDIR	許可された沈黙時間挿入(DTI)チャネルに対応する全方向(DIR)ビット解除、換言すると出力はHi-Z

15.7.4. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	-	-	FDF	DTHSBUFV	DTLSBUFV	STATUS
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 – FDF : 障害検出フラグ (Fault Detect Flag)

このフラグは障害検出条件が検知された時、換言すると障害検出事象許可(FDEVMASK)によって許可された事象チャネルの1つで事象が検知された時に設定(1)されます。このフラグはこのビット位置への1書き込みによって解除(0)されます。

● ビット1 – DTHSBUFV : 沈黙時間High側緩衝有効 (Dead-Tine High Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間High側(DTHS)レジスタ内に複写される値を含みます。このビットが0なら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

● ビット0 – DTLSBUFV : 沈黙時間Low側緩衝有効 (Dead-Tine Low Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間Low側(DTLS)レジスタ内に複写される値を含みます。このビットが0なら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

15.7.5. DTBOTH – 沈黙時間両側同時書き込みレジスタ (Dead-Time Concurrent Write to Both Sides register)

ビット	7	6	5	4	3	2	1	0	
+\$06	DTBOTH7~0								DTBOTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTBOTH7~0 : 沈黙時間両側値 (Dead-Time Both Sides)

このレジスタへの書き込みは沈黙時間High側(DTHS)レジスタと沈黙時間Low側(DTLS)レジスタを同時に(換言すると同じI/Oアクセス書き込みで)更新します。

15.7.6. DTBOTHBUF – 沈黙時間両側同時書き込み緩衝レジスタ (Dead-Time Concurrent Write to Both Sides Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$07	DTBOTHBUF7~0								DTBOTHBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTBOTHBUF7~0 : 沈黙時間両側緩衝値 (Dead-Time Both Sides Buffer)

このメモリ位置への書き込みは沈黙時間High側緩衝部(DTHSBUF)と沈黙時間Low側緩衝部(DTLSBUF)を同時に(換言すると同じI/Oアクセス書き込みで)更新します。

15.7.7. DTLS – 沈黙時間Low側レジスタ (Dead-Time Low Side register)

ビット	7	6	5	4	3	2	1	0	
+\$08	DTLS7~0								DTLS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTLS7~0 : 沈黙時間Low側値 (Dead-Time Low Side)

このレジスタはLow側沈黙時間に対する周辺機能クロック周期数を保持します。

15.7.8. DTHS – 沈黙時間High側レジスタ (Dead-Time High Side register)

ビット	7	6	5	4	3	2	1	0	
+\$09	DTHS7~0								DTHS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTHS7~0 : 沈黙時間High側値 (Dead-Time High Side)

このレジスタはHigh側沈黙時間に対する周辺機能クロック周期数を保持します。

15.7.9. DTLSBUF – 沈黙時間Low側緩衝レジスタ (Dead-Time Low Side Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$0A	DTLSBUF7~0								DTLSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTLSBUF7~0 : 沈黙時間Low側緩衝値 (Dead-Time Low Side Buffer)

このレジスタは沈黙時間Low側(DTLS)レジスタに対する緩衝部です。2重緩衝が使われる場合、このレジスタの有効な値がUPDATE条件でDTLSレジスタに複写されます。

15.7.10. DTHSBUF – 沈黙時間High側緩衝レジスタ (Dead-Time High Side Buffer register)

ビット	7	6	5	4	3	2	1	0	
+\$0B	DTHSBUF7~0								DTHSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – DTHSBUF7~0 : 沈黙時間High側緩衝値 (Dead-Time High Side Buffer)

このレジスタは沈黙時間High側(DTHS)レジスタに対する緩衝部です。2重緩衝が使われる場合、このレジスタの有効な値がUPDATE条件でDTHSレジスタに複写されます。

15.7.11. OUTOVEN – 出力無効化許可レジスタ (Output Override Enable register)

ビット	7	6	5	4	3	2	1	0	
+\$0C	OUTOVEN7~0								OUTOVEN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 障害検出フラグ(FDF)が0の場合にだけ書くことができます。

● ビット7~0 – OUTOVEN7~0 : 出力無効化許可 (Output Override Enable)

これらのビットは対応するポート出力(OUT)レジスタの(換言するとピン位置に関連するビット毎に)無効化を許可します。ポート方向は無効にされません。

15.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0C	OUTOVEN	OUTOVEN7~0								130
+\$0B	DTHSBUF	DTHSBUF7~0 (沈黙時間High側緩衝)								130
+\$0A	DTLSBUF	DTLSBUF7~0 (沈黙時間Low側緩衝)								130
+\$09	DTHS	DTHS7~0 (沈黙時間High側)								130
+\$08	DTLS	DTLS7~0 (沈黙時間Low側)								130
+\$07	DTBOTHBUF	DTBOTHBUF7~0 (沈黙時間両側緩衝)								129
+\$06	DTBOTH	DTBOTH7~0 (沈黙時間両側)								129
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	STATUS	-	-	-	-	-	FDF	DTHSBUFV	DTLSBUFV	129
+\$03	FDCTRL	-	-	-	FDDBD	-	FDMODE	FFACT1,0		128
+\$02	FDEMASK	FDEVMASK7~0								128
+\$01	予約	-	-	-	-	-	-	-	-	
+\$00	CTRL	-	-	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	128

16. Hi-Res – 高分解能拡張

16.1. 要点

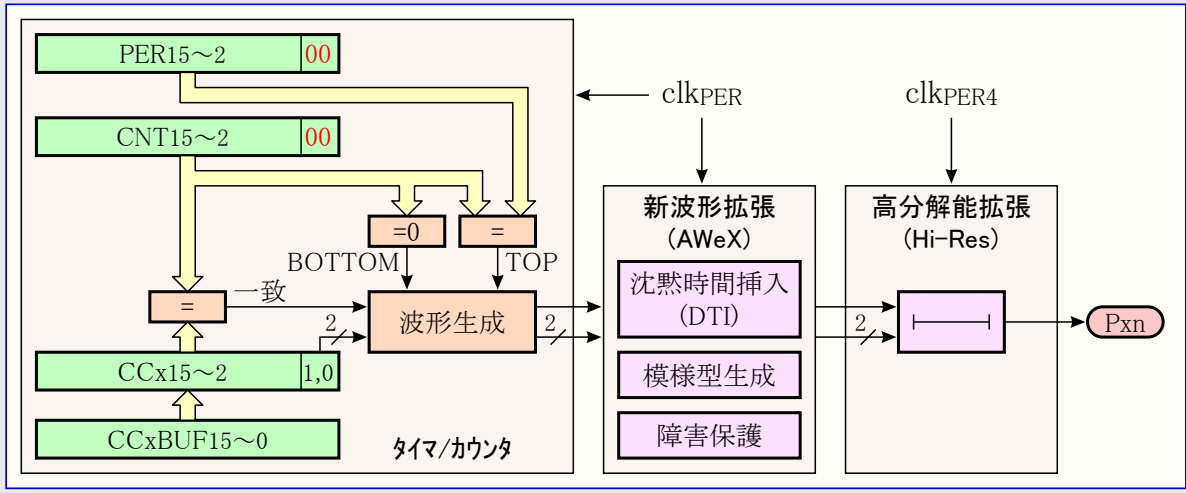
- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使われる時にAWeXを支援

16.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じタイマ/カウンタに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能クロック(clkPER4)を使います。システムクロック前置分周器はHi-Res拡張が許可される時に4倍周辺機能クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように構成設定されなければなりません。より多くの詳細については57頁の「システムクロック選択と前置分周器」をご覧ください。

図16-1. Hi-Res拡張許可でのタイマ/カウンタ動作



Hi-Res拡張が許可されると、タイマ/カウンタは前置分周されない周辺機能クロックから走行されなければなりません。タイマ/カウンタはこの計数部での最下位(LSB)側2ビットを無効にし、各周辺機能クロック周期に対して4倍で計数します。最上位(MSB)側14ビットの上昇溢れ/下降溢れと比較一致はタイマ/カウンタで行われます。下位2ビットの計数と比較は4倍周辺機能クロックで走行するHi-Res拡張で処理と比較が行われます。

タイマ/カウンタの定期(PER)レジスタの下位2ビットは正しい動作を保证するため、0を設定されなければなりません。計数器(CNT)レジスタが応用コートから読まれる場合、タイマ/カウンタが(標準速の)周辺機能クロックで走行するため、下位2ビットは常に0として読みます。この下位2ビットは事象生成時にも無視されます。

Hi-Res+機能が許可されると、機能はHi-Res拡張と同じですが、分解能は4の代わりに8増加します。これはHi-Resだけが許可される時のような下位2ビットに代わり、Hi-Res拡張によって下位3ビットが処理されることも意味します。追加の分解能は4倍周辺機能クロックの両端を計数することによって達成されます。

Hi-Res拡張は(標準速の)1周辺機能クロック周期よりも短い(周期の)どんなパルスも出力せず、換言すると、4よりも小さな比較値は見える出力になりません。

16.3. レジスタ説明

16.3.1. CTRLA – 制御レジスタA (Hi-Res Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	HRPLUS	HREN1,0		CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2 – HRPLUS : 高分解能+ (High Resolution Plus)

このビットの設定(1)は高分解能+を許可します。Hi-Res+はHi-Resと同じですが、分解能を4に代わって8(3ビット)倍に増します。追加の分解能は4倍周辺機能クロックの両端での動作によって達成されます。

- ビット1,0 – HREN1,0 : 高分解能許可 (High Resolution Enable)

これらのビットは表16-1.に従ってタイマ/カウンタに対する高分解能動作種別を許可します。

HRENビットの1つまたは両方の設定(1)が汎用I/Oポート全体に対する高分解能波形生成出力を許可します。これは同じポートに接続されたタイマ/カウンタの両方がピンでのPWMまたはFRQ出力生成に使用される場合、その両方がHi-Resを許可されなければならないことを意味します。

表16-1. 高分解能許可選択

HREN1,0	高分解能許可
0 0	なし(禁止)
0 1	タイマ/カウンタ0
1 0	タイマ/カウンタ1
1 1	両タイマ/カウンタ

16.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$00	CTRLA	–	–	–	–	–	HRPLUS	HREN1,0		146

17. RTC – 実時間計数器

17.1. 要点

- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

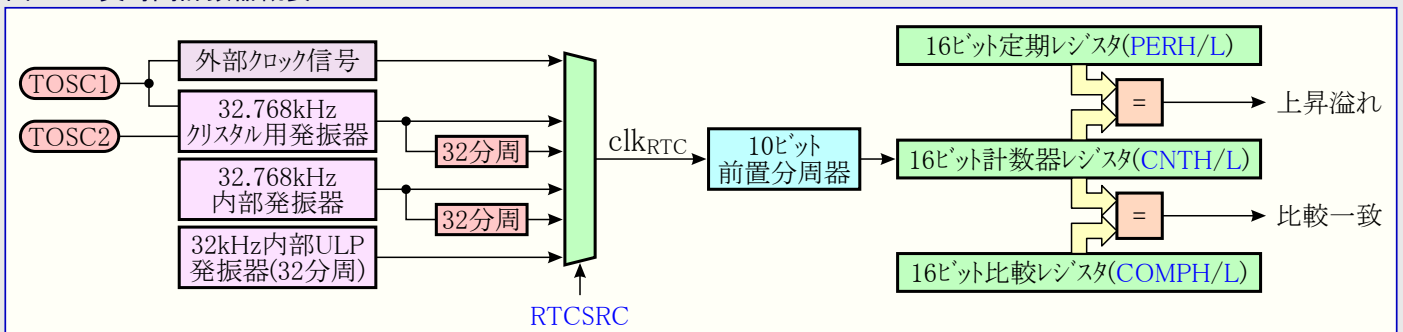
17.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選ぶことができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げる可以降低設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ s、時間経過期間は2000sまでに行えます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図17-1. 実時間計数器概要



17.2.1. クロック領域

RTCは非同期で、主システムクロックと周辺機能クロックのようなその派生クロックから独立した異なるクロック元で動きます。制御と計数のレジスタの更新に関しては、更新されたレジスタ値がレジスタで利用可能になる前、または構成設定変更がRTCで効果を表すまで、幾らかのRTCクロックと/または周辺機能クロックの周期がかかります。この同期時間は各レジスタに対して記述されます。RTCに関する非同期クロック元については61頁の「[RTCCTRL – RTC制御レジスタ](#)」を参照してください。

17.2.2. 割り込みと事象

RTCは割り込みと事象の両方を生成することができます。RTCは計数器(CNT)値が比較(COMP)レジスタ値と等しくなった後の最初の計数で比較割り込みと/または事象を生じます。RTCは計数器値が定期(PER)レジスタ値と等しくなった後の最初の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にリセットします。

非同期クロック領域のため、定期レジスタが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

17.3. レジスタ説明

17.3.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	-	-	PRESCALER2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2~0 – PRESCALER2~0 : クロック前置分周係数 (Clock Prescaling factor)

これらのビットは表17-1.に従ってRTCクロックに対する前置分周係数を定義します。

表17-1. 実時間計数器クロック前置分周係数

PRESCALER2~0	群構成設定	RTCクロック前置分周
0 0 0	OFF	クロック元なし、RTC停止
0 0 1	DIV1	RTCクロック/1 (前置分周なし)
0 1 0	DIV2	RTCクロック/2
0 1 1	DIV8	RTCクロック/8
1 0 0	DIV16	RTCクロック/16
1 0 1	DIV64	RTCクロック/64
1 1 0	DIV256	RTCクロック/256
1 1 1	DIV1024	RTCクロック/1024

17.3.2. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	-	-	-	-	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – SYNCBUSY : RTC同期化中フラグ (RTC Synchronization Busy Flag)

実時間計数器(CNT)、RTC制御(CTRL)レジスタ、RTC定期(PER)レジスタまたはRTC比較(COMP)レジスタが、これらのレジスタの何れかの書き込み後、または周辺機能クロックが停止される休止動作形態から起き上がる時で、RTCクロックとシステムクロック領域間の同期化作業中の時に、このフラグが設定(1)されます。このフラグは同期完了時に自動的に解除(0)されます。

17.3.3. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	COMPINTLVL1,0		OVFINTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3,2 – COMPINTLVL1,0 : 比較一致割り込み許可 (Compare Match Interrupt Enable)

これらのビットはRTC比較一致割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC比較一致割り込み要求フラグ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

- ビット1,0 – OVFINTLVL1,0 : 上昇溢れ割り込み許可 (Overflow Interrupt Enable)

これらのビットはRTC上昇溢れ割り込みを許可し、86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC上昇溢れ割り込み要求フラグ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

17.3.4. INTFLAGS – 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$03	-						COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● ビット1 – COMPIF : 比較一致割り込み要求フラグ (Compare Match Interrupt Flag)

このフラグは比較一致状態が起きた後の次の計数で設定(1)されます。これはRTC比較一致割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 – OVFIF : 上昇溢れ割り込み要求フラグ (Overflow Interrupt Flag)

このフラグは上昇溢れ状態が起きた後の次の計数で設定(1)されます。これはRTC上昇溢れ割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

17.3.5. TEMP – 一時レジスタ (Temporary register)

ビット	7	6	5	4	3	2	1	0	
+\$04	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TEMP7~0 : 一時格納値 (Temporary bits)

このレジスタは計数器(CNT)値、比較(COMP)値、頂上(PER)値のレジスタの16ビットアクセスに使われます。16ビットレジスタの下位バイトがCPUによって書かれる時にそれがここに格納されます。16ビットレジスタの上位バイトはCPUによって下位バイトが読まれる時に格納されます。より多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

17.3.6. CNTL – 計数レジスタ下位 (Counter register Low)

CNTHとCNTLのレジスタ対は16ビット値CNTを表します。CNTは前置分周されたRTCクロックの正クロック端で計数します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

RTCクロックとシステムクロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。このレジスタへの書き込みや、周辺機能クロックが停止される休止動作形態から起き上がった後でこのレジスタを読む前に、応用ソフトウェアは135頁の「STATUS – RTC状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(1)されていることを調べる必要があります。

ビット	7	6	5	4	3	2	1	0	
+\$08	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT7~0 : 計数值下位バイト (Counter value low byte)

これらのビットは16ビット実時間計数器値の下位バイト(LSB)を保持します。

17.3.7. CNTH – 計数レジスタ上位 (Counter register High)

ビット	7	6	5	4	3	2	1	0	
+\$09	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CNT15~8 : 計数值上位バイト (Counter value high byte)

これらのビットは16ビット実時間計数器値の上位バイト(MSB)を保持します。

17.3.8. PERL – 定期レジスタ下位 (Period register Low)

PERHとPERLのレジスタ対は16ビット値PERを表します。PERは計数器(CNT)値と継続的に比較されます。一致はRTC割り込み要求フラグ(INTFLAGS)レジスタの上昇溢れ割り込み要求フラグ(OVFIF)を設定(1)して計数器を解除(=0)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

RTCクロックとシステムクロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用ソフトウェアは、このレジスタが書かれる前に135頁の「STATUS – RTC状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(0)されていることを調べる必要があります。

ビット	7	6	5	4	3	2	1	0	
+\$0A	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER7~0 : 定期値下位バイト (Period low byte)

これらのビットは16ビットRTC頂上値の下位バイト(LSB)を保持します。

17.3.9. PERH – 定期レジスタ上位 (Period register High)

ビット	7	6	5	4	3	2	1	0	
+\$0B	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 – PER15~8 : 定期値上位バイト (Period high byte)

これらのビットは16ビットRTC頂上値の上位バイト(MSB)を保持します。

17.3.10. COMPL – 比較レジスタ下位 (Compare register Low)

COMPHとCOMPLのレジスタ対は16ビット値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致はRTC割り込み要求フラグ(INTFLAGS)レジスタの比較一致割り込み要求フラグ(COMPIF)を設定(1)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

RTCクロックとシステムクロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用ソフトウェアは、このレジスタが書かれる前に135頁の「STATUS – RTC状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(0)されていることを調べる必要があります。

COMP値が定期(PER)値より大きい場合、RTC比較一致割り込み要求または事象は決して生成されません。

ビット	7	6	5	4	3	2	1	0	
+\$0C	COMP7~0								COMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP7~0 : 比較値下位バイト (Compare value low byte)

これらのビットは16ビットRTC比較値の下位バイト(LSB)を保持します。

17.3.11. COMPH – 比較レジスタ上位 (Compare register High)

ビット	7	6	5	4	3	2	1	0	
+\$0D	COMP15~8								COMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – COMP15~8 : 比較値上位バイト (Compare value high byte)

これらのビットは16ビットRTC比較値の上位バイト(MSB)を保持します。

17.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0D	COMP _H					COMP15~8				137
+\$0C	COMPL					COMP7~0				137
+\$0B	PER _H					PER15~8				137
+\$0A	PERL					PER7~0				137
+\$09	CNTH					CNT15~8				136
+\$08	CNTL					CNT7~0				136
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	TEMP					TEMP7~0				136
+\$03	INTFLAGS	-	-	-	-	-	-	COMP _{IF}	OV _{FIF}	136
+\$02	INTCTRL	-	-	-	-	COMP _{INTLVL} 1,0		OV _{FINTLVL} 1,0		135
+\$01	STATUS	-	-	-	-	-	-	-	SYN _{CBUSY}	135
+\$00	CTRL	-	-	-	-	-			PRE _{SCALER} 2~0	135

17.5. 割り込みベクタ要約

表17-2. RTC割り込みベクタとそれらの語変位(オフセット)

変位	記述例	割り込み内容
\$00	OV _F _vect	実時間計数器溢れ割り込みベクタ
\$02	COMP_vect	実時間計数器比較一致割り込みベクタ

18. RTC32 – 32ビット実時間計数器

18.1. 要点

- 32ビット分解能
- 選択可能な前置分周器を持つ32.768kHz外部クリスタル用クロック元
 - 1.024kHz
 - 1Hz
- 1つの比較レジスタ
- 1つの定期レジスタ
- 上昇溢れでの計時器解除
- 上昇溢れと比較一致での任意選択の割り込み/事象

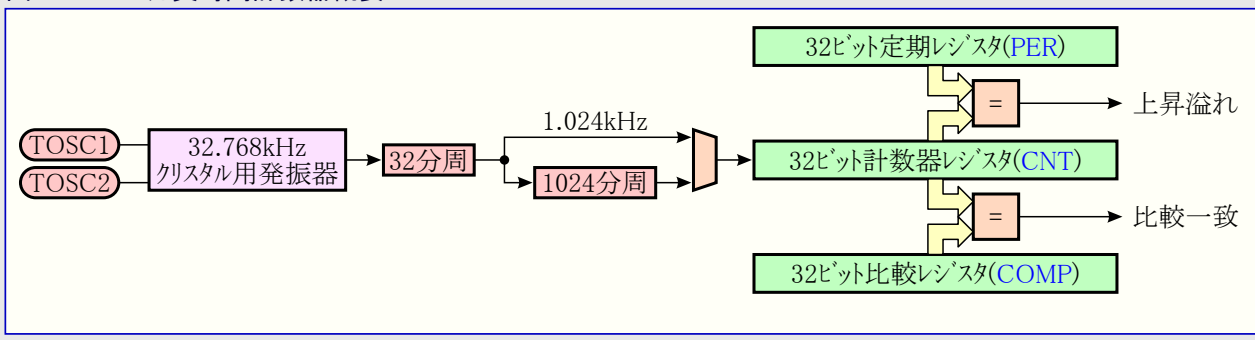
18.2. 概要

32ビット実時間計数器(RTC32)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの前置分周された1Hz出力で、これは低電力消費と1s分解能用に最適化された構成設定です。計時器が1msよりも高い分解能を必要とするなら、より速い1.024kHz出力を選ぶことができます。

RTC32は計数器が比較(COMP)レジスタ値と等しい時に比較割り込みや事象、定期(PER)レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図18-1. 32ビット実時間計数器概要



18.2.1. クロック選択

クロック元として外部32.768kHzクリスタル用発振器が使われなければなりません。2つの異なる出力がこれ(この発振器)から利用可能で、RTC32クロック入力には1.024kHzまたは1Hzにできます。

18.2.2. クロック領域

RTC32は非同期で、主システムクロックと周辺機能クロックのようなその派生クロックから独立した異なるクロック元で動きます。制御と計数のレジスタの更新に関しては、更新されたレジスタ値がレジスタで利用可能になる前、または構成設定変更がRTC32で効果を表すまで、幾らかのRTC32クロックと/または周辺機能クロックの周期がかかります。この同期時間は各レジスタに対して記述されます。

周辺機能クロックは制御と計数のどちらかのレジスタがアクセス(読み書き)される時にRTC32クロック(1.024kHzまたは1Hz)よりも8倍以上速く、計数器(CNT)レジスタが書かれる時に12倍以上速くなければなりません。

18.2.3. 電力領域

RTC32がVBAT電力領域に配置されているデバイスに対し、電池代替支援機能は利用可能な主VCCなしでの機能もRTC32に許します。VCCがデバイスに対する動作電圧基準以下に低下する場合にVCC領域からVBAT領域へ自動的に切り換えるのに動的電力切り換えが用いられます。VCC電圧が回復されると、電力は自動的にVCCへ切り換え戻されます。

18.2.4. 割り込みと事象

RTC32は割り込みと事象の両方を生成することができます。RTC32は計数器(CNT)値が比較(COMP)レジスタ値と等しくなった後の次の計数で比較割り込み要求と/または事象を生じます。RTC32は計数器値が定期(PER)レジスタ値と等しくなった後の次の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にリセットします。

非同期クロック領域のため、定期レジスタが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

18.3. レジスタ説明

18.3.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
リセット値	0	0	0	0	0	0	0	0	

- ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – ENABLE : 許可 (Enable)

このビットの設定(1)がRTC32を許可します。RTC32とシステムクロックの領域間の同期時間はレジスタ書き込みから、これがRTC32クロック領域で効果を表すまで、換言するとRTC32開始まで1.5RTC32クロック周期です。

RTC32に関して走行を開始するために定期(PER)レジスタも0と異なる値に設定されなければなりません。

18.3.2. SYNCCTRL – 同期制御/状態レジスタ (Synchronisation Control/Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	SYNCCNT	–	–	–	SYNCBUSY	SYNCCTRL
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット4 – SYNCCNT : CNTレジスタ同期許可 (Enable Synchronization of the CNT register)

このビットの設定(1)は計数器(CNT)レジスタのRTC32クロック領域からシステムクロック領域への同期化を開始します。このビットは同期化が終了される時に自動的に解除(0)されます。

- ビット3~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – SYNCBUSY : 同期化中フラグ (Synchronization Busy Flag)

このフラグは制御(CTRL)と計数器(CNT)のレジスタがシステム領域からRTC32クロック領域への同期化多忙の時に設定(1)されます。CTRLレジスタ同期化はそれが書かれた時に起動されます。CNTレジスタはレジスタの最上位バイトが書かれる時に同期化されます。

18.3.3. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	–	–	–	COMPINTLVL1,0	–	–	OVFINTLVL1,0	INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

- ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3,2 – COMPINTLVL1,0 : RTC32比較一致割り込み許可 (RTC Compare Match Interrupt Enable)

これらのビットはRTC32比較一致割り込みを許可し、86ページの「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC比較一致割り込み要求フラグ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

- ビット1,0 – OVFINTLVL1,0 : RTC32上昇溢れ割り込み許可 (RTC Overflow Interrupt Enable)

これらのビットはRTC32上昇溢れ割り込みを許可し、86ページの「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。RTC32割り込み要求フラグ(INTFLAGS)レジスタの上昇溢れ割り込み要求フラグ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

18.3.4. INTFLAGS – 割り込み要求フラグ レジスタ (RTC Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0		
+\$03	-						COMPIF	OVFIF		INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – COMPIF : 比較一致割り込み要求フラグ (Compare Match Interrupt Flag)

このフラグは比較一致状態が起きた後の次の計数で設定(1)されます。このフラグはRTC32比較一致割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)することができます。

● ビット0 – OVFIF : 上昇溢れ割り込み要求フラグ (Overflow Interrupt Flag)

このフラグは上昇溢れ状態が起きた後の次の計数で設定(1)されます。このフラグはRTC32上昇溢れ割り込みベクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)することができます。

18.3.5. CNT0 – 計数レジスタ0 (Counter register 0)

CNT3, CNT2, CNT1, CNT0レジスタは32ビット値CNTを表します。CNTはRTC32クロックの正クロック端で計数します。

RTC32クロック領域に対する新しいCNT値の同期化はCNT3書き込みによって起動されます。同期時間はレジスタの更新からこれがRTC32クロック領域で効果を表すまで最大12周辺機能クロック周期です。CNTレジスタへの書き込み操作は同期化中(SYNCBUSY)フラグが設定(1)されている場合に妨げられます。

RTC32クロック領域からシステムクロック領域へのCNT値の同期化は同期制御/状態(SYNCCTRL)レジスタのCNTレジスタ同期許可(SYNCCNT)ビットへ1を書くことによって行うことができます。更新されて同期されたCNTレジスタ値は8周辺機能クロック周期後に利用可能です。

CNTレジスタの上位側バイトへの書き込み後、上昇溢れと比較一致を起す状況だけでなく、上昇溢れ割り込み要求フラグ(OVFIF)と比較一致割り込み要求フラグ(COMPIF)の設定(1)に対する状況も、後続する2RTC32クロック周期間、禁止されます。

ビット	7	6	5	4	3	2	1	0	
+\$04	CNT7~0								CNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.6. CNT1 – 計数レジスタ1 (Counter register 1)

ビット	7	6	5	4	3	2	1	0	
+\$05	CNT15~8								CNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.7. CNT2 – 計数レジスタ2 (Counter register 2)

ビット	7	6	5	4	3	2	1	0	
+\$06	CNT23~16								CNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.8. CNT3 – 計数レジスタ3 (Counter register 3)

ビット	7	6	5	4	3	2	1	0	
+\$07	CNT31~24								CNT3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.9. PER0 – 定期レジスタ0 (Period register 0)

PER3,PER2,PER1,PER0レジスタは32ビット値PERを表します。PERは計数器(CNT)値と継続的に比較されます。比較一致は割り込み要求フラグ(INTFLAGS)レジスタの上昇溢れ割り込み要求フラグ(OVFIF)を設定(1)し、次のRTC32クロック周期でCNTが0に設定されます。

PERレジスタはRTCが禁止され、現在同期化中でない場合、換言すると制御(CTRL)レジスタの許可(ENABLE)ビットと同期制御/状態(SYNCCTRL)レジスタの同期化中(SYNCBUSY)フラグの両方が0の時にだけ書くことができます。

PERレジスタ内のバイト書き込み後、OVFIFの設定(1)に対する状況と上昇溢れを起す状況は後続する2RTC32クロック周期間、禁止されます。

ビット	7	6	5	4	3	2	1	0	
+\$0A	PER7~0								PER0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.10. PER1 – 定期レジスタ1 (Period register 1)

ビット	7	6	5	4	3	2	1	0	
+\$0A	PER15~8								PER1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.11. PER2 – 定期レジスタ2 (Period register 2)

ビット	7	6	5	4	3	2	1	0	
+\$0A	PER23~16								PER2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.12. PER3 – 定期レジスタ3 (Period register 3)

ビット	7	6	5	4	3	2	1	0	
+\$0B	PER31~24								PER3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.13. COMP0 – 比較レジスタ0 (Compare register 0)

COMP3,COMP2,COMP1,COMP0レジスタは32ビット値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致は割り込み要求フラグ(INTFLAGS)レジスタの比較一致割り込み要求フラグ(COMPIF)を設定(1)し、任意選択の割り込みが生成されます。

COMP値が定期(PER)値よりも大きい場合、RTC比較一致割り込み要求や事象が全く生成されません。

COMPレジスタの上位側バイトへの書き込み後、上昇溢れと比較一致を起す状況だけでなく、上昇溢れ割り込み要求フラグ(OVFIF)と比較一致割り込み要求フラグ(COMPIF)の設定(1)に対する状況も、後続する2RTC32クロック周期間、禁止されます。

ビット	7	6	5	4	3	2	1	0	
+\$0C	COMP7~0								COMP0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.14. COMP1 – 比較レジスタ1 (Compare register 1)

ビット	7	6	5	4	3	2	1	0	
+\$0D	COMP15~8								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.15. COMP2 – 比較レジスタ2 (Compare register 2)

ビット	7	6	5	4	3	2	1	0	
+\$0E	COMP23~16								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.3.16. COMP3 – 比較レジスタ3 (Compare register 3)

ビット	7	6	5	4	3	2	1	0	
+\$0F	COMP31~24								COMP3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
リセット値	0	0	0	0	0	0	0	0	

18.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$0F	COMP3					COMP31~24				143
+\$0E	COMP2					COMP23~16				142
+\$0D	COMP1					COMP15~8				142
+\$0C	COMP0					COMP7~0				142
+\$0B	PER3					PER31~24				142
+\$0A	PER2					PER23~16				142
+\$09	PER1					PER15~8				142
+\$08	PER0					PER7~0				142
+\$07	CNT3					CNT31~24				141
+\$06	CNT2					CNT23~16				141
+\$05	CNT1					CNT15~8				141
+\$04	CNT0					CNT7~0				141
+\$03	INTFLAGS	-	-	-	-	-	-	COMPIF	OVFIF	141
+\$02	INTCTRL	-	-	-	-	-	COMPINTLVL1,0	OVFINTLVL1,0		140
+\$01	SYNCCTRL	-	-	-	SYNCCNT	-	-	-	SYNCBUSY	140
+\$00	CTRL	-	-	-	-	-	-	-	ENABLE	140

18.5. 割り込みベクタ要約

表18-1. RTC32割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	OVF_vect	実時間計数器溢れ割り込みベクタ
\$02	COMP_vect	実時間計数器比較一致割り込みベクタ

19. TWI – 2線インターフェース

19.1. 要点

- 双方向2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
 - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビット アドレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スレーブ制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

19.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはホーレト発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために**迅速指令**と**簡便動作**を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は**開始条件**、**停止条件**、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

19.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ (ドレイン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。

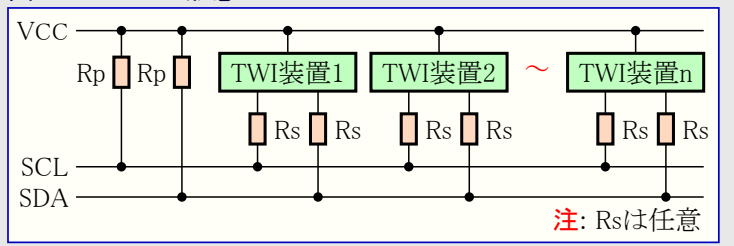
TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

図19-1はTWIバス形態を図解します。

バスに接続した全ての従装置に固有のアドレスが割り当てられ、主装置は従装置をアドレス指定するのにこれを使ってデータ転送処理を始めます。

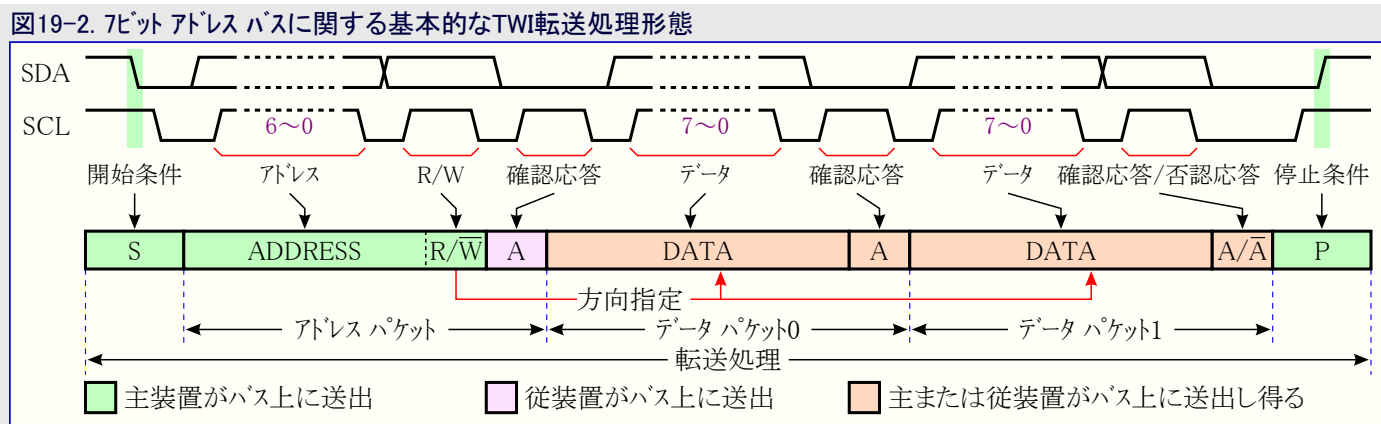
多数の主装置が同じバスに接続でき、複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間でバス所有権を解決するために調停機構が提供されます。

図19-1. TWIバス形態



デバイスは主装置と従装置の両論理回路を含み、2つ以上のアドレスにตอบสนองすることによって複数従装置の擬似動作ができます。主装置がバス上に**開始条件(S)**を発行することによって転送処理の開始を指示します。それから、従装置アドレス(ADDRESS)と主装置がデータを読みまたは書きどちらをしたいのかを示す(R/W)を持つアドレスパケットが送られます。データパケット(DATA)が転送された後、転送処理終了のためにバス上へ**停止条件(P)**を発行します。受信側は各バイトに対して**確認応答(A)**または**否認応答(\bar{A})**を行わなければならない。

図19-2はTWI転送処理を示します。



主装置が転送処理に対してクロック信号を供給しますが、バスに接続された装置はクロック速度を下げるためにクロックのLow区間を引き伸ばすことが許されます。

19.3.1. I²CとSMBus適合性

19.3.1.1. 電気的特性

XMEGAデバイスのTWI単位部はI²CバスとSMBusの電気的仕様とタイミングに従っています。TWI主装置動作で設定されるべき不活性バス時間超過の正しい動きを保証するために、これらの仕様は100%適合ではありません。より多くの詳細については148頁の「**TWI主装置動作**」を参照してください。

19.3.1.2. SMBus

SMBus 2.0仕様の第2章は「電源が落とされた装置はGNDへの経路を提供してはならない」と述べます。本デバイスはESDダイオードのためにGNDへの経路を提供します。

以下のSMBus項目はソフトウェアで実装されることが必要です。

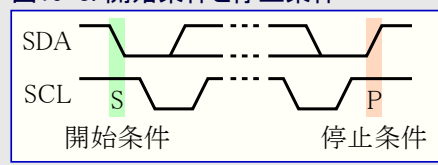
- 35msクロックLow制限時間
- 第3層 - ネットワーク層

19.3.2. 開始条件と停止条件

転送処理の始まり(**開始条件**)と終り(**停止条件**)を記すために2つの独特なバス状態が使用されます。主装置はSCL線をHighに保持すると同時にSDA線でHighからLowへの遷移を示すことによって**開始条件(S)**を発行します。主装置はSCL線をHighに保持すると同時にSDA線をLowからHighへの遷移を示すことによって**停止条件(P)**を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の**開始条件**が発行され得ます。**停止条件**に直接後続しない開始条件は**再送開始条件(Sr)**と名付けられます。

図19-3. 開始条件と停止条件

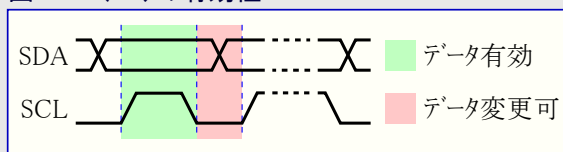


19.3.3. ビット転送

図19-4で図解されるように、SDA線で転送されるビットはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はクロックのLow区間の間でだけ変更できます。これはTWI単位部でのハードウェアで保証されます。

ビット転送の組み合わせがアドレスとデータの packets の編成に帰着します。これらの packets は最上位ビット先行転送の8データビット(1バイト)と**確認(Ack)**または**否認(Nack)**の応答の単一ビットから成ります。アドレス指定された装置は9クロック周期の間に、SCL線をLowに引くことによってAckで、SCL線をHighのままにしておくことによってNackで合図します。

図19-4. データの有効性



19.3.4. アドレス パケット

開始条件後、読み/書き(R/ \bar{W})ビットが後続する7ビット アドレスが送出されます。これは常に主装置によって送出されます。そのアドレスを認証する従装置は次のSCLクロック間SDA線をLowに引くことによってアドレスの**確認応答(ACK)**を行い、一方他の全ての従装置はTWI線の開放を維持して次の**開始条件**とアドレスを待ちます。アドレス、R/ \bar{W} ビット、応答ビットの組み合わせがアドレス パケットです。各**開始条件**に対して1つのアドレス パケットだけが許され、これは10ビット アドレスが使われる時もです。

R/ \bar{W} ビットは転送処理の方向を指定します。R/ \bar{W} ビットがLowなら、主装置書き込み転送処理を示し、従装置のそのアドレスの**確認応答**後に主装置はそのデータを送出します。R/ \bar{W} ビットがHighなら、主装置読み込み転送処理を示し、従装置がそのアドレスの**確認応答**後にデータ送出します。

19.3.5. データ パケット

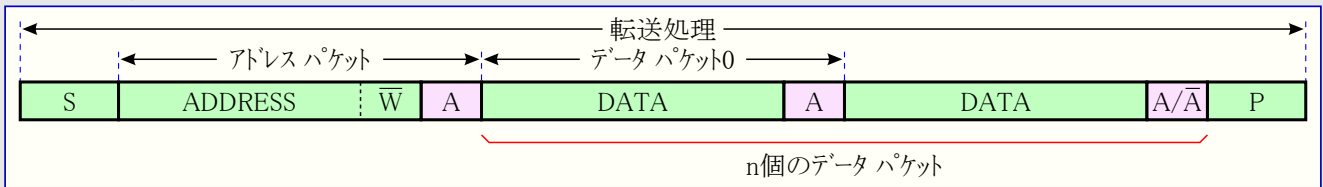
アドレス パケットには1つ以上のデータ パケットが後続します。全てのデータ パケットは1つのデータ バイトと応答ビットから成る9ビット長です。直前のアドレス パケット内の方向ビットがデータが転送される方向を決めます。

19.3.6. 転送処理

転送処理は**開始条件**から**停止条件**までの完全な転送で、その間のどの**再送開始条件**も含まれます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図19-5.は主装置書き込み転送処理を図解します。主装置は**開始条件(S)**によって転送処理を開始し、方向ビットを**0**に設定したアドレス パケット(ADDRESS+W)がそれに後続します。

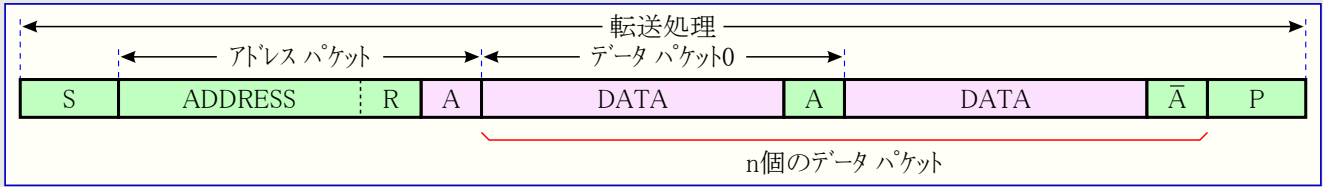
図19-5. 主装置書き込み転送処理



従装置がアドレスを**確認応答**すると、主装置はデータ(DATA)の送信を開始でき、従装置は各バイトで**確認応答(ACK)**または**否認応答(NACK)**(A/ \bar{A})を行います。送信すべきデータ パケットがない場合、主装置はアドレス パケット直後に**停止条件(P)**を発行することによって転送処理を終了します。転送できるデータ パケット数に制限はありません。従装置がデータに**否認応答(NACK)**で合図した場合、主装置は従装置がこれ以上データを受信できず、転送処理を終了すると認識しなければなりません。

図19-6.は主装置読み込み転送処理を図解します。主装置は**開始条件(S)**によって転送処理を開始し、方向ビットを**1**に設定したアドレス パケット(ADDRESS+R)がそれに後続します。アドレス指定された従装置は転送処理の継続を許す主装置に対してアドレスの**確認応答**をしなければなりません。

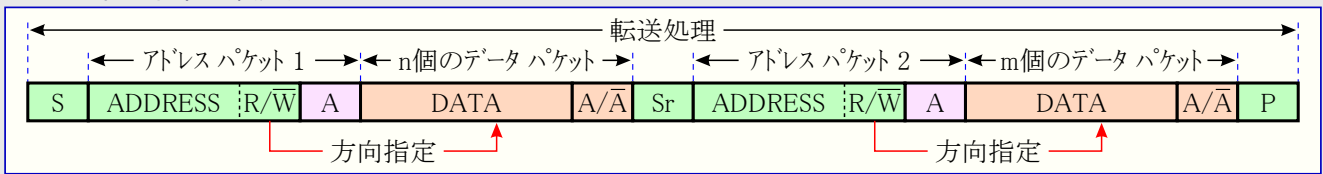
図19-6. 主装置読み込み転送処理



従装置がアドレスを**確認応答**すると、主装置は従装置からのデータ受信を開始することができます。転送できるデータ パケット数に制限はありません。従装置がデータを送信する一方で、主装置は各データ バイト後に**確認応答(ACK)**または**否認応答(NACK)**で合図します。主装置は**停止条件**を発行する前に**否認応答(NACK)**で転送を終了します。

図19-7.は組み合わせ転送処理を図解します。組み合わせ転送処理は**再送開始条件(Sr)**によって分離された多数の読み込みと書き込みの転送処理から成ります。

図19-7. 組み合わせ転送処理



19.3.7. クロックとクロック伸長

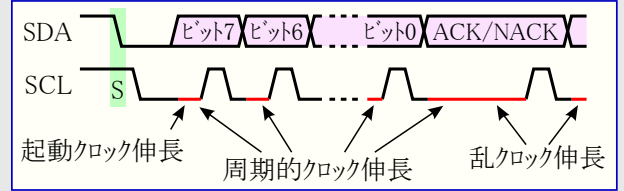
バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行います。

クロック伸長は図19-8.で示されるように3つの形式で定義できます。デバイスが休止形態動作で開始条件が検出された場合、通常、起動時間の間、クロック伸長が働きます。AVR XMEGAデバイスについては、AVR XMEGAデバイスがアドレス指定されない転送処理に対して起きる必要がないため、クロック伸長はACK/NACKビットの直前または直後のどちらかになります。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合では、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図19-8. クロック伸長



注: クロック伸長は全てのI2C従装置と主装置によって支援される訳ではありません。

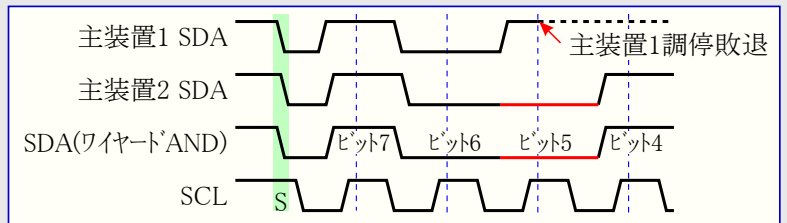
19.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使って解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後バス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると停止条件待機)。従装置は調停手順に関係しません。

図19-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が開始条件を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。

再送開始条件とデータビット、停止条件とデータビット、または再送開始条件と停止条件の間は調停が許されず、ソフトウェアによる特別な扱いが必要です。

図19-9. TWI調停

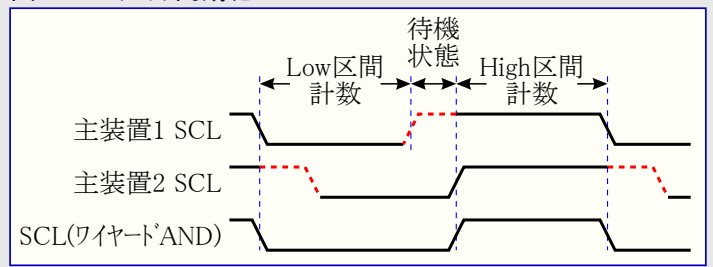


19.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使われるのと同じ原理に基づいています。図19-10.は2つの主装置がバスクロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤードANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow区間タイミングを開始します。このクロックLow区間のタイミング長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放するまでHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。結果は最短クロック区間を持つ装置がHigh区間を決め、一方クロックのLow区間は最長クロック区間持つ装置によって決められることです。

図19-10. クロック同期化

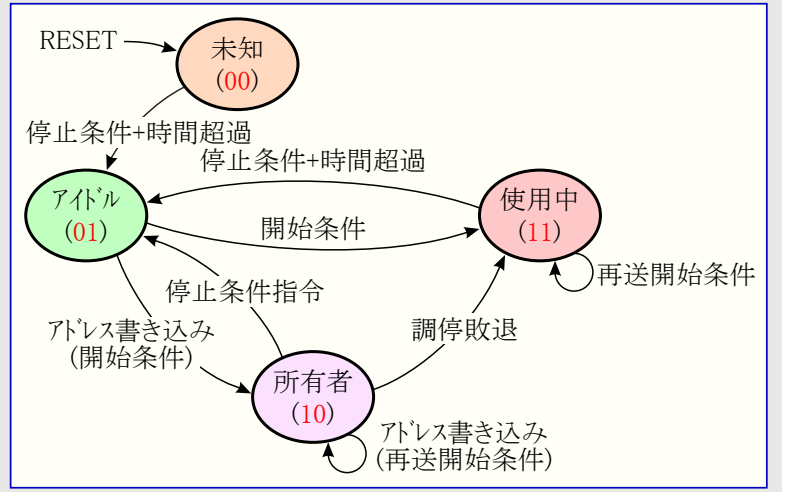


19.4. TWIバス状態論理

バス状態論理回路は主装置動作が許可されている時にTWIバス線の動きを継続的に監視します。これはパワーダウン動作を含む全ての休止形態で動作を継続します。

バス状態論理回路は**開始条件**と**停止条件**の検出器、衝突検出、不活性バス時間超過検出、ビット計数器を含みます。これらはバス状態を決めるのに使われます。ソフトウェアは**主装置状態(STATUS)レジスタのバス状態(BUSSTATE)ビット**を読むことによって現在のバス状態を得ることができます。バス状態はアイドル、使用中、所有者、未知になり得て、**図19-11**で示される状態遷移図に従って決められます。状態に対応するバス状態ビットの値が図内の2進数で示されます。

図19-11. バス状態、状態遷移図



システムリセットやTWI主装置許可後、バス状態は未知です。**バス状態(BUSSTATE)ビット**への書き込みによって、バス状態機構をアイドルへの移行に強制することができます。応用ソフトウェアによって状態が設定されなければ、バス状態は最初の**停止条件**が検出される時にアイドルになります。**主装置不活性バス時間経過(TIMEOUT)**が許可されている場合、バス状態は時間経過の発生でアイドルに変化します。既知のバス状態が確立した後、システムリセットとTWI主装置動作禁止(ENABLE=0)だけが状態を未知に設定します。

バスがアイドルのとき、新しい転送処理の準備が整っています。外部的に生成された**開始条件**が検出された場合、バスは**停止条件**が検出されるまで使用中になります。**停止条件**はバス状態をアイドルに変更します。主装置不活性バス時間経過が許可されている場合、バス状態は時間経過の発生で使用中心からアイドルに変化します。

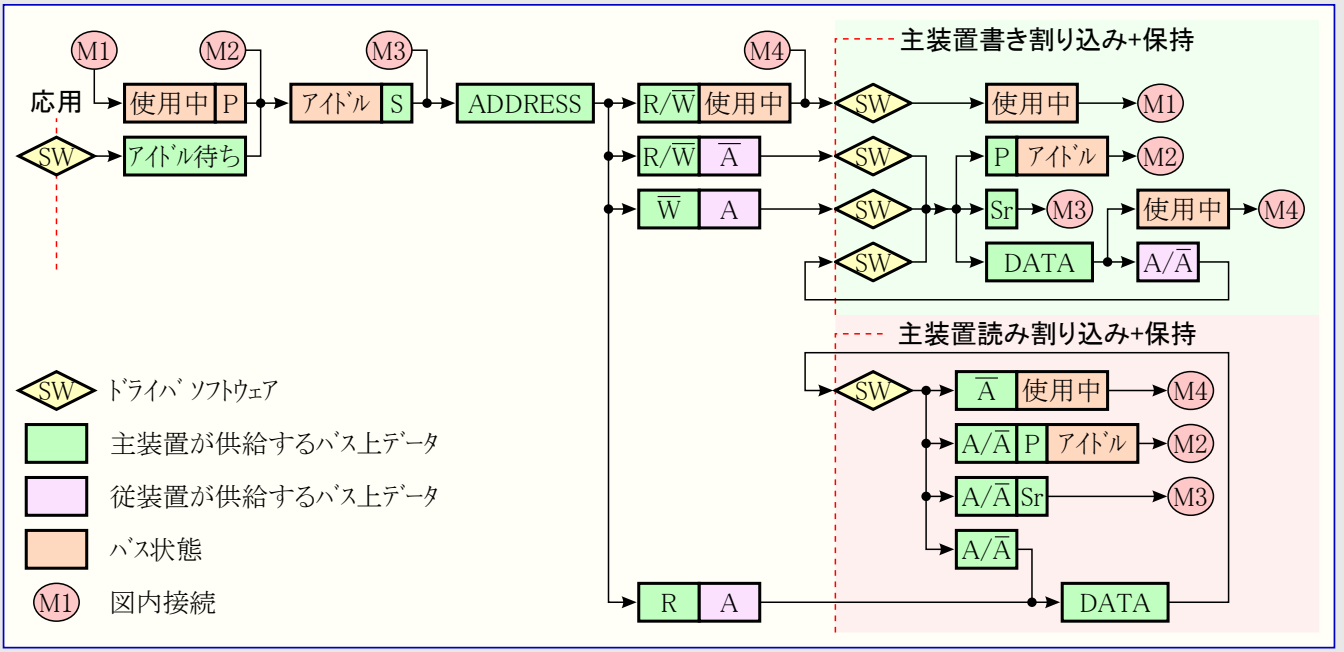
アイドル状態の間に内部的に**開始条件**が生成された場合、所有者状態へ移行します。妨害なし、換言すると衝突が検出されずに、完全な転送処理が実行された場合、主装置が**停止条件**を発行し、バス状態はアイドルに戻ります。衝突が検出(ARBLOST=1)された場合は調停に敗れたと認識され、**停止条件**が検出されるまでバス状態が使用中になります。**再送開始条件**は**再送開始条件**発行中に調停に敗れた場合にバス状態を変更するだけです。**再送開始条件**中の調停は調停が最初の**開始条件**から進行中の場合にだけ失われ得ます。これは主装置の1つが**再送開始条件**(Sr)発行前に2つの主装置が正確に同じADDRESS+DATAを送る場合に起きます。

19.5. TWI主装置動作

TWI主装置は各バイト後の任意選択の割り込みを持つバイト志向です。主装置書き込みと主装置読み込みに対する独立した割り込みがあります。割り込みフラグはポーリング操作にも使えます。**受信した(ACK)確認応答/(NACK)否認応答(RXACK)**、**バス異常(BUSERR)**、**調停敗退(ARBLOST)**、**クロック保持(CLKHOLD)**、**バス状態(BUSSTATE)**を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのデータを扱う時間を主装置に与え、殆ど場合はソフトウェアの介入を必要とするでしょう。**図19-12**はTWI主装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。割り込みフラグの解除(0)がSCL線を開放します。

図19-12. TWI主装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために**迅速指令**と**簡便動作**を許可にできます。

19.5.1. アドレス パケット送信

開始条件発行後、7ビット従装置アドレスと方向ビットと共に**主装置アドレス(ADDR)レジスタ**が書かれる時に、主装置はバス転送処理の実行を始めます。BUSが使用中の場合、TWI主装置は**開始条件**を発行する前にバスがアイドルになるまで待ちます。

調停とR/ \bar{W} 方向ビットに依存して、以降のアドレス パケットで4つの別個の状態(M1~M4)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

19.5.1.1. 状態M1: 調停敗退またはアドレス パケット中のバス異常

アドレス パケット送出の間で調停に敗れた場合、**主装置書き割り込み要求フラグ(WIF)**と**調停敗退(ARBLOST)フラグ**が両方共設定(1)されます。SDA線への直列データ出力は禁止され、SCL線が開放されます。主装置はバス状態がアイドルに戻るまで、もはやどの操作を実行することも許されません。

バス異常は調停敗退状態と同じように振舞いますが、書き割り込み要求フラグと調停敗退フラグに加えて**異常(BUSERR)フラグ**が設定(1)されます。

19.5.1.2. 状態M2: アドレス パケット送信完了 - 従装置によるアドレス否認応答

従装置がアドレスに回答しない場合、主装置書き割り込み要求フラグ(WIF)が設定(1)され、主装置受信応答(RXACK)フラグが設定(1)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.1.3. 状態M3: アドレス パケット送信完了 - 方向ビット=0

主装置が従装置から**確認応答(ACK)**を受け取った場合、**主装置書き割り込み要求フラグ(WIF)**が設定(1)され、主装置受信応答(RXACK)フラグが解除(0)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.1.4. 状態M4: アドレス パケット送信完了 - 方向ビット=1

主装置が従装置から**確認応答(ACK)**を受け取った場合、主装置は従装置からデータの次のバイトの受信を先行します。最初のバイトデータが受信されると、**主装置読み割り込み要求フラグ(RIF)**が設定(1)され、主装置受信応答(RXACK)フラグが解除(0)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.2. データ パケット送信

上の**状態M3**との仮定で、主装置は**主装置データ(DATA)レジスタ**への書き込みによってデータ送信を始められます。転送が成功した場合、従装置は**確認応答(ACK)**で合図します。**主装置書き割り込み要求フラグ(WIF)**が設定(1)され、**主装置受信応答(RXACK)フラグ**が解除(0)されて主装置は送るための新しいデータを準備できます。データ転送の間、主装置は衝突に関してバスを継続的に監視しています。

送出された各データ パケットに対して次のデータ パケットが転送され得る前に、ソフトウェアによって主装置受信応答(RXACK)フラグが調べられなければなりません。従装置が**否認応答(NACK)**で合図する場合、主装置はデータ送信を継続することを許されません。

転送中に衝突が検出されて主装置が調停に敗れた場合、**調停敗退(ARBLOST)フラグ**が設定(1)されます。

19.5.3. データ パケット受信

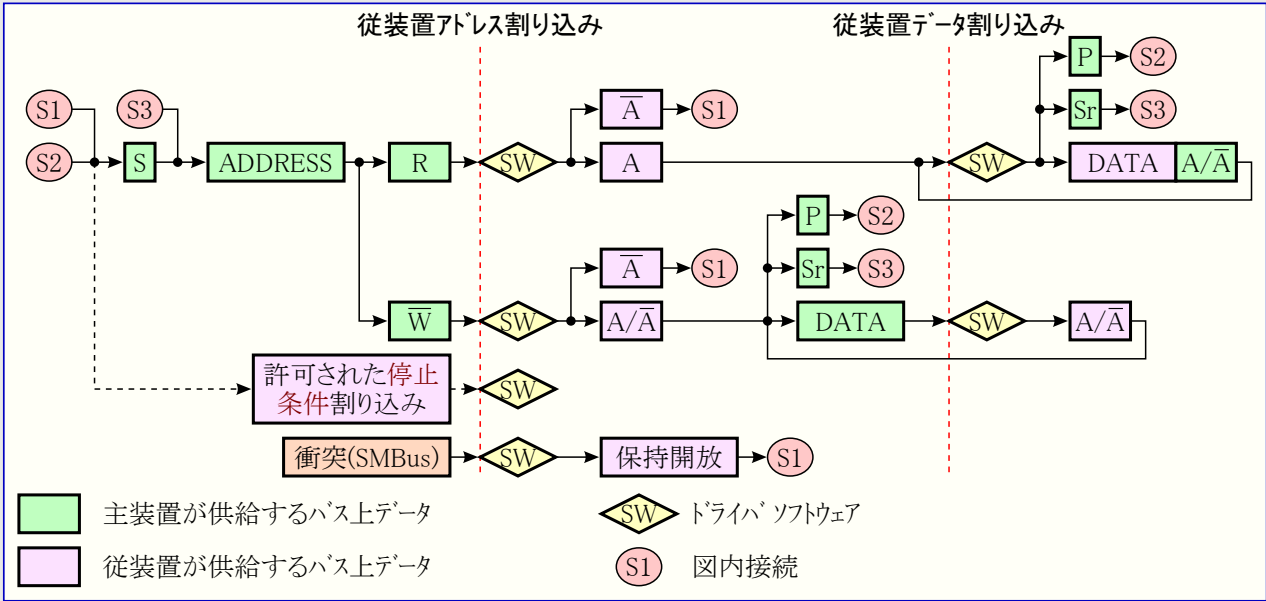
上の**状態M4**との仮定で、主装置は既に従装置から受信した1バイトを持っています。**主装置読み割り込み要求フラグ(RIF)**が設定(1)されて、主装置は新しいデータを受信する準備を行わなければなりません。主装置は**確認応答(ACK)**または**否認応答(NACK)**で各バイトに回答しなければなりません。転送の間に調停が失われ得るので、NACKを示すことは成功裏に実行されないかもしれません。衝突が検出されて主装置が調停に敗れた場合、**調停敗退(ARBLOST)フラグ**が設定(1)されます。

19.6. TWI従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。独立した従装置データ割り込みとアドレス/停止割り込みがあります。割り込みフラグはポーリング操作にも使えます。**受信した(ACK)確認応答/(NACK)否認応答(RXACK)**、**クロック保持(CLKHOLD)**、**衝突(COLL)**、**バス異常(BUSERR)**、**読み/書き方向(DIR)**を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答またはデータを扱う時間を従装置に与え、殆どの場合はソフトウェアの介入を必要とするでしょう。**図19-13**はTWI従装置動作を示します。菱形シンボル(SW)はソフトウェアの介入を必要とする場所を示します。

図19-13. TWI従装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために簡便動作を許可にできます。

全てのアドレスに応答することを従装置に許すために無差別動作(PMEN)を許可にできます。

19.6.1. アドレス パケット受信

TWI従装置が正しく構成設定されていると、検出されるべき開始条件を待ちます。これが起きると、継続してアドレスバイトが受信されてアドレス一致論理回路によって調べられ、従装置は正しいアドレスに確認応答(ACK)し、従装置データ(DATA)レジスタ内のアドレスを格納します。受信したアドレスが不一致なら、従装置は応答とアドレス格納を行わず、新しい開始条件を待ちます。

開始条件に後続する有効なアドレスバイトが検出される時に、従装置アドレス/停止割り込み要求フラグ(APIF)が設定(1)されます。一斉呼び出しアドレスもこのフラグを設定(1)します。

開始条件直後の停止条件は不正操作で、バス異常(BUSERR)フラグが設定(1)されます。

R/W方向(DIR)フラグはアドレスと共に受信された方向ビットを反映します。これは現在進行中の操作形式を決めるためにソフトウェアによって読むことができます。

R/W方向ビットとバス状況に依存して、以降のアドレスパケットで4つの別個の状態(S1~S4)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

19.6.1.1. 状態S1: アドレスパケット受け入れ - 方向ビット=1

R/W方向(DIR)フラグが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、バスクロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置ハードウェアは送信のためのデータが必要なことを示すデータ割り込み要求フラグ(DIF)を設定(1)します。その後データ、再送開始条件、停止条件が受信され得ます。従装置によって否認応答(NACK)が送出される場合、従装置は新しい開始条件とアドレス一致を待ちます。

19.6.1.2. 状態S2: アドレスパケット受け入れ - 方向ビット=0

R/W方向(DIR)フラグが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、バスクロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置は受信されるべきデータを待ちます。その後データ、再送開始条件、停止条件が受信され得ます。否認応答(NACK)が送出される場合、従装置は新しい開始条件とアドレス一致を待ちます。

19.6.1.3. 状態S3: 衝突

従装置がHighレベルまたは否認応答(NACK)を送出できない場合、衝突(COLL)フラグが設定(1)され、従装置からのデータと応答の出力が禁止されます。クロック保持は開放されます。開始条件と再送開始条件は受け入れられます。

19.6.1.4. 状態S4: 停止条件受信

停止条件が受信されると、アドレス一致発生ではなく停止条件を示す従装置アドレス/停止割り込み要求フラグ(APIF)が設定(1)されます。

19.6.2. データパケット受信

従装置は解除(0)されたR/W方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。この応答後、従装置はデータを受信する準備を整えなければなりません。データパケットが受信されると、データ割り込み要求フラグ(DIF)が設定(1)され、従装置は確認応答(ACK)または否認応答(NACK)を示さなければなりません。NACK提示後、従装置は停止条件または再送開始条件を期待して待たなければなりません。

19.6.3. データパケット送信

従装置は設定(1)されたR/ \bar{W} 方向ビットと共にアドレスパケットが成功裏に受信された時に知ります。その後に従装置データ(DATA)レジスタへの書き込みによって送出手始められます。データパケット送信が完了されると、データ割り込み要求フラグ(DIF)が設定(1)されます。主装置が否認応答(NACK)を提示する場合、従装置はデータ送信を停止し、停止条件または再送開始条件を期待して待たなければなりません。

19.7. 外部駆動部インターフェース許可

外部駆動部インターフェースを許可(EDIEN=1)できます。これが行われると、入力濾波とスレーブ制限付き内部駆動部が迂回されます。標準I/Oピン機能が使われ、方向は使用者ソフトウェアによって構成設定されなければなりません。この動作が許可されると、TWIバスに接続するために外部のTWI適合3状態駆動部が必要とされます。

既定ではポートピン0(Px0)と1(Px1)がSDAとSCLに使われます。外部駆動部インターフェースはSDA_IN、SCL_IN、SDA_OUT、SCL_OUT信号に対してポートピン0~3を使います。

19.8. レジスタ説明 – TWI

19.8.1. CTRL – 共通制御レジスタ (Common Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	–	–	–	–	–	–	SDAHOLD	EDIEN	CTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット1 – SDAHOLD : SDA保持時間許可 (SDA Hold Time Enable)

これらのビットへの1設定はSCLの負端に関してSDAの内部保持時間を許可します。

表19-1. SDA保持時間

SDAHOLD	群構成設定	内容
0 0	OFF	SDA保持時間OFF
0 1	50NS	代表的に50ns保持時間

- ビット0 – EDIEN : 外部駆動部インターフェース許可 (External Driver Interface Enable)

このビットの設定(1)が外部駆動部インターフェースの使用を許可し、このビットの解除(0)が標準2線動作を許可します。詳細については表19-2をご覧ください。

表19-2. 外部駆動部インターフェース許可

EDIEN	動作種別	注釈
0	標準TWI	2ピン インターフェース、スレーブ制御と入力濾波器付き
1	外部駆動部インターフェース	4ピン インターフェース、標準I/O、スレーブ制御と入力濾波器なし

19.9. レジスタ説明 – TWI主装置

19.9.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	INTLVL1,0		RIEN	WIEN	ENABLE	–	–	–	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – INTLVL1,0 : 割り込み段位 (Interrupt Level)

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるようにTWI主装置割り込みに対する割り込み段位を選びます。

- ビット5 – RIEN : 読み込み割り込み許可 (Read Interrupt Enable)

読み込み割り込み許可(RIEN)ビットの設定(1)は状態(STATUS)レジスタの読み込み割り込み要求フラグ(RIF)が設定(1)される時の読み込み割り込みを許可します。加えて割り込み段位(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

- ビット4 – WIEN : 書き込み割り込み許可 (Write Interrupt Enable)

書き込み割り込み許可(WIEN)ビットの設定(1)は状態(STATUS)レジスタの書き込み割り込み要求フラグ(WIF)が設定(1)される時の書き込み割り込みを許可します。加えて割り込み段位(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

- ビット3 – ENABLE : TWI主装置許可 (Enable TWI Master)

TWI主装置許可(ENABLE)ビットの設定(1)がTWI主装置を許可します。

- ビット2~0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

19.9.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	–	TIMEOUT1,0	QCEN	SMEN	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 – TIMEOUT1,0 : 不活性バス時間経過 (Inactive Bus Timeout)

不活性バス時間経過(TIMEOUT)ビットの0以外の設定は不活性バス時間経過監視器を許可します。バスがTIMEOUT設定より長く不活性なら、バス状態論理回路はアイドル状態へ移行します。表19-3は時間経過設定を一覧にします。

表19-3. TWI主装置不活性バス時間経過設置

TIMEOUT1,0	群構成設定	内容
0 0	DISABLED	禁止、通常はI ² Cに使用
0 1	50US	50μs、通常は100kHzでのSMBusに使用
1 0	100US	100μs
1 1	200US	200μs

● ビット1 – QCEN : 迅速指令許可 (Quick Command Enable)

迅速指令が許可(1)されると、従装置がアドレスに 응답した直後に対応する割り込み要求フラグが設定(1)されます(読み込みまたは書き込み割り込み)。この時点でソフトウェアは停止条件または再送開始条件のどちらかを発行することができます。

● ビット0 – SMEN : 簡便動作許可 (Smart Mode Enable)

簡便動作許可ビットの設定(1)が簡便動作を許可します。簡便動作が許可されると、制御レジスタC(CTRLC)の応答動作(ACKACT)ビットで設定されるように応答動作がデータ(DATA)レジスタ読み込み直後に送出されます。

19.9.3. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	–	–	–	–	ACKACT	CMD1,0		CTRLC
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 – ACKACT : 応答動作 (Acknowledge Action)

このビットは主装置読み込み動作での主装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。制御レジスタB(CTRLB)の簡便動作許可(SMEN)が設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表19-4は応答動作を一覧にします。

表19-4. ACKACTビット内容

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● ビット1,0 – CMD1,0 : 指令 (Command)

指令(CMD)ビットの書き込みは表19-5で定義されるような主装置動作を起動します。CMDビットはスロープ(瞬間状態保持の)ビットで、常に0として読みます。応答動作は主装置読み込み動作でだけ有効です。主装置書き込み動作では指令が再送開始条件または停止条件に終わるだけです。応答動作(ACKACT)ビットとCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

CMDビットへの指令書き込みは主装置割り込み要求フラグとクロック保持(CLKHOLD)フラグを解除(0)します。

表19-5. CMDビット内容

CMD1,0	群構成設定	動作種別	内容
0 0	NOACT	x	(予約)
0 1	START	x	再送開始条件が後続する応答動作を実行
1 0	BYTEREC	主装置書き込み	動作なし
		主装置読み込み	ハバ受信が後続する応答動作を実行
1 1	STOP	x	停止条件が後続する応答動作を実行

19.9.4. STATUS – 状態レジスタ (Status register)

ビット +\$03	7	6	5	4	3	2	1	0	STATUS
	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – RIF : 読み込み割り込み要求フラグ (Read Interrupt Flag)

このフラグは主装置読み込み動作でバイトが成功裏に受信された、換言すると動作中に調停敗退またはバス異常発生がない時に設定(1)されます。このビット位置への1書き込みはRIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグは次の時にも自動的に解除(0)されます。

- TWI主装置アドレス(ADDR)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタ読み込み
- 制御レジスタ(CTRLC)の指令(CMD)ビットへの有効な指令書き込み

● ビット6 – WIF : 書き込み割り込み要求フラグ (Write Interrupt Flag)

このフラグは主装置書き込み動作でバイトが送信された時に設定(1)されます。このフラグはバス異常の発生または調停敗退状況と無関係に設定(1)されます。WIFは主装置読み込み動作で否認応答(NACK)の送出中に調停が失われた場合、バス状態が未知の時に開始条件を発行した場合にも設定(1)されます。このビット位置への1書き込みはWIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット5 – CLKHOLD : クロック保持フラグ (Clock Hold)

このフラグは主装置がSCL線をLowに保持するときに設定(1)されます。これは状態フラグで、読み込み割り込み要求フラグ(RIF)と書き込み割り込み要求フラグ(WIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット4 – RXACK : 受信応答フラグ (Received Acknowledge)

このフラグは従装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、従装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

● ビット3 – ARBLOST : 調停敗退フラグ (Arbitration Lost)

このフラグはHighのデータビット、否認応答(NACK)の送信、またはバス上の開始条件や再送開始条件の発行中で調停に敗れた場合に設定(1)されます。このビット位置への1書き込みはARBLOSTを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはARBLOSTを自動的に解除(0)します。

● ビット2 – BUSERR : バス異常フラグ (Bus Error)

このフラグは不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は直前の開始条件からのビット数が9の倍数でない再送開始条件や停止条件が検出された場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはBUSERRを自動的に解除(0)します。

● ビット1,0 – BUSSTATE1,0 : バス状態フラグ (Bus State)

これらのフラグは表19-6.で定義されるように現在のTWIバス状態を示します。バス状態の変化はバスの動きに依存します。148頁の「バス状態論理」を参照してください。

BUSSTATEビットへの01書き込みはバス状態論理をアイドル状態に強制します。バス状態論理は他のどの状態にも強制できません。リセット後と主装置が禁止される時にバス状態論理は禁止され、バス状態が未知になります。

表19-6. TWI主装置バス状態

BUSSTATE1,0	群構成設定	内容
0 0	UNKNOWN	未知のバス状態
0 1	IDLE	アイドルバス状態
1 0	OWNER	所有者バス状態
1 1	BUSY	使用中バス状態

19.9.5. BAUD – ボーレートレジスタ (Baud Rate register)

ビット	7	6	5	4	3	2	1	0	
+\$04	BAUD7~0								BAUD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ボーレート(BAUD)レジスタはシステムクロックとTWIバスクロック(SCL)周波数間の関係を定義します。この周波数関係は次式を使うことによって表すことができます。

$$f_{TWI} = \frac{f_{SYS}}{2 \times (5 + BAUD)} \text{ [Hz]} \dots\dots\dots \text{式1.}$$

BAUDレジスタは応用がどちらの規格に従うべきかに依存して100kHzまたは400kHzと等しいかまたはそれ以下のTWIバス周波数(f_{TWI})での結果となる値に設定されなければなりません。次式(式2.)はBAUD値用に解決された式1.を表します。

$$BAUD = \frac{f_{SYS}}{2 \times f_{TWI}} - 5 \dots\dots\dots \text{式2.}$$

SCLクロックは50/50のデューティサイクルを持つように設計されます。周波数が400kHzに近づく時にLow時間必要条件が合致するのを保証するため、BAUDは式2.で得られるものよりも高く設定されることが必要かもしれません。

SCLのLow時間とBAUD間の関係は次式によって表されます。

$$BAUD = (t_{LOW} + t_{of}) \times f_{SYS} - 5 \dots\dots \text{式3.}$$

最高BAUD値を与える式2.と式3.の結果が使われるべきです。

BAUDレジスタは主装置が禁止されている間にだけ書かれるべきです。

19.9.6. ADDR – アドレスレジスタ (Address register)

ビット	7	6	5	4	3	2	1	0	
+\$05	ADDR7~0								ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

バスがアイドルの間に従装置アドレスとR/Wビットと共にアドレス(ADDR)レジスタが書かれると、**開始条件**が発行され、7ビットアドレスとR/Wビットがバス上に送信されます。ADDRが書かれる時にバスが既に所有者なら、**再送開始条件**が発行されます。直前の転送処理が主装置読み込みで**否認応答(NACK)**が未だ送られていない場合、**再送開始条件**の前に**応答動作**が送出されます。

動作が完了して従装置からの応答ビットが受信された後、調停が失われていなければ、SCL線はLowを強制されます。**書き込み割り込み要求フラグ(WIF)**が設定(1)されます。

ADDRが書かれた時にバス状態が未知の場合、WIFが設定(1)され、**バス異常(BUSERR)**が設定(1)されます。

全てのTWI主装置フラグはADDRが書かれた時に自動的に解除(0)されます。これにはBUSERR、**調停敗退(ARBLST)**、**読み込み割り込み要求(RIF)**、WIFを含みます。主装置ADDRレジスタは実行中のバス動作での妨害を除いて何時でも読むことができます。

19.9.7. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$06	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータを送受信する時に使われます。データ転送中、データはバスとDATAレジスタ間で移動されます。これはバイト転送中にDATAレジスタがアクセスできないことを意味し、これはハードウェアで保護されています。データレジスタは主装置によってSCL線がLowを保持している時、換言すると**クロック保持(CLKHOLD)フラグ**が設定(1)されている時にだけアクセスできます。

主装置書き込み動作ではDATAレジスタ書き込みがデータバイト転送を起動し、続いて主装置は従装置からの応答ビットを受信します。**書き込み割り込み要求フラグ(WIF)**とCLKHOLDフラグが設定(1)されます。

主装置読み込み動作では1バイトがDATAレジスタに受信された時に、**読み込み割り込み要求フラグ(RIF)**とCLKHOLDが設定(1)されます。**簡便動作**が許可の場合、DATAレジスタ読み込みは**応答動作(ACKACT)ビット**での設定のようにバス操作を起動します。受信中にバス異常が起きた場合、RIFの代わりにWIFと**バス異常(BUSERR)フラグ**が設定(1)されます。

DATAレジスタのアクセスは主装置割り込み要求フラグとCLKHOLDフラグを解除(0)します。

19.10. レジスタ説明 – TWI従装置

19.10.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7,6 – INTLVL1,0 : 割り込み段位 (Interrupt Level)**

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるようにTWI従装置割り込みに対する割り込み段位を選びます。

- **ビット5 – DIEN : データ割り込み許可 (Data Interrupt Enable)**

データ割り込み許可(DIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのデータ割り込み要求フラグ(DIF)が設定(1)される時のデータ割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込み段位(INTLVL)ビットが0以外でなければなりません。

- **ビット4 – APIEN : アドレス/停止割り込み許可 (Address/Stop Interrupt Enable)**

アドレス/停止割り込み許可(APIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)が設定(1)される時のアドレス/停止割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込み段位(INTLVL)ビットが0以外でなければなりません。

- **ビット3 – ENABLE : TWI従装置許可 (Enable TWI Slave)**

このビットの設定(1)がTWI従装置を許可します。

- **ビット2 – PIEN : 停止条件割り込み許可 (Stop Interrupt Enable)**

このビットの設定(1)は停止条件が検出された時にTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)を設定(1)させます。

- **ビット1 – PMEN : 無差別動作許可 (Promiscuous Mode Enable)**

このビットの設定(1)によって、従装置アドレス一致論理回路は全ての受信アドレスに応答します。このビットが解除(0)される場合、アドレス一致論理回路は自身のアドレスとしてどのアドレスを認証するかを決めるのにTWI従装置アドレス(ADDR)レジスタを使います。

- **ビット0 – SMEN : 簡便動作許可 (Smart Mode Enable)**

このビットは簡便動作を許可します。簡便動作が許可(1)されると、TWI従装置データ(DATA)レジスタ読み込み直後にTWI従装置制御レジスタB(CTRLB)の応答動作(ACKACT)ビットで設定されるように応答動作が送出されます。

19.10.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	-	-	ACKACT	CMD1,0		CTRLB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~3 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット2 – ACKACT : 応答動作 (Acknowledge Action)**

このビットは主装置から受信したアドレスまたはデータの後での従装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。TWI従装置制御レジスタA(CTRLA)の簡便動作許可(SMEN)ビットが設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表19-7は応答動作を一覧にします。

表19-7. TWI従装置応答動作

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● ビット1,0 – CMD1,0 : 指令 (Command)

これらのビットの書き込みは表19-8.で定義されるような従装置動作を起動します。CMDビットはスローフ(瞬間だけ状態保持の)ビットで、常に0として読みます。動作は従装置割り込み要求フラグ、データ割り込み要求フラグ(DIF)とアドレス/停止割り込み要求フラグ(APIF)に依存します。応答動作は従装置が主装置からのアドレスバイトまたはデータバイトを受信した時にだけ実行されます。

表19-8. TWI従装置指令

CMD1,0	群構成設定	方向(DIR)	動作
0 0	NOACT	x	動作なし
0 1	-	x	(予約)
1 0	COMPLETE	完全な転送処理に使用	
		0	何れかの開始条件または再送開始条件の待機が後続する応答動作を実行
		1	何れかの開始条件または再送開始条件の待機
1 1	RESPONSE	アドレスバイト(アドレス/停止割り込み要求フラグ(APIF)=1)への応答で使用	
		0	次バイト受信が後続する応答動作を実行
		1	設定(1)されつつあるデータ割り込み要求フラグ(DIF)が後続する応答動作を実行
		データバイト(データ割り込み要求フラグ(DIF)=1)への応答で使用	
		0	次バイト待機が後続する応答動作を実行
		1	動作なし

CMDビット書き込みは従装置割り込み要求フラグとクロック保持(CLKHOLD)フラグを解除(0)し、SCL線を開放します。応答動作(ACKACT)ビットとCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

19.10.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$02	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – DIF : データ割り込み要求フラグ (Data Interrupt Flag)

このフラグはデータバイトが成功裏に受信された、換言すると動作中に衝突またはバス異常が起きない時に設定(1)されます。このビット位置への1書き込みはDIFを解除(0)します。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグはTWI従装置制御レジスタB(CTRLB)の指令(CMD)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● ビット6 – APIF : アドレス/停止割り込み要求フラグ (Address/Stop Interrupt Flag)

このフラグは有効なアドレスが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。TWI従装置制御レジスタA(CTRLA)の停止条件割り込み許可(PIEN)ビットが設定(1)なら、バスの停止条件もAPIFを設定(1)します。このビット位置への1書き込みはAPIFを解除(0)します。アドレス割り込みに対して設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグはデータ割り込み要求フラグ(DIF)と同じ条件についても自動的に解除(0)されます。

● ビット5 – CLKHOLD : クロック保持フラグ (Clock Hold)

このフラグは従装置がSCL線をLowに保持する時に設定(1)されます。これは状態フラグで、データ割り込み要求フラグ(DIF)またはアドレス/停止割り込み要求フラグ(APIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

● ビット4 – RXACK : 受信応答フラグ (Received Acknowledge)

このフラグは主装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、主装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

● ビット3 – COLL : 衝突フラグ (Collision)

このフラグは従装置がHighのデータビット、否認応答(NACK)ビットを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置はデータと応答の出力を禁止し、Low値がSDA線に移動出力されない通常動作を始めます。このビット位置への1書き込みはCOLLを解除(0)します。

このフラグは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

● **ビット2 – BUSERR : TWI従装置バス異常フラグ** (TWI Slave Bus Error)

このフラグは転送中に不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は**再送開始条件**または**停止条件**が検出され、直前の**開始条件**からのビット数が9の倍数でない場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。

検出されるべきバス異常に関してはバス状態論理回路が許可されていなければなりません。これは**TWI主装置を許可**することによって行われます。

● **ビット1 – DIR : 読み/書き方向フラグ** (Rwad/Write Direction)

読み/書き方向(DIR)フラグは主装置から受信した最後のアドレスパケットからの方向ビットを反映します。このビットが1として読めると、主装置読み込み動作が進行中です。0として読める時は主装置書き込み動作が進行中です。

● **ビット0 – AP : 従装置アドレス/停止条件フラグ** (Slave Address or Stop)

このフラグは**TWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)**の最後の設定を有効なアドレスまたは停止条件のどちらが起したかを示します。

表19-9. TWI従装置 アドレスまたは停止条件

AP	内容
0	停止条件がAPIFの割り込みを生成
1	アドレス検出がAPIFの割り込みを生成

19.10.4. ADDR – アドレスレジスタ (Address register)

TWI従装置アドレスレジスタはTWIが応答するために(ADDRの上位7ビット内に)7ビットの従装置アドレスを格納されるべきです。ADDRの最下位ビットは一斉呼び出しアドレス(\$00)の認証に使われます。

ビット	7	6	5	4	3	2	1	0	
+ \$03	ADDR7~1							ADDR0	ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~1 – ADDR7~1 : TWI従装置アドレス** (TWI Slave Address)

このレジスタは主装置が従装置をアドレス指定しているかを判断するための従装置アドレス一致論理回路によって使用されるTWI従装置アドレスを含みます。上位7ビット(ADDR7~1)が従装置アドレスを表します。

10ビット アドレス使用時、アドレス一致論理回路は10ビット アドレスの最初のバイトのハードウェア アドレス認証を支援するだけです。ADDR7~1='11110nn'設定で、'nn'は従装置アドレスのビット9と8を表します。次の受信バイトが10ビット アドレスのビット7~0で、これはソフトウェアによって扱われなければなりません。

有効なアドレス バイトが受信されたことをアドレス一致論理回路が検知すると、**アドレス/停止割り込み要求フラグ(APIF)**が設定(1)され、**読み/書き方向(DIR)フラグ**が更新されます。

従装置制御レジスタA(CTRLA)の無差別動作許可(PMEN)ビットが設定(1)なら、アドレス一致論理回路はTWIバス上に送信された全てのアドレスに**応答**します。ADDRレジスタはこの動作種別で使われません。

● **ビット0 – ADDR0 : 一斉呼び出し認証許可** (General Call Recognition Enable)

ADDR0設定(1)時に、これは一斉呼び出しアドレス認証論理回路を許可し、故に装置はバス上の全ての装置をアドレス指定する一斉呼び出しに**応答**することができます。

19.10.5. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+ \$04	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータを送受信する時に使われます。データ転送中、データはバスとDATAレジスタ間で移動されます。これはバイト転送中にDATAレジスタがアクセスできないことを意味し、これはハードウェアで保護されています。データレジスタは従装置によってSCL線がLowを保持している時、換言すると**クロック保持(CLKHOLD)フラグ**が設定(1)されている時にだけアクセスできます。

主装置が従装置からデータを読むとき、送出すべきデータがDATAレジスタに書かれます。主装置が従装置からデータバイトのクロック駆動を始める時にバイト転送が開始され、続いて従装置は主装置からの**応答ビット**を受信します。**データ割り込み要求フラグ(DIF)**と**CLKHOLD**が設定(1)されます。

主装置が従装置にデータを書くとき、1バイトがDATAレジスタに受信された時にDIFとCLKHOLDが設定(1)されます。**簡便動作**が許可の場合、DATAレジスタ読み込みは**応答動作(ACKACT)ビット**での設定のようにバス操作を起動します。

DATAレジスタのアクセスは従装置割り込み要求フラグとCLKHOLDフラグを解除(0)します。アドレス一致が起こると、受信したアドレスはDATAレジスタ内に格納されます。

19.10.6. ADDRMASK – アドレス遮蔽レジスタ (Address Mask register)

ビット +\$05	7	6	5	4	3	2	1	0	ADDRMASK
	ADDRMASK7~0								ADDREN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	0	0	0	0	0	0	0	0	0

● ビット7~1 – ADDRMASK7~1 : 第2従アドレス/アドレス遮蔽 (Second Slave Address/Address Mask)

これらのビットはアドレス許可(ADDREN)ビット設定に依存して、第2アドレス一致レジスタまたはアドレス遮蔽レジスタとして働きます。

ADDRENが0に設定される場合、ADDRMASKは7ビットの従装置アドレス遮蔽を格納することができます。ADDRMASK内の各ビットは従装置アドレス(ADDR)レジスタ内の対応するアドレスビットを遮蔽(禁止)することができます。遮蔽ビットが1の場合に到着アドレスビットとADDR内の対応するビット間のアドレス一致が無視されます。換言すると、遮蔽されたビットは常に一致します。

ADDRENが1に設定される場合、ADDRMASKはADDRレジスタに加えて第2従装置アドレスを格納することができます。この動作では従装置がADDRの1つとADDRMASKの別の1つで2つの独自のアドレスに一致します。

● ビット0 – ADDREN : アドレス許可 (Address Enable)

既定によるこのビットは0で、ADDRMASKビットはADDRレジスタに対するアドレス遮蔽として働きます。このビットが1に設定される場合、従装置アドレス一致論理回路はADDRとADDRMASK内の2つの独自のアドレスに応答します。

19.11. レジスタ要約 – TWI

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$08	従装置					従装置差分アドレス				
+\$01	主装置					主装置差分アドレス				
+\$00	CTRL	-	-	-	-	-	-	SDAHOLD	EDIEN	152

19.12. レジスタ要約 – TWI主装置

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$06	DATA					DATA7~0				155
+\$05	ADDR					ADDR7~0				155
+\$04	BAUD					BAUD7~0				155
+\$03	STATUS	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		154
+\$02	CTRLC	-	-	-	-	-	ACKACT	CMD1,0		153
+\$01	CTRLB	-	-	-	-	TIMEOUT1,0		QCEN	SMEN	153
+\$00	CTRLA	INTLVL1,0		RIEN	WIEN	ENABLE	-	-	-	152

19.13. レジスタ要約 – TWI従装置

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$05	ADDRMASK					ADDRMASK7~1				ADDREN	159
+\$04	DATA					DATA7~0				158	
+\$03	ADDR					ADDR7~0				158	
+\$02	STATUS	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	157	
+\$01	CTRLB	-	-	-	-	-	ACKACT	CMD1,0		156	
+\$00	CTRLA	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	156	

19.14. 割り込みベクタ要約

表19-10. TWI割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	SLAVE_vect	TWI従装置割り込みベクタ
\$02	MASTER_vect	TWI主装置割り込みベクタ

20. SPI – 直列周辺インターフェース

20.1. 要点

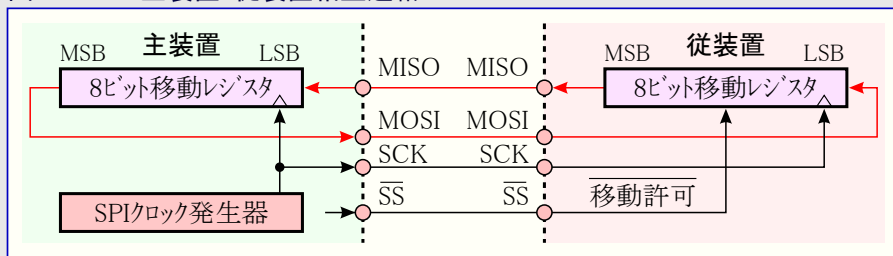
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

20.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはXMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が図20-1.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)ピンをLowに引くことによって通信周回を開始します。主装置と従装置は送るべきデータをそれらの各々の移動レジスタに用意して、データを交換するためにSCK線上に必要なとするクロックパルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へ移動されます。各データパケット後、主装置はSS線をHighに引くことによって従装置を同期化することができます。

図20-1. SPI主装置-従装置相互連絡



SPI単位部は送信方向で緩衝なし、受信方向で単一緩衝されています。これは移動周期全体が完了される前に送信されるべきデータがSPIデータ(DATA)レジスタに書けないことを意味します。データ受信時、受信したデータは次のデータが完全に移動入力される前に読まなければならない。さもなければ、最初のバイトが失われます。

SPI従装置動作では制御回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、最小Low及びHigh区間は2 CPUクロック周期よりも長くしなければなりません。

SPI単位部が許可されると、MOSI,MISO,SCK,SSピンのデータ方向は表20-1.に従って無効化されます。使用者定義方向のピンは応用に対応した正しい方向になるようにソフトウェアから構成設定されなければなりません。

表20-1. SPIピン無効化と方向

ピン	主装置時方向	従装置時方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
SS	使用者定義	入力

20.3. 主装置動作

主装置動作で、SPIはSSピンの自動制御がありません。SSピンが使われる場合、それは出力として構成設定され、使用者ソフトウェアによって制御されなければなりません。バスが多数の従装置や主装置から成る場合、SPI主装置はバス上の従装置の各々へのSS線を制御するのに汎用I/Oピンを使うことができます。

データ(DATA)レジスタへのバイト書き込みがSPIクロック発生器を起動し、ハードウェアが選んだ従装置への8ビット移動を行います。1バイトの移動後、SPIクロック発生器が停止し、SPI割り込み要求フラグ(IF)が設定(1)されます。主装置はデータレジスタへ新しいデータを書くことによって次のバイトの移動を続けるか、またはSS線をHighに引くことによって転送終了を合図することができます。最後に到着したバイトは緩衝レジスタに保持されています。

SSピンが使われずに入力として構成設定された場合、主装置動作を保証するためにHighに保持されなければなりません。SSピンが入力でLowに駆動される場合、SPI単位部はこれをバス制御を取得するための他の主装置の試みとして解釈します。バス衝突を避けるため、主装置は次の動作を行います。

1. 主装置は従装置動作へ移行します。
2. SPI割り込み要求フラグが設定(1)されます。

20.4. 従装置動作

従装置動作では、 \overline{SS} ピンがHighに駆動されている限り、SPIインターフェースはHi-ZにされたMISO線での休止に留まります。この状態で、ソフトウェアはデータ(DATA)レジスタの内容を更新できますが、 \overline{SS} ピンがLowに駆動されるまで、そのデータはSCKピンでの到着クロックパルスによって移動出力されません。 \overline{SS} がLowに駆動された場合、従装置は最初のSCKクロックパルスでデータの移動出力を開始します。1バイトが完全に移動されると、SPI割り込み要求フラグ(IF)が設定(1)されます。従装置は到着データを読む前に送るべき新しいデータをデータレジスタに置いて(動作を)継続できます。最後に到着したバイトは緩衝レジスタに保持されています。

\overline{SS} がHighに駆動されると、SPI論理回路はリセットし、そしてSPI従装置はどの新しいデータも受信しません。移動レジスタ内の何れの部分的な受信パケットも取り落とされます。

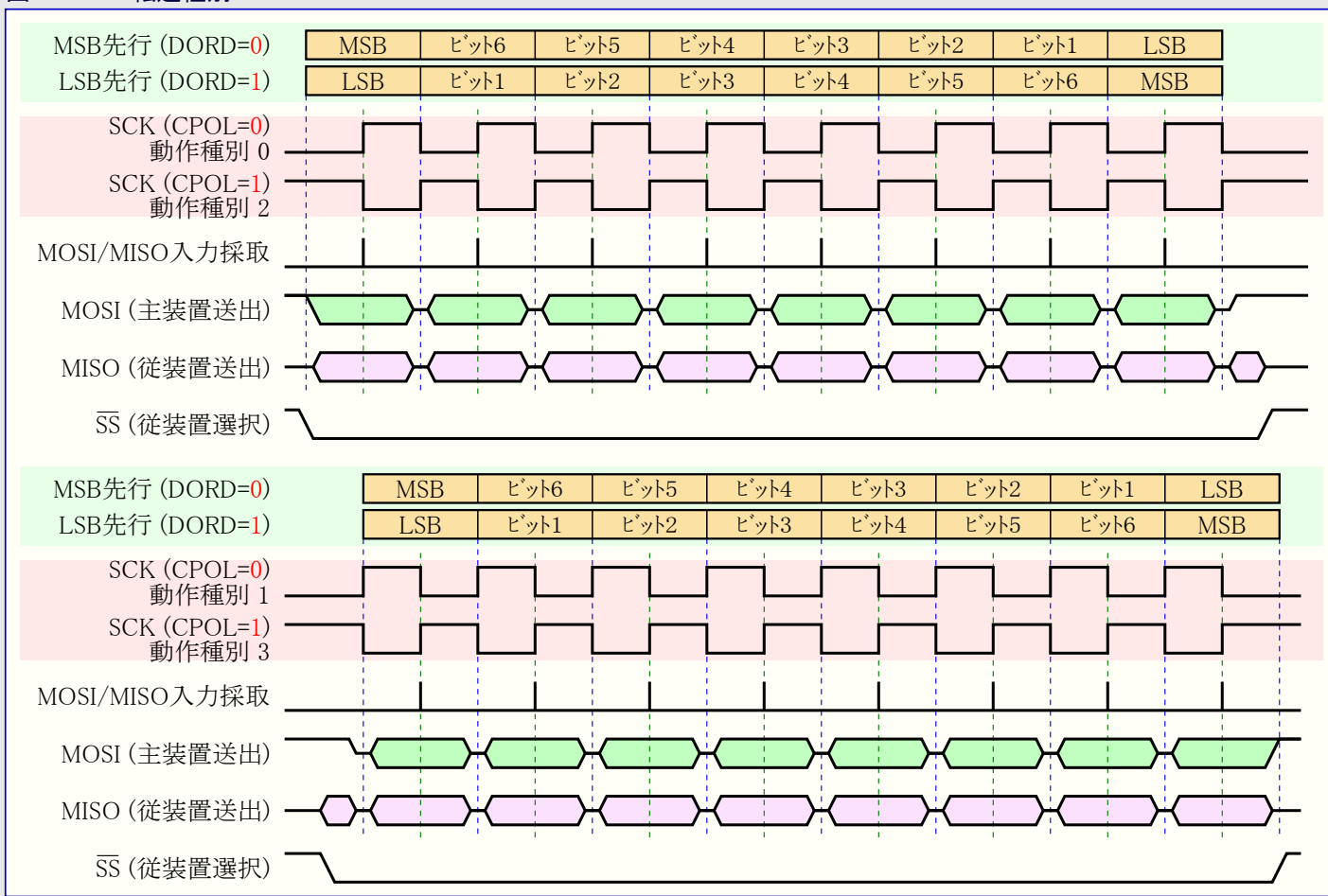
\overline{SS} ピンが転送の開始と終了の合図に使われるので、これはパケット/バイト同期、主装置クロック発生器での従装置ビット計数器同期維持にも有用です。

20.5. データ転送種別

直列データに関してSCKの位相と極性で4つの組み合わせがあります。SPIデータ転送形式が図20-2.で示されます。データビットはSCK信号の逆端で移動出力とラッチが行われ、これはデータ信号安定のための十分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図20-2. SPI転送種別



20.6. DMA支援

SPI単位部でのDMA支援は従装置動作でだけ利用可能です。SPI従装置は1バイトがデータ(DATA)レジスタ内に移動された時にDMA転送を起動できます。主装置動作でDMA支援を得るためにXMEGA USARTをSPI動作に設定することが可能です。詳細については172頁の「主装置SPI動作でのUSART」を参照してください。

20.7. レジスタ説明

20.7.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7 – CLK2X : SPIクロック倍速 (SPI Clock Double)**

このビットが設定(1)されると、SPI速度(SCK周波数)が主装置動作で2倍にされます(表20-3をご覧ください)。

- **ビット6 – ENABLE : SPI許可 (SPI Enable)**

このビットの設定(1)がSPI単位部を許可します。このビットはどのSPI操作をも可能とするために設定(1)されなければなりません。

- **ビット5 – DORD : データ順 (Data Order)**

DORDはバイトがデータ(DATA)レジスタから移動出力される時のデータ順を決めます。DORDが1を書かれると、データバイトの最下位ビット(LSB)が最初に送信され、DORDが0を書かれると、データバイトの最上位ビット(MSB)が最初に送信されます。

- **ビット4 – MASTER : 主/従選択 (Master/Slave Select)**

このビットは1の時に主装置動作を、0の時に従装置動作を選びます。 \overline{SS} が入力として構成設定され、MASTERが設定(1)されている間にLowへ駆動される場合、MASTERは解除(0)されます。

- **ビット3,2 – MODE1,0 : SPI動作種別 (SPI Mode)**

これらのビットは転送種別を選びます。直列データに関するSCKの位相と極性での4つの組み合わせが表20-2で示されます。これらのビットはクロック周期での先頭端(先行端)が上昇または下降のどちらか、データの設定と採取が先行端または後行端のどちらかを決めます。

先行端が上昇の時のSCKはアイドル時にLowで、先行端が下降の時のSCKはアイドル時にHighです。

表20-2. SPI転送動作種別

MODE1,0	群構成設定	SCK先行端	SCK後行端
0 0	0	上昇端, 入力採取	下降端, 出力設定
0 1	1	上昇端, 出力設定	下降端, 入力採取
1 0	2	下降端, 入力採取	上昇端, 出力設定
1 1	3	下降端, 出力設定	上昇端, 入力採取

- **ビット1,0 – PRESCALER1,0 : SPIクロック前置分周 (SPI Clock Prescaler)**

これら2ビットは主装置動作に構成設定されたデバイスのSCK速度を制御します。これらのビットは従装置動作で無効です。SCKと周辺機能クロック周波数(clkPER)間の関連は表20-3で示されます。

表20-3. SCKと周辺機能クロック周波数(clkPER)間の関連

CLK2X	PRESCALER1,0	SCK周波数
0	0 0	clkPER/4
0	0 1	clkPER/16
0	1 0	clkPER/64
0	1 1	clkPER/128
1	0 0	clkPER/2
1	0 1	clkPER/8
1	1 0	clkPER/32
1	1 1	clkPER/64

20.7.2. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	–	–	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ビット7~2 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- **ビット1,0 – INTLVL1,0 : 割り込み段位 (Interrupt Level)**

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みはSPI状態(STATUS)レジスタのSPI割り込み要求フラグ(IF)が設定(1)される時に起動されます。

20.7.3. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$02	IF	WRCOL	–	–	–	–	–	–	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – IF : 割り込み要求フラグ (Interrupt Flag)

このフラグは直列転送が完了して1バイトがデータ(DATA)レジスタで完全に移動入出力された時に設定(1)されます。SPIが主装置動作の時にSSが入力として構成設定され、Lowに駆動された場合、これもこのフラグを設定(1)します。IFは対応する割り込みベクタ実行時、自動的に解除(0)されます。代わりにIFフラグはIFが1の時に最初にSTATUSレジスタを読み、その後にDATAレジスタをアクセスすることによっても解除(0)されます。

● ビット6 – WRCOL : 上書き発生フラグ (Write Collision Flag)

このフラグはデータ転送中にデータ(DATA)レジスタが書かれた場合に設定(1)されます。このフラグはWRCOLが1の時に最初にSTATUSレジスタを読み、その後にDATAレジスタをアクセスすることによっても解除(0)されます。

● ビット5~0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

20.7.4. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$03	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータの送受信に使われます。このレジスタへの書き込みはデータ送信を開始し、このレジスタに書かれたバイトがSPI出力線へ移動出力されます。このレジスタの読み込みは移動レジスタ受信緩衝部の読み出しを引き起こし、成功裏に受信した最終バイトが返ります。

20.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	DATA	DATA7~0								163
+\$02	STATUS	IF	WRCOL	–	–	–	–	–	–	163
+\$01	INTCTRL	–	–	–	–	–	–	INTLV1,0		162
+\$00	CTRL	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		162

20.9. 割り込みベクタ要約

表20-4. SPI割り込みベクタとその変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	SPI_vect	SPI割り込みベクタ

21. USART

21.1. 要点

- 全二重動作
- 非同期と同期での動作
 - デバイス クロック周波数の1/2までの同期クロック速度
 - デバイス クロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データビットと1, 2停止ビットの直列フレーム支援
- 分数ボーレート発生器
 - どのシステム クロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データ オーバランとフレーミング異常の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データレジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
 - 2重緩衝された動作
 - 構成設定可能なデータ順
 - 周辺機能クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)単位部

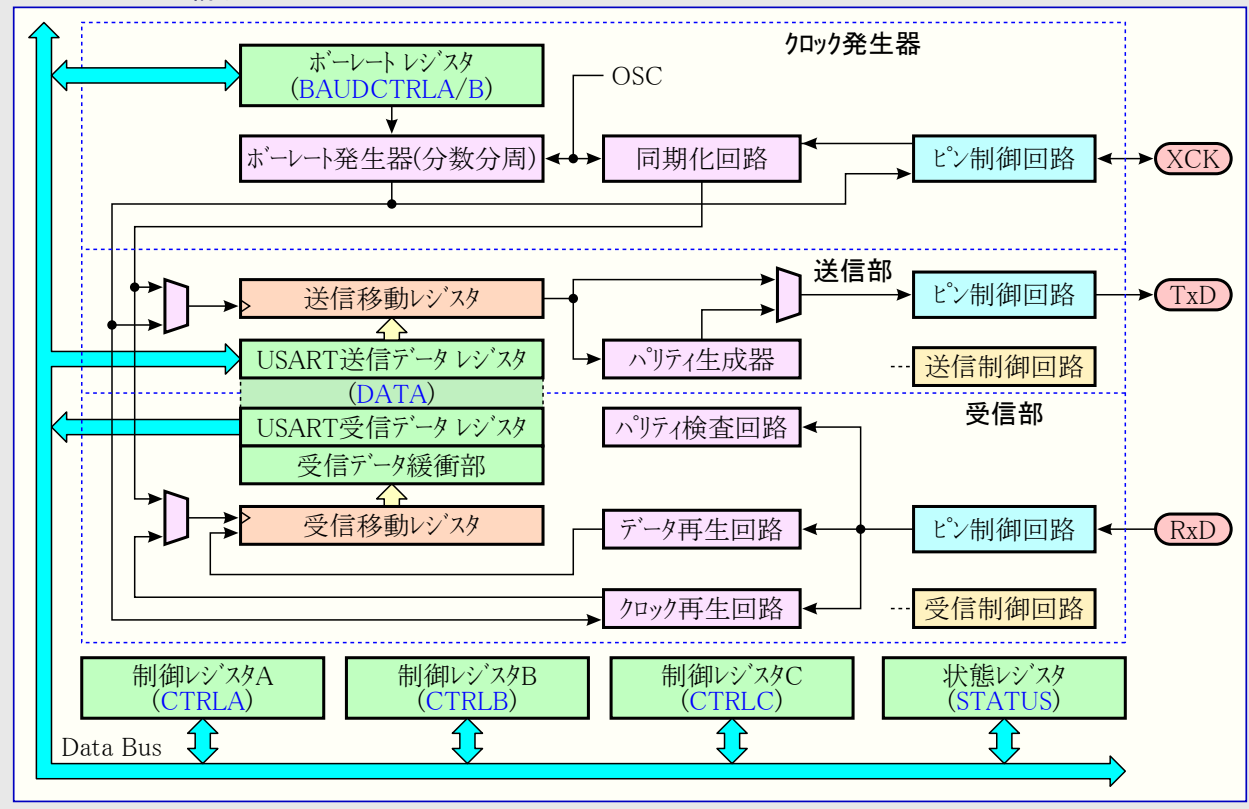
21.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置形態での動作に構成設定してSPI通信に使うことができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。フレーミング異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

USARTの構成図が図21-1.で示されます。主な機能部は破線枠で示されるクロック発生器、送信部、受信部です。

図21-1. USART構成図



クロック生成部はどのシステムクロック周波数からでも広範囲のUSARTボーレートを発生できる**分数ボーレート発生器**を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

送信部は単一書き込み緩衝部(DATA)、移動レジスタ、パリティ生成器から成ります。書き込み緩衝はフレーム間のどんな遅延もなしに連続データ送信を許します。

受信部は2段の受信緩衝部(DATA)と移動レジスタから成ります。データとクロックの再生部が非同期データ受信中の頑強な同期化と雑音濾波を保証します。これには**フレーミング異常**、**緩衝部溢れ**、**パリティ誤り**の検出を含みます。

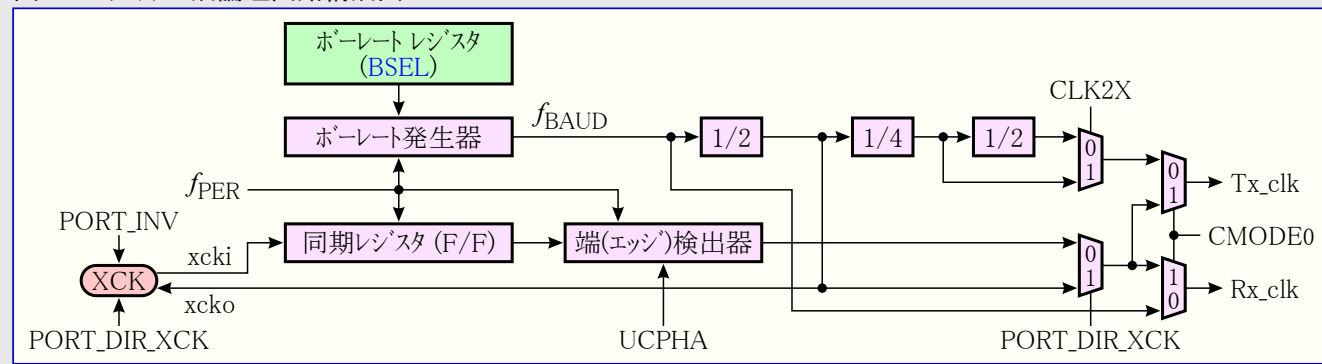
USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。詳細については179頁の「**IRCOM - 赤外線通信単位部**」を参照してください。

21.3. クロック生成

クロックはボーレート発生に使われ、データビットの移動と採取に関しては内部的に分数ボーレート発生器、または外部的に転送クロック(XCK)ピンから生成されます。標準と倍速の非同期動作、主装置と従装置の同期動作、主装置SPI動作の5つの動作のクロック生成が支援されます。

図21-2. クロック生成論理回路構成図



21.3.1. 内部クロック生成 - 分数ホーレート発生器

分数ホーレート発生器は、非同期動作、同期主装置動作、SPI主装置動作に対する内部クロック生成に使われます。生成された出力周波数(f_{BAUD})は周期設定(BSEL)、任意選択の倍率設定(BSCALE)、周辺機能クロック周波数(f_{PER})によって決められます。表21-1は各動作種別に対する、(秒当たりのビット数での)ホーレートの計算とBSEL値の計算用の式を含みます。これは周辺機能クロック周波数に対する最大ホーレートも示します。BSELは0~4095間のどの値にも設定できます。BSCALEは-7~+7間のどの値にも設定でき、ホーレート発生器の分数ホーレート倍率を提供するためにホーレートを僅かに増減します。

BSELが0の時にBSCALEも0でなければなりません。また、値 $2^{\text{ABS}(BSCALE)}$ はフレームが取る最小クロック周期数の少なくとも半分でない限りなりません。詳細については171頁の「分数ホーレート生成」をご覧ください。

表21-1. ホーレートレジスタ設定計算式

動作種別	条件	ホーレート計算式	BSEL値計算式
標準速 非同期動作 (CLK2X=0)	$BSCALE \geq 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{BSCALE} \times 16 \times (BSEL+1)}$	$BSEL = \frac{f_{\text{PER}}}{2^{BSCALE} \times 16 \times f_{\text{BAUD}}} - 1$
	$BSCALE < 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{16 \times ((2^{BSCALE} \times BSEL) + 1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{\text{PER}}}{16 \times f_{\text{BAUD}}} \right) - 1$
倍速 非同期動作 (CLK2X=1)	$BSCALE \geq 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{BSCALE} \times 8 \times (BSEL+1)}$	$BSEL = \frac{f_{\text{PER}}}{2^{BSCALE} \times 8 \times f_{\text{BAUD}}} - 1$
	$BSCALE < 0, f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{8 \times ((2^{BSCALE} \times BSEL) + 1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{\text{PER}}}{8 \times f_{\text{BAUD}}} \right) - 1$
同期及び SPI主装置動作	$f_{\text{BAUD}} < \frac{f_{\text{PER}}}{2}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2 \times (BSEL+1)}$	$BSEL = \frac{f_{\text{PER}}}{2 \times f_{\text{BAUD}}} - 1$

注: ホーレートは転送速度(ビット/1秒)で定義されます。

BSEL=0に関して、全てのホーレートはBSCALE設定の代わりにBSEL変更によって達成されなければなりません。

$BSEL = (2^{\text{望む}BSCALE} - 1)$

BSCALE	BSEL	⇒	BSCALE	BSEL
1	0	⇒	0	1
2	0	⇒	0	3
3	0	⇒	0	7
4	0	⇒	0	15
5	0	⇒	0	31
6	0	⇒	0	63
7	0	⇒	0	127

21.3.2. 外部クロック

外部クロック(XCK)は同期従装置動作で使われます。XCKクロック入力周辺機能クロック(f_{PER})によって採取され、最大外部XCKクロック周波数(f_{XCK})は次式によって制限されます。

$$f_{\text{XCK}} < \frac{f_{\text{PER}}}{4}$$

HighとLowの区間の各々に対して、XCKクロック周期は周辺機能クロックによって2度採取されなければなりません。XCKクロックに細動がある場合、またはHigh/Low区間のデューティサイクルが50%/50%でない場合、それに応じてXCKクロック速度が低減、または周辺機能クロックが増加されなければなりません。

21.3.3. 倍速動作 (CLK2X)

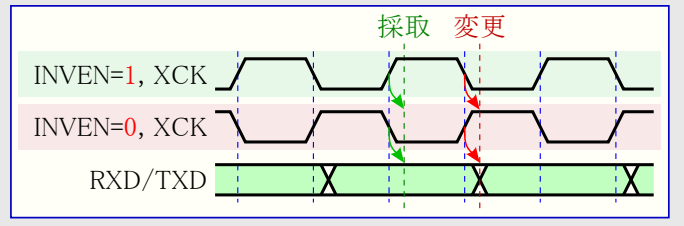
倍速動作は非同期動作下でより低い周辺機能クロック周波数でのより高いホーレートを許します。これが許可されると、表21-1.で示されるように非同期ホーレート設定を与えるためのホーレートが倍にされます。この動作では受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を用います。減らされた採取のため、より高い精度のホーレートと周辺機能クロックが必要とされます。より多くの詳細については170頁の「非同期データ受信」をご覧ください。

21.3.4. 同期クロック動作

同期動作が使われるとき、XCKピンは転送クロックが入力(従装置動作)または出力(主装置動作)のどちらかを制御します。対応するポートピンは主装置動作に対して出力、従装置動作に対して入力に設定されなければなりません。XCKピンの標準ポート動作は無効にされます。クロック端とデータ採取またはデータ変更間の依存性は同じです。(RxDでの)データ入力はデータ出力(TxD)が変更されるクロック端と逆のクロック端で採取されます。

対応するXCKポートピンに対する反転I/O許可(INVEN)設定の使用でデータ採取とデータ変更に使われるXCKクロック端を選べます。反転I/Oが禁止(INVEN=0)なら、データはXCKクロック上昇端で変更され、XCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)なら、データはXCKクロック下降端で変更され、XCKクロック上昇端で採取されます。より多くの詳細については91ページの「入出力ポート」をご覧ください。

図21-3. 同期動作XCKタイミング



21.3.5. 主装置SPI動作クロック生成

主装置SPI動作形態については内部クロック生成だけが支援されます。これはUSART同期主装置動作と同じで、ホーレートまたはBSEL設定は同じ式を使って計算されます。166ページの表21-1をご覧ください。

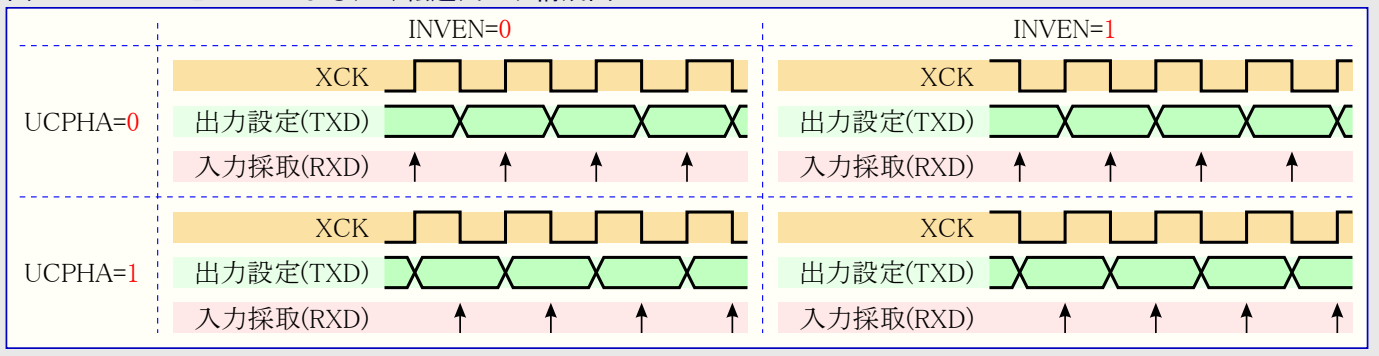
直列データに関してSPIクロック(SCK)の位相と極性で4つの組み合わせがあり、それらはクロック位相(UCPHA)制御ビットと反転I/Oピン(INVEN)設定によって決められます。データ転送タイミング構成図が図21-4で示されます。データビットはXCK信号の逆端で移動出力とラッチ入力が行われ、データ信号の安定に十分な時間を保証します。UCPHAとINVENの設定は表21-2で要約されます。送信中のこれらのビットのどれかの設定変更は送受信部両方を不正にします。

表21-2. INVENとUCPHAの機能

SPI動作種別	INVEN	UCPHA	SCK先行端	SCK後行端
0	0	0	上昇端, 入力採取	下降端, 出力設定
1	0	1	上昇端, 出力設定	下降端, 入力採取
2	1	0	下降端, 入力採取	上昇端, 出力設定
3	1	1	下降端, 出力設定	上昇端, 入力採取

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図21-4. UCPHAとINVENによるデータ転送タイミング構成図

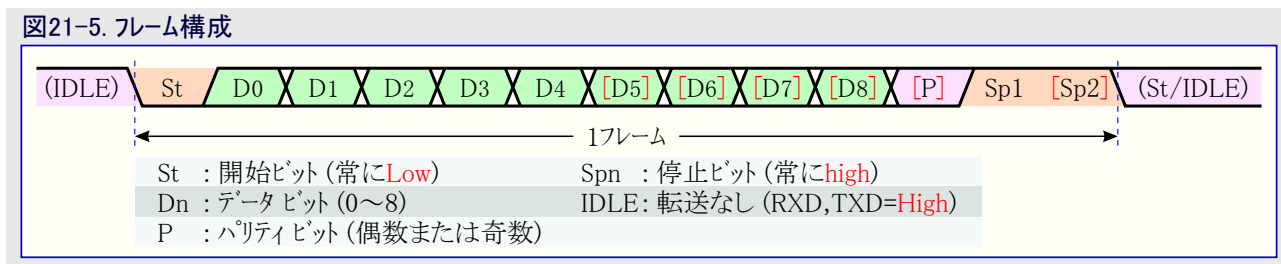


21.4. フレーム構成

データ転送はフレームに基づいており、直列フレームは同期ビット(開始ビットと停止ビット)を持つ1つのデータ キャラクタと任意選択の誤り検査用パリティビットから成ります。これが主装置SPI動作に適用されないことに注意してください(「SPIフレーム構成」をご覧ください)。USARTは有効なフレーム構成として以下の組み合わせ全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット

フレームは開始ビットで始まり、全てのデータビット(最下位データビット(LSB)先行、最上位データビット(MSB)最終)が後続します。許可なら、パリティビットがデータビットの後、最初の停止ビットの前に挿入されます。1つのフレームは新しいフレームとその開始ビットによって直ちに後続されるか、または通信線をアイドル状態(**high**)に戻すことができます。図21-5は組み合わせが可能なフレーム形式を図解します。[]付きビットは任意選択です。



21.4.1. パリティビット計算

誤り検査用に奇数または偶数のパリティが選ばれます。偶数パリティが選ばれたなら、パリティビットは論理1のデータビット数が奇数の場合に1を設定します(偶数の1の総数を作成)。奇数パリティが選ばれたなら、パリティビットは論理1のデータビット数が偶数の場合に1を設定します(奇数の1の総数を作成)。

21.4.2. SPIフレーム構成

SPI動作での直列フレームは1つの8ビット データ キャラクタで定義されます。主装置SPI動作でのUSARTには2つの選択可能なフレーム構成があります。

- MSB先行の8ビット データ
- LSB先行の8ビット データ

完全な8ビットのフレームが送信された後、新しいフレームが直ぐに続くか、または通信線をアイドル状態(**high**)に戻すことができます。

21.5. USART初期化

USARTの初期化は以下の手順を使うべきです。

1. TxDPin値をHighに、任意選択のXCKPinをLowに設定してください。
2. TxDと任意選択のXCKPinを出力として設定してください。
3. ボーレートとフレーム構成を設定してください。
4. 動作種別を設定してください(同期動作でのXCKPin出力を許可してください)。
5. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に**全体割り込み**が禁止されるべきです。

ボーレートまたはフレーム構成の変更を伴う再初期化を行う前には、そのレジスタが変更される間で実行中の送信がないことを確認してください。

21.6. データ送信 - USART送信部

送信部が許可されると、TxDPinの標準ポート機能はUSARTによって無効にされ、送信部の直列出力としての機能を与えられます。ピンの方は対応するポートの**方向レジスタ**を使って出力として設定されなければなりません。ポートピン制御と出力構成設定の詳細については91頁の「**入出力ポート**」を参照してください。

21.6.1. フレーム送信

データ送信は送出すべきデータを送信緩衝部(DATA)に格納することによって開始されます。送信緩衝部内のデータは移動レジスタが空で新しいフレーム送出の準備が整っている時に移動レジスタへ移動されます。移動レジスタはそれがアイドル状態(送信実行中以外)の場合、または直前のフレームの最後の停止ビットが送信された直後に格納されます。移動レジスタがデータを格納されると、それは1つのフレームを完全に転送するでしょう。

移動レジスタ内のフレーム全体が移動出力され、送信緩衝部内に新しいデータが存在しない時に、**送信完了割り込み要求フラグ(TXCIF)**が設定(1)され、任意選択の割り込みが生成されます。

送信データ(DATA)レジスタは、このレジスタが空で新しいデータに対する準備が整っていることを示す**データレジスタ空割り込み要求フラグ(DREIF)**が設定(1)の時にだけ書くことができます。

8ビット未満のフレーム使用時、DATAレジスタへ書かれる(未使用)上位側ビットは無視されます。9ビットデータが使われる場合、データの低位バイトがDATAレジスタへ書かれる前に、第9ビットが**制御レジスタB(CTRLB)**の**送信ビット8(TXB8)ビット**へ書かれなければなりません。

21.6.2. 送信部禁止

送信部の禁止は実行中と保留中の送信が完了される、換言すると送信移動レジスタと送信緩衝レジスタが送信すべきデータを含んでいない時まで有効になりません。送信部が禁止されると、もはやTxDPin(の標準I/O機能)を無効にせず、例えそれが使用者によって出力として構成設定されていたとしても、ピン方向はハードウェアによって自動的に入力として設定されます。

21.7. データ受信 – USART受信部

受信部が許可されると、RxDピンは受信部直列入力として機能します。ピンの方向は入力として設定されなければならず、そしてこれは既定ピン設定です。

21.7.1. フレーム受信

受信部は有効な開始ビットを検出した時にデータ受信を開始します。開始ビットに後続する各ビットはホーレートまたはXCKのクロックで採取され、フレームの最初の停止ビットが受信されるまで受信移動レジスタ内に移動されます。受信部での第2停止ビットは無視されます。最初の停止ビットが受信され、完全な直列フレームが受信移動レジスタに存在すると、移動レジスタの内容が受信緩衝部内へ移動されます。**受信完了割り込み要求フラグ(RXCIF)**が設定(1)され、任意選択の割り込みが生成されます。

受信緩衝部は**データ(DATA)レジスタ**位置を読むことによって読めます。DATAレジスタは受信完了割り込み要求フラグが設定(1)されていなければ読むべきではありません。8ビット未満のフレーム使用時、未使用上位側ビットは0として読みます。9ビットデータが使われる場合、データの低位バイトがDATAレジスタから読まれる前に、状態(STATUS)レジスタの**受信ビット8(RXB8)**が読まれなければなりません。

21.7.2. 受信異常フラグ

USART受信部は3つの異常フラグを持っています。**フレーミング異常(FERR)**、**緩衝部溢れ(BUFOVF)**、**パリティ誤り(PERR)**が**状態(STATUS)レジスタ**でアクセス可能です。異常フラグはそれらに対応するフレームと共に受信FIFO緩衝部に配置されます。この状態フラグの緩衝処理のためにDATAレジスタ位置読み込みがFIFO緩衝部を変更するので、状態レジスタは受信緩衝部(DATA)を読む前に読まれなければなりません。

21.7.3. パリティ検査器

許可時、パリティ検査器は到着するフレームのデータビットのパリティを計算し、その結果を対応するフレームのパリティビットと比較します。パリティ誤りが検出された場合、**パリティ誤り(PERR)フラグ**が設定(1)されます。

21.7.4. 受信部禁止

受信部の禁止は即時です。受信緩衝部が破棄され、実行中の受信データは失われます。

21.7.5. 受信緩衝部破棄

通常動作中に受信緩衝部が破棄されなければならない場合、**受信完了割り込み要求フラグ(RXCIF)**が解除(0)されるまでDATA位置を読んでください。

21.8.3. 非同期動作範囲

受信部の動作範囲は受信したビットレートと内部的に生成したボーレート間の不一致に依存します。外部の送信部が速すぎるまたは遅すぎるビット速度を用いて送したり、内部的に生成した受信部のボーレートが外部供給元の基本周波数と一致しない場合、受信部は開始ビットでフレームを同期できないでしょう。

次式は到着データ速度と内部受信部ボーレート間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)S}{S-1+D \times S+S_F} \quad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

D : データとパリティのビット数 (5~10)
 S : ビット当たりの採取数 (標準速動作=16、倍速動作=8)
 S_F : 多数決に使う最初の採取番号 (標準速動作=8、倍速動作=4)
 S_M : 多数決に使う中心の採取番号 (標準速動作=9、倍速動作=5)
 R_{slow} : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。
 R_{fast} : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表21-3. は許容できる最大受信部ボーレート誤差を一覧にします。標準速動作にはより高いボーレート変動許容力があります。

表21-3. 標準速と倍速での受信部ボーレート推奨最大許容誤差

D	標準速動作 (CLK2X=0)				倍速動作 (CLK2X=1)			
	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)	R _{slow} (%)	R _{fast} (%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	±2.5
6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	±2.0
7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	±1.5
8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	±1.5
9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	±1.5
10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0

注: Dはデータビット数とパリティビットの合計ビット数です。

(訳注) 原書の表21-3.と表21-4.は表21-3.として纏めました。

最大受信部ボーレート誤差の推奨は送信部と受信部で等分割するとの仮定です。

21.9. 分数ボーレート生成

分数ボーレート生成は各フレームに対して相対的に高いクロック周期数のため、非同期動作に対して可能です。各ビットは16回採取されますが、中央3採取だけが重要です。1つのフレームに対する総採取数も相対的に高くなります。1開始ビット、8データビット、パリティなし、1停止ビットのフレーム構成が与えられ、標準速動作が使われると仮定すると、フレームに対する総採取数は(1+8+1)×16=160です。先に述べられたように、USARTは各採取に関してクロック周期での変化を許容できます。重要な要素は開始ビットの上昇端(換言するとクロック同期化)から最後のビット(換言すると最初の停止ビット)の値が再生されるまでの時間です。

標準的なボーレート発生器は高いボーレート設定間に大きな周波数段差を持つ望まれない特性を持っています。最悪の場合はBSEL値\$000と\$001間で得られます。160クロック周期の10ビットフレームでの\$000のBSEL値から320クロック周期でのBSEL値\$001への状態は、周波数での50%変化を生じます。理想的な段階量は最速ボーレート間までも小さくあるべきです。これは分数ボーレート発生器の優位性が登場する場面です。

原則的に分数ボーレート発生器は一樣でない計数とその後のフレーム全体に渡って誤差を均一に分配することによって動きます。通常のボーレート発生器に対する代表的な計数の流れは以下です。

2, 1, 0, 2, 1, 0, 2, 1, 0, 2, ...

これは一樣な時間周期を持ちます。ボーレートクロックは計数器が0に達する時毎に刻まれ、RxDで受信した信号の採取は第16ボーレートクロック刻み毎に行われます。

分数ボーレート発生器に関しては計数の流れが一樣でない周期を持てます。

2, 1, 0, 3, 2, 1, 0, 2, 1, 0, 3, 2, ...

この例では追加周期が毎回の第2ボーレートクロックに付加されています。これはボーレートクロックの刻みに細動を与えますが、平均周期は0.5クロック周期の分数によって増やされます。

図21-9. は単にBSELを変更することによって可能な間でボーレートを達成するのにBSELとBSCALEがどう使われ得るかの例を示します。

分数ボーレート発生器の衝撃はボーレート設定間の段階量が低減されることです。-1の倍率係数が与えられると、その後の最悪段階は以前の160から320に比べて10ビットフレーム当たり160から240採取になります。より大きな負の倍率係数はより細かい粒度(分解能)までも与えます。倍率係数をどれだけ高くできるかには制限があります。値2BSCALEはフレームにかかるクロック周期の少なくとも半分でなければなりません。例えば10ビットフレームに対する最小クロック周期数は160です。これは利用可能な最高倍率係数が $-6(2^6)=64 < (160/2)=80$ であることを意味します。

より高いBSEL設定については倍率係数を増やすことができます。

表21-5.は非同期動作に対して最も一般的に使われるボーレートを生成するのに内部発振器を使う時のBSELとBSCALEの設定と更に一層ボーレート誤差を減らすためにBSCALEがどう使われるかを示します。

図21-9. 分数ボーレート例

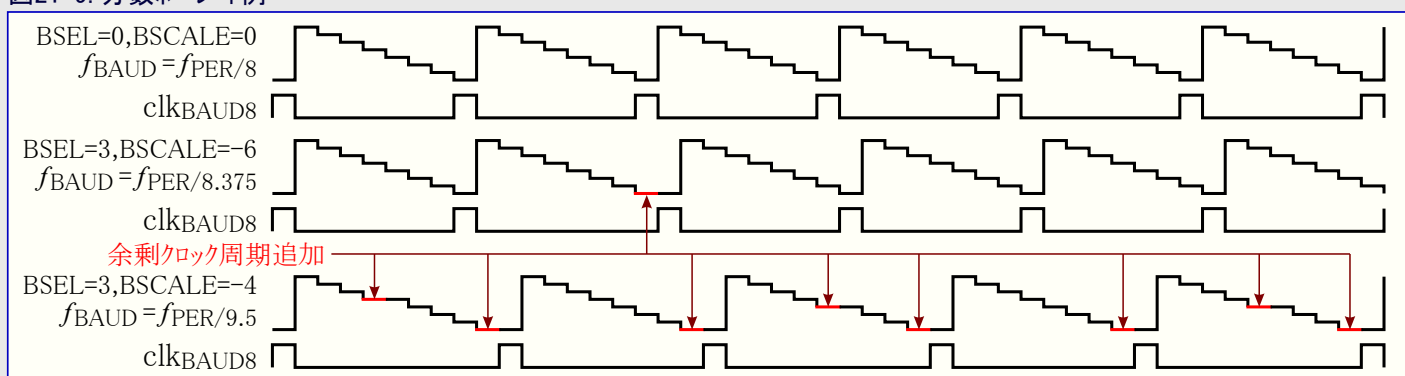


表21-5. USARTボーレート

ボーレート (bps)	$f_{osc} = 32\text{MHz}$						ボーレート (bps)	$f_{osc} = 32\text{MHz}$					
	CLK2X=0			CLK2X=1				CLK2X=0			CLK2X=1		
	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)		BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)
2400	12	6	0.2	12	7	0.2	460.8k	27	-3	-0.8	31	-2	-0.8
4800	12	5	0.2	12	6	0.2	921.6k	107	-5	-0.1	123	-4	-0.1
9600	12	4	0.2	12	5	0.2	1.382M	19	-4	-0.8	27	-3	-0.8
14400	34	2	0.8	34	3	0.2	1.843M	75	-6	-0.1	107	-5	-0.1
19200	138	0	-0.1	138	1	-0.1	2.0M	7	-4	0.6	15	-3	0.6
28800	12	3	0.2	12	4	0.2	2.304M	57	-7	0.1	121	-6	0.1
38400	34	1	-0.8	34	2	-0.8	2.5M	3	-5	-0.8	19	-4	-0.8
57600	137	-1	-0.1	138	0	-0.1	3.0M	11	-7	-0.1	75	-6	-0.1
76800	12	2	0.2	12	3	0.2	4.0M	0	0	0.0	1	0	0.0
115.2k	34	0	-0.8	34	1	-0.8	最高速	-	-	-	3	-2	-0.8
230.4k	135	-2	-0.1	137	-1	-0.1	2.0Mbps	-	-	-	47	-6	-0.1
	12	1	0.2	12	2	0.2	4.0Mbps	-	-	-	19	-4	0.4
	33	-1	-0.8	34	0	-0.8		-	-	-	77	-7	-0.1
	131	-3	-0.1	135	-2	-0.1		-	-	-	11	-5	-0.8
	31	-2	-0.8	33	-1	-0.8		-	-	-	43	-7	-0.2
											0	0	0.0

21.10. 主装置SPI動作でのUSART

主装置SPI動作でUSARTを使うには送信部の許可が必要です。受信部は直列入力として扱うために任意選択で許可にできます。XCKピンは転送クロックとして使われます。

USARTでのようにデータ転送はデータ(DATA)レジスタへの書き込みによって開始されます。送信部が転送クロックを制御するので、これは送受信データの両方に対する場合です。DATAに書かれたデータは移動レジスタが新しいフレームを送る準備が整った時に送信緩衝部から移動レジスタへ移動されます。

主装置SPI動作で使われる送受信割り込み要求フラグと対応するUSART割り込みは通常のUSART動作での使用と機能的に同じです。受信部異常状態フラグは未使用で常に0として読みます。

主装置SPI動作でのUSART送信部または受信部の禁止は通常のUSART動作でのそれらの禁止と同じです。

21.11. USART SPIとSPIの比較

主装置SPI動作でのUSARTは以下に於いて独立したSPI単位部と完全な互換性があります。

- タイミング図が同じ
- クロック位相選択(UCPHA)ビットはSPIの動作種別0(MODE0)ビットのそれと機能的に同じです。
- データ順選択(UDORD)ビットはSPIのデータ順選択(DORD)ビットのそれと機能的に同じです。

USARTが主装置SPI動作に設定されると、構成設定と使い方は独立したSPI単位部のそれらといくつかの場合で異なります。加えて、以下の違いが存在します。

- 主装置SPI動作でのUSART送信部は緩衝処理を含みます。SPI単位部は送信緩衝部を持ちません。
- 主装置SPI動作でのUSART受信部は追加の緩衝段を含みます。
- 主装置SPI動作でのUSARTはSPIの上書き発生(WRCOL)ビット(書き込み衝突機能)を含みません。
- 主装置SPI動作でのUSARTはSPIの倍速許可(CLK2X)ビット(倍速動作機能)を含みませんが、これはそれに応じてポーレート発生器を構成設定することによって達成することができます。
- 割り込みタイミングが互換ではありません。
- 主装置SPI動作でのUSARTが主装置動作だけのため、ピン制御が異なります。

主装置SPI動作でのUSARTとSPIでのピンは表21-6.で示されます。

表21-6. 主装置SPI動作でのUSARTとSPIのピン比較

USART	SPI	注釈
TXD	MOSI	主装置出力のみ
RXD	MISO	主装置入力のみ
XCK	SCK	(機能的に同一)
該当なし	SS	主装置SPI動作でのUSARTで未支援

21.12. 複数プロセッサ通信動作

複数プロセッサ通信動作(MPCM)は同一直列バス経由で複数マイクロ コントローラの通信を持つシステムで、受信部によって扱われなければならない到着フレーム数を効果的に減らします。この動作ではフレームがアドレスまたはデータのどちらかを示すためにフレーム内の専用ビットが使われます。

受信部が5~8データビットを含むフレーム受信に初期設定されるなら、最初の停止ビットがフレーム形式を示すのに使われます。受信部が9データビットのフレームに初期設定されるなら、第9ビットが使われます。フレーム形式(最初の停止または第9)ビットが1のとき、そのフレームはアドレスを含みます。フレーム形式ビットが0のとき、そのフレームはデータフレームです。5~8ビットデータフレームが使われる場合、最初の停止ビットがフレーム形式を示すのに使われるので、送信部は2停止ビット使用に設定されなければなりません。

特定の従装置MCUがアドレス指定されたなら、そのMCUは後続するデータフレームを通常のように受信し、一方他の従装置MCUは別のアドレスフレームが受信されるまでフレームを無視します。

21.12.1. 複数プロセッサ通信動作の使い方

複数プロセッサ通信動作でデータを交換するために次の手順が使われるべきです。

1. 全ての従装置MCUは複数プロセッサ通信動作です(MPCM=1)。
2. 主装置MCUはアドレス フレームを送り、全ての従装置がこのフレームを受信して読みます。
3. 各従装置MCUは選ばれたかを判定します。
4. アドレス指定されたMCUはMPCMを禁止して全てのデータ フレームを受信します。他の従装置CPUはデータ フレームを無視します。
5. アドレス指定されたMCUが最終データ フレームを受信すると、MPCMを再び許可して主装置からの新しいアドレス フレームを待たなければなりません。

その後、手順は2.からを繰り返します。

5~8ビットデータ フレーム構成のどれかの使用は、受信側がnとn+1ビットデータ フレーム構成の使用を切り替えなければならないため非実用的です。これは送信側と受信側が同じデータ長設定を使わなければならないので、全二重動作を困難にします。

21.13. 赤外線通信(IRCOM)動作

IRCOM動作はUSARTと共にIRCOM単位部の使用を許可されることで行えます。これは115.2kbpsまでのポーレートに対してIrDA1.4適合の変調と復調を可能にします。IRCOM動作が許可されると、USARTに対して倍速動作は使えません。

複数のUSARTを持つデバイスについてはIRCOMが同時に1つのUSARTに対してだけ許可することができます。詳細については179頁の「IRCOM - 赤外線通信単位部」を参照してください。

21.14. DMA支援

DMA支援はUART、USRT、SPI主装置動作周辺機能で利用可能です。USARTの各種DMA転送起動の詳細については37頁の「転送起動元」を参照してください。

21.15. レジスタ説明

21.15.1. DATA – データレジスタ (Data register)

ビット	7	6	5	4	3	2	1	0	
+\$00	RXB7~0 TXB7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USART送信データ緩衝(TXB)レジスタとUSART受信データ緩衝(RXB)レジスタは同じI/Oアドレスを共用し、USARTデータレジスタ(DATA)として参照されます。TXBレジスタはDATAレジスタ位置に書かれるデータの転送先です。DATAレジスタ位置読み込みはRXBレジスタの内容を返します。

5~7ビットデータに関しては上位未使用ビットが送信部によって無視され、受信部によって0に設定されます。

送信緩衝部は状態(STATUS)レジスタのデータレジスタ空きフラグ(DREIF)が設定(1)されている時にだけ書くことができます。DREIFフラグが設定(1)されていない時にDATAレジスタへ書かれたデータはUSART送信部によって無視されます。送信部が許可されてデータが送信緩衝部に書かれると、送信部は移動レジスタが空の時にデータを送信移動レジスタへ格納します。その後データはTxDピンで送信されます。

受信緩衝部は2段のFIFOから成ります。受信緩衝部の正しい状態を得るため、常にDATAに先行してSTATUSを読んでください。

21.15.2. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	-	RXB8	STATUS
Read/Write	R	R/W	R	R	R	R	R	R/W	
初期値	0	0	1	0	0	0	0	0	

● ビット7 – RXCIF : 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信緩衝部内に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると何れの未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄され、その結果としてRXCIFが0になります。

● ビット6 – TXCIF : 送信完了割り込み要求フラグ (Transmit Complete Interrupt Flag)

このフラグは送信移動レジスタのフレーム全体が移動出力され、送信緩衝部(DATA)内に新しいデータがない時に設定(1)されます。TXCIFは送信完了割り込みベクタが実行される時、自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット5 – DREIF : データレジスタ空割り込み要求フラグ (Data Register Empty Flag)

DREIFは送信緩衝部(DATA)が新しいデータを受け取る準備が整っているかを示します。このフラグは送信緩衝部が空の時に1で、移動レジスタ内へ未だ移動されていない送信されるべきデータを送信緩衝部が含む時に0です。DREIFは送信部準備完了を示すためにリセット後に設定(1)されます。

DREIFはDATA書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、データレジスタ空割り込み処理ルーチンはDREIFを解除(0)するためにDATAに新しいデータを書くか、またはデータレジスタ空割り込みを禁止しなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。

● ビット4 – FERR : フレーミング異常フラグ (Frame Error)

FERRフラグは受信緩衝部に格納された読み込み可能な次のフレームの最初の停止ビットの状態を示します。このビットは受信したデータがフレーミング異常を持つ、換言すると、最初の停止ビットが0だった場合に設定(1)され、受信したデータの停止ビットが1の時に解除(0)されます。このビットは受信緩衝部が読まれるまで有効です。それが最初の停止ビットだけを使うので、FERRは使う停止ビット設定によって影響を及ぼされません。STATUSレジスタを書く時、常にこのビット位置に0を書いてください。

このフラグは主装置SPI動作形態で使われません。

● ビット3 – BUFOVF : 緩衝部溢れフラグ (Buffer Overflow)

このフラグは受信緩衝部満杯状態のためのデータ損失を示します。このフラグは緩衝部溢れ状態が検出される場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2データ)で、新しいデータが受信移動レジスタで待機中で、且つ新しい開始ビットが検出される時に起きます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレジスタを書く時は常にこのビット位置に0を書いてください。

このフラグは主装置SPI動作形態で使われません。

● ビット2 – PERR : パリティ誤りフラグ (Parity Error)

パリティ検査が許可され、受信緩衝部の次のデータがパリティ誤りを持つ場合に、このフラグが設定(1)されます。パリティ検査が許可されていなければ、このフラグは常に0として読みます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレジスタを書く時、常にこのビット位置に0を書いてください。パリティ計算の詳細については168頁の「パリティビット計算」を参照してください。

このフラグは主装置SPI動作形態で使われません。

● **ビット1 - 予約 (Reserved)**

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書き込んでください。

● **ビット0 - RXB8 : 受信ビット8 (Receive Bit 8)**

RXB8は第9データビットを持つ直列フレームでの動作時に受信したデータの第9データビットです。使用時、このビットはDATAレジスタから下位ビットを読む前に読まなければなりません。

このフラグは主装置SPI動作形態で使われません。

21.15.3. CTRLA - 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$03	-	-	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		CTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7,6 - 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● **ビット5,4 - RXCINTLVL1,0 : 受信完了割り込み段位 (Receive Complete Interrupt Level)**

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは状態(STATUS)レジスタの受信完了割り込み要求フラグ(RXCIF)が設定(1)される時に起動されます。

● **ビット3,2 - TXCINTLVL1,0 : 送信完了割り込み段位 (Transmit Complete Interrupt Level)**

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは状態(STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)が設定(1)される時に起動されます。

● **ビット1,0 - DREINTLVL1,0 : データレジスタ空割り込み段位 (USART Data Register Empty Interrupt Level)**

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは状態(STATUS)レジスタのデータレジスタ空割り込み要求フラグ(DREIF)が設定(1)される時に起動されます。

21.15.4. CTRLB - 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	RXEN	TXEN	CLK2X	MPCM	TXB8	CTRLB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~5 - 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

● **ビット4 - RXEN : 受信許可 (Receiver Enable)**

このビットの設定(1)がUSART受信部を許可します。受信部は許可された時にRxDピンに対する標準ポート動作を無効にします。受信部の禁止(RXENの0書き込み)は受信緩衝部を破棄してフレーミング異常(FERR)、緩衝部溢れ(BUFOVF)、パリティ誤り(PERR)のフラグを無効にします。

● **ビット3 - TXEN : 送信許可 (Transmitter Enable)**

このビットの設定(1)がUSART送信部を許可します。送信部は許可された時にTxDピンに対する標準ポート動作を無効にします。送信部の禁止(TXENの0書き込み)は実行中と保留中の送信が完了される、換言すると送信移動レジスタと送信緩衝レジスタが送信すべきデータを含まない時まで有効になりません。禁止時、送信部はもはやTxDピンを無効にしません。

● **ビット2 - CLK2X : 倍速動作 (Double Transmission Speed)**

このビットの設定(1)はポート分周器の分周数を16から8に減らし、非同期通信動作に対して転送速度を効果的に倍にします。同期動作に対しては、このビットが無効で、常に0として読みます。このビットはUSART通信動作種別がIRCOMに構成設定されている時に0でなければなりません。

このビットは主装置SPI動作形態で使われません。

● **ビット1 - MPCM : 複数プロセッサ通信動作 (Multi-processor Communication Mode)**

このビットは複数プロセッサ通信動作を許可します。MPCMビットが1を書かれると、USART受信部はアドレス情報を含まない到着フレーム全てを無視します。送信部はMPCM設定によって影響を及ぼされません。より多くの詳細情報については173頁の「複数プロセッサ通信動作」をご覧ください。

このビットは主装置SPI動作形態で使われません。

● ビット0 – TXB8 : 送信ビット8 (Transmit Bit 8)

TXB8は第9データビットを持つ直列フレームで動作する時に送信されるべきデータの第9データビットです。使用時、このビットはDATAレジスタへ下位ビットが書かれる前に書かれなければなりません。

このビットは主装置SPI動作形態で使われません。

21.15.5. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$05	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			CTRLC
	CMODE1,0		-	-	-	UDORD	UCPHA	-	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

注: 下段は主装置SPI動作での機能です。

● ビット7,6 – CMODE1,0 : 通信動作種別 (Communication Mode)

これらのビットは表21-7.で示されるようにUSARTの動作種別を選びます。

表21-7. CMODEビット設定

CMODE1,0	群構成設定	動作種別
0 0	ASYNCHRONOUS	非同期USART
0 1	SYNCHRONOUS	同期USART
1 0	IRCOM	赤外線通信(IRCOM) (注1)
1 1	MSPI	主装置SPI (注2)

注1: IRCOM動作使用の完全な記述については179頁の「IRCOM – 赤外線通信単位部」をご覧ください。

注2: 主装置SPI動作の完全な記述については172頁の「主装置SPI動作でのUSART」をご覧ください。

● ビット5,4 – PMODE1,0 : パリティ動作種別 (Parity Mode)

これらのビットは表21-8.に従ってパリティ生成の形式の許可と設定を行います。許可時、送信部は各フレーム内の送信すべきデータビットのパリティを自動的に生成して送出します。受信部は到着データに対してパリティ値を生成し、それをPMODE設定と比較して、不一致が検出された場合に状態(STATUS)レジスタのパリティ誤り(PERR)フラグが設定(1)されます。

これらのビットは主装置SPI動作で使われません。

表21-8. PMODEビット設定

PMODE1,0	群構成設定	パリティ動作種別
0 0	DISABLED	禁止
0 1	-	(予約)
1 0	EVEN	偶数パリティ許可
1 1	ODD	奇数パリティ許可

● ビット3 – SBMODE : 停止ビット種別 (Stop Bit Mode)

このビットは表21-9.に従って送信部で挿入される停止ビット数を選びます。受信部はこの設定を無視します。

このビットは主装置SPI動作形態で使われません。

表21-9. SBMODEビット設定

SBMODE	停止ビット
0	1
1	2

● ビット2~0 – CHSIZE2~0 : データ量 (Character Size)

CHSIZE2~0ビットは表21-10.に従ってフレーム内のデータビット数を設定します。送受信部が同じ設定を使います。

表21-10. CHSIZEビット設定

CHSIZE2~0	群構成設定	データ長
0 0 0	5BIT	5ビット
0 0 1	6BIT	6ビット
0 1 0	7BIT	7ビット
0 1 1	8BIT	8ビット
1 0 0	-	(予約)
1 0 1	-	(予約)
1 1 0	-	(予約)
1 1 1	9BIT	9ビット

● **ビット2 – UDORD : データ順 (Data Order)**

このビットは主装置SPI動作専用でこのビットはフレーム形式を設定します。1書き込み時、データ語のLSBが最初に送信されます。0書き込み時、データ語のMSBが最初に送信されます。送受信部が同じ設定を使います。UDORDの設定変更は送受信部両方に対して実行中の通信を不正にします。

● **ビット1 – UCPHA : クロック位相 (Clock Phase)**

このビットは主装置SPI動作専用でこのビットはデータがXCKの先行(先頭)端または後行(最終)端のどちらで採取されるのかを決めます。詳細については167頁の「[主装置SPI動作クロック生成](#)」を参照してください。

21.15.6. BAUDCTRLA – ボーレートレジスタA (Baud Rate register A)

ビット	7	6	5	4	3	2	1	0	
+\$06	BSEL7~0								BAUDCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – BSEL7~0 : ボーレート (Baud Rate bits)**

これらはUSARTボーレート設定に使われる12ビットのBSEL値の下位8ビットです。BAUDCTRLBが上位4ビットを含みます。ボーレートが変更された場合、送受信部による実行中の転送が不正にされます。BSEL書き込みがボーレート前置分周器更新を直ちに起動します。166頁の表21-1の式をご覧ください。

21.15.7. BAUDCTRLB – ボーレートレジスタB (Baud Rate register B)

ビット	7	6	5	4	3	2	1	0	
+\$07	BSCALE3~0				BSEL11~8				BAUDCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~4 – BSCALE3~0 : ボーレート倍率 (Baud Rate Scale factor)**

これらのビットはボーレート発生器倍率を選びます。倍率は-7(1001)~+7(0111)の2の補数で与えられます。-8(1000)設定は予約されています。166頁の表21-1の式をご覧ください。

● **ビット3~0 – BSEL11~8 : ボーレート (Baud Rate bits)**

これらはUSARTボーレート設定に使われる12ビットのBSEL値の上位4ビットです。BAUDCTRLAがUSARTボーレートの下位8ビットを含みます。ボーレートが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがボーレート前置分周器更新を直ちに起動します。

21.16. レジスタ要約

21.16.1. レジスタ要約 – USART

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$07	BAUDCTRLB	BSCALE3~0			BSEL11~8						177
+\$06	BAUDCTRLA	BSEL7~0									177
+\$05	CTRLC	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0				176
+\$04	CTRLB	-	-	-	RXEN	TXEN	CLK2X	MPCM	TXB8	175	
+\$03	CTRLA	-	-	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0			175
+\$02	予約	-	-	-	-	-	-	-	-		
+\$01	STATUS	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	-	RXB8	174	
+\$00	DATA	DATA7~0									174

21.16.2. レジスタ要約 – 主装置SPI動作でのUSART

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$07	BAUDCTRLB	BSCALE3~0			BSEL11~8						177
+\$06	BAUDCTRLA	BSEL7~0									177
+\$05	CTRLC	CMODE1,0		-	-	-	UDORD	UCPHA	-	176	
+\$04	CTRLB	-	-	-	RXEN	TXEN	-	-	-	175	
+\$03	CTRLA	-	-	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0			175
+\$02	予約	-	-	-	-	-	-	-	-		
+\$01	STATUS	RXCIF	TXCIF	DREIF	-	-	-	-	-	174	
+\$00	DATA	DATA7~0									174

21.17. 割り込みベクタ要約

表21-11. USART割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	RXC_vect	USART受信完了割り込みベクタ
\$02	DRE_vect	USARTデータレジスタ空き割り込みベクタ
\$04	TXC_vect	USART送信完了割り込みベクタ

22. IRCOM – 赤外線通信単位部

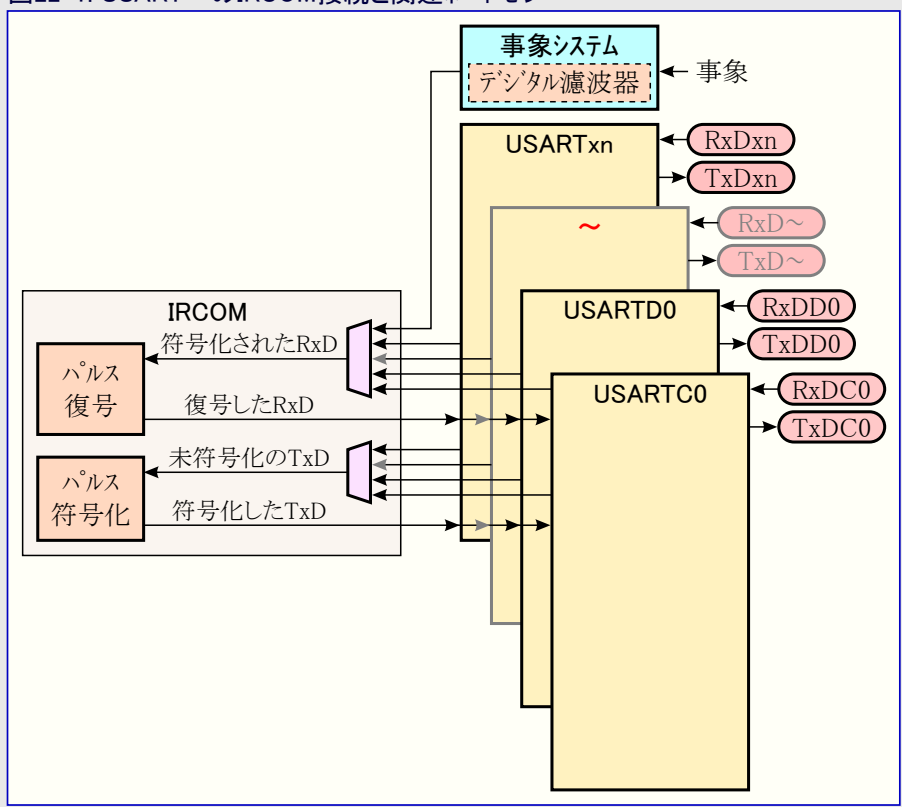
22.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

22.2. 概要

XMEGAデバイスには115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにどのUSARTにも接続することができます。

図22-1. USARTへのIRCOM接続と関連ポートピン



IRCOMはUSARTが赤外線通信(IRCOM)動作に設定されると、自動的に許可されます。そしてUSARTとRxD/TxDピン間の信号は図22-1.で示すようにこの単位部を通して配線されます。TX/RXピン上のデータは送受信される赤外パルスの反転値です。これはIRCOM受信部に対する入力として事象システムからの事象チャンネルも選ぶことが可能です。これはUSARTピンからのRxD入力を禁止します。

送信については3つのパルス変調方式が利用可能です。

- 3/16ボーレート周期
- 周辺機能クロック周波数に基いた設定可能な固定パルス時間
- パルス変調禁止

受信については論理0として復号されるべきパルスに対する定められた選択可能な最小Highレベルパルス幅が使われます。そしてより短いパルスは破棄され、そのビットはパルスが全く受信されなかった場合に論理1に復号されます。

この単位部は同時に1つのUSARTとの組み合わせでだけ使え、従ってIRCOM動作は同時に複数のUSARTに対して設定してはなりません。これは使用者ソフトウェアで保証しなければなりません。

22.2.1. 事象システムの濾波

事象システムが受信部入力として使えます。これは対応するRxDピン以外のI/Oピンまたは供給元からの入力をIRCOMまたはUSARTに許します。事象システム入力に許可された場合、USARTのRxDピンからの入力は自動的に禁止されます。事象システムは事象チャンネルにデジタル濾波器(DIF)を持ち、濾波するために使うことができます。事象システムの使い方については48頁の「事象システム」を参照してください。

22.3. レジスタ説明

22.3.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	CTRL
	EVSEL3~0								
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – EVSEL3~0: 事象チャネル選択 (Event Channel Selection)

これらのビットは表22-1に従ってIRCOM受信部に対する事象チャネル元を選びます。IRCOM受信部に対して事象入力選ばれた場合、USARTのRxDピンからの入力は自動的に禁止されます。

表22-1. 事象チャネル選択

EVSEL3~0	群構成設定	内容
0 0 0 0	-	なし
0 0 0 1	-	(予約)
0 0 1 0	-	(予約)
0 0 1 1	-	(予約)
0 1 0 0	-	(予約)
0 1 0 1	-	(予約)
0 1 1 0	-	(予約)
0 1 1 1	-	(予約)
1 x x x	CHn	事象システム チャネルn (x,n=0~7)

22.3.2. TXPLCTRL – 送信パルス長制御レジスタ (Transmitter Pulse Length Control register)

ビット +\$01	7	6	5	4	3	2	1	0	TXPLCTRL
	TXPLCTRL7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TXPLCTRL7~0: 送信パルス長制御 (Transmitter Pulse Length Control)

この8ビット値は送信部に対するパルス変調方式を設定します。このレジスタ設定はUSARTでIRCOM動作が選ばれていなければ無効です。

このレジスタ値を0のままにすることによって、3/16ボーレート周期パルス変調が使われます。

この値の1~254設定は固定パルス長符号化を行います。この8ビット値はパルスに対する周辺機能クロック周期数を設定します。パルスの始めはボーレートクロックの上昇端に同期されます。

この値の255(\$FF)設定はパルス符号化を禁止し、送受信信号はIRCOM単位部を無変化でそのまま通過します。これは半二重USART、行き戻し検査、事象チャネルからのUSART受信入力のような、IRCOM単位部を通す他の機能を可能にします。

TXPLCTRLはUSART送信部が許可(TXEN)される前に構成設定されなければなりません。

22.3.3. RXPLCTRL – 受信パルス長制御レジスタ (Receiver Pulse Length Control register)

ビット +\$02	7	6	5	4	3	2	1	0	RXPLCTRL
	RXPLCTRL7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RXPLCTRL7~0: 受信パルス長制御 (Receiver Pulse Length Control)

この8ビット値はIRCOM送受信部に対する濾波器係数を設定します。このレジスタ設定はUSARTでIRCOM動作が選ばれていなければ無効です。

このレジスタ値を0のままにすることによって濾波が禁止されます。この値の1~255設定は濾波を許可し、そしてそれは受け入れるべきパルスに対して、この値+1に等しい採取を必要とします。

RXPLCTRLはUSART受信部が許可(RXEN)される前に構成設定されなければなりません。

22.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$02	RXPLCTRL					RXPLCTRL7~0				180
+\$01	TXPLCTRL					TXPLCTRL7~0				180
+\$00	CTRL	-	-	-	-	EVSEL3~0				180

23. AESとDESの暗号エンジン

23.1. 要点

- データ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
 - 暗号化と解読
 - DES支援
 - 8バイトの塊当たり16 CPUクロック周期の暗号化/解読
- AES暗号部
 - 暗号化と解読
 - 128ビット鍵支援
 - 状態メモリへのXORデータ設定支援
 - 16バイトの塊当たり375クロック周期の暗号化/解読

23.2. 概要

新暗号化規格(AES)とデータ暗号化規格(DES)は暗号化に使用される主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信インターフェースとCPUはこれらを高速で暗号化された通信と安全なデータ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8バイトの鍵と8バイトのデータ塊がレジスタファイルに格納され、そしてそのデータ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ビット鍵を使う128ビットデータ塊の暗号化と解読を行います。鍵とデータは暗号化/解読が開始される前に単位部内の鍵と状態のメモリに格納されなければなりません。暗号化/解読が行われる前に375周辺機能クロック周期かかります。その後暗号化/解読されたデータを読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列メモリが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

23.3. DES命令

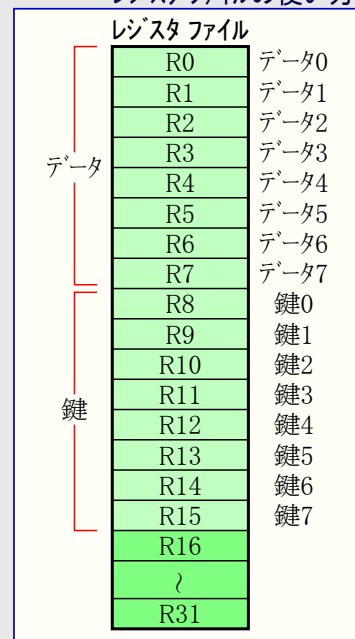
DES命令は単一周期命令です。64ビット(8バイト)のデータ塊を暗号化または解読するために、命令が16回実行されなければなりません。

データと鍵の塊は暗号化/解読が行われる前にレジスタファイル内に設定されなければなりません。64ビットのデータ塊(平文または暗号文)はR0～R7レジスタに配置され、データのLSBはR0に、データのMSBはR7に配置されます。(パリティビットを含む)完全な64ビット鍵は鍵のLSBがR8、鍵のMSBがR15で、R8～R15レジスタに配置されます。

1つのDES命令実行はDES演算法での1巡を実行します。正しい暗号文または平文にするためには16回実行されなければなりません。中間結果は各DES命令後でレジスタファイル(R0～R15)に格納されます。16巡後に鍵がR18～R16に配置され、暗号文/平文がR0～R7に配置されます。命令のオペランド(K)はどの周回が実行されるのかを決め、CPUのステータスレジスタ内のハーフキャリー(H)フラグが暗号化または解読のどちらが実行されるのかを決めます。ハーフキャリーフラグが設定(1)なら解読が実行され、このフラグが解除(0)なら暗号化が実行されます。

DES命令の詳細についてはAVR命令一式手引書を参照してください。

図23-1. DES暗号化/解読間のレジスタファイルの使い方



AES暗号単位部では次の鍵の定義が使われます。

- 暗号化動作での鍵はAES規格で定義されたものです。
- 解読動作での鍵はAES規格で定義された拡張鍵の最後の補助鍵です。

解読動作での鍵拡張手順はAES暗号単位部での操作前にソフトウェアによって実行されなければならず、故に最後の補助鍵は**鍵(KEY)レジスタ**を通じて格納されるべく用意されます。代わりに、この手順は暗号化動作で便宜データ塊を処理することでAES暗号単位部を使ってハードウェアで実行もできます。暗号化の終了後の鍵メモリからの読み込みが得られるべき最後の補助鍵、換言すると鍵拡張手順の結果を得ることを可能にします。**表23-1**は動作種別(暗号化または解読)とAES暗号単位部の状態に依存する鍵の読み込み結果を示します。

図23-3. ポインタとレジスタによる鍵メモリ

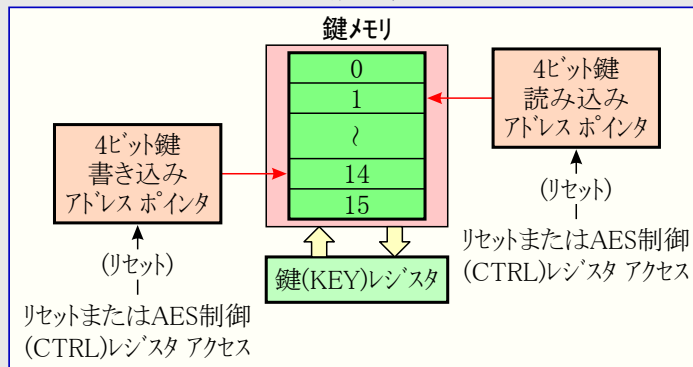


表23-1. 各種段階での鍵メモリ読み込み結果

暗号化		解読	
データ処理前	データ処理後	データ処理前	データ処理後
格納されたのと同じ鍵	格納された鍵から生成した最後の補助鍵	格納されたのと同じ鍵	最後に格納された補助鍵から生成された初期鍵

23.4.2. DMA支援

AES単位部は暗号化/解読手順完了時にDMA転送を起動できます。DMA転送起動のより多くの詳細については37頁の「[転送起動元](#)」を参照してください。

23.5. レジスタ説明 – AES

23.5.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00	START	AUTO	RESET	DECRYPT	–	XOR	–	–	CTRL
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – START : 開始/走行 (Start/Run)

このビットの設定(1)が暗号化/解読手順を開始し、そしてこのビットは暗号化/解読実行中の際、設定(1)に留まります。このビットへの0書き込みは実行中のどんな暗号化/解読処理も停止/中断します。このビットは状態(STATUS)レジスタの状態配列準備可割り込み要求フラグ(SRIF)または異常(ERROR)フラグが設定(1)された場合、自動的に解除(0)されます。

● ビット6 – AUTO : 自動開始許可 (Auto Start Trigger)

このビットの設定(1)が自動開始動作を許可します。自動開始動作ではAES開始/走行(START)ビットが自動的に起動され、以下の条件の全てが合致した時に暗号化/解読が始まります。

- 状態メモリ格納前のAUTOビットの設定(1)
- 全メモリポインタ(状態配列読み/書きと鍵読み/書き)が0
- 状態メモリ満格納

これらの条件の全てが合致しない場合、暗号化/解読は不正な鍵で開始されるでしょう。

● ビット5 – RESET : ソフトウェア リセット (Software Reset)

このビットの設定(1)は周辺機能クロックの次の正端でAES暗号単位部を初期状態にリセットします。本単位部内の全てのレジスタ、ポインタ、メモリはそれらの初期値に設定されます。1書き込み時、このビットはハードウェアによって0にリセットされる前に1クロック周期間、1に留まります。

● ビット4 – DECRYPT : 解読/方向 (Decryption/Direction)

このビットはAES暗号単位部に対して方向を設定します。このビットへの0書き込みはこの単位部を暗号化動作に設定します。このビットへの1書き込みはこの単位部を解読動作に設定します。

● ビット3 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 – XOR : 代数式配列XOR格納許可 (State XOR Load Enable)

このビットの設定(1)が状態メモリへのXORデータ格納を許可します。このビットが設定(1)されると、状態メモリに格納されるデータは状態メモリ内の現在のデータとビット単位でXORされます。このビットへの0書き込みはXOR格納動作を禁止し、状態メモリへ書かれる新しいデータは状態メモリ内の現在のデータに上書きします。

● ビット1,0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

23.5.2. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$01	ERROR	–	–	–	–	–	–	SRIF	STATUS
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – ERROR : 異常 (Error)

ERRORフラグはAES暗号単位部の不正な取り扱いを示します。このフラグは次の状態で設定(1)されます。

- 状態メモリと/または鍵メモリが完全に格納または読み込まれていない間の制御(CTRL)レジスタでの開始/走行(START)の設定(1)。この異常はAES開始前に状態配列(STATE)と鍵(KEY)のレジスタとの総読み書き操作数が16の倍数でなかった時に起きます。
- STARTビットが1の間の制御(CTRL)レジスタ(読みまたは書き)アクセス。

このフラグはこのビット位置への1書き込みによって解除(0)できます。

● ビット6~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット0 – SRIF : 状態配列準備可割り込み要求フラグ** (State Ready Interrupt Flag)

このフラグは割り込み/DMA要求フラグで、暗号化/解読手順が完了されて状態メモリが有効なデータを含む時に設定(1)されます。フラグが0である限り、状態メモリ内に暗号化/解読された有効なデータがないことを示します。

このフラグは状態メモリへの読み込みアクセスが行われる(先頭バイトが読まれる)時にハードウェアによって解除(0)されます。代わりにこのビット位置へ1を書くことによってもこのビットは解除(0)できます。

23.5.3. STATE – 状態配列レジスタ (State register)

ビット	7	6	5	4	3	2	1	0	
+\$02	STATE7~0								STATE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

STATEレジスタは状態メモリのアクセスに使われます。暗号化/解読が行われ得る前に、状態メモリはSTATEレジスタを通してバイト単位で続けて書かれなければなりません。暗号化/解読が行われた後、暗号文/平文はSTATEレジスタを通してバイト単位で続けて読むことができます。

STATEレジスタへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。このレジスタは暗号化/解読中にアクセスできません。

23.5.4. KEY – 鍵レジスタ (Key register)

ビット	7	6	5	4	3	2	1	0	
+\$03	KEY7~0								KEY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

KEYレジスタは鍵メモリのアクセスに使われます。暗号化/解読が行われ得る前に、鍵メモリはKEYレジスタを通してバイト単位で続けて書かれなければなりません。暗号化/解読が行われた後、最後の補助鍵がKEYレジスタを通してバイト単位で続けて読めます。

KEYレジスタへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。

23.5.5. INTCTRL – 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	-	-	-	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~2 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット1,0 – INTLVL1,0 : 割り込み優先権と許可 (Interrupt and Enable)**

これらのビットはAES割り込みを許可し、86頁の「割り込みと多段割り込み制御器」で記述されるように割り込み段位を選びます。状態(STATUS)レジスタの状態配列準備可割り込み要求フラグ(SRIF)が設定(1)される時に許可された割り込みが生成されます。

23.6. レジスタ要約 – AES

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	INTCTRL	-	-	-	-	-	-	INTLVL1,0		186
+\$03	KEY	KEY7~0								186
+\$02	STATE	STATE7~0								186
+\$01	STATUS	-	-	-	-	-	-	-	SRIF	185
+\$00	CTRL	START	AUTO	RESET	DECRYPT	-	XOR	-	-	185

23.7. 割り込みベクタ要約

表23-2. AES割り込みベクタとその変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	AES_vect	AES割り込みベクタ

24. EBI – 外部バス インターフェース

24.1. 要点

- 以下までのSRAM支援
 - 2ポートEBI使用で512Kバイト
 - 3ポートEBI使用で16Mバイト
- 以下までのSDRAM支援
 - 3ポートEBI使用で128Mビット
- ソフトウェアで構成設定可能な4つのチップ選択
- ソフトウェアで構成設定可能な待ち状態挿入
- 高速アクセスのために周辺機能クロック周波数×2で走行可

24.2. 概要

外部バス インターフェース(EBI)はデータ メモリ空間を通してアクセスするために外部の周辺機能とメモリを接続するのに使われます。EBIが許可されると、内部SRAMに属さない(訳補:正確には内部で未定義の)データ アドレス空間が専用EBIピンを使って利用可能になります。

EBIは外部のSRAM、SDRAMや、LCD表示器、その他のメモリ割り当てデバイスのような周辺機能をインターフェースすることができます。

アドレス空間は256バイト(8ビット)～16Mバイト(24ビット)まで選択可能です。より多いまたはより少ないピンがEBIに対して利用可能な時に、ピンの最適使用のためにアドレス線とデータ線に関する多くの多重化動作種別が選べます。メモリ全体は内部SRAMの最後に続く1つの直線的なデータ アドレス空間に割り当てられます。この詳細については17頁の「データ メモリ」を参照してください。

EBIは各々独立した構成設定の4つのチップ選択を持っています。各々はSRAM、少ピン数(LPC)SRAM、またはSDRAM用に構成設定することができます。

EBIはCPUよりも2倍まで速い高速周辺×2クロックからクロック駆動されます。

4ビットと8ビットのSDRAMが支援され、CAS遅延や再活性速度のようなSDRAM構成設定はソフトウェアで設定することができます。

SRAM、SDRAM、それらのメモリ型式がどう構成され、どう動作するかの詳細については、SRAMとSDRAM仕様書とデータシートを参照してください。本章はEBI仕様詳細だけを含みます。

24.3. チップ選択

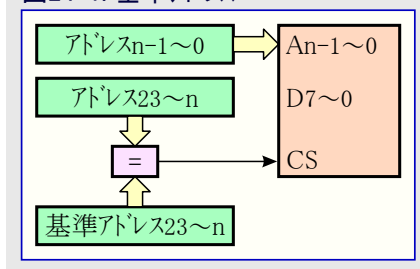
EBI単位部は各々が独立したアドレス範囲で連携できる4つのチップ選択線(CS0～CS3)を持ちます。チップ選択は与えられたメモリ アドレスがEBIで発行される時に、メモリまたはメモリ割り当てされた外部ハードウェアのどれがアクセスされるかを制御します。各チップ選択は独立した構成設定を持ち、SRAMまたは少ピン数(LPC)SRAM用に設定することができます。チップ選択3はSDRAM用にも構成設定することができます。

各チップ選択は各チップ選択と提携するデータ メモリ アドレス空間を決めるのに使われる構成設定可能な基準アドレスとアドレス容量を持ちます。

24.3.1. 基準アドレス

チップ選択に割り当てられた基準アドレスはアドレス空間内の最低位アドレスで、接続されたメモリハードウェアがアクセスされ得るデータ メモリ空間内の先頭位置を決めます。各チップ選択に関連する基準アドレスは4Kバイト境界でなければなりません。

図24-1. 基準アドレス



24.3.2. アドレス容量

アドレス容量はチップ選択が生成されている時に比較されるべきアドレスのビット数を選びます。アドレス容量は256バイト～16Mバイトのどれかにできます。アドレス空間(容量)が4Kバイトよりも大きなどれかに設定される場合、基準アドレスはアドレス空間に等しい境界でなければなりません。例えば、チップ選択に対して1Mバイトのアドレス空間では、基準アドレスが0、1Mバイト、2Mバイトなどのような境界でなければなりません。

アドレス空間が重なるようにEBIが構成設定される場合、内部的なメモリ空間はチップ選択0(CS0)、CS1、CS2、CS3(の順)に従って優先権を持ちます。

24.3.3. アドレス線としてのチップ選択線

何れかのチップ選択線が未使用の場合、それらはいくつかの組み合わせでアドレス線として使うことができます。これはより大きな外部メモリまたは外部CS生成を許します。図24-2の各列は許可されたチップ選択線(CSn)と未使用チップ選択線で利用可能なアドレス線(An)を示します。右端列はCS3だけが許可される時に4つのCS線がアドレス線として使われるのを示します。

図24-2. チップ選択線とアドレス線の可能な組み合わせ

CS3	CS3	CS3	A19
CS2	CS2	CS2	A18
CS1	CS1	A17	A17
CS0	A16	A16	A16

24.4. EBIクロック

EBIは周辺2倍クロック(clkPER2)からクロック駆動されます。このクロックはCPUクロック周波数、またはCPUクロック周波数の2倍で走行することができます。これはより速いEBIアクセス時間に使うことができます。周辺2倍クロックとこれを構成設定する方法の詳細については55頁の「システムクロックとクロック選択」を参照してください。

24.5. SRAM構成設定

SRAMで使う時に、EBIは外部アドレスラッチを使うことによる様々なアドレス多重化動作種別の使用、または多重化なしで構成設定することができます。EBIに対してデバイスで利用可能なピン数が制限されるとき、EBIからアドレス線を多重化する外部ラッチを制御するのにアドレスラッチ許可(ALE:Address Latch Enable)信号が使われます。利用可能な構成設定は24.5.1.項～次頁の24.5.4.項で示されます。表24-1. はSRAMインターフェース信号を記述します。

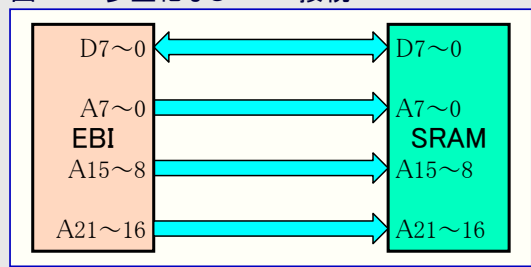
表24-1. SRAMインターフェース信号

信号名	内容
\overline{CS}	チップ選択
\overline{WE}	書き込み許可
\overline{RE}	読み込み許可
ALE2~0	アドレスラッチ許可
A23~0	アドレス
D7~0	データバス
AD7~0	アドレスとデータの組み合わせ

24.5.1. 多重化なし

多重化なしが使われると、EBIとSRAM間は1対1の接続です。外部アドレスラッチは使われません。

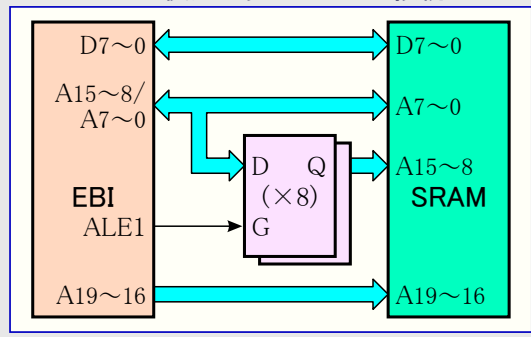
図24-3. 多重化なしSRAM接続



24.5.2. アドレスバイト0と1の多重化

アドレスバイト0(A7~0)とアドレスバイト1(A15~8)が多重化されると、それらは同じポートからの出力で、デバイスからのALE1信号がアドレスラッチを制御します。

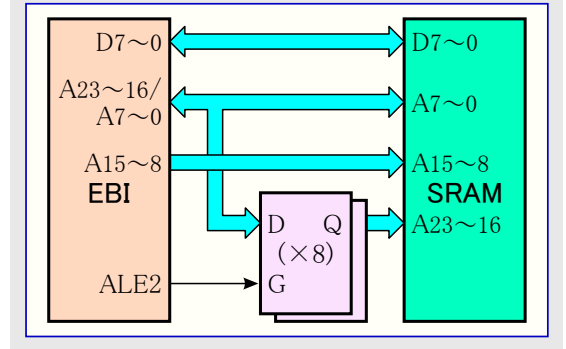
図24-4. ALE1使用の多重化SRAM接続



24.5.3. アドレス バイト0と2の多重化

アドレス バイト0(A7~0)とアドレス バイト2(A23~16)が多重化されると、それらは同じポートからの出力で、デバイスからのALE2信号がアドレス ラッチを制御します。

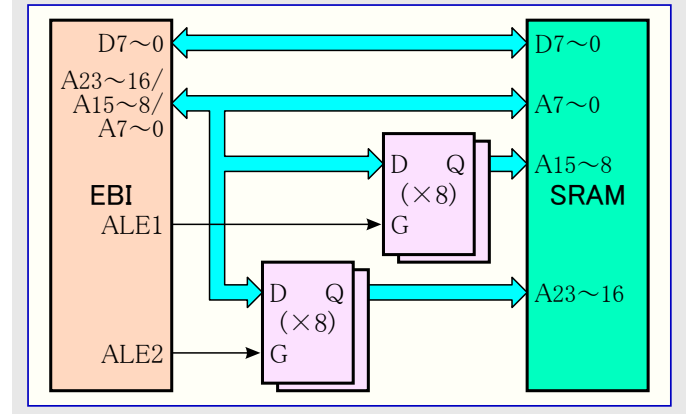
図24-5. ALE2使用の多重化SRAM接続



24.5.4. アドレス バイト0,1と2の多重化

アドレス バイト0(A7~0)、アドレス バイト1(A15~8)、アドレス バイト2(A23~16)が多重化されると、それらは同じポートからの出力で、デバイスからのALE1信号とALE2信号が外部アドレス ラッチを制御します。

図24-6. ALE1とALE2使用の多重化SRAM接続



24.5.5. アドレス ラッチ

アドレス ラッチ タイミングとパラメータの必要条件はデータシートで記述されます。詳細についてはデバイスのデータシートの特性をご覧ください。アドレスの多重化使用時にアクセス時間を減らすため、ラッチされたアドレスの更新が必要とされる時にだけALE信号が発行されます。例えばアドレス線のA15~8がA7~0と多重化される場合、最後のアクセスの時からA15~8内のどれかのビットが変更される場合にだけALE1とA15~8が与えられます。

24.5.6. タイミング

SRAMまたは外部メモリは異なるタイミング必要条件を持つかもしれませんが、それらの異なる必要条件に応じるため、各チップ選択は各種待ち状態に構成設定することができます。詳細タイミングはデバイスのデータシートで記述されます。

24.6. SRAM LPC構成設定

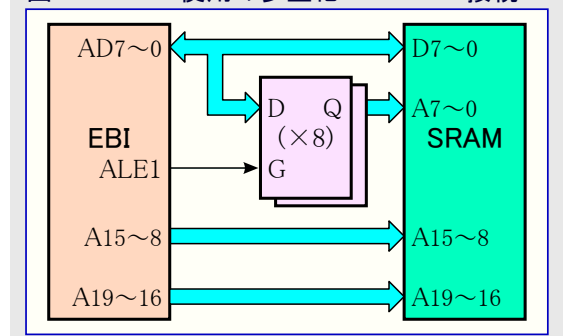
SRAM少ピン数(LPC)構成設定はデータ線とアドレス線が多重化された多重化動作用に構成設定されたEBIを許可します。SRAM構成設定と比べて、これはEBIに対して必要とするピン数を更に減らすことができます。利用可能な構成設定は24.6.1.項~次頁の24.6.2.項で示されます。

タイミングとアドレス ラッチの必要条件はSRAM構成設定と類似です。

24.6.1. アドレス バイト0とのデータ多重化

データ バイトとアドレス バイト0(AD7~0)が多重化されると、それらは同じポートから出力され、デバイスからのALE1信号がアドレス ラッチを制御します。

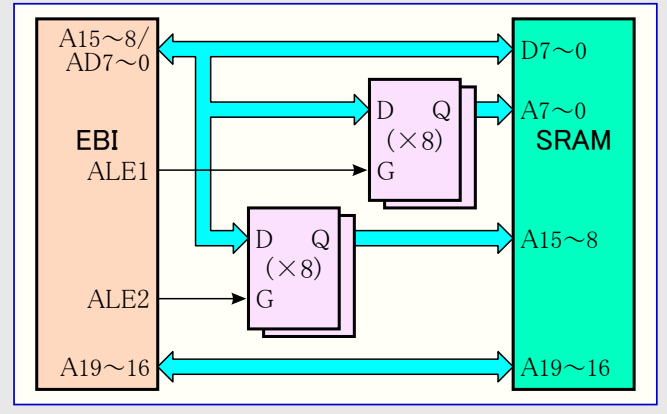
図24-7. ALE1使用の多重化SRAM LPC接続



24.6.2. アドレス バイト0と1とのデータ多重化

データ バイトとアドレス バイト0(AD7~0)、それとアドレス バイト1(A15~8)が多重化されると、それらは同じポートからの出力で、デバイスからのALE1信号とALE2信号が外部アドレス ラッチを制御します。

図24-8. ALE1とALE2使用の多重化SRAM LPC接続



24.7. SDRAM構成設定

EBIのチップ選択3はSDRAM動作に構成設定することができ、EBIは3ポートまたは4ポートのインターフェースに構成設定されなければなりません。SDRAMは4ビットまたは8ビットのデータバスに構成設定することができ、4ポートインターフェースは8ビットデータバスに対して使われなければなりません。EBIからSDRAMへのSDRAMインターフェース信号は表24-2.で一覧にされます。

表24-2. SDRAMインターフェース信号

信号名	内容
CS	チップ選択
\overline{WE}	書き込み許可
RAS	行アドレス ストローブ
\overline{CAS}	列アドレス ストローブ
\overline{DQM}	データ遮蔽信号/出力許可
CKE	クロック許可
CLK	クロック
BA1,0	バンク アドレス
A12~0	アドレス バス
A10	プリチャージ
D7~0	データ バス

24.7.1. 支援される命令

EBIによって支援されるSDRAM命令は表24-3.で一覧にされます。

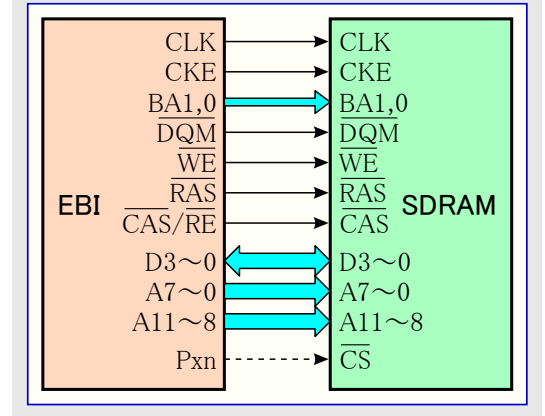
表24-3. 支援されるSDRAM命令

命令	内容
NOP	無操作
ACTIVE	選んだバンクを活性化して行を選択
READ	列アドレスの入力を開始して集中読み込み操作を開始
WRITE	列アドレスの入力を開始して集中書き込み操作を開始
PRECHARGE	選択バンクまたは全バンクを開放して非活性
AUTO REFRESH	各バンクの1行を再活性
LOAD MODE	形態(Mode)レジスタ設定
SELF REFRESH	自己再活性動作を活性化(許可)

24.7.2. 3ポートEBI構成設定

3ポートEBIが利用可能な時にSDRAMは3ポートEBI構成設定で接続することができます。これが行われると、4ビットデータバスだけが利用可能で、どのチップ選択もソフトウェアから汎用I/Oピン(Pxn)を使って制御されなければなりません。

図24-9. 3ポートSDRAM構成設定



24.7.3. タイミング

EBIがCPUクロック速度の2倍でクロック駆動されるとき、SDRAMに対してクロック許可(CKE)信号が必要とされます。

24.7.4. 初期化

SDRAMへのチップ選択3構成設定はSDRAMの初期化を許可します。初期化の終わりで“Load Mode Register”命令が自動的に発行されます。SDRAMに格納されるべき正しい情報に関して次の1つが行われなければなりません。

1. チップ選択3をSDRAMに許可する前にSDRAM制御レジスタを設定してください。
2. SDRAMが初期化された後で“Load Mode Register”命令を発行して擬似アクセスを実行してください。

SDRAM初期化は他のEBIアクセスによる割り込みができません(訳補:他のEBI関係操作不可の意)。

24.7.5. 再活性 (リフレッシュ)

EBIは再活性周期が設定されている限り、SDRAM再活性を自動的に取り扱います。平均ではSDRAM再活性周期(REFRESH)レジスタによって与えられる間隔で1つの再活性命令を発行します。再活性が実行されるべき時にインターフェースが他のチップ選択で多忙、または読み書きの最中の場合にEBIは4つまでの再活性命令を集積することができます。

24.8. I/Oピンとピン出力構成設定

EBIが許可されると、EBI線が配置されたI/Oピンに対する方向と/または値を無効にします。EBIはEBIデータ線が配置されたI/Oピンに対する方向と値を無効にします。EBIは値だけを無効にし、EBIのアドレス線と制御線が配置されたI/Oピンに対する方向を無効にしません。これらのI/OピンはEBIが使われる時に出力に構成設定されなければなりません。未使用のEBIアドレスと制御線に対するI/Oピンは標準I/Oピンまたはそのピンの他の交換機能として使うことができます。

Low活性の制御信号についてはピン出力値が1(High)に設定されるべきです。High活性の制御信号についてはピン出力値が0(Low)に設定されるべきです。アドレス線は特定ピン出力値構成設定の必要がありません。チップ選択線は電源ONやリセットの間にそれらがHighを保つのを保証するためにプルアップ抵抗を持つべきです。チップ選択線がHigh活性の場合、プルアップの代わりにプルダウンが使われるべきです。

I/Oピン構成設定のより多くの詳細については91頁の「入出力ポート」を参照してください。

下表は様々なSRAMとSDRAM構成設定に対する実際のポートピン配置を要約し、必要とされるピンとピンの使い方を示します。特定のAVR XMEGAデバイスに関してEBIのPORT0~3として実際にどの入出力ポートが使われるかを知るためにデバイスのデータシートを参照してください。

表24-4. SRAMのピン配置

ポート	ピン	SRAM 3ポート ALE1	SRAM 3ポート ALE12
PORT2	7~0	A7~0/ A15~8	A7~0/ A15~8/ A23~16
PORT1	7~0	D7~0	D7~0
	7~4	$\overline{CS}3\sim0$ (A19~16)	$\overline{CS}3\sim0$
PORT0	3	-	$\overline{ALE}2$
	2	$\overline{ALE}1$	$\overline{ALE}1$
	1	\overline{RE}	\overline{RE}
	0	\overline{WE}	\overline{WE}

表24-5. SRAM LPCのピン配置

ポート	ピン	SRAM LPC 2ポート ALE1	SRAM LPC 3ポート ALE1	SRAM 2/3ポート ALE12
PORT2	7~0	-	A15~8	-
PORT1	7~0	D7~0/ A7~0	D7~0/ A7~0	D7~0/ A7~0/ A15~8
PORT0	7~4	$\overline{CS}3\sim0$	$\overline{CS}3\sim0$ (A19~16)	$\overline{CS}3\sim0$ (A19~16)
	3	-	-	ALE2
	2	$\overline{ALE}1$	$\overline{ALE}1$	-
	1	\overline{RE}	\overline{RE}	\overline{RE}
	0	\overline{WE}	\overline{WE}	\overline{WE}

表24-6. SDRAMのピン配置

ポート	ピン	SDRAM 3ポート 4ビット
PORT2	7~0	A7~0
PORT1	7~4	A11~8
	3~0	D3~0
PORT0	7	CLK
	6	CKE
	5	BA1
	4	BA0
	3	\overline{DQM}
	2	\overline{RAS}
	1	\overline{CAS}
	0	\overline{WE}

24.9. レジスタ説明 – EBI

24.9.1. CTRL – 制御レジスタ (Control register)

ビット +\$00	7	6	5	4	3	2	1	0	CTRL
	SDDATAW1,0		LPCMODE1,0		SRMODE1,0		IFMODE1,0		
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – SDDATAW1,0 : SDRAMデータ幅設定 (SDRAM Data Width Setting)

これらのビットは表24-7.に従ってEBI SDRAMデータ幅構成設定を選びます。

表24-7. SDRAM種別

SDDATAW1,0	群構成設定	内容
0 0	4BIT	4ビット データ バス
0 1	-	(予約)
1 0	-	(予約)
1 1	-	(予約)

- ビット5,4 – LPCMODE1,0 : 少ピン数SRAM種別 (SRAM Low Pin-count Mode)

これらのビットは表24-8.に従ってEBI SRAM LPC構成設定を選びます。

表24-8. SRAM LPC種別

LPCMODE1,0	群構成設定	内容
0 0	ALE1	アドレス バイト0と多重化されたデータ
0 1	-	(予約)
1 0	ALE12	アドレス バイト0,1と多重化されたデータ
1 1	-	(予約)

- ビット3,2 – SRMODE1,0 : SRAM種別 (SRAM Mode)

これらのビットは表24-9.に従ってEBI SRAM構成設定を選びます。

表24-9. SRAM種別

SRMODE1,0	群構成設定	ALE	内容
0 0	ALE1	ALE1	アドレス バイト0と1の多重化
0 1	ALE2	ALE2	アドレス バイト0と2の多重化 (注)
1 0	ALE12	ALE1と2	アドレス バイト0,1と2の多重化
1 1	NOALE	ALEなし	アドレス多重化なし (注)

注: ALE2とNOALEは4ポートEBIインターフェースでだけ利用可能です。

- ビット1,0 – IFMODE1,0 : インターフェース種別 (Interface Mode)

これらのビットは表24-10.に従ってEBIインターフェース種別と(標準機能を)無効化してEBI用に許可されるポート数を選びます。

表24-10. EBI種別

IFMODE1,0	群構成設定	内容
0 0	DISABLED	EBI禁止
0 1	3PORT	3ポート インターフェースでEBI許可
1 0	-	(予約)
1 1	2PORT	2ポート インターフェースでEBI許可

24.9.2. SDRAMCTRLA – SDRAM制御レジスタ (SDRAM Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	–	SDCAS	SDROW	SDCOL1,0		SDRAMCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 – SDCAS : SDRAM CAS遅延 (SDRAM CAS latency)

このビットはclk_{PER2}周期数としてCAS遅延を設定します。既定でのこのビットは0で、CAS遅延は2 clk_{PER2}周期です。このビットが1に設定された時のCAS遅延は3 clk_{PER2}周期です。

表24-11. SDRAM CAS遅延

SDCAS	群構成設定	内容
0	2CLK	2 clk _{PER2} 周期遅延
1	3CLK	3 clk _{PER2} 周期遅延

● ビット2 – SDROW : SDRAM行ビット数 (SDRAM Row Bits)

このビットは接続されたSDRAMに対して使う行ビット数を設定します。既定でのこのビットは0で、行ビット数設定は11ビット行に設定されます。このビットが1に設定された時の行ビット数設定は12ビット行に設定されます。

表24-12. SDRAM行ビット数

SDROW	群構成設定	内容
0	11BIT	行11ビット
1	12BIT	行12ビット

● ビット1,0 – SDCOL1,0 : SDRAM列ビット数 (SDRAM Column Bits)

これらのビットは表24-13に従って、接続されたSDRAMに対して使う列ビット数を選びます。

表24-13. SDRAM列ビット数

SDCOL1,0	群構成設定	内容
0 0	8BIT	8ビット列
0 1	9BIT	9ビット列
1 0	10BIT	10ビット列
1 1	11BIT	11ビット列

24.9.3. REFRESH – SDRAM再活性周期レジスタ (SDRAM Refresh Period register)

ビット	15	14	13	12	11	10	9	8	
+\$05	–	–	–	–	–	–	REFRESH9~8		REFRESHH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
+\$04	REFRESH7~0								REFRESHL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット15~10 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット9~0 – REFRESH9~0 : SDRAM再活性周期 (SDRAM Refresh Period)

このレジスタはclk_{PER2}周期数として再活性周期を設定します。再活性時にEBIが他の外部メモリアクセスで多忙の場合、4回までの再活性が記憶され、最初の利用可能時に行われます。

24.9.4. INITDLY – SDRAM初期化遅延レジスタ (SDRAM Initialization Delay register)

ビット	15	14	13	12	11	10	9	8	
+\$07	-		INITDLY13~8						INITDLYH
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
+\$06	INITDLY7~0								INITDLYL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット15,14 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット13~0 – INTDLY13~0 : SDRAM初期化遅延 (SDRAM Initialization Delay)

このレジスタは制御器許可後、全ての電圧が安定にされてSDRAMクロックが初期化手順を通すのに充分長く走行してしまうまでの初期化手順遅延に使われます。この初期化手順は自動再活性周期を発行するそれらのアイドル状態とその後の多くのレジスタ格納のための全バンクの事前充電を含みます。このレジスタの設定はclk_{PER2}周期数としてです。

24.9.5. SDRAMCTRLB – SDRAM制御レジスタB (SDRAM Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$08	MRDLY1,0		ROWCYCDLY2~0			RPDLY2~0			SDRAMCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – MRDLY1,0 : SDRAM Mode Register遅延 (SDRAM Mode Register Delay)

これらのビットは表24-14に従って、周辺2倍クロック(clk_{PER2})周期数でのLOAD MODE命令とACTIVE命令間遅延を選びます。

表24-14. SDRAM Load Mode⇒Activeの命令間遅延設定

MRDLY1,0	群構成設定	内容
0 0	0CLK	0 clk _{PER2} 周期遅延
0 1	1CLK	1 clk _{PER2} 周期遅延
1 0	2CLK	2 clk _{PER2} 周期遅延
1 1	3CLK	3 clk _{PER2} 周期遅延

● ビット5~3 – ROWCYCDLY2~0 : SDRAM行周期遅延 (SDRAM Row Cycle Delay)

これらのビットは表24-15に従って、clk_{PER2}周期数でのREFRESHとACTIVE命令間遅延を選びます。

表24-15. SDRAM行周期遅延設定

ROWCYCDLY2~0	群構成設定	内容	ROWCYCDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clk _{PER2} 周期遅延	1 0 0	4CLK	4 clk _{PER2} 周期遅延
0 0 1	1CLK	1 clk _{PER2} 周期遅延	1 0 1	5CLK	5 clk _{PER2} 周期遅延
0 1 0	2CLK	2 clk _{PER2} 周期遅延	1 1 0	6CLK	6 clk _{PER2} 周期遅延
0 1 1	3CLK	3 clk _{PER2} 周期遅延	1 1 1	7CLK	7 clk _{PER2} 周期遅延

● ビット2~0 – RPDLY2~0 : SDRAM行事前充電遅延 (SDRAM Row to Pre-charge Delay)

これらのビットは表24-16に従って、clk_{PER2}周期数でのACTIVE命令とPRECHARGE命令間遅延を定義します。

表24-16. SDRAM行事前充電遅延設定

RPDLY2~0	群構成設定	内容	RPDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clk _{PER2} 周期遅延	1 0 0	4CLK	4 clk _{PER2} 周期遅延
0 0 1	1CLK	1 clk _{PER2} 周期遅延	1 0 1	5CLK	5 clk _{PER2} 周期遅延
0 1 0	2CLK	2 clk _{PER2} 周期遅延	1 1 0	6CLK	6 clk _{PER2} 周期遅延
0 1 1	3CLK	3 clk _{PER2} 周期遅延	1 1 1	7CLK	7 clk _{PER2} 周期遅延

24.9.6. SDRAMCTRLC – SDRAM制御レジスタC (SDRAM Control register C)

ビット +\$09	7	6	5	4	3	2	1	0	SDRAMCTRLC
	WRDLY1,0		ESRDLY2~0			ROWCOLDLY2~0			
Read/Write 初期値	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	R/W 0	

- ビット7,6 – WRDLY1,0 : SDRAM書き込み回復遅延 (SDRAM Write Recovery Delay)
これらのビットは表24-17に従って、clkPER2周期数での書き込み回復時間を選びます。

表24-17. SDRAM書き込み回復時間設定

WRDLY1,0	群構成設定	内容
0 0	0CLK	0 clkPER2周期遅延
0 1	1CLK	1 clkPER2周期遅延
1 0	2CLK	2 clkPER2周期遅延
1 1	3CLK	3 clkPER2周期遅延

- ビット5~3 – ESRDLY2~0 : SDRAM自己再活性後活性遅延 (SDRAM Exit Self-refresh to Active Delay)
この領域は表24-18に従って、clkPER2周期数でのCKE=High設定とACTIVE命令間遅延を定義します。

表24-18. SDRAM自己再活性抜け出し遅延設定

ESRDLY2~0	群構成設定	内容	ESRDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clkPER2周期遅延	1 0 0	4CLK	4 clkPER2周期遅延
0 0 1	1CLK	1 clkPER2周期遅延	1 0 1	5CLK	5 clkPER2周期遅延
0 1 0	2CLK	2 clkPER2周期遅延	1 1 0	6CLK	6 clkPER2周期遅延
0 1 1	3CLK	3 clkPER2周期遅延	1 1 1	7CLK	7 clkPER2周期遅延

- ビット2~0 – ROWCOLDLY2~0 : SDRAM行後列遅延 (SDRAM Row to Column Delay)
この領域は表24-19に従って、clkPER2周期数でのACTIVE命令とREAD/WRITE命令間遅延を定義します。

表24-19. SDRAM行/列遅延設定

ESRDLY2~0	群構成設定	内容	ESRDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clkPER2周期遅延	1 0 0	4CLK	4 clkPER2周期遅延
0 0 1	1CLK	1 clkPER2周期遅延	1 0 1	5CLK	5 clkPER2周期遅延
0 1 0	2CLK	2 clkPER2周期遅延	1 1 0	6CLK	6 clkPER2周期遅延
0 1 1	3CLK	3 clkPER2周期遅延	1 1 1	7CLK	7 clkPER2周期遅延

24.10. レジスタ説明 – EBI チップ選択

24.10.1. CTRLA – 制御レジスタA (Control register A)

ビット +\$00	7	6	5	4	3	2	1	0	CTRLA
	-			ASIZE4~0			MODE1,0		
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書きしてください。

● ビット6~2 – ASIZE4~0 : アドレス容量 (Address Size)

これらのビットはチップ選択に対するアドレス容量を選びます。これは基準アドレスから上位の塊量です。

表24-20. アドレス空間符号化

ASIZE4~0	群構成設定	アドレス容量	比較アドレス線	ASIZE4~0	群構成設定	アドレス容量	比較アドレス線
0 0 0 0	256B	256バイト	アドレス23~8	0 1 0 0	128K	128Kバイト	アドレス23~17
0 0 0 1	512B	512バイト	アドレス23~9	0 1 0 1	256K	256Kバイト	アドレス23~18
0 0 0 1 0	1K	1Kバイト	アドレス23~10	0 1 0 1 1	512K	512Kバイト	アドレス23~19
0 0 0 1 1	2K	2Kバイト	アドレス23~11	0 1 1 0 0	1M	1Mバイト	アドレス23~20
0 0 1 0 0	4K	4Kバイト	アドレス23~12	0 1 1 0 1	2M	2Mバイト	アドレス23~21
0 0 1 0 1	8K	8Kバイト	アドレス23~13	0 1 1 1 0	4M	4Mバイト	アドレス23~22
0 0 1 1 0	16K	16Kバイト	アドレス23~14	0 1 1 1 1	8M	8Mバイト	アドレス23
0 0 1 1 1	32K	32Kバイト	アドレス23~15	1 0 0 0 0	16M	16Mバイト(注)	-
0 1 0 0 0	64K	64Kバイト	アドレス23~16	その他	-	-	(予約)

注: 利用可能なデータ空間全体が使われます。

● ビット1,0 – MODE1,0 : チップ選択動作種別 (Chip Select Mode)

これらのビットは表24-21.に従ってチップ選択動作種別を選び、外部のメモリまたは周辺機能に対してどのインターフェース形式が使われるかを決めます。

表24-21. チップ選択動作種別選択

MODE1,0	群構成設定	内容
0 0	DISABLE	チップ選択禁止
0 1	SRAM	SRAM用チップ選択許可
1 0	LPC	少ピン数(LPC) SRAM用チップ選択許可
1 1	SDRAM	SDRAM用チップ選択許可(注)

注: SDRAMはチップ選択(CS)3に対してだけ選べます。

24.10.2. CTRLB(対SRAM) – 制御レジスタB (Control register B)

このレジスタでの構成設定任意選択はチップ選択動作種別設定に依存します。以下のレジスタ記述はチップ選択動作種別がSRAMまたはSRAM LPCに構成設定される時に有効です。

ビット +\$01	7	6	5	4	3	2	1	0	CTRLB
	-			-			SRWS2~0		
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書きしてください。

● ビット2~0 – SRWS2~0 : SRAM待ち状態 (SRAM Wait State)

これらのビットは表24-22.に従って、SRAMとSRAM LPCに対する待ち状態をclkPER2周期数として選びます。

表24-22. SRAM待ち状態選択

SRWS2~0	群構成設定	内容	SRWS2~0	群構成設定	内容
0 0 0	0CLK	0 clkPER2周期遅延	1 0 0	4CLK	4 clkPER2周期遅延
0 0 1	1CLK	1 clkPER2周期遅延	1 0 1	5CLK	5 clkPER2周期遅延
0 1 0	2CLK	2 clkPER2周期遅延	1 1 0	6CLK	6 clkPER2周期遅延
0 1 1	3CLK	3 clkPER2周期遅延	1 1 1	7CLK	7 clkPER2周期遅延

24.10.3. CTRLB(対SDRAM) – 制御レジスタB (Control register B)

このレジスタでの構成設定任意選択はチップ選択動作種別設定に依存します。以下のレジスタ記述はチップ選択動作種別がSDRAMに構成設定される時に有効です。

ビット	7	6	5	4	3	2	1	0	
+\$01	SDINITDONE	-	-	-	-	SDREN	SDMODE1,0		CTRLB
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – SDINITDONE : SDRAM初期化完了フラグ (SDRAM Initialization Complete)**

このフラグはSDRAM初期化手順の最後で設定(1)されます。このフラグはEBIが許可され、チップ選択がSDRAM用に構成設定されている限り設定(1)に留まります。

● **ビット6~3 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット2 – SDSREN : SDRAM自己再活性許可 (SDRAM SELF-refresh Enable)**

このビットが1を書かれると、EBI制御器はSDRAMに自己再活性(Self-refresh)命令を送ります。自己再活性動作を抜け出すには、このビットが0を書かれなければなりません。

● **ビット1,0 – SDMODE1,0 : SDRAM動作種別 (SDRAM Mode)**

これらのビットは表24-23に従って、SDRAMアクセス時の動作種別を選びます。

表24-23. SDRAM動作種別

SDMODE1,0	群構成設定	内容
0 0	NORMAL	標準動作、SDRAMへのアクセスは標準的に復号されます。
0 1	LOAD	格納動作、EBIはSDRAMがアクセスされる時に“Load Mode Register”命令を発行します。
1 0	-	(予約)
1 1	-	(予約)

24.10.4. BASEADDR – 基準アドレスレジスタ (Base Address register)

ビット	15	14	13	12	11	10	9	8	
+\$03	BASEADDR23~16								BASEADDRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ビット	7	6	5	4	3	2	1	0	
+\$02	BASEADDR15~12				-	-	-	-	BASEADDRL
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ビット15~4 – BASEADDR23~12 : チップ選択基準アドレス (Chip Select Base Address)**

基準アドレスはチップ選択によって許可されるアドレス空間内の最下位アドレスです。チップ選択制御レジスタA(CTRLA)で設定するチップ選択アドレス容量(ASIZE)とで、これはチップ選択に対するアドレス空間を与えます。

● **ビット3~0 – 予約 (Reserved)**

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

24.11. レジスタ要約 – EBI

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$1C	CS3					チップ選択3 差分アドレス				
+\$18	CS2					チップ選択2 差分アドレス				
+\$14	CS1					チップ選択1 差分アドレス				
+\$10	CS0					チップ選択0 差分アドレス				
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	予約	-	-	-	-	-	-	-	-	
+\$0C	予約	-	-	-	-	-	-	-	-	
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	予約	-	-	-	-	-	-	-	-	
+\$09	SDRAMCTRLC	RWDLY1,0			ESRDLY2~0			ROWCOLDLY2~0		197
+\$08	SDRAMCTRLB	MRDLY1,0			ROWCYCDLY2~0			RPDLY2~0		196
+\$07	INITDLYH	-	-						SDRAM初期化遅延上位バイト (INITDLY13~8)	196
+\$06	INITDLYL								SDRAM初期化遅延下位バイト (INITDLY7~0)	196
+\$05	REFRESHH	-	-	-	-	-	-		REFRESH9,8	195
+\$04	REFRESHL								SDRAM再活性周期下位バイト (REFRESH7~0)	195
+\$03	予約	-	-	-	-	-	-	-	-	
+\$02	予約	-	-	-	-	-	-	-	-	
+\$01	SDRAMCTRLA	-	-	-	-	SDCAS	SDROW		SDCOL1,0	195
+\$00	CTRL	SDDATAW1,0			LPCMODE1,0		SRMODE1,0		IFMODE1,0	194

24.12. レジスタ要約 – EBI チップ選択

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$03	BASEADDRH								チップ選択基準アドレス上位バイト (BASEADDR23~16)	199	
+\$02	BASEADDRL								チップ選択基準アドレス上位バイト (BASEADDR15~12)	199	
+\$01	CTRLB	SRAM	-	-	-	-			SRWS2~0	198	
		SDRAM	SDINITDONE	-	-	-	-	SDSREN	SDMODE1,0	199	
+\$00	CTRLA	-							ASIZE4~0	MODE1,0	198

25. ADC – A/D変換器

25.1. 要点

- 12ビット分解能
- 1秒当たり最大200万採取
 - ADCと×1利得段を使って2つの入力を同時採取可
 - 1.5μs内で4入力 of 採取可
 - 8ビット分解能で最小2.5μsの変換時間
 - 12ビット分解能で最小3.5μsの変換時間
- 差動とシングルエンドの入力
 - 最大16のシングルエンド入力
 - 最大12×4種の利得なし差動入力
 - 8×4種の利得付き差動入力
- 組み込み差動利得段
 - 1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
 - 内部温度感知器
 - D/A変換器(DAC)出力
 - VCCの1/10の電圧
 - 1.1Vハントギャップ電圧
- 個別の入力制御と結果レジスタを持つ4つの変換チャンネル
 - 4つの並列構成設定と結果を許可
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の変換結果DMA転送
- 任意選択の比較結果での割り込み/事象

25.2. 概要

A/D変換器(ADC)はアナログ信号をデジタル値に変換します。ADCは12ビット分解能と秒当たり200万採取(MSPS)までの変換能力を持ちます。入力選択は柔軟で、シングルエンドと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

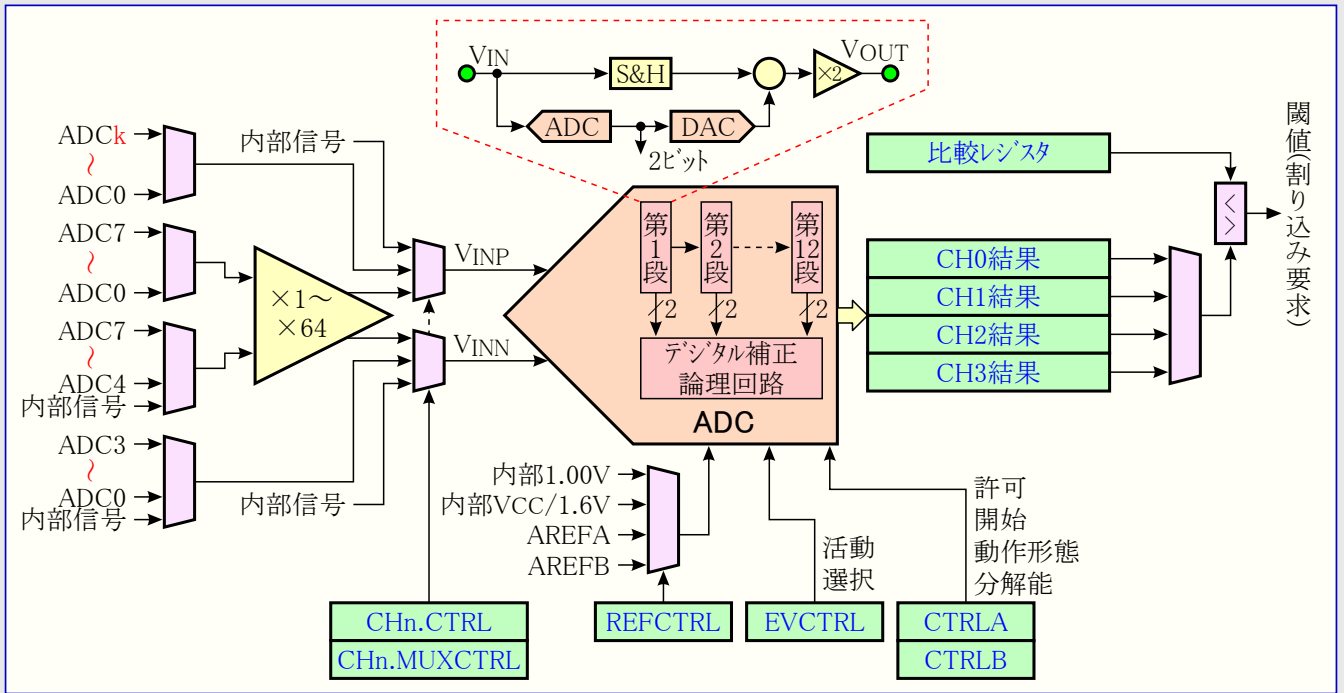
これは多くの連続段から成るパイプラインADCです。パイプライン設計は低いシステムクロック周波数での高い採取速度を許します。それは他のADC変換が未だ実行中と同時に新しい入力が採取され、新規のADC変換が始められることも意味します。これは採取速度と伝播遅延間の依存性を取り去ります。

ADC個別の入力選択、結果レジスタ、変換開始制御を持つ4つの変換チャンネル(0~3)を持ちます。そしてADCは4つの並列構成設定と結果を維持して使うことができ、これは高いデータ単位処理能力またはADC依存性を用いる複数単位部での応用に対する使用を容易にします。変換が行われる時にADCの結果を直接、メモリまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。D/A変換器、VCC/10、ハントギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

図25-1. ADC概要



注: XMEGA A1/A3デバイスについてはk=7、XMEGA A4デバイスについてはk=11

25.3. 入力元

入力元はADCが測定と変換を行える電圧入力です。4つの測定形式が選べます。

- (利得なし)差動入力
- 利得付き差動入力
- シングルエンド入力
- 内部入力

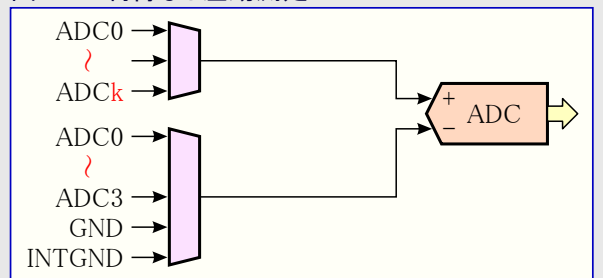
入力ピンはシングルエンドと差動の入力に使われ、一方内部入力はデバイスの内側で直接的に利用可能です。2つのADCを持つデバイスでは、PORTAピンがADCAへの入力にでき、PORTBピンがADCBへの入力にできます。1つだけのADCを持つAVR XMEGA デバイスについては、PORTAとPORTBの両方でADCに対して利用可能かもしれません。

ADCは差動で、故にシングルエンド測定については負入力が内部固定値に接続されます。4つの測定形式とそれらに対応する入力選択は図25-2.~次頁の図25-7.で示されます

25.3.1. 利得なし差動入力

差動入力が許可されると、全ての入力ピンは正入力として選べ、入力ピン0~3は負入力として選べます。差動入力が使われる時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

図25-2. 利得なし差動測定



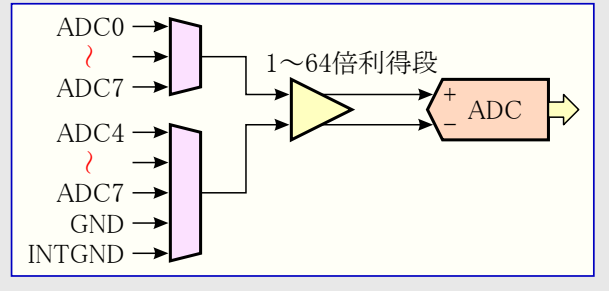
注: XMEGA A1/A3デバイスについてはk=7、XMEGA A4デバイスについてはk=11

25.3.2. 利得付き差動入力

利得付き差動入力が許可されると、全ての入力ピンは正入力として選べ、入力ピン4～7は負入力として選べます。利得段が使われると、差動入力は最初に採取され、その結果がADCに送られる前に利得段によって増幅されます。利得付き差動入力が使われる時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

利得は、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得が選択可能です。

図25-3. 利得付き差動測定



25.3.3. シングルエンド入力

シングルエンド測定については全ての入力ピンが入力として使うことができます。シングルエンド測定は符号付きと符号なしの両動作で行うことができます。

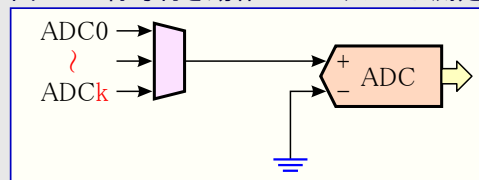
負入力は符号付き動作で内部GNDに接続されます。

符号なし動作では、負入力が基準電圧(VREF)の半分-固定変位に接続されます。この変位に対する公称値は以下です。

$$\Delta V = VREF \times 0.05$$

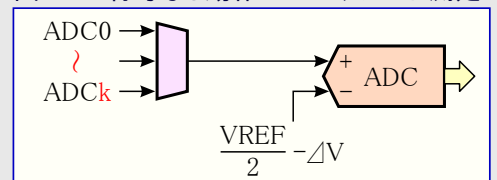
ADCが差動なので、入力範囲シングルエンド入力に対してVREFから0までです。変位はADCに対して符号なし動作での0交差測定を可能にし、デバイスの内部GNDが外部GNDよりも高い時の正の変位(オフセット)校正を許します。詳細については205頁の図25-11をご覧ください。

図25-4. 符号付き動作でのシングルエンド測定



注: XMEGA A1/A3デバイスについてはk=7、XMEGA A4デバイスについてはk=11

図25-5. 符号なし動作でのシングルエンド測定



注: XMEGA A1/A3デバイスについてはk=7、XMEGA A4デバイスについてはk=11

25.3.4. 内部入力

ADCによって4つの内部信号を測定または使うことができます。

- 温度感知器
- バンドギャップ電圧
- 縮尺VCC
- D/A変換器(DAC)出力
- パッドと内部のGND

温度感知器はデバイスの内部温度で直線的に増加する出力電圧を生じます。温度感知器からの温度を計算するのに1つ以上の校正点が必要とされます。温度感知器は製造検査で1点校正され、結果が製品識別列内の温度感知器校正レジスタ(TEMPSENSE0とTEMPSENSE1)に格納されます。より多くの校正条件の詳細についてはデバイスのデータシートを参照してください。

バンドギャップ電圧は正確な内部電圧基準です。

VCCはADC入力の前で1/10して縮尺することによって直接測定することができます。従って、1.8VのVCCは0.18Vとして測定され、3.6VのVCCは0.36Vとして測定され、これは容易なVCC電圧測定を許します。

内部信号はそれらが測定され得るのに先立って許可される必要があります。それらを許可する方法の詳細について、バンドギャップとDACに関してはそれらの手引書の項目を参照してください。内部信号に対する採取速度はADCのそれよりも遅いです。詳細についてはデバイスのデータシート内のADC特性を参照してください。

差動測定に関して負入力としてパッドGND(GND)と内部GNDを選ぶことができます。パッドGNDはピンでのGND基準で、外部GNDと同じまたは非常に近いものです。内部GNDは内部デバイスGND基準です。

内部GNDは他の内部信号がシングルエンド動作で測定される時の負入力として使われます。

符号なし動作で内部信号を測定するため、負入力は下の式によって与えられる固定値に接続され、それは符号なしシングルエンド入力に対する負入力として、基準電圧(VREF)の半分-固定変位です。詳細については205頁の図25-11をご覧ください。

$$VINN = VREF/2 - \Delta V$$

図25-6. 符号付き動作での内部測定

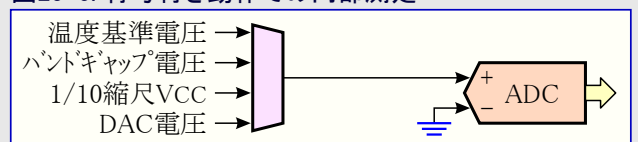
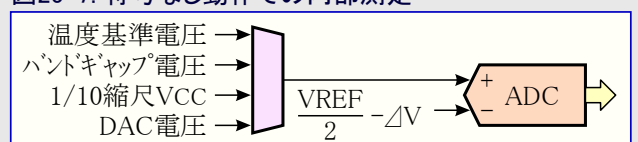


図25-7. 符号なし動作での内部測定



25.4. ADCチャネル

ADCの最大利用を容易にするため、対応する**結果レジスタ**と共に4つの独立した**多重器(MUX)制御レジスタ**対を持ちます。各対がADCチャネルを形成します。202頁の**図25-1**をご覧ください。そしてADCは入力元と起動の4つの並列構成設定を保持して使うことができます。各チャネルは専用の**結果レジスタ**、**事象と割り込み**、**DMA起動**を持ちます。

ADCチャネル使用法の例として、1つのチャネルは**事象チャネル**によって起動される**シングルエンド測定**に構成設定でき、2つ目のチャネルは別の**事象**を用いて**差動入力**を測定でき、そして最後の2つのチャネルは**アプリケーションソフトウェア**によって開始される他の2つの入力元を測定できます。

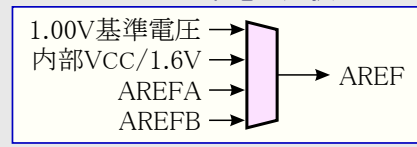
全てのADCチャネルは**変換**に関して同じADCパイプラインを使い、パイプラインは各ADCクロック周期での開始を新しい変換に許します。これは異なるチャネルからの複数のADC測定を同時且つ独立して変換できることを意味します。チャネルの**結果レジスタ**は個別に更新され、他のチャネルでの**変換**によって影響を及ぼされません。完全にお互い無関係に**変換**を開始して**変換結果**を読むことを異なるソフトウェア部に許すことによって、これはソフトウェアの複雑さを低減する助けになり得ます。

25.5. 基準電圧選択

ADCに対する基準電圧(AREF)として以下の電圧が利用可能です。

- バットキャップから生成された正確な内部1.00V電圧
- 内部VCC/1.6V電圧
- PORTAのAREFピンに印加された外部基準電圧
- PORTBのAREFピンに印加された外部基準電圧

図25-8. アナログ基準電圧選択



25.6. 変換結果

A/D変換の結果は対応するチャネルの**結果(RES)レジスタ**に書かれます。ADCは符号付きと符号なしのどちらかです。この設定はADCと全てのADCチャネルに対する全体設定です。

符号付き動作では、正と負の結果が生成されます。どのADCチャネルも**差動測定**に設定される時は符号付き動作が使われなければなりません。符号なし動作では**シングルエンド**または**内部信号**だけを測定することができます。12ビット分解能では符号付き結果のTOP値が2047で、結果は-2048~+2047(\$F800~\$07FF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - VINN}{VREF} \times GAIN \times (TOP+1)$$

VINPとVINNはADCへの正入力と負入力です。

差動測定に関して**利得(GAIN)**は1/2~64です。**シングルエンド**と**内部測定**に関して、**利得(GAIN)**は常に1で、VINPは内部GNDです。

符号なし動作では、正の結果だけが生成されます。符号なしの結果のTOP値は4095で、結果は0~4095(\$0000~\$0FFF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - (-\Delta V)}{VREF} \times (TOP+1)$$

VINPは**シングルエンド**または**内部**の入力です。

ADCは8ビットまたは12ビットの結果のどちらかを生成するように構成設定することができます。より低い分解能での結果はより早く利用可能になります。伝播遅延の記述については「**ADCクロックと変換タイミング**」をご覧ください。

結果レジスタは右揃えされた16ビットとして格納される16ビット幅です。右揃えは下位8ビットが下位バイトで得られることを意味します。12ビットの結果は左揃えまたは右揃えのどちらかで表されます。左揃えは上位8ビットが上位バイトで得られることを意味します。

ADCが符号付き動作のとき、最上位ビットは符号ビットを表します。12ビット右揃え動作では、直接的な符号付き16ビット数値を作成するために符号ビット(ビット11)値がビット12~15に詰められます。8ビット動作では符号ビット(ビット7)値が上位バイト全体に詰められます。

次頁の**図25-9**~**図25-11**は**差動入力任意選択**、**信号入力範囲**、**12ビット右揃え動作**での**結果表現**を示します。

図25-9. (利得付き)符号付き差動入力、入力範囲、結果表現

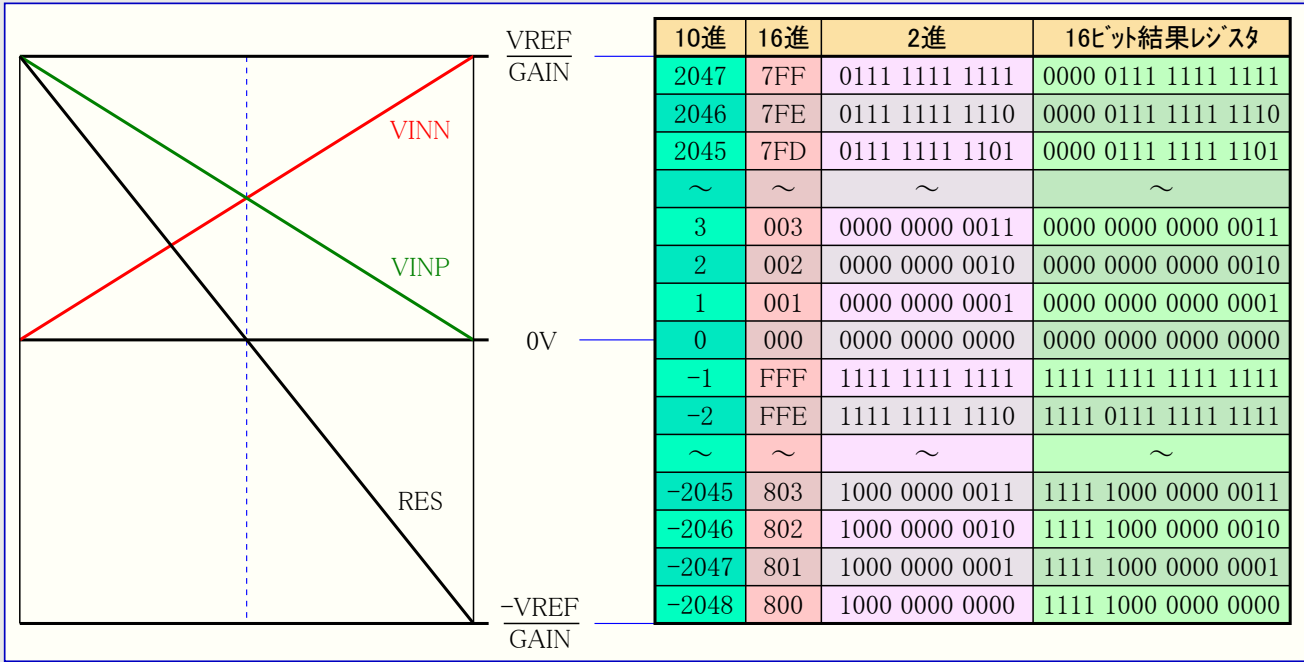


図25-10. 符号付きシングルエンド入力と内部入力、入力範囲、結果表現

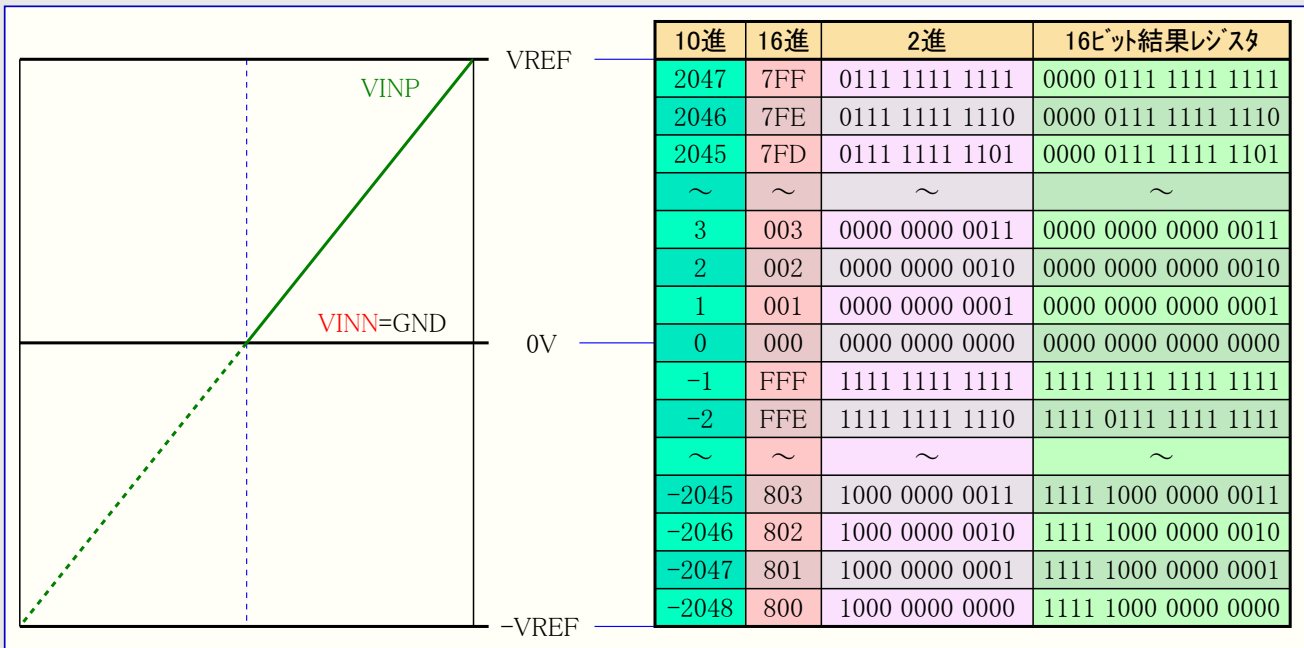
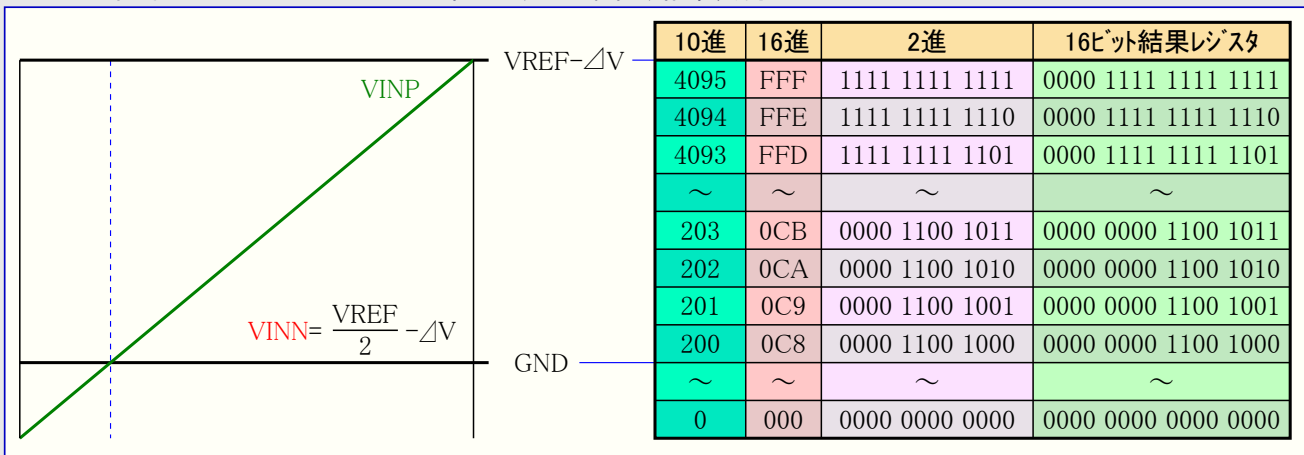


図25-11. 符号なしシングルエンド入力と内部入力、入力範囲、結果表現



25.7. 比較機能

ADCは組み込みの12ビット比較機能を持っています。ADC比較(CMP)レジスタは閾値電圧を表す12ビットを保持することができます。各ADCチャンネルは(比較)結果が閾値以上または以下の時にだけ割り込みまたは事象を生成するために、(変換)結果をこの比較値と自動的に比較するように構成設定することができます。

4つ全てのADCチャンネルが同じ比較レジスタを共用します。

25.8. 変換の開始方法

変換が開始される前に、1つ以上のADCチャンネルに対して入力元が選ばなければなりません。チャンネルに対するA/D変換はそのチャンネルに対する変換開始(START)ビットへのソフトウェア書き込みによって、または事象システムでのどれかの事象からのどちらからでも開始することができます。同時に多数のチャンネルに対して変換開始ビットを書くこと、または同時に多数のチャンネルでの変換起動に1つの事象を使うことが可能です。これは1つの事象から多数または全てのチャンネルを走査することを可能にします。走査は最低チャンネル番号から始まりません。

25.9. ADCクロックと変換タイミング

ADCは周辺機能クロックからクロック駆動されます。ADCの動作範囲内で応用の必要条件に合致するADCクロック(clk_{ADC})を供給するために、ADCは周辺機能クロックを前置分周できます。

ADC最大採取速度はADCクロック周波数(f_{ADC})によって与えられます。ADCは毎回のADCクロック周期で新しい測定を採取できます。

$$\text{採取速度} = f_{ADC}$$

ADC測定の伝播遅延は次式によって与えられます。

$$\text{伝播遅延} = \frac{1 + \frac{\text{RESOLUTION}}{2} + \text{GAIN}}{f_{ADC}}$$

RESOLUTIONは分解能で8または12ビットです。利得段(GAIN)が使われた場合、伝播遅延は1追加ADCクロック周期増えます。

伝播遅延は1 ADCクロック周期よりも長いのですが、パイプライン化された設計は採取速度が伝播遅延によって制限されるのではなく、ADCクロック速度によることを意味します。

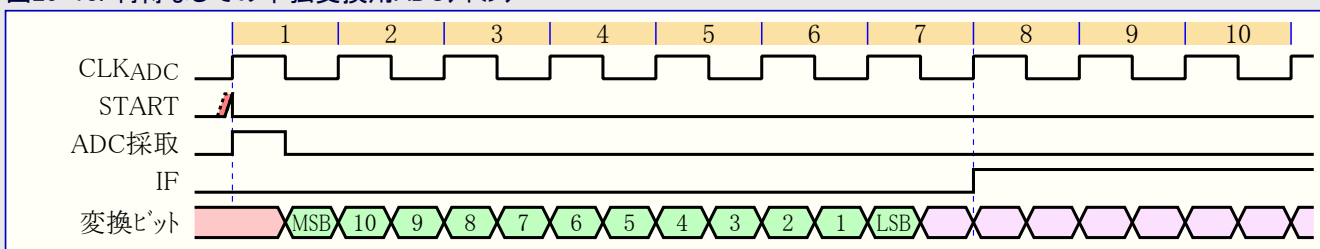
結果の最上位ビット(MSB)が最初に変換され、残りのビットは次からの(8ビット結果に対して)3または(12ビット結果に対して)5周期の間に変換されます。1ビットの変換はADCクロック半周期かかります。最終周期間で割り込み要求フラグが設定(1)される前に結果が準備され、結果は読み出し用の結果レジスタで利用可能です。

25.9.1. 利得なし単独変換

図25-13は利得なしでの単独変換に関するADCタイミングを示します。変換開始ビットの書き込みまたは事象が起動する変換(START)は、(START起動元の赤色(訳注:原書は灰色)傾斜で示される)変換が始まるADCクロック周期の、最低1周辺機能クロック周期前に起きなければなりません。

入力元は最初の周期の前半で採取されます。

図25-13. 利得なしでの単独変換用ADCタイミング



25.9.2. 利得付き単独変換

次ページの図25-14は利得付きでの単独変換に関するADCタイミングを示します。201ページの「概要」で見られるように、利得段は実際のADCに先行して配置されます。ADCがそれを採取して増幅された値を変換する前に、利得段が入力元を採取して増幅します。利得なしでの単独変換と比べて、これは利得段の採取と増幅のために(STARTとADC採取間に)1 ADCクロック周期を追加します。利得段に対する採取時間はADCクロック周期の半分です。

図25-12. ADC前置分周器

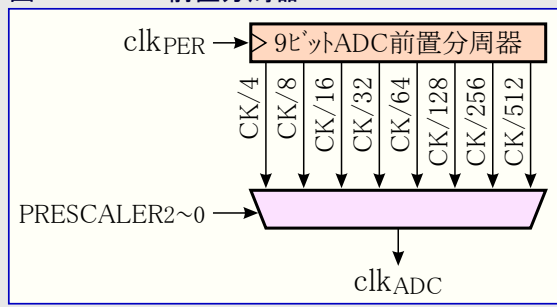
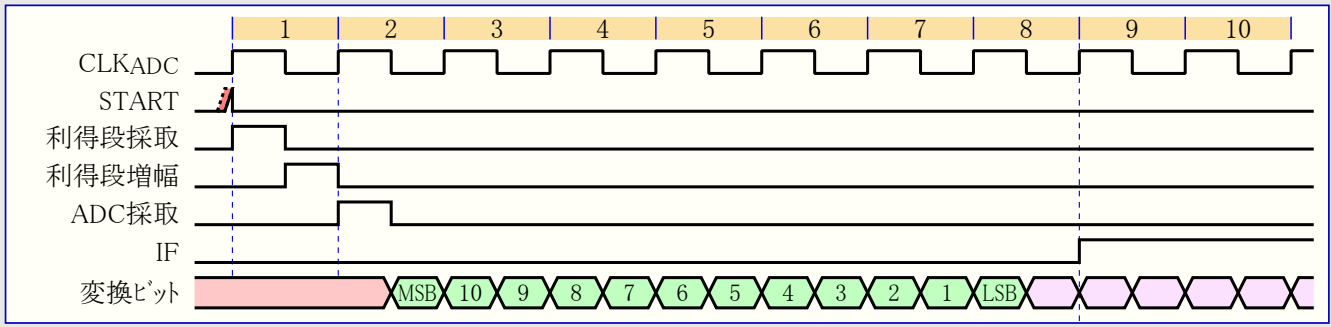


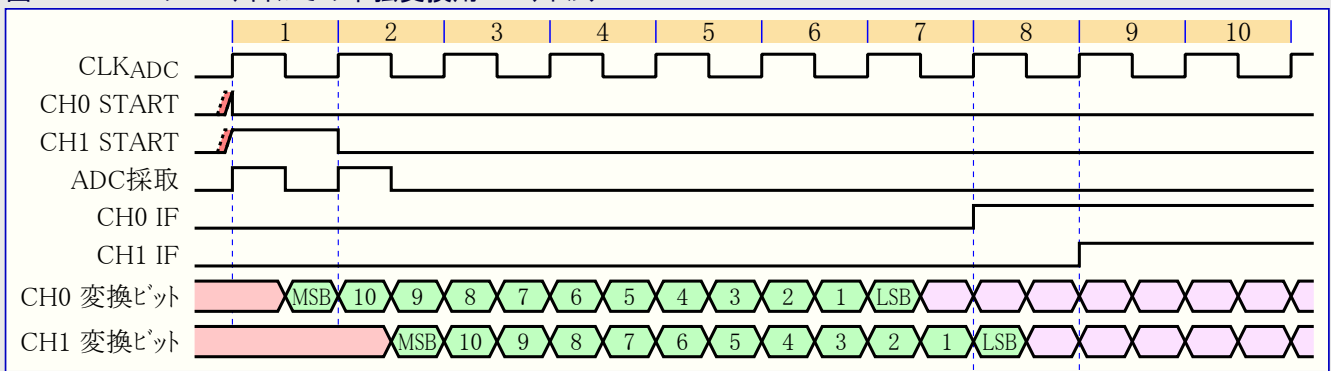
図25-14. 利得付きでの単独変換用ADCタイミング



25.9.3. 2つのADCチャネルでの単独変換

図25-15.は2つのチャネルでの単独変換に関するADCタイミングを示します。パイプライン化された設計は最初の変換が開始された後の次のADCクロック周期での2つ目の変換開始を可能にします。この例では両方の変換が同時に置き換えられますが、チャネル1(CH1)の変換はADCがチャネル0(CH0)のMSBの変換を実行するまで開始しません。

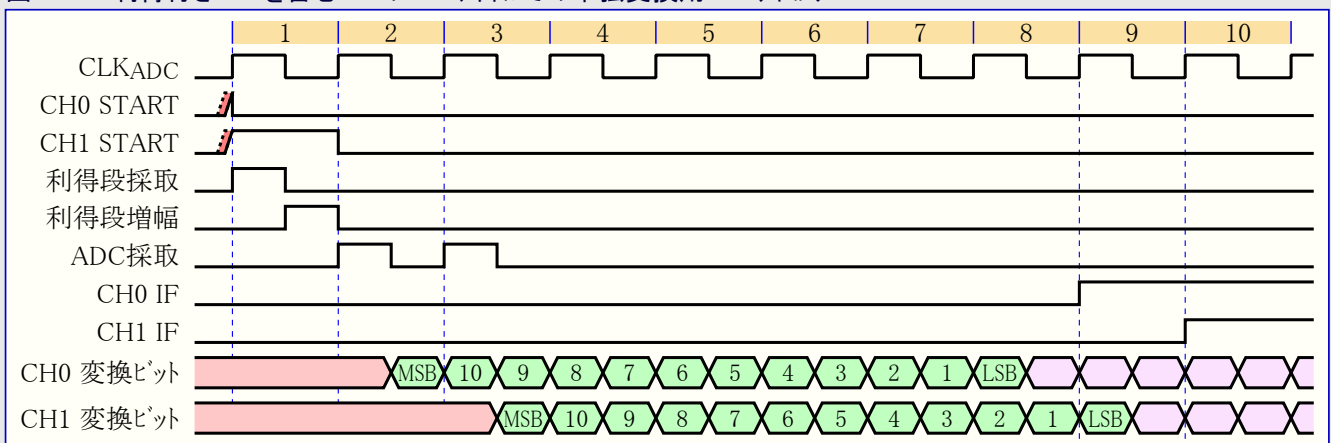
図25-15. 2つのADCチャネルでの単独変換用ADCタイミング



25.9.4. 利得付きCH0を含む2つのADCチャネルでの単独変換

図25-16.はADCチャネル0が利得段を使う2つのADCチャネルでの単独変換に関する変換タイミングを示します。利得段が採取と増幅のために1つの追加周期を持ち込むので、ADCチャネル0に対してADCの採取とMSB変換が行われるまで、ADCチャネル1に対する採取も1 ADクロック周期遅らされます。

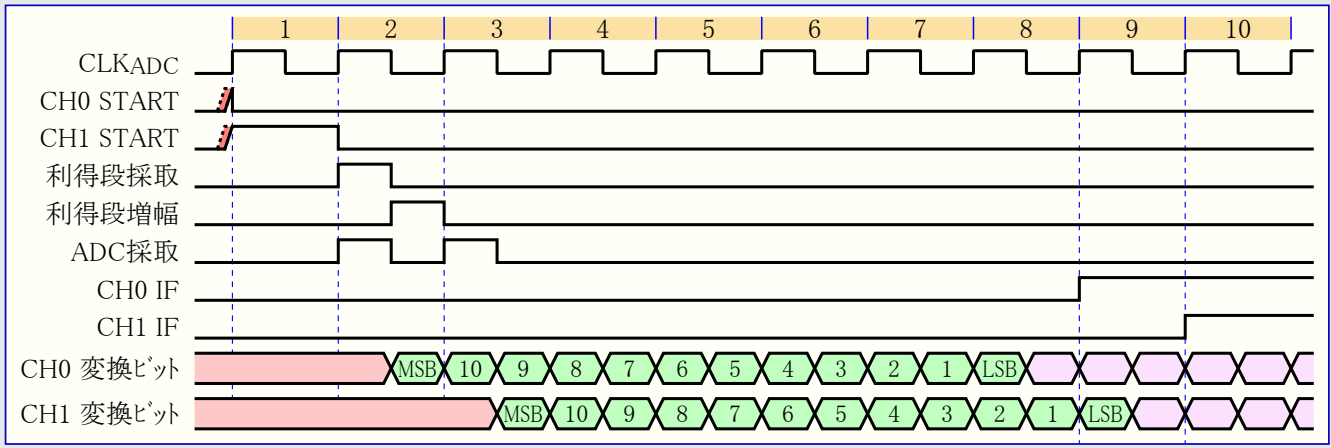
図25-16. 利得付きCH0を含む2つのADCチャネルでの単独変換用ADCタイミング



25.9.5. 利得付きCH1を含む2つのADCチャネルでの単独変換

次ページの図25-17.はADCチャネル1が利得段を使う2つのADCチャネルでの単独変換に関する変換タイミングを示します。

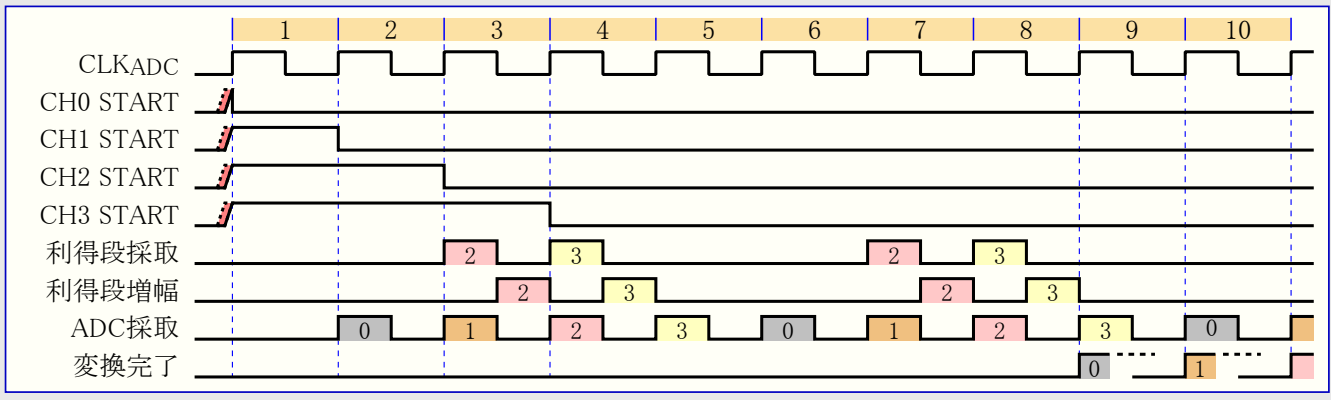
図25-17. 利得付きCH1を含む2つのADCチャンネルでの単独変換用ADCタイミング



25.9.6. 利得付きの2つのADCチャンネルでの連続変換

図25-18. は利得なしのCH0とCH1、利得付きのCH2とCH3、連続変換動作での4つ全てのADCチャンネルに関する変換タイミングを示します。連続変換動作に設定されると、ADCチャンネルは継続的に採取と新しい変換を行います。この例では全てのADCチャンネルが同時に起動され、各ADCチャンネルは直前のチャンネルが採取とMSB変換を終えると直ぐに変換を始めます。4 ADCクロック周期後に全てのADCチャンネルが最初の採取を終え、最初の変換が開始され、その後に各ADCチャンネルはそれらの2回目の変換用の採取を行えます。(12ビット動作に対して)8 ADCクロック周期後にADCチャンネル0に対する最初の変換が終わり、残りのADCチャンネルの結果は後続するADCクロック周期で利用できます。次のクロック周期後(周期10で)2つ目のADCチャンネルからの結果が完了されて利用可能になり、以下同様です。この動作では8つまでの変換が同時に進行中です。

図25-18. 連続変換動作用ADCタイミング



25.10. ADC入力モード

入力電圧は最大精度を得るためにADC内の採取/保持(S/H)コンデンサを充電しなければなりません。外部的に見たADC入力が入力抵抗($R_{in}=R_{channel}+R_{switch}$)とS/Hコンデンサ(C_{sample})から成ります。図25-19.と図25-20.はADC入力チャンネルを示します。

図25-19. シングルエンド測定用ADC入力

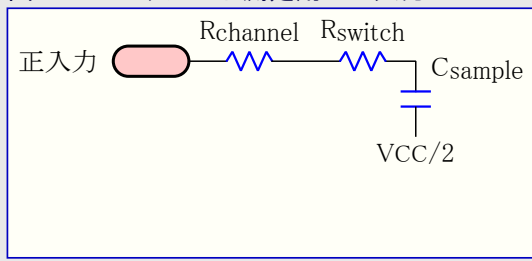
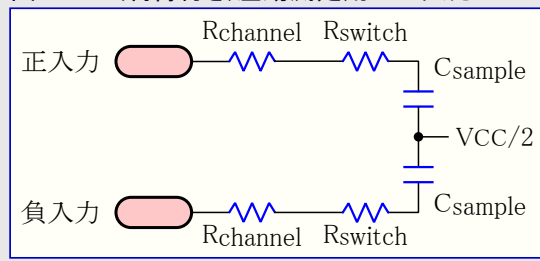


図25-20. (利得付き)差動測定用ADC入力



nビット精度を達成するために供給元出力抵抗(R_{source})はピンのADC入力よりも低くなければなりません。

$$R_{source} \leq \frac{T_s}{C_{sample} \times \ln(2^{n+1})} - R_{channel} - R_{switch} \quad \text{ここでADC採取時間}(T_s)\text{は} \quad T_s \leq \frac{1}{2 \times f_{ADC}}$$

によって与えられる0.5 ADCクロック周期です。

$R_{channel}$, R_{switch} , C_{sample} の詳細についてはデバイスのデータシートでADCとADC利得段の電気的特性を参照してください。

25.10.1. 利得段インピーダンス形態

非常に高い供給出力抵抗を持つ応用を支援するため、利得段は高インピーダンス形態を持ちます。この形態ではS/Hコンデンサの充電は各採取後に保持され、S/Hコンデンサは同じ入力チャネルで多数の採取を行うことによって完全に充電することができます。低インピーダンス形態使用時、S/Hコンデンサの充電は各採取後に破棄されます。

25.11. DMA転送

ADCの変換結果をメモリや他の周辺機能へ転送するのにDMA制御器を使うことができます。ADCチャネルの何れの新しい変換結果も1つまたは数個のADCチャネルに対してDMA転送処理を起動することができます。DMA転送の詳細については36頁の「[DMAC - 直接メモリ入出力制御器](#)」を参照してください。

25.12. 割り込みと事象

ADCは割り込み要求と事象を生成できます。各ADCチャネルは個別の[割り込み設定](#)と割り込みベクタを持ちます。割り込み要求と事象はADC変換が完了する時、またはADC測定がADC比較レジスタ値より上または下の時に生成することができます。

25.13. 校正

ADCは組み込みの直線状校正を持ちます。ADC内の内部パイプラインを校正する組み込み校正機構を持っています。指定された精度を達成するために、ソフトウェアで製造検査校正からの値が識票列からADC校正レジスタ内に格納されなければなりません。直線性の使用者校正は不要で、故に不可能です。変位(オフセット)と利得の校正はソフトウェアで行われなければなりません。

25.14. チャネル優先権

ADCクロックよりも周辺機能クロックが速いので、同じADCクロック周期内で多数のADCチャネルに対して変換開始ビットを設定(1)することが可能です。事象も多数のADCチャネルでの変換を起動するかもしれず、同じ筋書きを生じます。この場合は最小番号のADCチャネルが優先されます。これは206頁の「[ADCクロックと変換タイミング](#)」内のタイミング図で示されます。

25.15. 同期採取

ADCは3つの異なる方法で同期採取を行うように構成設定することができます。

1. 同時に2つの入力チャネルを採取
2. 同時に2つのADCを採取
3. 外部起動で採取

25.15.1. 2つのADC入力の同期採取

ADCは同時に2つの入力チャネルの採取を支援します。これはチャネル n を利得不使用に、チャネル $n+1$ を $\times 1$ 利得に構成設定することによって達成されます。利得を使うチャネルからの変換結果は他のチャネル後1 ADCクロック周期で準備が整います。詳細なタイミング構成図については207頁の「[利得付きCH1を含む2つのADCチャネルでの単独変換](#)」をご覧ください。

25.15.2. 事象での同期採取

より高い優先権のADCチャネルの変換が保留中で有り得る、または周辺機能クロックがADCクロックよりも速いので、ADC変換の開始は開始の起動または事象と実際の変換開始の間に未知の遅延が起き得ます。到着事象で直ちにADC変換を開始するために、全ての測定のADCを破棄し、ADCクロックをリセットして次の周辺機能クロック周期(それはその後の次のADCクロック周期でもある)で変換を開始することが可能です(FLUSH=1)。これが行われた場合、ADCパイプライン内の全ての進行中の変換が失われます。

ADCはソフトウェアから、またはこれを自動的に実行し得る、[やって来る事象](#)で破棄することができます。この機能が使われる時に、ADCパイプラインが破棄されて次の変換が開始される前に1つの変換が終了することを保証するために、各変換開始起動間の時間は[伝播遅延](#)よりも長くなければなりません。

破棄を行う前に保留の事象やADC変換開始指令を解除することも大事です。そうしなければ、破棄後直ちに保留中の変換が開始します。

25.15.3. 2つのADCの同期採取

2つのADC周辺機能を持つデバイスでは、両ADCの起動に同じ事象チャネルを使うことによって、2つのADCで同期して2つのADC採取を開始することが可能です。

25.16. レジスタ説明 – ADC

25.16.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	DMASEL1,0		CHnSTART			FLUSH	ENABLE		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – DMASEL1,0 : DMA要求選択 (DMA Request Selection)

1つよりも多くのADCチャネルの扱いをDMAチャネルに許すため、チャネルからのDMA要求は共通のDMA要求に組み合わせることができます。詳細については表25-1をご覧ください。

表25-1. ADC DMA要求選択

DMASEL1,0	群構成設定	内容
0 0	OFF	結合DMA要求なし
0 1	CH01	ADCチャネル0または1
1 0	CH012	ADCチャネル0または1または2
1 1	CH0123	ADCチャネル0または1または2または3

● ビット5~2 – CHnSTART : チャネルn単独変換開始 (Channel Start single conversion)

これらのビットのどれかの設定(1)が対応するADCチャネルでの変換を開始します。多数ビットの同時設定(1)は選んだADCチャネルでの変換を開始し、これは最小番号のチャネルから始まります。これらのビットは変換が開始される時にハードウェアによって解除(0)されます。

● ビット1 – FLUSH : パイプライン破棄 (Pipeline Flush)

このビットの設定(1)がADCパイプラインを破棄します。これが行われると、進行中の全ての変換が中止されて失われ、ADCクロックは次の周辺機能クロック端で再始動されます。

破棄及びADCクロック再開後、ADCは中断された処から再開、換言するとチャネル掃引進行中または何れかの変換保留中だった場合、それらがADCパイプラインに入って完了するでしょう。

● ビット0 – ENABLE : 許可 (Enable)

このビットの設定(1)がADCを許可します。

25.16.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	–	–	–	CONVMODE	FREERUN	RESOLUTION1,0		–	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – CONVMODE : 両極/単極変換 (Conversion Mode)

このビットはADCが符号付きまたは符号なしのどちらの動作で動くかを制御します。既定でのこのビットは解除(0)され、ADCは符号なし動作に構成設定されます。このビットが設定(1)されると、ADCは符号付き動作に構成設定されます。

● ビット3 – FREERUN : 連続動作 (Free Running Mode)

このビットが1に設定されると、ADCは連続動作で、[事象制御\(EVCTRL\)レジスタ](#)で定義されたADCチャネルが繰り返し掃引されます。

● ビット2,1 – RESOLUTION1,0 : 分解能/整列 (Conversion Result Resolution)

これらのビットはADCが12ビットまたは8ビットのどちらの分解能の変換結果で完了するかを制御します。これらは12ビットの結果が16ビットの結果レジスタ内で右または左のどちらに揃えられるかも定義します。可能な設定については表25-2をご覧ください。

表25-2. ADC変換結果分解能

RESOLUTION1,0	群構成設定	内容
0 0	12BIT	12ビット結果、右揃え
0 1	–	(予約)
1 0	8BIT	8ビット結果、右揃え
1 1	LEFT12BIT	12ビット結果、左揃え

● ビット0 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

25.16.3. REFCTRL – 基準電圧制御レジスタ (Reference Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	–	REFSEL1,0		–	–	BANDGAP	TEMPREF	REFCTRL
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5,4 – REFSEL1,0 : 基準電圧選択 (Reference Selection)

これらのビットは表25-3に従ってADCに対する基準電圧を選びます。

表25-3. ADC基準電圧形態

REFSEL1,0	群構成設定	内容
0 0	INT1V	バンドギャップ(1.1V)の10/11(1.0V)
0 1	INTVCC	VCC/1.6
1 0	AREFA	PORTAのAREFピンからの外部基準電圧
1 1	AREFB	PORTBのAREFピンからの外部基準電圧

● ビット3,2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – BANDGAP : バンドギャップ許可 (Bandgap enable)

このビットの設定(1)はADC測定用バンドギャップを許可します。他の何れかの機能が既にバンドギャップを使っている場合、内部1.00V基準電圧が別のADCまたはDACで使われる時、または低電圧検出器(Brown-out Detectr)が許可されている場合、このビットの設定(1)が必要ないことに留意してください。

● ビット0 – TEMPREF : 温度基準電圧許可 (Temperature Reference enable)

このビットの設定(1)はADC測定用温度感知器を許可します。

25.16.4. EVCTRL – 事象制御レジスタ (ADC Event Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	SWEEP1,0		EVSEL2~0			EVACT2~0			EVCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – SWEEP1,0 : チャネル掃引 (Channel Sweep)

これらのビットは事象システムによって起動されるチャネル掃引、または連続動作での時に、どのADCチャネルが含まれるかを制御します。表25-4をご覧ください。

表25-4. ADCチャネル選択

SWEEP1,0	群構成設定	掃引活性ADCチャネル
0 0	0	ADCチャネル0のみ
0 1	01	ADCチャネル0と1
1 0	012	ADCチャネル0と1と2
1 1	0123	ADCチャネル0と1と2と3

● ビット5~3 – EVSEL2~0 : 事象チャネル入力選択 (Event channel Input Select)

これらのビットはどの事象チャネルがどのADCチャネルを起動すべきかを定義します。各設定は事象チャネルの群を定義し、これは最小番号の事象チャネルがADCチャネル0を、次の事象チャネルがADCチャネル1を起動し、以下同様です。表25-5をご覧ください。

表25-5. ADC事象チャネル選択

EVSEL2~0	群構成設定	選択する事象線
0 0 0	0123	起動入力として事象チャネル0,1,2,3を選択
0 0 1	1234	起動入力として事象チャネル1,2,3,4を選択
0 1 0	2345	起動入力として事象チャネル2,3,4,5を選択
0 1 1	3456	起動入力として事象チャネル3,4,5,6を選択
1 0 0	4567	起動入力として事象チャネル4,5,6,7を選択
1 0 1	567	起動入力として事象チャネル5,6,7を選択
1 1 0	67	起動入力として事象チャネル6,7を選択
1 1 1	7	起動入力として事象チャネル7を選択

● ビット2~0 - EVACT2~0 : 事象活動種別 (Event Mode)

これらのビットは選んだ事象チャネルのいくつが使われ、そして更にADCチャネル起動も制限するかを、選択そして制限します。これは表25-5で定義されるようなものをもっと特別な事象起動も定義します。

表25-6. ADC事象活動種別選択

EVACT2~0	群構成設定	選択入力動作形態
0 0 0	NONE	事象入力なし
0 0 1	CH0	EVSELで定義された最小番号の事象チャネルがADCチャネル0での変換を起動
0 1 0	CH01	EVSELで定義された2つの下位側番号の事象チャネルが各々ADCチャネル0と1での変換を起動
0 1 1	CH012	EVSELで定義された3つの下位側番号の事象チャネルが各々ADCチャネル0,1と2での変換を起動
1 0 0	CH0123	EVSELで定義された事象チャネルが各々ADCチャネル0,1,2と3での変換を起動
1 0 1	SWEEP	EVSELで定義された最小番号の事象チャネル到着で、SWEEPによって定義されたADCチャネル全てを1回掃引
1 1 0	SYNCSWEEP	EVSELで定義された最小番号の事象チャネル到着で、SWEEPによって定義された有効ADCチャネル全てを1回掃引。加えてADCは正確なタイミングで破棄そして再始動されます。
1 1 1	-	(予約)

25.16.5. PRESCALER - クロック前置分周レジスタ (Clock Prescaler register)

ビット +\$04	7	6	5	4	3	2	1	0	
	-	-	-	-	-	PRESCALER2~0			PRESCALER
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - PRESCALER2~0 : 前置分周器設定 (Prescaler configuration)

これらのビットは表25-7に従って周辺機能クロックに相対するADCクロックを定義します。

表25-7. ADC前置分周器設定

PRESCALER2~0	群構成設定	周辺機能クロック分周数
0 0 0	DIV4	4
0 0 1	DIV8	8
0 1 0	DIV16	16
0 1 1	DIV32	32
1 0 0	DIV64	64
1 0 1	DIV128	128
1 1 0	DIV256	256
1 1 1	DIV512	512

25.16.6. INTFLAGS - 割り込み要求フラグ レジスタ (Interrupt Flag register)

ビット +\$06	7	6	5	4	3	2	1	0	
	-	-	-	-	CHnIF				INTFLAGS
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - CHnIF : ADCチャネルn割り込み要求フラグ (Interrupt Flag)

これらのフラグは対応するADCチャネルに対してADC変換が完了される時に設定(1)されます。ADCチャネルが比較動作に構成設定されている場合、対応するフラグは比較条件一致時に設定(1)されます。CHnIFはADCチャネルn割り込みベクタが実行される時に自動的に解除(0)されます。これらのフラグはそのビット位置への1書き込みによっても解除(0)できます。

25.16.7. TEMP – 一時レジスタ (Temporary register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$07	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – TEMP7~0 : 一時値 (Temporary bits)

このレジスタはADC制御器内の16ビットレジスタ読み込み時に使われます。CPUによって下位バイトが読まれる時に16ビットレジスタの上位バイトがここに格納されます。このレジスタは使用者ソフトウェアから読み書きすることもできます。

16ビットレジスタアクセスのより多くの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

25.16.8. CALL – 校正値下位レジスタ (Calibration value register)

CALHとCALLレジスタ対は12ビット校正値を保持します。ADCパイプラインは製造書き込み中に校正され、その校正値はソフトウェアで識票列から読まれてCALLレジスタに書かれなければなりません。

ビット	7	6	5	4	3	2	1	0	
ビット +\$0C	CAL7~0								CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – CAL7~0 : 校正値 (Calibration value)

これは12ビットCAL値の下位側8ビットです。

25.16.9. CALH – 校正値上位レジスタ (Calibration value register)

ビット	7	6	5	4	3	2	1	0	
ビット +\$0D	–	–	–	–	CAL11~8				CALH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 – CAL11~8 : ADC校正値 (ADC Calibration value)

これは12ビットCAL値の上位側4ビットです。

25.16.10. CHnRESH – チャネルn結果レジスタ上位 (Channel n Result register High)

CHnRESHとCHnRESLレジスタ対は16ビット値CHnRESを表します。16ビットレジスタ読み込みの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	CHRES11~4								CHnRESH +\$11,13,15,17
12ビット右揃え	–	–	–	–	CHRES11~8				
8ビット	–	–	–	–	–	–	–	–	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.16.10.1. 左揃え12ビット動作

● ビット7~0 – CHRES11~4 : チャネル結果上位 (Channel Result, high)

これらは12ビットADCの結果の上位8ビットです。

25.16.10.2. 右揃え12ビット動作

● ビット7~4 – 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のCHRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 – CHRES11~8 : チャネル結果上位 (Channel Result, high)

これらは12ビットADCの結果の上位4ビットです。

25.16.10.3. 8ビット動作

- ビット7~0 - 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のCHRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

25.16.11. CHnRESL - チャネル結果レジスタ下位 (Channel n Result register Low)

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	CHRES3~0				-	-	-	-	CHnRESL +\$10,12,14,16
12ビット右揃え	CHRES7~0								
8ビット	CHRES7~0								
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.16.11.1. 左揃え12ビット動作

- ビット7~4 - CHRES3~0 : チャネル結果下位バイト (Channel Result, low)

これらは12ビットADCの結果の下位4ビットです。

- ビット3~0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

25.16.11.2. 右揃え12ビット動作、8ビット動作

- ビット7~0 - CHRES7~0 : チャネル結果下位バイト (Channel Result, low)

これらはADCの結果の下位8ビットです。

25.16.12. CMPH - 比較レジスタ上位 (Compare register High)

CMPHとCMPLレジスタ対は16ビットのCMP値を表します。16ビットレジスタ読み書きの詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+ \$19	CMP15~8								CMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 - CMP15~8 : 比較値上位 (Compare value high)

これらは16ビットのADC比較値の上位8ビットです。符号付き動作では、数値が2の補数で表され、最上位ビットが符号ビットです。

25.16.13. CMPL - 比較レジスタ下位 (Compare register Low)

ビット	7	6	5	4	3	2	1	0	
+ \$18	CMP7~0								CMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 - CMP7~0 : 比較値下位 (Compare value low)

これらは16ビットのADC比較値の下位8ビットです。符号付き動作では、数値が2の補数で表されます。

25.17. レジスタ説明 - ADCチャネル

25.17.1. CTRL - チャネル制御レジスタ (Channel Control register)

ビット	7	6	5	4	3	2	1	0	
+ \$00	START	-	-	GAIN2~0			INPUTMODE1,0		CTRL
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 - START : チャネル変換開始 (Start Conversion on Channel)

このビットの設定(1)がチャネルでの変換を開始します。このビットは変換が開始される時にハードウェアによって解除(0)されます。このビットが既に設定(1)されている時の設定(1)は無効です。このビットの読み書きは210頁の「CTRLA - ADC制御レジスタ」のADCチャネル単独変換開始(CHnSTART)ビット書き込みと等価です。

●ビット6,5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

●ビット4~2 - GAIN2~0 : 利得選択 (Gain Factor)

これらのビットはADC利得段に対する利得係数を定義します。

表25-8をご覧ください。利得は正しい多重器(MUX)設定でだけ有効です。「MUXCTRL - ADCチャネル多重器制御レジスタ」をご覧ください。

表25-8. ADC利得係数

GAIN2~0	群構成設定	利得係数
0 0 0	1X	1倍
0 0 1	2X	2倍
0 1 0	4X	4倍
0 1 1	8X	8倍
1 0 0	16X	16倍
1 0 1	32X	32倍
1 1 0	64X	64倍
1 1 1	-	(予約)

●ビット1,0 - INPUTMODE1,0 : チャネルn入力動作種別 (Channel Input Mode)

これらのビットはチャネル入力動作種別を定義します。入力形態変更はパイプライン内のどのデータも不正にします。

表25-9. チャネル入力種別、CONVMODE=0 (符号なし動作)

INPUTMODE1,0	群構成設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	シングルエンド正入力信号
1 0	-	(予約)
1 1	-	(予約)

表25-10. チャネル入力種別、CONVMODE=1 (符号付き動作)

INPUTMODE1,0	群構成設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	シングルエンド正入力信号
1 0	DIFF	差動入力信号
1 1	DIFFWGAIN	利得付き差動入力信号

25.17.2. MUXCTRL - チャネルn多重器制御レジスタ (Channel MUX Control register)

MUXCTRLレジスタはチャネルに対する入力元を定義します。

ビット	7	6	5	4	3	2	1	0	
+\$01	-	MUXPOS3~0				-	MUXNEG1,0		MUXCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

●ビット6~3 - MUXPOS3~0 : ADC正入力選択 (MUX selection on Positive ADC Input)

これらのビットはADC正入力に対する多重器(MUX)選択を定義します。表25-11は内部信号に対する、表25-12と表25-13はシングルエンドと差動入力動作に対する可能な入力選択を示します。

表25-11. INPUTMODE=00(内部信号)使用時のADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	TEMP	温度基準電圧
0 0 0 1	BANDGAP	バンドギャップ電圧
0 0 1 0	SCALEDVCC	1/10縮尺VCC
0 0 1 1	DAC	DAC出力電圧
0100~1111	-	(予約)

表25-12. INPUTMODE=01(シングルエンド),=10(利得なし差動)使用時のADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	PIN0	ADC0ピン
0 0 0 1	PIN1	ADC1ピン
0 0 1 0	PIN2	ADC2ピン
0 0 1 1	PIN3	ADC3ピン
0 1 0 0	PIN4	ADC4ピン
0 1 0 1	PIN5	ADC5ピン
0 1 1 0	PIN6	ADC6ピン
0 1 1 1	PIN7	ADC7ピン
1 0 0 0	PIN8	ADC8ピン
1 0 0 1	PIN9	ADC9ピン
1 0 1 0	PIN10	ADC10ピン
1 0 1 1	PIN11	ADC11ピン
1 1 x x	-	(予約)

表25-13. INPUTMODE=11(利得付き差動)使用時のADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	PIN0	ADC0ピン
0 0 0 1	PIN1	ADC1ピン
0 0 1 0	PIN2	ADC2ピン
0 0 1 1	PIN3	ADC3ピン
0 1 0 0	PIN4	ADC4ピン
0 1 0 1	PIN5	ADC5ピン
0 1 1 0	PIN6	ADC6ピン
0 1 1 1	PIN7	ADC7ピン
1 x x x	-	(予約)

デバイスのピン数と機能の構成設定に依存して、実際のアナログ入力ピンの数は16よりも少ないかもしれず、詳細についてはデバイスのデータシートとピン配置記述を参照してください。

●ビット2 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書き込んでください。

●ビット2~0 - MUXNEG2~0 : ADC負入力選択 (MUX selection on Negative ADC Input)

これらのビットは差動測定が行われる時のADC負入力に対する多重器(MUX)選択を定義します。

表25-14.は利得なしに対する、表25-15.は利得付きに対する可能な入力選択を示します。

表25-14. INPUTMODE=10(利得なし差動)使用時のADC MUXNEG構成設定

MUXNEG1,0	群構成設定	アナログ入力
0 0	PIN0	ADC0ピン
0 1	PIN1	ADC1ピン
1 0	PIN2	ADC2ピン
1 1	PIN3	ADC3ピン

表25-15. INPUTMODE=11(利得付き差動)使用時のADC MUXNEG構成設定

MUXNEG1,0	群構成設定	アナログ入力
0 0	PIN4	ADC4ピン
0 1	PIN5	ADC5ピン
1 0	PIN6	ADC6ピン
1 1	PIN7	ADC7ピン

25.17.3. INTCTRL - チャネルn割り込み制御レジスタ (Channel Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	INTMODE1,0		INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

●ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書き込んでください。

●ビット3,2 - INTMODE1,0 : ADC割り込み種別 (ADC Interrupt Mode)

これらのビットは表25-16.に従ってチャネルnに対する割り込み種別を選びます。

表25-16. ADC割り込み種別

INTMODE1,0	群構成設定	割り込み種別
0 0	COMPLETE	変換完了
0 1	BELOW	閾値以下の比較結果
1 0	-	(予約)
1 1	ABOVE	閾値以上の比較結果

●ビット1,0 - INTLVL1,0 : ADC割り込み段位 (ADC Interrupt Priority Level and Enable)

これらのビットは86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは割り込み要求フラグレジスタ(INTFLAGS)レジスタのADCチャネル割り込み要求フラグ(IF)が設定(1)される時の条件に対して起動されます。

25.17.4. INTFLAGS – チャネルn割り込み要求フラグレジスタ (Channel Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	–	–	–	IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – IF : チャネルn割り込み要求フラグ (Channel Interrupt Flag)

この割り込み要求フラグはA/D変換完了時に設定(1)されます。チャネルが比較動作に構成設定されている場合、このフラグは比較条件に一致した時に設定(1)されます。このフラグはADCチャネル割り込みヘクタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

25.17.5. RESH – チャネル結果レジスタ上位 (Channel n Result register High)

どのADC分解能でも全ての結果レジスタについて、符号付き数値は2の補数形式で表され、最上位ビットが符号ビットを表します。

RESHとRESLレジスタ対は16ビット値RESを表します。16ビット値の読み書きは特別な注意が必要です。詳細については9頁の「16ビットレジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	RES11~4								RESH +\$05
12ビット右揃え	–	–	–	–	RES11~8				
8ビット	–	–	–	–	–	–	–	–	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.17.5.1. 左揃え12ビット動作

● ビット7~0 – CHRES11~4 : チャネル結果上位バイト (Channel Result high)

これらは12ビットADCの結果の上位8ビットです。

25.17.5.2. 右揃え12ビット動作

● ビット7~4 – 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 – CHRES11~8 : チャネル結果上位バイト (Channel Result high)

これらは12ビットADCの結果の上位4ビットです。

25.17.5.3. 8ビット動作

● ビット7~0 – 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

25.17.6. RESL – チャネル結果レジスタ下位 (Channel n Result register Low)

ビット	7	6	5	4	3	2	1	0	
12ビット左揃え	RES3~0				–	–	–	–	RESL +\$04
12ビット右揃え	RES7~0								
8ビット	RES7~0								
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.17.6.1. 左揃え12ビット動作

● ビット7~4 – CHRES3~0 : チャネル結果下位バイト (Channel Result low)

これらは12ビットADCの結果の下位4ビットです。

● ビット3~0 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

25.17.6.2. 右揃え12ビット動作、8ビット動作

- ビット7~0 - CHRES7~0 : チャネルn結果下位バイト (Channel Result, low)

これらはADCの結果の下位8ビットです。

25.18. レジスタ要約 – ADC

これはADCが標準的な12ビットの結果を生じるように構成設定された時のレジスタ要約です。8ビットと左揃え12ビットに対するレジスタ要約は同様ですが、CHnRESHとCHnRESLの結果レジスタでいくつかが変わります。

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$38	CH3変位	-	-	-	-	-	-	-	-	
+\$30	CH2変位	-	-	-	-	-	-	-	-	
+\$28	CH1変位	-	-	-	-	-	-	-	-	
+\$20	CH0変位	-	-	-	-	-	-	-	-	
+\$1F	予約	-	-	-	-	-	-	-	-	
+\$1E	予約	-	-	-	-	-	-	-	-	
+\$1D	予約	-	-	-	-	-	-	-	-	
+\$1C	予約	-	-	-	-	-	-	-	-	
+\$1B	予約	-	-	-	-	-	-	-	-	
+\$1A	予約	-	-	-	-	-	-	-	-	
+\$19	CMPH	CMP15~8								214
+\$18	CMPL	CMP7~0								214
+\$17	CH3RESH	CH3RES11~8または11~4								213
+\$16	CH3RESL	CH3RES7~0または3~0								214
+\$15	CH2RESH	CH2RES11~8または11~4								213
+\$14	CH2RESL	CH2RES7~0または3~0								214
+\$13	CH1RESH	CH1RES11~8または11~4								213
+\$12	CH1RESL	CH1RES7~0または3~0								214
+\$11	CH0RESH	CH0RES11~8または11~4								213
+\$10	CH0RESL	CH0RES7~0または3~0								214
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	CALH	CAL11~8								213
+\$0C	CALL	CAL7~0								213
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	予約	-	-	-	-	-	-	-	-	
+\$09	予約	-	-	-	-	-	-	-	-	
+\$08	予約	-	-	-	-	-	-	-	-	
+\$07	TEMP	TEMP7~0								213
+\$06	INTFLAGS	-	-	-	-	CH3IF	CH2IF	CH1IF	CH0IF	212
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	PRESCALER	PRESCALER2~0								212
+\$03	EVCTRL	SWEEP1,0		EVSEL2~0			EVACT2~0			211
+\$02	REFCTRL	-	-	REFSEL1,0		-	-	BANDGAP	TEMPREF	211
+\$01	CTRLB	-	-	-	CONVMODE	FREERUN	RSOLUTION1,0		-	210
+\$00	CTRLA	DMASEL1,0		CH3START	CH2START	CH1START	CH0START	FLUSH	ENABLE	210

25.19. レジスタ要約 – ADCチャンネル

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	RESH	RES11~8または11~4								217
+\$04	RESL	RES7~0または3~0								217
+\$03	INTFLAGS	-	-	-	-	-	-	-	IF	217
+\$02	INTCTRL	-	-	-	-	INTMODE1,0		INTLVL1,0		216
+\$01	MUXCTRL	-	MUXPOS3~0				-	MUXNEG1,0		215
+\$00	CTRL	START	-	-	GAIN2~0			INPUTMODE1,0		214

25.20. 割り込みベクタ要約

表25-17. A/D変換器割り込みベクタとそれらの変位(オフセット)語アドレス

変位	記述例	割り込み内容
\$00	CH0_vect	A/D変換器チャンネル0割り込みベクタ
\$02	CH1_vect	A/D変換器チャンネル1割り込みベクタ
\$04	CH2_vect	A/D変換器チャンネル2割り込みベクタ
\$06	CH3_vect	A/D変換器チャンネル3割り込みベクタ

26. DAC – D/A変換器

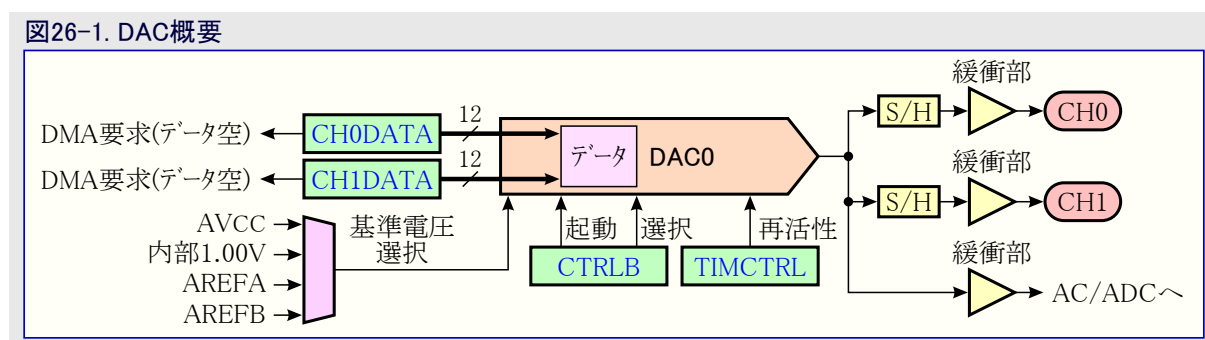
26.1. 要点

- 12ビット分解能
- 2つの独立、継続駆動チャンネル
- 100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
 - 変位(オフセット)誤差
 - 利得誤差
- 複数の変換起動元
 - 利用可能な新データで
 - 事象システムからの事象
- 高い駆動能力と以下を支援
 - 抵抗性負荷
 - 容量性負荷
 - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- アナログ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動能力を持つ低電力動作形態 (訳注:低電力動作は対応許可ビットが存在しません。)
- 任意選択のDMAデータ転送

26.2. 概要

D/A変換器(DAC)はデジタル値を電圧に変換します。DACは12ビット分解能と秒当たり最高100万採取までの変換能力を持ちます。DACからの出力は1つのピンへの連続、または採取/保持(S/H)回路を使って2つの異なるピンへ供給のどちらかにすることができます。組み込み校正システムはソフトウェアで校正値を設定した時に変位(オフセット)と利得の誤差を取り去ることができます。

図26-1.はDACの基本的な機能を図解します。全ての機能が示されている訳ではありません。



DAC変換は変換されるべき新しいデータが利用可能な時に自動的に開始されます。事象システムからの事象も使うことができ、これはタイマ/カウンタのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。DMA制御器はDACへデータを転送するのに使うことができます。

DACは高い駆動能力を持ち、抵抗性と容量性の両方と更に両方を組み合わせた負荷の駆動能力があります。低電力動作が利用可能で、これは出力の駆動能力を減らします。

内部と外部の基準電圧を使うことができます。DAC出力は内部的にアナログ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

26.3. 基準電圧選択

DAC用の基準(VREF)として以下の電圧を使うことができます。

- AVCC電圧
- 正確な内部1.00V電圧
- PORTAのAREFピンに印加された外部電圧
- PORTBのAREFピンに印加された外部電圧

26.4. 変換の開始

既定によって変換は新しいデータがチャンネルデータ(CHnDATA)レジスタに書かれる時に自動的に開始されます。変換開始を起動するために事象システムからの事象を許可することも可能です。これが許可されると、新しい変換はDACチャンネルが事象を受け取った時とチャンネルデータレジスタが更新された場合に開始されます。これは外部事象で同期化される、そして/または規則的で一定の変換間隔を保証するために時を定めるべき変換開始を許します。

26.5. 出力と出力チャネル

DACからの出力は1つのピン(チャネル0)への連続、または採取と保持の回路(S/H)を使って2つの異なるピンに供給のどちらかにできます。S/Hとでこれら2つの出力は独立して動き、両方の電圧と周波数が違う2つの異なるアナログ信号を作成します。2つのS/H出力は個別のデータと変換制御レジスタを持ちます。

チャネル0出力はアナログ比較器とA/D変換器用の入力として内部的に利用可能にさせることもできます。

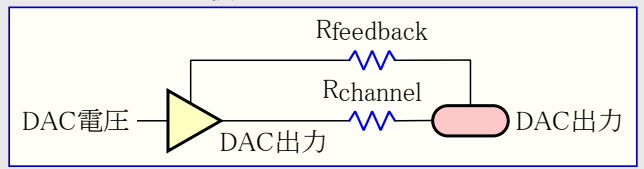
DACチャネルからの出力電圧(VDAC)は次のように与えられます。

$$V_{DACn} = \frac{CHnDATA}{4096 - 1} \times V_{REF}$$

26.6. DAC出力モード

各DAC出力チャネルはDAC出力ピンの電圧がDACの内部電圧と等しいことを保証する帰還を持つ駆動緩衝器を持ちます。図26-2はDAC出力モードを示します。Rchannelの詳細についてはデバイスのデータシートでDAC特性を参照してください。

図26-2. DAC出力モード



26.7. DACクロック

DACは周辺機能クロック(clkPER)から直接クロック駆動され、これは新しいデータがどれだけ速くDACデータレジスタにクロック駆動され得るかでの制限に帰します。

26.8. タイミングの制限

DACの正しい動作を保証するためにいくつかのタイミング制限が与えられます。このタイミング制限は周辺機能クロックの周波数に比例します。タイミング制限を満たさないことはD/A変換の精度を減らします。

- **DAC採取時間**はチャネル変換が完了されて新しい変換を開始するまでの間隔時間です。これは単一チャネル動作に対して1μs、2重チャネル(S/H)動作に対して1.5μs未満であるべきではありません。
- **DAC更新時間**はチャネルが2重チャネル動作で更新される時毎の間隔時間です。これは30μsよりも大きくあるべきではありません。

低電力動作では各変換の間、DACがOFFにされます(訳注:低電力動作は対応許可ビットが存在しません)。

26.9. 校正

改善された精度のために、DACで利得と変位の誤差を校正することが可能です。

最良の校正結果を得るため、校正中に最終応用で使われるのと同じDAC構成設定を使うことが推奨されます。DACに対する理論上の伝達関数は「出力と出力チャネル」内の式によって示されました。利得と変位(オフセット)の誤差を含み、DAC出力値は次のように表すことができます。

式26-1. DAC出力値の計算

$$V_{DAC} = V_{REF} \times \left(\frac{DATA}{\$FFF} \times ERROR_GAIN \right) + V_{OFFSET}$$

変位誤差を校正するには、DACチャネルの中間符号(\$800)を出力し、測定された出力値が可能な限り中間値(VREF/2)に近づくまで変位校正値を調節してください。変位校正用の式は式26-2.によって与えられ、そこでのOCALはOFFSETCAL、GCALはGAINCALです。

式26-2. 変位校正

$$V_{OCAL} = V_{REF} \times (2 \times OCAL[7] - 1) \times \left(\frac{OCAL[6]}{16} + \frac{OCAL[5]}{32} + \frac{OCAL[4]}{64} + \frac{OCAL[3]}{128} + \frac{OCAL[2]}{256} + \frac{OCAL[1]}{512} + \frac{OCAL[0]}{1024} \right)$$

利得誤差を校正するには、DACチャネルの最大符号(0FFF)を出力し、測定された出力値が可能な限り頂上値(VREF×4095)/4096に近づくまで利得校正値を調節してください。利得校正は中間符号周辺で伝達関数を回転することによってDAC特性の傾きを制御します。利得校正用の式は式26-3.によって与えられます。

式26-3. 利得校正

$$V_{GCAL} = \left(V_{DAC} - \left(\frac{V_{REF}}{2} \right) \right) \times (1 - 2 \times GCAL[7]) \times \left(\frac{GCAL[6]}{16} + \frac{GCAL[5]}{32} + \frac{GCAL[4]}{64} + \frac{GCAL[3]}{128} + \frac{GCAL[2]}{256} + \frac{GCAL[1]}{512} + \frac{GCAL[0]}{1024} \right)$$

式での校正を含み、DAC出力は式26-4.によって表されます。

式26-4. DAC出力計算

$$V_{DAC_OUT} = V_{DAC} + V_{OCAL} + V_{GCAL}$$

26.10. レジスタ説明

26.10.1. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	IDOEN	CH1EN	CH0EN	-	ENABLE	CTRLA
Read/Write	R	R	R	R/W	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット4 – IDOEN : 内部出力許可 (Internal Output Enable)

このビットの設定(1)はアナログ比較器とA/D変換器(ADC)によって使われることをDACチャンネル0出力に許可します。そしてこれはDACチャンネル0用の出力ピンも禁止します。

- ビット3 – CH1EN : チャンネル1出力許可 (Channel 1 Output Enable)

このビットの設定(1)がチャンネル1を出力ピンで利用可能にします。

- ビット2 – CH0EN : チャンネル0出力許可 (Channel 0 Output Enable)

DAC内部出力許可(IDOEN)が1に設定されていないならば、このビットの設定(1)はチャンネル0を出力ピンで利用可能にします。

- ビット1 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

- ビット0 – ENABLE : 許可 (Enable)

このビット(=1)がDAC全体を許可します。

26.10.2. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$01	-	CHSEL1,0		-	-	-	CH1TRIG	CH0TRIG	CTRLB
Read/Write	R	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

- ビット6,5 – CHSEL1,0 : チャンネル選択 (Channel Selection)

これらのビットは許可されて動作するチャンネルを制御します。表26-1.は利用可能な選択を示します。

表26-1. DACチャンネル選択

CHSEL1,0	群構成設定	内容
0 0	SINGLE	チャンネル0での単一チャンネル動作
0 1	-	(予約)
1 0	DUAL	2重チャンネル動作
1 1	-	(予約)

- ビット4~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット1 – CH1TRIG : チャンネル1自動起動動作 (Auto triggered mode Channel 1)

このビットが設定(1)されている場合、事象制御(EVCTRL)レジスタの設定で構成設定された事象チャンネルでの事象は、そのデータ(CH1D ATA)レジスタが更新されていた場合にDACチャンネル1での変換を起動します。

- ビット0 – CH0TRIG : チャンネル0自動起動動作 (Auto triggered mode Channel 0)

このビットが設定(1)されている場合、事象制御(EVCTRL)レジスタの設定で構成設定された事象チャンネルでの事象は、そのデータ(CH0D ATA)レジスタが更新されていた場合にDACチャンネル0での変換を起動します。

26.10.3. CTRLC – 制御レジスタC (Control register C)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	–	–	REFSEL1,0		–	–	LEFTADJ	CTRLC
Read/Write	R	R	R	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット4,3 – REFSEL1,0 : 基準電圧選択 (Reference Selection)

これらのビットは表26-2に従ってDAC用の基準電圧を選びます。

表26-2. DAC基準電圧選択

REFSEL1,0	群構成設定	内容
0 0	INT1V	内部1.00V基準電圧
0 1	AVCC	AVCC
1 0	AREFA	PORTAのAREFピン
1 1	AREFB	PORTBのAREFピン

- ビット2,1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット0 – LEFTADJ : 左揃え値 (Left-Adjust Value)

このビットが設定(1)なら、データ(CH0DATAとCH1DATA)レジスタは左揃えにされます。

26.10.4. EVCTRL – 事象制御レジスタ (Event Control register)

ビット	7	6	5	4	3	2	1	0	
+\$03	–	–	–	–	–	EVSEL2~0			EVCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット2~0 – EVSEL2~0 : 事象チャネル入力選択 (Event Channel Selection)

これらのビットは事象システムからのどのチャネルがDAC変換の起動に使われるかを定義します。

表26-3.は利用可能な選択を示します。

表26-3. DAC事象入力選択

EVSEL2~0	群構成設定	内容
0 0 0	0	DACへの起動入力として事象チャネル0を選択
0 0 1	1	DACへの起動入力として事象チャネル1を選択
0 1 0	2	DACへの起動入力として事象チャネル2を選択
0 1 1	3	DACへの起動入力として事象チャネル3を選択
1 0 0	4	DACへの起動入力として事象チャネル4を選択
1 0 1	5	DACへの起動入力として事象チャネル5を選択
1 1 0	6	DACへの起動入力として事象チャネル6を選択
1 1 1	7	DACへの起動入力として事象チャネル7を選択

26.10.5. TIMCTRL – タイミング制御レジスタ (Timing Control register)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	CONINTVAL2~0			REFRESH3~0				TIMCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	1	1	0	0	0	0	1	

- ビット7 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~4 - CONINTVAL2~0 : DAC変換間隔 (DAC Conversion Interval)

これらのビットは2つの連続する変換間の最小間隔を制御します。直前の変換が安定するまで新しい変換が始まらないことを保証するため、この間隔は周辺機能クロック(clk_{PER})に比例して設定されなければなりません。DAC変換間隔は単一チャネル動作の間で1 μ sより、2重チャネル(S/H)動作の間で1.5 μ sよりも決して低く設定されるべきではありません。表26-4.は利用可能な設定を周辺機能クロック周期数として示します。2重チャネル動作間のより長い変換間隔を許すために、周辺機能クロック周期数の50%が自動的に追加されます。

表26-4. DAC変換間隔

CONINTVAL2~0	群構成設定	単一チャネル動作 clk_{PER} 周期数	2重チャネル(S/H)動作 clk_{PER} 周期数
0 0 0	1CLK	1	1
0 0 1	2CLK	2	3
0 1 0	4CLK	4	6
0 1 1	8CLK	8	12
1 0 0	16CLK	16	24
1 0 1	32CLK	32	48
1 1 0	64CLK	64	96
1 1 1	128CLK	128	192

選んだクロック周期数に周辺機能クロック周期を乗じたものがDAC最小変換間隔を与えます。

● ビット3~0 - REFRESH3~0 : DACチャネル更新間隔 (DAC Channel Refresh Timing Control)

これらのビットは2重チャネル(S/H)動作でチャネルが更新される各時間の間隔を制御します。変換値の精度損失を避けるため、この間隔は周辺機能クロックに比例して設定されなければなりません。表26-5.は利用可能なタイミング設定を周辺機能クロック周期数として示します。

表26-5. DACチャネル更新制御選択

REFRESH3~0	群構成設定	更新間隔 clk_{PER} 周期数	REFRESH3~0	群構成設定	更新間隔 clk_{PER} 周期数
0 0 0 0	16CLK	16	1 0 0 0	4096CLK	4096
0 0 0 1	32CLK	32	1 0 0 1	8192CLK	8192
0 0 1 0	64CLK	64	1 0 1 0	16384CLK	16384
0 0 1 1	128CLK	128	1 0 1 1	32768CLK	32768
0 1 0 0	256CLK	256	1 1 0 0	65536CLK	65536
0 1 0 1	512CLK	512	1 1 0 1	-	(予約)
0 1 1 0	1024CLK	1024	1 1 1 0	-	(予約)
0 1 1 1	2048CLK	2048	1 1 1 1	OFF	自動更新OFF

選んだクロック周期数に周辺機能クロック周期を乗じたものがDACチャネル(S/H)更新間隔を与えます。

26.10.6. STATUS - 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$05	-	-	-	-	-	-	CH1DRE	CH0DRE	STATUS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - CH1DRE : チャネル1データレジスタ空フラグ (Channel 1 Data register Empty)

このフラグが設定(1)の時はチャネル1用のデータ(CH1DATA)レジスタが空で、新しい値が書けることを示します。このビットが解除(0)されている時のデータレジスタ書き込みは保留中の変換データ上書きを引き起こします。このビットはDMA要求に対して直接的に使われます。

● ビット0 - CH0DRE : チャネル0データレジスタ空フラグ (Channel 0 Data register Empty)

このフラグが設定(1)の時はチャネル0用のデータ(CH0DATA)レジスタが空で、新しい値が書けることを示します。このビットが解除(0)されている時のデータレジスタ書き込みは保留中の変換データ上書きを引き起こします。このビットはDMA要求に対して直接的に使われます。

26.10.7. CH0DATAH – チャネル0データレジスタ上位 (Channel 0 Data register High)

CHnDATAHとCHnDATALのこれら2つのレジスタはDACチャネルnで電圧に変換される12ビット値CHnDATAの各々上位バイトと下位バイトです。既定では、この12ビットがCHnDATALの8ビットとCHnDATAHの下位4ビット位置の4ビットに分配されます(右揃え)。左揃えのデータの選択は、**制御レジスタC(CTRLC)の左揃え(LEFTADJ)ビット**を設定(1)してください。

左揃えデータが選ばれると、CHnDATAの上位バイト、換言するとCHnDATAHだけの書き込みによって8ビット変換を行うことが可能です。8ビット変換動作だけが使われる場合、一時(TEMP)レジスタは0に初期化されるべきです(訳注:TEMPレジスタ記述なし)。

ビット	7	6	5	4	3	2	1	0	
右揃え	-				CHDATA11~8				CH0DATAH +\$19
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

26.10.7.1. 右揃え

- ビット7~4 – 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3~0 – CHDATA11~8 : チャネル0変換データ上位 (Conversion Data Channel 0, 4 MSB)

これらのビットは右揃え動作でチャネル0に変換される12ビット値の上位4ビットです。

26.10.7.2. 左揃え

- ビット7~0 – CHDATA11~4 : チャネル0変換データ上位 (Conversion Data Channel 0, 8 MSB)

これらのビットは左揃え動作でチャネル0に変換される12ビット値の上位8ビットです。

26.10.8. CH0DATAL – チャネル0データレジスタ下位 (Channel 0 Data register Low)

ビット	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH0DATAL +\$18
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				-				
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

26.10.8.1. 右揃え

- ビット7~0 – CHDATA7~0 : チャネル0変換データ下位 (Conversion Data Channel 0, 8 LSB)

これらのビットは右揃え動作でチャネル0に変換される12ビット値の下位8ビットです。

26.10.8.2. 左揃え

- ビット7~4 – CHDATA3~0 : チャネル0変換データ下位 (Conversion Data Channel 0, 4 LSB)

これらのビットは左揃え動作でチャネル0に変換される12ビット値の下位4ビットです。

- ビット3~0 – 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

26.10.9. CH1DATAH – チャネル1データレジスタ上位 (Channel 1 Data register High)

ビット	7	6	5	4	3	2	1	0	
右揃え	-				CHDATA11~8				CH1DATAH +\$1B
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

26.10.9.1. 右揃え

- ビット7~4 – 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット3~0 - CHDATA11~8 : チャネル1変換データ上位 (Conversion Data Channel 1, 4 MSB)

これらのビットは右揃え動作でチャネル1に変換される12ビット値の上位4ビットです。

26.10.9.2. 左揃え

- ビット7~0 - CHDATA11~4 : チャネル1変換データ上位 (Conversion Data Channel 1, 8 MSB)

これらのビットは左揃え動作でチャネル1に変換される12ビット値の上位8ビットです。

26.10.10. CH1DATAL - チャネル1データレジスタ下位 (Channel 1 Data register Low)

ビット	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH1DATAL +\$1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				-	-	-	-	
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

26.10.10.1. 右揃え

- ビット7~0 - CHDATA7~0 : チャネル1変換データ下位 (Conversion Data Channel 1, 8 LSB)

これらのビットは右揃え動作でチャネル1に変換される12ビット値の下位8ビットです。

26.10.10.2. 左揃え

- ビット7~4 - CHDATA3~0 : チャネル1変換データ下位 (Conversion Data Channel 1, 4 LSB)

これらのビットは左揃え動作でチャネル1に変換される12ビット値の下位4ビットです。

- ビット3~0 - 予約 (Reserved)

これらのビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

26.10.11. GAINCAL - 利得校正レジスタ (Gain Calibration register)

ビット	7	6	5	4	3	2	1	0	
+\$08	GAINCAL7~0								GAINCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 - GAINCAL7~0 : 利得校正値 (Gain Calibration value)

これらのビットは利得誤差に対する補償に使われます。詳細については222頁の「校正」をご覧ください。

26.10.12. OFFSETCAL - 変位校正レジスタ (Offset Calibration register)

ビット	7	6	5	4	3	2	1	0	
+\$09	OFFSETCAL7~0								OFFSETCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7~0 - OFFSETCAL7~0 : 変位校正値 (Offset Calibration value)

これらのビットは変位誤差に対する補償に使われます。詳細については222頁の「校正」をご覧ください。

26.11. レジスタ要約

これはD/A変換器が標準的な12ビットの結果を与えるように構成設定された時のレジスタ要約です。左揃え12ビット用のレジスタ要約は同様ですが、CHnDATAHとCHnDATALのデータレジスタ内でいくつかの変更を伴います。

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$1B	CHIDATAH					CHDATA11~8または11~4				226
+\$1A	CHIDATAL					CHDATA7~0または3~0				227
+\$19	CH0DATAH					CHDATA11~8または11~4				226
+\$18	CH0DATAL					CHDATA7~0または3~0				226
+\$17	予約	-	-	-	-	-	-	-	-	
+\$16	予約	-	-	-	-	-	-	-	-	
+\$15	予約	-	-	-	-	-	-	-	-	
+\$14	予約	-	-	-	-	-	-	-	-	
+\$13	予約	-	-	-	-	-	-	-	-	
+\$12	予約	-	-	-	-	-	-	-	-	
+\$11	予約	-	-	-	-	-	-	-	-	
+\$10	予約	-	-	-	-	-	-	-	-	
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	予約	-	-	-	-	-	-	-	-	
+\$0D	予約	-	-	-	-	-	-	-	-	
+\$0C	予約	-	-	-	-	-	-	-	-	
+\$0B	予約	-	-	-	-	-	-	-	-	
+\$0A	予約	-	-	-	-	-	-	-	-	
+\$09	OFFSETCAL					OFFSETCAL7~0				227
+\$08	GAINCAL					GAINCAL7~0				227
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	予約	-	-	-	-	-	-	-	-	
+\$05	STATUS	-	-	-	-	-	-	CH1DRE	CH0DRE	225
+\$04	TIMCTRL	-	CONINTVAL2~0			REFRESH3~0				224
+\$03	EVCTRL	-	-	-	-	-	EVSEL2~0			224
+\$02	CTRLC	-	-	-	REFSEL1,0		-	-	LEFTADJ	224
+\$01	CTRLB	-	CHSEL1,0		-	-	-	CH1TRIG	CH0TRIG	223
+\$00	CTRLA	-	-	-	IDOEN	CH1EN	CH0EN	-	ENABLE	223

27. AC – アナログ比較器

27.1. 要点

- 選択可能な伝播遅延対電流消費
- 選択可能なヒステリシス
 - なし
 - 小
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポート上の全ピン
 - D/A変換器(DAC)からの出力
 - バンドギャップ基準電圧
 - 内部VCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 構成設定可能な出力ピン選択を持つ定電流源

27.2. 概要

アナログ比較器(AC)は2つの入力の電圧水準を比較してその比較に基いたデジタル出力を与えます。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

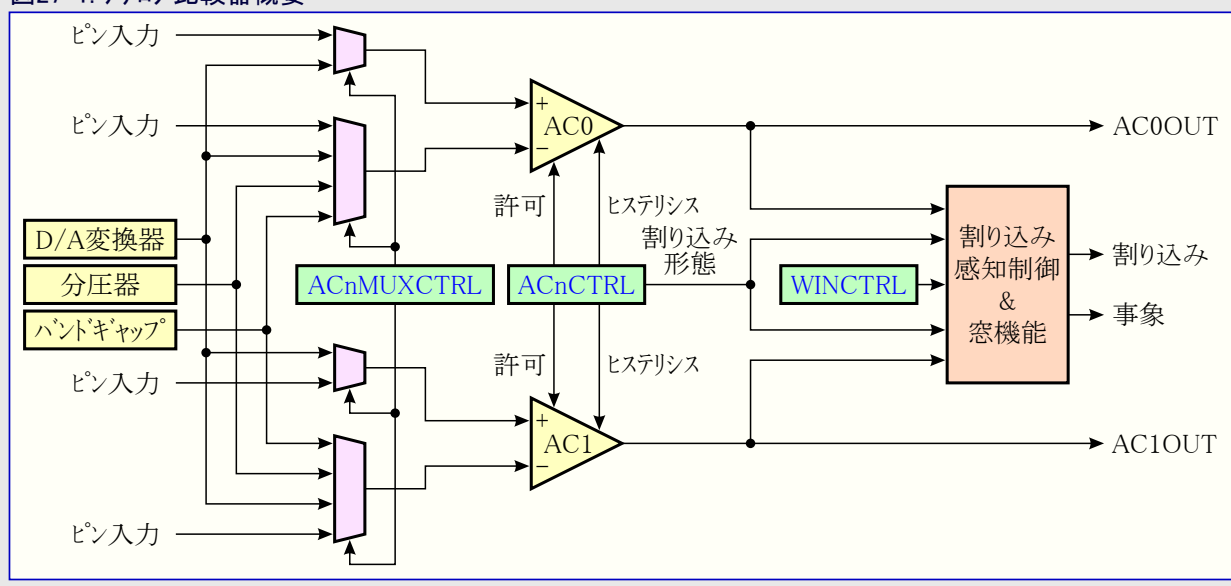
アナログ比較器の動的な動きの2つの重要な特性はヒステリシスと伝播遅延です。これらの両パラメータは各応用に対して最適な動作を得るために調節できます。

入力選択はアナログポートピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使うためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使うと、それらは電圧水準の代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

図27-1. アナログ比較器概要



27.3. 入力元

各アナログ比較器は1つの正入力と1つの負入力を持っています。各入力にはアナログ入力ピン、内部入力、VCCを縮尺した入力から選ぶことができます。アナログ比較器からのデジタル出力は正と負の入力電圧間の差が正の時に1、差が負の時に0です。

27.3.1. ピン入力

ポートのアナログ入力ピンのどれもがアナログ比較器への入力として選ぶことができます。

27.3.2. 内部入力

アナログ比較器に対して3つの内部入力が利用可能です。

- DACからの出力
- バンドギャップ基準電圧
- 内部VCC電圧を縮尺した64段階を提供する分圧器

27.4. 信号比較

信号比較を開始するため、この単位部が許可される前に、アナログ比較器は望んだ特性と入力で構成設定されなければなりません。比較結果は連続的に更新され、応用ソフトウェアと事象システムで利用可能です。

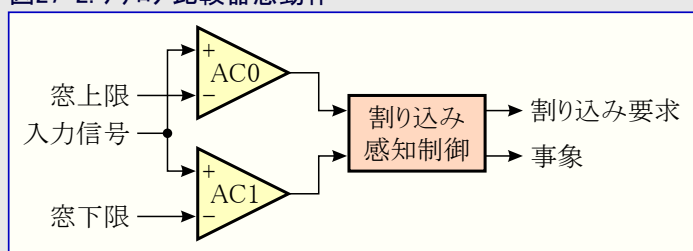
27.5. 割り込みと事象

アナログ比較器は出力が切り替わる時、出力が0から1に変化する(上昇端)時、または出力が1から0に変化する(下降端)時に割り込みを生成するように構成設定することができます。割り込みが許可されているか否かのどちらかに拘らず、事象は割り込みと同じ条件の間、常時生成されます。

27.6. 窓動作

同じポートの2つのアナログ比較器は窓動作で共に動作するように構成設定することができます。この動作では電圧範囲が定義され、アナログ比較器は入力信号がこの範囲内か否かのどちらかかについての情報を提供できます。

図27-2. アナログ比較器窓動作



27.7. 入力ヒステリシス

応用ソフトウェアは比較に関してヒステリシスのなし、低、高を選ぶことができます。ヒステリシス付加は入力信号(値)がお互いに近い時に雑音によって引き起こされ得る定常的な出力切り換わりを防ぐのを手助けします。

27.8. 伝播遅延対電力消費

可能な限り最短の伝播遅延を得るために高速動作を許可することが可能です。この動作は相応じてより長い伝播遅延を持つ既定の低電力動作よりもっと電力を消費します。

27.9. レジスタ説明

27.9.1. ACnCTRL – アナログ比較器n制御レジスタ (Analog Comparator n Control register)

ビット	7	6	5	4	3	2	1	0	
+\$00,\$01	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	ACnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – INTMODE1,0 : 割り込み種別 (Interrupt Modes)

これらのビットは表27-1.に従ってアナログ比較器nに対する割り込み種別を構成設定します。

表27-1. アナログ比較器n割り込み設定

INTMODE1,0	群構成設定	内容
0 0	BOTHEDGES	出力切り替わりでの比較器割り込みまたは事象
0 1	-	(予約)
1 0	FALLING	出力下降端での比較器割り込みまたは事象
1 1	RISING	出力上昇端での比較器割り込みまたは事象

- ビット5,4 – INTLVL1,0 : 割り込み段位 (Interrupt Level)

これらのビットはアナログ比較器nの割り込みを許可して86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは割り込み種別(INTMODE)設定に従って起動します。

- ビット3 – HSMODE : 高速動作 (High-Speed Mode Select)

既定によってアナログ比較器nは低電力動作で、このビットが0です。このビットの設定(1)はより短い伝播遅延のための高速動作を選びます。実際の性能の詳細についてはデバイスのデータシートを参照してください。

- ビット2,1 – HYSMODE1,0 : ヒステリシス選択 (Hysteresis Mode Select)

これらのビットは表27-2.に従ってヒステリシス形態を選びます。実際のヒステリシス基準の詳細についてはデバイスのデータシートを参照してください。

表27-2. アナログ比較器nヒステリシス設定

HYSMODE1,0	群構成設定	内容
0 0	NO	ヒステリシスなし
0 1	SMALL	ヒステリシス小
1 0	LARGE	ヒステリシス大
1 1	-	(予約)

- ビット0 – ENABLE : 許可 (Enable)

このビットの設定(1)がアナログ比較器nを許可します。

27.9.2. ACnMUXCTRL – アナログ比較器n多重器(MUX)制御レジスタ (Analog Comparator n MUX Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02,\$03	-	-	MUXPOS2~0			MUXNEG2~0			ACnMUXCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

- ビット5~3 – MUXPOS2~0 : 正入力選択 (Positive Input MUX Selection)

これらのビットは表27-3.に従ってアナログ比較器nの正入力にどの入力に接続されるかを選びます。

表27-3. アナログ比較器n正入力多重器(MUX)選択

MUXPOS2~0	群構成設定	正入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN2	アナログ入力ピン2
0 1 1	PIN3	アナログ入力ピン3
1 0 0	PIN4	アナログ入力ピン4
1 0 1	PIN5	アナログ入力ピン5
1 1 0	PIN6	アナログ入力ピン6
1 1 1	DAC	DAC出力

● ビット2~0 – MUXNEG2~0 : 負入力選択 (Negative Input MUX Selection)

これらのビットは表27-4.に従ってアナログ比較器nの負入力にどの入力
が接続されるかを選びます。

表27-4. アナログ比較器n負入力多重器(MUX)選択

MUXPOS2~0	群構成設定	負入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN3	アナログ入力ピン3
0 1 1	PIN5	アナログ入力ピン5
1 0 0	PIN7	アナログ入力ピン7
1 0 1	DAC	DAC出力
1 1 0	BANDGAP	内部バンドギャップ基準電圧
1 1 1	SCALER	縮尺VCC電圧

27.9.3. CTRLA – 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$04	–	–	–	–	–	–	–	AC0OUT	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 – AC0OUT : アナログ比較器0出力許可 (Analog Comparator 0 Output)

このビットの設定(1)はアナログ比較器0(AC0)の出力を同じポートのピン7で利用可能にします。

27.9.4. CTRLB – 制御レジスタB (Control register B)

ビット	7	6	5	4	3	2	1	0	
+\$05	–	–	SCALEFAC5~0						CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 – SCALEFAC5~0 : VCC入力縮尺 (Voltage Scalling Factor)

これらのビットはVCC電圧分圧器に対する縮尺係数を定義します。アナログ比較器への入力VSCALEは以下です。

$$V_{SCALE} = \frac{V_{CC} \times (SCALEFAC + 1)}{64}$$

27.9.5. WINCTRL – 窓制御レジスタ (Window Function Control register)

ビット	7	6	5	4	3	2	1	0	
+\$06	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		WINCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 – WEN : 窓動作許可 (Window Mode Enable)

このビットの設定(1)はアナログ比較器窓動作を許可します。

● ビット3,2 – WINTMODE1,0 : 窓割り込み種別 (Window Interrupt Mode Settings)

これらのビットは表27-5.に従ってアナログ比較器窓動作に対する割り込み動作種別を構成設定します。

表27-5. 窓動作割り込み設定

WINTMODE1,0	群構成設定	内容
0 0	ABOVE	窓以上の信号で割り込み
0 1	INSIDE	窓内の信号で割り込み
1 0	BELOW	窓以下の信号で割り込み
1 1	OUTSIDE	窓外の信号で割り込み

● ビット1,0 – WINTLVL1,0 : 窓割り込み段位 (Window Interrupt Enable)

これらのビットはアナログ比較器窓動作割り込みを許可して86頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込み段位を選びます。許可した割り込みは窓割り込み種別(WINTMODE)設定に従って起動します。

27.9.6. STATUS – 状態レジスタ (Status register)

ビット +\$07	7	6	5	4	3	2	1	0	STATUS
	WSTATE1,0	AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF		
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 – WSTATE1,0 : アナログ比較器窓動作現状 (Window Mode Current State)

これらのビットは表27-6.に従って窓動作が許可された場合の信号の現在の状態を示します。

表27-6. 窓動作での現在の状態

WSTATE1,0	群構成設定	内容
0 0	ABOVE	信号は窓以上
0 1	INSIDE	信号は窓内
1 0	BELOW	信号は窓以下
1 1	OUTSIDE	信号は窓外

● ビット5 – AC1STATE : アナログ比較器1現状 (Analog Comparator 1 Current State)

このビットはアナログ比較器1からの出力信号の現在の状態を示します。

● ビット4 – AC0STATE : アナログ比較器0現状 (Analog Comparator 0 Current State)

このビットはアナログ比較器0からの出力信号の現在の状態を示します。

● ビット3 – 予約 (Reserved)

このビットは予約されており、常に0として読みます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 – WIF : アナログ比較器窓割り込み要求フラグ (Analog Comparator Window Interrupt Flag)

このビットは窓動作に対する割り込み要求フラグです。WIFは「WINCTRL – アナログ比較器窓制御レジスタ」のアナログ比較器窓割り込み種別(WINTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器窓割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

● ビット1 – AC1IF : アナログ比較器1割り込み要求フラグ (Analog Comparator 1 Interrupt Flag)

このフラグはアナログ比較器1に対する割り込み要求フラグです。AC1IFは231頁の「ACnCTRL – アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

AC1IFはアナログ比較器1割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

● ビット0 – AC0IF : アナログ比較器0割り込み要求フラグ (Analog Comparator 0 Interrupt Flag)

このフラグはアナログ比較器0に対する割り込み要求フラグです。AC0IFは231頁の「ACnCTRL – アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

AC0IFはアナログ比較器0割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

27.10. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁	
+\$09	予約	-	-	-	-	-	-	-	-		
+\$08	予約	-	-	-	-	-	-	-	-		
+\$07	STATUS	WSTATE1,0		AC1STATE	AC0STATE	-	WIF	AC1IF	AC0IF	233	
+\$06	WINCTRL	-	-	-	WEN	WINTMODE1,0		WINTLVL1,0		232	
+\$05	CTRLB	-	-	SCALEFACL5~0							232
+\$04	CTRLA	-	-	-	-	-	-	-	AC0OUT	232	
+\$03	ACIMUXCTRL	-	-	MUXPOS2~0			MUXNEG2~0			231	
+\$02	ACOMUXCTRL	-	-	MUXPOS2~0			MUXNEG2~0			231	
+\$01	AC1CTRL	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	231	
+\$00	AC0CTRL	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	231	

27.11. 割り込みベクタ要約

表27-7. アナログ比較器割り込みベクタ

変位	記述例	割り込み内容
\$00	COMP0_vect	アナログ比較器0割り込みベクタ
\$02	COMP1_vect	アナログ比較器1割り込みベクタ
\$04	WINDOW_vect	アナログ比較器窓割り込みベクタ

28. IEEE 1149.1 JTAG 境界走査インターフェース

28.1. 要点

- JTAG(IEEE規格1149.1-2001適合)インターフェース
- JTAG規格に従った境界走査能力
- 全I/Oピンの完全な走査
- SAMPLE, IDCODE, PRELOAD, EXTEST, BYPASS必須命令支援
- HIGHZ, CLAMP任意命令支援
- PDIアクセス用AVR特定PDICOM命令支援

28.2. 概要

JTAGインターフェースはJTAG境界走査能力の使用によって基板を検査することを主に意図されています。副次的にJTAGインターフェースは任意のJTAG動作でプログラミングとデバッグ用インターフェースの入出力に使われます。

境界走査チェーンはI/Oピンの論理値を駆動、監視する能力を持っています。システム上ではJTAG能力を持つ全てのマイクロコントローラや基板部品がTDIとTDO信号によって長い移動レジスタの形態で直列に接続されます。外部制御器はそれらの出力ピンで値を駆動するためにデバイスを設定し、他のデバイスから受信した入力値を監視します。この制御器は予測される結果と受信した値を比較します。このように境界走査の方法は4つのTAP信号だけを使うことによって、基板上の部品の完全性と内部連絡検査に対する機構を提供します。代わりに、全てのI/Oピンを不活性駆動状態にして置き、同時にチップの境界走査レジスタチェーンを迂回するのにHIGHZ命令を使うことができます。

AVR特定PDICOM命令はプログラミングとデバッグ用のPDIをアクセスするためのインターフェースとしてPDIデータレジスタの使用を可能にします。これはJTAGインターフェースを使うことによって内部のプログラミングとデバッグの資源をアクセスする方法の切り換えを提供します。PDI、プログラミングとチップ上デバッグのより多くの詳細については240頁の「プログラミングとデバッグ用インターフェース」を参照してください。

JTAGインターフェースとJTAG検査入出力ポート(TAP)を許可するには、JTAGENヒューズがプログラム(0)され、MCU制御レジスタ(MCUCR)のJTAGインターフェース禁止(JTAGD)ビットが解除(0)されなければなりません。より多くの詳細については23頁の「FUSEBYTE4 - ヒューズバイト4」と31頁の「MCUCR - MCU制御レジスタ」をご覧ください。

境界走査に対してJTAGインターフェースを使うとき、JTAG TCKクロック周波数はデバイスの内部周波数より高くできます。境界走査に対してデバイスのシステムクロックは必要ありません。

28.3. 検査入出力ポート (TAP:Test Access Port)

JTAGインターフェースは4つのデバイスピンの使用が必要です。JTAG用語では、これらのピンが検査入出力ポート(TAP)を構成します。

- **TMS** : 検査種別選択。このピンはTAP制御器順次回路を通しての指示に使われます。
- **TCK** : 検査クロック。これはJTAGクロック信号で、全ての操作はTCKに同期します。
- **TDI** : 検査データ入力。命令レジスタまたはデータレジスタ(走査チェーン)内に移動されるべき直列入力データです。
- **TDO** : 検査データ出力。命令レジスタまたはデータレジスタからの直列出力データです。

IEEE規格1149.1-2001では任意の検査リセット(TRST)も指定されています。これは利用できません。

JTAGENヒューズが非プログラム(1)またはJTAGインターフェース禁止(JTAGD)ビットが設定(1)の時にJTAGインターフェースが禁止されます。4つのTAPピンは標準ポートピンで、TAP制御器はリセットです。許可されると、4つ全てのTAP信号は内部的にHighへ引かれてJTAGが境界走査動作を許可されます。

TAP制御器は境界走査回路の働きを制御する16段の有限順次回路です。図28-1.に示された状態遷移はTCKでの上昇端の時の(図の各状態遷移付近で示される)TMS上に存在する信号に依存します。電源ON/リセット後の初期状態は**検査回路リセット**状態です。

現在の状態が**検査実行/アイドル**状態と仮定して、JTAGインターフェースを使う代表的な筋書きは以下です。

- **命令レジスタ(IR)移動状態**へ移行するためにTCKの上昇端でTMS入力に順次**1,1,0,0**を与えてください。この状態中にTCKの上昇端でTDI入力からJTAG命令レジスタ内に4ビットのJTAG命令を移動してください。TMS入力は**IR移動状態**に留まるために3 LSBの入力中、**Low**に保持されなければなりません。命令のMSBはTMS入力の**High**設定によってこの状態を抜ける時に移動入力されます。命令がTDIピンから移動入力されている間に捕獲されたIRの状態(\$01)がTDOピンへ移動出力されます。JTAG命令はTDIとTDO間の経路として特定のデータレジスタを選び、選んだデータレジスタ周辺回路を制御します。

- **検査実行/アイドル**状態へ再度移行するためにTMSへ順次**1,1,0**を与えてください。この命令は**IR更新状態**で移動レジスタ経路から並列出力にラッチされます。**IR終了1**、**IR一時停止**、**IR終了2**の各状態は順次回路の誘導にだけ使われます。

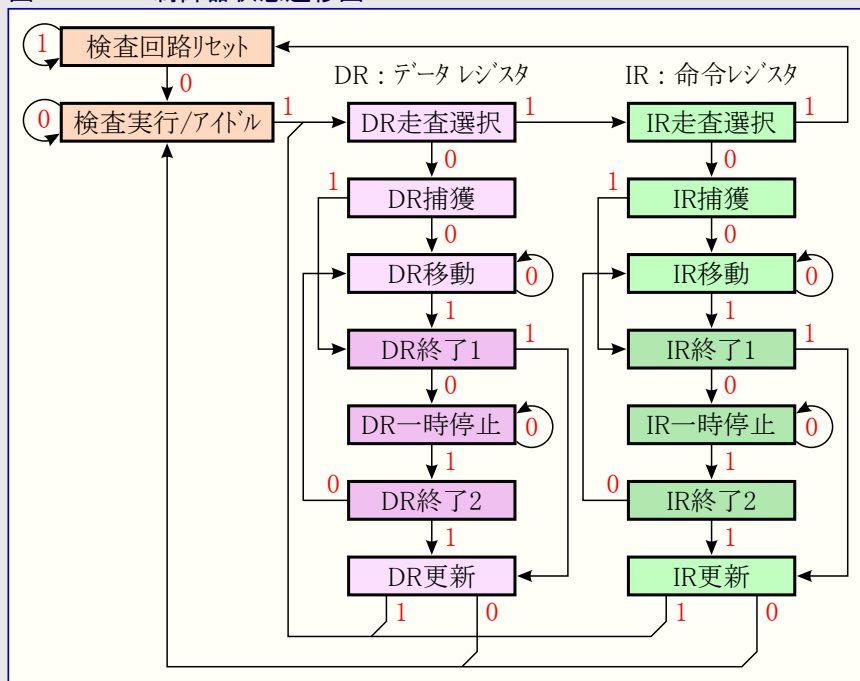
- **データレジスタ(DR)移動状態**へ移行するためにTCKの上昇端でTMSに順次**1,0,0**を与えてください。この状態中にTCKの上昇端でTDI入力から(JTAG命令レジスタ内に存在するJTAG命令によって選ばれた)選択データレジスタに値を移動入力してください。**DR移動状態**に留まるために、MSBを除く全ビットの入力の間、TMS入力は**Low**に保持されなければなりません。データのMSBはTMS入力の**High**設定によってこの状態を抜ける時に移動入力されます。データレジスタがTDIピンから移動入力されている間、**DR捕獲状態(1,0)**で捕獲したデータレジスタへの並列入力TDOピンで移動出力されます。

- **検査実行/アイドル**状態へ再度移行するためにTMSに順次**1,1,0**を与えてください。選んだデータレジスタがラッチした並列出力を持つ場合、**DR更新状態**でラッチを行います。**DR終了1**、**DR一時停止**、**DR終了2**の各状態は順次回路の誘導にだけ使われます。

状態遷移図で示されるように、**検査実行/アイドル**状態はJTAG命令選択とデータレジスタ使用の間で移行の必要はありません。

注: TAP制御器の初期状態に関係なく、5 TCKクロック周期に対してTMSを**High**に保持することによって、常に**検査回路リセット**状態へ移行できます。

図28-1. TAP制御器状態遷移図



28.4. JTAG命令

命令レジスタ(IR)は4ビット幅です。以下の一覧は境界走査操作JTAG命令とJTAG動作でのPDI入出力に使われるPDICOM命令です。

全ての移動レジスタに対してLSBが先に移動入出力されます。

各命令に対する符号は命令名後の16進形式で示されます。本文は各命令に関してTDIとTDO間の経路としてどのデータレジスタが選ばれるかを記述します。

28.4.1. EXTEST; \$0

EXTESTはAVR XMEGAデバイス製品への外部的な回路の検査用のデータレジスタ(DR)として境界走査チェーンを選ぶための命令です。この命令は外部ピンの採取と出力ピンへのデータ設定に使われます。I/Oポートピンに関しては出力制御(DIR)と出力データ(OUT)が走査チェーン経由で制御可能で、一方出力制御と実際のピン値が監視可能です。境界走査チェーンのラッチされた出力の内容はJTAG命令レジスタ(IR)が**EXTEST**命令を格納されると直ぐに出力駆動されます。

活性(有効)な状態は以下です。

- **DR捕獲** : 外部ピン上のデータが境界走査チェーン内に採取されます。
- **DR移動** : 境界走査チェーン内のデータがTCK入力によって移動されます。
- **DR更新** : 走査チェーンからのデータが出力ピンに供給されます。

28.4.2. IDCODE; \$3

IDCODEはデータレジスタ(DR)として32ビットの識別符号(ID)レジスタを選ぶための命令です。識別符号レジスタは版番号、デバイス番号と、電子機器技術評議会(JEDEC)によって決められた製造者符号から成ります。これは電源投入後の既定命令です。

活性(有効)状態は以下です。

- DR捕獲：識別符号レジスタの値がデバイス識別レジスタ内に採取されます。
- DR移動：識別符号走査チェーンがTCK入力によって移動されます。

28.4.3. SAMPLE/PRELOAD; \$2

SAMPLE/PRELOADはシステム動作への影響なしに入出力ピンの状態採取と出力ラッチの事前格納を行うための命令です。けれども出力ラッチはピンに接続されません。データレジスタ(DR)として境界走査チェーンが選ばれます。SAMPLEとPRELOADの各々の命令が別の機能を実行するので、これらは共通の2進値を共用し、単一合併命令として扱うことができます。

活性(有効)状態は以下です。

- DR捕獲：外部ピンのデータが境界走査チェーン内に採取されます。
- DR移動：境界走査チェーンがTCK入力によって移動されます。
- DR更新：境界走査チェーンからのデータが出力ラッチに供給されますが、出力ラッチはピンに接続されません。

28.4.4. BYPASS; \$F

BYPASSはデータレジスタ(DR)に対して迂回(Bypass)レジスタを選ぶ命令です。この命令はデバイスを通る可能な最短走査チェーンを作るのに発行することができます。

活性(有効)状態は以下です。

- DR捕獲：迂回レジスタに0を格納します。
- DR移動：TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.5. CLAMP; \$4

CLAMPは事前格納された出力ラッチから決められる状態を入出力ピンに許す任意命令です。この命令は境界走査レジスタ経由で印加されるべきピン静止値を許すと同時に走査経路内のこれらのレジスタを迂回し、直列検査経路の総合長を効率的に短くします。データレジスタ(DR)として迂回(Bypass)レジスタが選ばれます。

活性(有効)状態は以下です。

- DR捕獲：迂回レジスタに0を格納します。
- DR移動：TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.6. HIGHZ; \$5

HIGHZは全ての出力を不活性状態(例えば高インピーダンス)にする任意命令です。データレジスタ(DR)として迂回(Bypass)レジスタが選ばれます。

活性(有効)状態は以下です。

- DR捕獲：迂回レジスタに0を格納します。
- DR移動：TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.7. PDICOM; \$7

PDICOMはPDIに対する代替インターフェースとしてJTAG TAPを使うためのAVR XMEGA特定命令です。

活性(有効)状態は以下です。

- DR捕獲：PDIからの並列データがPDICOMデータレジスタ内に採取されます。
- DR移動：命令またはオペランドがPDICOMデータレジスタからPDI内へ並列ラッチされます。

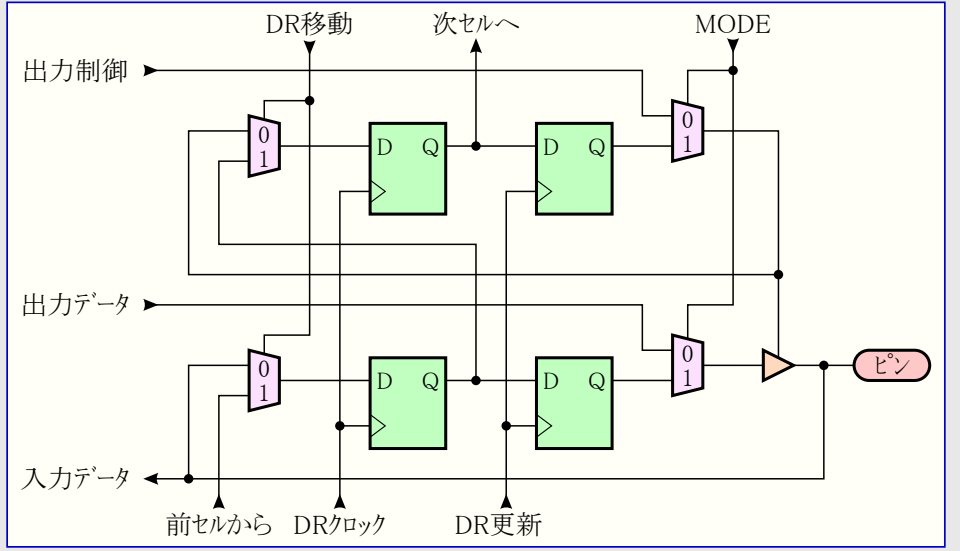
28.5. 境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンはI/Oピンの論理値の設定と監視の能力を持ちます。EXTEST, CLAMP, HIGHZ命令中とその後の予測可能なデバイスの動きを保証するために、デバイスは自動的にリセット(状態)に置かれます。リセットが活性(有効)な間、外部用発振器、アナログ単位部、(プルアップ/ダウン、バス保持、ワイヤードAND/ORのような)既定以外のポート設定は禁止されます。現在のデバイスとポートピンの状態がSAMPLEとPRELOAD命令によって影響を及ぼされないことに注目されるべきです。

28.5.1. ポートピンの走査

図28-2は全ての双方向ポートピンに対して使われる境界走査セルを示します。このセルは2段の移動レジスタ経由でピン方向とピン値の両方の制御と監視を行えます。交換ポート機能が存在しないとき、出力制御はDIRレジスタ値に対応し、出力データはOUTレジスタ値に対応し、入力データは(入力反転と同期化前に分岐された)INレジスタ値に対応します。MODEは活動中のCLAMPまたはEXT ESTのどちらかの命令を表し、一方DR移動はTAP制御器がDR移動状態の時に設定(1)されます。

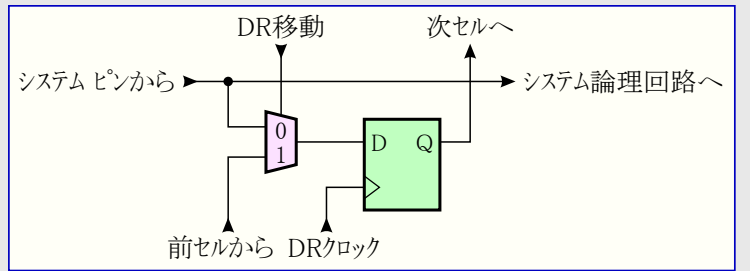
図28-2. 双方向ポート用境界走査(Boundary-Scan)セル



28.5.2. PDIピンの走査

組み合わされたRESETとPDI_CLKピンのために2つの監視専用セルが挿入され、PDI_DATAピンが監視可能です。例えばPDI_DATAピンが双方向でも、PDI_DATA出力経路にどんな追加論理回路も避けるために監視可能なだけにされています。

図28-3. 監視専用入力セル

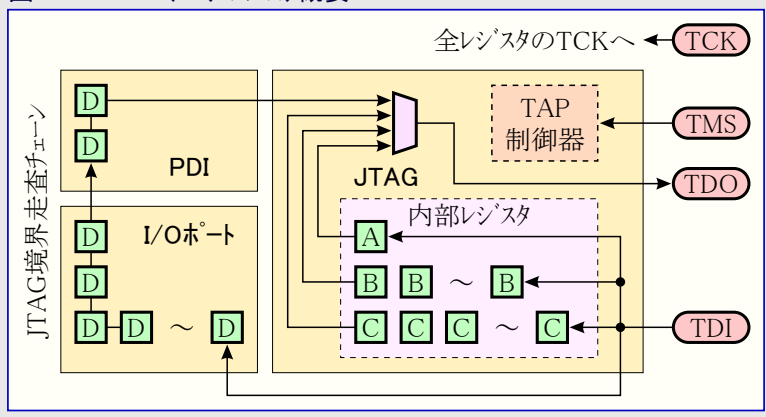


28.6. データレジスタ

TDIとTDO間に接続可能な支援されるデータレジスタ(DR)は以下です。

- 迂回(Bypass)レジスタ (図28-4.でAとして参照)
- デバイス識別(Device Identification)レジスタ (図28-4.でCとして参照)
- 境界走査チェーン(Boundary-Scan chain) (図28-4.でDとして参照)
- PDICOMデータレジスタ (図28-4.でBとして参照)

図28-4. JTAGデータレジスタ概要



28.6.1. 迂回 (Bypass) レジスタ

迂回レジスタは単一の移動レジスタ段から成ります。TDIとTDO間の経路として迂回レジスタが選ばれると、このレジスタはデータレジスタ(DR)捕獲制御器状態を抜ける時に0へリセットされます。迂回レジスタは他のデバイスが検査されるべき時にシステム上の走査チェーンを短くするのに使えます。

28.6.2. デバイス識別 (Device Identification) レジスタ

ビット	31	28	27	12	11	1	0	
デバイス識別	版				部品番号		製造者識別	1
ビット数	4				16		11	1

28.6.2.1. 版

版はデバイスの改訂を示す4ビットです。JTAG版番号はデバイス改訂に従います。改訂Aは\$00、改訂Bは\$01、以下同様です。

28.6.2.2. 部品番号

部品番号はデバイスを識別する16ビット符号です。正確な番号を得るにはデバイスのデータシートを参照してください。

28.6.2.3. 製造者識別

製造者識別は製造業者を識別する11ビット符号です。Atmelに関しては、この符号が\$01Fです。

28.6.3. 境界走査チェーン (Boundary-Scan Chain)

境界走査チェーンは全I/Oピンの論理値の設定と監視能力を持ちます。完全な記述については前ページの「[境界走査チェーン\(Boundary-Scan chain\)](#)」を参照してください。

28.6.4. PDICOMデータレジスタ

PDICOMデータレジスタはJTAG TAPとPDI間でのデータの直列⇒並列と並列⇒直列の変換に使われる9ビット幅のレジスタです。詳細については240ページの「[プログラミングとデバッグ用インターフェース](#)」を参照してください。

29. プログラミングとデバッグ用インターフェース

29.1. 要点

- プログラミング
 - PDIまたはJTAGのインターフェースを通す外部プログラミング
高速動作のための最小の規約付随負荷
確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すプログラミング用のブート ロータ支援
- デバッグ
 - 不干涉、実時間、チップ上デバッグ システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
データ位置読み、書き、または読み書き両方
データ位置内容が値と等しいまたは等しくない
データ位置内容が値よりも大きいまたは小さい
データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- プログラミングとデバッグ用インターフェース(PDI)
 - 外部のプログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - プログラミングまたはデバッグ中にI/Oピンの必要なし
- JTAGインターフェース
 - プログラミングとデバッグ用の4ピン、IEEE規格1149.1適合インターフェース
 - IEEE規格149.1(JTAG)に従った境界走査能力

29.2. 概要

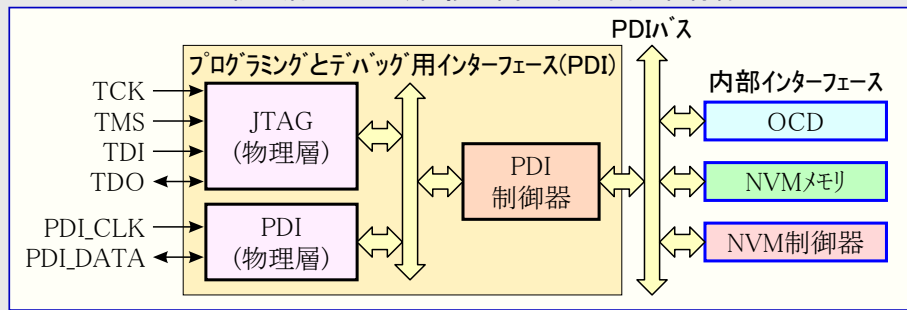
プログラミングとデバッグ用インターフェース(PDI)はデバイスの外部プログラミングとチップ上デバッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒューズ、施錠ビット、使用者識別列の不揮発性メモリ(NVM)の高速プログラミングを支援します。これはNVM制御器をアクセスして、250頁の「メモリプログラミング」で記述されるようにNVM制御器命令を実行することによって行われます。

デバッグは不干涉、実時間のデバッグを提供するチップ上デバッグ システムを通して支援されます。これはデバイスピン接続を除いてどんなソフトウェアまたはハードウェアも必要としません。Atmelのツールチェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラの段階からだけでなく、Cまたは他の高位言語ソースコードの段階から行うことができます。

プログラミングとデバッグは2つの物理インターフェースを通して行えます。基本は全てのデバイスで利用可能なPDI物理層です。これはクロック入力用のリセットピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使う2ピン インターフェースです。殆どのデバイスでJTAGインターフェースも利用可能で、これは4ピンのJTAGインターフェースを通してプログラミングとデバッグに使うことができます。JTAGインターフェースはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはチップ上デバッグ/エミュレータがこれらインターフェースのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すアクセスと仮定します。

図29-1. JTAGとPDI物理層でのPDI、密接に関連する単位部(青枠)

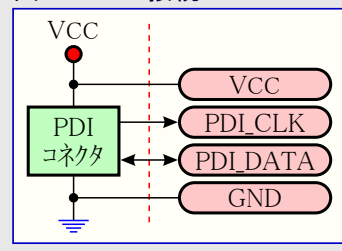


29.3. PDI物理層

PDI物理層は低位直列通信を扱います。これは(丁度USRT動作でのUSARTのように)双方向半二重同期直列送受信器を使います。物理層はフレーム開始検出、フレーミング異常検出、パリティ生成、パリティ誤り検出、衝突検出を含みます。

PDI_CLKとPDI_DATAに加え、PDI_DATAピンは内部プルアップ抵抗を持ち、VCCとGNDは外部書き込み器/デバッガとデバイス間で接続されなければなりません。図29-2は代表的な接続を示します。

図29-2. PDI接続



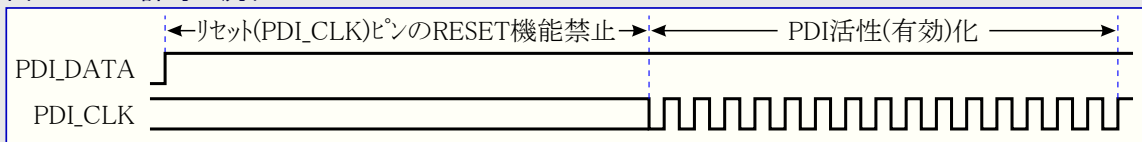
本章の残りはAtmel AVR XMEGAデバイスに対する第3者開発書き込み器またはプログラミング支援による使用だけを意図したものです。

29.3.1. 許可方法

PDI物理層は使用前に許可されなければなりません。これは最初にPDI_DATA線を外部リセット最小パルス幅と等しい長さよりも長い期間、Highに強制することによって行われます(外部リセットパルス幅のデータについてはデバイスのデータシートを参照してください)。これはヒューズ設定によって未だ禁止されていない場合に、リセットピンのRESET機能を禁止します。

次に、PDI_DATAを16PDI_CLK周期間、High保持を継続してください。最初のPDI_CLK周期はリセットピンのRESET機能が禁止された後、100μsよりも遅れてはなりません。これがその時間で起きない場合、許可手順は始めから再び開始されなければなりません。許可の流れは図29-3で示されます。

図29-3. PDI許可の流れ



RESETピンはPDIインターフェースが許可されている時に採取されます。そしてリセットレジスタはRESETピンの状態に従って設定され、このピンのリセット機能が禁止された後でのコード走行からデバイスを保護します。

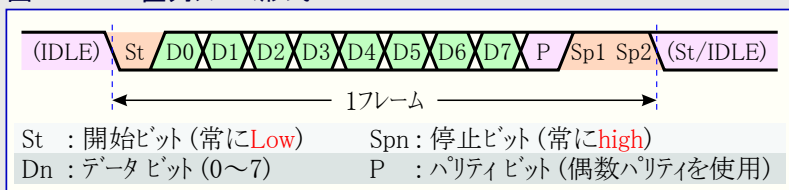
29.3.2. 禁止方法

PDI_CLKのクロック周波数が概ね10kHzよりも低い場合、これはクロック線での無活動と見なします。それはPDIを自動的に禁止します。ヒューズによって禁止されていない場合は、リセット(PDI_CLK)ピンのリセット機能が再び許可されます。これは最低プログラミング周波数が概ね10kHzであることも意味します。

29.3.3. フレーム形式とキャラクタ

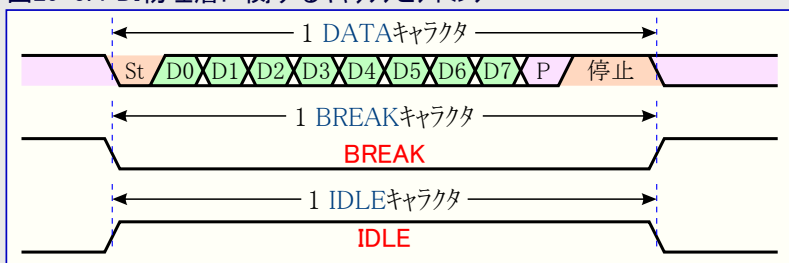
PDI物理層は開始ビット、パリティビット、2つの停止ビットを持つ8ビットデータの1キャラクタで定義される固定フレーム形式を使います。

図29-4. PDI直列フレーム形式



DATA, BREAK, IDLEの3つの異なるキャラクタが使われます。BREAKキャラクタは12ビット長のLowレベルと当価です。IDLEキャラクタは12ビット長のHighレベルと当価です。BREAKとIDLEのキャラクタは12ビット長を超えて延ばすことができます。

図29-5. PDI物理層に関するキャラクタとタイミング

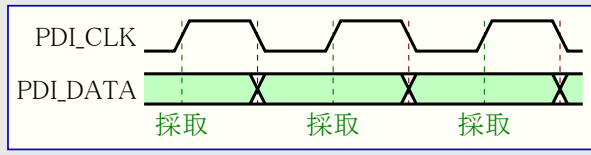


29.3.4. 直列送受信

PDI物理層は送信動作(TX)または受信動作(RX)のどちらかです。既定ではそれがRX動作で、開始ビットを待ちます。

書き込み器とPDIは書き込み器によって供給されるPDI_CLKで同期して動作します。クロック端とデータ採取またはデータ変更の間の依存性は固定化されています。図29-6. で図解されるように、(書き込み器またはPDIのどちらかからの)出力データは常にPDI_CLKの下降端で設定(変更)され、PDI_CLKの上昇端で採取されます。

図29-6. データの変更と採取



29.3.5. 直列送信

PDI制御器によってデータ送信が開始されると、送信部は開始ビット、データビット、パリティビット、2つの停止ビットをPDI_DATAへ単純に移動出力します。送信速度はPDI_CLK信号によって指示されます。送信動作の間では、連続するDATAキャラクタ間の隙間を可能な限り満たすためにIDLEビット(Highビット)が自動的に送信されます。送信中に衝突が検出された場合、出力駆動部が禁止されてインターフェースはBREAKキャラクタを待つRX動作に置かれます。

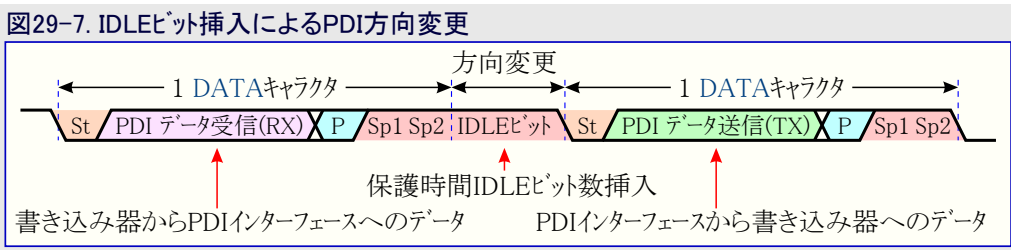
29.3.6. 直列受信

開始ビットが検出されると、受信部は8つのデータビット収集を始めます。パリティビットがデータビットのパリティに対応していない場合、パリティ誤りが発生しています。1つまたは両方の停止ビットがLowなら、フレーミング異常が発生しています。パリティビットが正しくてフレーミング異常が検出されないなら、受信データビットはPDI制御器で利用可能です。

PDIがTX動作の時に、書き込み器によるBREAKキャラクタの合図はBREAK(中断)として解釈されませんが、一般的なデータ衝突を代わりに引き起こします。PDIがRX動作の時に、BREAKキャラクタはBREAKとして認識されます。(1つ以上のHighビットによって分けられていなければならない)2つの連続するBREAKキャラクタの送信によって、PDIが始めにTXまたはRX動作のどちらだったかに拘らず、最後のBREAKキャラクタが常にBREAK(中断)として認識されます。これはTX動作に於いて最初のBREAKが衝突として見えるためです。その後PDIはRX動作に移動して2つ目のBREAKをBREAK(中断)として知ります。

29.3.7. 方向変更

半二重動作に対して正しいタイミングを保証するため、保護時間機構が使われます。PDIがRX動作からTX動作へ動作変更する時で開始ビットが送信される前に構成設定可能なビット数のIDLEビットが挿入されます。RXとTXの動作間の最小遷移時間は2IDLE周期で、これらが常に挿入されます。PDI制御器の制御(CTRL)レジスタ内の保護時間(GUARDTIME)ビット書き込みが追加保護時間を指定します。既定保護時間は128ビットです。

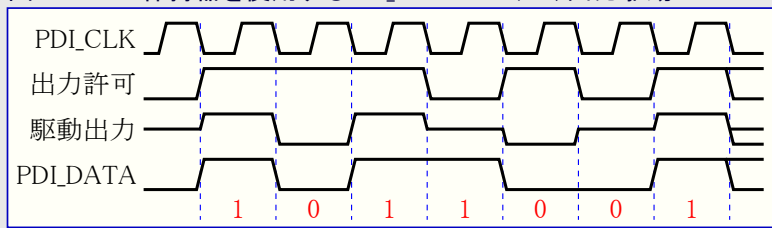


外部書き込み器は目的PDIがRX動作からTX動作へ変更する点でPDI_DATA線の制御を失うでしょう。保護時間は通信のこの重要な段階を緩和します。書き込み器がRX動作からTX動作へ変更する時は、開始ビットが送信される前に最小で単一IDLEビットが挿入されるべきです。

29.3.8. 駆動競合と衝突検出

駆動競合(PDIと書き込み器が同時にPDI_DATAを駆動)の影響を低減するために衝突検出用機構が使われます。この機構はPDI_DATA線でのデータ出力のPDI駆動方法に基づきます。図29-8. で示されるように、PDI出力駆動部は出力値が変化(0⇒1または1⇒0)する時にだけ活性(有効)です。従って、2つ以上の連続するビット値が同じ場合、その値は最初のクロック周期だけ能動的に駆動されます。この時点の後はPDI出力駆動部が自動的にHi-Zにされ、PDI_DATAピンは出力駆動部がビット値での変化のために再許可されるまでピン値を無変化に保つ責任があるバス保持器を持ちます。

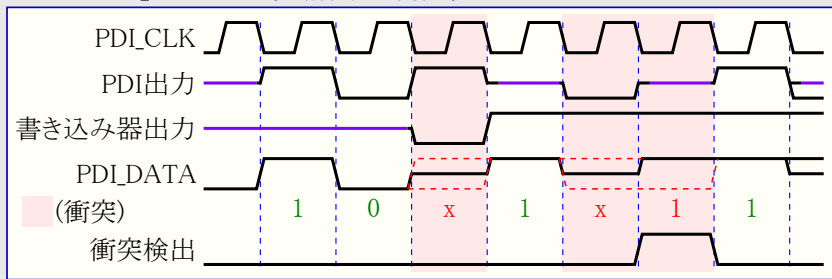
図29-8. バス保持器を使用するPDI_DATAでのデータ出力駆動



書き込み器とPDIの両方が同時にPDI_DATAを駆動する場合、**図29-9**で図解されるように駆動競合が起きます。ビット値が2クロック周期以上保たれていれば、いつもPDIはPDI_DATA線で駆動されている正しいビット値を検証できます。PDIが予想するものと逆のビット値で書き込み器がPDI_DATA線を駆動する場合に衝突が検出されます。

PDI出力駆動部が活動する時はPDI_DATA線のホーリングを妨げるので、PDIが1と0を切り換えながら送信する限り、衝突を検知することができません。けれども、1つのフレーム内で2つの停止ビットが常に1として送信されるべきなので、少なくともフレーム当たり1度は衝突検出を許します。

図29-9. PDI_DATAでの駆動競合と衝突検出



29.4. JTAG物理層

JTAG物理層はTMS,TCK,TDI,TDOの4つのI/O線に対して基本的な低位直列通信を扱います。JTAG物理層はBREAK(中断)検出、パリティ誤り検出、パリティ生成を含みます。より多くの詳細については235頁の「IEEE 1149.1 JTAG 境界走査インターフェース」を参照してください。

29.4.1. 許可方法

JTAGインターフェースを許可するにはJTAGENヒューズがプログラム(0)され、MCU制御レジスタ(MCUCR)のJTAG禁止(JTAGD)ビットが解除(0)されなければなりません。これは既定によって行われます。PDICOM JTAG命令がJTAG命令レジスタ(IR)内に移動されると、外部プログラミングとチップ上デバッグ用のPDIの入出力にJTAGインターフェースを使うことができます。

29.4.2. 禁止方法

JTAGインターフェースはJTAGENヒューズの非プログラム(1)、または応用コードからMCU制御レジスタ(MCUCR)のJTAG禁止(JTAGD)ビットを設定(1)することによって禁止することができます。

29.4.3. JTAG命令一式

Atmel XMEGA特定JTAG命令一式は境界走査とプログラミングに関するPDI入出力に関連する8つの命令から成ります。JTAGと一般的なJTAG命令一式の詳細については236頁の「JTAG命令」を参照してください。

29.4.3.1. PDICOM命令

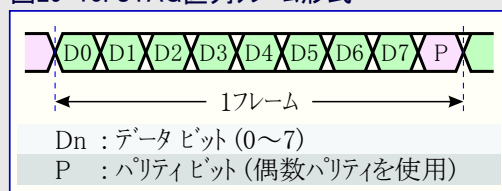
PDICOM命令がJTAG命令レジスタ内に移動されると、データレジスタとして9ビットのPDI通信レジスタが選ばれます。直前の命令からの結果がこのレジスタから移動出力されている時に、命令がこのレジスタ内に移動されます。活性の(有効な)TAP制御器状態は以下です(235頁の「検査入出力ポート(TAP:Test Access Port)」をご覧ください)。

- DR捕獲：PDI制御器からの並列データがPDI通信レジスタ内に採取されます。
- DR移動：PDI通信レジスタがTCK入力によって移動されます。
- DR更新：命令またはオペラントがPDI制御器のレジスタ内に並列ラッチされます。

29.4.4. フレーム形式とキャラクタ

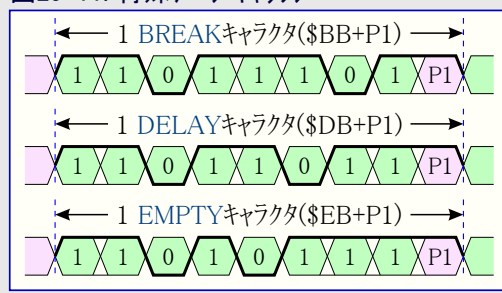
JTAG物理層は固定フレーム形式を支援します。直列フレームは1つのパリティビットが後続する8つのデータビットの1キャラクタで定義されます。

図29-10. JTAG直列フレーム形式



3つの特別なデータキャラクタが使われます。これらの中で共通なのは受信でパリティ誤りを強制するためにパリティビットが反転されることです。BREAKキャラクタ(\$BB+P1)はどんな実行中の動作も中止することをPDIに強制し、そしてPDI制御器を既知の状態に引き戻すために外部書き込み器によって使われます。DELAYキャラクタ(\$DB+P1)はPDIが書き込み器への用意されたデータがないことを書き込み器に知らせるためにPDIによって使われます。EMPTYキャラクタ(\$EB+P1)は保留中の送信がない(換言するとPDIがRX動作である)ことを書き込み器に知らせるためにPDIによって使われます。

図29-11. 特殊データキャラクタ

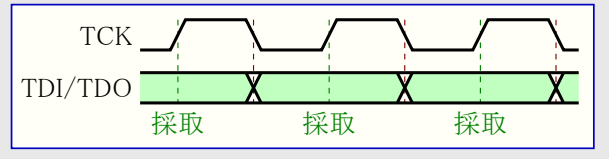


29.4.5. 直列送受信

JTAGインターフェースは全二重通信を支援します。入力データがTDIピンで移動入力されるのと同時に、出力データがTDOピンで移動出力されます。けれども、PDI通信は半二重データ転送に頼ります。このため、JTAG物理層は送信(TX)または受信(RX)のどちらかでだけ動作します。利用可能なJTAGビット チャンネルが制御と状態の合図に使われます。

書き込み器とJTAGインターフェースは書き込み器によって供給されるTCKクロックで同期して動作します。クロック端とデータ採取またはデータ変更の間の依存性は固定されています。図29-12.で図解されるように、TDIとTDOはTCKの下降端で設定(変更)され、一方データは常にTCKの上昇端で採取されるべきです。

図29-12. データの変更と採取



29.4.6. 直列送信

データ送信が開始される時、データが移動レジスタ内に格納され、その後にTDOに出力されます。パリティビットが生成されて送信中にデータビットへ追加されます。送信速度はTCK信号によって与えられます。

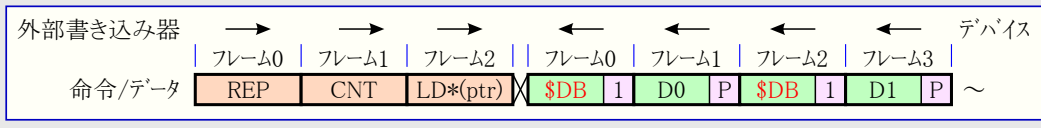
PDIが(LD命令への応答として)TX動作で、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中なら、有効なデータが移動レジスタ内に並列ラッチされ、正しいパリティビットが生成されてDR移動状態でデータバイトと共に送信されます。

TAP制御器がDR捕獲状態へ移行する時にPDIがRX動作なら、EMPTYバイト(\$EB)が移動レジスタ内にラッチされ、データがDR移動状態で移動出力される時に(パリティ誤りを強制する)パリティビットが設定されます。この状態は標準PDI命令とそのオペランド受信中に起きます。

PDIが(LD命令への応答として)TX動作であるけれど、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中でないなら、DELAYバイト(\$DB)が移動レジスタ内にラッチされ、データがDR移動状態で移動出力される時に(パリティ誤りを強制する)パリティビットが設定されます。この状態は送信されるべきデータが未だ利用可能でない場合のデータ送信中に起きます。

図29-13.は繰り返された間接LD命令への応答としてPDIからの割り込まれないデータフレームの流れを示します。この例ではデバイスが2つの送信フレーム当たり1つの有効データバイトよりも速くデータバイトを返すことができず、従って、中間にDELAYキャラクタが挿入されています。

図29-13. データ未準備での推移



LD命令への応答としてDELAYデータフレームが送信される場合、書き込み器はこれを直前のDR捕獲状態での送信に対してJTAGインターフェースが準備されたデータを持っていないと解釈すべきです。書き込み器は有効なデータバイトが受信されるまで繰り返し転送を始めなければなりません。LD命令はフレーム数ではなく、有効なフレームを指定数分返すことと定義されています。従って書き込み器がLD命令を送信した後でDELAYキャラクタを検知する場合、最初のLD命令が未だ保留中なので、LD命令を再送信すべきではありません。

29.4.7. 直列受信

受信の間、PDIはTDIから8つのデータビットとパリティビットを収集してそれらを移動レジスタ内に移動します。有効なフレームが受信されればいつもデータがDR更新状態でラッチされます。

パリティ検査器は到着フレーム内のデータビットの(偶数)パリティを計算してその結果を直列フレームからのパリティビットと比較します。パリティ誤りの場合はPDI制御器に合図します

パリティ検査器はTXとRXの両動作で活性(有効)です。パリティ誤りが検出された場合、受信したデータバイトは(常にパリティ誤りが生成される)BREAKキャラクタと比較されて評価されます。BREAKキャラクタの場合はPDI制御器に合図します。

29.5. PDI制御器

PDI制御器はバイト段階のデータ送受信、命令復号、高位方向制御、制御と状態のレジスタ入出力、例外操作、クロック切り換え(TCKとPDI_CLK)を実行します。外部書き込み器とPDI制御器間の相互作用は書き込み器がPDI制御器へ様々な形式の要求を送信し、そしてPDI制御器が指定要求に応じて応答を返す仕組みに基づいています。書き込み器要求は命令の形式でやって来て、それは1つまたはそれ以上のバイト オペランドが後続するかもしれません。PDI制御器の応答は沈黙かもしれず(例えばデバイス内の位置へデータバイトが格納される)、または書き込み器へ返されつつあるデータを巻き込むかもしれず(例えばデバイス内の位置からデータバイトを読む)。

29.5.1. PDI動作とJTAG動作間の切り換え

PDI制御器は書き込み器への接続確立にJTAGまたはPDIのどちらかの物理層を使います。これに基づいてPDIはJTAG動作またはPDI動作のどちらかです。この動作の1つに移行すると、PDI制御器のレジスタは初期化され、正しいクロック元が選ばれます。PDI動作はJTAG動作よりも高い優先権を持ちます。従ってPDI制御器が既にJTAG動作中にPDI動作が許可された場合、入出力層は自動的にPDI動作へ切り換わります。デバイスの電源ON/ OFFなしに物理層を切り換える場合、活動中の物理層は代わりに物理層が許可される前に禁止されるべきです。

29.5.2. 内部インターフェースの入出力

外部書き込み器がPDIとの通信を確立した後、内部インターフェースは既定で入出力不能です。プログラミング用にNVM制御器と不揮発性メモリへの入出力を得るには、**KEY命令**の使用によって固有の鍵で合図されなければなりません。内部インターフェースはPDIと内部インターフェース間の専用(PDIBUS)バスを使って1つの直線的なアドレス空間として入出力されます。PDIBUSアドレス空間は261頁の図30-3.で示されます。NVM制御器はNVMインターフェースへのどのアクセスのためにもPDI制御器に対して許可されなければなりません。PDI制御器はプログラミング動作でだけNVMとNVM制御器にアクセスすることができます。PDI制御器はNVM読み書き時にNVM制御器のデータやアドレスレジスタのアクセスを必要としません。

29.5.3. NVMプログラミング鍵

KEY命令を使って送らなければならない鍵は64ビット長です。NVMプログラミングを許可する鍵は **\$1289AB45CDD888FF** です。

29.5.4. 例外操作

通常動作から考察される例外が様々な状態であります。例外はPDIがRXまたはTXのどちらの動作か、PDIまたはJTAGのどちらの動作が使われているかに依存します。

PDIがRX動作の間の例外は以下です。

- PDI:
 - 物理層がパリティ誤りを検出
 - 物理層がフレーミング異常を検出
 - 物理層がBREAKキャラクタを認識 (フレーミング異常としても検出)
- JTAG:
 - 物理層がパリティ誤りを検出
 - 物理層がBREAKキャラクタを認識 (フレーミング異常としても検出)

PDIがTX動作の間の例外は以下です。

- PDI:
 - 物理層がデータ衝突を検出
- JTAG:
 - 物理層がパリティ誤りを検出 (TDIでの擬似データの移動入力)
 - 物理層がBREAKキャラクタを認識

例外はPDI制御器に合図されます。そして実行中の全ての動作が中止され、PDIがERROR状態に置かれます。PDIは外部書き込み器からBREAKが送られるまでERROR状態に留まり、これはPDIを既定RX状態に引き戻します。

この構造のため、書き込み器は2つの連続するBREAKキャラクタを送信することによって常に規約を同期することができます。

29.5.5. リセット指示

リセット(RESET)レジスタを通して書き込み器はリセットを発行してデバイスをリセットに強制できます。リセットレジスタの解除(0)後、別のいくつかのリセット元が活性(有効)でなければ、リセットが開放されます。

29.5.6. 命令一式

PDIはPDI自身と内部インターフェースの両方の入出力に使われる小さな一式の命令を持っています。全ての命令はバイト命令です。命令は外部書き込み器にPDI制御器、NVM制御器、不揮発性メモリの入出力を許します。

29.5.6.1. LDS – 直接アドレス指定を使うPDIバス データ空間からのデータ取得

LDS命令は読み出し用にPDIバス データ空間からデータを取得するのに使われます。LDS命令は直接アドレス指定に基づき、それはアドレスが命令の引数として与えられなければならないことを意味します。例えば規約がバイト単位通信に基づいていても、LDS命令は複数バイトのアドレスとデータの入出力を支援します。バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。LDS命令使用時、データ転送の前にアドレスバイトが送信されなければなりません。

29.5.6.2. STS – 直接アドレス指定を使うPDIバス データ空間へのデータ格納

STS命令は物理層の移動レジスタ内へ直列で移動入力してPDIバス データ空間内の位置にデータを格納するのに使われます。STS命令は直接アドレス指定に基づき、それはアドレスが命令の引数として与えられなければならないことを意味します。例えば規約がバイト単位通信に基づいていても、STS命令は複数バイトのアドレスとデータの入出力を支援します。単一バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。STS命令使用時、データ転送の前にアドレスバイトが送信されなければなりません。

29.5.6.3. LD – 間接アドレス指定を使うPDIバス データ空間からのデータ取得

LD命令は直列読み出し用にPDIバス データ空間からデータを取得するのに使われます。LD命令は間接アドレス指定(ポインタ入出力)に基づき、それはデータ入出力に先行してアドレスがポインタレジスタ内に格納されていなければならないことを意味します。間接アドレス指定はポインタ進行と組み合わせることができます。PDIバス データ空間からのデータ読み込みに加え、LD命令はポインタレジスタを読むことができます。例えば規約がバイト単位通信に基づいていても、LD命令は複数バイトのアドレスとデータの入出力を支援します。単一バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

29.5.6.4. ST – 間接アドレス指定を使うPDIバス データ空間へのデータ格納

ST命令は物理層の移動レジスタ内へ直列で移動入力してPDIバス データ空間内の位置にデータを格納するのに使われます。ST命令は間接アドレス指定(ポインタ入出力)に基づき、それはデータ入出力に先行してアドレスがポインタレジスタ内に格納されていなければならないことを意味します。間接アドレス指定はポインタ進行と組み合わせることができます。PDIバス データ空間へのデータ書き込みに加え、ST命令はポインタレジスタに書くことができます。例えば規約がバイト単位通信に基づいていても、ST命令は複数バイトのアドレスとデータの入出力を支援します。バイト、語、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

29.5.6.5. LDCS – PDI制御/状態レジスタ空間からのデータ取得

LDCS命令はPDI制御/状態レジスタから直列読み出し用の物理層移動レジスタへデータを取得するのに使われます。LDCS命令は直接アドレス指定と単一バイト入出力だけを支援します。

29.5.6.6. STCS – PDI制御/状態レジスタ空間へのデータ格納

STCS命令は物理層の移動レジスタ内へ直列で移動入力してPDI制御/状態レジスタ内の位置にデータを格納するのに使われます。STCS命令は直接アドレス指定と単一バイト入出力だけを支援します。

29.5.6.7. KEY – 活性化鍵設定

KEY命令はNVMインターフェースを活性化(有効)化するのに必要とされる活性化鍵バイトの通信に使われます。

29.5.6.8. REPEAT – 命令繰り返し計数器設定

REPEAT命令は物理層の移動レジスタ内へ直列で移動入力して繰り返し計数器レジスタにデータを格納するのに使われます。REPEAT命令のオペランドの直後に取得された命令が指定した繰り返し計数器レジスタ値に対応した回数を繰り返します。故に繰り返し計数器レジスタ初期値+1が総命令実行回数を与えます。繰り返し計数器レジスタの0設定は繰り返しなしの後続命令1回動作を行います。

REPEAT命令は繰り返すことができません。KEY命令は繰り返すことができず、繰り返し計数器レジスタの現在値を無効にします。

29.5.7. 命令一式要約

PDI命令一式要約は図29-14.で示されます。

図29-14. PDI命令一式要約

	指令				A量		D量	
LDS	0	0	0	0	x	x	x	x
STS	0	1	0	0	x	x	x	x
					P種別		A/D量	
LD	0	0	1	0	x	x	x	x
ST	0	1	1	0	x	x	x	x
					CSアドレス			
LDCS	1	0	0	0	x	x	x	x
STCS	1	1	0	0	x	x	x	x
					D量			
REPEAT	1	0	1	0	0	0	x	x
KEY	1	1	1	0	0	0	0	0

A量 (直接アドレス指定時アドレス長)		D量 (データ長)		P種別 (間接アドレス指定時)	
0	0	0	0	0	0
バイト		バイト		*(ptr) (ポインタ間接データ)	
0	1	0	1	0	1
語 (2バイト)		語 (2バイト)		*(ptr++) (上記+ポインタ進行)	
1	0	1	0	1	0
3バイト		3バイト		ptr (ポインタレジスタ)	
1	1	1	1	1	1
ロング (4バイト)		ロング (4バイト)		ptr++ (予約)	

CSアドレス (制御/状態レジスタ)																			
0	0	0	0	レジスタ0	0	1	0	0	(予約)	1	0	0	0	(予約)	1	1	0	0	(予約)
0	0	0	1	レジスタ1	0	1	0	1	(予約)	1	0	0	1	(予約)	1	1	0	1	(予約)
0	0	1	0	レジスタ2	0	1	1	0	(予約)	1	0	1	0	(予約)	1	1	1	0	(予約)
0	0	1	1	(予約)	0	1	1	1	(予約)	1	0	1	1	(予約)	1	1	1	1	(予約)

29.6. レジスタ説明 – PDI命令とアドレス指定レジスタ

PDI命令とアドレス指定のレジスタは全て命令復号とPDIBUSアドレス指定に利用される内部レジスタです。これらのレジスタはレジスタ空間でのレジスタとして入出力不能です。

29.6.1. 命令レジスタ

命令が成功裏に物理層の移動レジスタ内へ移動されると、それが命令レジスタに複写されます。命令は別の命令が格納されるまで保持されます。この理由は必要な指令の復号を繰り返し行って同じ命令を複数回実行するために、REPEAT命令が同じ命令を強制するかもしれないからです。

29.6.2. ポインタレジスタ

ポインタレジスタはPDIBUSアドレス空間内の位置を指定するアドレス値の格納に使われます。直接データ入出力の間、ポインタレジスタは命令バイトのオペランドとして与えられたアドレスバイトの指定値によって更新されます。間接データ入出力の間、その入出力自体に先行して既にポインタレジスタ内に格納されているアドレスに基づいてアドレス指定を行います。間接データ入出力は他のどのレジスタ入出力もなしでポインタレジスタの読み書きを可能する任意選択を持ちます。どのレジスタ更新もトル エンディアン(下位側優先)形式で実行されます。従って、アドレスレジスタの単一バイト格納は常にLSB側バイトが更新され、一方MSB側バイトは無変化のままです。

ポインタレジスタはPDI制御/状態レジスタ空間(CSRs)内のアドレス指定レジスタと無関係です。

29.6.3. 繰り返し計数器レジスタ

REPEAT命令は繰り返されるべき次の命令回数を定義する1つ以上のオペランド バイトを常に伴います。これらのオペランド バイトは受信で繰り返し計数器レジスタ内に複写されます。REPEAT命令とそのオペランドの直ぐに後続する命令の繰り返し実行の間、繰り返し計数器レジスタはそれが全ての繰り返し完了を示す0に達するまで減数(-1)されます。繰り返し計数器は**鍵受信にも関係**します。

29.6.4. オペランド計数レジスタ

(LDCSとSTCS命令を除く)命令直後、(命令の量部分によって与えられる)指定数のオペランドまたはデータ バイトが期待されます。オペランド計数レジスタは何バイトが転送されたかの経過を保持するのに使われます。

29.7. レジスタ説明 – PDI制御/状態レジスタ

PDIの制御と状態のレジスタはLDCSとSTCSの命令を使って入出力可能なPDI制御/状態レジスタ空間(CSRs)内のレジスタです。CSRsはPDI自身の構成設定と状態監視に直接関係するレジスタを含みます。

29.7.1. STATUS – 状態レジスタ (Status register)

ビット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	-	-	-	NVMEN	-	STATUS
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~2 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 – NVMEN : 不揮発性メモリ許可 (Non-Volatile Memory Enable)

この状態ビットは**鍵指令**がNVMプログラミング インターフェースを許可する時に設定(1)されます。外部書き込み器は許可の成功を検証するために、このビットをポーリングすることができます。NVMENビット書き込みはNVMインターフェースを禁止します。

● ビット0 – 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

29.7.2. RESET – リセット レジスタ (Reset register)

ビット	7	6	5	4	3	2	1	0	
+\$01	RESET7~0								RESET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 – RESET7~0 : リセット識票 (Reset Signature)

リセット識票(\$59)がRESETレジスタに書かれると、デバイスはリセットを強制されます。デバイスはRESETレジスタがリセット識票と異なるデータ値で書かれるまでリセットを維持します。LSBビット読み込みはRESETレジスタ(リセット)の状態を返します。上位7ビットはデバイスがリセットか否かのどちらかに拘らず常に0を返します。

29.7.3. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+\$02	–	–	–	–	–	GUARDTIME2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 – 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 – GUARDTIME2~0 : 保護時間 (Guard Time)

これらのビットはPDI送受信方向の変更間に挿入される保護時間のIDLEビット数を指定します。既定保護時間は128 IDLEビットで、利用可能な設定は表29-1.で示されます。通信速度向上のために、保護時間は許容される安全で最低の構成設定にされるべきです。保護時間はTX動作からRX動作への切り換え時に全く挿入されません。

表29-1. 保護時間設定

GUARDTIME2~0	IDLEビット数
0 0 0	128
0 0 1	64
0 1 0	32
0 1 1	16
1 0 0	8
1 0 1	4
1 1 0	2
1 1 1	2

29.8. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+\$03	予約	–	–	–	–	–	–	–	–	
+\$02	CTRL	–	–	–	–	–	GUARDTIME2~0			249
+\$01	RESET	RESET7~0								248
+\$00	STATUS	–	–	–	–	–	–	NVMEN	–	248

30. メモリプログラミング

30.1. 要点

- 以下からの全メモリ空間への読み書きアクセス
 - 外部書き込み器
 - 応用ソフトウェア自己プログラミング
- 自己プログラミングとブートローダの支援
 - 書き中の読み(Read-While-Write)自己プログラミング
 - CPUはフラッシュプログラミング(書き込み)最中にコード実行と走行が可能
 - どの通信インターフェースもプログラムの両方向転送に使用可能
- 外部プログラミング
 - 実装時と製造時のプログラミング支援
 - 直列PDIまたはJTAGインターフェースを通したプログラミング
- 以下に対する独立したブート施錠ビットでの高い安全性
 - 外部書き込み器アクセス
 - ブートローダ領域アクセス
 - 応用領域アクセス
 - 応用表領域アクセス
- 以下の先頭でのリセットベクタアドレスを選ぶためのリセットヒューズ
 - 応用領域、または
 - ブートローダ領域

30.2. 概要

本章はAtmel AVR XMEGAデバイス内の不揮発性メモリ(NVM)のプログラミング方法を記述し、自己プログラミングと外部プログラミングの両方を網羅します。NVMはプログラムフラッシュメモリ、使用者識別票列と製品識別票(校正)列、ヒューズと施錠ビット、データ用EEPROMから成ります。実際のメモリ詳細、それらがどう構成されるかと、メモリをアクセスするのに使われるNVM制御器に関するレジスタ記述については15頁の「メモリ」を参照してください。

NVMは自己プログラミングを通す応用ソフトウェアと外部書き込み器から読み書きに関してアクセスすることができます。NVMアクセスはNVM制御器を通して行われ、この2つのプログラミング方法は同様です。メモリアクセスは選んだメモリまたはNVM制御器にアドレスと/またはデータを設定することによって行われ、1式の命令の使用と起動元がNVM制御器に不揮発性メモリでの特別な作業をさせます。

外部プログラミングからは、読み込みだけ可能な製品識別票列を除いて、全メモリ空間が読み書きできます。デバイスは実装プログラミングができ、PDIまたはJTAG物理インターフェースを使うPDIを通してアクセスされます。261頁の「外部プログラミング」はPDIとJTAGを詳細に記述します。

自己プログラミングとブートローダ支援はフラッシュメモリ、使用者識別票列、EEPROMの読み書きと、より安全な設定への施錠ビット書き込みと、製品識別票列とヒューズの読み込みをデバイス内の応用ソフトウェアに許します。フラッシュメモリは、フラッシュメモリがプログラミング(書き込まれつつある)最中にCPUがコードを実行して動作を続けられることを意味する、書き中の読み(Read-While-Write)自己プログラミングを許します。253頁の「自己プログラミングとブートローダ支援」はこれを詳細に記述します。

自己プログラミングと外部プログラミングの両方について、内容を検証するためにフラッシュメモリまたはフラッシュメモリの領域での自動的なCRC検査を走行することが可能です。

デバイスはNVMの読みと/または書きを防ぐために施錠することができます。外部プログラミングでのアクセスと、ブートローダ領域、応用領域、応用表領域への自己プログラミングでのアクセスに対して独立した施錠ビットがあります。

30.3. NVM制御器

不揮発性メモリへのアクセスはNVM制御器を通して行われます。これは外部プログラミングと自己プログラミングの両方に対する共通NVMインターフェースで、NVMタイミングとアクセス権限を制御してNVMの状態を保持します。より多くの詳細については265頁の「レジスタ説明」を参照してください。

30.4. NVM指令

NVM制御器はNVMで作業を実行するのに使われる1組の指令を持っています。これはNVM指令(CMD)レジスタへ選んだ指令を書くことによって行われます。加えてメモリ読み書き操作についてはデータとアドレスがNVMデータとNVMアドレスのレジスタと読み書きされなければなりません。

操作に関するアドレスとデータが設定され、選んだ指令が格納されると、各指令はその操作を開始する起動源を持ちます。それらの起動源に基くものには主に3つの命令形式があります。

30.4.1. 活動起動指令

活動起動指令はNVM制御レジスタA(CTRLA)で指令実行(CMDEX)ビットが書かれる時に起動されます。活動起動指令は代表的にCRC検査のような、NVM読み書きをしない操作に対して用いられます。

30.4.2. NVM読み込み起動指令

NVM読み込み起動指令はNVMが読まれる時に起動され、これは代表的にNVM読み込み操作に用いられます。

30.4.3. NVM書き込み起動指令

NVM書き込み起動指令はNVMが書かれる時に起動され、これは代表的にNVM書き込み操作に用いられます。

30.4.4. 書き込み/実行保護

殆どの指令起動源は自己プログラミング中の不慮の変更/実行から保護されます。これはビット変更または指令実行のために特別な書き込みや実行の手順を必要とする、構成設定変更保護(CCP)機能を使って行われます。CCPの詳細については10頁の「[構成設定変更保護](#)」を参照してください。

30.5. NVM制御器多忙状態

NVM制御器が操作実行中で多忙のとき、NVM状態(STATUS)レジスタの多忙(NVMBUSY)フラグが設定(1)され、以下のレジスタが書き込みアクセスに対して防がれます。

- NVM指令(CMD)レジスタ
- NVM制御A(CTRLA)レジスタ
- NVM制御B(CTRLB)レジスタ
- NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタ
- NVMデータ(DATA2,DATA1,DATA0)レジスタ

これは新しい操作の開始前に与えられた指令が実行されて操作が終了するのを保証します。外部書き込み器または応用ソフトウェアはプログラミング操作で多忙の間にNVMがアドレス指定されないことを保証しなければなりません。

NVMのどの部分のプログラミングも以下のように自動的に防がれます。

- NVMの他の部分への全てのプログラミング
- フラッシュメモリとEEPROMのページ緩衝部の全ての格納/消去
- 外部書き込み器からの全てのNVM読み込み
- 応用領域からの全てのNVM読み込み

自己プログラミングの間は割り込みが禁止されなければならないか、または86頁の「[割り込みと設定可能な多段割り込み制御器](#)」で記述されるように割り込みベクタ表がブートローダ領域へ移動されなければなりません。

30.6. フラッシュメモリとEEPROMのページ緩衝部

フラッシュメモリはページ単位で更新されます。EEPROMはバイト単位とページ単位で更新することができます。フラッシュメモリとEEPROMのページ書き込みは最初に関連するページ緩衝部を満たし、そしてフラッシュメモリまたはEEPROM内の選んだページにページ緩衝部全体を書くことによって行われます。

ページとページ緩衝部の容量は各デバイスでのフラッシュメモリとEEPROMの容量に依存し、ページ容量とページ数の詳細はデバイスのデータシートで記述されます。

30.6.1. フラッシュページ緩衝部

フラッシュページ緩衝部は1語(ワード)ずつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でページ緩衝部が格納される時の結果はページ緩衝部位置の内容と新しい値間の2進でのANDです。ページ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

未格納のページ緩衝部位置は\$FFFFの値を持ち、(訳補:そのまま書かれたなら、)その後この値が対応するフラッシュメモリのページ位置に書かれます。

ページ緩衝部は以下の後で自動的に消去されます。

- デバイスリセット
- フラッシュページ書き込み指令実行
- フラッシュページ消去&書き込み指令実行
- 識別列書き込み指令実行
- 施錠ビット書き込み指令実行

30.6.2. EEPROM ページ緩衝部

EEPROM ページ緩衝部は1バイトずつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でページ緩衝部が格納される時の結果はページ緩衝部位置の内容と新しい値間の2進でのANDです。EEPROM ページ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

格納されたEEPROM ページ緩衝部位置はNVM制御器によって付箋付けがなされます。ページ書き込みまたはページ消去の間で目的位置だけが書かれ、または消去されます。目的でない位置は書かれず、または消去されず、対応するEEPROM位置は無変化に留まります。これはEEPROM ページ消去(訳補:緩衝部ではなくEEPROM 自体)前にもそれらに付箋付けするために選んだページ緩衝部位置へデータが格納されなければならないことを意味します。EEPROM ページ消去実行時に目的位置の実際の値は問題です。

EEPROM ページ緩衝部は以下の後で自動的に消去されます。

- システム リセット
- EEPROM ページ書き込み指令実行
- EEPROM ページ消去&書き込み指令実行
- 施錠ビット書き込みとヒューズ書き込み指令実行

30.7. フラッシュ メモリとEEPROMのプログラミング手順

ページプログラミングに関して、ページ緩衝部を満たすのと、フラッシュ メモリまたはEEPROM内へページ緩衝部を書くのは2つの独立した操作です。この手順は自己プログラミングと外部プログラミングの両方について同じです。

30.7.1. フラッシュ メモリプログラミング手順

フラッシュ ページ緩衝部のデータでフラッシュ ページを書く前に、フラッシュ ページは消去されなければなりません。未消去フラッシュ ページ書き込みはそのフラッシュ ページ内容を不正にするでしょう。

フラッシュ ページ緩衝部は以下のようにフラッシュ ページ消去操作前、またはフラッシュ ページ消去とフラッシュ ページ書き込みの間のどちらでも満たすことができます。

選択1:

- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ消去を実行してください。
- フラッシュ ページ書き込みを実行してください。

選択2:

- フラッシュ ページ緩衝部を満たしてください。
- 非分断フラッシュ ページ消去&書き込みを実行してください。

選択3: ページ消去後のページ緩衝部満たし

- フラッシュ ページ消去を実行してください。
- フラッシュ ページ緩衝部を満たしてください。
- フラッシュ ページ書き込みを実行してください。

NVM指令一式は非分離消去&書き込み操作と、分離したページ消去とページ書き込み命令の両方を支援します。この分離指令は各指令に対してより短い書き込み時間を可能にし、消去操作は時間が際どくないプログラミング実行の間に行うことができます。自己プログラミングに対して上の**選択1**または**2**を使うとき、フートローダが効率的な書き中の読み(Read-While-Write)機能を提供し、そしてそれは最初にページを読んで、必要な変更を行い、そして修正されたデータを書き戻すことをソフトウェアに許します。**選択3**が使われる場合はページが既に消去されているので、格納中に旧データを読むのは不可能です。**選択1**または**3**を使う時にページ アドレスはページ消去とページ書き込みの両操作に対して同じでなければなりません。

30.7.2. EEPROMプログラミング手順

EEPROM ページ緩衝部に格納された付箋付けしたデータ バイト数でEEPROMを書く前に、EEPROM ページ内の選択位置は消去されなければなりません。未消去EEPROM ページ書き込みはその内容を不正にするでしょう。どのページ消去またはページ書き込み操作にも先立って、EEPROM ページ緩衝部が格納されなければなりません。

選択1:

- 選んだバイト数でEEPROM ページ緩衝部を満たしてください。
- EEPROM ページ消去を実行してください。
- EEPROM ページ書き込みを実行してください。

選択2:

- 選んだバイト数でEEPROM ページ緩衝部を満たしてください。
- EEPROM ページ消去&書き込みを実行してください。

30.8. NVMの保護

フラッシュメモリとEEPROMを読みと/または書きから保護するために、外部書き込み器と応用ソフトウェアからのアクセスを制限するように施錠ビットを設定することができます。利用可能な施錠ビット設定の詳細とそれらの使用方法については24頁の「LOCKBITS – 施錠ビットレジスタ」を参照してください。

30.9. NVM化けの防止

VCC電圧がデバイスに対する最低動作電圧未満の間、供給電圧が正しく動作するCPUとフラッシュメモリに対して低すぎるため、フラッシュメモリ書き込みの結果は不正になり得ます。フラッシュメモリのプログラミング手順全体の間、電圧が充分であることを保証するため、POR閾値(VPOT+)を用いた電圧検出器が許可されます。チップ消去中とPDIが許可される時に低電圧検出器(BOD)がその構成設定された基準で自動的に許可されます。

プログラミング操作に依存して、それらのVCC電圧基準のどれかに達したなら、プログラミング手順は直ちに中止されます。これが起きたなら、書き込み手順失敗または部分のみ成功の場合、NVMプログラミングは電力が再び充分になった時に改めて開始されるべきです。

30.10. CRC機能

プログラム用フラッシュメモリで自動巡回冗長検査(CRC)を走行することが可能です。これは応用領域、ブートローダ領域、またはフラッシュメモリの選択アドレス範囲でのCRCを行うために外部プログラミングまたはソフトウェアから発行することができます。

一旦CRCが開始されると、CRCが終わってチェックサムがNVMデータ(DATA2, DATA1, DATA0)レジスタで利用可能になるまで、CPUは停止されます。CRCはCRCアドレス範囲に含まれる語(ワード)当たり1 CPUクロック周期かかります。

CRCは多項式 $x^{24}+x^4+x^3+x+1$ での16ビットデータで動く多数入力識票レジスタ(MISR)として実装されます。

30.11. 自己プログラミングとブートローダ支援

デバイス内の応用ソフトウェアからのEEPROMとフラッシュメモリの読み書きは自己プログラミングとして参照されます。ブートローダ(フラッシュメモリのブートローダ領域に配置された応用コード)はプログラム用フラッシュメモリ、使用者識票列、EEPROMの読み書き両方と、もっと安全な設定への施錠ビット書き込みができます。応用領域内の応用コードはフラッシュメモリ、使用者識票列、製品識票(校正)列、ヒューズの読み込みと、EEPROMの読み書きができます。

30.11.1. フラッシュプログラミング

ブートローダ支援はデバイス自身による新しいプログラムコードの更新のための真の書き中の読み(Rwad-While-Write)自己プログラミング機構を提供します。この機能はフラッシュメモリのブートローダ領域に属すブートローダ应用を使うデバイスによって制御される柔軟な応用ソフトウェア更新を可能にします。ブートローダはコード読み込みとフラッシュメモリへのコード書き込み、またはプログラムメモリコード読み出しのために、利用可能な通信インターフェースと関連する規約のどれでも使うことができます。それはブートローダ領域を含むフラッシュメモリ全体に書く能力を持ちます。従ってブートローダは自身を変更でき、この機能がそれ以上必要とされないなら、フラッシュメモリからそれ自身を消去することもできます。

30.11.1.1. 応用領域とブートローダ領域

フラッシュメモリ内の応用領域とブートローダ領域は自己プログラミングを行う時に異なります。

- 応用領域内に配置されたページの消去または書き込み時、ブートローダ領域はその操作中に読むことができ、従ってCPUはブートローダ領域からコードを実行して走行することができます。
- ブートローダ領域内に配置されたページの消去または書き込み時、CPUはその操作全体の間、停止され、コードは実行できません。

使用者識票列領域はブートローダ領域と同じ特性を持ちます。

表30-1. 自己プログラミング機能の要約

プログラミング中にZホインタでアドレス指定されている領域	プログラミング中に読める領域	CPU動作
応用領域	ブートローダ領域	走行
ブートローダ領域	なし	停止
使用者識票列領域	なし	停止

30.11.1.2. フラッシュメモリのアドレス指定

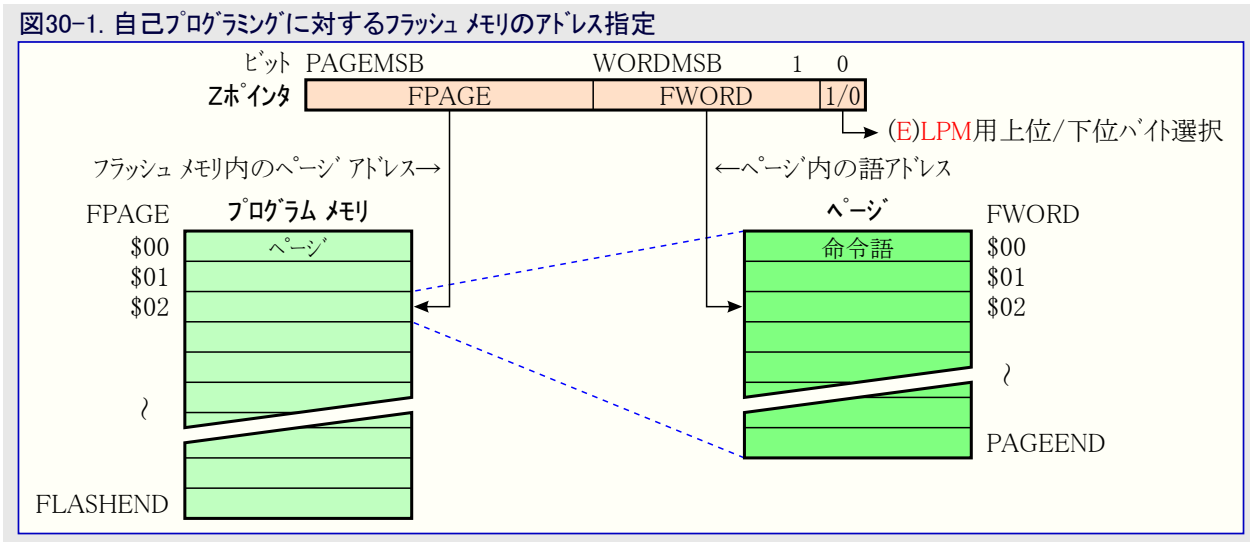
読み書きアクセスに対するフラッシュメモリのアドレスを保持するのにZポインタが使われます。Zポインタのより多くの詳細については8頁の「X, Y, Zレジスタ」を参照してください。

フラッシュメモリがページで構成され、語(ワード)でアクセスされるため、Zポインタは2つの領域を持つように扱うことができます。最下位側ビットはページ内の語をアドレス指定し、一方最上位側ビットはフラッシュメモリ内のページをアドレス指定します。これは図30-1.で示されます。ページ内の語アドレス(FWORD)はZポインタ内のビットWORDMSB~1によって保持されます。Zポインタ内の残りのビットPAGMSB~WORDMSB+1はフラッシュページアドレス(FPAGE)を保持します。FPAGEとFWORDを併せて、フラッシュメモリ内の語への絶対アドレスを保持します。

フラッシュメモリ読み込み操作(LPMとELPM)については1度に1バイトが読まれます。これに関して語アドレス内の上位バイトと下位バイトを選ぶために、Zポインタ内の最下位ビット(ビット0)が使われます。このビットが0ならば下位バイトが読まれ、このビットが1ならば上位バイトが読まれます。

FPAGEとFWORDの容量はデバイスのフラッシュ容量とページ容量に依存します。各デバイスのデータシートを参照してください。

一旦プログラミング操作が開始されると、アドレスはラッチされ、Zポインタは更新して他の操作に使うことができます。



30.11.2. NVM フラッシュ指令

プログラム用フラッシュメモリ、使用者識票列、製品識票(校正)列をアクセスするのに使えるNVM指令が表30-2で一覧されます。

フラッシュメモリの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは自己プログラミング中に起動源を書く/実行するための特別な手順です。より多くの詳細については11頁の「CCP - 構成設定変更保護レジスタ」を参照してください。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使われるアドレスポイントと転送元/転送先データレジスタを示します。

「30.11.2.1. フラッシュ読み込み」項～257頁の「30.11.2.14. 使用者識票列/校正列読み込み」項は各NVM操作に対する方法を詳細に説明します。

表30-2. フラッシュメモリ自己プログラミング指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレスポイント	データレジスタ
\$00	NO_OPERATION	無操作/フラッシュ読み込み	-(E)LPM	-/N	N	-/N	-/Zポイント	-/Rd
フラッシュページ緩衝部								
\$23	LOAD_FLASH_BUFFER	フラッシュページ緩衝部格納(設定)	SPM	N	N	-/N	Zポイント	R1:R0
\$26	ERASE_FLASH_BUFFER	フラッシュページ緩衝部消去	CMDEX	N	Y	Y	Zポイント	-
フラッシュメモリ全体								
\$2B	ERASE_FLASH_PAGE	フラッシュページ消去	SPM	N/Y(注1)	Y	Y	Zポイント	-
\$2E	WRITE_FLASH_PAGE	フラッシュページ書き込み	SPM	N/Y(注1)	Y	Y	Zポイント	-
\$2F	ERASE_WRITE_FLASH_PAGE	フラッシュページ消去&書き込み	SPM	N/Y(注1)	Y	Y	Zポイント	-
\$3A	FLASH_RANGE_CRC (注2)	フラッシュ範囲CRC	CMDEX	Y	Y	Y	DATA/ADDR	DATA
応用領域フラッシュメモリ								
\$20	ERASE_APP	応用領域消去	SPM	Y	Y	Y	Zポイント	-
\$22	ERASE_APP_PAGE	応用領域ページ消去	SPM	N	Y	Y	Zポイント	-
\$24	WRITE_APP_PAGE	応用領域ページ書き込み	SPM	N	Y	Y	Zポイント	-
\$25	ERASE_WRITE_APP_PAGE	応用領域ページ消去&書き込み	SPM	N	Y	Y	Zポイント	-
\$38	APP_CRC	応用領域CRC	CMDEX	Y	Y	Y	-	DATA
ブートローダ領域フラッシュメモリ								
\$2A	ERASE_BOOT_PAGE	ブートローダ領域ページ消去	SPM	Y	Y	Y	Zポイント	-
\$2C	WRITE_BOOT_PAGE	ブートローダ領域ページ書き込み	SPM	Y	Y	Y	Zポイント	-
\$2D	ERASE_WRITE_BOOT_PAGE	ブートローダ領域ページ消去&書き込み	SPM	Y	Y	Y	Zポイント	-
\$39	BOOT_CRC	ブートローダ領域CRC	CMDEX	Y	Y	Y	-	DATA
使用者識票列								
\$01(注3)	READ_USER_SIG_ROW	使用者識票列読み込み	LPM	N	N	N	Zポイント	Rd
\$18	ERASE_USER_SIG_ROW	使用者識票列消去	SPM	Y	Y	Y	-	-
\$1A	WRITE_USER_SIG_ROW	使用者識票列書き込み	SPM	Y	Y	Y	-	-
製品識票(校正)列 (注4)								
\$02(注3)	READ_CALIB_ROW	校正列読み込み	LPM	N	N	N	Zポイント	Rd

注1: 実際にアドレス指定されるフラッシュ領域(応用またはブートローダ)に依存します。

注2: この指令は施錠ビットで制限され、ブート施錠ビットが非プログラム(1)であることを必要とします。

注3: LPM命令の通常の動きを変える指令(READ_USER_SIG_ROWとREAD_CALIB_ROW)の使用時、LPM命令の正しい実行を保証するために割り込みを禁止することが推奨されます。

注4: 一貫性のために校正列は文書全体を通して製品識票列に改名されました。286頁の「8077I - 2012年11月」をご覧ください。

30.11.2.1. フラッシュ読み込み

フラッシュメモリから1バイトを読むのに(E)LPM命令が使われます。

1. 読むバイトアドレスをZポイントに格納してください。
2. 無操作指令をNVM指令(CMD)レジスタに格納してください。
3. (E)LPM命令を実行してください。

転送先レジスタは(E)LPM命令の実行中に格納されます。

30.11.2.2. フラッシュページ緩衝部消去

フラッシュページ緩衝部を消去するのにフラッシュページ緩衝部消去指令が使われます。

1. フラッシュページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDDEX)ビットを設定(1)してください(これは自己プログラミング中にCCP時間手順を必要とします)。

ページ緩衝部が消去されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.2.3. フラッシュ ページ緩衝部格納(設定)

フラッシュ ページ緩衝部内に1語(ワード)のデータを格納するのにフラッシュ ページ緩衝部格納指令が使われます。

1. フラッシュ ページ緩衝部格納指令をNVM指令(CMD)レジスタに格納してください。
2. 書く語アドレスをZポインタに格納してください。
3. R1:R0レジスタに書かれるべきデータ語を格納してください。
4. SPM命令を実行してください。SPM命令はフラッシュ ページ緩衝部格納のプログラミング時に保護されません。

フラッシュ ページ緩衝部全体が格納されるまで手順2.~4.を繰り返してください。未格納(未設定)位置は\$FFFFの値を持ちます。

30.11.2.4. フラッシュ ページ消去

フラッシュ メモリの1ページを消去するのにフラッシュ ページ消去指令が使われます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. フラッシュ ページ消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

30.11.2.5. フラッシュ ページ書き込み

フラッシュ メモリの1ページ内にフラッシュ ページ緩衝部を書くのにフラッシュ ページ書き込み指令が使われます。

1. 書くフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. フラッシュ ページ書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この書き込み操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

30.11.2.6. フラッシュ範囲CRC

自己プログラミング後にフラッシュ メモリのアドレス範囲内の内容を検証するのにフラッシュ範囲CRC指令が使われます。

1. フラッシュ範囲CRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに開始バイト アドレスを格納してください。
3. NVMデータ(DATA2,DATA1,DATA0)レジスタに終了バイト アドレスを格納してください。
4. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

フラッシュ範囲CRCを使うには、全てのポート施錠ビットが非プログラム(1,無施錠)にされなければなりません。アクセスされる位置に対するポート施錠ビットが(1以外に)設定されている場合、指令実行は失敗中止にされます。

30.11.2.7. 応用領域消去

応用領域を完全に消去するのに応用領域消去指令が使われます。

1. 応用領域内の何処かの位置をZポインタに格納してください。
2. 応用領域消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間、CPUは停止されます。

30.11.2.8. 応用領域/ブートローダ領域 ページ消去

応用領域またはブートローダ領域内の1ページを消去するのに応用領域ページ消去とブートローダ領域ページ消去指令が使われます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. 応用領域ページ消去/ブートローダ領域ページ消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ消去指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ消去指令はブートローダ領域をアドレス指定するZポインタを必要とします。(訳注:共通性から前2行追加)

30.11.2.9. 応用領域/ブートローダ領域 ページ書き込み

応用領域またはブートローダ領域の1ページ内にフラッシュ ページ緩衝部を書くのに応用領域ページ書き込みとブートローダ領域ページ書き込み指令が使われます。

1. 書くフラッシュのページ アドレスをZポイントに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポイントの他のビットはこの操作の間、無視されます。
2. 応用領域ページ書き込み/ブートローダ領域ページ書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポイントの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ書き込み指令は応用領域をアドレス指定するZポイントを必要とし、ブートローダ領域ページ書き込み指令はブートローダ領域をアドレス指定するZポイントを必要とします。

30.11.2.10. 応用領域/ブートローダ領域 ページ 消去&書き込み

1つの非分断操作で、応用領域またはブートローダ領域内の1ページを消去し、そしてそのページ内にフラッシュ ページ緩衝部を書くのに応用領域ページ消去&書き込みとブートローダ領域ページ消去&書き込み指令が使われます。

1. 書くフラッシュのページ アドレスをZポイントに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポイントの他のビットはこの操作の間、無視されます。
2. 応用領域ページ消去&書き込み/ブートローダ領域ページ消去&書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポイントの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ消去&書き込み指令は応用領域をアドレス指定するZポイントを必要とし、ブートローダ領域ページ消去&書き込み指令はブートローダ領域をアドレス指定するZポイントを必要とします。

30.11.2.11. 応用領域/ブートローダ領域 CRC

自己プログラミング後に応用領域/ブートローダ領域の内容を検証するのに応用領域/ブートローダ領域CRC指令が使われます。

1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

CRC指令実行の間、NVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、CPUは停止されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になるでしょう。

30.11.2.12. 使用者識票列消去

使用者識票列を消去するのに使用者識票列消去指令が使われます。

1. 使用者識票列消去指令をNVM指令(CMD)レジスタに格納してください。
2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、CPUは停止されます。使用者識票列はNRWWです。

30.11.2.13. 使用者識票列書き込み

使用者識票列内にフラッシュ ページ緩衝部を書くのに使用者識票列書き込み指令が使われます。

1. 使用者識票列書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、この指令実行の間、CPUは停止されます。指令実行の間の書き込み操作後にフラッシュ ページ緩衝部が解除されますが、CPUはこの段階中、停止されません。

30.11.2.14. 使用者識票列/製品識票列 読み込み

使用者識票列または製品識票(校正)列から1バイトを読むのに使用者識票列/製品識票(校正)列読み込み指令が使われます。

1. 読むバイト アドレスをZポイントに格納してください。
2. 使用者識票列読み込み/製品識票(校正)列読み込み指令をNVM指令(CMD)レジスタに格納してください。
3. LPM命令を実行してください。

転送先レジスタはLPM命令実行の間に格納されます。

フラッシュ読み込みに対してLPMが正しく実行されることを保証するため、それらの指令のどれかを使う間、割り込みを禁止することが勧められます。

30.11.3. NVM ヒューズと施錠ビット指令

ヒューズと施錠ビットをアクセスするのに使えるNVM指令が表30-3.で一覧されます。

ヒューズと施錠ビットの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表)の変更保護列は起動源が自己プログラミング中に構成設定変更保護(CCP)によって保護されるかどうかを示します。右端側2列はアドレス指定に使われるアドレスポインタと転送元/転送先データレジスタを示します。

「30.11.3.1. 施錠ビット書き込み」項～「30.11.3.2. ヒューズ読み込み」項は各NVM操作に対する方法を詳細に説明します。

表30-3. ヒューズと施錠ビット指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレスポインタ	データレジスタ
\$00	NO_OPERATION	無操作	-	-	-	-	-	-
ヒューズと施錠ビット								
\$07	READ_FUSES	ヒューズ読み込み	CMDEX	N	Y	N	ADDR	DATA
\$08	WRITE_LOCK_BITS	施錠ビット書き込み	CMDEX	N	Y	Y	ADDR	-

30.11.3.1. 施錠ビット書き込み

ソフトウェアからブート施錠ビットをもっと安全な設定にプログラミングするのに施錠ビット書き込み指令が使われます。

1. 新しい施錠ビット値をNVMデータ0(DATA0)レジスタに格納してください。
2. 施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間、CPUは停止されます。

この指令はブートルード領域と応用領域の両方から実行することができます。施錠ビットが書かれる時にEEPROMとフラッシュのページ緩衝部が自動的に消去されます。

30.11.3.2. ヒューズ読み込み

ソフトウェアからヒューズを読むのにヒューズ読み込み指令が使われます。

1. 読むヒューズ バイトへのアドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
2. ヒューズ読み込み指令をNVM指令(CMD)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

結果はNVMデータ0(DATA0)レジスタで利用可能になります。この指令の完全な実行の間、CPUは停止されます。

30.11.4. EEPROMプログラミング

EEPROMはフラッシュメモリのどの部分の応用コードからでも読み書きすることができます。それはバイトとページの両方でアクセス可能です。これは1度に1バイトまたは1ページのどちらでもEEPROMに書けることを意味します。読み込みではEEPROMから1バイトが読めます。

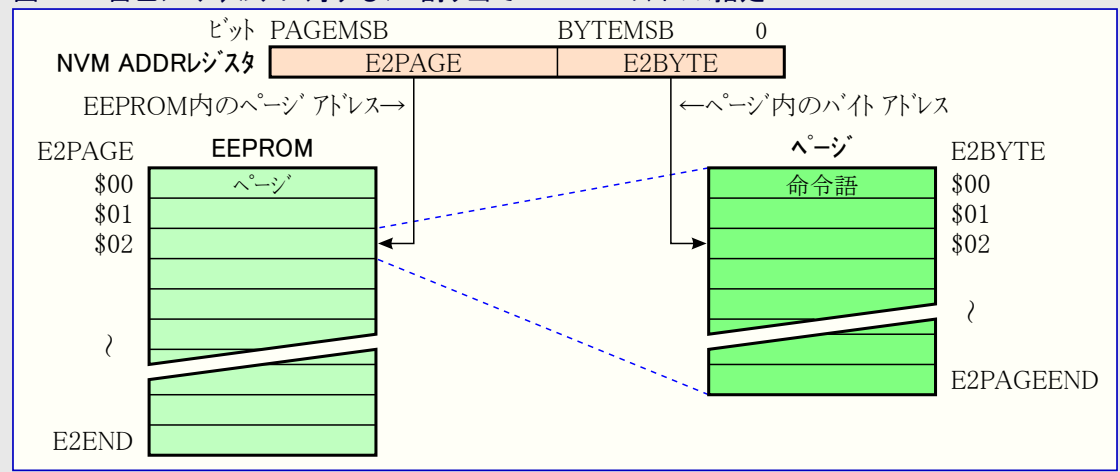
30.11.4.1. EEPROMのアドレス指定

EEPROMはプログラム用フラッシュメモリのアクセスと同様に(I/Oに割り当てられた)NVM制御器を通してアクセスすることができ、またはSRAMと同様にアクセスされるデータメモリ空間内にメモリ割り当てすることもできます。

NVM制御器を通してEEPROMをアクセスするとき、EEPROMをアドレス指定するのにNVMアドレス(ADDR2, ADDR1, ADDR0)レジスタが使われ、同時にEEPROMデータを格納または取得するのにNVMデータ(DATA0)レジスタが使われます。

EEPROMページプログラミングに対して、ADDRレジスタは2つの領域を持つように扱うことができます。最下位側ビットはページ内のバイトをアドレス指定し、一方最上位側ビットはEEPROM内のページをアドレス指定します。これは図30-2で示されます。ページ内のバイトアドレス(E2BYTE)はADDRレジスタ内のビットBYTEMSB~0によって保持されます。ADDRレジスタ内の残りのビットPAGMSB~BYTEMSB+1はEEPROMページアドレス(E2PAGE)を保持します。E2PAGEとE2BYTEを併せて、EEPROM内のバイトへの絶対アドレスを保持します。E2PAGEとE2BYTEの容量はデバイスのEEPROM容量とページ容量に依存します。この詳細については各デバイスのデータシートを参照してください。

図30-2. 自己プログラミングに対するI/O割り当てEEPROMのアドレス指定



メモリ配置EEPROMが許可されると、EEPROMページ緩衝部内へのバイトデータ格納は直接または間接の格納(設定)命令を通して実行することができます。ページ緩衝部内の位置を決めるのにEEPROMアドレスの最下位側ビットだけが使われますが、正しいアドレス割り当てを保証するために完全なメモリ割り当てEEPROMアドレスが常に必要とされます。EEPROMからの読み込みは直接または間接の格納(設定)命令を使って直接的に行うことができます。メモリ割り当てEEPROMページ緩衝部格納操作が実行されると、CPUは次の命令が実行されるのに先立って2周期停止されます。

EEPROMがメモリ割り当てされると、NVM制御器からのEEPROMページ緩衝部格納とEEPROM読み込み機能は禁止されます。

30.11.5. NVM EEPROM指令

NVM制御器を通してEEPROMをアクセスするのに使えるNVM EEPROM指令が表30-4で一覧されます。

EEPROMの自己プログラミングに対する活動起動指令と書き込み起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令はNVMデータ0(DATA0)レジスタを読むことによって起動されます。

(表の)変更保護列は自己プログラミング中に起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは起動源を書く/実行するのに時間手順を必要とします。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使われるアドレスポイントと転送元/転送先データレジスタを示します。

次ページの「30.11.5.1. EEPROMページ緩衝部格納(設定)」項～「30.11.5.7. EEPROM読み込み」項は各EEPROM操作に対する方法を詳細に説明します。

表30-4. EEPROM自己プログラミング指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレスポイント	データレジスタ
\$00	NO_OPERATION	無操作	-	-	-	-	-	-
EEPROM ページ緩衝部								
\$33	LOAD_EEPROM_BUFFER	EEPROMページ緩衝部格納(設定)	DATA0	N	N	Y	ADDR	DATA0
\$36	ERASE_EEPROM_BUFFER	EEPROMページ緩衝部消去	CMDEX	N	Y	Y	-	-
EEPROM								
\$32	ERASE_EEPROM_PAGE	EEPROMページ消去	CMDEX	N	Y	Y	ADDR	-
\$34	WRITE_EEPROM_PAGE	EEPROMページ書き込み	CMDEX	N	Y	Y	ADDR	-
\$35	ERASE_WRITE_EEPROM_PAGE	EEPROMページ消去&書き込み	CMDEX	N	Y	Y	ADDR	-
\$39	ERASE_EEPROM	EEPROM消去	CMDEX	N	Y	Y	-	-
\$06	READ_EEPROM	EEPROM読み込み	CMDEX	N	N	N	ADDR	DATA0

30.11.5.1. EEPROMページ緩衝部格納(設定)

EEPROMページ緩衝部内に1バイトを格納(設定)するのにEEPROMページ緩衝部格納指令が使われます。

1. EEPROMページ緩衝部格納指令をNVM指令(CMD)レジスタに格納してください。
2. 書くアドレスをNVMアドレス0(ADDR0)レジスタに格納してください。
3. 書くデータをNVMデータ0(DATA0)レジスタに格納してください。これが指令を起動します。

任意数のバイトが格納されるまで手順2と3を繰り返してください。

30.11.5.2. EEPROMページ緩衝部消去

EEPROMページ緩衝部を消去するのにEEPROMページ緩衝部消去指令が使われます。

1. EEPROMページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.3. EEPROMページ消去

1つのEEPROMページを消去するのにEEPROMページ消去指令が使われます。

1. EEPROMページ消去指令をNVM指令(CMD)レジスタに設定してください。
2. 消去するEEPROMページ アドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

このページ消去指令はEEPROMページ緩衝部に於いて格納されて付箋付けされた位置だけを消去します。

30.11.5.4. EEPROMページ書き込み

EEPROMの1ページ内にEEPROMページ緩衝部に格納された全位置を書くのにEEPROMページ書き込み指令が使われます。

1. EEPROMページ書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. 書くEEPROMページ アドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.5. EEPROMページ 消去&書き込み

1つの非分断操作で、最初にEEPROMページを消去してEEPROMの1ページ内にEEPROMページ緩衝部を書くのにEEPROMページ消去&書き込み指令が使われます。

1. EEPROMページ消去&書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. 書くEEPROMページ アドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.6. EEPROM消去

EEPROMページ緩衝部に格納されて付箋付けされた位置に対応する全EEPROMページ内の全位置を消去するのにEEPROM消去指令が使われます。

1. EEPROM消去指令をNVM指令(CMD)レジスタに設定してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.7. EEPROM読み込み

EEPROMから2バイトを読むのにEEPROM読み込み指令が使われます。

1. EEPROM読み込み指令をNVM指令(CMD)レジスタに設定してください。
2. 読むEEPROMバイト アドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

読まれたバイト データはNVMデータ0(DATA0)レジスタで利用可能になります。

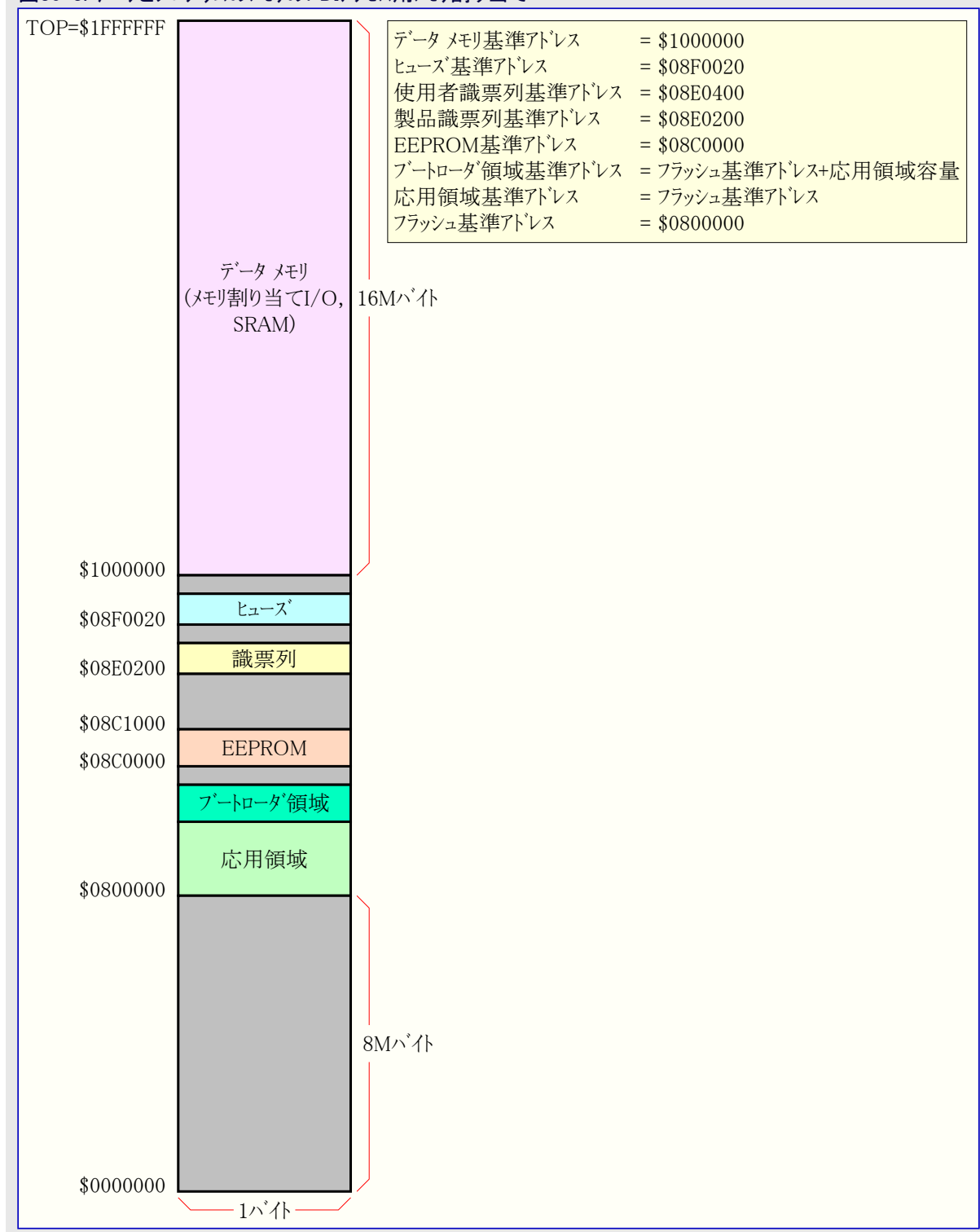
30.12. 外部プログラミング

外部プログラミングは外部の書き込み器またはデバッガからデバイス内のコードと不揮発性データをプログラミングするための方法です。これは実装(実装書き込み)で、または大量生産プログラミングの両方によって行うことができます。

外部プログラミングに対して、デバイスはJTAGまたはPDI物理接続を使い、PDIとPDI制御器を通してアクセスされます。PDI、JTAGの詳細と物理インターフェースの許可と使用方法については240頁の「プログラミングとデバッグ用インターフェース」を参照してください。本章の残り部分はPDIへの正しい物理接続が許可されているとの前提です。

これを行うことでデータとプログラムのメモリ空間の全てが直線的なPDIメモリ空間に割り当てられます。図30-3.はPDIメモリ空間とデバイス内の各メモリ空間に対する基準アドレスを示します。

図30-3. データとプログラムのメモリのPDIアクセス用メモリ割り当て



30.12.1. 外部プログラミング インターフェースの許可

PDIからのNVMプログラミングは以下の手順を用いる許可が必要です。

1. \$59をPDIのリセット(RESET)レジスタに格納してください。
2. PDIにNVM鍵を格納してください。
3. NVM許可(NVMEN)が設定(1)されるまでPDI状態(STATUS)レジスタのNVMENをポーリングしてください。

PDI状態レジスタのNVMENビットが設定(1)されると、NVMインターフェースはPDIから許可され、活性(有効)です。

30.12.2. NVMプログラミング

PDI NVMインターフェースが許可されると、デバイス内の全てのメモリがPDIアドレス空間にメモリ割り当てされます。PDI制御器はNVM制御器のアドレスやデータのレジスタのアクセスが必要ありませんが、NVM制御器は正しい指令を格納されなければなりません(換言すると、どれかのNVMから読むには、PDIBUSアドレス空間からデータを取得する前に制御器がNVM読み込み指令を格納されなければなりません)。本章の残り部分でのPDIからのデータまたはプログラムメモリアドレスの読み書きへの全ての参照については、261頁の図30-3.で示されるメモリ割り当てを参照してください。

PDIはバイトアドレス指定を使い、従って全てのメモリアドレスはバイトアドレスでなければなりません。フラッシュまたはEEPROMのページ緩衝部を満たす時に、ページ緩衝部内の位置を決めるのにアドレスの最下位側だけが使われます。それでも、正しいアドレス割り当てを保証するために、フラッシュまたはEEPROMのページに対して完全なメモリ割り当てアドレスが必要とされます。使用者はページ緩衝部の取得と書き込みの両方に関し、ページ境界に注意を払わなければなりません。

プログラミング(ページ消去とページ書き込み)中でNVMが多忙の時に、NVMが読み込みに対して防がれます。

30.12.3. NVM指令

外部プログラミングからNVMメモリをアクセスするのに使えるNVM指令が次頁の表30-5.で一覧されます。

外部プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令はPDIからの直接または間接の取得(LDSまたはLD)命令によって起動されます(PDI読み)。書き込み起動指令はPDIからの直接または間接の格納(STSまたはST)命令によって起動されます(PDI書き)。

264頁の「チップ消去」～265頁の「ヒューズ/施錠ビット書き込み」は各NVM操作に対する方法を詳細に説明します。指令は施錠ビットによって保護されており、読み書き施錠が設定されている場合、チップ消去とフラッシュCRC指令だけが利用可能です。

表30-5. 外部プログラミングで利用可能なNVM指令

CMD6~0	指令/操作	起動源	NVM多忙	変更保護
\$00	無操作	-	-	-
\$40	チップ消去 (注1)	CMDEX	Y	Y
\$43	NVM読み込み	PDI読み	N	N
フラッシュ ページ緩衝部				
\$23	フラッシュ ページ緩衝部格納(設定)	PDI書き	N	N
\$26	フラッシュ ページ緩衝部消去	CMDEX	Y	Y
フラッシュ メモリ全体				
\$2B	フラッシュ ページ消去	PDI書き	Y	N
\$2E	フラッシュ ページ書き込み	PDI書き	Y	N
\$2F	フラッシュ ページ消去&書き込み	PDI書き	Y	N
\$78	フラッシュ CRC	CMDEX	Y	Y
応用領域フラッシュ メモリ				
\$20	応用領域消去	PDI書き	Y	N
\$22	応用領域ページ消去	PDI書き	Y	N
\$24	応用領域ページ書き込み	PDI書き	Y	N
\$25	応用領域ページ消去&書き込み	PDI書き	Y	N
\$38	応用領域 CRC	CMDEX	Y	Y
ブートローダ領域フラッシュ メモリ				
\$68	ブートローダ領域消去	PDI書き	Y	N
\$2A	ブートローダ領域ページ消去	PDI書き	Y	N
\$2C	ブートローダ領域ページ書き込み	PDI書き	Y	N
\$2D	ブートローダ領域ページ消去&書き込み	PDI書き	Y	N
\$39	ブートローダ領域 CRC	CMDEX	Y	Y
製品識票(校正)領域(注2)と使用者識票領域				
\$01	使用者識票列読み込み	PDI読み	N	N
\$18	使用者識票列消去	PDI書き	Y	N
\$1A	使用者識票列書き込み	PDI書き	Y	N
\$02	校正列読み込み	PDI読み	N	N
ヒューズと施錠ビット				
\$07	ヒューズ読み込み	PDI読み	N	N
\$4C	ヒューズ書き込み	PDI書き	Y	N
\$08	施錠ビット書き込み	PDI書き/CMDEX	Y	N/Y
EEPROM ページ緩衝部				
\$33	EEPROM ページ緩衝部格納(設定)	PDI書き	N	N
\$36	EEPROM ページ緩衝部消去	CMDEX	Y	Y
EEPROM				
\$30	EEPROM消去	PDI書き	Y	N
\$32	EEPROMページ消去	PDI書き	Y	N
\$34	EEPROMページ書き込み	PDI書き	Y	N
\$35	EEPROMページ消去&書き込み	PDI書き	Y	N
\$06	EEPROM読み込み	PDI読み	N	N

注1: EESAVEヒューズがプログラム(0)されている場合、EEPROMはチップ消去の間、保護されます。

注2: 一貫性のために校正列は文書全体を通して製品識票列に改名されました。286頁の「8077I - 2012年11月」をご覧ください。

30.12.3.1. チップ消去

プログラム用フラッシュメモリ、EEPROM、施錠ビットを消去するのにチップ消去指令が使われます。EEPROMの消去はEESAVEヒューズ設定に依存し、この詳細については23頁の「FUSEBYTE5 – ヒューズ バイト5」を参照してください。使用者識票列、製品識票(校正)列、それとヒューズは影響を及ぼされません。

1. チップ消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIバスは禁止され、この操作が終了するまでPDI状態(STATUS)レジスタのNVM許可(NVMEN)ビットが解除(0)されます。NVMENビットが設定(1)されるまでホーリングしてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.2. NVM読み込み

フラッシュメモリ、EEPROM、ヒューズ、識票列、製品識票(校正)列を読むのにNVM読み込み指令が使われます。

1. NVM読み込み指令をNVM指令(CMD)レジスタに格納してください。
2. PDI読み込み操作を実行することによって選んだメモリアドレスを読んでください。

専用のEEPROM読み込み、ヒューズ読み込み、識票列読み込み、製品識票(校正)列読み込み指令も各種メモリ領域に対して利用可能です。これらの指令に対する方法はNVM読み込み指令に対するものと同じです。

30.12.3.3. ページ緩衝部消去

フラッシュとEEPROMのページ緩衝部を消去するのにフラッシュページ緩衝部消去とEEPROMページ緩衝部消去指令が使われます。

1. フラッシュページ緩衝部消去/EEPROMページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.4. ページ緩衝部格納(設定)

フラッシュとEEPROMのページ緩衝部内に1バイトのデータを格納するのにフラッシュページ緩衝部格納とEEPROMページ緩衝部格納指令が使われます。

1. フラッシュページ緩衝部格納/EEPROMページ緩衝部格納指令をNVM指令(CMD)レジスタに格納してください。
2. PDI書き込み操作を行うことによって選んだメモリアドレスに書いてください。

フラッシュページ緩衝部は語(ワード)アクセスで、PDIがバイトアクセスを使うので、PDIは正しい順序でフラッシュページ緩衝部に書かなければなりません。書き込み操作については語の下位バイトが上位バイトに先立って書かれなければなりません。この下位バイトは一時レジスタ内に書かれます。そしてPDIが語位置の上位バイトを書くのと同じクロック周期で、この下位バイトがページ緩衝部の語位置に書かれます。

PDIは次のPDI命令を実行できるようになるのに先立って自動的に停止されます。

30.12.3.5. ページ消去

選んだメモリ空間の内の1ページを消去するのに応用領域ページ消去、ブートローダ領域ページ消去、EEPROMページ消去、使用者識票列消去指令が使われます。

1. 応用領域ページ消去/ブートローダ領域ページ消去/EEPROMページ消去/使用者識票列消去指令をNVM指令(CMD)レジスタに設定してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.6. ページ書き込み

選んだメモリ空間内に格納(設定)されたフラッシュ/EEPROMページ緩衝部を書くのに応用領域ページ書き込み、ブートローダ領域ページ書き込み、EEPROMページ書き込み、使用者識票列書き込み指令が使われます。

1. 応用領域ページ書き込み/ブートローダ領域ページ書き込み/EEPROMページ書き込み/使用者識票列書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.7. ページ 消去&書き込み

1つの非分断操作で、選んだメモリ空間に於いて1ページを消去してその後にそのページ内にフラッシュ/EEPROMページ緩衝部を書くのに応用領域ページ消去&書き込み、ブートローダ領域ページ消去&書き込み、EEPROMページ消去&書き込み指令が使われます。

1. 応用領域ページ消去&書き込み/ブートローダ領域ページ消去&書き込み/EEPROMページ消去&書き込み指令をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.8. 応用領域/ブートローダ領域/EEPROM消去

選んだ領域全体を消去するのに応用領域消去、ブートローダ領域消去、EEPROM消去指令が使われます。

1. 応用領域消去/ブートローダ領域消去/EEPROM消去指令をNVM指令(CMD)レジスタに設定してください。
2. PDI書き込み操作を行うことによって選んだメモリ領域を書いてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.9. 応用領域/ブートローダ領域 CRC

プログラミング(書き込み)後に選んだ領域内容を検証するのに応用領域CRCとブートローダ領域CRC指令が使われます。

1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに設定してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になります。

30.12.3.10. フラッシュ CRC

プログラミング(書き込み)後にプログラム用フラッシュ メモリの内容を検証するのにフラッシュCRC指令が使われます。

1. フラッシュCRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIバスは禁止され、この操作が終了するまでPDI状態(STATUS)レジスタのNVM許可(NVMEN)ビットが解除(0)されます。PDIバスの許可を示すNVMENビットが再び設定(1)されるまでポーリングしてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になります。

30.12.3.11. ヒューズ/施錠ビット書き込み

ヒューズとまったく安全な設定へ施錠ビットを書くのにヒューズ書き込みと施錠ビット書き込み指令が使われます。

1. ヒューズ書き込み/施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
2. PDI書き込み操作を行うことによって選んだヒューズまたは施錠ビットを書いてください。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

施錠ビット書き込みに関しては(CMDEX起動の)施錠ビット書き込み指令も使えます。

30.13. レジスタ説明

NVM制御器の完全なレジスタ記述については19頁の「[レジスタ説明 - NVM制御器](#)」を参照してください。

PDIの完全なレジスタ記述については248頁の「[レジスタ説明 - PDI制御/状態レジスタ](#)」を参照してください。

30.14. レジスタ要約

NVM制御器の完全なレジスタ要約については33頁の「[レジスタ要約 - NVM制御器](#)」を参照してください。

PDIの完全なレジスタ要約については249頁の「[レジスタ要約](#)」を参照してください。

31. 周辺機能単位部アドレス割り当て

アドレス割り当て表はXMEGA内の各周辺機能と単位部に対する基準アドレスを示します。全てのXMEGAデバイスに全ての周辺機能と単位部が存在する訳ではなく、特定デバイスに対する周辺機能単位部アドレス割り当てについてはデバイスのデータシートを参照してください。

表31-1. 周辺機能単位部アドレス割り当て

基準 アドレス	名称	意味	頁	基準 アドレス	名称	意味	頁
\$0000	GPIO	汎用I/Oレジスタ	35	\$0660	PORTD	ポートD	
\$0010	VPORT0	仮想ポート0		\$0680	PORTE	ポートE	
\$0014	VPORT1	仮想ポート1	105	\$06A0	PORTF	ポートF	104
\$0018	VPORT2	仮想ポート2		\$06E0	PORTH	ポートH	
\$001C	VPORT3	仮想ポート3		\$0700	PORTJ	ポートJ	
\$0030	CPU	CPU	14	\$0720	PORTK	ポートK	
\$0040	CLK	クロック制御	67	\$07C0	PORTQ	ポートQ	
\$0048	SLEEP	休止制御器	72	\$07E0	PORTR	ポートR	
\$0050	OSC	発振器制御	67	\$0800	TCC0	ポートCのタイマ/カウンタ0	122
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	67	\$0840	TCC1	ポートCのタイマ/カウンタ1	
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL		\$0880	AWEXC	ポートCの新波形拡張	131
\$0070	PR	電力削減	72	\$0890	HIRES	ポートCの高分解能拡張	133
\$0078	RST	リセット制御器	76	\$08A0	USARTC0	ポートCのUSART0	178
\$0080	WDT	ウォッチドッグ タイマ	85	\$08B0	USARTC1	ポートCのUSART1	
\$0090	MCU	MCU制御	35	\$08C0	SPIC	ポートCの直列周辺インターフェース	163
\$00A0	PMIC	設定可能な多段割り込み制御器	90	\$08F8	IRCOM	赤外線通信単位部	181
\$00B0	PORTCFG	ポート構成設定	104	\$0900	TCD0	ポートDのタイマ/カウンタ0	122
\$00C0	AES	AES暗号単位部	187	\$0940	TCD1	ポートDのタイマ/カウンタ1	
\$00F0	VBAT	電池代替支援システム	81	\$0980	AWEXD	ポートDの高分解能拡張	131
\$0100	DMA	DMA制御器	47	\$0990	HIRES	ポートDの新波形拡張	133
\$0180	EVSYS	事象システム	54	\$09A0	USARTD0	ポートDのUSART0	178
\$01C0	NVM	不揮発性メモリ(NVM)制御器	33	\$09B0	USARTD1	ポートDのUSART1	
\$0200	ADCA	ポートAのA/D変換器	219	\$09C0	SPID	ポートDの直列周辺インターフェース	163
\$0240	ADCB	ポートBのA/D変換器		\$0A00	TCE0	ポートEのタイマ/カウンタ0	122
\$0300	DACA	ポートAのD/A変換器	228	\$0A40	TCE1	ポートEのタイマ/カウンタ1	131
\$0320	DACB	ポートBのD/A変換器		\$0A80	AWEXE	ポートEの新波形拡張	
\$0380	ACA	ポートAのアナログ比較器	234	\$0A90	HIRES	ポートEの高分解能拡張	133
\$0390	ACB	ポートBのアナログ比較器		\$0AA0	USARTE0	ポートEのUSART0	178
\$0400	RTC	実時間計数器	138	\$0AB0	USARTE1	ポートEのUSART1	
\$0420	RTC32	32ビット実時間計数器	143	\$0AC0	SPIE	ポートEの直列周辺インターフェース	163
\$0440	EBI	外部バス インターフェース	200	\$0B00	TCF0	ポートFのタイマ/カウンタ0	122
\$0480	TWIC	ポートCの2線インターフェース		\$0B40	TCF1	ポートFのタイマ/カウンタ1	
\$0490	TWID	ポートDの2線インターフェース	159	\$0B80	AWEXF	ポートFの新波形拡張	131
\$04A0	TWIE	ポートEの2線インターフェース		\$0B90	HIRES	ポートFの高分解能拡張	133
\$04B0	TWIF	ポートFの2線インターフェース		\$0BA0	USARTF0	ポートFのUSART0	178
\$0600	PORTA	ポートA		\$0BB0	USARTF1	ポートFのUSART1	
\$0620	PORTB	ポートB	104	\$0BC0	SPIF	ポートFの直列周辺インターフェース	163
\$0640	PORTC	ポートC					

32. 命令一式要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,I	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,I,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら、 $PC \leftarrow PC + 2or3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≥で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≥で分岐	(N EOR V)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,1,I,1,Y,1,I,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1

ニーモニック	オペランド	意味	動作	フラグ	クロック
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマリセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K : 4, 6, 8ビット定数

P : I/Oレジスタ

Rd, Rr : 汎用レジスタ(R0~R31)

X, Y, Z : X, Y, Zレジスタ

b : ビット(0~7)

k : アドレス定数(7,12,16ビット)

q : 符号なし6ビット定数(変位)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

注1: データ メモリ アクセスに対する周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対しては有効ではありません。

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

33. 追補A : EBIタイミング図

33.1. SRAM 3ポート, ALE1, CS

図33-1. 書き込み、ALEなし

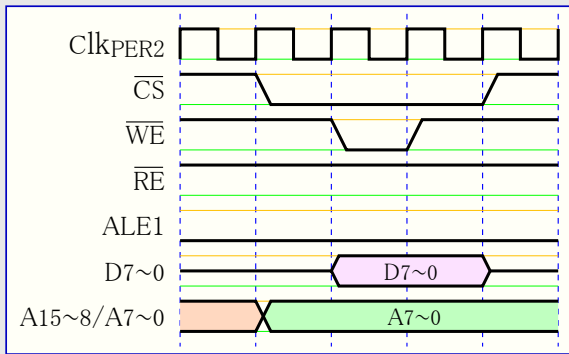


図33-2. 書き込み、ALE有り

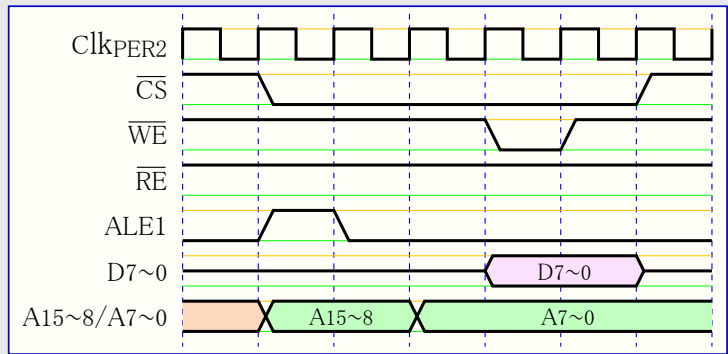


図33-3. 読み込み、ALEなし

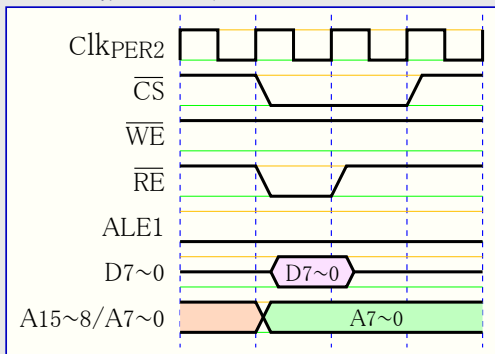
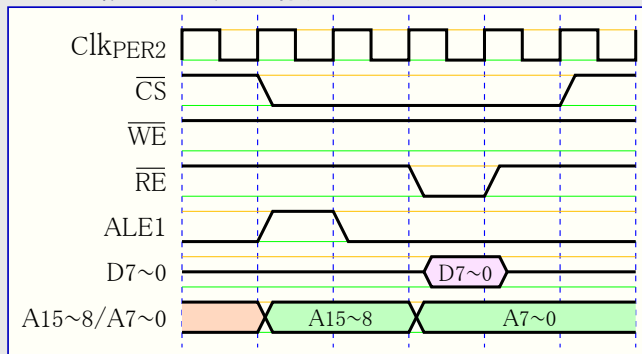


図33-4. 読み込み、ALE有り



33.2. SRAM 3ポート, ALE1, ALE2, CS

図33-5. 書き込み、ALEなし

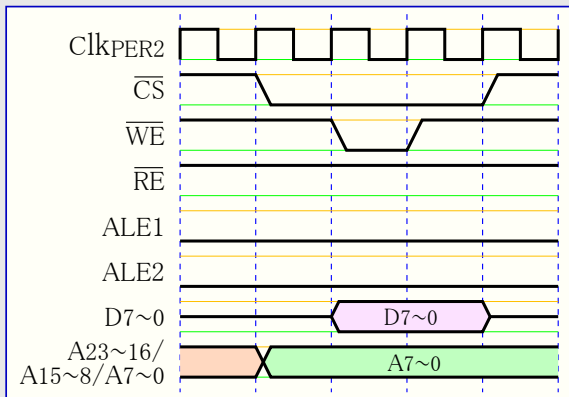


図33-6. 書き込み、ALE1

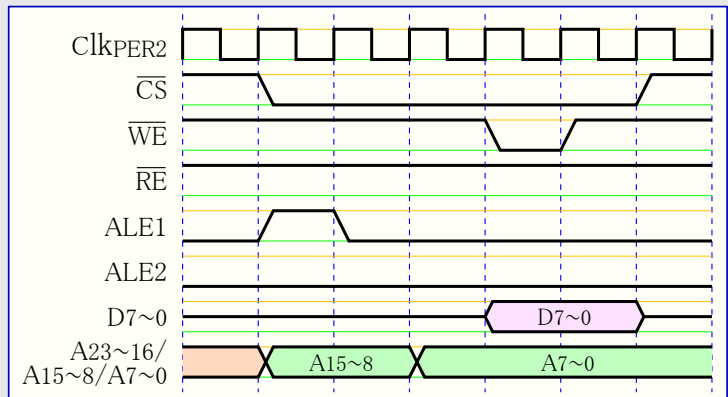


図33-7. 書き込み、ALE1+ALE2

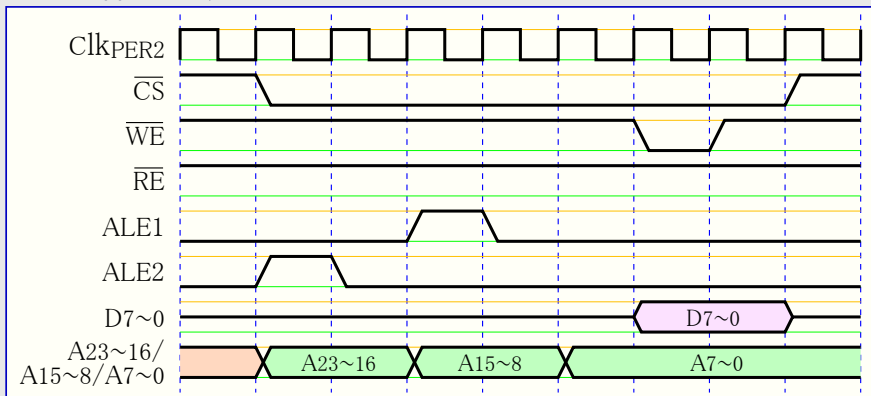


図33-8. 読み込み、ALEなし

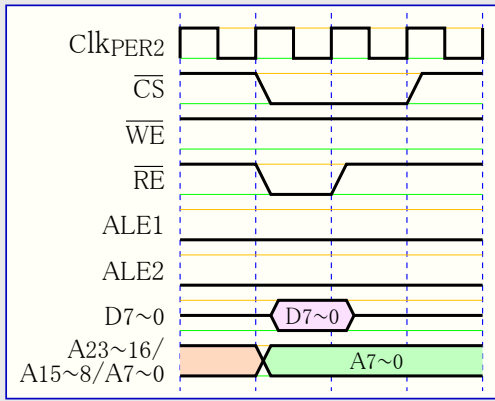


図33-9. 読み込み、ALE1

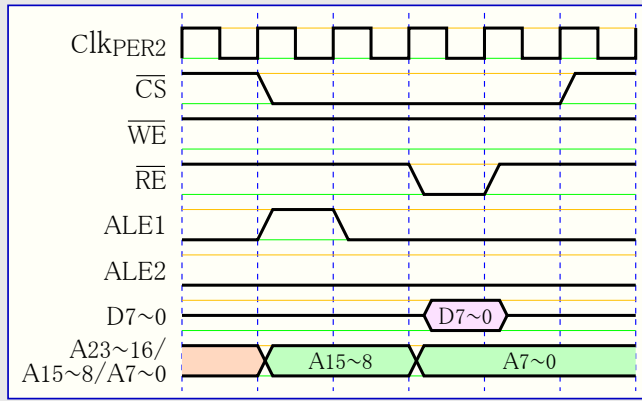
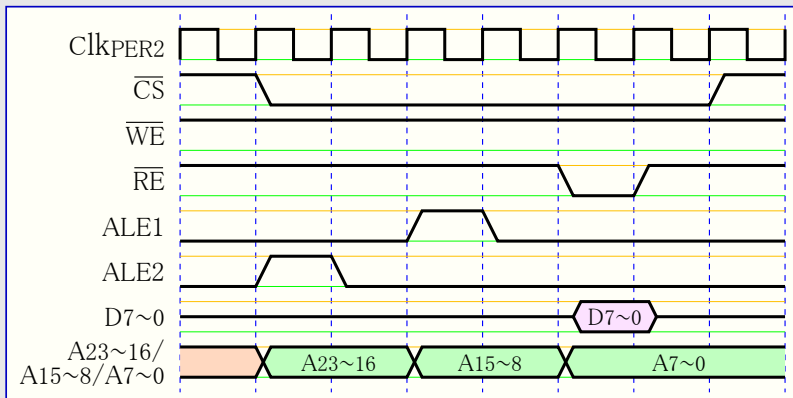


図33-10. 読み込み、ALE1+ALE2



33.3. SRAM 4ポート, ALE2, CS

図33-11. 書き込み、ALEなし

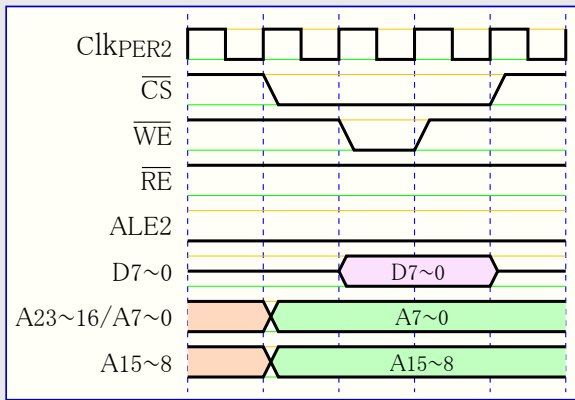


図33-12. 書き込み、ALE有り

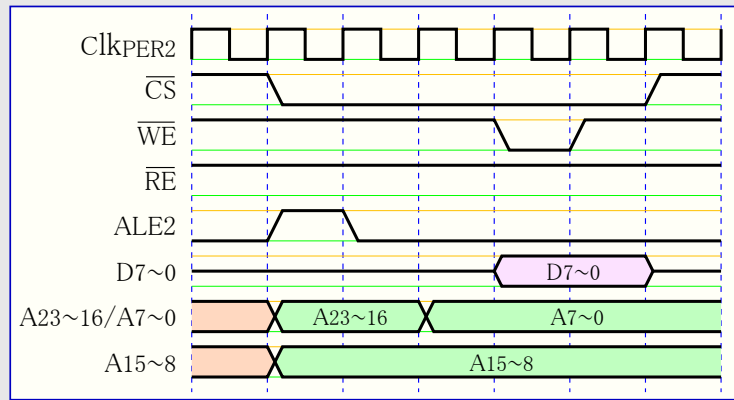


図33-13. 読み込み、ALEなし

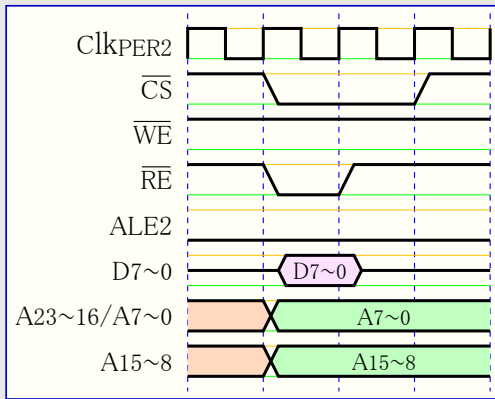
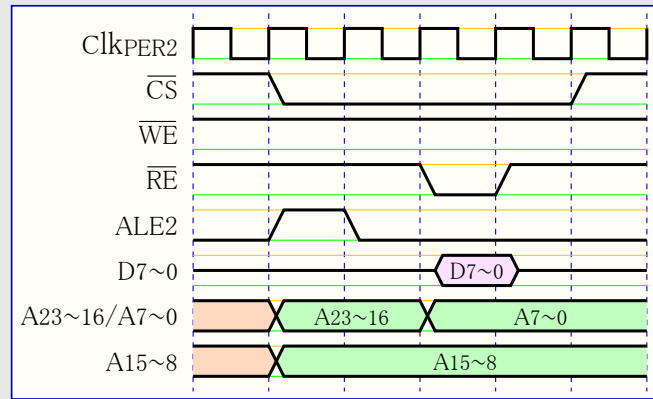


図33-14. 読み込み、ALE有り



33.4. SRAM 4ポート, ALEなし, CS

図33-15. 書き込み

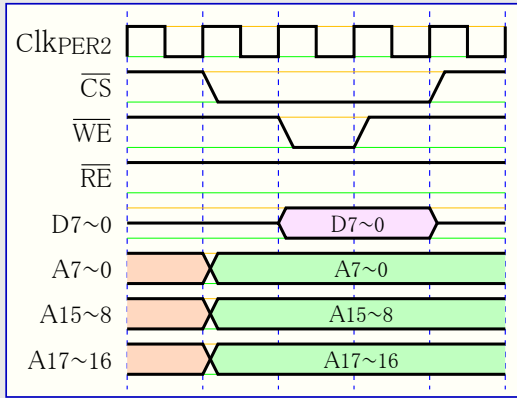
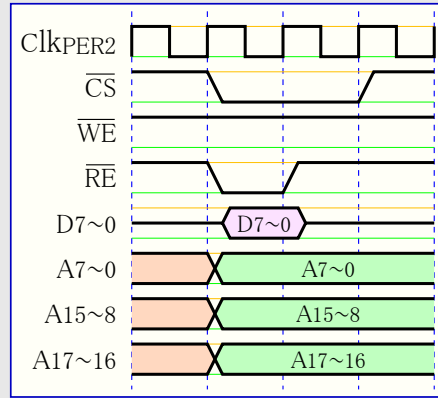


図33-16. 読み込み



33.5. LPC-SRAM 2ポート, ALE1, ALE2, CS

図33-17. 書き込み, ALE1

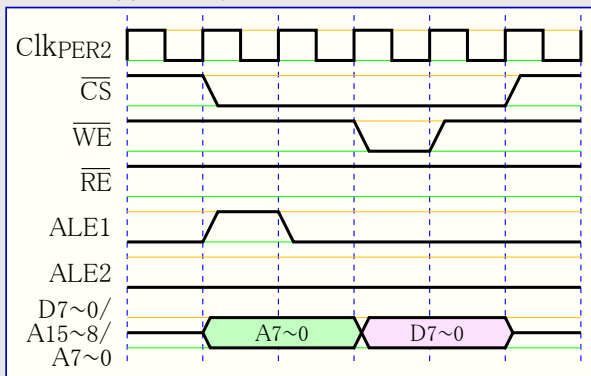


図33-18. 書き込み, ALE1+ALE2

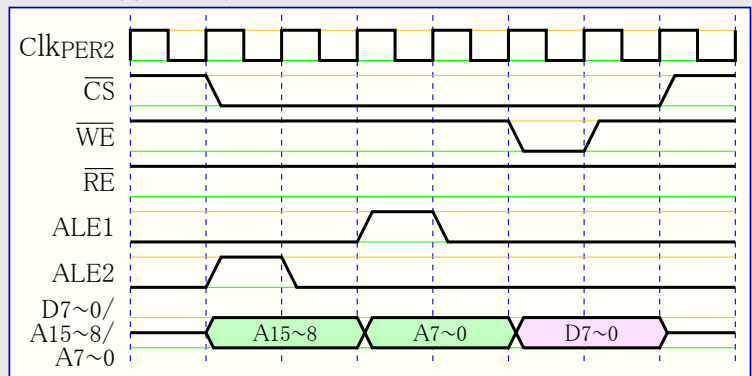


図33-19. 読み込み, ALE1

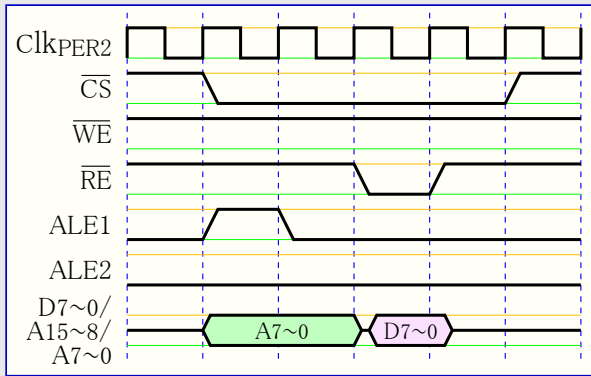
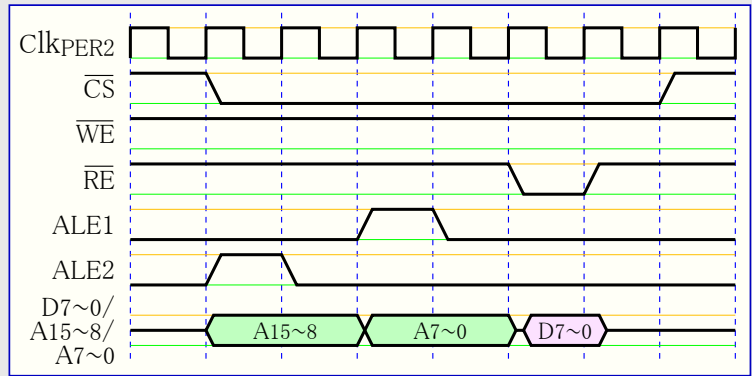


図33-20. 読み込み, ALE1+ALE2



33.6. LPC-SRAM 3ポート, ALE1, CS

図33-21. 書き込み

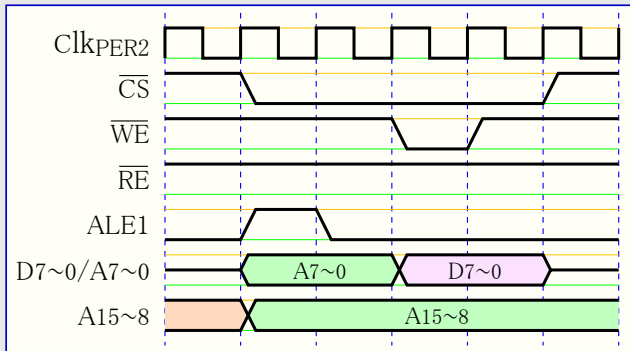
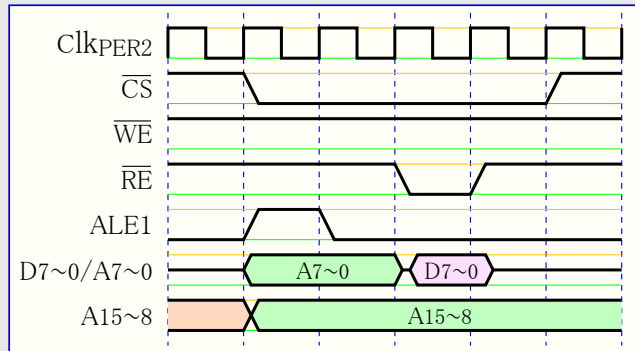


図33-22. 読み込み



33.7. LPC-SRAM 2ポート, ALE1, CS

図33-23. 書き込み

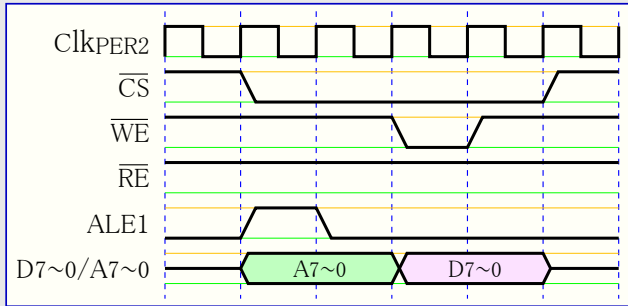
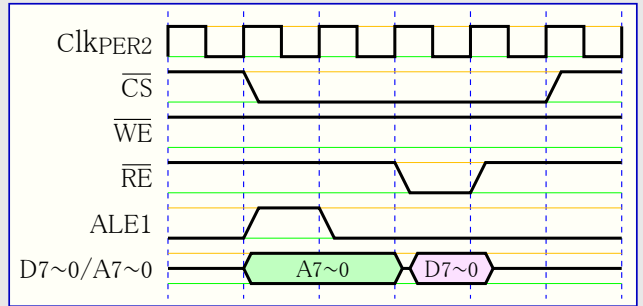


図33-24. 読み込み



33.8. SRAM 3ポート, ALE1, CSなし

図33-25. 書き込み、ALEなし

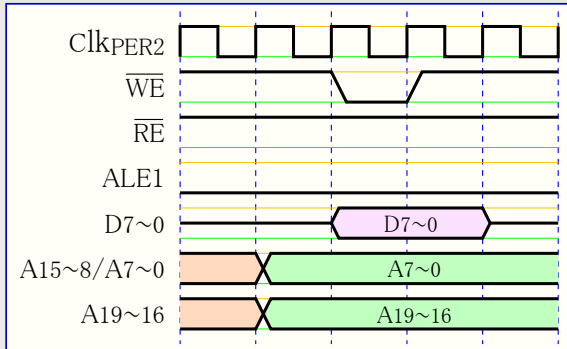


図33-26. 書き込み、ALE有り

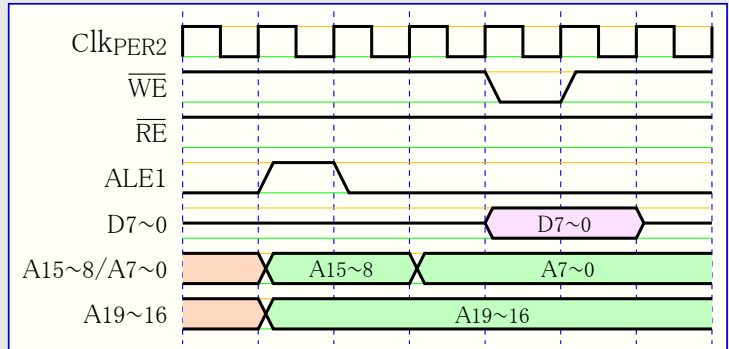


図33-27. 読み込み、ALEなし

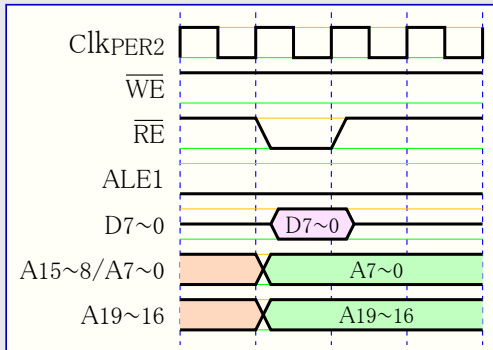
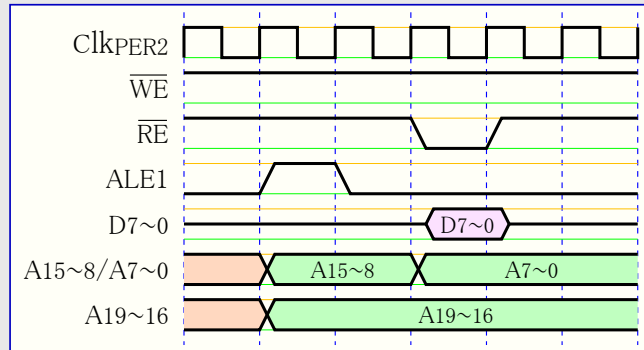


図33-28. 読み込み、ALE有り



33.9. SRAM 4ポート, ALEなし, CSなし

図33-29. 書き込み

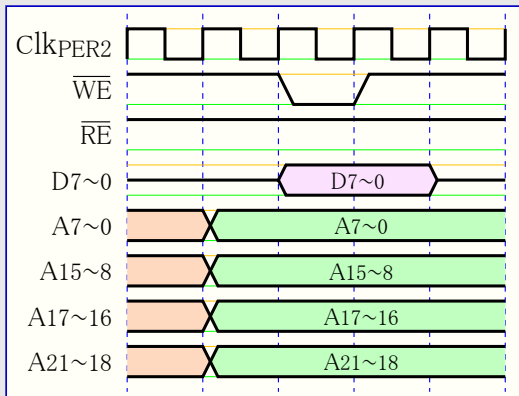
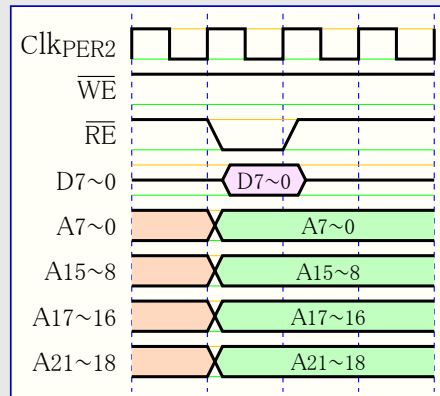


図33-30. 読み込み



33.10. LPC-SRAM 2ポート, ALE1, ALE2, CSなし

図33-31. 書き込み、ALE1

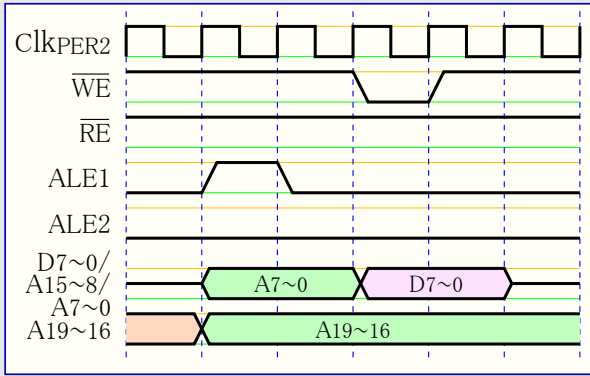


図33-32. 書き込み、ALE1+ALE2

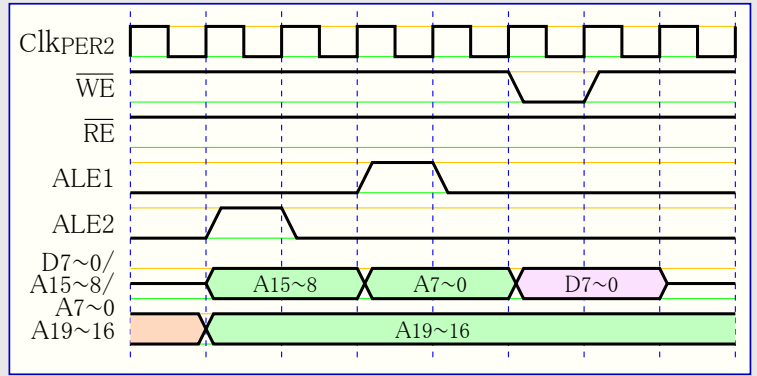


図33-33. 読み込み、ALE1

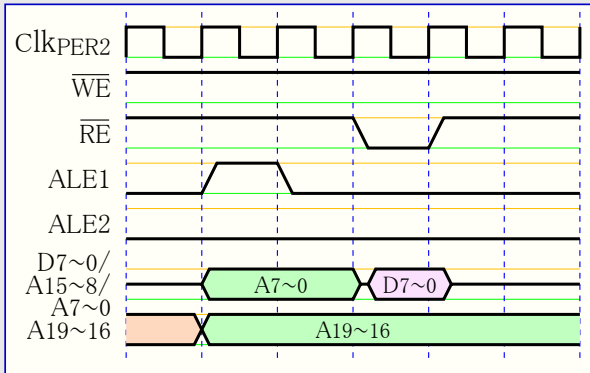
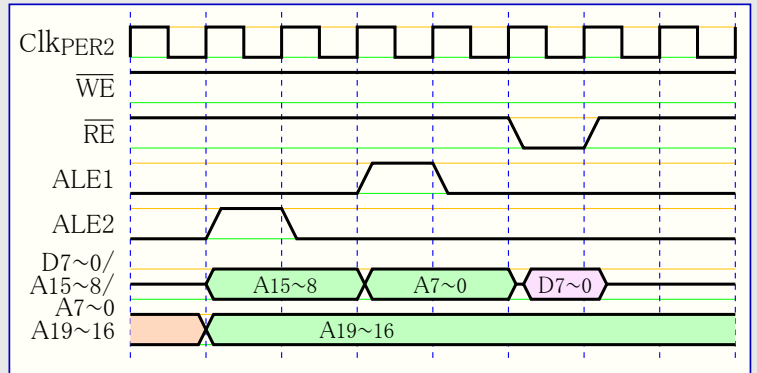
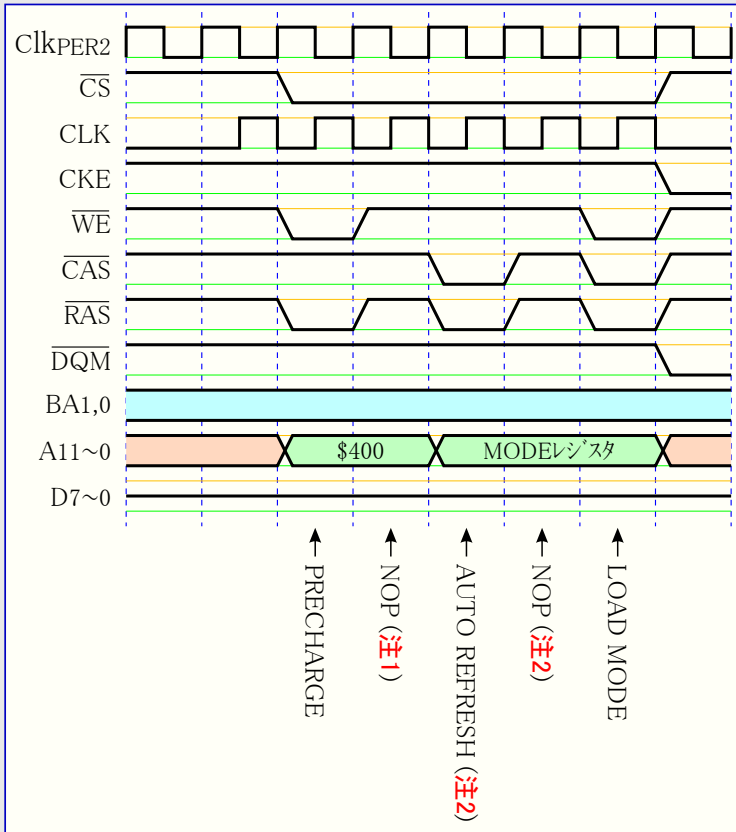


図33-34. 読み込み、ALE1+ALE2



33.11. SDRAM初期化

図33-35. SDRAM初期化

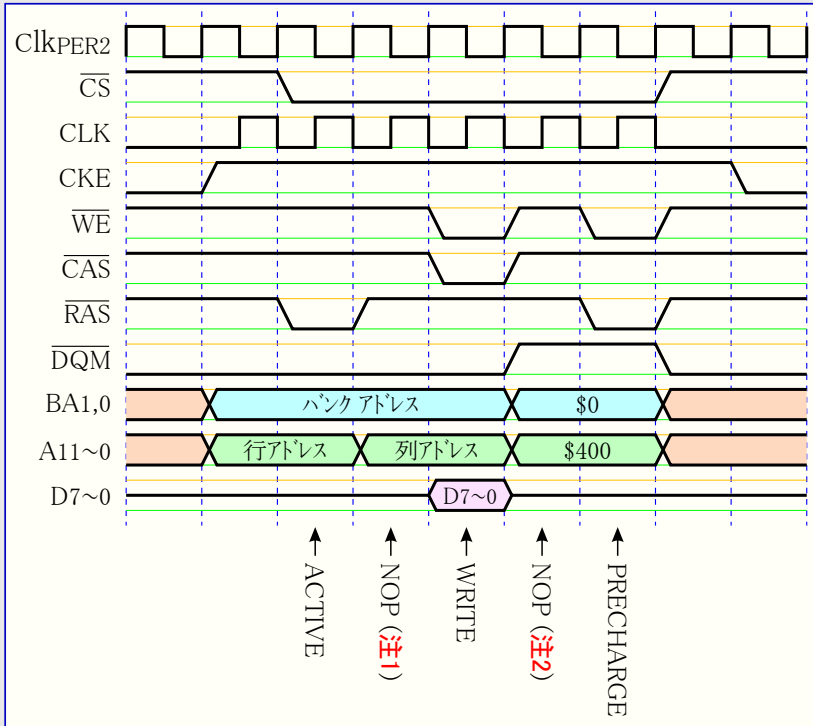


注1: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

注2: AUTO REFRESHと後続のNOPは8回繰り返されます。このNOPはSDRAM行周期遅延(ROWCYCDLY2~0)に等しい数です(図はROWCYCDLY=1を示します)。

33.12. SDRAM 8ビット書き込み

図33-36. 単独書き込み

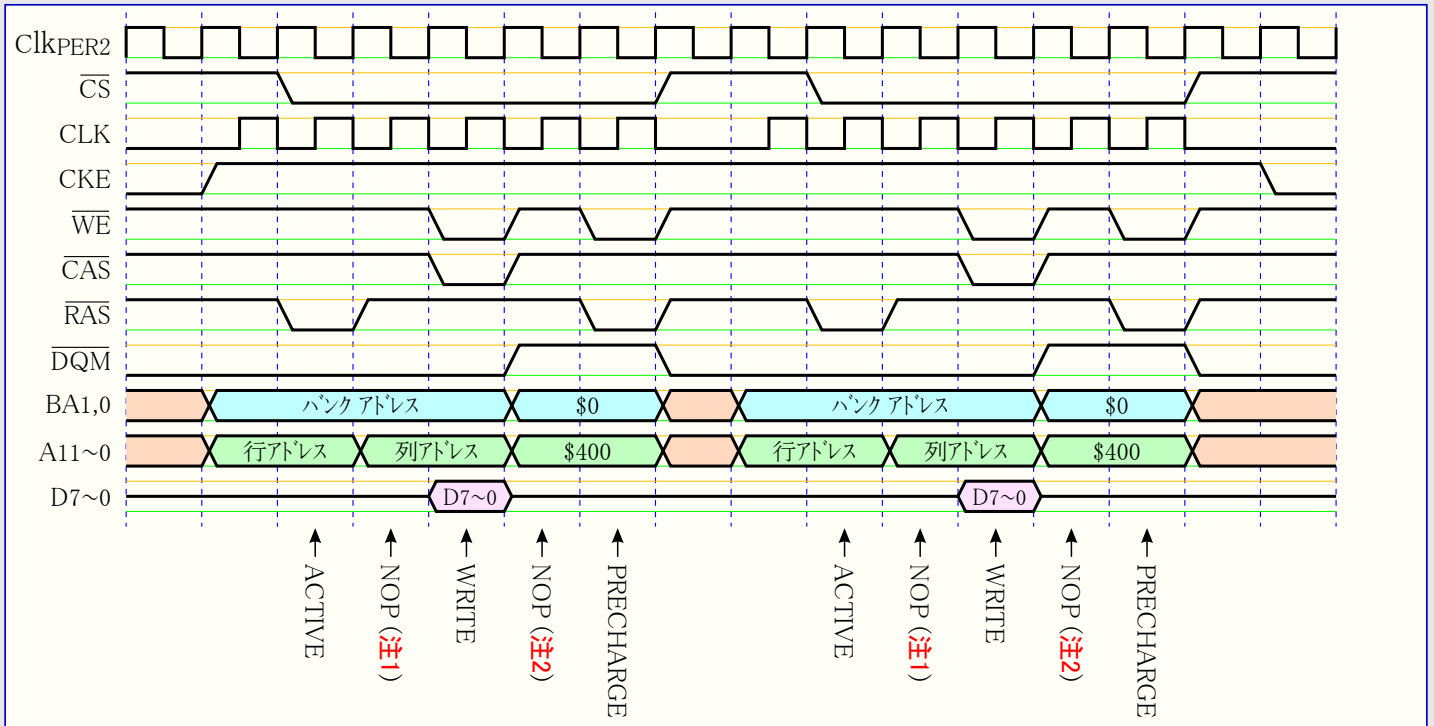


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-37. 2連続書き込み

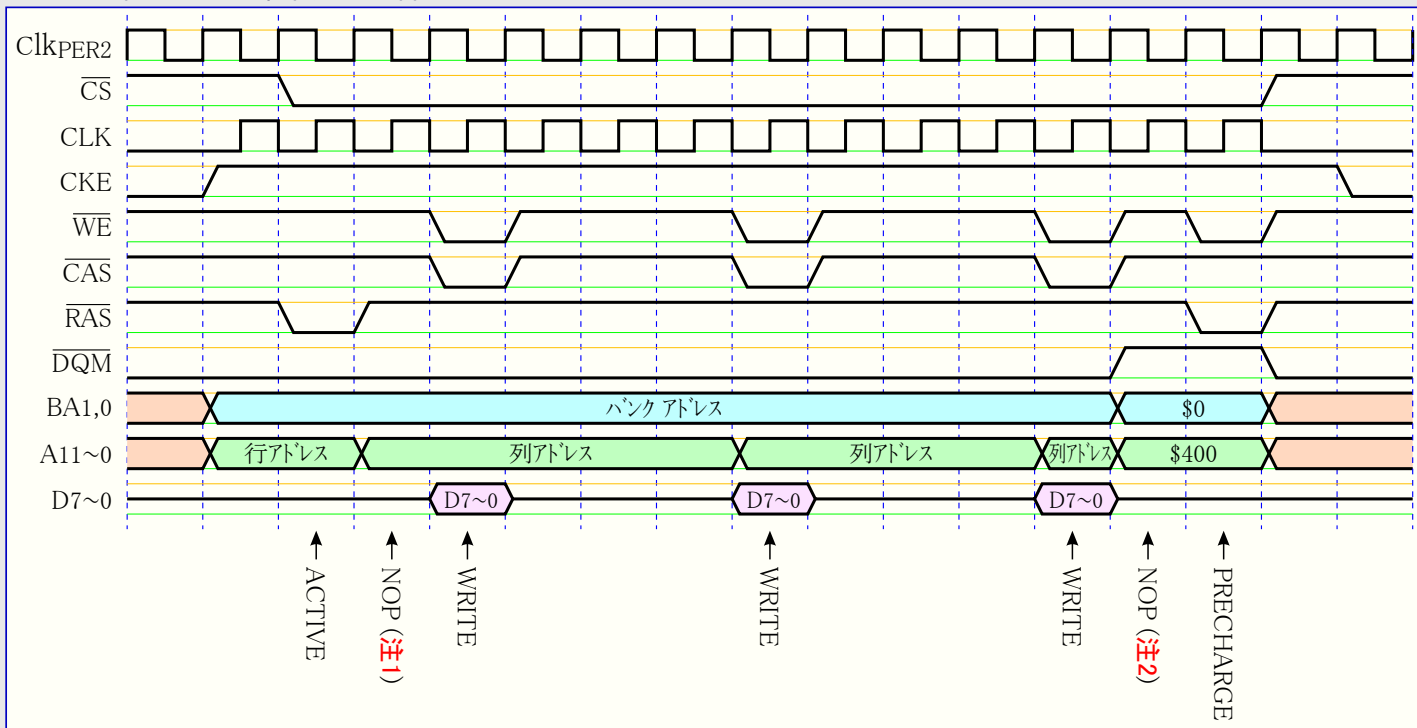


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-38. 単一ページ内集中(ハースト)書き込み

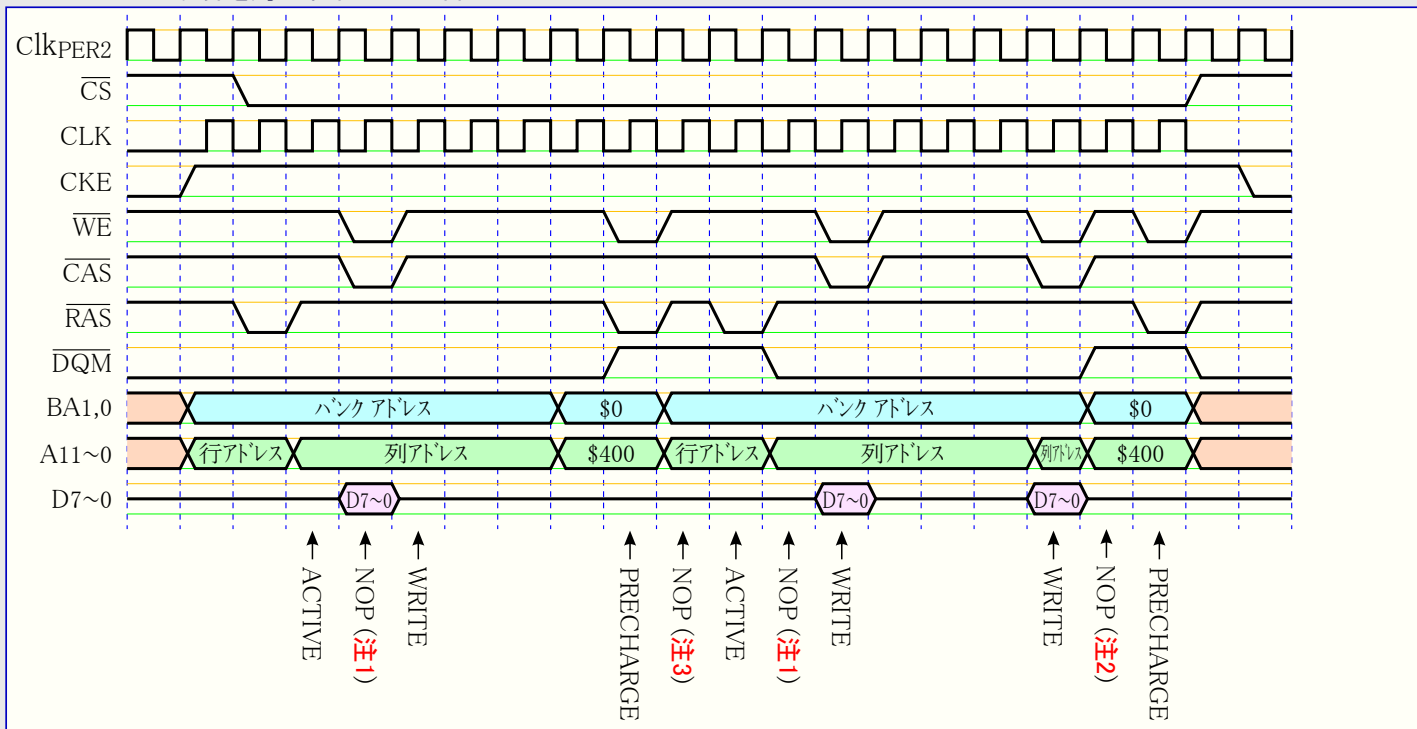


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-39. ページ境界を跨ぐ集中(ハースト)書き込み



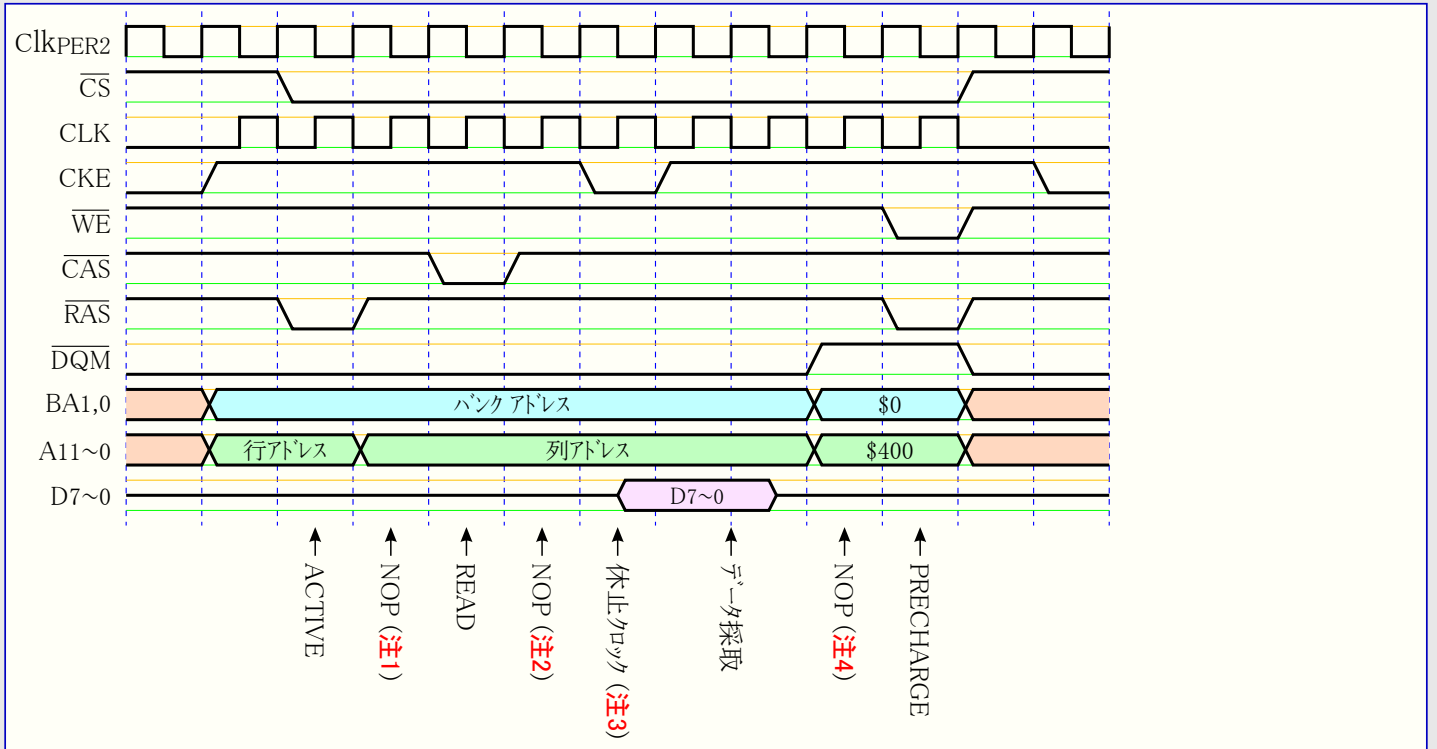
注1: NOPはSDRAM行後列遅延(ROWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

33.13. SDRAM 8ビット読み込み

図33-40. 単独読み込み



注1: NOPはSDRAM行後列遅延(RWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

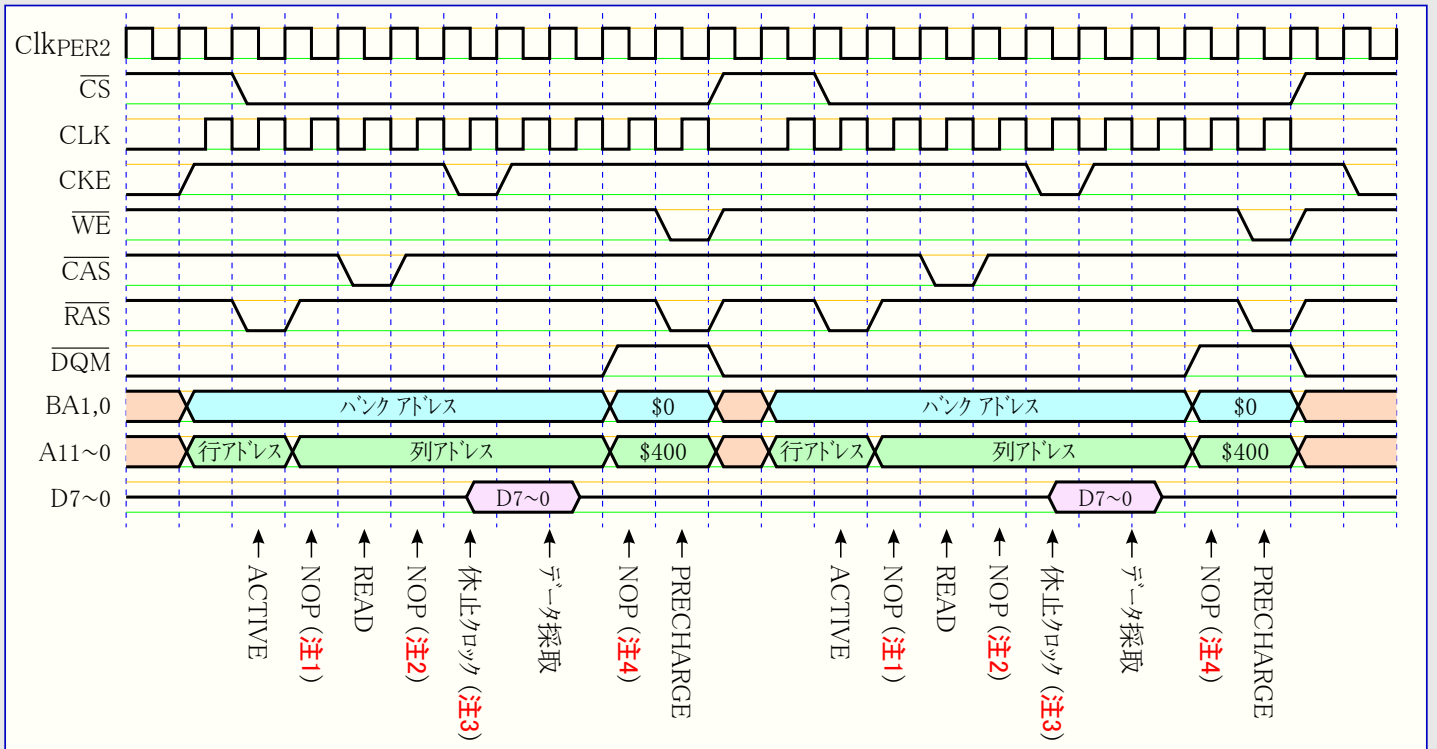
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍クロック正端でデータを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止クロック。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注5: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

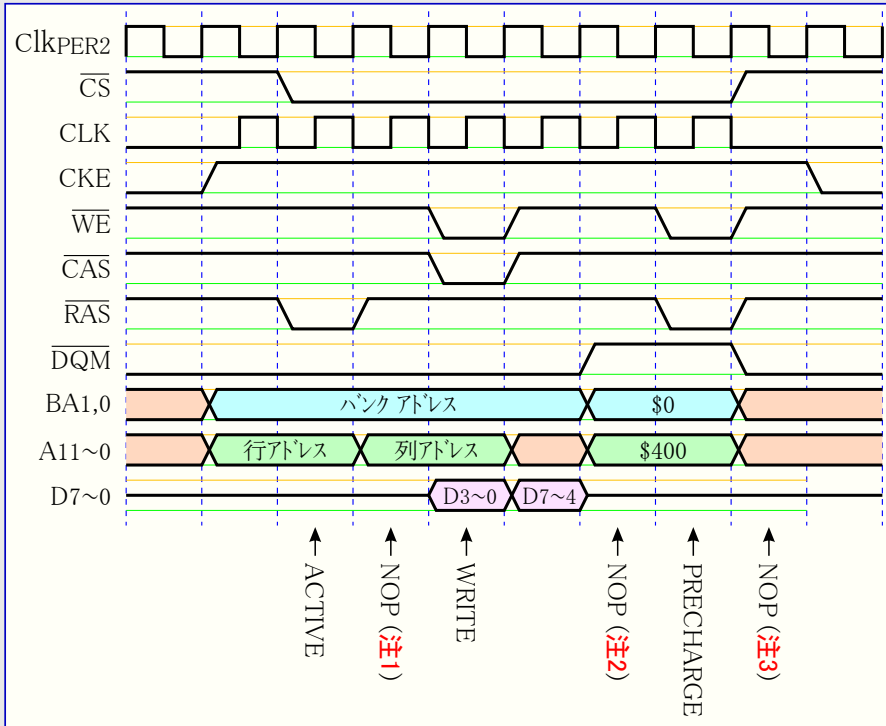
図33-41. 2連続読み込み



注1~5については上図(図33-40.)の同注をご覧ください。

33.14. SDRAM 4ビット書き込み

図33-44. 単独書き込み

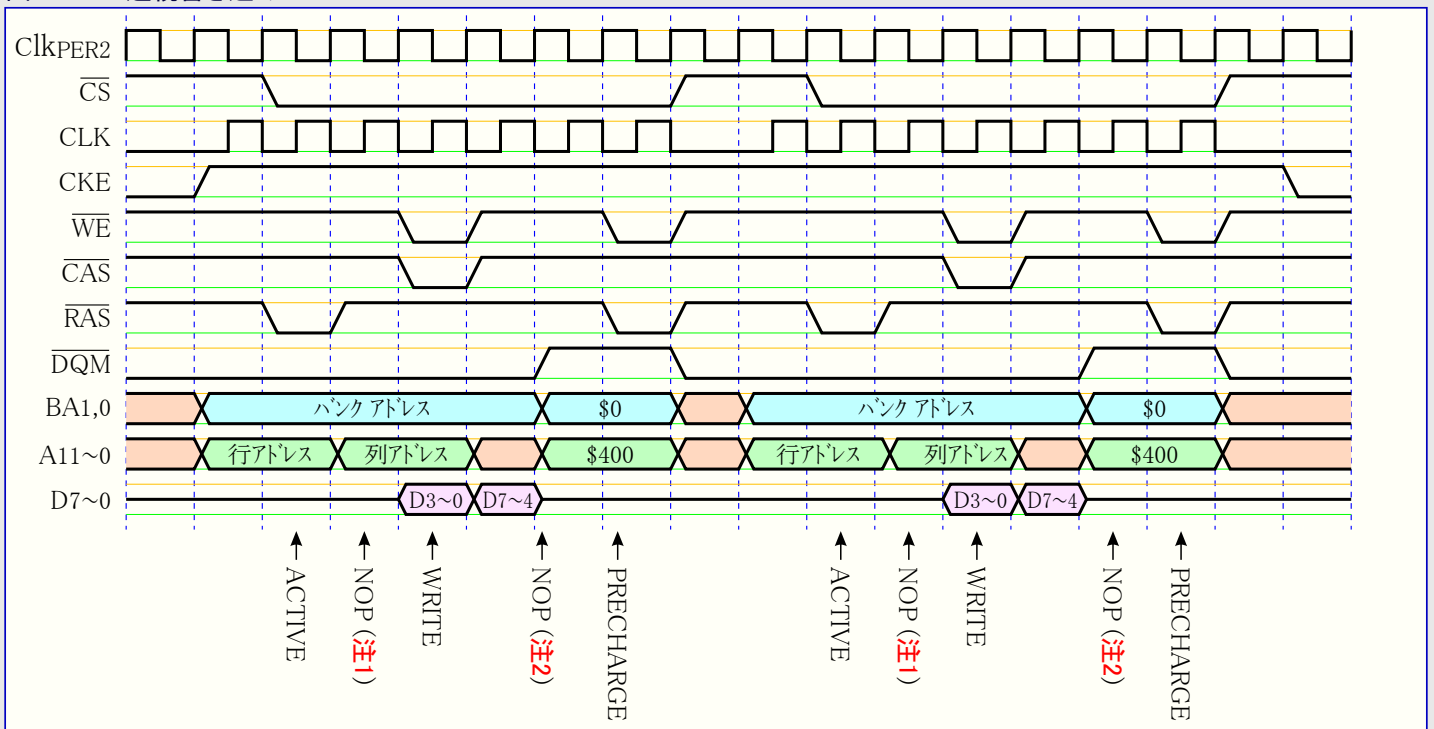


注1: NOPはSDRAM行後列遅延(ROWCOLDLY_{2~0})に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY_{Y1,0})に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY_{2~0})に等しい数です(図はRPDLY=1を示します)。

図33-45. 2連続書き込み

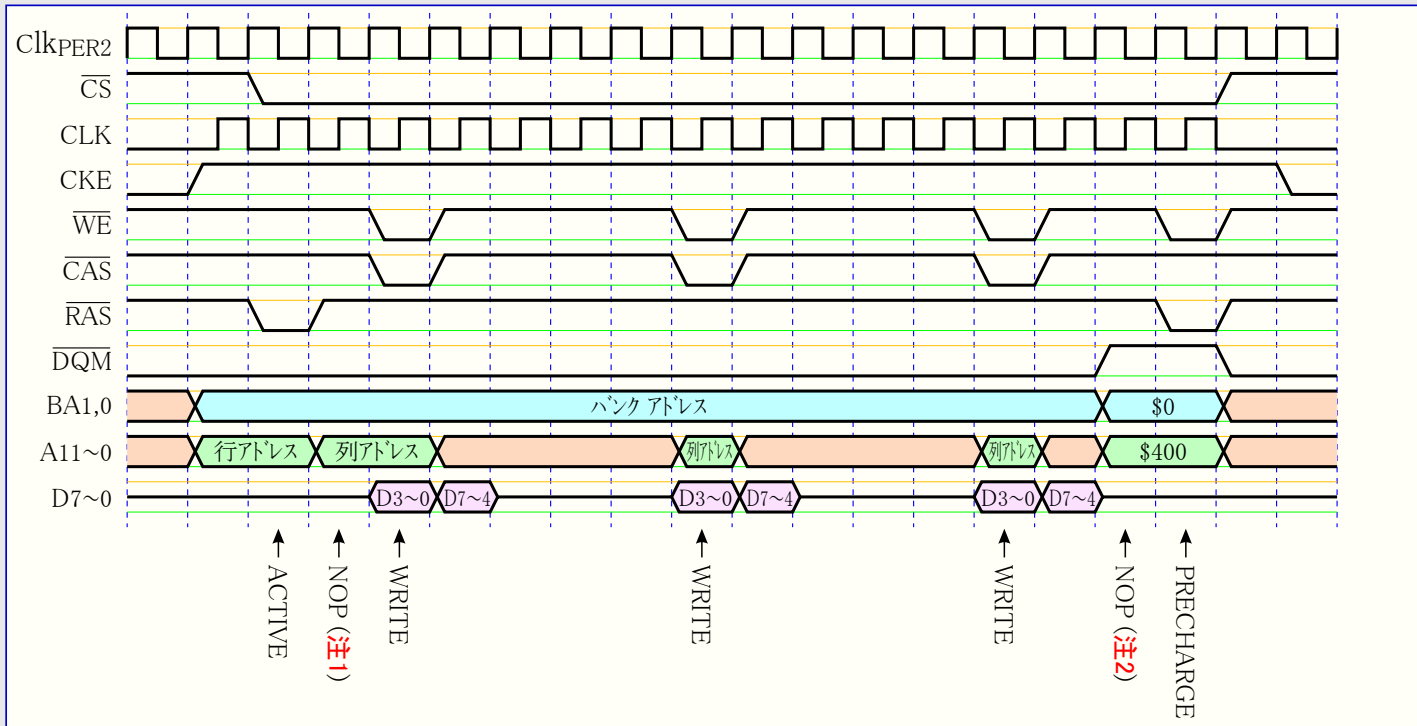


注1: NOPはSDRAM行後列遅延(ROWCOLDLY_{2~0})に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY_{Y1,0})に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY_{2~0})に等しい数です(図はRPDLY=1を示します)。

図33-46. 単一ページ内集中(ハースト)書き込み

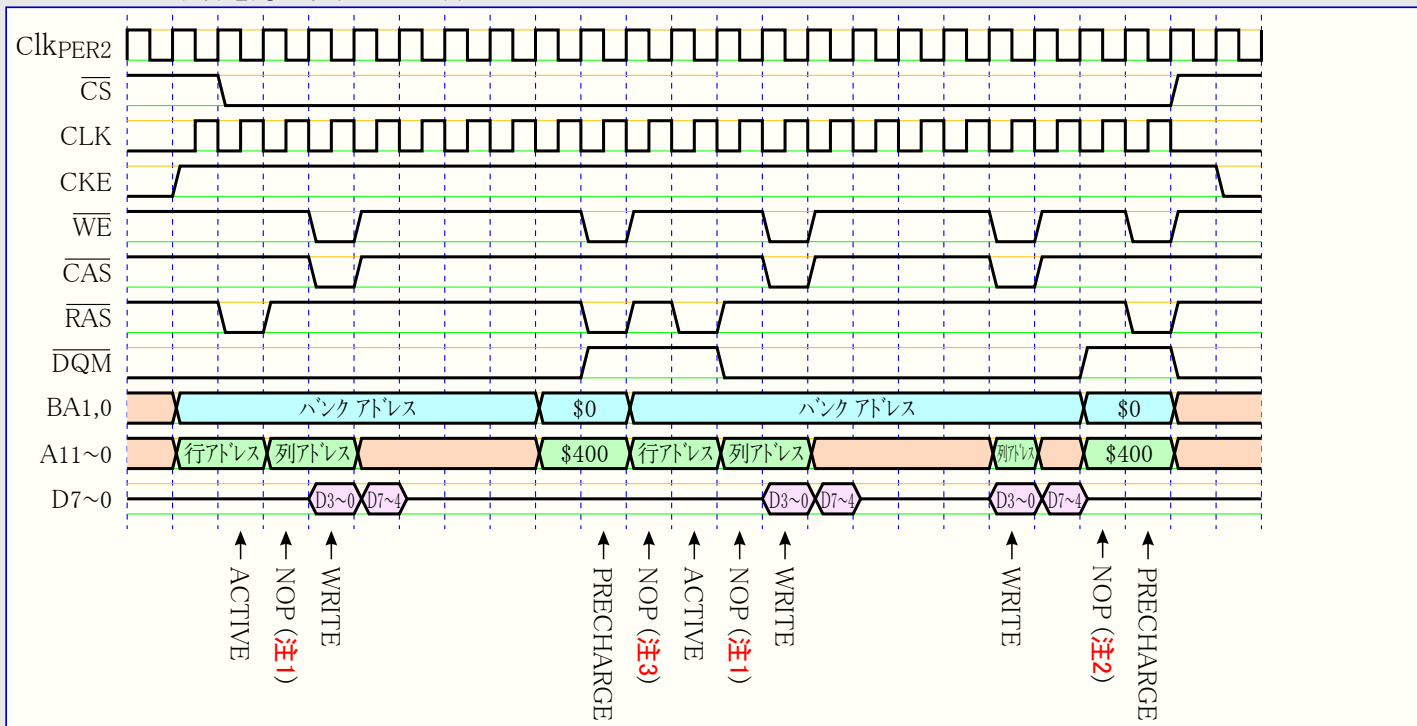


注1: NOPはSDRAM行後列遅延(RWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-47. ページ境界を跨ぐ集中(ハースト)書き込み



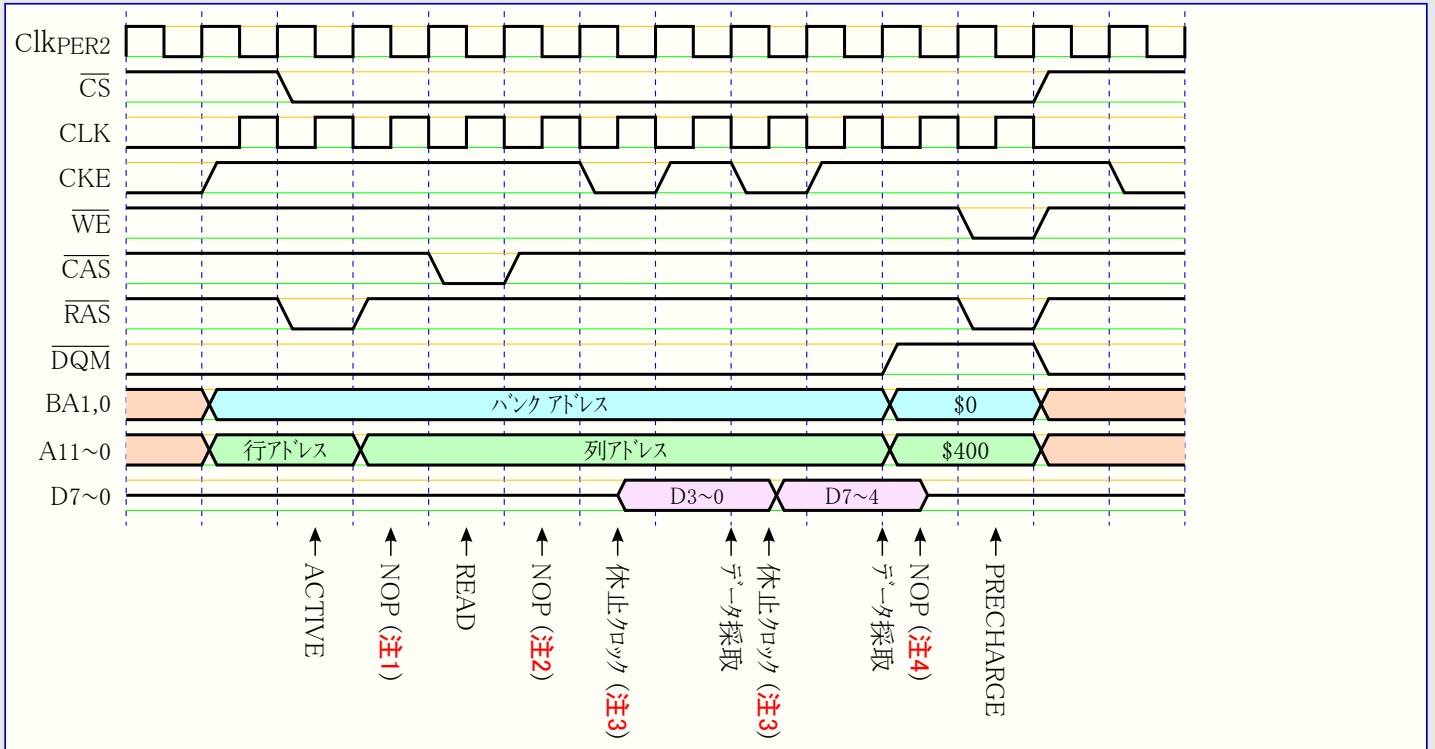
注1: NOPはSDRAM行後列遅延(RWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

33.15. SDRAM 4ビット読み込み

図33-48. 単独読み込み



注1: NOPはSDRAM行後列遅延(RWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

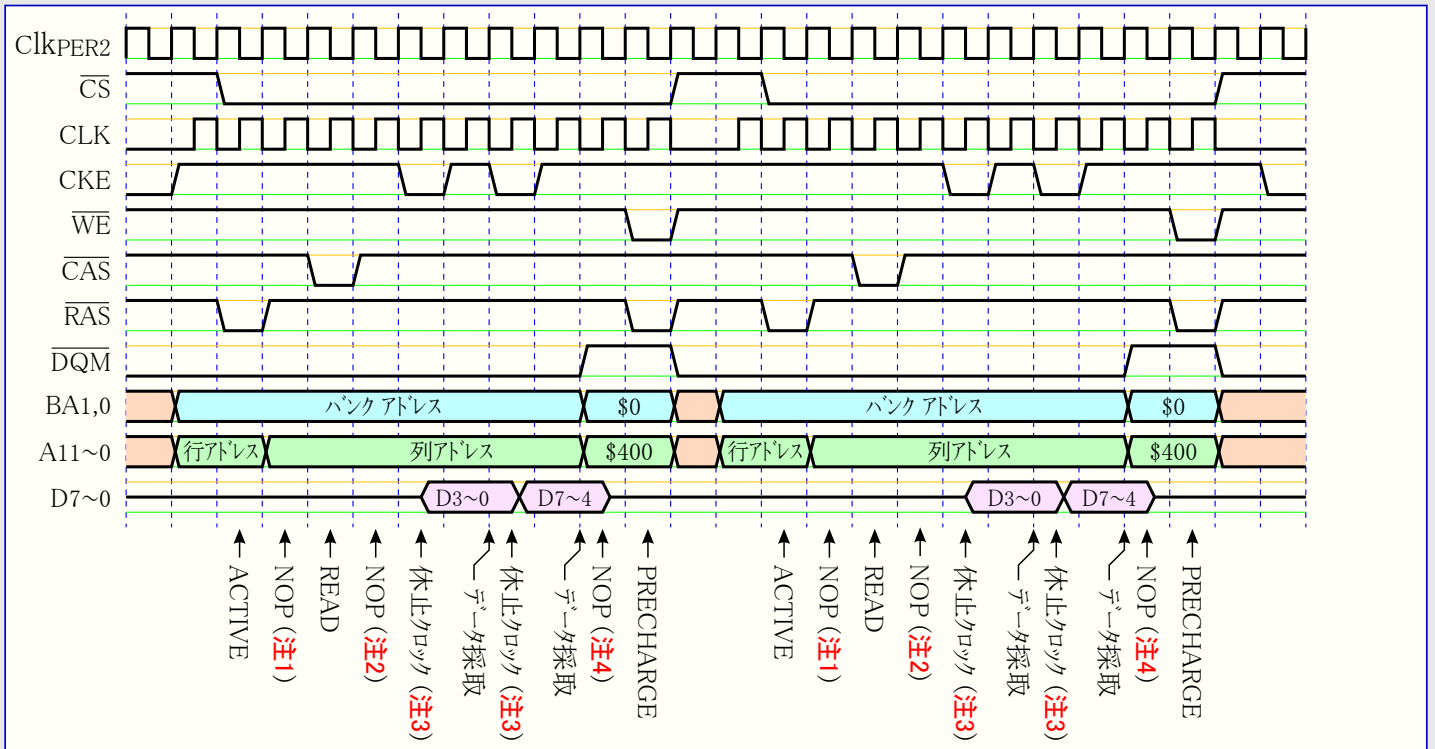
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍クロック正端でデータを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止クロック。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

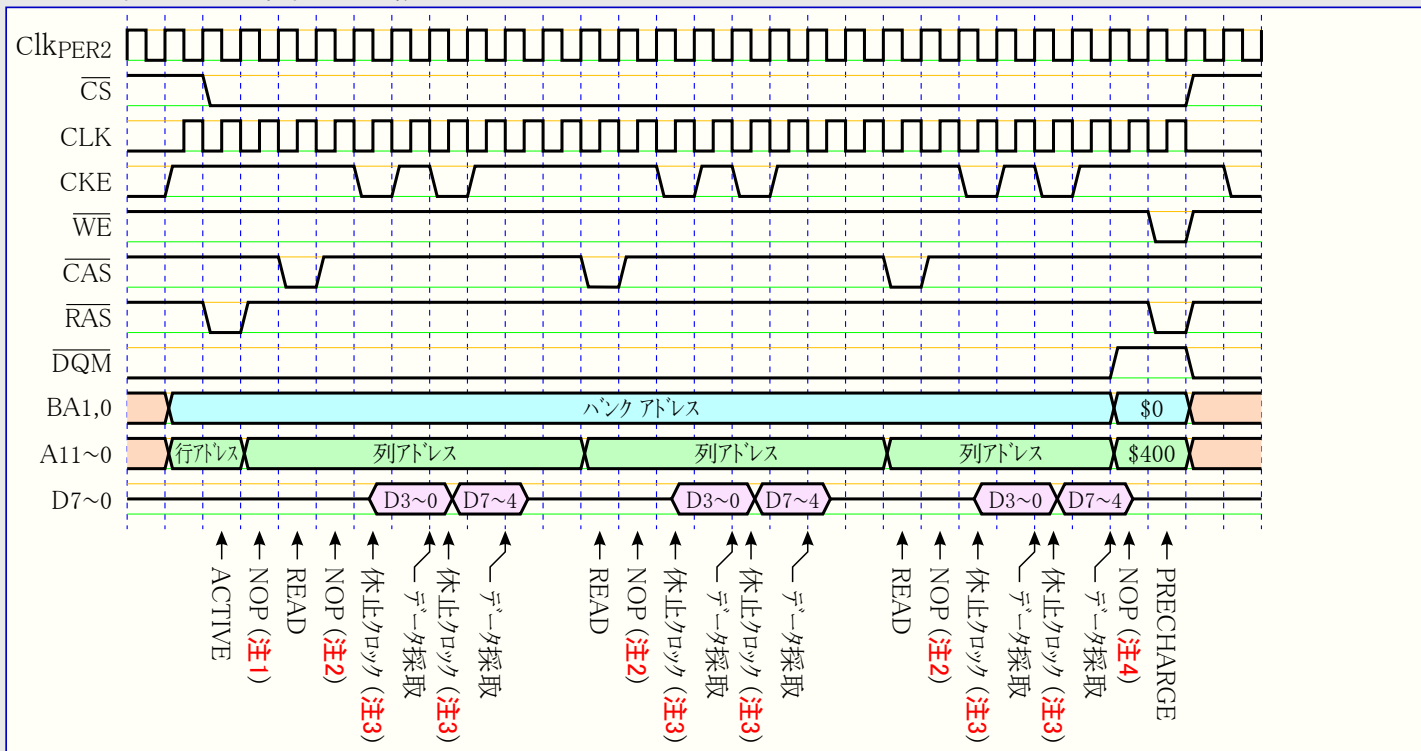
注5: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-49. 2連続読み込み



注1~5については上図(図33-48.)の同注をご覧ください。

図33-50. 単一ページ内集中(ハースト)読み込み



注1: NOPはSDRAM行後列遅延(ROWCOLDLY2~0)に等しい数です(図はROWCOLDLY=1を示します)。

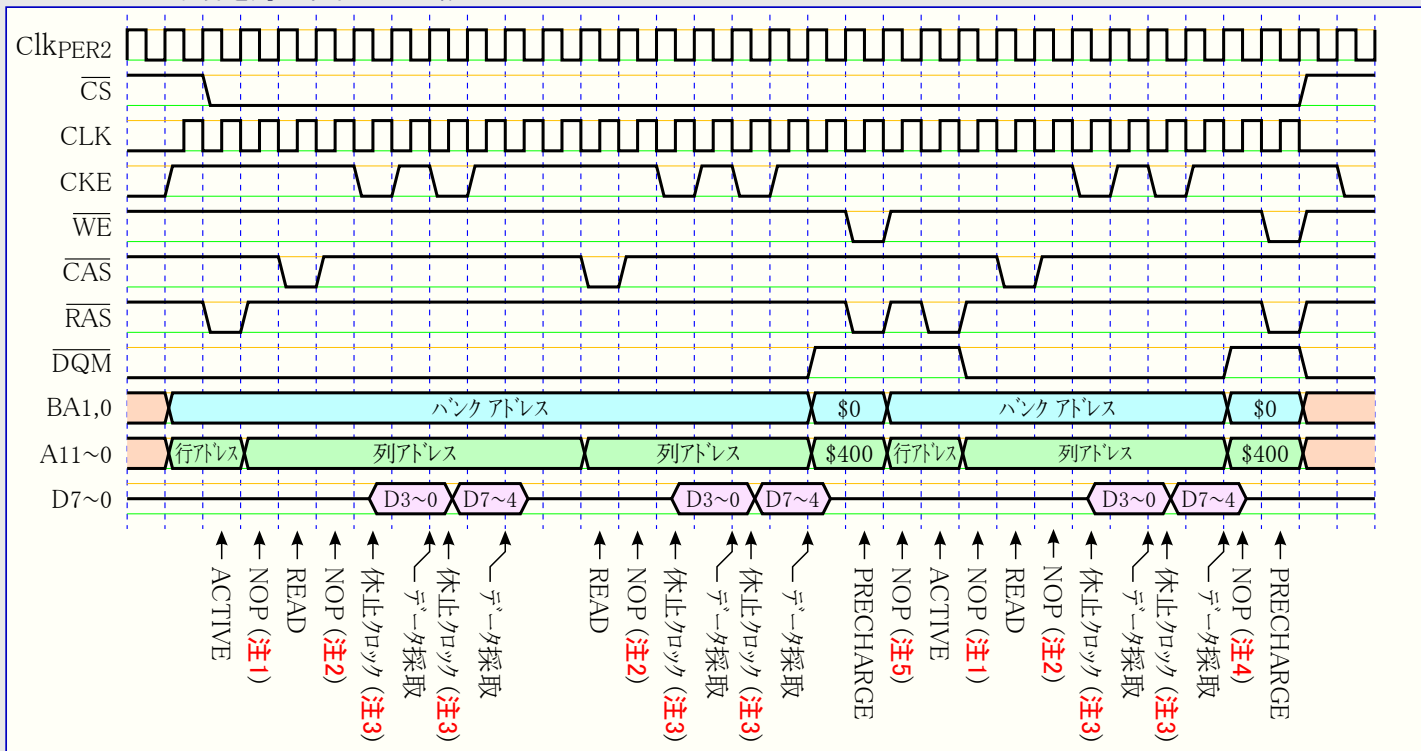
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍クロック正端でデータを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止クロック。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注5: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です(図はRPDLY=1を示します)。

図33-51. ページ境界を跨ぐ集中(ハースト)読み込み



注1~5については上図(図33-50.)の同注をご覧ください。

33.16. SDRAM 再活性 (リフレッシュ)

図33-52. アイドル時の自動再活性

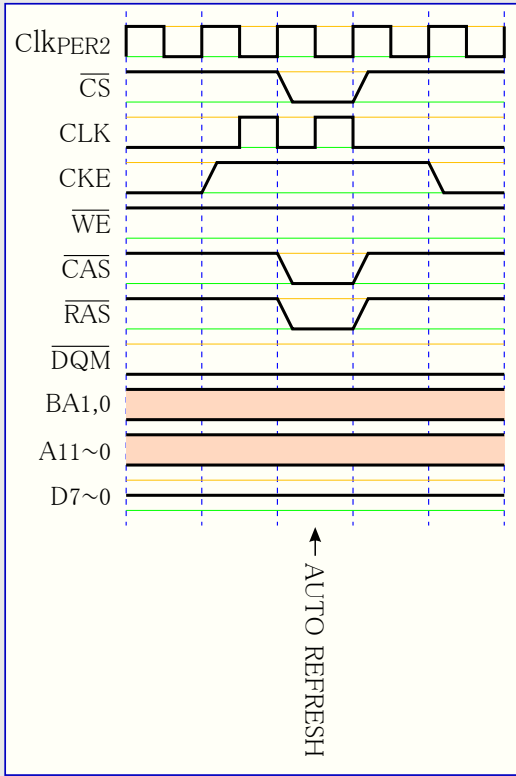
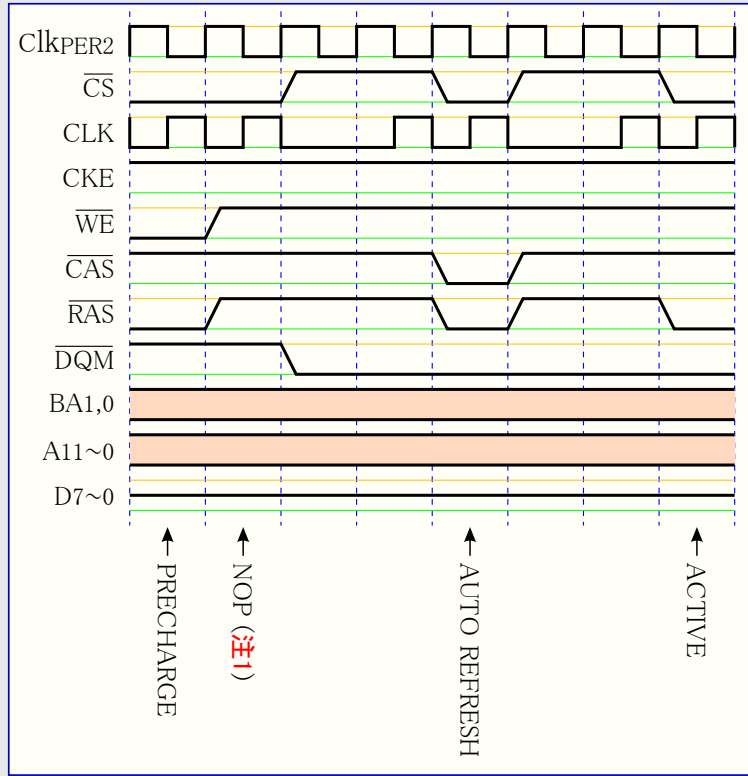


図33-53. 2つのアクセス間の自動再活性



注1: NOPはSDRAM行事前充電遅延(RPDLY2~0)に等しい数です (図はRPDLY=1を示します)。

図33-54. 自己再活性移行

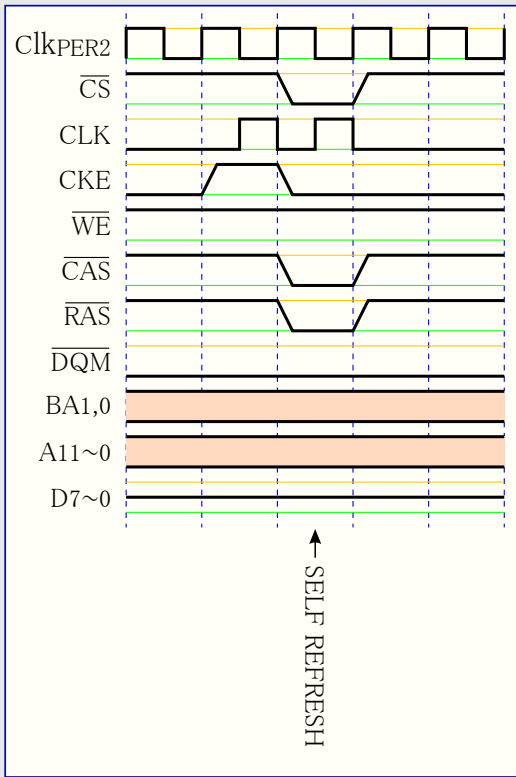
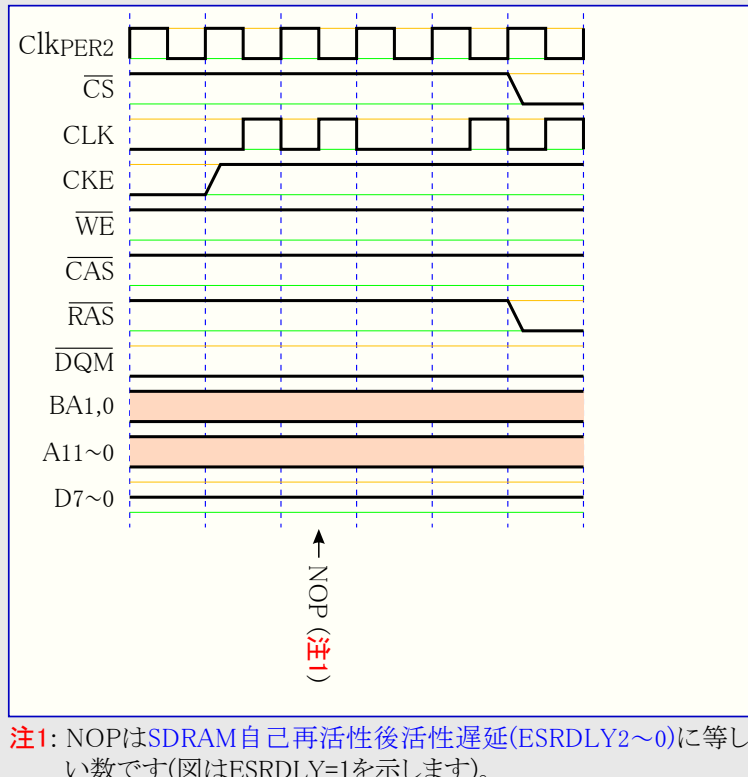


図33-55. 自己再活性抜け出し



注1: NOPはSDRAM自己再活性後活性遅延(ESRDLY2~0)に等しい数です (図はESRDLY=1を示します)。

34. データシート改訂履歴

本章での頁番号参照が本文書への参照であることに注意してください。本章での改訂参照は文書改訂版への参照です。

34.1. 8077A – 2008年2月

1. 初版

34.2. 8077B – 2008年5月 (訳注) 原書内容を整理したため、原書に対して項番号及び項構成が異なります。

1. 「概要」、「AVR CPU」、「DMAC – 直接メモリ アクセス制御器」、「メモリ」の配置を更新
2. 「ブートローダ – 自己プログラミング」と「外部プログラミング」節を削除
3. 188頁の「EBI – 外部バス インターフェース」、250頁の「メモリ プログラミング」、267頁の「命令一式要約」の新規項目を追加
4. 本文:
 - ・ 8頁の「3.8. スタックとスタック ポインタ」に最終段落を追加
 - ・ 15頁の「4.1. 要点」をフラッシュに対する要点一覧での「柔軟なソフトウェアCRC」で更新
 - ・ 48頁の「6.1. 要点」で要点を更新
 - ・ 75頁の「9.4.5. ソフトウェア リセット」で文章を更新
 - ・ 96頁の「13.12. 仮想ポート」を更新
 - ・ 202頁の「25.3. 入力元」で“singed”を“signed”に変更
 - ・ 221頁の「26.1. 要点」で「GNDへの出力駆動可能」の削除と「内部/外部基準電圧」の追加
 - ・ 前版での23.3.2.項と23.3.3.項を230頁の「27.3.2. 内部入力」で1つに合併
5. レジスタ:
 - ・ 91頁の「13. 入出力ポート」、106頁の「14. TC – 16ビットタイマ/カウンタ」、124頁の「15. AWeX – 新波形生成拡張」、132頁の「16. Hi Res – 高分解能拡張」、134頁の「17. RTC – 実時間計数器」、144頁の「19. TWI – 2線インターフェース」、160頁の「20. SPI – 直列周辺インターフェース」、164頁の「21. USART」、179頁の「22. I2C – 赤外線通信単位部」、201頁の「25. ADC – A/D変換器」、221頁の「26. DAC – D/A変換器」、229頁の「27. AC – アナログ比較器」、235頁の「28. IEEE 1149.1 JTAG境界走査インターフェース」、240頁の「29. プログラミングとデバッグ用インターフェース」でレジスタ記述、レジスタ名、レジスタビットを更新
 - ・ 30頁の「4.20. レジスタ説明 – MCU制御」でレジスタ名とビット名を更新
 - ・ 32頁の「4.20.8 AWEXLOCK – 新波形生成拡張施錠レジスタ」でAWEXELOCKビットを位置4から位置2へ変更
 - ・ 33頁の「4.21. レジスタ要約 – NVM制御器」でアドレスレジスタを更新
 - ・ 34頁の「4.23. レジスタ要約 – 製品識別列」で上位バイトと下位バイトを更新
 - ・ 35頁の「4.25. レジスタ要約 – MCU制御」で項全体を更新
 - ・ 47頁の「5.16. レジスタ説明 – DMAチャネル」でレジスタ名とビット名を更新
 - ・ 53頁の「6.8.2. CHnCTRL – 事象チャネルn制御レジスタ」でビット名を更新
 - ・ 55頁の「7. システム クロックとクロック選択」でレジスタ体裁、レジスタ名、レジスタビットを更新
 - ・ 70頁の「8.7. レジスタ説明 – 電力削減レジスタ」でレジスタ記述を更新
 - ・ 70頁の「8.7.1. PRGEN – 一般電力削減レジスタ」と72頁の「8.9. レジスタ要約 – 電力削減」でビット0を修正
 - ・ 137頁の「18.3.8. PERL – 定期レジスタ下位」と「18.3.9. PERH – 定期レジスタ上位」で初期値を\$FFに変更
 - ・ 185頁の「23.5. レジスタ説明 – AES」でレジスタ体裁を更新
 - ・ 225頁の「26.10.6. STATUS – 状態レジスタ」で“ビット内容”を更新
 - ・ 227頁の「26.10.10. CH1DATAL – DACチャネル1データ レジスタ下位バイト」の項目表題から括弧を削除
 - ・ 228頁の「26.11. レジスタ要約」で表の前に情報文を追加
 - ・ 228頁の「26.11. レジスタ要約」で“TRUEGND”ビットを削除
 - ・ 232頁の「27.9.3. CTRLA – 制御レジスタA」でAC0OUTの接続記述を変更(AC0OUTはピン0ではなく、ピン7に接続されます。)
 - ・ 232頁の「27.9.4. CTRLB – 制御レジスタB」でVSCALEの式を修正
 - ・ 前版での「21.14.6. CALCTRL」項を削除(削除項は試験専用でした。)
6. 図更新:
 - ・ 6頁の図3-1.、16頁の図4-1.、17頁の図4-2.、18頁の図4-3.、48頁の図6-1.をIRCOMで、55頁の図7-1.、96頁の図13-11.、107頁の図14-1.を正しい図で、108頁の図14-2.、148頁の図19-11.、208頁の図25-18.を脱色で、238頁の図28-2.と図28-3.をVisio描画置換で、240頁の図29-1.
 - ・ 4頁に新規の図2-1.を挿入
7. 表更新:
 - ・ 脚注とPORTA～FPINに対する脚注への参照を52頁の表6-3.に追加
 - ・ 63頁の表7-6.で表注を更新
 - ・ 68頁の表8-1.で表配置を更新
 - ・ 100頁の表13-6.でLowレベル説明の脚注を追加

34.3. 8077C – 2008年7月

1. 48頁で事象システムの「要点」を更新
2. 56頁の「32MHz走行時校正付き内部発振器」を更新
3. 89頁の「STATUS – 状態レジスタ」を更新

4. 115頁の「レジスタ説明」を更新
5. 122頁の「レジスタ要約」を更新
6. 182頁の「DES命令」を更新
7. 197頁の「SDRAMCTRLC – SDRAM制御レジスタC」を更新
8. 224頁の「TIMCTRL – タイミング制御レジスタ」を更新
9. 266頁に全般的な「レジスタ要約」を挿入(訳補:後に削除/改変)
10. 手引書内に割り込みベクタと267頁に「割り込みベクタ要約」を挿入(訳補:後に267頁の独立章削除)
11. 270頁に「追補A:EBIタイミング図」を挿入

34.4. 8077D – 2008年12月 (訳注) 原書内容を整理したため、原書に対して一部項番号が異なります。

1. 表紙更新
2. 15頁の「メモリ」の要点一覧を更新
3. 16頁で「製品識票列」を更新と、「使用者識票列」を挿入
4. 「メモリ」章内に識票列レジスタ説明追加、識票列要約をバイトアドレスで更新
5. 31頁の「MCUCR – MCU制御レジスタ」を更新
6. 33頁の「レジスタ要約 – ヒューズと施錠ビット」でFUSEBYTE5のBODACTヒューズビットの位置を更新
7. 35頁の「割り込みベクタ要約 – NVM制御器」を更新
8. 37頁の「チャネル間の優先権」を更新
9. 48頁で「事象システム」の概要を更新
10. 49頁の「ソフトウェア事象」と50頁の「事象経路網」を更新
11. 51頁の「直交復号器」を更新
12. 77頁に新規の「電池代替支援システム」を挿入
13. 92頁の「図13-1. 標準入出力ピン機能」を更新
14. 96頁の「図13-11. ホート無効化信号と関連論理回路」を更新
15. 99頁の表13-7.の表題を「事象チャネル0出力構成設定」に更新
16. 102頁の「表13-8. 事象チャネル出力構成設定」を更新
17. 111頁の「捕獲チャネル」を更新
18. 111頁の「周波数捕獲」を更新
19. レジスタのDTHMビット削除により、117頁の「CTRLC – 制御レジスタC」と122頁の「レジスタ要約」を更新
20. 134頁にRTC章の「割り込みの事象」を追加
21. 139頁に新規「RTC32 – 32ビット実時間計数器」章を挿入
22. 139頁でRTC32章の「概要」を更新
23. 157頁の「STATUS – 状態レジスタ」を更新(ビット7-DIFとビット6-APIF)
24. 173頁の「赤外線通信(IRCOM)動作」を更新
25. 175頁の「CTRLB – USART制御レジスタB」を更新(ビット2)
26. 注段落挿入で、180頁の「TXPLCTRL – IRCOM送信パルス制御レジスタ」と「RXPLCTRL – IRCOM受信パルス制御レジスタ」を更新
27. 195頁で「SDRAMCTRLA – SDRAM制御レジスタA」のビット2-SDROWを更新
28. 198頁でEBIの「CTRLA – チップ選択制御レジスタA」を更新
29. 最終列に頁番号を挿入することにより、200頁の「レジスタ要約 – EBI」を更新
30. 202頁のADC章「入力元」に符号なし入力の詳細を更に追加
31. 204頁の「変換結果」項にADC結果表現図を追加
32. 206頁にADC章「比較機能」を追加
33. 209頁のADC章「校正」を更新
34. 222頁のDAC章「タイミングの制限」を更新
35. 266頁に「周辺機能単位部アドレス割り当て」を追加

34.5. 8077E – 2009年1月

1. 75頁の「外部リセット」で図9-5.外部リセット特性を更新
2. 111頁の「捕獲チャネル」を更新
3. 208頁に「ADC入力モード」を追加
4. 222頁に「DAC出力モード」を追加

34.6. 8077F – 2009年2月

1. 74頁の表9-2を更新
2. 80頁の「STATUS – 電池代替支援状態レジスタ」を更新
3. 106頁の「概要」を更新
4. 111頁の「捕獲チャネル」を更新
5. 204頁の「変換結果」を更新
6. 220頁にADC章の「割り込みベクタ要約」を追加
7. データシートの参照リンクを更新

34.7. 8077G – 2009年4月

1. 22頁の「レジスタ説明 – ヒューズと施錠ビット」を更新
2. 35頁の「割り込みベクタ要約 – NVM制御器」を更新
3. 66頁の「COMP2 – 発振器比較レジスタ2」を更新
4. 106頁の「TC – 16ビット タイマ/カウンタ」を26章から14章へ移動
5. 143頁の「割り込みベクタ要約」を更新
6. 192頁の「EBIタイミング」を更新 (訳注:その後削除)
7. 205頁の図25-11を更新
8. 270頁の「追補A: EBIタイミング図」を更新

34.8. 8077H – 2009年12月

1. 20頁の「CTRLB – 制御レジスタB」を更新
2. XMEGA A手引書からスパイク検出器を削除
3. 24頁で「BOD電圧」の表を削除
4. 55頁の「システム クロックとクロック選択」を更新
5. 56頁の「内部発振器」を更新
6. 57頁の図7-5を更新
7. 73頁の「リセット体系」を更新
8. 74頁の表9-2を更新
9. 92頁で「I/Oピンの使い方と構成設定」を更新
10. 104頁の「レジスタ要約 – ポート構成設定」を更新
11. 135頁の「STATUS – 状態レジスタ」を更新
12. 152頁の「レジスタ説明 – TWI主装置」を更新
13. 158頁で「ADDR – アドレス レジスタ」の説明を更新
14. データシートの全てでRes:予約(Reserved)を予約(Reserved)に変更
15. 180頁で「レジスタ説明」内のIRCOMレジスタを更新
16. 201頁の「ADC – A/D変換器」を更新
17. 240頁の「プログラミングとデバッグ用インターフェース」を更新

34.9. 8077I – 2012年11月

1. XMEGA AU手引書に基づいて、更新された単位部説明と図
2. 校正列への参照を一貫性のために製品識票列へ更新
3. 16頁の「製品識票列」に255頁の「NVMフラッシュ指令」への参照を追加
4. 16頁の「ヒューズと施錠(Lock)ビット」にいくつかのヒューズを非プログラム(1)のままにする重大性の情報を追加
5. 21頁の「STATUS – 状態レジスタ」でアドレスを\$04から\$0Fに修正
6. 22頁の「FUSEBYTE0 – ヒューズ ハイ0」の初期値を更新
7. 26頁の「レジスタ説明 – 製品識票列」でレジスタ アドレスを修正
8. 26頁の「レジスタ説明 – 製品識票列」でレジスタ アドレスから“+”を削除
9. 42頁の「ADDRCTRL – アドレス制御レジスタ」でビット3をR/Wに更新
10. 45頁の「TRFCNTL – チャネルn塊転送数レジスタ下位」でビット1の初期値0から1に変更
11. 51頁の「QDEC初期設定」下の段階6.6と6.7を更新
12. 前置分周でのより多くの詳細に関して61頁の「RTCCTRL – RTC制御レジスタ」への参照を追加することによって56頁の「32kHz超低電力発振器」と「32.768kHz校正付き発振器」を更新
13. 69頁の「消費電力の最小化」に副項目として「チップ上デバッグ システム」を追加

14. 70頁の「ビット2 – RTC:実時間計数器」の記述を更新
15. 74頁の表9-2でBODLEVEL設定更新
16. 94頁の「入力感知構成設定」で図を更新
17. 128頁の「ビット5 – PGM:模様型生成動作」の記述を更新
18. 145頁で「I²CとSMBus適合性」を追加
19. 190頁の「アドレスラッチ」の記述を更新
20. 235頁の「検査入出力ポート (TAP:Test Access Port)」での記述を更新
21. 274頁の「LPC-SRAM 2ポート, ALE1, ALE2, CSなし」でEBIタイミング図を更新

目次

1. 手引書について	2	5.10. ソフトウェアリセット	38
1.1. 手引書の読み方	2	5.11. 保護	38
1.2. 資料	2	5.12. 割り込み	38
1.3. 推奨読物	2	5.13. レジスタ説明 - DMA制御器	39
2. 概要	3	5.14. レジスタ説明 - DMAチャネル	41
3. Atmel AVR CPU	6	5.15. レジスタ要約 - DMA制御器	47
3.1. 要点	6	5.16. レジスタ要約 - DMAチャネル	47
3.2. 概要	6	5.17. 割り込みベクタ要約	47
3.3. 構造概要	6	6. 事象システム	48
3.4. 算術論理演算器 (ALU)	7	6.1. 要点	48
3.5. プログラムの流れ	7	6.2. 概要	48
3.6. 命令実行タイミング	7	6.3. 事象	48
3.7. ステータスレジスタ	8	6.4. 事象経路網	50
3.8. スタックとスタックポインタ	8	6.5. 事象タイミング	50
3.9. レジスタファイル	8	6.6. 濾波	51
3.10. RAMPと間接拡張レジスタ	9	6.7. 直交復号器	51
3.11. 16ビットレジスタのアクセス	9	6.8. レジスタ説明	52
3.12. 構成設定変更保護	10	6.9. レジスタ要約	54
3.13. 施錠ヒューズ	10	7. システムクロックとクロック選択	55
3.14. レジスタ説明	11	7.1. 要点	55
3.15. レジスタ要約	14	7.2. 概要	55
4. メモリ	15	7.3. クロック配給	56
4.1. 要点	15	7.4. クロック元	56
4.2. 概要	15	7.5. システムクロック選択と前置分周器	57
4.3. フラッシュプログラムメモリ	16	7.6. 1~31の倍率を持つPLL	58
4.4. ヒューズと施錠(Lock)ビット	16	7.7. DFLL 2MHzとDFLL 32MHz	58
4.5. データメモリ	17	7.8. 外部供給元停止監視器	59
4.6. 内部SRAM	17	7.9. レジスタ説明 - クロック	60
4.7. EEPROM	17	7.10. レジスタ説明 - 発振器	62
4.8. I/Oメモリ	17	7.11. レジスタ説明 - DFLL32M/DFLL2M	65
4.9. 外部メモリ	17	7.12. レジスタ要約 - クロック	67
4.10. データメモリとバス調停	18	7.13. レジスタ要約 - 発振器	67
4.11. メモリタイミング	18	7.14. レジスタ要約 - DFLL32M/DFLL2M	67
4.12. デバイスIDと改訂	18	7.15. 発振器停止割り込みベクタ要約	67
4.13. JTAG禁止	18	8. 電力管理と休止形態動作	68
4.14. I/Oメモリ保護	18	8.1. 要点	68
4.15. レジスタ説明 - 不揮発性メモリ(NVM)制御器	19	8.2. 概要	68
4.16. レジスタ説明 - ヒューズと施錠ビット	22	8.3. 休止形態動作	68
4.17. レジスタ説明 - 製品識票列	26	8.4. 電力削減レジスタ	69
4.18. レジスタ説明 - 汎用I/Oメモリ	30	8.5. 消費電力の最小化	69
4.19. レジスタ説明 - 外部メモリ	30	8.6. レジスタ説明 - 休止	70
4.20. レジスタ説明 - MCU制御	30	8.7. レジスタ説明 - 電力削減	70
4.21. レジスタ要約 - NVM制御器	33	8.8. レジスタ要約 - 休止	72
4.22. レジスタ要約 - ヒューズと施錠ビット	33	8.9. レジスタ要約 - 電力削減	72
4.23. レジスタ要約 - 製品識票列	34	9. リセット体系	73
4.24. レジスタ要約 - 汎用I/Oレジスタ	35	9.1. 要点	73
4.25. レジスタ要約 - MCU制御	35	9.2. 概要	73
4.26. 割り込みベクタ要約 - NVM制御器	35	9.3. リセットの流れ	73
5. DMAC - 直接メモリ入出力制御器	36	9.4. リセット元	74
5.1. 要点	36	9.5. レジスタ説明	76
5.2. 概要	36	9.6. レジスタ要約	76
5.3. DMA単位処理	37	10. 電池代替支援システム	77
5.4. 転送起動元	37	10.1. 要点	77
5.5. アドレス指定	37	10.2. 概要	77
5.6. チャネル間の優先権	37	10.3. 電池代替支援システム	77
5.7. 2重緩衝	38	10.4. 構成設定	78
5.8. 転送緩衝部	38	10.5. 操作	78
5.9. 異常検出	38	10.6. レジスタ説明	80

10.7.	レジスタ要約	81	15.5.	模様型生成	126
11.	WDT – ウォッチドッグ タイマ	82	15.6.	障害保護	127
11.1.	要点	82	15.7.	レジスタ説明	128
11.2.	概要	82	15.8.	レジスタ要約	131
11.3.	標準動作	82	16.	Hi-Res – 高分解能拡張	132
11.4.	窓動作	82	16.1.	要点	132
11.5.	ウォッチドッグ タイマ クロック	82	16.2.	概要	132
11.6.	構成設定保護と施錠	83	16.3.	レジスタ説明	133
11.7.	レジスタ説明	84	16.4.	レジスタ要約	133
11.8.	レジスタ要約	85	17.	RTC – 実時間計数器	134
12.	割り込みと設定可能な多段割り込み制御器	86	17.1.	要点	134
12.1.	要点	86	17.2.	概要	134
12.2.	概要	86	17.3.	レジスタ説明	135
12.3.	動作	86	17.4.	レジスタ要約	138
12.4.	割り込み	86	17.5.	割り込みベクタ要約	138
12.5.	割り込み段位	88	18.	RTC32 – 32ビット実時間計数器	139
12.6.	割り込み優先権	88	18.1.	要点	139
12.7.	割り込みベクタ位置	88	18.2.	概要	139
12.8.	レジスタ説明	89	18.3.	レジスタ説明	140
12.9.	レジスタ要約	90	18.4.	レジスタ要約	143
13.	入出力ポート	91	18.5.	割り込みベクタ要約	143
13.1.	要点	91	19.	TWI – 2線インターフェース	144
13.2.	概要	91	19.1.	要点	144
13.3.	I/Oピンの使い方と構成設定	92	19.2.	概要	144
13.4.	ピン値の読み方	94	19.3.	一般的なTWIバスの概念	144
13.5.	入力感知構成設定	94	19.4.	TWIバス状態論理	148
13.6.	ポート割り込み	95	19.5.	TWI主装置動作	148
13.7.	ポート事象	95	19.6.	TWI従装置動作	149
13.8.	ポート機能交換	95	19.7.	外部駆動部インターフェース許可	151
13.9.	スリューレート制御	96	19.8.	レジスタ説明 – TWI	152
13.10.	クロックと事象の出力	96	19.9.	レジスタ説明 – TWI主装置	152
13.11.	複数構成設定	96	19.10.	レジスタ説明 – TWI従装置	156
13.12.	仮想ポート	96	19.11.	レジスタ要約 – TWI	159
13.13.	レジスタ説明 – ポート	97	19.12.	レジスタ要約 – TWI主装置	159
13.14.	レジスタ説明 – ポート構成設定	101	19.13.	レジスタ要約 – TWI従装置	159
13.15.	レジスタ説明 – 仮想ポート	103	19.14.	割り込みベクタ要約	159
13.16.	レジスタ要約 – ポート	104	20.	SPI – 直列周辺インターフェース	160
13.17.	レジスタ要約 – ポート構成設定	104	20.1.	要点	160
13.18.	レジスタ要約 – 仮想ポート	105	20.2.	概要	160
13.19.	割り込みベクタ要約 – ポート	105	20.3.	主装置動作	160
14.	TC0/1 – 16ビット タイマ/カウンタ0型と1型	106	20.4.	従装置動作	161
14.1.	要点	106	20.5.	データ転送種別	161
14.2.	概要	106	20.6.	DMA支援	161
14.3.	構成図	108	20.7.	レジスタ説明	162
14.4.	クロック元と事象元	109	20.8.	レジスタ要約	163
14.5.	2重緩衝	109	20.9.	割り込みベクタ要約	163
14.6.	計数器動作	110	21.	USART	164
14.7.	捕獲チャネル	111	21.1.	要点	164
14.8.	比較チャネル	112	21.2.	概要	164
14.9.	割り込みと事象	113	21.3.	クロック生成	165
14.10.	DMA支援	114	21.4.	フレーム構成	168
14.11.	タイマ/カウンタ指令	114	21.5.	USART初期化	168
14.12.	レジスタ説明	115	21.6.	データ送信 – USART送信部	168
14.13.	レジスタ要約	122	21.7.	データ受信 – USART受信部	169
14.14.	割り込みベクタ要約	123	21.8.	非同期データ受信	170
15.	AWeX – 新波形生成拡張	124	21.9.	分数ポーレート生成	171
15.1.	要点	124	21.10.	主装置SPI動作でのUSART	172
15.2.	概要	124	21.11.	USART SPIとSPIの比較	173
15.3.	ポート無効化	125	21.12.	複数プロセッサ通信動作	173
15.4.	沈黙時間挿入	126	21.13.	赤外線通信(IRC0M)動作	173

21.14.	DMA支援	173	26.9.	校正	222
21.15.	レジスタ説明	174	26.10.	レジスタ説明	223
21.16.	レジスタ要約	178	26.11.	レジスタ要約	228
21.17.	割り込みベクタ要約	178	27.	AC – アナログ比較器	229
22.	IRCOM – 赤外線通信単位部	179	27.1.	要点	229
22.1.	要点	179	27.2.	概要	229
22.2.	概要	179	27.3.	入力元	230
22.3.	レジスタ説明	180	27.4.	信号比較	230
22.4.	レジスタ要約	181	27.5.	割り込みと事象	230
23.	AESとDESの暗号エンジン	182	27.6.	窓動作	230
23.1.	要点	182	27.7.	入力ヒステリシス	230
23.2.	概要	182	27.8.	伝播遅延対電力消費	230
23.3.	DES命令	182	27.9.	レジスタ説明	231
23.4.	AES暗号単位部	183	27.10.	レジスタ要約	234
23.5.	レジスタ説明 – AES	185	27.11.	割り込みベクタ要約	234
23.6.	レジスタ要約 – AES	187	28.	IEEE 1149.1 JTAG境界走査インターフェース	235
23.7.	割り込みベクタ要約	187	28.1.	要点	235
24.	EBI – 外部バス インターフェース	188	28.2.	概要	235
24.1.	要点	188	28.3.	検査入出力ポート (TAP)	235
24.2.	概要	188	28.4.	JTAG命令	236
24.3.	チップ選択	188	28.5.	境界走査チェーン	238
24.4.	EBIロック	189	28.6.	データレジスタ	238
24.5.	SRAM構成設定	189	29.	プログラミングとデバッグ用インターフェース	240
24.6.	SRAM LPC構成設定	190	29.1.	要点	240
24.7.	SDRAM構成設定	191	29.2.	概要	240
24.8.	I/Oピンとピン出力構成設定	192	29.3.	PDI物理層	241
24.9.	レジスタ説明 – EBI	194	29.4.	JTAG物理層	243
24.10.	レジスタ説明 – EBI チップ選択	198	29.5.	PDI制御器	244
24.11.	レジスタ要約 – EBI	200	29.6.	レジスタ説明 – PDI命令とアドレス指定レジスタ	248
24.12.	レジスタ要約 – EBI チップ選択	200	29.7.	レジスタ説明 – PDI制御/状態レジスタ	248
25.	ADC – A/D変換器	201	29.8.	レジスタ要約	249
25.1.	要点	201	30.	メモリプログラミング	250
25.2.	概要	201	30.1.	要点	250
25.3.	入力元	202	30.2.	概要	250
25.4.	ADCチャンネル	204	30.3.	NVM制御器	250
25.5.	基準電圧選択	204	30.4.	NVM指令	250
25.6.	変換結果	204	30.5.	NVM制御器多忙状態	251
25.7.	比較機能	206	30.6.	フラッシュメモリとEEPROMのページ緩衝部	251
25.8.	変換の開始方法	206	30.7.	フラッシュメモリとEEPROMのプログラミング手順	252
25.9.	ADCクロックと変換タイミング	206	30.8.	NVMの保護	253
25.10.	ADC入力モード	208	30.9.	NVM化けの防止	253
25.11.	DMA転送	209	30.10.	CRC機能	253
25.12.	割り込みと事象	209	30.11.	自己プログラミングとブートローダ支援	253
25.13.	校正	209	30.12.	外部プログラミング	261
25.14.	チャンネル優先権	209	30.13.	レジスタ説明	265
25.15.	同期採取	209	30.14.	レジスタ要約	265
25.16.	レジスタ説明 – ADC	210	31.	周辺機能単位部アドレス割り当て	266
25.17.	レジスタ説明 – ADCチャンネル	214	32.	命令一式要約	267
25.18.	レジスタ要約 – ADC	219	33.	追補A: EBIタイミング図	270
25.19.	レジスタ要約 – ADCチャンネル	220	33.1.	SRAM 3ポート, ALE1, CS	270
25.20.	割り込みベクタ要約	220	33.2.	SRAM 3ポート, ALE1, ALE2, CS	270
26.	DAC – D/A変換器	221	33.3.	SRAM 4ポート, ALE2, CS	271
26.1.	要点	221	33.4.	SRAM 4ポート, ALEなし, CS	272
26.2.	概要	221	33.5.	LPC SRAM 2ポート, ALE1, ALE2, CS	272
26.3.	基準電圧選択	221	33.6.	LPC SRAM 3ポート, ALE1, CS	272
26.4.	変換の開始	221	33.7.	LPC SRAM 2ポート, ALE1, CS	273
26.5.	出力と出力チャンネル	222	33.8.	SRAM 3ポート, ALE1, CSなし	273
26.6.	DAC出力モード	222	33.9.	SRAM 4ポート, ALEなし, CSなし	273
26.7.	DACクロック	222	33.10.	LPC SRAM 2ポート, ALE1, ALE2, CSなし	274
26.8.	タイミングの制限	222	33.11.	SDRAM初期化	274

33.12.	SDRAM 8ビット書き込み	275
33.13.	SDRAM 8ビット読み込み	277
33.14.	SDRAM 4ビット書き込み	279
33.15.	SDRAM 4ビット読み込み	281
33.16.	SDRAM 再活性 (リフレッシュ)	283
34.	データシート改訂履歴	284
34.1.	8077A - 2008年2月	284
34.2.	8077B - 2008年5月	284
34.3.	8077C - 2008年7月	284
34.4.	8077D - 2008年12月	285
34.5.	8077E - 2009年1月	285
34.6.	8077F - 2009年2月	286
34.7.	8077G - 2009年4月	286
34.8.	8077H - 2009年12月	286
34.9.	8077I - 2012年11月	286



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2012 Atmel Corporation. 不許複製 / 改訂:8077I-AVR-11/2012

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATxmega A英語版手引書(改訂8077I-11/2012)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。