



8/16ビット Atmel XMEGA A1 マイクロコントローラ

ATxmega128A1, ATxmega64A1

新規設計には推奨されません。
- XMEGA AIU系を使ってください。

特徴

暫定

- 高性能、低消費8/16ビットAtmel® AVR® XMEGA® マイクロコントローラ
- データメモリと不揮発性プログラムメモリ
 - 実装自己書き換え(ISP)可能な64~128Kバイト(32~64K語)フラッシュメモリ
 - 独立した施錠ビットを持つ4~8Kバイト(2~4K語)ブートコード領域
 - 2KバイトのEEPROM
 - 4~8Kバイトの内部SRAM
 - 16MバイトまでのSRAM用外部バスインターフェース
 - 128MビットまでのSDRAM用外部バスインターフェース
- 内蔵周辺機能
 - 4チャンネルのDMA制御器
 - 8チャンネルの事象システム
 - 8つの16ビットタイマ/カウンタ
 - 4つの比較チャンネルまたは捕獲チャンネルを持つ、4つのタイマ/カウンタ
 - 2つの比較チャンネルまたは捕獲チャンネルを持つ、4つのタイマ/カウンタ
 - 全てのタイマ/カウンタでの高分解能拡張
 - 2つのタイマ/カウンタでの新波形拡張
 - 1つのUSARTに対するIrDA(赤外線通信)支援を持つ、8つのUSART
 - 2重アドレス一致を持つ、4つの2線インターフェース(I²CとSMBus適合)
 - 4つの直列周辺インターフェース(SPI:Serial Peripheral Interface)周辺機能
 - AESとDESの暗号エンジン
 - 独立した発振器を持つ、16ビット実時間計数器
 - 8チャンネル、12ビット、2M採取/秒の2つのA/D変換器
 - 2チャンネル、12ビット、1M採取/秒の2つのD/A変換器
 - 窓比較機能を持つ、4つのアナログ比較器
 - 全ての汎用I/Oピンでの外部割り込み
 - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグタイマ
 - QTouch® ライブラリ支援
 - 容量性接触釦、滑動部、輪
- 特殊マイクロコントローラ機能
 - 電源ONリセットと設定可能な低電圧検出(BOD)
 - PLLと前置分周器を持つ、内部及び外部のクロック任意選択
 - 設定可能な多段割り込み制御器
 - 5つの休止形態動作
 - プログラミングとデバッグ用インターフェース
 - 境界走査を含むJTAG(IEEE 1149.1適合)インターフェース
 - PDI(Program and Debug Interface)
- I/Oと外圍器
 - 設定可能な78本のI/O線
 - 100ピンTQFP、100球CBGA、100球VFBGA
- 動作電圧
 - 1.6~3.6V
- 速度性能
 - 0~12MHz/1.6~3.6V
 - 0~32MHz/2.7~3.6V

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外囲器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega64A1-AU	64KB+4KB	2KB	4KB	100A			
ATxmega64A1-AUR (注4)							
ATxmega128A1-AU	128KB+8KB	2KB	8KB				
ATxmega128A1-AUR (注4)							
ATxmega64A1-CU	64KB+4KB	2KB	4KB	100C1	32	1.6~3.6V	-40°C~85°C
ATxmega64A1-CUR (注4)							
ATxmega128A1-CU	128KB+8KB	2KB	8KB				
ATxmega128A1-CUR (注4)							
ATxmega64A1-C7U	64KB+4KB	2KB	4KB	100C2			
ATxmega64A1-C7UR (注4)							
ATxmega128A1-C7U	128KB+8KB	2KB	8KB				
ATxmega128A1-C7UR (注4)							

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 外囲器情報については53頁の「外囲器情報」をご覧ください。

注4: テープとリール。

外囲器形式

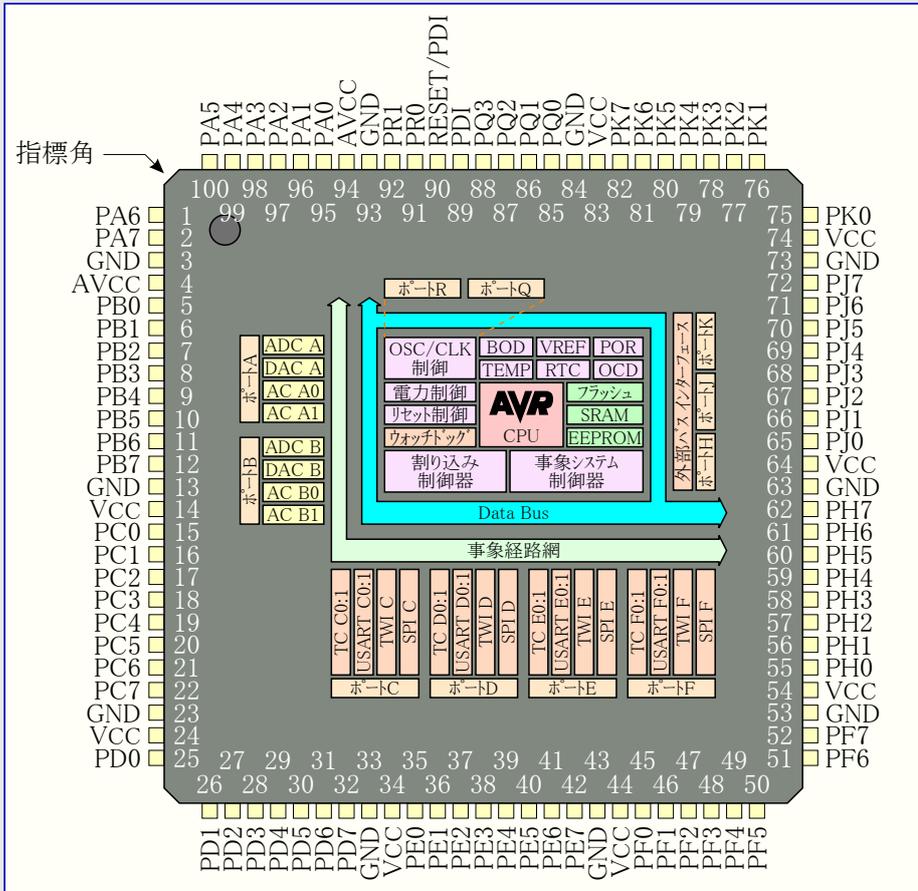
100A	100リード 14×14×1.0mm厚 0.5mmピッチ 薄型プラスチック4方向平板外囲器 (TQFP)
100C1	100球 9×9×1.2mm本体 0.8mmピッチ 削端球格子配列外囲器 (CBGA)
100C2	100球 7×7×1.0mm本体 0.65mmピッチ 極薄細密球格子配列外囲器 (VFBGA)

代表的な応用

- | | | |
|---------|--------------|----------------|
| ・ 工業制御 | ・ 環境制御 | ・ 低電力電池応用 |
| ・ 工場自動化 | ・ RFとZigBee® | ・ 電力ツール |
| ・ 建築制御 | ・ USB接続性 | ・ 室内環境制御(HVAC) |
| ・ 基板制御 | ・ 感知器制御 | ・ 実用計器 |
| ・ 白物家電 | ・ 光学 | ・ 医療応用 |

2. ピン配置/構成図

図2-1. 構成図とピン配置



注: 1. ピン配置とピン機能の完全な詳細については44頁の「ピン配置とピン機能」を参照してください。

2. 32.768kHzクリスタルへのGNDのより容易な配線を許すために83/84ピンのVCC/GNDは他のVCC/GNDと比較して交換されています。

図2-2. BGAピン配置

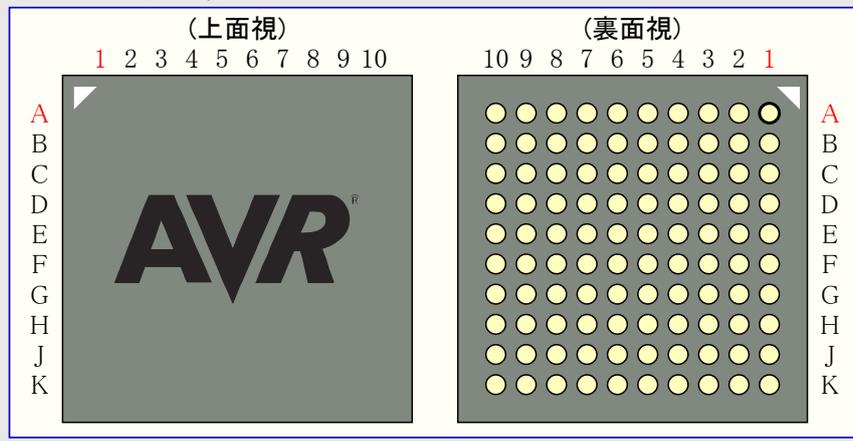


表2-1. BGAピン配列

	1	2	3	4	5	6	7	8	9	10
A	PK0	VCC	GND	PJ3	VCC	GND	PH1	GND	VCC	PF7
B	PK3	PK2	PK1	PJ4	PH7	PH4	PH2	PH0	PF6	PF5
C	VCC	PK5	PK4	PJ5	PJ0	PH5	PH3	PF2	PF3	VCC
D	GND	PK6	PK7	PJ6	PJ1	PH6	PF0	PF1	PF4	GND
E	PQ0	PQ1	PQ2	PJ7	PJ2	PE7	PE6	PE5	PE4	PE3
F	PR1	PR0	RESET/PDI_CLK	PDI_DATA	PQ3	PC2	PE2	PE1	PE0	VCC
G	GND	PA1	PA4	PB3	PB4	PC1	PC6	PD7	PD6	GND
H	AVCC	PA2	PA5	PB2	PB5	PC0	PC5	PD5	PD4	PD3
J	PA0	PA3	PB0	PB1	PB6	PC3	PC4	PC7	PD2	PD1
K	PA6	PA7	GND	AVCC	PB7	VCC	GND	VCC	GND	PD0

3. 概要

Atmel AVR XMEGAはAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する命令によって、AVR XMEGAデバイスはシステム設計者に対して電力消費対処理速度の最適化を可能とするMHz当たり100万命令に達するCPU単位時間処理能力を達成します。

Atmel AVR CPUは32個の汎用レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA A1デバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、4チャンネルのDMA制御器、8チャンネルの事象システム、設定可能な多段割り込み制御器、78本の汎用入出力線、16ビット実時間計数器(RTC)、比較動作とPWM付きの8つの柔軟な16ビット タイマ/カウンタ、8つのUSART、4つの2線直列インターフェース(TWI)、4つの直列周辺インターフェース(SPI)、AESとDESの暗号エンジン、設定可能な利得を持つ2つの16チャンネル 12ビットA/D変換器、2つの2チャンネル 12ビットD/A変換器、窓動作を持つ4つのアナログ比較器(AC)、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。デバイスはIEEE規格1149.1適合JTAGインターフェースも持ち、これは境界走査、チップ上デバッグとプログラミングにも使うことができます。

XMEGA A1デバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方、SRAM、DMA制御器、事象システム、割り込み制御器と全ての周辺機能に機能の継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWIまたはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作ではクリスタル発振子/セラミック振動子用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部クリスタルからの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能クロックは活動動作とアイドル動作に於いて任意で停止することができます。

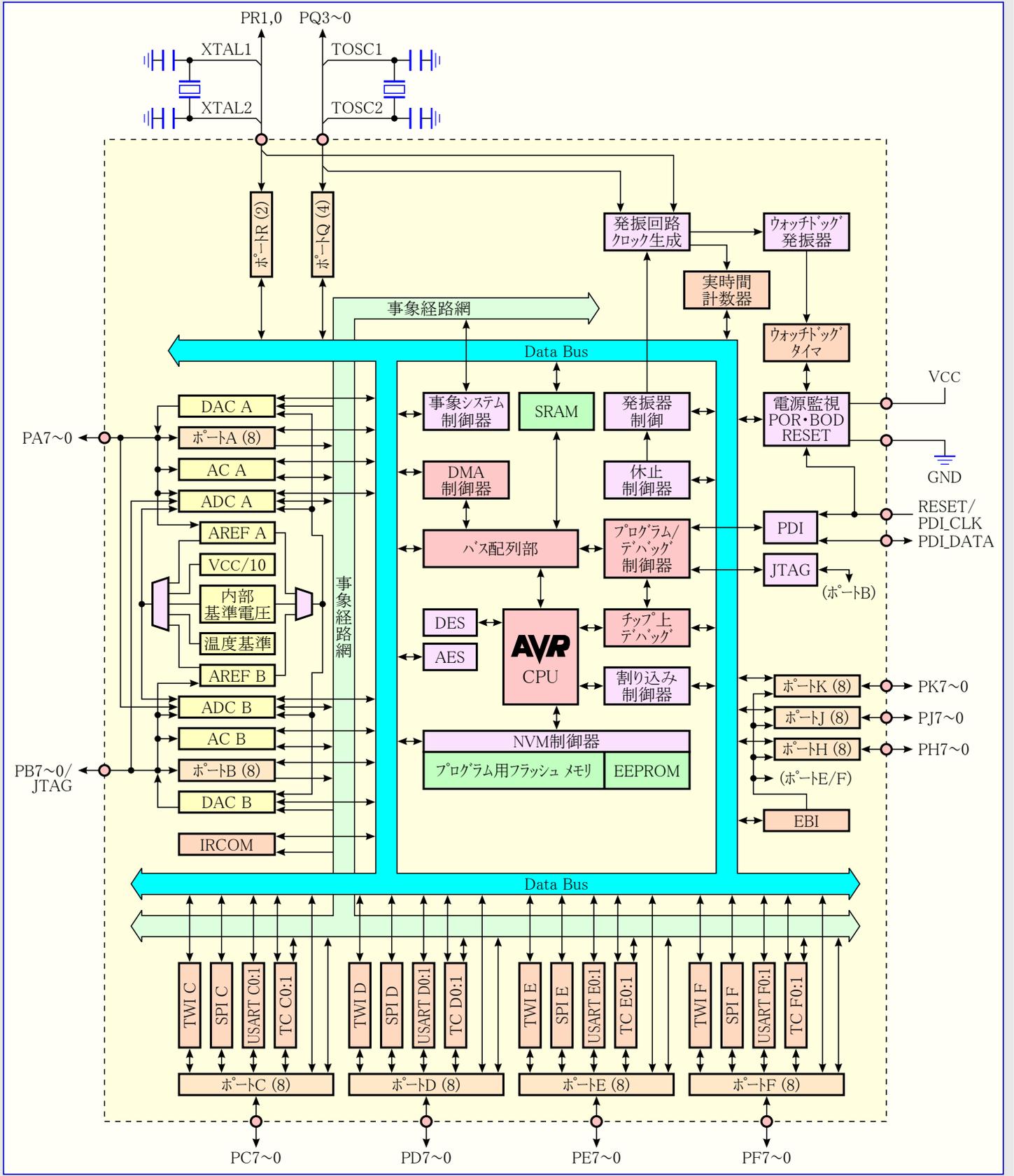
AtmelはAVRマイクロ コントローラへ容量性接触釦、滑動部、輪を組み込むためのQTouchライブラリを提供します。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュ メモリはPDIまたはJTAGインターフェースを通して実装書き換えをすることができます。デバイス内で走行するブートローダはフラッシュ メモリにアプリケーションプログラムを取得格納するのにどのインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダ ソフトウェアはアプリケーションフラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合によって、AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

全てのAtmel AVR XMEGAデバイスはCコンパイラ、マクロアセンブラ、プログラム デバッグ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃いで支援されます。

3.1. 構成図

図3-1. XMEGA A1構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>でのダウンロードに関して利用可能です。

4.1. 推奨読物

- XMEGA A 手引書
- XMEGA 応用記述

このデバイス データシートは各単位部と周辺機能の短い記述とデバイス固有情報だけを含みます。XMEGA A 手引書は単位部と周辺機能を広く深く記述します。XMEGA 応用記述はコード例を含み、単位部と周辺機能を適用する使い方を示します。

XMEGAの手引書と応用記述は www.atmel.com/avr から利用可能です。

5. 容量性接触感知

AtmelのQTouchライブラリはAtmelの殆どのAVRマイクロ コントローラ上の接触感知インターフェース実現の解決策を使うための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制TM(AKSTM)技術を含みます。QTouchライブラリはQTouchとQMatrix採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なAtmel QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャンネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャンネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のAtmelのウェブサイトからダウンロードすることができます。 www.atmel.com/qtouchlibrary 実装の詳細とその他の情報についてはAtmelのウェブサイトからも入手可能な「QTouchライブラリ使用者の手引き」を参照してください。

6. お断り

未だ利用可能でないデバイスについて、本データシート内に含まれる代表値は同じ製法技術で製造された他のAVR XMEGAマイクロ コントローラの特性とシミュレーションに基づいています。最小と最大の値はデバイスが特性付けされた後で利用可能になるでしょう。

7. AVR CPU

7.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 138命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- SRAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタックポインタ
- 16Mバイトまでのプログラムと16Mバイトのデータのメモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する支援
- システム重要特性の構成設定変更保護

7.2. 概要

Atmel AVR XMEGAデバイスは8/16ビットAVR CPUを使います。CPUの主な機能は、コードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムを実行することができます。割り込みの扱いは独立した章で記述され、22頁の「割り込みと設定可能な多段割り込み制御器」を参照してください。

7.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとバスを持つハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の詳細については<http://atmel.com/avr>を参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はレジスタ間または定数とレジスタ間の算術と論理の操作を支援します。単一レジスタ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レジスタファイルに直接的に接続されます。32×8ビット汎用作業レジスタの全てがレジスタ間またはレジスタと即値間での単一周期算術論理部(ALU)操作を許す単一周期アクセス時間を持ちます。32個中の6つのレジスタは効率的なアドレス計算を許す、プログラムとデータの空間をアドレス指定するための3つの16ビットアドレスポインタとして使うことができます。

メモリ空間は直線状です。データメモリ空間とプログラムメモリ空間は2つの異なるメモリ空間です。

データメモリ空間はI/Oレジスタ、SRAM、外部RAMに分けられます。加えて、データメモリ内にEEPROMをメモリ割り当てすることができます。

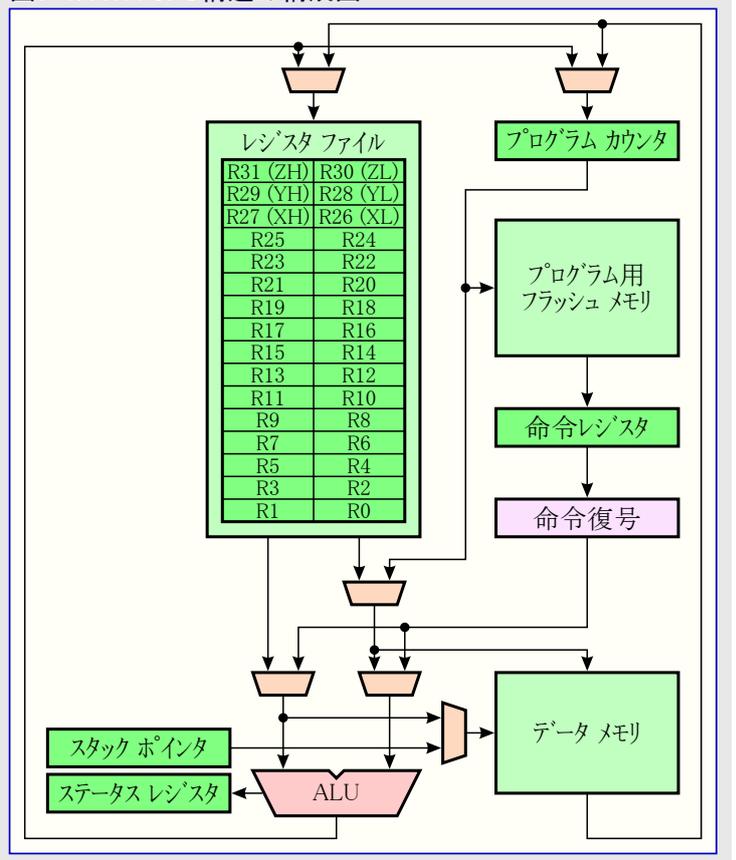
全てのI/Oの状態と制御のレジスタはデータメモリの最下位4Kバイトのアドレスに属します。これはI/Oメモリ空間として参照されます。最下位60アドレスは直接、または\$00～\$3Fのデータ空間位置としてアクセスすることができます。残りは\$0040～\$0FFFに連なる拡張I/Oメモリ空間です。このI/Oレジスタは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。SRAMはAVR構造で支援される5つの異なるアドレス指定形態を通して容易にアクセスすることができます。

\$1000～\$1FFFのデータアドレスはメモリ割り当てEEPROM用に予約されています。

プログラムメモリは応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ビットを持ちます。応用フラッシュメモリの自己プログラミングに使われるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラムメモリ内の不揮発性データの格納を減らすのに使うことができます。

図7-1. AVR CPU構造の構成図



7.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作の実行もできます。ALUは32個の汎用レジスタ全てとの直接接続で動作します。単一クロック周期内で、汎用レジスタ間、またはレジスタと即値間の算術操作が実行されて結果がレジスタ ファイルに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにステータスレジスタが更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、**命令一式**は効率的な32ビット演算の実装を可能にします。ハードウェア乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

7.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUクロック周期かかります。

7.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アドレス '\$000000' から命令の実行を始めます。プログラム カウンタ(PC)は取得されるべき次の命令を指示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ビット語形式を用い、一方限られた若干が32ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC (値)がスタックに格納されます。スタックは一般的なデータ用SRAM内に割り当てられ、結果としてスタック容量は総SRAM容量とSRAMの使い方だけによって制限されます。リセット後のスタック ポインタ(SP)は内部SRAM内の最上位アドレスを指し示します。SPIはI/Oメモリ空間で読み書きアクセスが可能で、スタックまたはスタック領域の容易な複数実装を可能にします。データ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にアクセスすることができます。

7.6. ステータス レジスタ

ステータスレジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。ステータスレジスタは「**命令一式手引書**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータスレジスタはI/Oメモリ空間でアクセスできます。

7.7. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データの格納にも使えます。スタック ポインタ(SP)レジスタは常にスタックの先頭(注:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。データは**PUSH**命令と**POP**命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならない、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されます。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/-2されます。128Kバイトを超えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスは**RETI**命令を使って割り込みから、または**RET**命令を使ってサブルーチン呼び出しから戻る時にスタックから取得されます。

データが**PUSH**命令でスタックに格納される時にSPは-1され、**POP**命令を使ってスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

リセット後、スタック ポインタはSRAMの最高アドレスに初期化されます。12ページの図8-2をご覧ください。

7.8. レジスタ ファイル

レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレスレジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

8. メモリ

8.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Reprogrammable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダ コード用ブートローダ領域
 - 全領域に対する独立した読み/書き保護施錠ビット
 - 選択可能なフラッシュ プログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - バイトまたはページでのアクセスが可能
 - 直接取得/格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
 - 全体変数またはフラグ用にビット アクセス可能な16個の汎用I/Oレジスタ
 - 外部メモリ支援
 - SRAM
 - SDRAM
 - メモリ割り当て外部ハードウェア
 - バス調停
 - CPU、DMA制御器、他のバス所有者間の決定論的な優先順処理
 - SRAM、EPROM、I/Oメモリ、外部メモリのアクセスに対する独立バス
 - CPUとDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識票列メモリ
 - 各マイクロ コントローラに対するデバイスID
 - 各デバイスに対する通番
 - 発振器校正バイト
 - A/D変換器、D/A変換器、温度感知器の校正データ
- 使用者識票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後も内容保持

8.2. 概要

Atmel AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コードはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリバンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズ バイトを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は2ページの「注文情報」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュメモリ識票列を持っています。

8.3. 実装書き込み可能なフラッシュ プログラム メモリ

Atmel AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各アドレス位置は16ビットです。フラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持っています。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令はブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶を許します。

応用表領域とブート領域は一般的な応用ソフトウェアにも使うことができます。

図8-1. フラッシュプログラムメモリ (16進アドレス)

語アドレス		
ATxmega128A1	ATxmega64A1	
0000	0000	応用領域 (128/64Kバイト)
0EFFF	77FF	
0F000	7800	応用表領域 (8/4Kバイト)
0FFFF	7FFF	
10000	8000	ブート領域 (8/4Kバイト)
10FFF	87FF	

8.3.1. 応用領域 (Application Section)

応用領域は実行可能なアプリケーションコードを格納するために使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

8.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここにアプリケーションコードが存在できます。

8.3.3. ブートローダ領域 (Boot Loader Section)

応用領域がアプリケーションコードの格納に使われる一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダソフトウェアはブートローダ領域に配置されなければなりません。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダソフトウェア用に使われないなら、ここにアプリケーションコードを格納することができます。

8.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正值はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。校正条件の詳細については54頁の「電気的特性」を参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。利用可能なデバイスに対するデバイスIDは表7-1.で示されます。

製品識票列は消去や書き込みができませんが、アプリケーションソフトウェアと外部書き込み器から読むことができます。

表8-1. デバイスIDバイト

デバイス	内容		
	第1バイト	第2バイト	第3バイト
ATxmega64A1	1E	96	4E
ATxmega128A1	1E	97	4C

8.3.5. 使用者識票列 (User Signature Row)

使用者識票列はアプリケーションソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的なユーザーパラメータ記憶を予定されています。この領域はフラッシュメモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

8.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するために使われ、外部プログラミングインターフェースから書くことができます。アプリケーションソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や、始動構成設定、JTAG許可とJTAGユーザーIDに使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器とアプリケーションソフトウェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えばチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

ヒューズと施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

8.5. データメモリ

データメモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMを含みます。データメモリは1つの続いたメモリ領域として構成されます。図8-2をご覧ください。開発を簡単化するため、全てのAtmel AVR XMEGAデバイスでI/Oメモリ、EEPROMとSRAMは常に同じ開始アドレスを持ちます。外部メモリ用のアドレス空間は常に内部SRAMの終り(の次)で始まり、アドレス\$FFFFFFで終わります。

図8-2. データメモリ割り当て (16進アドレス)

バイトアドレス		
ATxmega128A1	ATxmega64A1	
0000	0000	I/Oメモリ (4/4Kバイト)
0FFF	0FFF	
1000	1000	EEPROM (2/2Kバイト)
17FF	17FF	(予約)
2000	2000	内部SRAM (8/4Kバイト)
3FFF	2FFF	
4000	3000	外部メモリ (0~16Mバイト)
FFFFFF	FFFFFF	

8.6. EEPROM

全てのデバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でのアドレス指定、または通常のデータ空間にメモリ配置割り当てしてアクセスする、のどちらかにできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。

8.7. I/Oメモリ

CPUを含む単位部と周辺機能に関する状態と構成設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

XMEGA A1での全ての周辺機能と単位部に対するI/Oメモリアドレスは49頁の「周辺機能単位部アドレス割り当て」で示されます。

8.7.1. 汎用I/Oレジスタ

最下位16個のI/Oメモリアドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI,SBIS,SBIC命令を使って直接ビットアクセスが可能のため、全体変数とフラグの格納に使うことができます。

8.8. 外部メモリ

外部のSRAMやSDRAMとLCD表示器のようなメモリ割り当て周辺装置を支援する外部メモリ用に4つのポートを使うことができます。37頁の「EBI - 外部バス インターフェース」を参照してください。外部メモリアドレス空間は常に内部SRAMの終り(の次)で始まります。

8.9. データメモリとバス調停

データメモリが4つの独立したメモリの組として構成されるため、異なるバス主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるメモリをアクセスし得ます。

8.10. メモリタイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。外部メモリは複数周期読み込みと書き込みを持ちます。その周期数はメモリ形式と外部バスインターフェースの構成設定に依存します。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

8.11. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

8.12. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。

8.13. JTAG禁止

応用ソフトウェアからJTAGインターフェースを禁止することができます。これは次のデバイスリセットまたはJTAGが応用ソフトウェアから再び許可されるまで、デバイスへの全ての外部JTAGアクセスを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oピンは標準I/Oピンとして使えます。

8.14. フラッシュメモリとEEPROMのページ容量

プログラム用フラッシュメモリとデータ用EEPROMはページで構成されています。ページはフラッシュメモリに対して語アクセス可能で、EEPROMに対してバイトアクセス可能です。

表8-2はプログラム用フラッシュメモリ構成とプログラムカウンタ(PC)の大きさを示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュアクセスに関してはアドレス指定にZポイント(Zn~0)が使われます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレスビット(FWORD)がページ内の語(位置)を与えます。

表8-2. フラッシュメモリ内のページ数と語数

デバイス	フラッシュ容量 (バイト)	ページ容量 (語)	FPAGE	FWORD	応用領域		ブート領域		PC大きさ (ビット)
					容量	ページ数	容量	ページ数	
ATxmega64A1	64K+4K	128	Z16~8	Z7~1	64KB	256	4KB	16	16
ATxmega128A1	128K+8K	256	Z17~9	Z8~1	128KB	256	8KB	16	17

表8-3はXMEGA A1デバイスに対するEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレスレジスタ(ADDRn~0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレスビット(E2BYTE)がページ内のバイト(位置)を与えます。

表8-3. EEPROM内のページ数とバイト数

デバイス	EEPROM容量 (バイト)	ページ容量 (バイト)	E2PAGE	E2BYTE	ページ数
ATxmega64A1	2K	32	ADDR10~5	ADDR4~0	64
ATxmega128A1	2K	32	ADDR10~5	ADDR4~0	64

(訳補) 原書本位置の8.14.1.項は8.7.項と重複するため削除しました。

(訳補) フラッシュメモリは応用領域とブート領域が\$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポイントのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュメモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポイントのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使われます。表7-2のFPAGE及びFWORDのZポイントはSPM命令に対するものです。

9. DMAC – 直接メモリ入出力制御器 (Direct Memory Access Controller)

9.1. 要点

- 高速データ転送可能
 - メモリから周辺機能へ
 - メモリからメモリへ
 - 周辺機能からメモリへ
 - 周辺機能から周辺機能へ
- 4つのチャンネル
- 単一転送処理で1バイトから16Mバイトまでの転送
- 転送元と転送先のアドレスに対する複数のアドレス指示種別
 - 増加
 - 減少
 - 静止
- 1,2,4,8バイトの集中転送
- 設定可能なチャンネル間優先権

9.2. 概要

4チャンネル直接メモリ入出力(DMA)制御器はメモリと周辺機能間でデータを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いデータ転送速度を許し、CPU時間を自由にします。4つのDMAチャンネルは4つまでの独立した平行転送を許します。

DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能レジスタ間のデータを直接移動することができます。全ての周辺機能へのアクセスとで、DMA制御器は通信単位部との自動的なデータ転送を扱うことができます。DMA制御器はメモリ配置割り当てEEPROMから読むこともできます。

データ転送は1,2,4,8バイトの継続集中で行われます。それらは1バイトから64Kバイトまでの構成設定可能な量の塊転送を構築します。繰り返し計数は単一転送処理に対して最大16Mバイトまで各塊転送を繰り返すのに使うことができます。転送元と転送先のアドレス指示は静止、増加、減少にすることができます。転送元と/または転送先のアドレスの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ソフトウェア、周辺機能と事象がDMA転送を起動することができます。

4つのDMAチャンネルは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAチャンネルで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのチャンネルを内部接続することができます。

10. 事象システム

10.1. 要点

- 最小遅延での周辺機能相互通信と合図
- CPUとDMAの個別動作
- 同時に8つまでの信号経路を許す8つの事象チャンネル
- 事象生成可能機能:
 - タイマ/カウンタ (TCxn)
 - 実時間計数器 (RTC)
 - A/D変換器 (ADCx)
 - アナログ比較器 (ACx)
 - ポート (PORTx)
 - システムクロック (clk_{sys})
 - ソフトウェア (CPU)
- 事象利用可能機能:
 - タイマ/カウンタ (TCxn)
 - A/D変換器 (ADCx)
 - D/A変換器 (DAx)
 - ポート (PORTx)
 - DMA制御器 (DMAC)
 - 赤外線(IR)通信単位部 (IRCOM)
- タイミング同期用に同じ事象を複数の周辺機能で使用可能
- 高度な特徴
 - ソフトウェア(CPU)からの手動事象生成
 - 直交復号
 - デジタル濾波器
- 活動動作とアイドル動作で作動

10.2. 概要 (訳注) 原書に於いて図までの文章が修正漏れのため、この部分を修正しています。

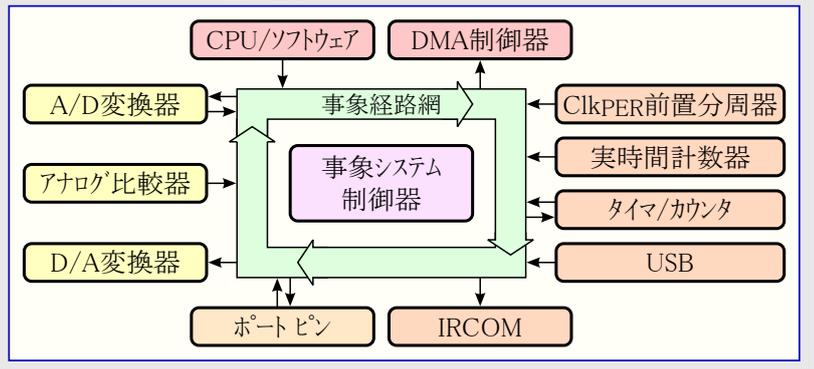
事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込み、CPU、または**DMA制御器**の資源なしで自律の周辺機能制御と相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図10-1.は接続された全ての周辺機能の基本構成図を示します。事象システムは**A/D変換器**、**アナログ比較器**、**入出力ポートピン**、**実時間計数器**、**タイマ/カウンタ**、**IR通信単位部(IRCOM)**を共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な8つの多重器から成ります。これらは事象チャンネルと呼ばれ、8つまでの並列事象配線構成設定を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図10-1. 事象システム構成図



11. システム クロックとクロック選択

11.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器: 32MHz, 2MHz, 32kHz, 超低電力(ULP)32kHz
- 4つの内部発振器: 32MHz, 2MHz, 32kHz, 超低電力(ULP)32kHz
 - 走行時校正付き32MHz RC発振器
 - 走行時校正付き2MHz RC発振器
 - 校正付き32.768kHz RC発振器
 - 1kHz出力付きの32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 内部及び外部クロック任意選択と1~31通倍付きのPLL
- 1~2048分周のクロック前置分周器
- CPUクロック速度の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- クリスタル用発振器停止検出

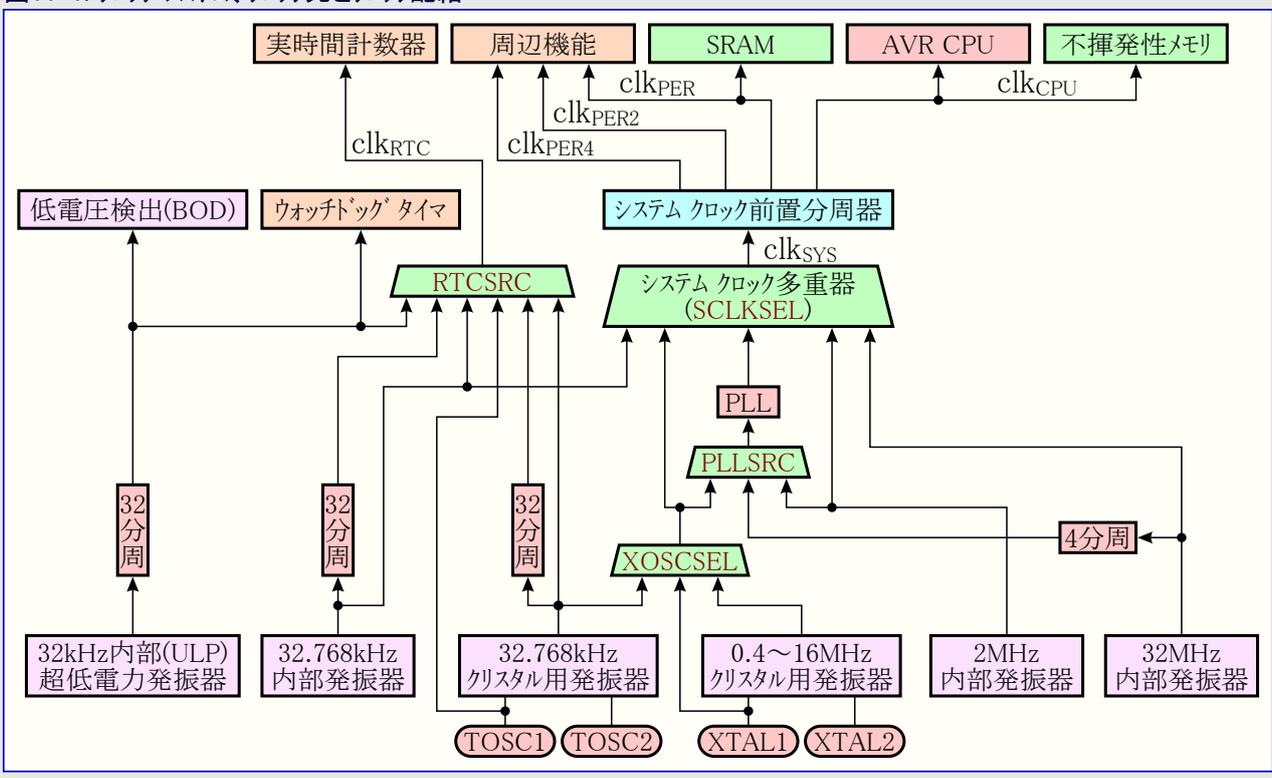
11.2. 概要

Atmel AVR XMEGAデバイスは多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステムクロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図11-1はXMEGA A1系デバイスの原則的なクロックシステムを表します。クロックの全てが与えられた時間で活動を必要とする訳ではありません。CPUと周辺機能用のクロックは18頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。

図11-1. クロックシステム、クロック元とクロック配給



11.3. クロック選択

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元とPLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

11.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使います。この発振器はデバイスのどれかの部分に対してクロック元として使われる時に自動的に許可/禁止が行われます。この発振器は**実時間計数器(RTC)**に対するクロック元として選択することができます。

11.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。この発振器はシステムクロックとRTCに対するクロック元として使うことができます。

11.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステムクロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

11.3.4. 0.4~16MHzクリスタル用発振器

この発振器は0.4~16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

11.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。この発振器は電圧と温度の変動に対する補償のための走行時周波数校正用の供給元として32.768kHz校正付き内部発振器または32.768kHzクリスタル用発振器を使うことができ、これによって発振器の精度を最適化します。

11.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。この発振器は電圧と温度の変動に対する補償のための走行時周波数校正用の供給元として32.768kHz校正付き内部発振器または32.768kHzクリスタル用発振器を使うことができ、これによって発振器の精度を最適化します。

11.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

11.3.8. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システムクロックを生成するのに使うことができます。PLLは使用者選択可能な1~31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。

12. 電力管理と休止形態動作

12.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

12.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位の停止をAtmel AVR XMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

12.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

レジスタファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセットベクタから始動して実行します。

12.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、[割り込み制御器](#)、[事象システム](#)と[DMA制御器](#)を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

12.3.2. パワーダウン動作

パワーダウン動作では[実時間計数器](#)クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは[2線インターフェース](#)アドレス一致割り込みと[非同期ポート割り込み](#)(換言するとピン変化割り込み)だけです。

12.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いて[パワーダウン動作](#)と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することができます。

12.3.4. スタンバイ動作

スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いて[パワーダウン動作](#)と同じです。これは起動時間を減らします。

12.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いて[パワーセーブ動作](#)と同じです。これは起動時間を減らします。

13. システム制御とリセット

13.1. 要点

- 安全動作とデバイスリセットに関する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグリセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェアリセット
- 非同期リセット
 - デバイスに於いて走行するクロックを必要としないリセット
- リセット状態レジスタ

13.2. 概要

リセットシステムはマイクロコントローラリセットを発行してデバイスをその初期状態に設定します。これはマイクロコントローラがその電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラムカウンタはリセットベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセットベクタアドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラムアドレス(0)ですが、リセットベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステムクロックの走行が全く必要とされません。ソフトウェアリセット機能は使用者ソフトウェアからの制御されたシステムリセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

13.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通過して行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

13.4. リセット元

13.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。

13.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

13.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間t_{EXT}より長くRESETピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセットピンは内部プルアップ抵抗を内包します。

13.4.4. ウォッチドッグリセット

ウォッチドッグタイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグリセットが起されます。ウォッチドッグリセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。より多くの詳細については21頁の「WDT - ウォッチドッグタイマ」をご覧ください。

13.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

13.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使われる独立したリセット元を含みます。このリセット元はデバッグと書き込み器からだけアクセス可能です。

13.5 WDT – ウォッチドッグ タイマ

13.5.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイスリセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための構成設定施錠

13.5.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コードのような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロコントローラリセットを発行します。WDTは応用コードからのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システムリセットが発行されます。標準動作に比べ、これはコード異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例えば主クロックが停止したとしても、システムリセットを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒューズも利用可能です。

14. 割り込みと設定可能な多段割り込み制御器

14.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みベクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
 - 低位割り込み内での選択可能なラウンド ロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブート ロータ領域に任意選択で配置される割り込みベクタ

14.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラム カウンタが割り込みベクタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのベクタ アドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベクタ アドレスから決められ、それは最下位割り込みベクタ アドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンド ロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使うことができます。

14.3. 割り込みベクタ

割り込みベクタは周辺機能の基準割り込みアドレスと各周辺機能内の特定割り込みに対する変位アドレスの合計です。Atmel AVR XMEGA A1デバイスに関する基準アドレスは表14-1.で示されます。周辺機能で利用可能な各割り込みに対する変位アドレスはXMEGA A1手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または単位部については表14-1.で割り込みベクタが示されます。プログラム アドレスは語アドレスです。

表14-1. リセットと割り込みのベクタ

プログラム アドレス (基準アドレス)	供給元	割り込み内容
\$000000	RESET	
\$000002	OSCF_INT_vect	クリスタル用発振器停止割り込みベクタ (NMI)
\$000004	PORTC_INT_base	ポートC割り込み基準
\$000008	PORTR_INT_base	ポートR割り込み基準
\$00000C	DMA_INT_base	DMA制御器割り込み基準
\$000014	RTC_INT_base	実時間計数器割り込み基準
\$000018	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
\$00001C	TCC0_INT_base	ポートC上のタイマ/カウンタ0割り込み基準
\$000028	TCC1_INT_base	ポートC上のタイマ/カウンタ1割り込み基準
\$000030	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込みベクタ
\$000032	USARTC0_INT_base	ポートC上のUSART0割り込み基準
\$000038	USARTC1_INT_base	ポートC上のUSART1割り込み基準
\$00003E	AES_INT_vect	AES割り込みベクタ
\$000040	NVM_INT_base	不揮発性メモリ割り込み基準
\$000044	PORTB_INT_base	ポートB割り込み基準
\$000048	ACB_INT_base	ポートB上のアナログ比較器割り込み基準
\$00004E	ADCB_INT_base	ポートB上のA/D変換器割り込み基準
\$000056	PORTE_INT_base	ポートE割り込み基準
\$00005A	TWIE_INT_base	ポートE上の2線インターフェース割り込み基準
\$00005E	TCE0_INT_base	ポートE上のタイマ/カウンタ0割り込み基準
\$00006A	TCE1_INT_base	ポートE上のタイマ/カウンタ1割り込み基準
\$000072	SPIE_INT_vect	ポートE上の直列周辺インターフェース(SPI)割り込みベクタ
\$000074	USARTE0_INT_base	ポートE上のUSART0割り込み基準
\$00007A	USARTE1_INT_base	ポートE上のUSART1割り込み基準
\$000080	PORTD_INT_base	ポートD割り込み基準
\$000084	PORTA_INT_base	ポートA割り込み基準
\$000088	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
\$00008E	ADCA_INT_base	ポートA上のA/D変換器割り込み基準
\$000096	TWID_INT_base	ポートD上の2線インターフェース割り込み基準
\$00009A	TCD0_INT_base	ポートD上のタイマ/カウンタ0割り込み基準
\$0000A6	TCD1_INT_base	ポートD上のタイマ/カウンタ1割り込み基準
\$0000AE	SPID_INT_vect	ポートD上の直列周辺インターフェース(SPI)割り込みベクタ
\$0000B0	USARTD0_INT_base	ポートD上のUSART0割り込み基準
\$0000B6	USARTD1_INT_base	ポートD上のUSART1割り込み基準
\$0000BC	PORTQ_INT_base	ポートQ割り込み基準
\$0000C0	PORTH_INT_base	ポートH割り込み基準
\$0000C4	PORTJ_INT_base	ポートJ割り込み基準
\$0000C8	PORTK_INT_base	ポートK割り込み基準
\$0000D0	PORTF_INT_base	ポートF割り込み基準
\$0000D4	TWIF_INT_base	ポートF上の2線インターフェース割り込み基準
\$0000D8	TCF0_INT_base	ポートF上のタイマ/カウンタ0割り込み基準
\$0000E4	TCF1_INT_base	ポートF上のタイマ/カウンタ1割り込み基準
\$0000EC	SPIF_INT_vect	ポートF上の直列周辺インターフェース(SPI)割り込みベクタ
\$0000EE	USARTF0_INT_base	ポートF上のUSART0割り込み基準
\$0000F4	USARTF1_INT_base	ポートF上のUSART1割り込み基準

15. 入出力ポート

15.1. 要点

- 個別構成設定を持つ78本の汎用入出力ピン
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 入力とワイヤードOR/AND構成設定での任意選択のプルアップとプルダウンの抵抗
- 任意選択のスレーブ制御
- 全休止形態からデバイス起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポートピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハードウェア読み-変更-書き
 - 単一操作で複数ピンの構成設定
 - ビットアクセス可能なI/Oメモリ空間へポートレジスタの割り当て
- ポートピンでの周辺機能クロック出力
- ポートピンでの実時間計数器クロック出力
- 事象チャンネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

15.2. 概要

1つのポートはピン0~7で最大8つのポートピンから成ります。各ポートピンは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で構成設定可能ですが、単一操作で多数のピンを構成設定することができます。ピンは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのハードウェア読み-変更-書き(RMW)機能を持ちます。1つのポートピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポートピン構成設定は他のデバイス機能の入出力選択も制御します。それはポートピンへの周辺機能クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

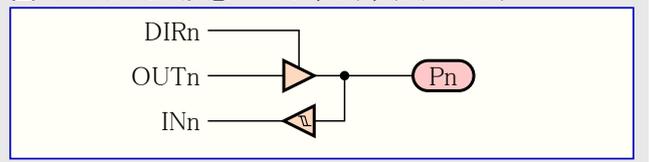
ポートの表記は、PORTA、PORTB、PORTC、PORTD、PORTE、PORTF、PORTH、PORTJ、PORTK、PORTQ、PORTRです。

15.3. 出力駆動部

全てのポートピン(Pn)は設定可能な出力構成設定を持ちます。電磁放射を減らすため、ポートピンは構成設定可能なスレーブ制限も持ちます。

15.3.1. コンプリメンタリ (フッシュブル)

図15-1. I/Oピン形態 - コンプリメンタリ (フッシュブル)



15.3.2. プルダウン

15.3.3. プルアップ

15.3.4. ハス保持

ハス保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならプルアップとして、最後の値が0だったなら、プルダウンとして働きます。

15.3.5. その他

図15-2. I/Oピン形態 - 入力プルダウン付きコンプリメンタリ

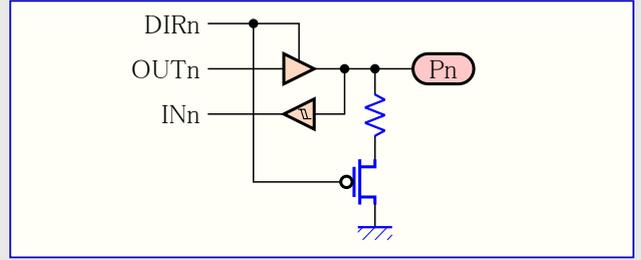


図15-3. I/Oピン形態 - 入力プルアップ付きコンプリメンタリ

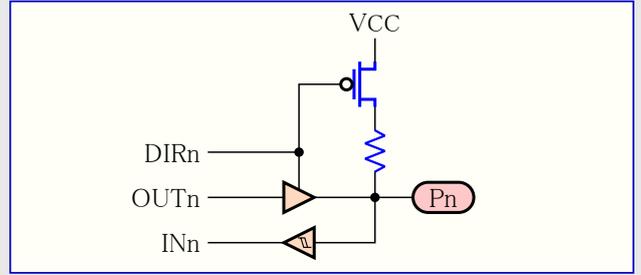


図15-4. I/Oピン形態 - ハス保持付きコンプリメンタリ

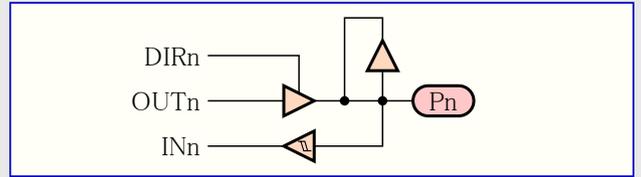


図15-5. 出力形態 - 任意選択プルダウン付きワイヤードOR

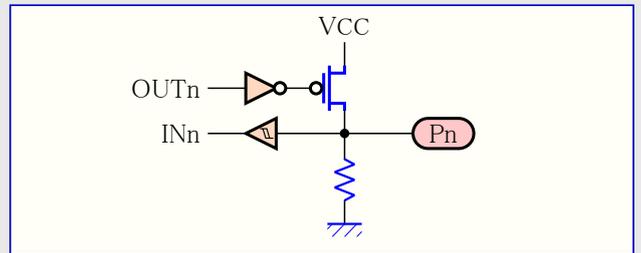
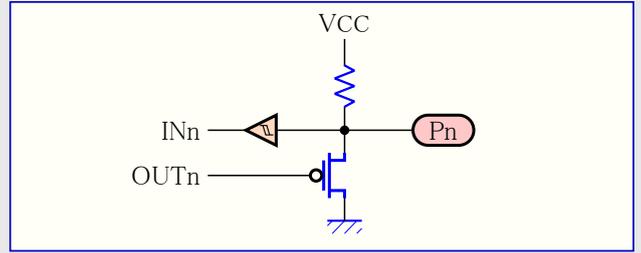


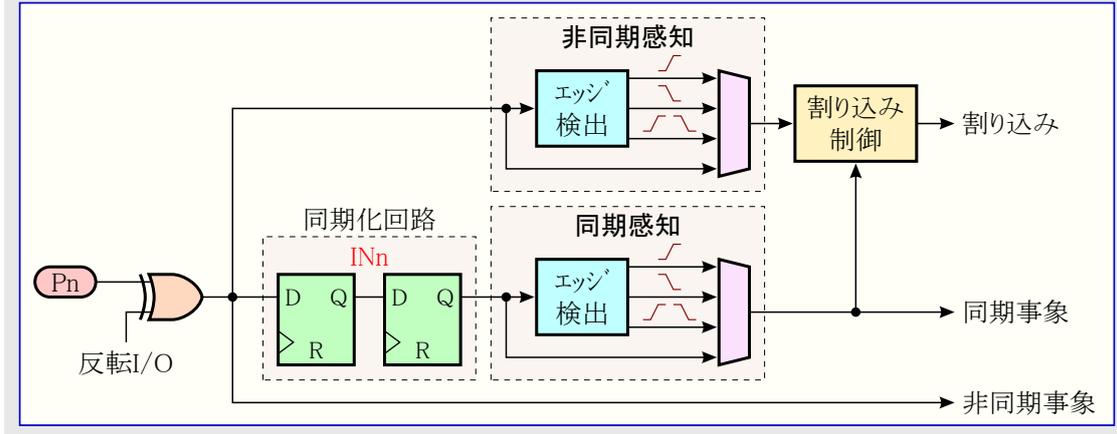
図15-6. 出力形態 - 任意選択プルアップ付きワイヤードAND



15.4. 入力感知

入力感知はポートに対して許可されたクロックに依存して同期または非同期で、この形態は図15-7.で示されます。

図15-7. 入力感知システム概要



ピンが反転I/Oで構成設定されるとき、ピン値は入力感知前に反転されます。

15.5. ポート割り込み

各ポートは独立した優先権と割り込みベクタの2つの割り込みベクタを持ちます。ポート上の全てのピンは各々の割り込みに対する供給元として個別に選択することができます。そして割り込みに対する供給元として構成設定された各ピンに対する入力感知構成設定に従って割り込みが起動されます。

15.6. 交換ポート機能

全てのポートピンでの入出力機能に加え、殆どのピンは交換ピン機能を持っています。これはポートに接続されている単位部や周辺機能が通信やパルス幅変調のようなそれらの機能に、ポートピンを使うことができることを意味します。44頁の「ピン配置とピン機能」は周辺機能でどの単位部がピンでの交換機能を許可するのかと、どの交換機能がピンで利用可能かを示します。

16. TC – 16ビット タイマ/カウンタ

16.1. 要点

- 8つの16ビット タイマ/カウンタ
 - 4つの0型タイマ/カウンタ
 - 4つの1型タイマ/カウンタ
- タイマ/カウンタ0型での4つの比較または捕獲(CC)チャネル
- タイマ/カウンタ1型での2つの比較または捕獲(CC)チャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された全ての比較と捕獲のチャネル
- 波形生成:
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
 - 周波数生成
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲
- 方向制御付き事象計数器
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- DMA動作支援
- 高分解能拡張 (Hi-Res)
- 新波形拡張 (AWeX)

16.2. 概要

Atmel AVR XMEGA A1デバイスには8つの柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使うことができます。

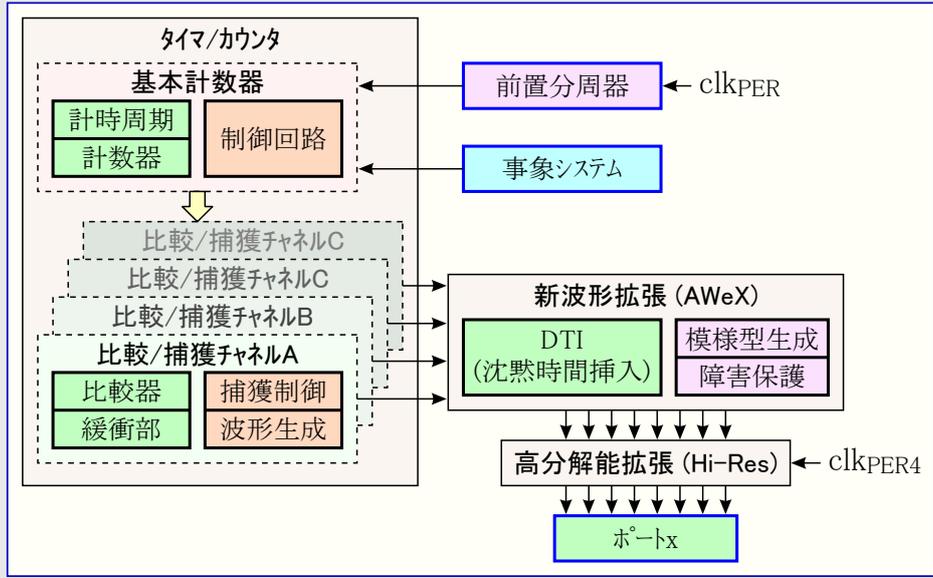
タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポートピンの向こう側への同期したビット様式を生成することもできます。

新波形拡張はタイマ/カウンタに対して追加のもっと進化した機能の提供を許します。これはタイマ/カウンタ0でだけ利用可能です。より多くの詳細については29頁の「[AWeX – 新波形拡張](#)」をご覧ください。

高分解能(Hi-Res)拡張は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。より多くの詳細については30頁の「[Hi-Res – 高分解能拡張](#)」をご覧ください。

図16-1. タイマ/カウンタと密接に関連する周辺機能の概要



ポートC、ポートD、ポートE、ポートFは各々、1つのタイマ/カウンタ0と1つのタイマ/カウンタ1を持ちます。これらの表記は各々、TCC0(タイマ/カウンタ0)、TCC1、TCD0、TCD1、TCE0、TCE1、TCF0、TCF1です。

17. AWeX – 新波形生成拡張

17.1. 要点

- 各捕獲チャネルからの補完出力付きの出力
- 各捕獲チャネル毎に1つで、4つの沈黙時間挿入(DTI)部
- 8ビットDTI分解能
- 独立したHigh側とLow側の沈黙時間設定
- 2重緩衝された沈黙時間
- 事象制御された障害保護
- 単一チャネル複数出力動作(ブラシレスDC電動機用)
- 2重緩衝された模様型生成

17.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポートピンに渡る同期されたビット模様を生成することもできます。

タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通過して行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける素晴らしい柔軟性を与えます。

AWeXはTCC0とTCE0に対して利用可能です。この表記はAWEXCとAWEXEです。

18. Hi-Res – 高分解能拡張

18.1. 要点

- 波形生成器分解能を2ビット(4倍)増加
- 周波数、単一傾斜と2傾斜のPWM動作支援
- 同じタイマ/カウンタに対して許可され、使われる時にAWeXを支援

18.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じタイマ/カウンタに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能クロック(clk_{PER4})を使います。システムクロック前置分周器はHi-Res拡張が許可される時に4倍周辺機能クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように構成設定されなければなりません。

ポートC、ポートD、ポートE、ポートFの各タイマ/カウンタに対して各々が許可することができる4つのHi-Res拡張があります。これらの周辺機能の表記は各々、HIRESA、HIRESB、HIRESF、HIRESGです。

19. RTC – 16ビット実時間計数器

19.1. 要点

- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

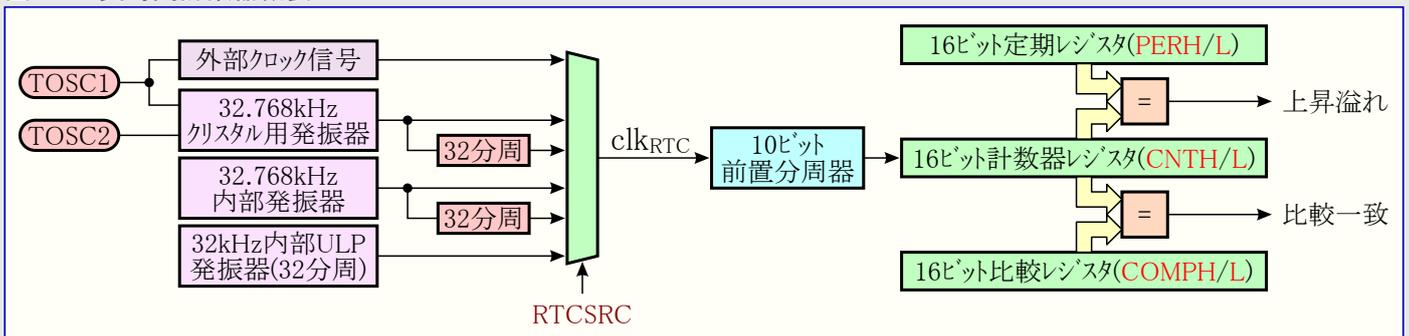
19.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ s、時間経過期間は2000sまでに行えます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図19-1. 実時間計数器概要



20. TWI – 2線インターフェース

20.1. 要点

- 4つの同様のTWI周辺機能
- 双方向2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
 - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビット アドレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- パワーダウン動作を含む全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スルーレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

20.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはホーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は**開始条件**、**停止条件**、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

ポートC、ポートD、ポートE、ポートFは各々1つのTWIを持ちます。これらの周辺機能の表記はTWIC、TWID、TWIE、TWIFです。

21. SPI – 直列周辺インターフェース

21.1. 要点

- 4つの同様なSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

21.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはAtmel AVR XMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。

ポートC、ポートD、ポートE、ポートFは各々1つのSPIを持ちます。これらの周辺機能の表記はSPIC、SPID、SPIE、SPIFです。

22. USART

22.1. 要点

- 8つの同様なUSART周辺機能
- 全二重動作
- 非同期と同期での動作
 - デバイスクロック周波数の1/2までの同期クロック速度
 - デバイスクロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データビットと1, 2停止ビットの直列フレーム支援
- 分数ボーレート発生器
 - どのシステムクロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データオーバランとフレーミング異常の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データレジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
 - 2重緩衝された動作
 - 構成設定可能なデータ順
 - 周辺機能クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)単位部

22.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。フレーミング異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

クロック生成部はどのシステムクロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。

ポートC、ポートD、ポートE、ポートFは各々、2つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0、USARTC1、USARTD0、USARTD1、USARTE0、USARTE1、USARTF0、USARTF1です。

23. IRCOM – 赤外線通信単位部

23.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

23.2. 概要

Atmel AVR XMEGAデバイスには115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにUSARTに接続することができます。

24. AESとDESの暗号エンジン

24.1. 要点

- データ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
 - 暗号化と解読
 - DES支援
 - 8バイトの塊当たり16CPUクロック周期の暗号化/解読
- AES暗号部
 - 暗号化と解読
 - 128ビット鍵支援
 - 状態メモリへのXORデータ設定支援
 - 16バイトの塊当たり375クロック周期の暗号化/解読

24.2. 概要

新暗号化規格(AES)とデータ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信インターフェースとCPUはこれらを高速で暗号化された通信と安全なデータ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8バイトの鍵と8バイトのデータ塊がレジスタファイルに格納され、そしてそのデータ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ビット鍵を使う128ビットデータ塊の暗号化と解読を行います。鍵とデータは暗号化/解読が開始される前に単位部内の鍵と状態のメモリに格納されていなければなりません。暗号化/解読が行われる前に375周辺機能クロック周期かかります。その後暗号化/解読されたデータが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列メモリが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

25. EBI – 外部バス インターフェース

25.1. 要点

- 以下までのSRAM支援
 - 2または3ポートEBI構成設定使用で512Kバイト
 - 3または4ポートEBI構成設定使用で16Mバイト
- 以下までのSDRAM支援
 - 3ポートEBI構成設定使用で128Mビット
- ソフトウェアで構成設定可能な4つのチップ選択
- ソフトウェアで構成設定可能な待ち状態挿入
- 高速アクセスのために周辺機能クロック周波数×2で走行可

25.2. 概要

外部バス インターフェース(EBI)はデータ メモリ空間を通してアクセスする外部の周辺機能とメモリを接続するのに使われます。EBIが許可されると、内部SRAMに属さない(訳補:正確には内部で未定義の)データ アドレス空間が専用EBIピンを使って利用可能になります。

EBIは外部のSRAM、SDRAMや、LCD表示器、その他のメモリ割り当てデバイスのような周辺機能をインターフェースすることができます。

外部メモリ用のアドレス空間は256バイト(8ビット)～16Mバイト(24ビット)まで選択可能です。より多いまたはより少ないピンがEBIに対して利用可能な時に、ピンの最適使用のためにアドレス線とデータ線に関する多くの多重化動作種別が選択できます。メモリ全体は内部SRAMの最後に続く1つの直線的なデータ アドレス空間に割り当てられます。この詳細については12頁の「データ メモリ」を参照してください。

EBIは各々独立した構成設定の4つのチップ選択を持ちます。各々はSRAM、少ピン数(LPC)SRAM、またはSDRAM用に構成設定することができます。

EBIはCPUよりも最大2倍速く走行する高速周辺×2クロックからクロック駆動されます。

4ビットと8ビットのSDRAMが支援され、CAS遅延や再活性速度のようなSDRAM構成設定はソフトウェアで設定することができます。

26. ADC – 12ビット A/D変換器

26.1. 要点

- 2つの12ビット分解能A/D変換器
- 2Msps(採取/秒)までの採取と変換の速度
- シングルエンドまたは差動での測定
- 個別の入力制御を持つ4つの結果レジスタ
- 各A/D変換器に対する8つのシングルエンド入力
- 各A/D変換器に対する8×4種の差動入力
- 4つの内部入力
 - 統合された温度感知器
 - D/A変換器出力
 - VCCの1/10の電圧
 - バンドギャップ電圧
- ソフトウェアで選択可能な2倍、4倍、8倍、16倍、32倍、64倍の利得
- 8または12ビットのソフトウェア選択可能な分解能
- 内部または外部の基準電圧選択
- 正確なタイミング用の事象起動変換
- 変換結果のDMA転送
- 比較結果での割り込み/事象

26.2. 概要

XMEGA A1デバイスは2つのA/D変換器(ADC)を持っています。図26-1をご覧ください。2つのADCは同時、個別または同期で動作することができます。

ADCはアナログ電圧をデジタル値に変換します。ADCは12ビット分解能と秒当たり200万採取までの変換能力を持っています。入力選択は柔軟で、シングルエンドと差動の両方の測定を行うことができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多くの内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供することができます。

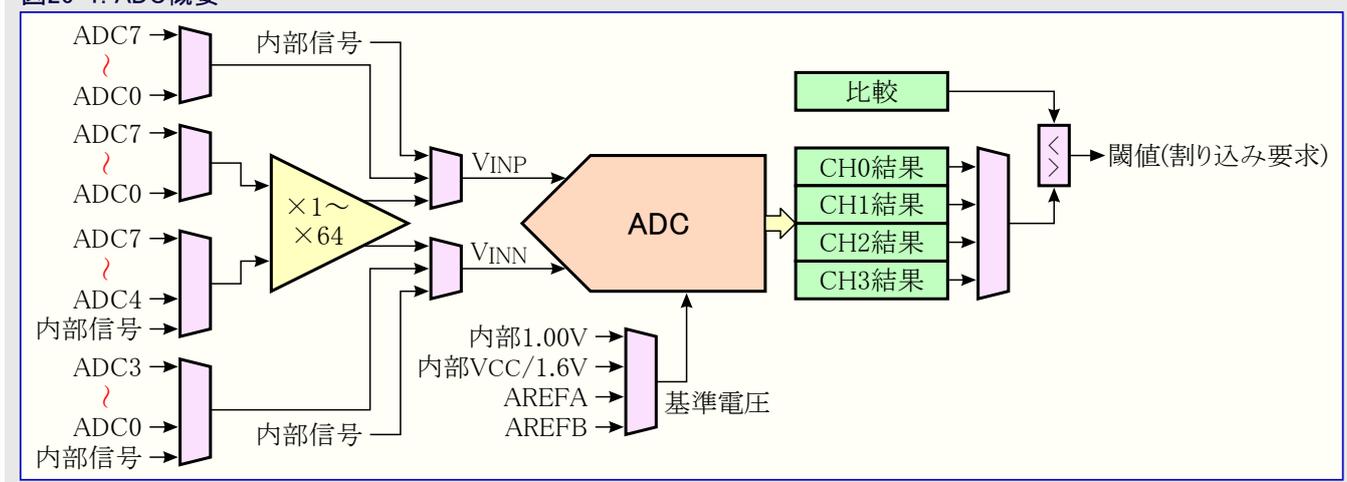
これはパイプラインADCです。パイプラインADCは各段が結果の1部分を変換する多くの連続段から成ります。パイプライン設計は低いクロック速度での高い採取速度を可能にし、採取速度と伝播遅延間の依存性を取り去ります。これは他のADC測定実行中と同時に新しいアナログ電圧が採取され、新規のADC測定が始められることも意味します。

ADC測定は応用ソフトウェアか、デバイス内の他の周辺機能からの到着事象のどちらでも開始できます。個別の入力選択(多重器選択)を持つ4つの異なる結果レジスタは応用に対してより容易なデータ経路の保持を提供します。各結果レジスタと多重器の対はADCチャネルとして参照されます。変換終了時にADCの結果を直接メモリまたは周辺機能へ移動するのにDMAを使うことも可能です。

内部と外部の両方のアナログ基準電圧が使えます。正確な内部1.0V基準電圧が利用可能です。

統合された温度感知器が利用可能で、この感知器からの出力はADCで測定することができます。D/A変換器、VCC/10、バンドギャップ電圧からの出力もADCによって測定することができます。

図26-1. ADC概要



各ADCは対応する結果レジスタと共に4つの多重器選択レジスタを持ちます。これは変換の開始の他に、応用によるどんな介入もなしに1.5µs以内で4つのチャネルを採取できることを意味します。結果は結果レジスタで利用可能です。

ADCは8または12ビットの結果に構成設定することができ、最小変換時間(伝播遅延)を12ビットに対する3.5µsから8ビットの結果に対する2.5µsに減らします。

ADCの変換結果は任意選択の'1'または'0'穴埋め付きの左または右揃えが提供されます。これは結果が符号付き整数(符号付き16ビット数値)として表される時の計算が容易です。

ポートAとポートBは各々1つのADCを持っています。この周辺機能の表記は各々、ADCAとADCBです。

27. DAC – 12ビット D/A変換器

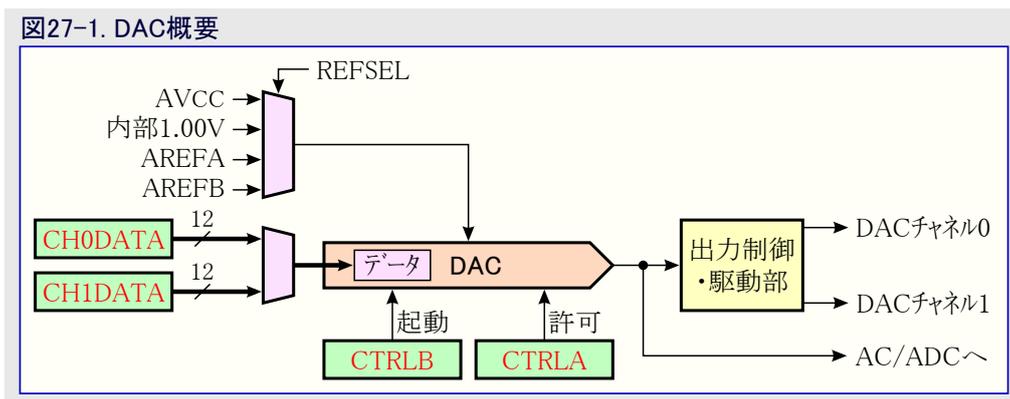
27.1. 要点

- 12ビット分解能
- DAC当たり2つの独立で継続駆動のチャンネル
- DACチャンネル当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
 - 変位(オフセット)誤差
 - 利得誤差
- 複数の変換起動元
 - 利用可能な新データで
 - 事象システムからの事象
- 高い駆動能力と以下を支援
 - 抵抗性負荷
 - 容量性負荷
 - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- アナログ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動力を持つ低電力動作形態
- 任意選択のDMAデータ転送

27.2. 概要

XMEGA A1デバイスは変位と利得の組み込み校正付き1M採取/秒の2つの12ビットD/A変換器が特徴です。図27-1をご覧ください。

D/A変換器(DAC)はデジタル値をアナログ電圧に変換します。DACは変換に対する上限として内部1.00Vを使うかもしれませんが、これは供給電圧またはその間で適用されたどの電圧も使うことが可能です。外部基準入力はADC基準入力と共用されます。



各DACは抵抗性と容量性の両負荷に対して高い駆動能力を持つ1つの連続出力を持っています。これはこの連続時間チャンネルを各々が独立したデータ変換レジスタを持つ2つの採取/保持(S/H)チャンネルに分割することが可能です。

DACの変換はデータ変換レジスタ書き込みによって応用ソフトウェアから開始されるかもしれません。DACは応用ソフトウェアと無関係に規則的なタイミングを持つために、事象システムによって起動される変換を行うように構成設定することもできます。メモリ位置からDACデータレジスタへデータを転送するのにDMAが使われるかもしれません。

DACはソフトウェアから校正値を格納した時に変位と利得の誤差を減らすための組み込み校正システムを持っています。

ポートAとポートBは各々1つのDACを持っています。この周辺機能の表記は各々、DACAとDACBです。

28. AC – アナログ比較器

28.1. 要点

- 4つのアナログ比較器
- 選択可能な伝播遅延対消費電流
- 選択可能なヒステリシス
 - なし
 - 小
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポート上の全ピン
 - D/A変換器(DAC)からの出力
 - バンドギャップ基準電圧
 - 内部VCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 構成設定可能な出力ピン選択を持つ定電流源

28.2. 概要

アナログ比較器(AC)は2つの入力の電圧レベルを比較してその比較に基づいたデジタル出力を与えます。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

アナログ比較器の動的な動きの2つの重要な特性はヒステリシスと伝播遅延です。これらのパラメータの両方は各応用に対して最適な動作を達成するために調節することができます。

入力選択はアナログポートピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使うためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使うと、それらは電圧レベルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ポートAとポートBの各々は1つのAC対を持ちます。表記は各々、ACAとACBです。

図28-1. アナログ比較器概要

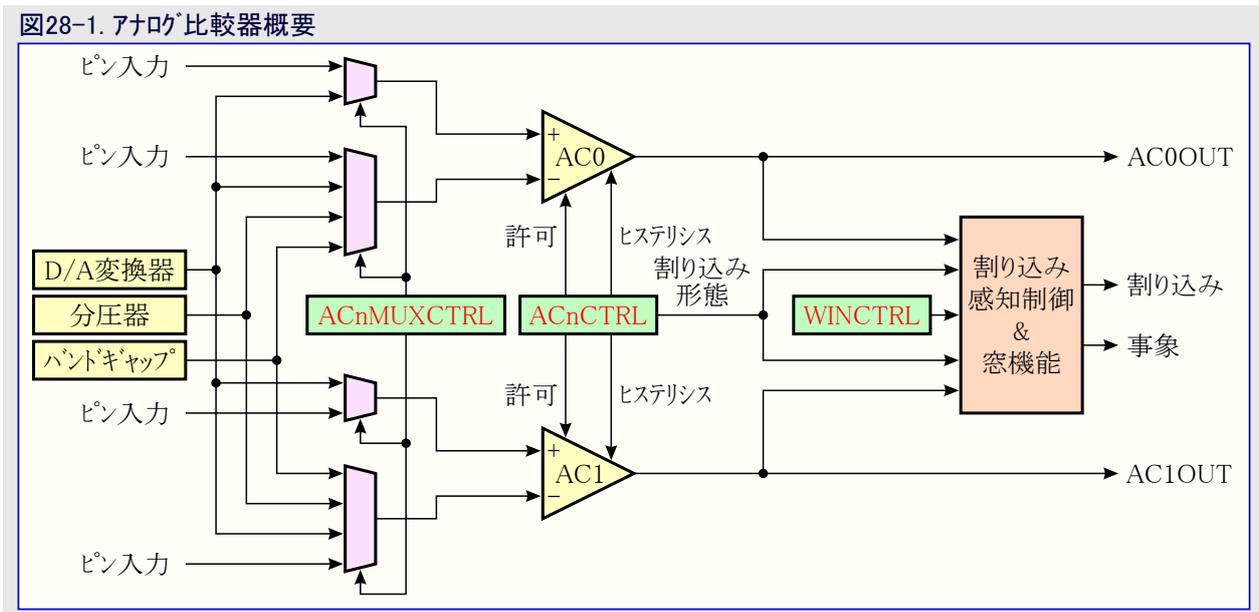
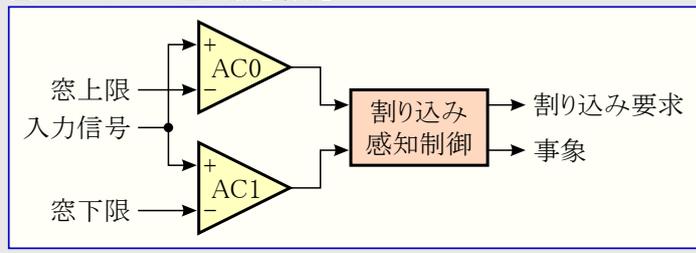


図28-2.で示されるように、窓機能は2つのアナログ比較器の外部入力を接続することによって実現されます。

図28-2. アナログ比較器窓機能



29. プログラミングとデバッグ

29.1. 要点

- プログラミング
 - PDIまたはJTAGインターフェースを通す外部プログラミング
 - 高速動作のための最小の規約付随負荷
 - 確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すプログラミング用のブート ロータ支援
- デバッグ
 - 不干涉、実時間、チップ上デバッグ システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
 - データ位置読み、書き、または読み書き両方
 - データ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- プログラミングとデバッグ用インターフェース(PDI)
 - 外部のプログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - プログラミングまたはデバッグ中にI/Oピンの必要なし
- JTAGインターフェース
 - プログラミングとデバッグ用の4ピン、IEEE規格1149.1適合インターフェース
 - IEEE規格1149.1(JTAG)に従った境界走査(Boundary scan)能力

29.2. 概要

プログラミングとデバッグ用インターフェース(PDI)はデバイスの外部プログラミングとチップ上デバッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒューズ、施錠ビット、使用者識別列の不揮発性メモリ(NVM)の高速プログラミングを支援します。

デバッグは不干涉、実時間のデバッグを提供するチップ上デバッグ システムを通して支援されます。これはデバイスピン接続を除いてどんなソフトウェアまたはハードウェアも必要としません。Atmelのツールチェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラレベルからだけでなく、Cまたは他の高位言語ソースコードのレベルからも行うことができます。

プログラミングとデバッグは2つの物理インターフェースを通して行えます。基本は全てのデバイスで利用可能なPDI物理層です。これはクロック入力用のリセットピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使う2ピン インターフェースです。殆どのデバイスでJTAGインターフェースも利用可能で、これは4ピンのJTAGインターフェースを通してプログラミングとデバッグに使うことができます。JTAGインターフェースはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはチップ上デバッグ/エミュレータがこれらインターフェースのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すアクセスと仮定します。

30. ピン配置とピン機能

XMEGA A1のピン配置は3頁の「[ピン配置/構成図](#)」で示されます。標準I/O機能に加え、各ピンは様々な機能を持つかもしれません。これはどの周辺機能が許可され、そして現実のピンに接続されるかに依存します。交換ピン機能は同時に1つだけを使うことができます。

30.1. 交換ピン機能の種類

下表は利用可能な全てのピン機能に対する表記とその機能の内容を示します。

30.1.1. 活動/電力供給

VCC	デジタル供給電圧
AVCC	アナログ供給電圧
GND	接地

30.1.2. ホート割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つポートピン
ASYN	完全な同期と完全な非同期の割り込み機能を持つポートピン

30.1.3. アナログ機能

ACn	アナログ比較器入力ピン
AC0OUT	アナログ比較器0出力
ADCn	A/D変換器入力ピン
DACn	D/A変換器出力ピン
AREF	アナログ基準電圧入力ピン

30.1.4. 外部バス インターフェース(EBI)機能

An	アドレス線n	
Dn	データ線n	
\overline{CSn}	チップ選択n	
ALEn	アドレスラッチ許可ピン	(SRAM)
\overline{RE}	読み込み許可	(SRAM)
\overline{WE}	外部データメモリ書き込み	(SRAM/SDRAM)
BAn	バンクアドレスn	(SDRAM)
CAS	列アクセス ストローブ	(SDRAM)
CKE	SDRAMクロック許可	(SDRAM)
CLK	SDRAMクロック	(SDRAM)
DQM	データ遮蔽信号/出力許可	(SDRAM)
\overline{RAS}	行アクセス ストローブ	(SDRAM)
2P	2ポート インターフェース	
3P	3ポート インターフェース	

30.1.5. タイマ/カウンタとAWeX機能

OCnx	タイマ/カウンタn用比較チャンネルx出力
OCnx	タイマ/カウンタn用比較チャンネルx反転出力
OCnxLS	タイマ/カウンタn用比較チャンネルx Low側出力
OCnxHS	タイマ/カウンタn用比較チャンネルx High側出力

30.1.6. 通信機能

SCL	TWI用直列クロック
SDA	TWI用直列データ
SCLIN	外部駆動インターフェース許可時のTWI用直列クロック入力
SCLOUT	外部駆動インターフェース許可時のTWI用直列クロック出力
SDAIN	外部駆動インターフェース許可時のTWI用直列データ入力
SDAOUT	外部駆動インターフェース許可時のTWI用直列データ出力
XCKn	USARTn用転送クロック
RXDn	USARTn用受信データ
TXDn	USARTn用送信データ
SS	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列クロック

30.1.7. 発振器、クロック、事象

TOSCn	計時器用発振器ピンn
XTALn	発振器用入出力ピンn
CLKOUT	周辺機能クロック出力
EVOUT	事象チャンネルn出力
RTCOUT	RTCクロック元出力

30.1.8. デバッグ/システム機能

RESET	リセットピン
PDI_CLK	プログラミングとデバッグ用インターフェースクロックピン
PDI_DATA	プログラミングとデバッグ用インターフェースデータピン
TCK	JTAG検査クロック
TDI	JTAG検査データ入力
TDO	JTAG検査データ出力
TMS	JTAG検査動作種別選択

30.2. 交換ピン機能

下表は最初の列でポートの各ピンに対する主/既定の機能、第2列でピン番号、そして残りの列で全ての交換ピン機能を示します。先頭行は何の周辺機能が交換ピン機能を許可して使うかを示します。

表30-1. ポートA - 交換機能

PORTA	ピン番号	割り込み	ADCA 利得有/無 正入力		ADCA 利得なし 負入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力	DACA	REFA	
GND	93											
AVCC	94											
PA0	95	SYNC	ADC0		ADC0		AC0	AC0			AREF	
PA1	96	SYNC	ADC1		ADC1		AC1	AC1				
PA2	97	SYNC/ASYNC	ADC2		ADC2		AC2			DAC0		
PA3	98	SYNC	ADC3		ADC3		AC3	AC3		DAC1		
PA4	99	SYNC	ADC4			ADC4	AC4					
PA5	100	SYNC	ADC5			ADC5	AC5	AC5				
PB6	1	SYNC	ADC6			ADC6	AC6					
PA7	2	SYNC	ADC7			ADC7		AC7	AC0OUT			

表30-2. ポートB - 交換機能

PORTB	ピン番号	割り込み	ADCB 利得有/無 正入力		ADCB 利得なし 負入力	ADCB 利得付き 負入力	ACB 正入力	ACB 負入力	ACB 出力	DACB	REFB	JTAG
GND	3											
AVCC	4											
PB0	5	SYNC	ADC0		ADC0		AC0	AC0			AREF	
PB1	6	SYNC	ADC1		ADC1		AC1	AC1				
PB2	7	SYNC/ASYNC	ADC2		ADC2		AC2			DAC0		
PB3	8	SYNC	ADC3		ADC3		AC3	AC3		DAC1		
PB4	9	SYNC	ADC4			ADC4	AC4					TMS
PB5	10	SYNC	ADC5			ADC5	AC5	AC5				TDI
PB6	11	SYNC	ADC6			ADC6	AC6					TCK
PB7	12	SYNC	ADC7			ADC7		AC7	AC0OUT			TDO

表30-3. ホットC - 交換機能

PORTC	ピン番号	割り込み	TCC0 (注1,2)	AWEXC	TCC1	USARTC0 (注3)	USARTC1	SPIC (注4)	TWIC	クロック出力 (注5)	事象出力 (注6)
GND	13										
VCC	14										
PC0	15	SYNC	OC0A	OC0ALS					SDA/SDA_IN		
PC1	16	SYNC	OC0B	OC0AHS		XCK0			SCL/SCL_IN		
PC2	17	SYNC/ASYNC	OC0C	OC0BLS		RXD0			SDA_OUT		
PC3	18	SYNC	OC0D	OC0BHS		TXD0			SCL_OUT		
PC4	19	SYNC		OC0CLS	OC1A			\overline{SS}			
PC5	20	SYNC		OC0CHS	OC1B		XCK1	MOSI			
PC6	21	SYNC		OC0DLS			RXD1	MISO			
PC7	22	SYNC		OC0DHS			TXD1	SCK		CLKOUT	EVOUT

表30-4. ホットD - 交換機能

PORTD	ピン番号	割り込み	TCD0		TCD1	USARTD0	USARTD1	SPID	TWID	クロック出力	事象出力
GND	23										
VCC	24										
PD0	25	SYNC	OC0A						SDA/SDA_IN		
PD1	26	SYNC	OC0B			XCK0			SCL/SCL_IN		
PD2	27	SYNC/ASYNC	OC0C			RXD0			SDA_OUT		
PD3	28	SYNC	OC0D			TXD0			SCL_OUT		
PD4	29	SYNC			OC1A			\overline{SS}			
PD5	30	SYNC			OC1B		XCK1	MOSI			
PD6	31	SYNC					RXD1	MISO			
PD7	32	SYNC					TXD1	SCK		CLKOUT	EVOUT

表30-5. ホットE - 交換機能

PORTE	ピン番号	割り込み	TCE0	AWEXE	TCE1	USARTE0	USARTE1	SPIE	TWIE	クロック出力	事象出力
GND	33										
VCC	34										
PE0	35	SYNC	OC0A	OC0ALS					SDA/SDA_IN		
PE1	36	SYNC	OC0B	OC0AHS		XCK0			SCL/SCL_IN		
PE2	37	SYNC/ASYNC	OC0C	OC0BLS		RXD0			SDA_OUT		
PE3	38	SYNC	OC0D	OC0BHS		TXD0			SCL_OUT		
PE4	39	SYNC		OC0CLS	OC1A			\overline{SS}			
PE5	40	SYNC		OC0CHS	OC1B		XCK1	MOSI			
PE6	41	SYNC		OC0DLS			RXD1	MISO			
PE7	42	SYNC		OC0DHS			TXD1	SCK		CLKOUT	EVOUT

表30-6. ホートF - 交換機能

PORTF	ピン番号	割り込み	TCF0		TCF1	USARTF0	USARTF1	SPIF	TWIF		
GND	43										
VCC	44										
PF0	45	SYNC	OC0A						SDA/SDA_IN		
PF1	46	SYNC	OC0B			XCK0			SCL/SCL_IN		
PF2	47	SYNC/ASYNC	OC0C			RXD0			SDA_OUT		
PF3	48	SYNC	OC0D			TXD0			SCL_OUT		
PF4	49	SYNC			OC1A			\overline{SS}			
PF5	50	SYNC			OC1B		XCK1	MOSI			
PF6	51	SYNC					RXD1	MISO			
PF7	52	SYNC					TXD1	SCK			

表30-7. ホートH - 交換機能

PORTH	ピン番号	割り込み	3ホートSDRAM	3ホートSRAM ALE1	3ホートSRAM ALE1,2	3ホートLPC ALE1	2ホートLPC ALE1	2ホートLPC ALE1,2
GND	53							
VCC	54							
PH0	55	SYNC	\overline{WE}	\overline{WE}	\overline{WE}	\overline{WE}	\overline{WE}	\overline{WE}
PH1	56	SYNC	\overline{CAS}	\overline{RE}	\overline{RE}	\overline{RE}	\overline{RE}	\overline{RE}
PH2	57	SYNC/ASYNC	\overline{RAS}	$\overline{ALE1}$	$\overline{ALE1}$	$\overline{ALE1}$	$\overline{ALE1}$	$\overline{ALE1}$
PH3	58	SYNC	\overline{DQM}		$\overline{ALE2}$			$\overline{ALE2}$
PH4	59	SYNC	BA0	$\overline{CS0}/A16$	$\overline{CS0}$	$\overline{CS0}/A16$	$\overline{CS0}$	$\overline{CS0}/A16$
PH5	60	SYNC	BA1	$\overline{CS1}/A17$	$\overline{CS1}$	$\overline{CS1}/A17$	$\overline{CS1}$	$\overline{CS1}/A17$
PH6	61	SYNC	CKE	$\overline{CS2}/A18$	$\overline{CS2}$	$\overline{CS2}/A18$	$\overline{CS2}$	$\overline{CS2}/A18$
PH7	62	SYNC	CLK	$\overline{CS3}/A19$	$\overline{CS3}$	$\overline{CS3}/A19$	$\overline{CS3}$	$\overline{CS3}/A19$

表30-8. ホートJ - 交換機能

PORTJ	ピン番号	割り込み	3ホートSDRAM	3ホートSRAM ALE1	3ホートSRAM ALE1,2	3ホートLPC ALE1	2ホートLPC ALE1	2ホートLPC ALE1,2
GND	63							
VCC	64							
PJ0	65	SYNC	D0	D0	D0	D0/A0	D0/A0	D0/A0/A8
PJ1	66	SYNC	D1	D1	D1	D1/A1	D1/A1	D1/A1/A9
PJ2	67	SYNC/ASYNC	D2	D2	D2	D2/A2	D2/A2	D2/A2/A10
PJ3	68	SYNC	D3	D3	D3	D3/A3	D3/A3	D3/A3/A11
PJ4	69	SYNC	A8	D4	D4	D4/A4	D4/A4	D4/A4/A12
PJ5	70	SYNC	A9	D5	D5	D5/A5	D5/A5	D5/A5/A13
PJ6	71	SYNC	A10	D6	D6	D6/A6	D6/A6	D6/A6/A14
PJ7	72	SYNC	A11	D7	D7	D7/A7	D7/A7	D7/A7/A15

表30-9. ホートK - 交換機能

PORTK	ピン番号	割り込み	3ポート SDRAM	3ポートSRAM ALE1	3ポートSRAM ALE1,2	3ポートLPC ALE1		
GND	73							
VCC	74							
PK0	75	SYNC	A0	A0/A8	A0/A8/A16	A8		
PK1	76	SYNC	A1	A1/A9	A1/A9/A17	A9		
PK2	77	SYNC/ASYNC	A2	A2/A10	A2/A10/A18	A10		
PK3	78	SYNC	A3	A3/A11	A3/A11/A19	A11		
PK4	79	SYNC	A4	A4/A12	A4/A12/A20	A12		
PK5	80	SYNC	A5	A5/A13	A5/A13/A21	A13		
PK6	81	SYNC	A6	A6/A14	A6/A14/A22	A14		
PK7	82	SYNC	A7	A7/A15	A7/A15/A23	A15		

表30-10. ホートQ - 交換機能

PORTQ	ピン番号	割り込み	TOSC
VCC	83		
GND	84		
PQ0	85	SYNC	TOSC1 (入力)
PQ1	86	SYNC	TOSC2 (出力)
PQ2	87	SYNC/ASYNC	
PQ3	88	SYNC	

表30-11. ホートR - 交換機能

PORTR	ピン番号	割り込み	XTAL	PDI
PDI	89			PDI_DATA
RESET	90			PDI_CLOCK
PR0	91	SYNC	XTAL2	
PR1	92	SYNC	XTAL1	

31. 周辺機能単位部アドレス割り当て

アドレス割り当て表はXMEGA A1内の各周辺機能と単位部に対する基準アドレスを示します。各周辺機能単位部に対する一覧と完全なレジスタ記述についてはXMEGA A1手引書を参照してください。

表31-1. 周辺機能単位部アドレス割り当て

基準アドレス	名称	意味	基準アドレス	名称	意味
\$0000	GPIO	汎用I/Oレジスタ	\$0660	PORTD	ポートD
\$0010	VPORT0	仮想ポート0	\$0680	PORTE	ポートE
\$0014	VPORT1	仮想ポート1	\$06A0	PORTF	ポートF
\$0018	VPORT2	仮想ポート2	\$06E0	PORTH	ポートH
\$001C	VPORT3	仮想ポート3	\$0700	PORTJ	ポートJ
\$0030	CPU	CPU	\$0720	PORTK	ポートK
\$0040	CLK	クロック制御	\$07C0	PORTQ	ポートQ
\$0048	SLEEP	休止制御器	\$07E0	PORTR	ポートR
\$0050	OSC	発振器制御	\$0800	TCC0	ポートCのタイマ/カウンタ0
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	\$0840	TCC1	ポートCのタイマ/カウンタ1
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	\$0880	AWEXC	ポートCの新波形拡張
\$0070	PR	電力削減	\$0890	HIRES	ポートCの高分解能拡張
\$0078	RST	リセット制御器	\$08A0	USARTC0	ポートCのUSART0
\$0080	WDT	ウォッチドッグ タイマ	\$08B0	USARTC1	ポートCのUSART1
\$0090	MCU	MCU制御	\$08C0	SPIC	ポートCの直列周辺インターフェース
\$00A0	PMIC	設定可能な多段割り込み制御器	\$08F8	IRCOM	赤外線通信単位部
\$00B0	PORTCFG	ポート構成設定	\$0900	TCD0	ポートDのタイマ/カウンタ0
\$00C0	AES	AES暗号単位部	\$0940	TCD1	ポートDのタイマ/カウンタ1
\$0100	DMA	DMA制御器	\$0990	HIRES	ポートDの高分解能拡張
\$0180	EVSYS	事象システム	\$09A0	USARTD0	ポートDのUSART0
\$01C0	NVM	不揮発性メモリ(NVM)制御器	\$09B0	USARTD1	ポートDのUSART1
\$0200	ADCA	ポートAのA/D変換器	\$09C0	SPID	ポートDの直列周辺インターフェース
\$0240	ADCB	ポートBのA/D変換器	\$0A00	TCE0	ポートEのタイマ/カウンタ0
\$0300	DACA	ポートAのD/A変換器	\$0A40	TCE1	ポートEのタイマ/カウンタ1
\$0320	DACB	ポートBのD/A変換器	\$0A80	AWEXE	ポートEの新波形拡張
\$0380	ACA	ポートAのアナログ比較器	\$0A90	HIRES	ポートEの高分解能拡張
\$0390	ACB	ポートBのアナログ比較器	\$0AA0	USARTE0	ポートEのUSART0
\$0400	RTC	実時間計数器	\$0AB0	USARTE1	ポートEのUSART1
\$0440	EBI	外部バス インターフェース	\$0AC0	SPIE	ポートEの直列周辺インターフェース
\$0480	TWIC	ポートCの2線インターフェース	\$0B00	TCF0	ポートFのタイマ/カウンタ0
\$0490	TWID	ポートDの2線インターフェース	\$0B40	TCF1	ポートFのタイマ/カウンタ1
\$04A0	TWIE	ポートEの2線インターフェース	\$0B90	HIRES	ポートFの高分解能拡張
\$04B0	TWIF	ポートFの2線インターフェース	\$0BA0	USARTF0	ポートFのUSART0
\$0600	PORTA	ポートA	\$0BB0	USARTF1	ポートFのUSART1
\$0620	PORTB	ポートB	\$0BC0	SPIF	ポートFの直列周辺インターフェース
\$0640	PORTC	ポートC			

32. 命令一式要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K : 4, 6, 8ビット定数

P : I/Oレジスタ

Rd, Rr : 汎用レジスタ(R0~R31)

X, Y, Z : X, Y, Zレジスタ

b : ビット(0~7)

k : アドレス定数(7,12,16ビット)

q : 符号なし6ビット定数(変位)

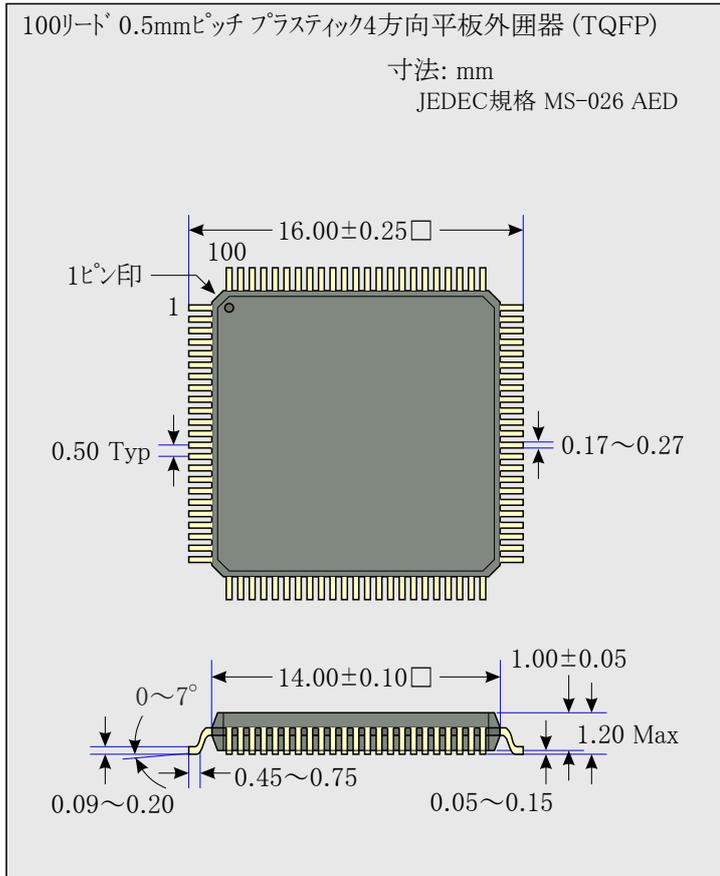
s : ステータスフラグ(C,Z,N,V,X,H,T,I)

注1: データメモリアクセスに対する周期数は内部メモリアクセスを仮定し、外部メモリインターフェース経由のアクセスに対しては有効ではありません。

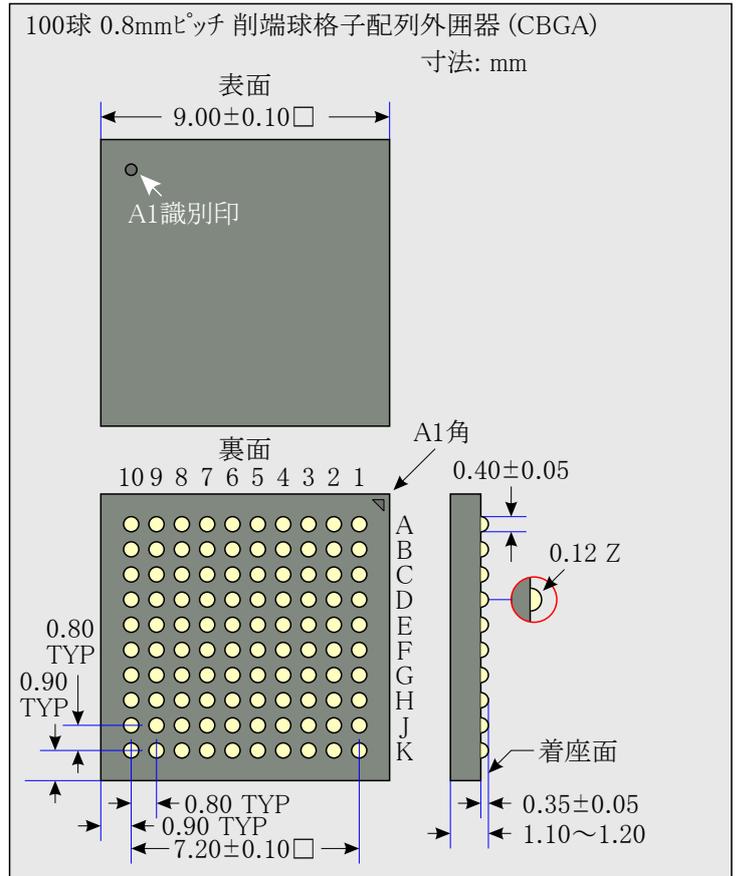
注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

33. 外圍器情報

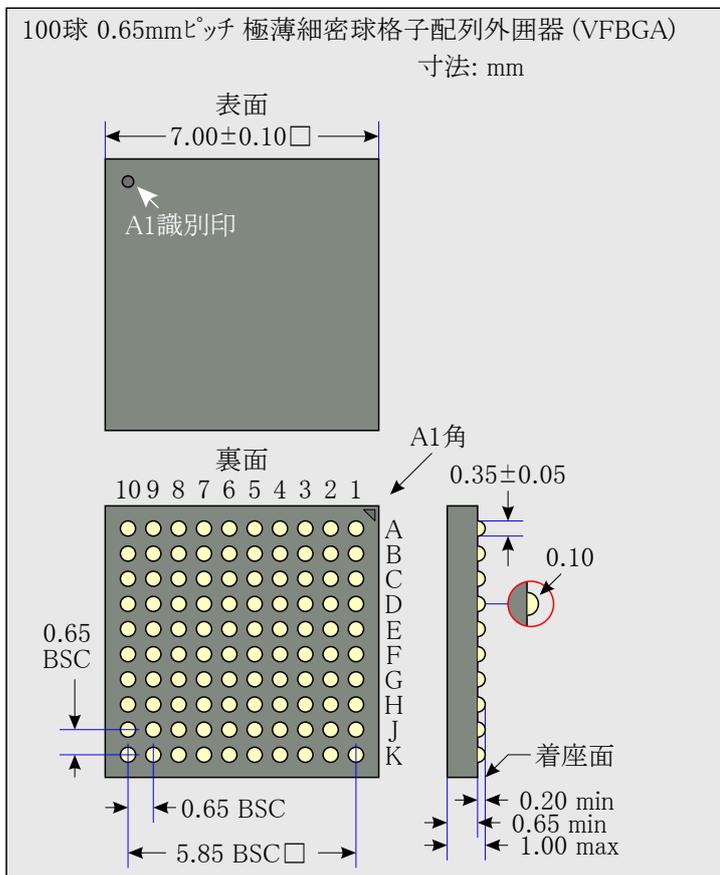
33.1. 100A



33.2. 100C1



33.3. 100C2



34. 電気的特性

34.1. 絶対最大定格 (警告)

動作温度	-55°C ~ +125°C
保存温度	-65°C ~ +150°C
GNDに対するピン電圧	-0.5V ~ VCC+0.5V
最大動作電圧	3.6V
入出力ピン当たりのDC電流	20.0mA
VCCとGNDピンのDC電流	200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

34.2. DC特性

表34-1. 消費電流

シンボル	項目	条件	最小	代表	最大	単位
I _{CC}	活動動作消費電流 (注1)	1MHz外部クロック	VCC=1.8V	365		μA
			VCC=3.0V	790		
		2MHz外部クロック	VCC=1.8V	690	800	μA
			VCC=3.0V	1400	1600	
		32MHz外部クロック	VCC=3.0V	18.35	20	mA
		I _{CC}	アイドル動作消費電流 (注1)	1MHz外部クロック	VCC=1.8V	135
VCC=3.0V	255					
2MHz外部クロック	VCC=1.8V			270	380	μA
	VCC=3.0V			510	650	
32MHz外部クロック	VCC=3.0V			8.15	9.2	mA
I _{CC}	パワーダウン動作消費電流			全機能禁止	VCC=3.0V	0.1
		全機能禁止, TA=85°C	VCC=3.0V	2	5	
		ULP, WDT, 採取動作BOD	VCC=1.8V	0.5		
			VCC=3.0V	0.6		
		ULP, WDT, 採取動作BOD, TA=85°C	VCC=3.0V	3	10	
		I _{CC}	パワーセーブ動作消費電流	低電力32kHz TOSCからの1kHz RTC	VCC=1.8V	0.52
VCC=3.0V	0.55					
低電力32kHz TOSCからのRTC	VCC=3.0V			1.16		

注1: 全ての電力削減レジスタは設定(1)。何も指定されていない場合の代表(Typ)値はTA=25°Cで測定されています。

(次頁へ続く)

表34-1. (続き) 消費電流

周辺機能・単位部 消費電流(注2)							
シンボル	項目	条件	最小	代表	最大	単位	
ICC	32MHz内部RC発振器(RC32M)			395		μA	
		32kHz内部発振器でのDFLL付き		TBD			
	2MHz内部RC発振器(RC2M)				120		
		32kHz内部発振器でのDFLL付き			155		
	32.768kHz内部RC発振器(RC32K)			30			
	PLL	通倍率=10倍		195			
	ウォッチドッグ タイマ(WDT)	標準動作		TBD			
	低電圧検出器(BOD)	継続動作			120		
		採取動作			1		
	1.00V内部基準電圧				85		
	温度基準(感知器)				80		
	実時間計数器(RTC)	32kHz内部RC発振器、前置分周なし			30		
		ULP発振器、前置分周なし			1		
	A/D変換器(ADC)	250k採取/秒,連続変換動作, 1.00V内部基準電圧			3.6		
	D/A変換器(DAC) (標準動作)	標準動作,単一チャネル, 1.00V内部基準電圧			1.8		mA
		低電力動作,単一チャネル, 1.00V内部基準電圧			1		
	アナログ比較器(AC)	高速動作			220		
		低電力動作			110		
	USART	9600bps,送受信許可			7.5		μA
	DMA				180		
タイマ/カウンタ	前置分周なし			18			
AES				195			
フラッシュ メモリ/EEPROMプログラミング	VCC=2V			20	mA		
	VCC=3V			30			

注2: 全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。特記条件を除き、全てがVCC=3.0V、clkSYS=前置分周なしの外部1MHzクロック、TA=25°Cでのデータです。

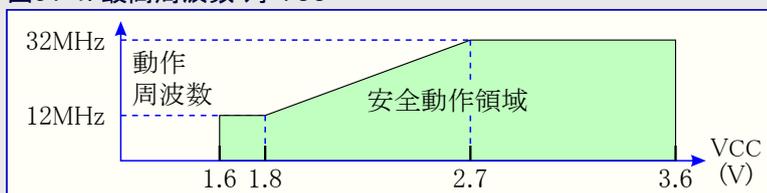
34.3. 速度

XMEGA A1デバイスの最高CPU周波数は動作電圧に依存します。図34-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

表34-2. 動作電圧と周波数

シンボル	項目	条件	最小	代表	最大	単位
clkCPU	CPU クロック 周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

図34-1. 最高周波数 対 VCC



34.4. フラッシュメモリとEEPROMの特性

表34-3. 耐久性とデータ保持力

シンボル	項目	条件	最小	代表	最大	単位
	フラッシュメモリ耐久性	書き込み/消去繰り返し	25°C	10,000		回
			85°C	10,000		
	フラッシュメモリデータ保持力		25°C	100		年
			55°C	25		
	EEPROM耐久性	書き込み/消去繰り返し	25°C	80,000		回
			85°C	30,000		
	EEPROMデータ保持力		25°C	100		年
			55°C	25		

表34-4. プログラミング時間 (注1)

シンボル	項目	条件	最小	代表	最大	単位
	チップ消去時間	フラッシュメモリとEEPROM(注2)の消去		40		
	フラッシュメモリプログラミング時間	ページ消去		4		
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		
	EEPROMプログラミング時間	ページ消去		4		
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		

注1: プログラミングは内部2MHz発振器からの時間で行われます。

注2: EESAVEヒューズがプログラム(0)されている場合、EEPROMは消去されません。

34.5. A/D変換器特性

表34-5. A/D変換器特性

シンボル	項目	条件	最小	代表	最大	単位
RES	分解能	8/12ビット設定可能	8	12	12	ビット
INL	積分非直線性誤差	500k採取/秒(sps)	-5	<±1	5	LSB
DNL	微分非直線性誤差	500k採取/秒(sps)		<±0.75		
	利得誤差			±10		mV
	変位(オフセット)誤差			±2		
ADCclk	変換クロック周波数	最大は周辺機能クロックの1/4	VCC ≥ 2.0V		2000	kHz
			VCC < 2.0V		500	
	変換速度		VCC ≥ 2.0V		2000	ksps
			VCC < 2.0V		500	
	変換時間(伝播遅延)	(RES+2) ÷ 2 + GAIN... 計算式 (RES=8または12, GAIN=0または1)	5	7	8	ADCclk 周期
	採取時間	1/2ADCclk周期	250			ns
	変換範囲		0		VREF	
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		VCC-0.6	
	入力帯域		VCC ≥ 2.0V		2000	kHz
			VCC < 2.0V		500	
INT1V	内部1.00V基準電圧			1.00		
INTVCC	内部VCC/1.6			VCC/1.6		V
SCALEVCC	内部分圧VCC/10入力			VCC/10		
RAREF	基準電圧入力インピーダンス			>10		MΩ
	始動時間			12	24	ADCclk 周期
	内部入力採取速度	温度感知器, VCC/10, バンドキャップ			100	ksps

表34-6. A/D変換器利得段特性

シンボル	項目	条件	最小	代表	最大	単位
	利得誤差	1~64倍		<±1		%
	変位(オフセット)誤差			<±1		
V _{rms}	入力での雑音レベル	利得	VREF=内部1.00V基準電圧 VREF=外部2V	0.12		mV
		64倍		0.06		
	変換速度	ADCと同じ			1000	ksp/s

34.6. D/A変換器特性

表34-7. D/A変換器特性

シンボル	項目	条件	最小	代表	最大	単位
INL	積分非直線性誤差	VCC=1.6~3.6V		5		LSB
DNL	微分非直線性誤差	VCC=1.6~3.6V		0.6	<±1	
F _{clk}	変換速度				1000	ksp/s
AREF	外部基準電圧		1.1		AVCC-0.6	V
	基準電圧入力インピーダンス			>10		MΩ
	最大出力電圧	負荷抵抗=100kΩ		0.98AVCC		V
	最小出力電圧	負荷抵抗=100kΩ		0.01		

34.7. アナログ比較器特性

表34-8. アナログ比較器特性

シンボル	項目	条件	最小	代表	最大	単位
V _{off}	入力変位(オフセット)電圧	VCC=1.6~3.6V		<±5		mV
I _{lk}	入力漏れ電流	VCC=1.6~3.6V		<1000		pA
V _{hyst1}	ヒステリシス(なし設定時)	VCC=1.6~3.6V		0		mV
V _{hyst2}	ヒステリシス(小設定時)	VCC=1.6~3.6V		25		
V _{hyst3}	ヒステリシス(大設定時)	VCC=1.6~3.6V		50		
t _{delay}	伝播遅延	VCC=3.0V, TA=85°C			100	ns
		VCC=1.6~3.6V		70		
		VCC=1.6~3.6V	低電力動作	140		

34.8. バンドギャップ電圧特性

表34-9. バンドギャップ電圧特性

シンボル	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		1clk_PER+2.5μs		μs
	バンドギャップ電圧			1.1		V
	ADC/DACの1.00V内部基準電圧	校正後, TA=85°C	0.99	-	1.01	
	電圧と温度での変動	VCC=1.6~3.6V, TA=-40~85°C		±5		%

34.9. 低電圧検出(Brownout Detection)特性

表34-10. 低電圧検出特性

シンボル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0			1.6		V
	VCC降下検出レベル1			1.9		
	VCC降下検出レベル2			2.1		
	VCC降下検出レベル3			2.4		
	VCC降下検出レベル4			2.6		
	VCC降下検出レベル5			2.9		
	VCC降下検出レベル6			3.2		
	VCC降下検出レベル7			3.4		
	ヒステリシス	検出レベル0~5		2		%

注: 値電圧検出(BOD)は85°Cで検出レベル0に対して校正され、検出レベル0が既定レベルです。

34.10. ハット特性

表34-11. ハット特性

シンボル	項目	条件	最小	代表	最大	単位
VIH	Highレベル入力電圧	VCC=2.4~3.6V	0.7VCC		VCC+0.5	V
		VCC=1.6~2.4V	0.8VCC		VCC+0.5	
VIL	Lowレベル入力電圧	VCC=2.4~3.6V	-0.5		0.3VCC	
		VCC=1.6~2.4V	-0.5		0.2VCC	
VOH	汎用入出力Highレベル出力電圧	IOH=-8mA, VCC=3.3V	2.6	3.0		
		IOH=-6mA, VCC=3V	2.1	2.2		
		IOH=-2mA, VCC=1.8V	1.4	1.6		
VOL	汎用入出力Lowレベル出力電圧	IOL=15mA, VCC=3.3V		0.45	0.76	
		IOL=10mA, VCC=3V		0.3	0.64	
		IOL=5mA, VCC=1.8V		0.2	0.46	
IIH	I/OピンHigh側入力漏れ電流			<0.001	1	μA
IIL	I/OピンLow側入力漏れ電流			<0.001	1	
RP	I/Oピンプル/バス保持 抵抗			20		kΩ
RRST	リセットピンプルアップ抵抗			20		
	入力ヒステリシス			0.5		V

34.11. 電源ONリセット(POR)特性

表34-12. 電源ONリセット特性

シンボル	項目	条件	最小	代表	最大	単位
VPOT-	VCC下降POR閾値電圧			1		V
VPOT+	VCC上昇POR閾値電圧			1.4		

34.12. 外部リセット特性

表34-13. 外部リセット特性

シンボル	項目	条件	最小	代表	最大	単位
	最小リセットパルス幅			90		ns
	リセット閾値電圧	VCC=2.7~3.6V		0.45VCC		V
		VCC=1.6~2.7V		0.42VCC		

34.13. 発振器特性

表34-14. 32.768kHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, TA=85°C, 製造校正後	-0.5		0.5	%

表34-15. 2MHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, TA=85°C, 製造校正後	-1.5		1.5	%
	DFLL校正段階量	VCC=3.0V, TA=25°C		0.175		

表34-16. 32MHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, TA=85°C, 製造校正後	-1.5		1.5	%
	DFLL校正段階量	VCC=3.0V, TA=25°C		0.2		

表34-17. 32kHz内部ULP発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	32kHz ULP OSC出力周波数	VCC=3.0V, TA=85°C		26		kHz

表34-18. 時計用32.768kHzクリスタル用推奨最大ESR

クリスタル負荷容量 (CL: pF)	最大ESR (kΩ)
6.5	60
9	35

表34-19. 休止(スリープ)からのデバイス起動時間

シンボル	項目	条件 (注1)	最小	代表 (注2)	最大	単位
	アイドル、スタンバイ、拡張スタンバイからの起動時間	32.768kHz内部RC		130		μs
		2MHz内部RC		2		
		2MHz外部クロック信号		2		
		32MHz内部RC		0.17		
	パワーセーブ、パワーダウンからの起動時間	32.768kHz内部RC		320		μs
		2MHz内部RC		10.3		
		2MHz外部クロック信号		4.5		
		32MHz内部RC		5.8		

注1: 前置分周されないシステムクロック元です。

注2: 外部割り込みピンでのピン変化から利用可能な最初のクロック周期までの時間です。追加の割り込み応答時間は最小5システムクロック元周期です。

35. 代表特性

35.1. 活動動作消費電流

図35-1. 活動動作消費電流 対 周波数 ($f_{SYS}=1\sim 32\text{MHz}$, $T_A=25^\circ\text{C}$)

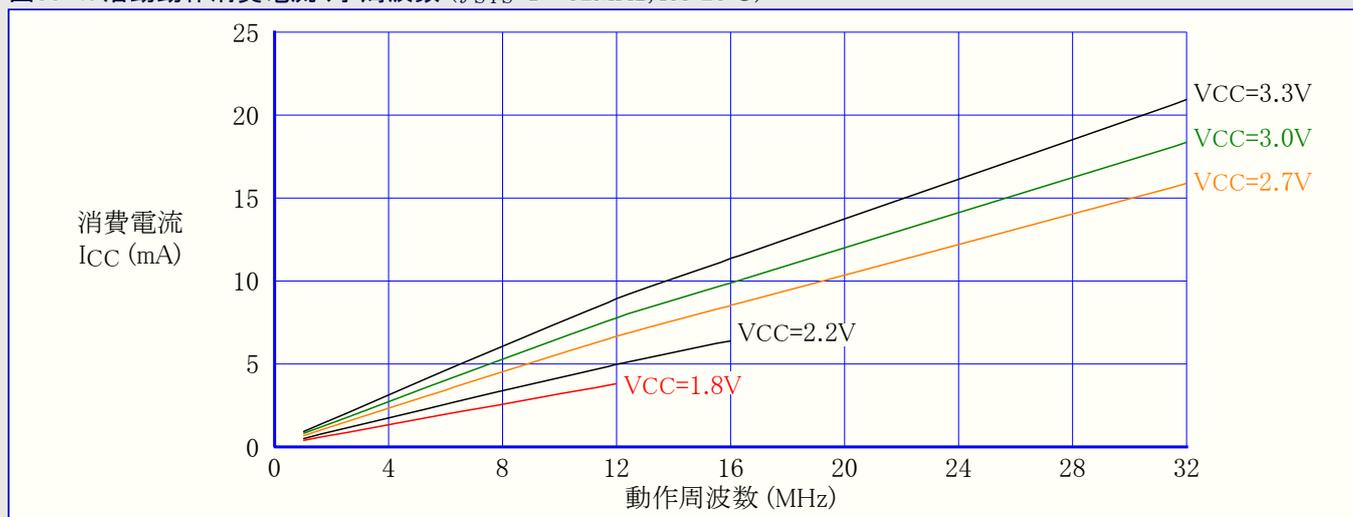
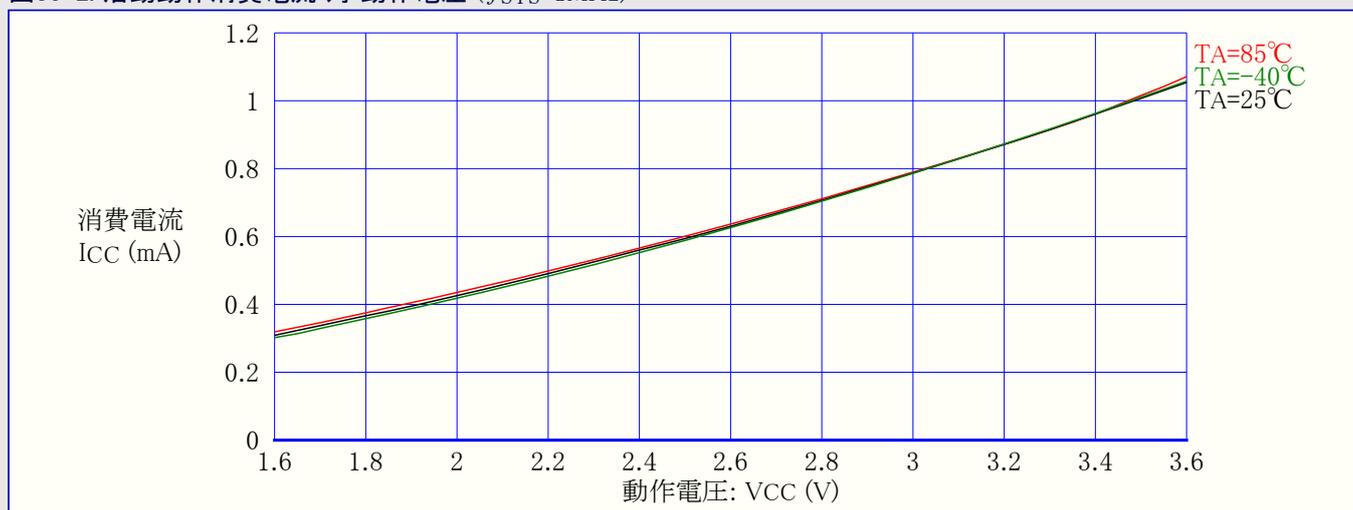


図35-2. 活動動作消費電流 対 動作電圧 ($f_{SYS}=1\text{MHz}$)



35.2. アイドル動作消費電流

図35-3. アイドル動作消費電流 対 周波数 ($f_{SYS}=1\sim 32\text{MHz}$, $T_A=25^\circ\text{C}$)

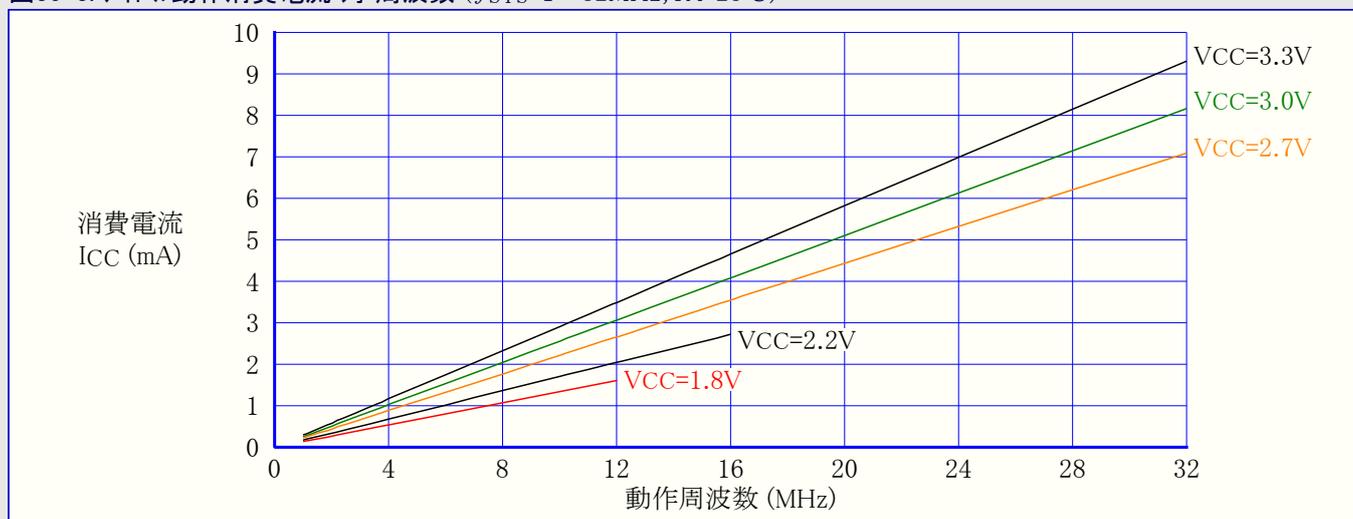
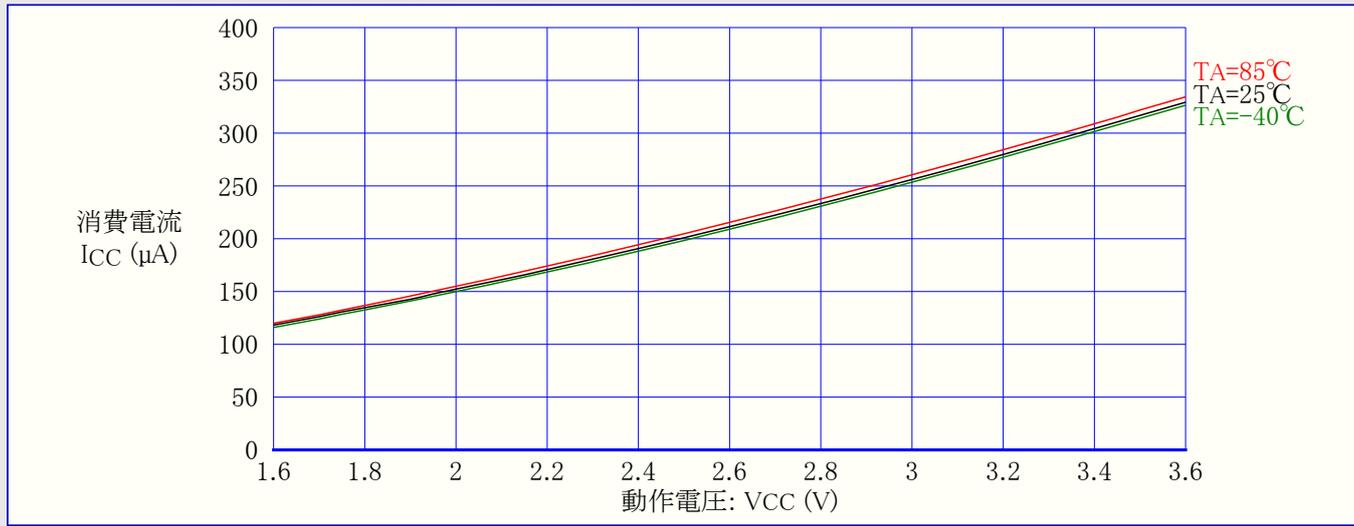
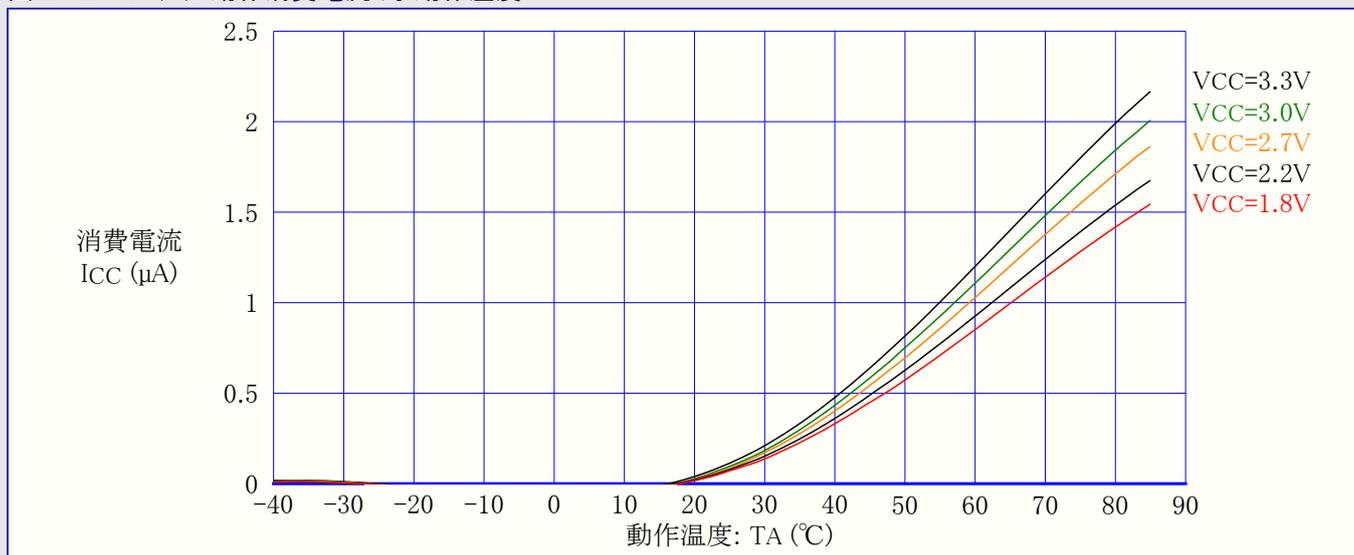


図35-4. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=1MHz$)



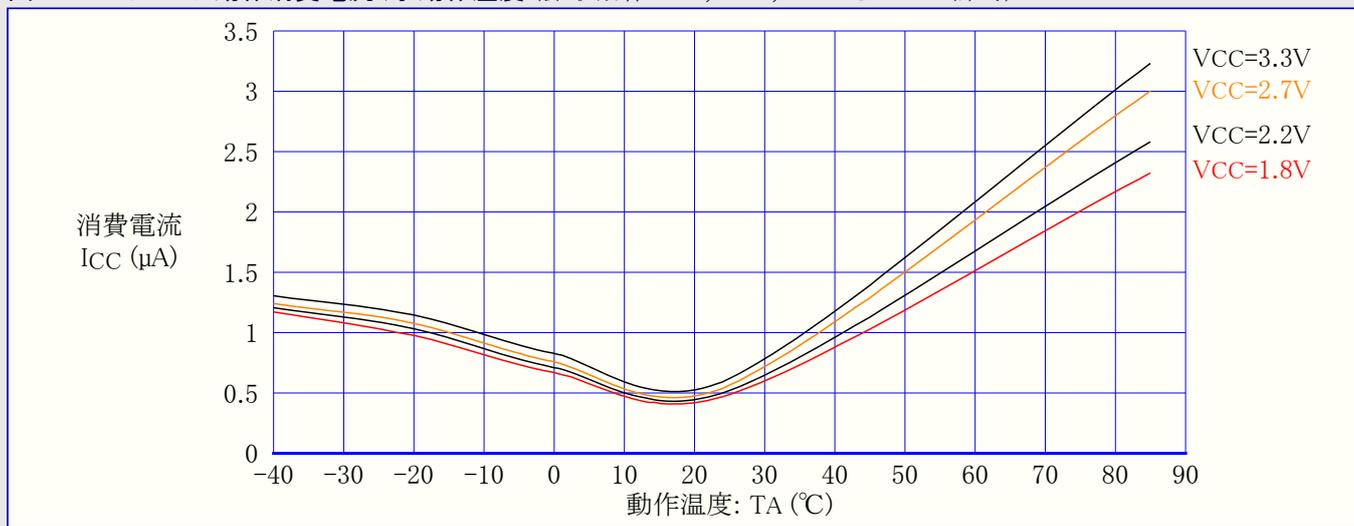
35.3. パワーダウン動作消費電流

図35-5. パワーダウン動作消費電流 対 動作温度



35.4. パワーセーブ動作消費電流

図35-6. パワーセーブ動作消費電流 対 動作温度 (採取動作BOD,WDT,ULPからのRTC許可)



35.5. ピンプルアップ

図35-7. RESETプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

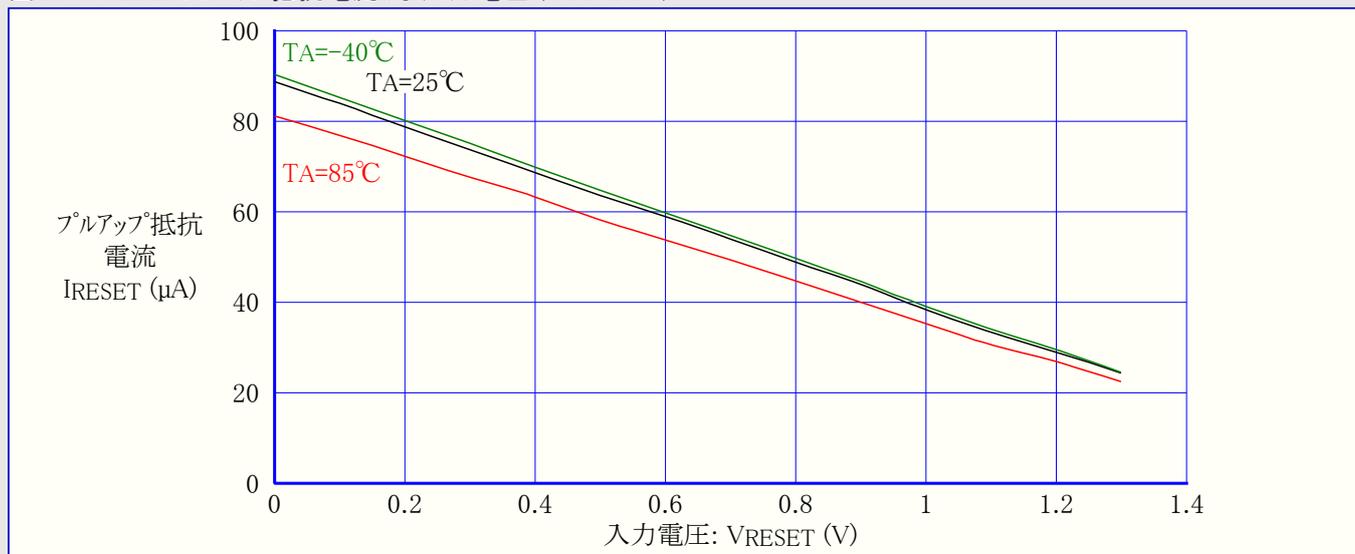


図35-8. RESETプルアップ抵抗電流 対 入力電圧 (VCC=3.0V)

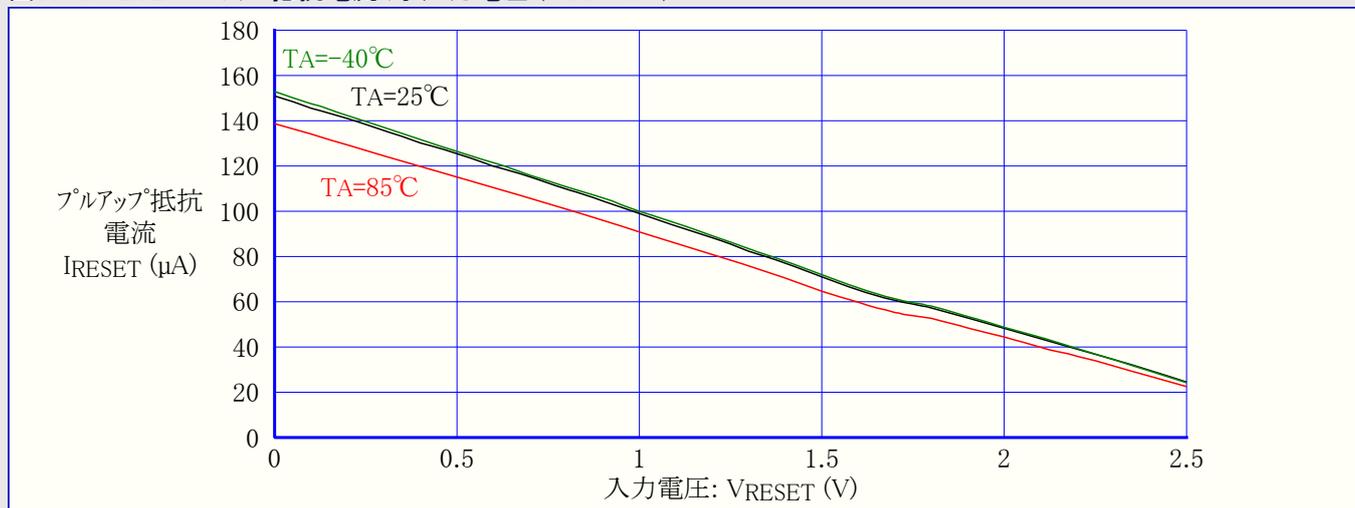
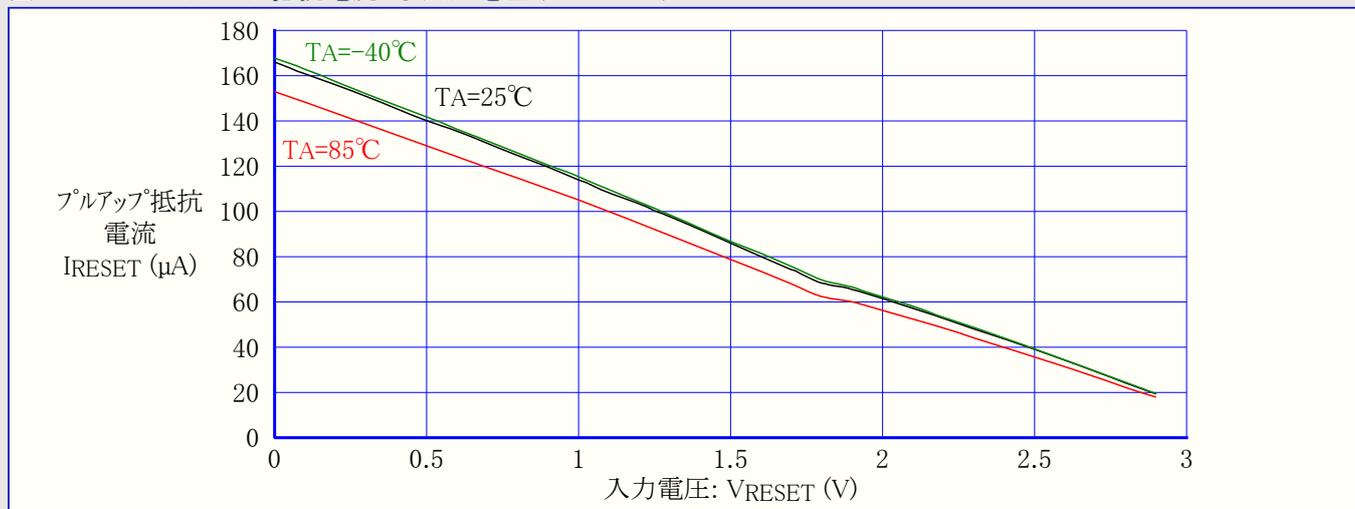


図35-9. RESETプルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



35.6. ピン 閾値とヒステリシス

図35-10. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIH, 1読み値)

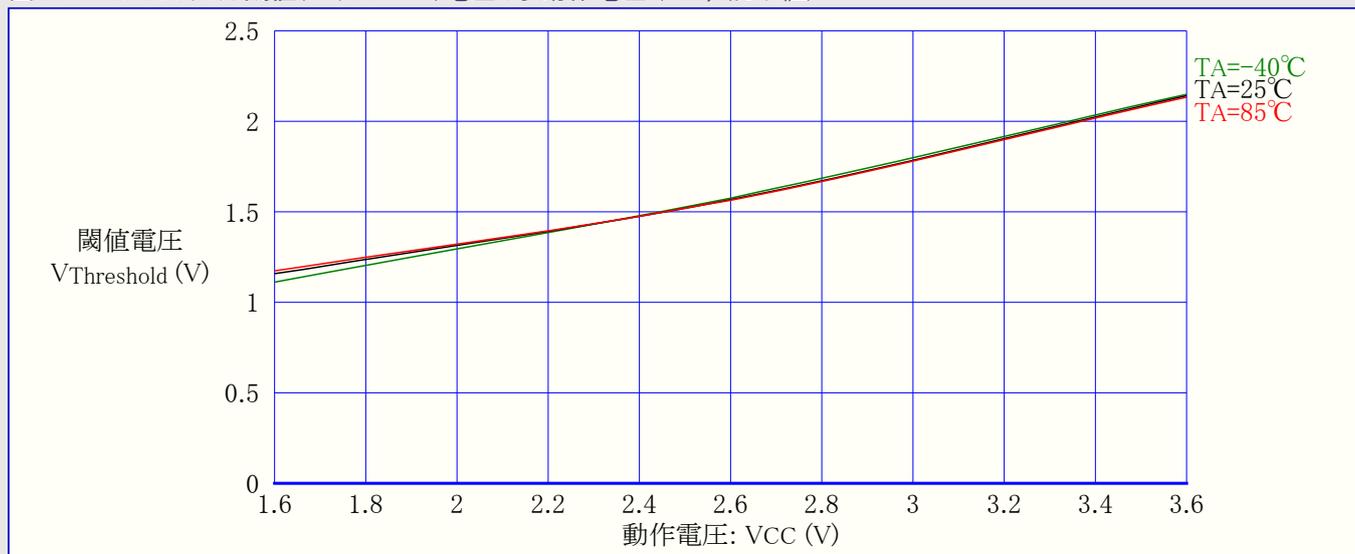


図35-11. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL, 0読み値)

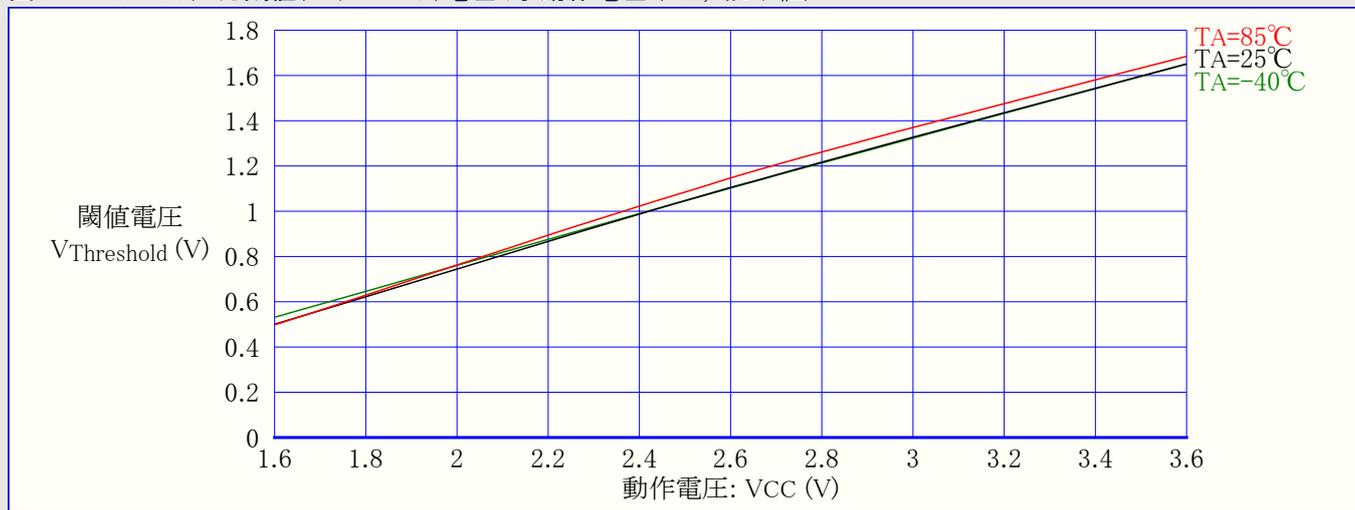


図35-12. I/Oピン入力ヒステリシス電圧 対 動作電圧

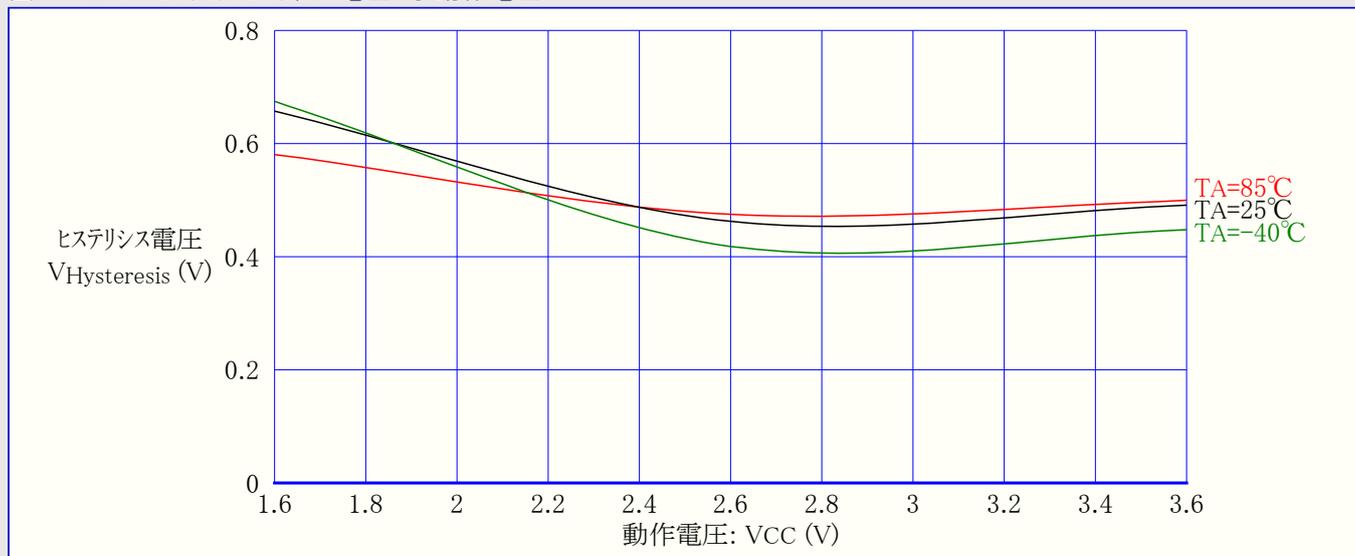


図35-13. RESET入力閾値(スレッシュホールド)電圧 対 動作電圧 (VIH,1読み値)

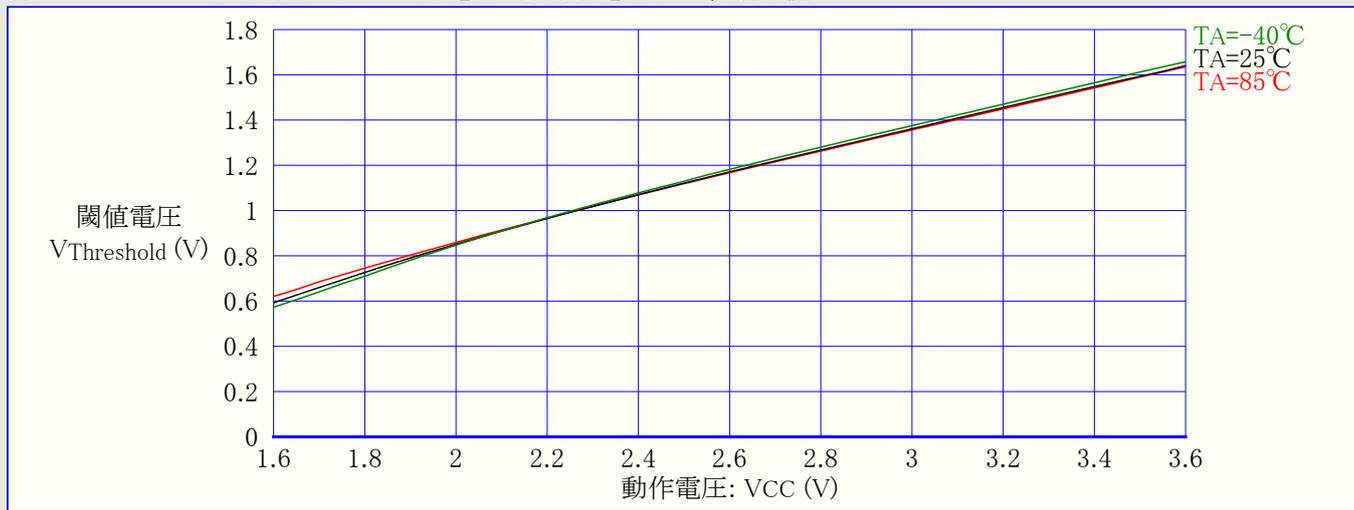
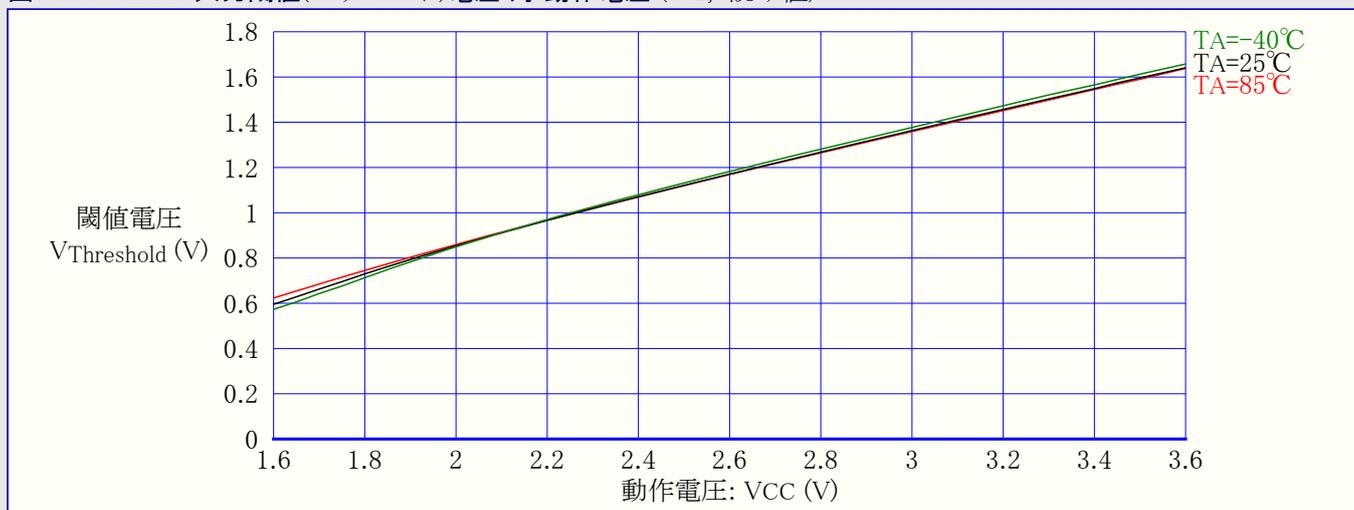


図35-14. RESET入力閾値(スレッシュホールド)電圧 対 動作電圧 (VIL,0読み値)



35.7. 低電圧検出器(BOD)閾値

図35-15. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧=1.6V)

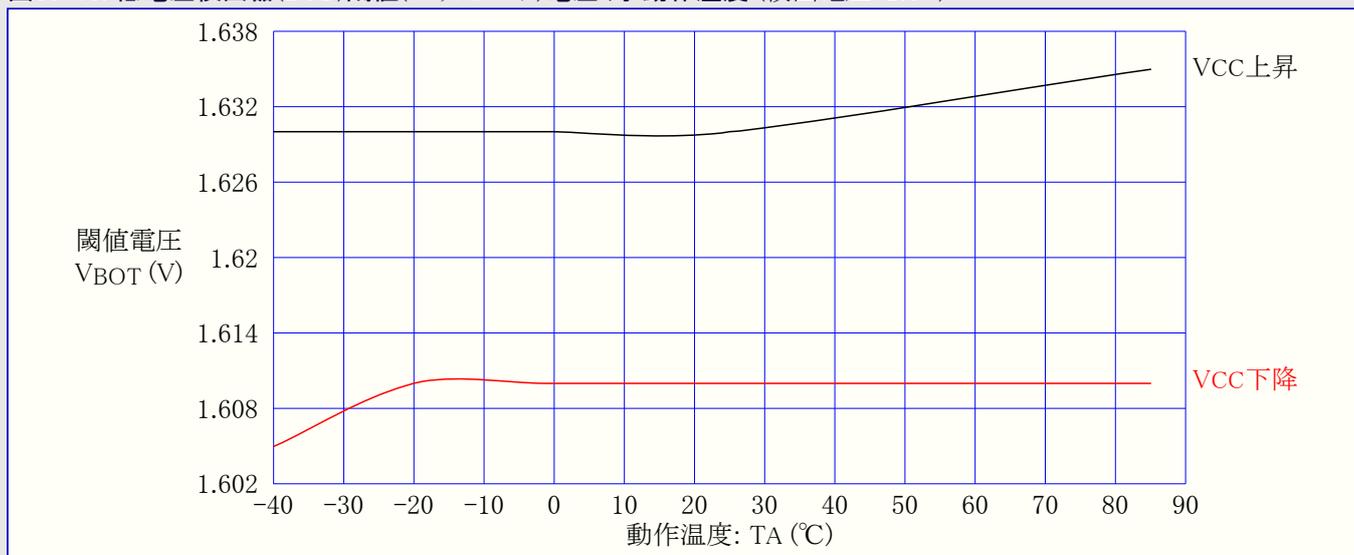
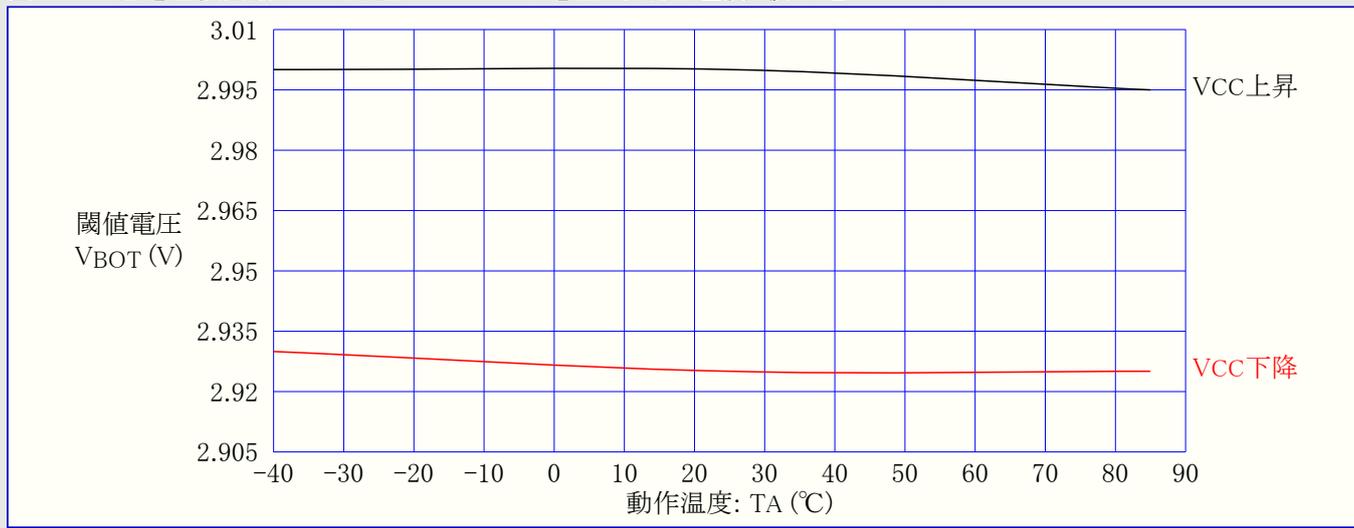
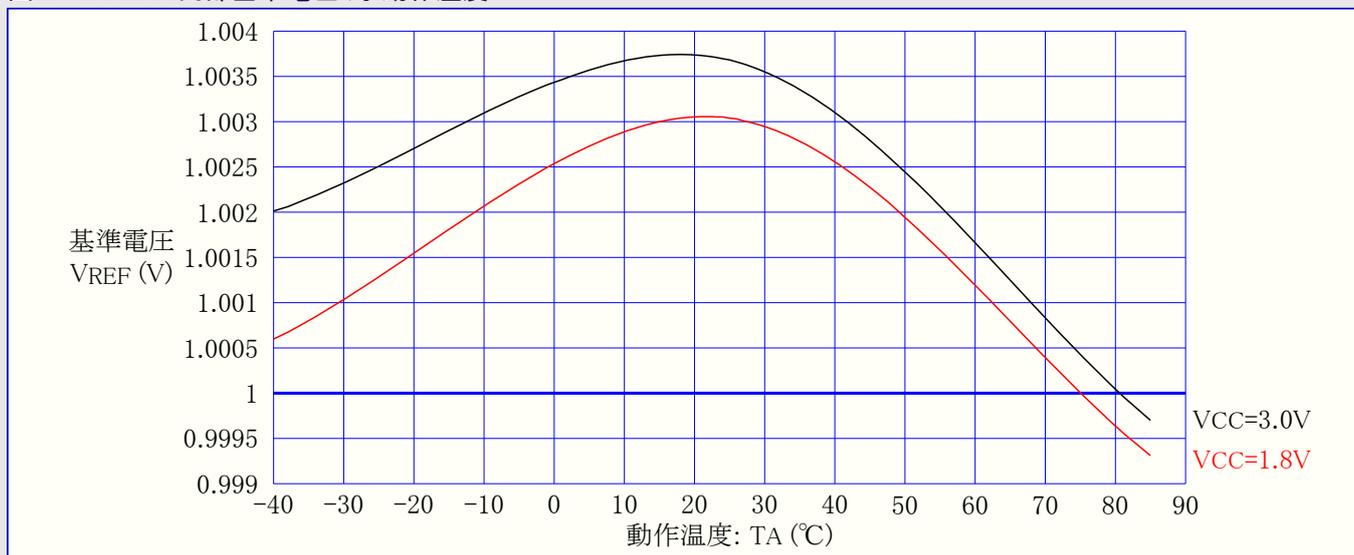


図35-16. 低電圧検出器(BOD)閾値(スレッシュホールド)電圧 対 動作温度 (検出電圧=2.9V)



35.8. バンドギャップ

図35-17. 1.00V内部基準電圧 対 動作温度



35.9. アナログ比較器

図35-18. アナログ比較器ヒステリシス電圧 対 動作電圧 (高速動作,ヒステリシス小設定)

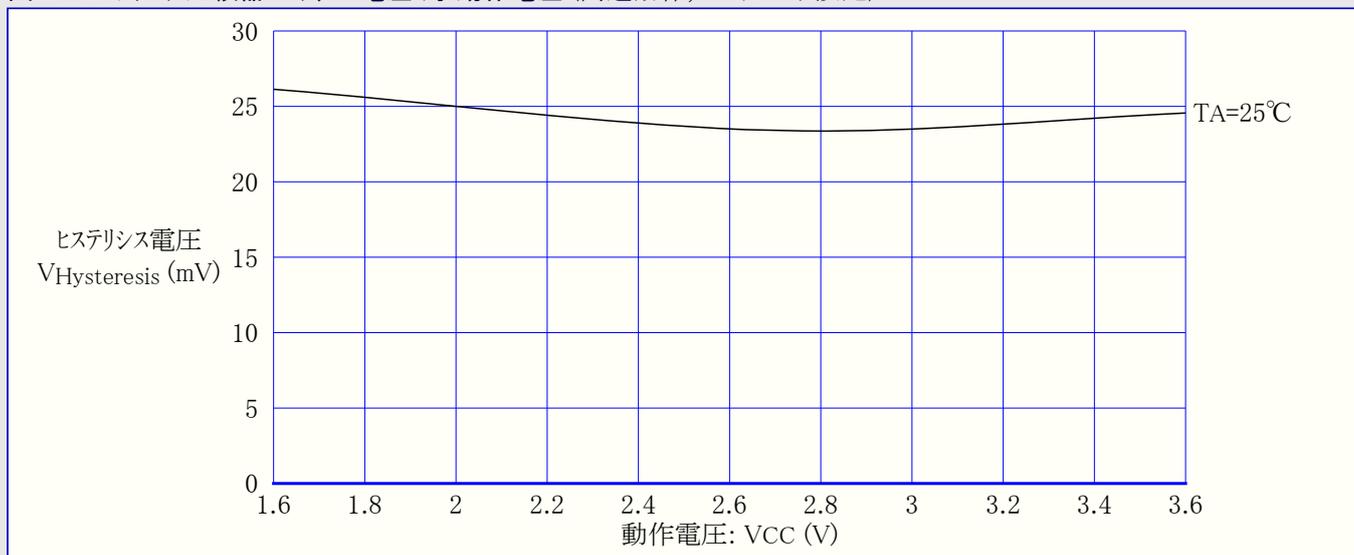


図35-19. アナログ比較器ヒステリシス電圧 対 動作電圧 (高速動作,ヒステリシス大設定)

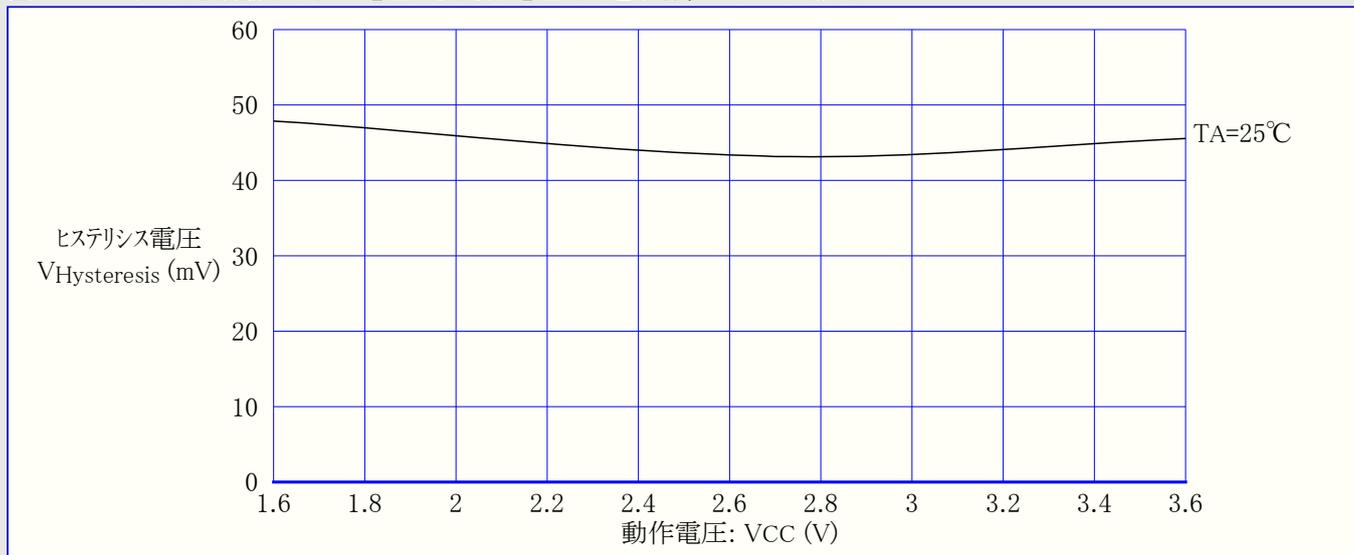
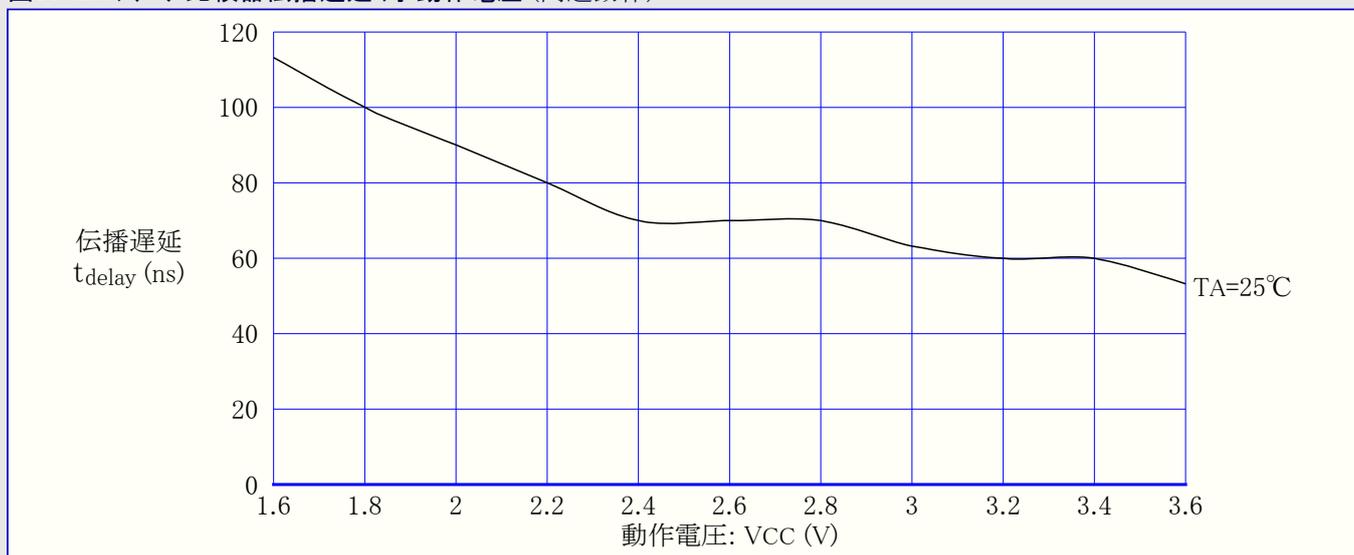


図35-20. アナログ比較器伝播遅延 対 動作電圧 (高速動作)



35.10. 発振器と起動時間

図35-21. 32.768kHz内部RC発振器周波数 対 動作温度 (1.024kHz出力)

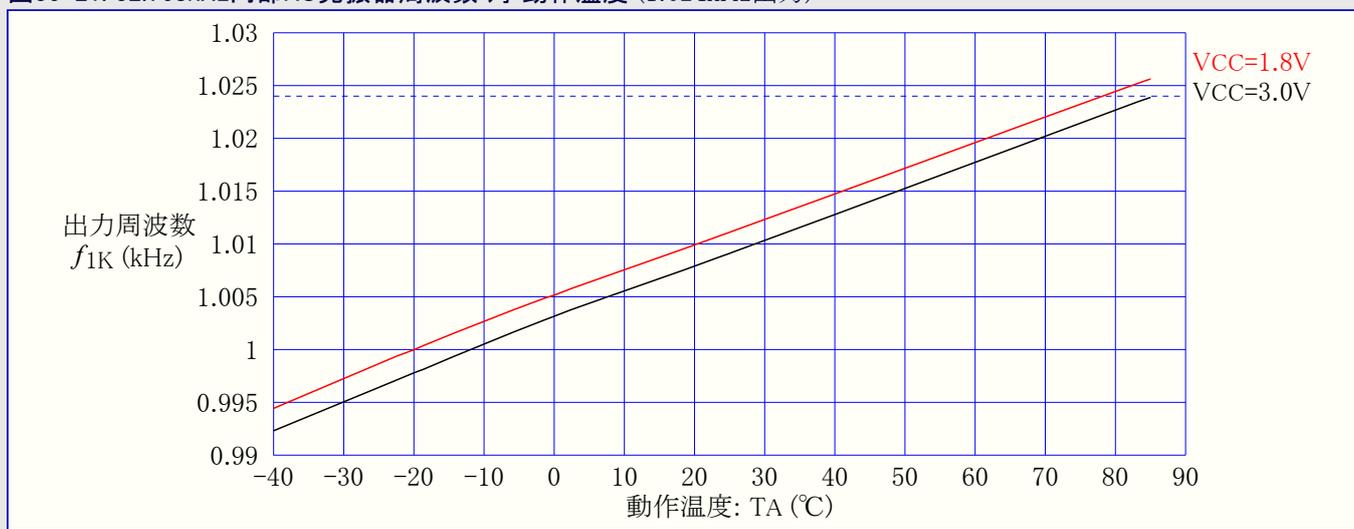


図35-22. 超低電力(ULP)発振器周波数 対 動作温度 (1kHz出力)

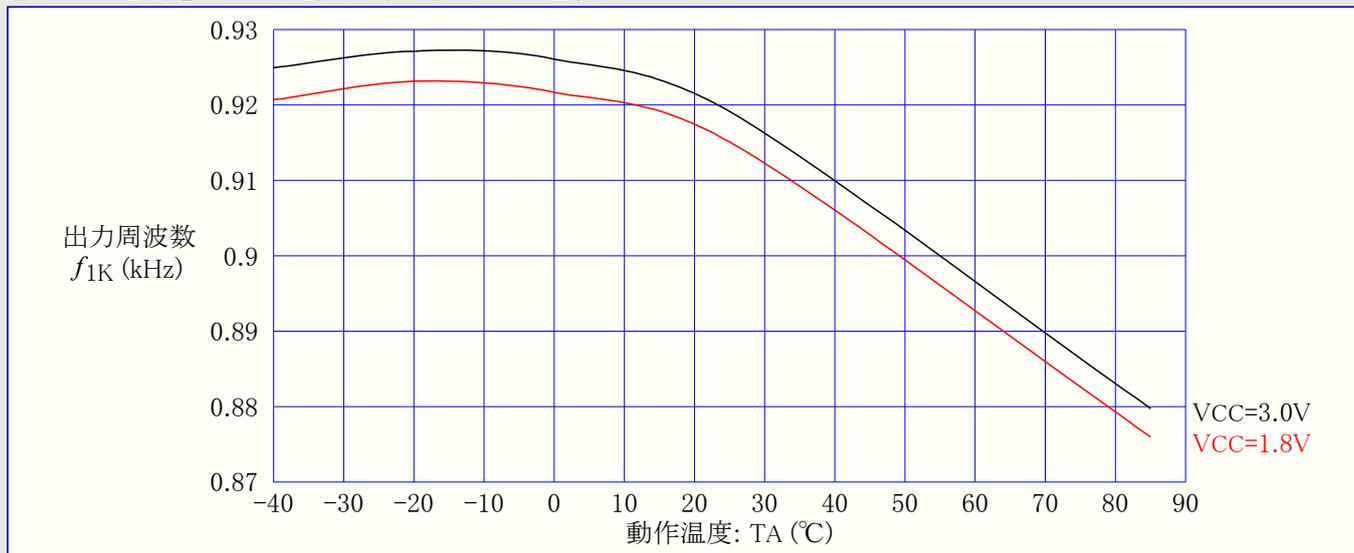


図35-23. 2MHz内部RC発振器CALA校正段階変量 (VCC=3.0V, TA=-40~85°C)

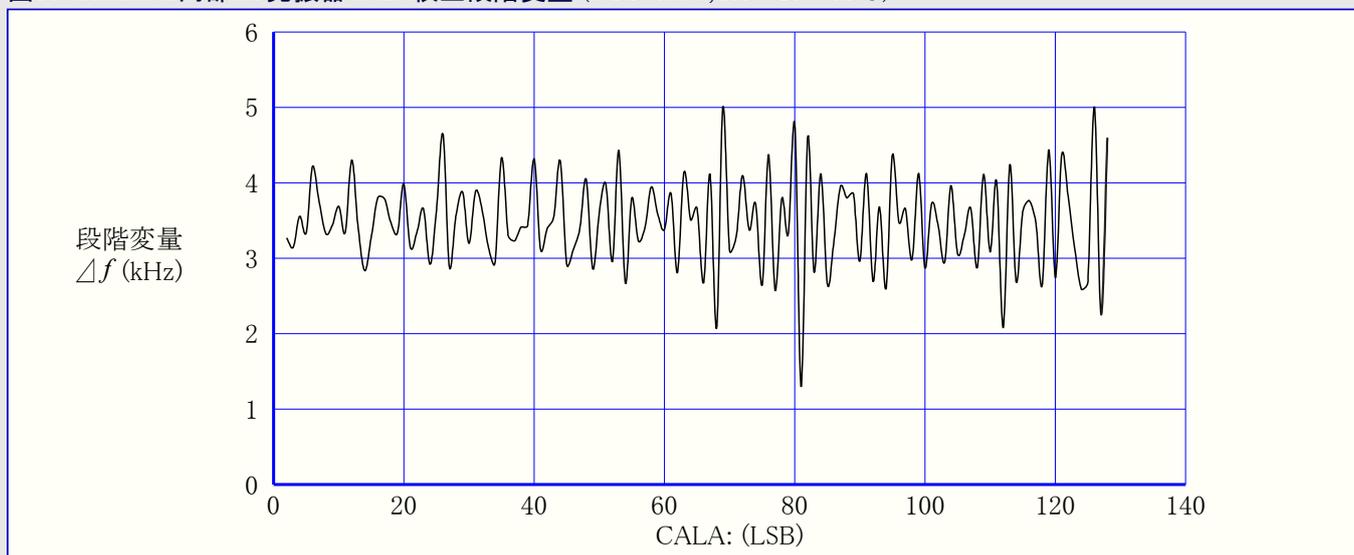


図35-24. 2MHz内部RC発振器CALB校正段階変量 (VCC=3.0V, TA=-40~85°C)

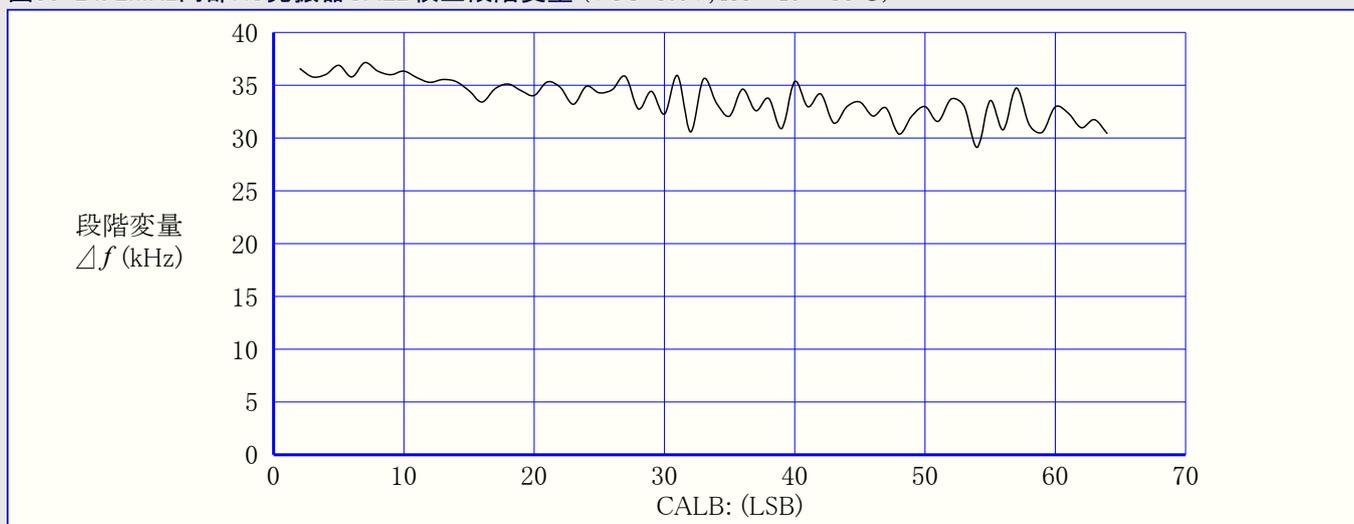


図35-25. 32MHz内部RC発振器CALA校正段階変量 (VCC=3.0V, TA=-40~85°C)

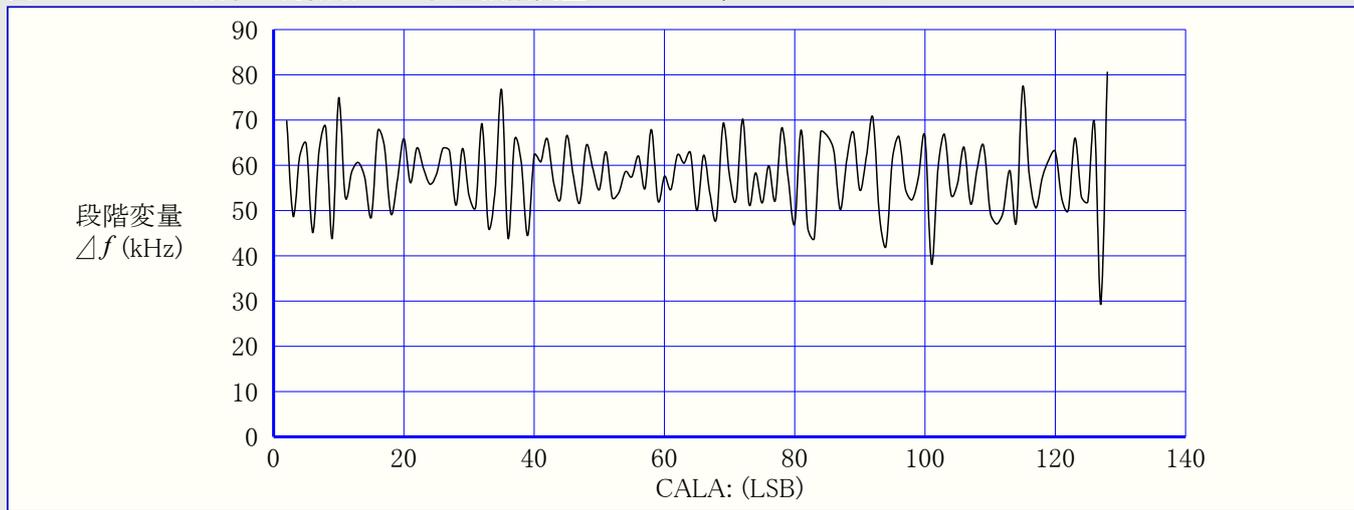
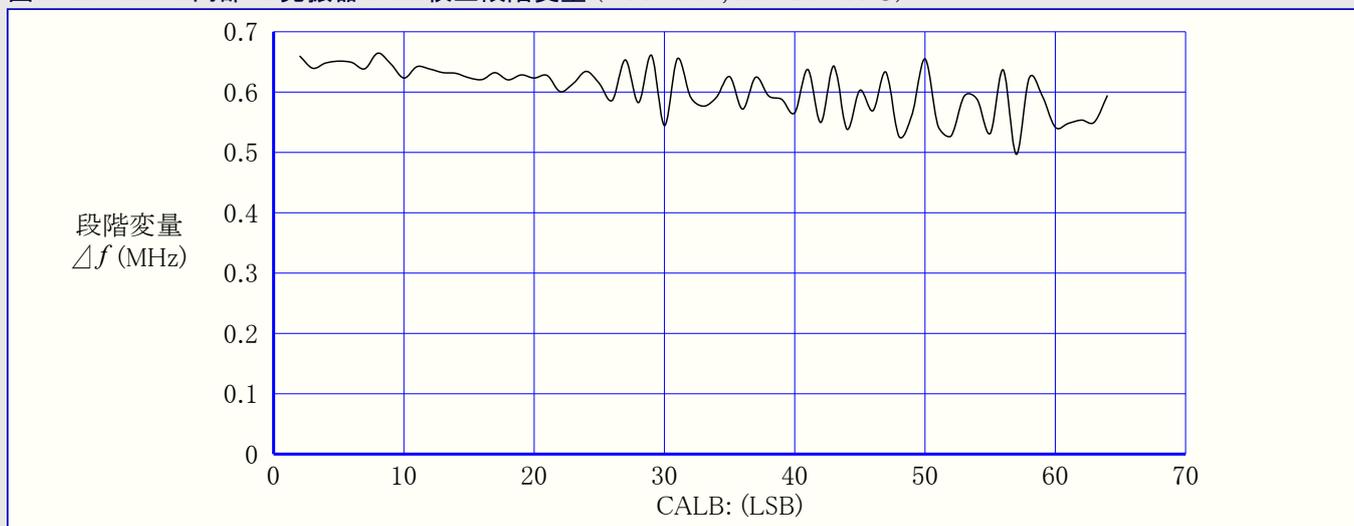
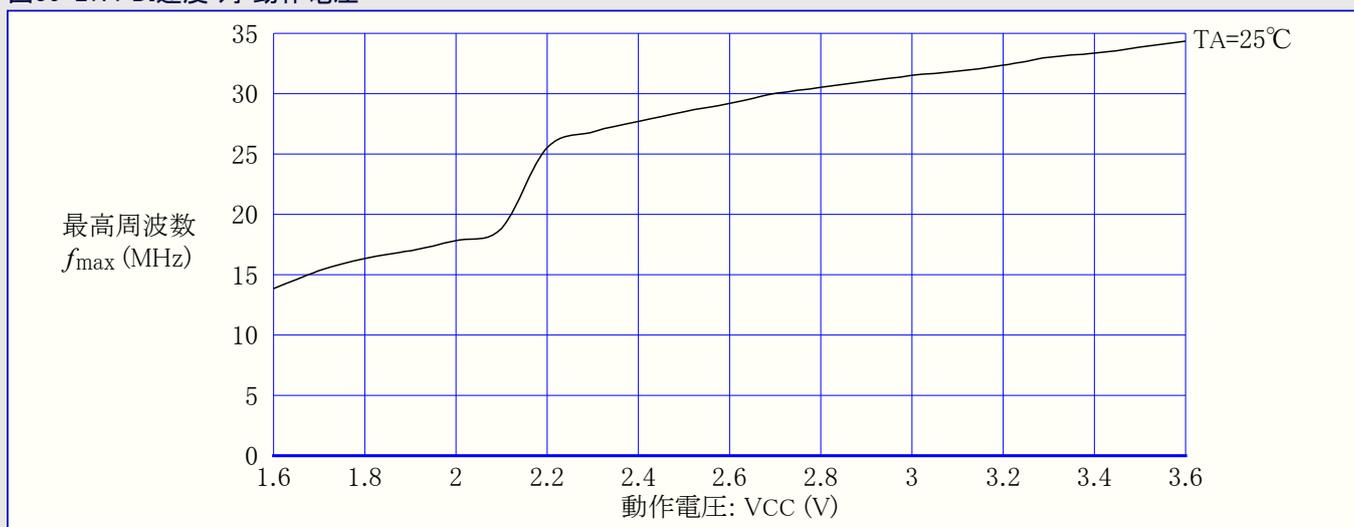


図35-26. 32MHz内部RC発振器CALB校正段階変量 (VCC=3.0V, TA=-40~85°C)



35.11. PDI速度

図35-27. PDI速度 対 動作電圧



36. 障害情報

36.1. ATxmega64A1改訂H, ATxmega128A1改訂G,H

- 両アナログ比較器(AC)使用時にACIに関するバンドギャップ基準電圧が変更できない 64-H,128-G/H
- A/D変換器利得段出力範囲が2.4Vに制限される 64-H,128-G/H
- A/D変換器が最大±2LSB不正確 64-H,128-G/H
- TWIの一斉呼び出しアドレスがR/Wビット値と無関係に一致 64-H,128-G/H
- TWIの受信主装置でI²C最小SCL Low時間が違反し得る 64-H,128-G/H
- 電力削減レジスタのHIRESビット設定(=1)がPWM出力を利用不能にする 64-H,128-G/H
- 低電圧検出器(BOD)がどのリセット後にも許可される 64-H,128-G/H
- 活動動作での採取動作低電圧検出器(BOD)は基準電圧としてバンドギャップ使用時に雑音を発生 64-H,128-G/H
- フラッシュメモリ電力削減動作は休止形態動作移行時に許可することができない 64-H,128-G/H
- JTAG許可がアナログ比較器B出力を無効にしない 64-H,128-G/H
- A/D変換器でのバンドギャップ電圧測定はVCCが2.7V未満の時に機能しない 64-H,128-G/H
- D/A変換器の再採取が採取/保持(S/H)動作で妨げられる 64-H,128-G/H
- 動くためには両DFLLと両発振器が許可されなければならない 64-H,128-G/H
- アナログ比較器用VCC電圧縮尺器が非直線 64/128-H
- 2.0V未満の供給電圧で採取速度が500kspsに制限される 64/128-H
- 比較一致でのA/D変換器事象が機能しない 64/128-H
- 入力を利得段に切り替え後の最初の3採取で精度を失う 64/128-H
- 続いて起こる2つのA/D変換採取間の入力差がVREFIによって制御される 64/128-H
- 低温での内部1.0V基準電圧使用時に雑音が増す 64/128-H
- PGMとCWCMの構成設定がXMEGA A手引書の記述のようでない 64/128-H
- 周期単位動作での障害後にPWMが正しく再開しない 64/128-H
- BODACTヒューズ位置が不正 64/128-H
- D/A変換器は採取形態で最大±10 LSBの雑音を持つ 64/128-H
- 基準電圧が2.4VまたはVCC-0.6Vを超える時のD/A変換器は非直線で不正確 64/128-H
- 事象起動形態でD/A変換器チャネル1での変換消失 64/128-H
- 複数バス主装置がSDRAMをアクセスする時のアクセス異常 64/128-H
- NVM DATA0が書かれる時にEEPROMページ緩衝部が常に書かれる 64/128-H
- 保留中の完全な非同期ピン変化割り込みがデバイスを起こさない 64/128-H
- ピン構成設定がアナログ比較器出力に影響を及ぼさない 64/128-H
- ピン入力禁止時に低位割り込みが起動される 64/128-H
- クリスタル用発振器停止に関するNMIフラグが自動的に解除(0) 64/128-H
- いくつかのNVM指令が機能しない 64/128-H
- 例えクリスタルがRTCの供給元でも、パワーセーブ後にクリスタル始動時間が必要とされる 64/128-H
- 電力削減レジスタのEBI設定(1)でのEBIアドレス空間アクセスがバス主装置を施錠 64/128-H
- 休止後にRTC計数値が正しく読めない 64/128-H
- 保留中の非同期RTC割り込みがデバイスを起こさない 64/128-H
- TWIのアドレス遮蔽機能が機能しない 64/128-H
- TWI送信衝突フラグが再送開始条件で解除(0)されない 64/128-H
- TWI停止割り込み要求フラグの解除(0)がバスを固定化するかもしれない 64/128-H
- バス時間超過のTWI開始条件が転送処理を落とさせる 64/128-H
- TWIデータ割り込み要求フラグ(DIF)が誤って設定(1)として読まれる 64/128-H
- 閉鎖窓内のWDR命令がリセットを発行しない 64/128-H
- フラッシュのブート領域が機能しない 128-G
- 基準電圧が2.4V以上の時にD/A変換器が非直線で不正確 128-G
- EEPROMの消去と書き込みは全てのシステムクロック元では動かない 128-G
- アナログ比較器伝播遅延が-40°Cで2msに増加 128-G
- SDRAM再活性周期に対する小さすぎる既定設定 128-G
- 反転I/O許可がアナログ比較器出力に影響を及ぼさない 128-G

1. 両アナログ比較器(AC)使用時にACに関するバンドギャップ基準電圧が変更できない (64-H,128-G/H)

バンドギャップ電圧が1つのアナログ比較器(AC)に対する入力として選択され、その後別のACに対する入力として選択/選択解除されると、最初の比較器は最大1 μ sの間、影響を及ぼされ、潜在的に不正な比較結果を生じ得ます。

対策/対処

バンドギャップ電圧が両ACに対して同時に必要とされるなら、それらのどれかを許可する前に両ACに対する入力選択を構成設定してください。

2. A/D変換器利得段出力範囲が2.4Vに制限される (64-H,128-G/H)

A/D変換器(ADC)利得段の増幅出力が決して2.4Vを超えず、従って差動入力が2.4V/利得以下の時にだけ正しい出力を生成します。利用可能な利得に関して、これは以下の差動入力範囲を与えます。

- 利得1倍	: 2.4V
- 利得2倍	: 1.2V
- 利得4倍	: 0.6V
- 利得8倍	: 300mV
- 利得16倍	: 150mV
- 利得32倍	: 75mV
- 利得64倍	: 38mV

対策/対処

正しい結果を得るために、ADC利得段からの増幅電圧出力を2.4V以下に保つか、またはADC基準電圧を2.4V以下に保ってください。

3. A/D変換器が最大 ± 2 LSB不正確 (64-H,128-G/H)

A/D変換器(ADC)はADCの入力電圧/出力値上传達関数上の鋸歯文様として見られるように、最大 ± 2 LSBの不正確さを持っています。この不正確さは基準電圧の増大で増え、3V基準電圧で ± 2 LSBに達します。

対策/対処

ありません。実際のADC分解能は最大 ± 2 LSBまでに減少されます。

4. TWIの一斉呼び出しアドレスがR/Wビット値と無関係に一致 (64-H,128-G/H)

TWIが従装置動作で、且つバス上に一斉呼び出しアドレスが発行されているとき、TWI従装置は従装置アドレスレジスタ内のR/Wビット(ADDRレジスタのビット0)に関係なくアドレス一致になります。

対策/対処

一斉呼び出しアドレス一致でR/Wビットを調べるのにソフトウェアを使ってください。

5. TWIの受信主装置でI²C最小SCL Low時間が違反し得る (64-H,128-G/H)

TWIが受信主装置で、且つバス上に再送開始条件を発行すると、例え1つの完全なSCL Low期間が経過されていなくても、これがSCL線を直ちに開放します。これはI²C使用の最小SCL Low時間に違反し得ることを意味します。

対策/対処

これが応用に於いて潜在的な問題を起すなら、ソフトウェアは1つのSCL Low時間が経過する前に決して再送開始条件が発行されないことを保証しなければなりません。

6. 電力削減レジスタのHIRESビット設定(=1)がPWM出力を利用不能にする (64-H,128-G/H)

PORTxに対する電力削減レジスタ(PRPx)のHIRES電力削減(HIRES)ビットの設定(1)は、例え高分解能拡張(Hi-Res)が使われていなくても、対応するタイマ/カウンタ(TCx0とTCx1)に対する周波数またはPWMのどの出力もピンで利用不能にします。

対策/対処

TCx0/1からの周波数またはPWMの出力が使われる時に、PRPxレジスタでHIRESビットを(1)に書かないでください。

7. 低電圧検出器(BOD)がどのリセット後にも許可される (64-H,128-G/H)

リセット元のどれかが活性(有効)になる場合にBODが許可され、VCC電圧が設定されたBODレベル以下なら、デバイスのリセットに保ちます。例えBODが禁止されていても、電源ONリセットの間、VCCが設定されているBODレベル以上になるまでリセットは開放されません。

対策/対処

例えBODが使われていなくても、BODレベルをVCCよりも高く設定しないでください。

8. 活動動作での採取動作低電圧検出器(BOD)は基準電圧としてバンドギャップ使用時に雑音を発生 (64-H,128-G/H)

デバイスが活動動作またはアイドル動作で走行している時の採取動作でのBOD使用は、A/D変換器(ADC)とD/A変換器(DAC)に対するバンドギャップ基準電圧上に雑音を付加するでしょう。

対策/対処

ADCまたはDACのどちらかに対する基準電圧としてバンドギャップが使われる場合、BODが採取動作に設定されてはなりません。

9. フラッシュメモリ電力削減動作は休止形態動作移行時に許可することができない (64-H,128-G/H)

パワーセーブまたは拡張スタンバイの休止形態動作移行時にフラッシュ電力削減動作が許可されている場合、起動時間が最大16CPUロック周期まで変化するでしょう。

対策/対処

休止形態動作移行前にフラッシュ電力削減動作を禁止してください。

10. JTAG許可がアナログ比較器B出力を無効にしない (64-H,128-G/H)

JTAGが許可されているとき、これはアナログ比較器B(ACB)出力を無効にせず、これが許可されている場合にピン7でのAC0OUTを無効にしません。

対策/対処

ACBに対するAC0OUTはJTAGが使われる時に許可されるべきではありません。JTAGが使われる時にACAに対するアナログ比較器出力だけを使うか、またはデバッグインターフェースとしてPDIを使ってください。

11. A/D変換器でのバンドギャップ電圧測定はVCCが2.7V未満の時に機能しない (64-H,128-G/H)

A/D変換器(ADC)はVCCが2.7V未満の時のバンドギャップ測定を行うのに使うことができません。

対策/対処

ありません。

12. D/A変換器の再採取が採取/保持(S/H)動作で妨げられる (64-H,128-G/H)

D/A変換器(DAC)が採取/保持(S/H)動作で走行し、且つ1つのチャンネルが最大速度行われている(換言すると、このチャンネルに対する変換を行うのにDACが常に多忙の場合、これが第2のチャンネルへの再活性信号を妨げます。

対策/対処

S/H動作でのDAC使用時、最大変換速度で走行するチャンネルが無いことを保証してください。または両チャンネルの変換速度が再活性の必要がないくらい充分高いことを保証してください。

13. 動くためには両DFLLと両発振器が許可されなければならない (64-H,128-G/H)

2MHzまたは32MHzの内部発振器に対する走行時自動校正を使うため、動かすのに両発振器用のDFLLと両発振器が許可されなければなりません。

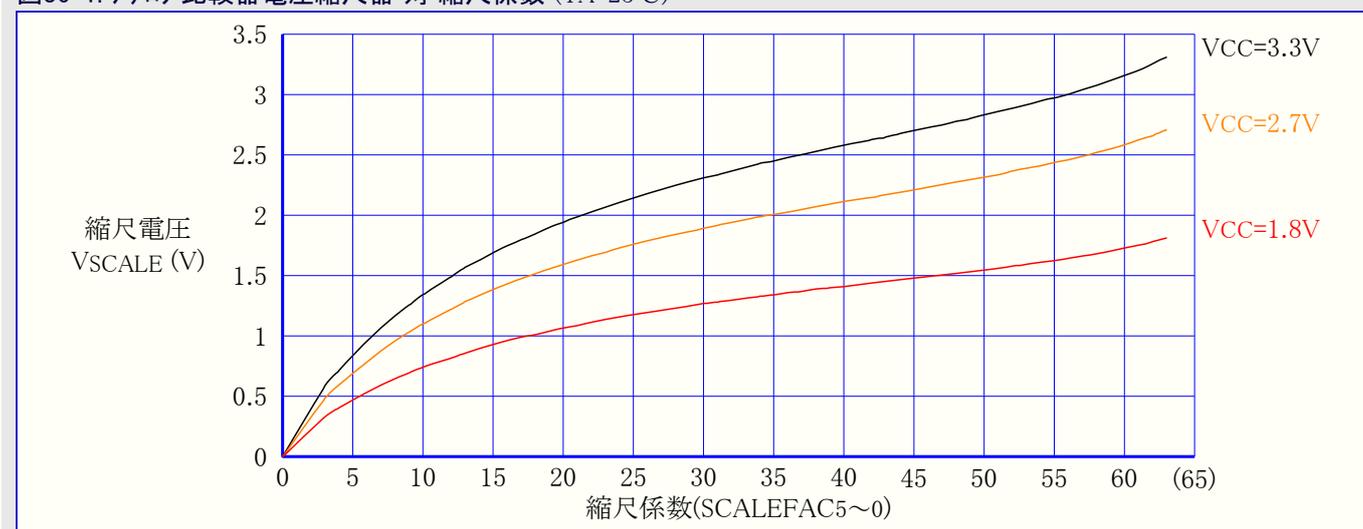
対策/対処

内部発振器の1つに対して走行時自動校正を使う時に両方のDFLLと発振器を許可してください。

14. アナログ比較器用VCC電圧縮尺器が非直線 (64/128-H)

アナログ比較器の6ビットVCC縮尺器は非直線です。

図36-1. アナログ比較器電圧縮尺器 対 縮尺係数 (TA=25°C)



対策/対処

正確な電圧レベルが必要とされるなら、アナログ比較器に対して外部電圧入力を使ってください。

15. 2.0V未満の供給電圧で採取速度が500kspsに制限される (64/128-H)

2.0V未満の供給電圧に対して採取周波数が500kspsに制限されます。より高い採取速度ではINL誤差が数100 LSBになるでしょう。

対策/対処

ありません。

16. 比較一致でのA/D変換器事象が機能しない (64/128-H)

例え割り込み形態(INTMODE)がBELOWまたはABOVEに設定されていても、変換完了毎にA/D変換器(ADC)合図事象が与えられません。

対策/対処

比較機能を使う時に比較一致での割り込みを許可して使ってください。

17. 入力を利得段に切り替え後の最初の3採取で精度を失う (64/128-H)

A/D変換器(ADC)利得段でのメモリ効果のため、入力チャンネル切り替え後の最初の3採取は12ビット精度を達成するために無視されなければなりません。

対策/対処

ADC利得段への入力チャンネル切り替え後に3回のA/D変換を走らせてそれらの結果を破棄してください。

18. 続いて起こる2つのA/D変換採取間の入力差がVREFによって制御される (64/128-H)

2採取間の入力での差が基準の量よりも大きく変化する場合、A/D変換器はデータを正しく変換できないでしょう。正しい変換に先立って2回の変換が必要とされます。

対策/対処

入力がVREFよりも大きく変えられる場合に最初の変換を破棄するか、または入力が決してVREFよりも大きく変化しないことを保証してください。

19. 低温での内部1.0V基準電圧使用時に雑音が増す (64/128-H)

内部1.0V基準電圧を使って0°C未満で操作する時にRMS雑音が4 LSB、p-p雑音が25 LSB上がります。

対策/対処

雑音を取り去るために平均を用いてください。

20. PGMとCWCMの構成設定がXMEGA A手引書の記述のようでない (64/128-H)

共通波形チャンネル動作形態(CWCM)の許可は模様型生成動作形態(PGM)を許可しますが、共通波形動作形態を許可しません。模様型生成動作形態許可と共通波形チャンネル動作形態不許可は模様型生成動作形態と共通波形チャンネル動作形態の両方を許可します。

対策/対処

表36-1. PGMとCWCMの構成設定はこの表に従います。

PGM	CWCM	説明
0	0	PGM禁止、CWCM禁止
0	1	PGM許可
1	0	PGM許可、CWCM許可
1	1	PGM許可

21. 周期単位動作での障害後にPWMが正しく再開しない (64/128-H)

AWeX障害検出再開形態が周期単位に設定されている時は、障害条件がもはや存在しない後の最初の更新で波形出力が標準動作に戻りません。

対策/対処

出力を再許可するようにどれかのAWeX I/Oレジスタを書いてください。

22. BODACTヒューズ位置が不正 (64/128-H)

活動形態でBODを許可するためのヒューズ(BODACT)はXMEGA A手引書で記述されるようにFUSEBYTE5ではなくFUSEBYTE2のビット2と3に配置されます。

対策/対処

FUSEBYTE2でこのヒューズをアクセスしてください。

23. D/A変換器は採取形態で最大±10 LSBの雑音を持つ (64/128-H)

D/A変換器は動作範囲全体に対して採取形態で最大±10 LSBの雑音を持ちます。

対策/対処

連続形態でD/A変換器を使ってください。

24. 基準電圧が2.4VまたはVCC-0.6Vを超える時のD/A変換器は非直線で不正確 (64/128-H)

2.4VまたはVCC-0.6Vを超える基準電圧でのD/A変換器(DAC)の使用は0.75V未満を与える変換符号時に以下のような不正確な出力を与えます。

- 継続動作形態に対して±10 LSB
- 採取/保持動作形態に対して±200 LSB

対策/対処

ありません。

25. 事象起動形態でD/A変換器チャネル1での変換消失 (64/128-H)

2重チャネル動作形態の間にチャネル1が自動起動変換動作に設定されている場合、チャネル1変換は時々失われます。これはチャネル1データレジスタに書かれた全てのデータ値が変換されないことを意味します。

対策/対処

D/A変換間隔を'000'〜'001'(1と3 CLK)の範囲を保ち、変換間隔が決して1.5μsよりも短くならないように周辺機能クロック周波数を制限してください。

26. 複数バス主装置がSDRAMをアクセスする時のアクセス異常 (64/128-H)

1つのバス主装置(CPUとDMAチャネル)がSDRAMのアクセスに集中動作でEBIを使い、別のバス主装置が集中アクセス完了直後の周期でSDRAMの違うバンクの同じ行(RAW)をアクセスする場合、2つ目のバス主装置に関するアクセスが失敗します。

対策/対処

SDRAMにスタックポインタを置かず、CPUとDMA制御器が同時にSDRAMのアクセスが必要ななら、1バイト集中動作でDMA制御器を使ってください。

27. NVM DATA0が書かれる時にEEPROMページ緩衝部が常に書かれる (64/128-H)

EEPROMがメモリに割り当てられている場合、NVM DATA0への書き込みがEEPROMページ緩衝部内のデータを不正にします。

対策/対処

NVM DATA0を書く前に、例えばソフトウェアCRCまたはフラッシュページ緩衝部書き込みを行う時にEEPROMページ緩衝部設定中(EELOAD)フラグが設定(1)されているかを調べてください。EELoadが設定(1)されている時にNVM DATA0を書かないでください。

28. 保留中の完全な非同期ピン変化割り込みがデバイスを起こさない (64/128-H)

休止命令が実行された時に保留になる、どのポートのピン2からのどの完全な非同期ピン変化割り込みも、デバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。これはシステムクロックが停止される全ての休止形態に移行する時に適用します。

対策/対処

ありません。

29. ピン構成設定がアナログ比較器出力に影響を及ぼさない (64/128-H)

出力、プルアップ/ダウン、反転I/Oピン機能はアナログ比較器出力機能に影響を及ぼしません。

対策/対処

出力、プルアップ/ダウン構成設定に関してはありません。

反転I/Oに関しては、反対の結果を与えるようにアナログ比較器(AC)構成を構成設定する(換言すると、正入力をAC負入力へとその逆で接続するか、またはアナログ比較器出力の極性を変更するために外部の反転器とで使ってください)。

30. ピン入力禁止時に低位割り込みが起動される (64/128-H)

ピン入力が禁止されるけれども、ピンが低位で起動に構成設定されている場合、割り込み要求が送られます。

対策/対処

禁止されるピンに対する割り込み許可が解除(0)されていることを確実にしてください。

31. クリスタル用発振器停止に関するNMIフラグが自動的に解除(0) (64/128-H)

クリスタル用発振器停止用のNMIフラグ(XOSCFDIF)はNMI割り込み処理部を実行する時に自動的に解除(0)されます。

対策/対処

このデバイス改訂版は1つのNMI割り込み元だけを持ち、故にソフトウェアで割り込み元を調べる必要はありません。

32. いくつかのNVM指令が機能しない (64/128-H)

以下のNVM指令が機能しません。

- \$2B フラッシュ メモリ ページ消去
- \$2E フラッシュ メモリ ページ書き込み
- \$2F フラッシュ メモリ ページ消去&書き込み
- \$3A フラッシュ メモリ範囲CRC

対策/対処

フラッシュ メモリ範囲CRCについてはありません。

応用とブートの領域をアクセスするための独立したプログラミング指令を使ってください。

- \$22 応用領域ページ消去
- \$24 応用領域ページ書き込み
- \$25 応用領域ページ消去&書き込み
- \$2A ブート ロータ領域ページ消去
- \$2C ブート ロータ領域ページ書き込み
- \$2D ブート ロータ領域ページ消去&書き込み

33. 例えクリスタルがRTCの供給元でも、パワーセーブ後にクリスタル始動時間が必要とされる (64/128-H)

例え休止中に32.768kHzクリスタルがRTCに使われていても、クリスタルからのクロックは指定された始動時間前にシステムに対して準備可になりません。XMEGA A 手引書の“クリスタル用発振器選択(XOSCSEL3~0)”をご覧ください。活動形態で低電圧検出(BOD)が使われている場合、BODはこの期間(0.5s)ONになります。

対策/対処

より早い始動が望まれる場合、システム クロックとして内部発振器で休止へ行ってください。

34. 電力削減レジスタのEBI設定(1)でのEBIアドレス空間アクセスがバス主装置を施錠 (64/128-H)

EBIが許可されている間にEBI電力削減ビットが設定(1)された場合、外部メモリのアクセスはバス切断に帰着し、全てのデータメモリへの更なる全てのアクセスを妨げます。

対策/対処

EBI電力削減ビットを設定(1)する前にEBIが禁止されることを確実にしてください。

35. 休止後にRTC計数値が正しく読めない (64/128-H)

実時間計数器(RTC)がRTC溢れでデバイスを起こすように設定され、そして休止移行時にRTC CNTのビット0がRTC PERのビット0と同じ場合、RTC計数レジスタの値は起き上がり後の最初の前置分周されたRTCクロック周期内で正しく読むことができません。読んだ値は休止移行時のレジスタ内の値と同じです。

起き上がり元としてRTC比較一致が使われる場合も同じく適用されます。

対策/対処

RTC CNT値を読む前に最低1つの前置分周されたRTCクロック周期を待ってください。

36. 保留中の非同期RTC割り込みがデバイスを起こさない (64/128-H)

休止命令が実行されている時に保留にした実時間計数器からの非同期割り込みはデバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。

対策/対処

ありません。

37. TWIのアドレス遮蔽機能が機能しない (64/128-H)

アドレス遮蔽機能は失敗し、故にTWIは複数アドレスでのアドレス一致を実行することができません。

対策/対処

TWIが複数アドレスに反応しなければならないなら、全てのアドレスに反応するためにTWIに対して無差別動作を許可し、ソフトウェアでアドレス遮蔽を実装してください。

38. TWI送信衝突フラグが再送開始条件で解除(0)されない (64/128-H)

TWI送信衝突フラグは開始条件と再送開始条件で自動的に解除(0)されるべきですが、開始条件でだけ解除(0)されます。

対策/対処

アドレス一致割り込み後にソフトウェアでこのフラグを解除(0)してください。

39. TWI停止割り込み要求フラグの解除(0)がバスを固定化するかもしれない (64/128-H)

新しいアドレスを受信したためにハードウェアが**停止条件(STOP)**割り込み要求フラグ(APIF)を設定(1)するのと同じ周辺機能クロック周期でソフトウェアがこのフラグを解除(0)した場合、クロック保持(CLKHOLD)フラグが解除(0)されず、SCL線が開放されません。これはバスを固定化します。

対策/対処

バスの状態がアイドル(IDLE)かを調べてください。これがその場合ならAPIFの解除(0)は安全です。バスの状態がアイドルでなければAPIFを解除(0)する前にSCLピンがLowなるのを待ってください。

コード:

```
/* "安全領域"の場合にだけ割り込み要求フラグを解除(0) */
while ( /* バスがアイドル以外 */
        ((COMMS_TWI.MASTER.STATUS & TWI_MASTER_BUSSTATE_gm) != TWI_MASTER_BUSSTATE_IDLE_gc) &&
        /* SCLが従装置によって保持されていない */
        !(COMMS_TWI.SLAVE.STATUS & TWI_SLAVE_CLKHOLD_bm)
      )
{
    /* SCL線のLowを確認 */
    if ( !(COMMS_PORT.IN & PIN1_bm) )
        if ( !(COMMS_PORT.IN & PIN1_bm) )
            break;
}
/* 保留のアドレス一致割り込み検査 */
if ( !(COMMS_TWI.SLAVE.STATUS & TWI_SLAVE_CLKHOLD_bm) )
{
    /* 割り込み要求フラグの安全な解除(0) */
    COMMS_TWI.SLAVE.STATUS |= (uint8_t)TWI_SLAVE_APIF_bm;
}
```

40. バス時間超過のTWI開始条件が転送処理を落とさせる (64/128-H)

バス時間超過が許可され、**開始条件**が検出されるのと同じ周辺機能クロックで時間超過が起こる場合、転送処理を落とします。

対策/対処

ありません。

41. TWIデータ割り込み要求フラグ(DIF)が誤って設定(1)として読まれる (64/128-H)

TWI従装置応答指令(CMD=11)発行時、データ割り込み要求フラグ(DIF)の解除(0)に1周辺機能クロック周期かかります。指令発行直後のDIF読み込みは未だ設定(1)を示します。

対策/対処

DIF検査前に1つのNOP命令を追加してください。

42. 閉鎖窓内のWDR命令がリセットを発行しない (64/128-H)

窓制御レジスタ更新後の1ULPクロック周期内にWDR命令が実行される時に、システムリセットを与えることなく計数器が解除され得ます。

対策/対処

WDR命令を実行する前に最低1ULPクロック周期待ってください。

43. フラッシュのブート領域が機能しない (128-G)

ブートローダ領域が機能せず、ブートローダや応用のコードはフラッシュメモリのこの部分に存在することはできません。

対策/対処

ありません。ブートローダ領域を使わないでください。

44. 基準電圧が2.4Vを超える時にD/A変換器が非直線で不正確 (128-G)

2.4Vを超える基準電圧でのD/A変換器使用は0.75V出力を発生する変換符号時に以下のような不正確を生じます。

- 継続動作に対して±20 LSB
- 採取/保持(S/H)動作に対して±200 LSB

対策/対処

ありません。2.4Vを超える基準電圧の使用を避けてください。

45. EEPROMの消去と書き込みは全てのシステム クロック元では動かない (128-G)

2MHz内部RC発振器以外でEEPROMの消去と書き込みの操作を行う時に、EEPROM操作の最後に於いて1または2クロック周期の間、フラッシュメモリが不正に読み込みます。

対策/対処

代案1：EEPROMの消去または書き込みの操作を行う時に2MHz内部RC発振器を使ってください。

代案2：EEPROMで消去または書き込みが完了する間、休止形態動作であることを保証してください。EEPROMの消去または書き込みの開始後、他の割り込みが禁止され、デバイスは休止形態動作に置かれるべきです。

46. アナログ比較器伝播遅延が-40°Cで2msに増加 (128-G)

アナログ比較器が-40°Cに達する温度温度で使われる時に、伝播遅延は~2msに増加するでしょう。

対策/対処

ありません。

47. SDRAM再活性周期に対する小さすぎる既定設定 (128-G)

SDRAM再活性周期が\$20よりも小さな値に設定される場合、SDRAM内容はチップ上デバッグ作業を通してアクセスする時に不正にされるかもしれません。

対策/対処

SDRAM再活性周期(REFRESHH/L)は\$20よりも小さな値に設定されるべきではありません。

48. 反転I/O許可がアナログ比較器出力に影響を及ぼさない (128-G)

反転I/Oピン機能はアナログ比較器出力機能に影響を及ぼしません。

対策/対処

反対の結果を与えるようにアナログ比較器(AC)構成を構成設定する(換言すると、正入力をAC負入力へとその逆で接続するか、またはアナログ比較器出力の極性を変更するために外部の反転器とで使ってください)。

37. データシート改訂履歴

本章での頁番号参照が本資料を参照されることに注意してください。本章での改訂の参照は資料改訂を参照しています。

37.1. 8067A – 2008年2月

1. 初版

37.2. 8067B – 2008年5月

1. 3頁の「ピン配置/構成図」と44頁の「ピン配置とピン機能」を更新
2. 5頁の図3-1. XMEGA A1構成図を追加
3. XMEGA A1説明文を含め、4頁の「概要」を更新
4. 7頁で「AVR CPU」の「要点」を更新
5. 15頁の図10-1. 事象システム構成図を更新
6. 22頁の「割り込みと設定可能な多段割り込み制御器」を更新
7. 41頁の「AC – アナログ比較器」を更新
8. 44頁の「交換ピン機能の種類」を更新
9. 45頁の「交換ピン機能」を更新
10. 60頁の「代表特性」を更新
11. 2頁の「注文情報」を更新
12. 4頁の「概要」を更新
13. 7頁の図7-1.を更新
14. 27頁に新規の図16-1.を挿入
15. 55頁で「動作周波数と電圧」内の速度勾配を更新
16. 1頁の「特徴」に新規ATxmega384A1デバイスを追加、2頁の「注文情報」と9頁の「メモリ」を更新 (訳補:後に削除)
17. 新しいXMEGA A1詳細構成図によって5頁の図3-1.を置換
18. 69頁に「ATxmega128A1改訂G」の障害情報を挿入

37.3. 8067C – 2008年6月

1. 1頁で表紙と「特徴」を更新
2. 54頁の「DC特性」を更新
3. 5頁の図3-1.を更新
4. 13頁に「フラッシュメモリとEEPROMのページ容量」を追加
5. 利得誤差、変位(オフセット)誤差、信号雑音比(SNR)の新データで57頁の表33-6.を更新
6. 69頁の「ATxmega128A1改訂G」の障害情報を更新

37.4. 8067D – 2008年7月

1. 2頁の「注文情報」を更新
2. 49頁の「周辺機能単位部アドレス割り当て」を更新
3. 50頁に「割り込みベクタ要約」を挿入 (訳補:後に削除)

37.5. 8067E – 2008年8月

1. 3頁で図2-1.の表題を「構成図とピン配置」に変更
2. 3頁の図2-2.を更新
3. 45頁の表30-2.と表30-3.を更新

36.6. 8067F – 2008年9月

1. 1頁の「特徴」を更新
2. 2頁の「注文情報」を更新
3. 11頁の図8-1.と12頁の図8-2.を更新
4. 13頁の表8-2.を更新
5. 38頁のADCの「要点」と「概要」を更新
6. データシートから「割り込みベクタ要約」を削除

37.7. 8067G – 2008年11月

1. 5頁の「構成図」を更新
2. 10頁の「メモリ」で要点一覧を更新
3. 43頁の「プログラミングとデバッグ」を更新
4. 49頁の「周辺機能単位部アドレス割り当て」を更新、IRCOMはアドレス\$08F0 (訳補:後に再変更)
5. 54頁の「電気的特性」に追加
6. 60頁の「代表特性」に追加
7. 69頁に「ATxmega128A1改訂H」の障害情報を追加
8. 69頁の「ATxmega128A1改訂G」を更新

37.8. 8067H – 2009年4月

1. 編集上の更新
2. 43頁の「概要」を更新
3. 48頁の表30-9を更新
4. 49頁の「周辺機能単位部アドレス割り当て」を更新、IRCOMのアドレス割り当ては\$08F8です。
5. 54頁の「電気的特性」を更新
6. 58頁の「パッド特性」を更新
7. 60頁の「代表特性」を更新

37.9. 8067I – 2009年4月

1. 2頁の「注文情報」を更新
2. 58頁の「パッド特性」を更新

37.10. 8067J – 2010年2月

1. データシートからJTAGリセットを削除
2. 44頁の「タイマ/カウンタとAWeX機能」を更新
3. 45頁の「交換ピン機能」を更新
4. 54頁の「電気的特性」を更新
5. 58頁の「パッド特性」を更新
6. 66頁の「内部発振器周波数」を「発振器と起動時間」に変更
7. 69頁の「障害情報」を更新

37.11. 8067K – 2010年2月

1. 68頁に「PDI速度」を追加

37.12. 8067L – 2010年8月

1. 2頁で図2-1の脚注3を削除
2. 24頁の「要点」を更新、ポートピン7での事象チャネル0出力
3. フラッシュメモリ/EEPROMプログラミングに関するICCの追加により、54頁の「DC特性」を更新
4. 56頁で「A/D変換器特性」にAVCCを追加
5. 56頁で「A/D変換器特性」の始動時間を更新
6. 57頁の「D/A変換器特性」を更新、DC出力インピーダンスを削除
7. 「外圍器情報」章で誤植修正
8. 「障害情報」章で誤植修正

37.13. 8067M – 2010年9月

1. 69頁の「障害情報」でATxmega128A1改訂Hを更新

37.14. 8067N – 2013年3月

1. ATxmega192A1, ATxmega256A1, ATxmega384A1への全参照を削除
2. XMEGA A1Uデバイス データシートに基づいて、単位部記述を更新
3. 41頁の図28-1.「アナログ比較器概要」を更新
4. 境界走査順の表を削除

5. 以下からTBD項目を削除:

54頁の「DC特性」

57頁の「D/A変換器特性」

57頁の「バンドキャプ特性」

6. 56頁の「フラッシュメモリとEEPROMの特性」でページ消去時間を更新

7. 56頁の「A/D変換器特性」を更新

8. 58頁の「ハット特性」で出力Low電圧条件をIOHからIOLに更新

9. ATxmega64A1とATxmega128A1の両方に有効となるように69頁の「障害情報」を更新

37.15. 80670 – 2013年6月

1. 新規設計には推奨されません。 – XMEGA A1U系を使ってください。

目次

特徴	1	14.3. 割り込みベクタ	22
1. 注文情報	2	15. 入出力ポート	24
2. ピン配置/構成図	3	15.1. 要点	24
3. 概要	4	15.2. 概要	24
3.1. 構成図	5	15.3. 出力駆動部	24
4. 資料	6	15.4. 入力感知	26
4.1. 推奨読み物	6	15.5. ポート割り込み	26
5. 容量性接触感知	6	15.6. 交換ポート機能	26
6. お断り	6	16. T/C – 16ビット タイマ/カウンタ	27
7. AVR CPU	7	16.1. 要点	27
7.1. 要点	7	16.2. 概要	27
7.2. 概要	7	17. AWeX – 新波形拡張	29
7.3. 構造概要	7	17.1. 要点	29
7.4. 算術論理演算器 (ALU)	8	17.2. 概要	29
7.5. プログラムの流れ	8	18. Hi-Res – 高分解能拡張	30
7.6. ステータス レジスタ	8	18.1. 要点	30
7.7. スタックとスタック ポインタ	8	18.2. 概要	30
7.8. レジスタ ファイル	9	19. RTC – 16ビット実時間計数器	31
8. メモリ	10	19.1. 要点	31
8.1. 要点	10	19.2. 概要	31
8.2. 概要	10	20. TWI – 2線インターフェース	32
8.3. 実装書き込み可能なフラッシュプログラム メモリ	10	20.1. 要点	32
8.4. ヒューズと施錠ビット	11	20.2. 概要	32
8.5. データ メモリ	12	21. SPI – 直列周辺インターフェース	33
8.6. EEPROM	12	21.1. 要点	33
8.7. I/Oメモリ	12	21.2. 概要	33
8.8. 外部メモリ	12	22. USART	34
8.9. データ メモリとバス調停	12	22.1. 要点	34
8.10. メモリ タイミング	12	22.2. 概要	34
8.11. デバイスIDと改訂	12	23. I2C – 赤外線通信単位部	35
8.12. I/Oメモリ保護	12	23.1. 要点	35
8.13. JTAG禁止	13	23.2. 概要	35
8.14. フラッシュ メモリとEEPROMのページ容量	13	24. AESとDESの暗号エンジン	36
9. DMAC – 直接メモリ入出力制御器	14	24.1. 要点	36
9.1. 要点	14	24.2. 概要	36
9.2. 概要	14	25. EBI – 外部バス インターフェース	37
10. 事象システム	15	25.1. 要点	37
10.1. 要点	15	25.2. 概要	37
10.2. 概要	15	26. ADC – 12ビット A/D変換器	38
11. システム クロックとクロック選択	16	26.1. 要点	38
11.1. 要点	16	26.2. 概要	38
11.2. 概要	16	27. DAC – 12ビット D/A変換器	40
11.3. クロック選択	17	27.1. 要点	40
12. 電力管理と休止形態動作	18	27.2. 概要	40
12.1. 要点	18	28. AC – アナログ比較器	41
12.2. 概要	18	28.1. 要点	41
12.3. 休止形態動作	18	28.2. 概要	41
13. システム制御とリセット	19	29. プログラミングとデバッグ	43
13.1. 要点	19	29.1. 要点	43
13.2. 概要	19	29.2. 概要	43
13.3. リセットの流れ	19	30. ピン配置とピン機能	44
13.4. リセット元	19	30.1. 交換ピン機能の種類	44
13.5. WDT – ウォッチドッグ タイマ	21	30.2. 交換ピン機能	45
14. 割り込みと設定可能な多段割り込み制御器	22	31. 周辺機能単位部アドレス割り当て	49
14.1. 要点	22	32. 命令一式要約	50
14.2. 概要	22	33. 外圍器情報	53

33.1.	100A	53
33.2.	100C1	53
33.3.	100C2	53
34.	電気的特性	54
34.1.	絶対最大定格	54
34.2.	DC特性	54
34.3.	速度	55
34.4.	フラッシュメモリとEEPROMの特性	56
34.5.	A/D変換器特性	56
34.6.	D/A変換器特性	57
34.7.	アナログ比較器特性	57
34.8.	ハントギャップ電圧特性	57
34.9.	低電圧検出(Brownout Detection)特性	58
34.10.	ハット特性	58
34.11.	電源ONリセット(POR)特性	58
34.12.	外部リセット特性	58
34.13.	発振器特性	59
35.	代表特性	60
35.1.	活動動作消費電流	60
35.2.	アイドル動作消費電流	60
35.3.	パワーダウン動作消費電流	61
35.4.	パワーセーブ動作消費電流	61
35.5.	ピンプルアップ	62
35.6.	ピン閾値とヒステリシス	63
35.7.	低電圧検出器(BOD)閾値	64
35.8.	ハントギャップ	65
35.9.	アナログ比較器	65
35.10.	発振器と起動時間	66
35.11.	PDI速度	68
36.	障害情報	69
36.1.	ATxmega64A1改訂H, ATxmega128A1改訂G,H	69
37.	データシート改訂履歴	77
37.1.	8067A - 2008年2月	77
37.2.	8067B - 2008年5月	77
37.3.	8067C - 2008年6月	77
37.4.	8067D - 2008年7月	77
37.5.	8067E - 2008年8月	77
37.6.	8067F - 2008年9月	77
37.7.	8067G - 2008年11月	78
37.8.	8067H - 2009年4月	78
37.9.	8067I - 2009年4月	78
37.10.	8067J - 2010年2月	78
37.11.	8067K - 2010年2月	78
37.12.	8067L - 2010年8月	78
37.13.	8067M - 2010年9月	78
37.14.	8067N - 2013年3月	78
37.15.	8067O - 2013年6月	79



Enabling Unlimited Possibilities®

Atmel Corporation

1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:80670-AVR-06/2013

Atmel®, Atmelロゴとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえばAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATxmega A1系英語版データシート(改訂80670-06/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。