

特徴

- 高性能、低消費8/16ビットAtmel® AVR® XMEGA® マイクロコントローラ
- データメモリと不揮発性プログラムメモリ
 - 実装自己書き換え(ISP)可能な64~256Kバイト(32~128K語)フラッシュメモリ
 - 独立した施錠ビットを持つ4~8Kバイト(2~4K語)ブートコード領域
 - 2~4KバイトのEEPROM
 - 4~16Kバイトの内部SRAM
- 内蔵周辺機能
 - 外部要求支援付き、4チャンネルのDMA制御器
 - 8チャンネルの事象システム
 - 7つの16ビットタイマ/カウンタ
 - 4つの比較チャンネルまたは捕獲チャンネルを持つ、4つのタイマ/カウンタ
 - 2つの比較チャンネルまたは捕獲チャンネルを持つ、3つのタイマ/カウンタ
 - 全てのタイマ/カウンタでの高分解能拡張
 - 1つのタイマ/カウンタでの新波形拡張
 - 7つのUSART
 - 1つのUSARTでのIrDA(赤外線通信)復変調
 - AESとDESの暗号エンジン
 - 2重アドレス一致を持つ、2つの2線インターフェース (I²CとSMBus適合)
 - 3つの直列周辺インターフェース(SPI:Serial Peripheral Interface)周辺機能
 - 独立した発振器を持つ、16ビット実時間計数器
 - 8チャンネル、12ビット、2M採取/秒の2つのA/D変換器
 - 2チャンネル、12ビット、1M採取/秒の1つのD/A変換器
 - 窓比較機能を持つ、4つのアナログ比較器
 - 全ての汎用I/Oピンでの外部割り込み
 - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグタイマ
- 特殊マイクロコントローラ機能
 - 電源ONリセットと設定可能な低電圧検出(BOD)
 - PLLと前置分周器を持つ、内部及び外部のクロック任意選択
 - 設定可能な多段割り込み制御器
 - 休止形態動作: アイドル、パワーダウン、スタンバイ、パワーセーブ、拡張スタンバイ
 - 増強されたプログラミング、検査、デバッグ用インターフェース
 - プログラミング、検査、デバッグ用のJTAG(IEEE 1149.1適合)インターフェース
 - プログラミング、検査、デバッグ用のPDI(Program and Debug Interface)
- I/Oと外囲器
 - 設定可能な50本のI/O線
 - 64ピンTQFP、64ピンQFN
- 動作電圧
 - 1.6~3.6V
- 速度性能
 - 0~12MHz/1.6~3.6V
 - 0~32MHz/2.7~3.6V

代表的な応用

- | | | |
|---------|----------|----------------|
| • 工業制御 | • 環境制御 | • 携帯電池応用 |
| • 工場自動化 | • ZigBee | • 電力ツール |
| • 建築制御 | • 電動機制御 | • 室内環境制御(HVAC) |
| • 基板制御 | • ネットワーク | • 計器 |
| • 白物家電 | • 光学 | • 医療応用 |

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しよりの[はじめに]での内容にご注意ください。



8/16ビット **AVR**[®]
XMEGA A3
マイクロコントローラ

ATxmega256A3
ATxmega192A3
ATxmega128A3
ATxmega64A3

新規設計には推奨されません。
- XMEGA A3U系を
使ってください。

Rev. 8068U-06/13, 8068UJ3-06/22



1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外圍器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega64A3-AU	64KB+4KB	2KB	4KB	64A	32	1.6~3.6V	-40℃~85℃
ATxmega128A3-AU	128KB+8KB	2KB	8KB				
ATxmega192A3-AU	192KB+8KB	2KB	16KB				
ATxmega256A3-AU	256KB+8KB	4KB	16KB				
ATxmega64A3-MH	64KB+4KB	2KB	4KB	64M2	32	1.6~3.6V	-40℃~85℃
ATxmega128A3-MH	128KB+8KB	2KB	8KB				
ATxmega192A3-MH	192KB+8KB	2KB	16KB				
ATxmega256A3-MH	256KB+8KB	4KB	16KB				

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

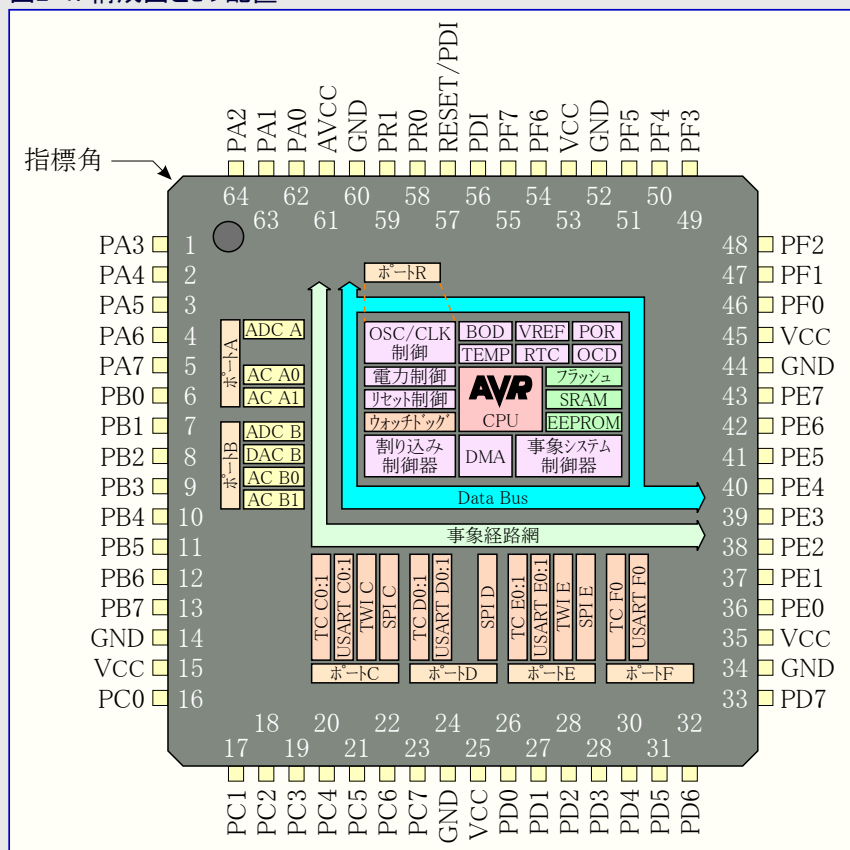
注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 外圍器情報については46頁の「外圍器情報」をご覧ください。

外圍器形式	
64A	64リード 14×14×1.0mm厚 0.8mmピッチ 薄型プラスチック4方向平板外圍器 (TQFP)
64M2	64パッド 9×9×1.0mm 0.5mmピッチ 7.65mm露出パッド 4方向平板リードなし外圍器 (QFN)

2. ピン配置/構成図

図2-1. 構成図とピン配置



注: 1. ピン配置とピン機能の完全な詳細については38頁の「ピン配置とピン機能」を参照してください。

2. QFN/MLF外圍器底部の大きな中央パッドは良好な機械的安定性を保証するために基板のGNDに半田付けされるべきです。

3. 概要

Atmel® AVR® XMEGA® A3はAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する強力な命令によって、XMEGA A3はシステム設計者に対して電力消費対処理速度の最適化を可能とする、MHz当たり100万命令に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に、伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

XMEGA A3デバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、4チャネルのDMA制御器、8チャネルの事象システム、設定可能な多段割り込み制御器、50本の汎用入出力線、16ビット実時間計数器(RTC)、比較動作とPWM付きの7つの柔軟な16ビット タイマ/カウンタ、7つのUSART、2つの2線直列インターフェース(TWI)、3つの直列周辺インターフェース(SPI)、AESとDESの暗号エンジン、設定可能な利得付きの任意選択差動入力を持つ2つの8チャネル 12ビットA/D変換器、1つの2チャネル 12ビットD/A変換器、窓動作を持つ4つのアナログ比較器、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。デバイスはIEEE規格1149.1 適合JTAG検査インターフェースも持ち、これはチップ上デバッグとプログラミングにも使うことができます。

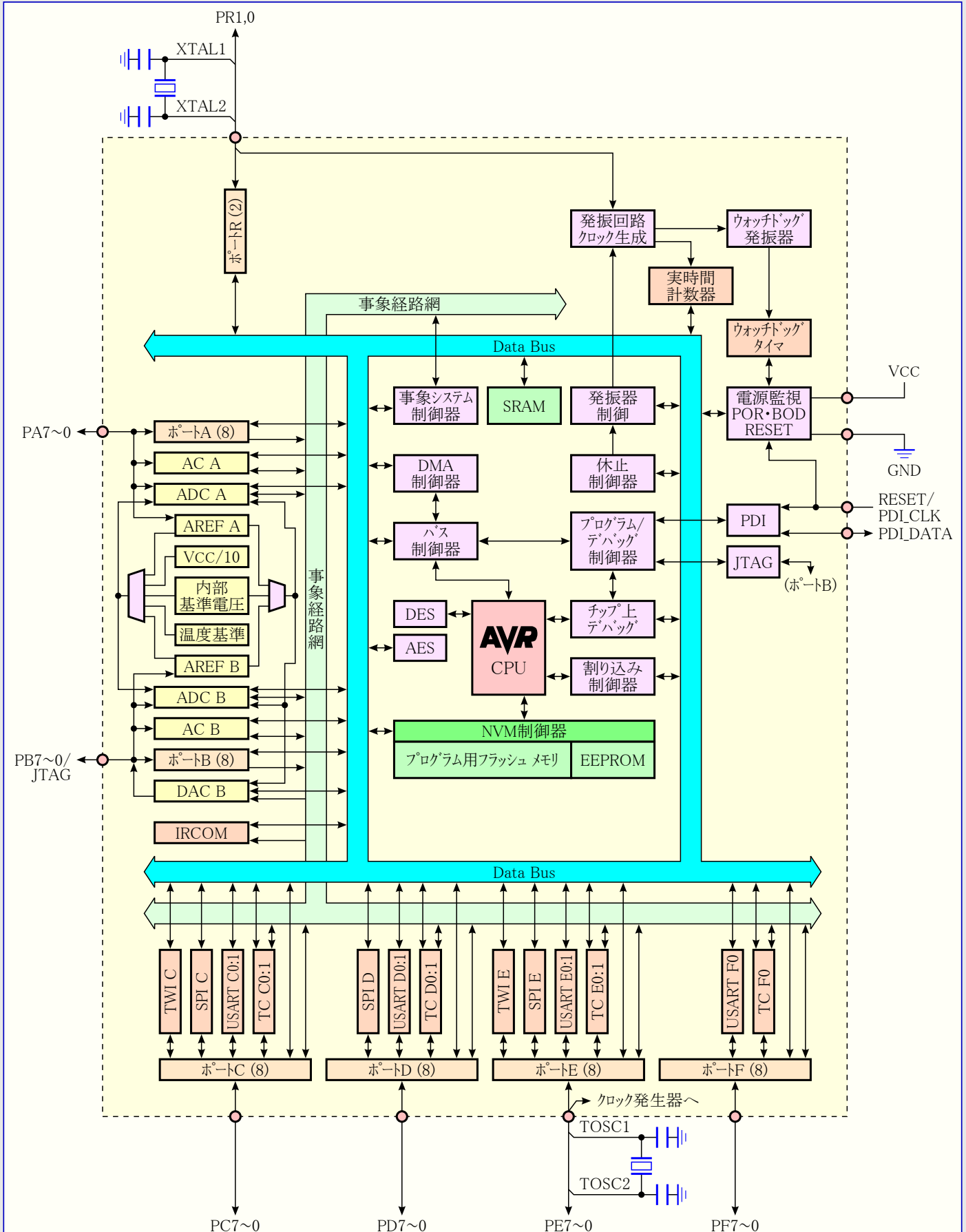
XMEGA A3デバイスはソフトウェアで選択可能な5つの節電動作を持っています。アイドル動作はCPUを停止する一方で、SRAM、DMA制御器、事象システム、割り込み制御器と全ての周辺機能に機能の継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWIまたはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作ではクリスタル発振子/セラミック振動子用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部クリスタルからの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能クロックは活動動作とアイドル動作に於いて任意で停止することができます。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュ メモリはPDIまたはJTAGを通して実装書き換えをすることができます。デバイス内で走行するブートローダーはフラッシュ メモリにアプリケーションプログラムを取得格納するのにどんなインターフェースをも利用することができます。ブートフラッシュ領域内のブートローダー ソフトウェアはアプリケーションフラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、AtmelのXMEGA A3は多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

XMEGA A3デバイスはCコンパイラ、マクロ アセンブラ、プログラム デバッグ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。

3.1. 構成図

図3-1. XMEGA A3構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>でのダウンロードに関して利用可能です。

4.1. 推奨読物

- XMEGA A手引書
- XMEGA応用記述

このデバイス データシートは各単位部と周辺機能の短い記述とデバイス固有情報だけを含みます。XMEGA A手引書は単位部と周辺機能を広く深く記述します。XMEGA応用記述はコード例を含み、単位部と周辺機能を適用する使い方を示します。

XMEGAの手引書と応用記述は<http://www.atmel.com/avr>から利用可能です。

5. お断り

未だ利用可能でないデバイスについて、本データシート内に含まれる代表値は同じ製法技術で製造された他のAVR XMEGAマイクロコントローラの特性とシミュレーションに基づいています。最小と最大の値はデバイスが特性付けされた後で利用可能になるでしょう。

6. AVR CPU

6.1. 要点

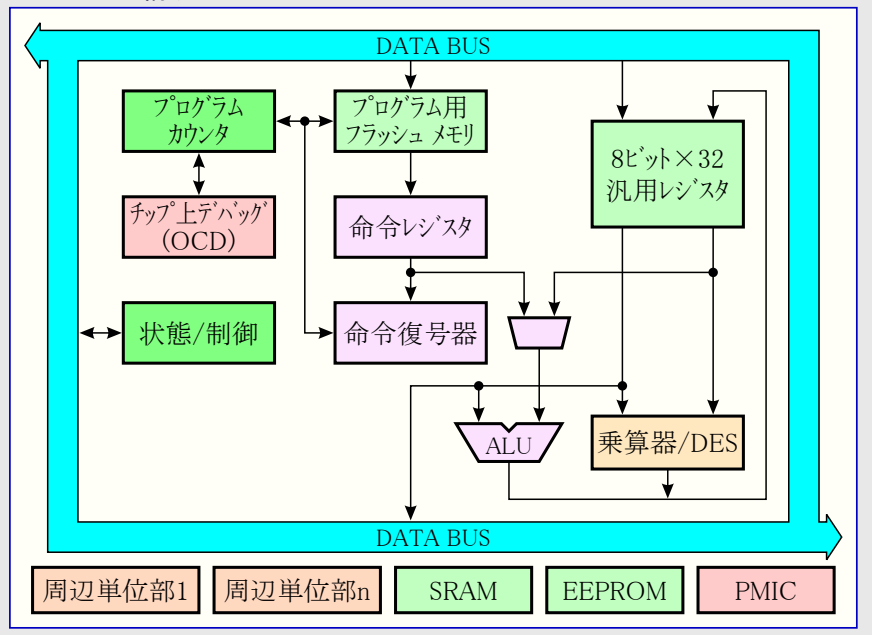
- 8/16ビット高性能AVR RISC CPU
 - 138命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- SRAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタックポインタ
- 16Mバイトまでのプログラムとデータのメモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の構成設定変更保護

6.2. 概要

XMEGA A3は8/16ビットAVR RISC CPUを使っています。CPUの主な機能は正しいプログラム実行を保証することです。CPUはメモリ入出力、計算実行、周辺制御が行えます。割り込みの扱いは[独立した章](#)で記述されます。[図6-1.](#)はCPU構成図を示します。

AVRはプログラムとデータに対して独立したメモリとバスを持つハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。この概念は毎クロック周期で実行される命令を可能にします。プログラムメモリは実装再書き換え可能な[フラッシュメモリ](#)です。

図6-1. CPU構成図



6.3. レジスタファイル

高速入出力レジスタファイルは単一クロック周期入出力時間を持つ32個の8ビット汎用作業レジスタを含んでいます。これは単一クロック算術論理演算器操作を可能にします。代表的なALU周期での操作は2つのレジスタファイルオペランドを実行してその結果がレジスタファイルに書き戻されます。

32個のレジスタ内の6つはデータ空間に対して効率的なアドレス計算を可能とするアドレス指定用の3つの16ビット間接アドレスポインタとして使うことができます。これらのアドレスポインタ内の1つはプログラム用フラッシュメモリ内の表を調べるためのアドレスポインタとしても使うことができます。

6.4. 算術論理演算器 (ALU)

高性能算術論理演算器(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作を実行することもできます。単一クロック周期内で、汎用レジスタ間、またはレジスタと即値間の算術操作が実行されます。算術または論理の操作後、操作結果についての情報を反映するためにステータスレジスタが更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、[命令一式](#)は容易な32ビット演算の実装を可能にします。ALUは符号付きと符号なしの両方と固定小数点形式を支援する強力な乗算器も提供します。

6.5. プログラムの流れ

デバイスが電源ONにされると、CPUはプログラム用フラッシュ メモリ内の最下位アドレス '\$000000' から命令の実行を始めます。プログラム カウンタ (PC) は取得されるべき次の命令を指示します。リセット後、PC は 0 番地に設定されます。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐 (Jump) と呼び出し (Call) 命令によって提供されます。殆どの AVR 命令は 16 ビット語形式を用い、一方限られた若干が 32 ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスの PC (値) がスタックに格納されます。スタックは一般的なデータ用 SRAM 内に効率的に割り当てられ、結果としてスタック容量は総 SRAM 容量と SRAM の使い方だけによって制限されます。リセット後のスタック ポインタ (SP) は内部 SRAM 内の最上位アドレスを指し示します。SPI は I/O メモリ空間で読み書きアクセスが可能で、スタックまたはスタック領域の容易な複数実装を可能にします。データ用 SRAM は AVR CPU で支援される 5 つの異なる位置指定種別を通して容易にアクセスすることができます。

7. メモリ

7.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Reprogrammable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダコード用ブートローダ領域
 - 全領域に対する独立した施錠ビット
 - 選択可能なフラッシュ プログラム メモリ領域の高速な組み込みCRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - ・ バイトまたはページでのアクセスが可能
 - ・ 直接取得/格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - ・ 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
 - ・ 全体変数またはフラグ用にビット アクセス可能な16個の汎用I/Oレジスタ
 - バス調停
 - ・ CPUとDMA制御器の優先順を扱う安全な決定法
 - SRAM、EPROM、I/Oメモリのアクセスに対する独立バス
 - ・ CPUとDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識別票列メモリ
 - 各マイクロ コントローラに対するデバイスID
 - 各デバイスに対する通番
 - 発振器校正バイト
 - A/D変換器、D/A変換器、温度感知器の校正データ
- 使用者識別票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後も内容保持

7.2. 概要

AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。加えて、XMEGA A3は不揮発性データ記憶用EEPROMが特徴です。3つのメモリ空間全てが直線状でページ処理を必要としません。利用可能なメモリ容量形態は2頁の「注文情報」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュ メモリ識別票列を持っています。

不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

7.3. 実装書き込み可能なフラッシュ プログラム メモリ

XMEGA A3デバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。図7-1をご覧ください。全てのAVR命令が16または32ビット幅なので、フラッシュの各アドレス位置は16ビット幅です。

プログラム用フラッシュ メモリ空間は応用とブートの領域に分けられています。両領域は書き込みまたは読み書きの操作に制限を設定するための専用の施錠ビットを持ちます。プログラム メモリ格納(SPM)命令はフラッシュ メモリを書くのに使われるとき、ブート領域に属さなければなりません。

応用領域内の第3の領域は書き込みまたは読み書きの記憶保護に対する独立した施錠ビットを持つ応用表領域として参照されます。応用表領域は不揮発性データまたは応用ソフトウェアの格納に用いることができます。

応用表領域とブート領域は一般的な応用ソフトウェアにも使うことができます。

図7-1. フラッシュ プログラム メモリ (16進アドレス)

語アドレス	
00000/00000/00000/0000	応用領域 (256/192/128/64Kバイト)
1EFFF/16FFF/0EFFF/77FF	応用表領域 (8/8/8/4Kバイト)
1F000/17000/0F000/7800	
1FFFF/17FFF/0FFFF/7FFF	ブート領域 (8/8/8/4Kバイト)
20000/18000/10000/8000	
20FFF/18FFF/10FFF/87FF	

7.4. データ メモリ

データ メモリはI/Oメモリ、EEPROM、SRAMから成り、全てが1つの直線状アドレス空間内です。図7-2をご覧ください。容易な開発のためにシステム内の全てのデバイスに関してメモリ割り当てが同じで、より小さなデバイスに対しては空で予約済みメモリになります。

図7-2. データ メモリ割り当て (16進アドレス)

バイト アドレス				
000000	/000000	/000000	/000000	I/Oメモリ (4/4/4/4Kバイト)
000FFF	/000FFF	/000FFF	/000FFF	
001000	/001000	/001000	/001000	
				EEPROM (4/2/2/2Kバイト)
001FFF	/0017FF	/0017FF	/0017FF	
002000	/002000	/002000	/002000	(予約)
				内部SRAM (16/16/8/4Kバイト)
005FFF	/005FFF	/003FFF	/002FFF	

7.4.1. I/Oメモリ

全ての単位部と周辺機能はデータ メモリ空間内のI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置はCPU内の32個の汎用レジスタとI/Oメモリ間でデータを転送する、取得(LD/LDD/LDS)と格納(ST/STD/STS)の命令によってアクセスすることができます。

IN命令とOUT命令は\$0000～\$003F範囲のI/Oメモリ位置を直接アドレス指定することができます。

アドレス範囲\$0000～\$001F内のI/OレジスタはSBIとCBIの命令を使って直接ビット アクセスが可能です。単一ビットの値はそれらのレジスタにSBISとSBICの命令を使うことによって調べることができます。

XMEGA A3内の全ての単位部と周辺機能に対するI/Oメモリ アドレスは42頁の「周辺機能単位部アドレス割り当て」で示されます。

7.4.2. データ用SRAM

XMEGA A3デバイスはデータ記憶用に内部SRAMを持っています。

7.4.3. データ用EEPROM

XMEGA A3デバイスは不揮発性データ記憶用に内部EEPROMを持っています。それは独立したデータ空間、または通常のデータ空間内にメモリ割り当てができ、このどちらかでアドレス指定できます。EEPROMはバイトとページのアクセスを支援します。

7.5. 製品識票列

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ単位部のような機能に関する校正データを含みます。

製品識票列は各マイクロ コントローラ型式を識別するデバイスIDと各製造デバイス固有の通番も含んでいます。利用可能なXMEGA A3デバイスに対するデバイスIDは表7-1で示されます。通番はデバイスに対する製造ロット番号、ウェハー番号、ウェハー座標から成ります。

製品識票列は書き込みや消去ができませんが、応用ソフトウェアと外部プログラミングの両方から読むことができます。

表7-1. XMEGA A3デバイス用デバイスIDバイト

デバイス	内容		
	第1バイト	第2バイト	第3バイト
ATxmega64A3	1E	96	42
ATxmega128A3	1E	97	42
ATxmega192A3	1E	97	44
ATxmega256A3	1E	98	42

7.6. 使用者識票列

使用者識票列は応用ソフトウェアと外部プログラミングから完全にアクセス(読み書き)可能な独立したメモリ領域です。使用者識票列は容量に於いて1つのフラッシュ ページで、校正データ、独自通番または認識番号、乱数の種などのような、静的な使用者パラメータ記憶を予定されています。この領域はフラッシュ メモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み作業とチップ上デバッグ作業中のパラメータ記憶を保証します。

7.7. フラッシュ メモリとEEPROMのページ容量

プログラム用フラッシュ メモリとデータ用EEPROMはページで構成されています。ページはフラッシュ メモリに対して語アクセス可能で、EEPROMに対してバイト アクセス可能です。

表7-2.はプログラム用フラッシュ メモリ構成を示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュ アクセスに関してはアドレス指定にZポインタ(Zn~0)が使われます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレス ビット(FWORD)がページ内の語(位置)を与えます。

表7-2. フラッシュ メモリ内のページ数と語数

デバイス	フラッシュ容量	ページ容量 (語)	FPAGE	FWORD	応用領域		ブート領域	
					容量	ページ数	容量	ページ数
ATxmega64A3	64KB+4KB	128	Z16~8	Z7~1	64KB	256	4KB	16
ATxmega128A3	128KB+8KB	256	Z17~9	Z8~1	128KB	256	8KB	16
ATxmega192A3	192KB+8KB	256	Z17~9	Z8~1	192KB	384	8KB	16
ATxmega256A3	256KB+8KB	256	Z18~9	Z8~1	256KB	512	8KB	16

表7-3.はXMEGA A3デバイスに対するEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレス レジスタ(ADDRn~0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレス ビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数

デバイス	EEPROM容量	ページ容量 (バイト)	E2PAGE	E2BYTE	ページ数
ATxmega64A3	2KB	32	ADDR10~5	ADDR4~0	64
ATxmega128A3	2KB	32	ADDR10~5	ADDR4~0	64
ATxmega192A3	2KB	32	ADDR10~5	ADDR4~0	64
ATxmega256A3	4KB	32	ADDR11~5	ADDR4~0	128

(訳補) フラッシュ メモリは応用領域とブート領域が\$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュ メモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使われます。表7-2.のFPAGE及びFWORDのZポインタはSPM命令に対するものです。

8. DMAC – 直接メモリ入出力制御器 (Direct Memory Access Controller)

8.1. 要点

- 高速データ転送可能
 - メモリから周辺機能へ
 - メモリからメモリへ
 - 周辺機能からメモリへ
 - 周辺機能から周辺機能へ
- 4つのチャネル
- 単一転送処理で1バイトから16Mバイトまでの転送
- 転送元と転送先のアドレスに対する複数のアドレス指示種別
 - 増加
 - 減少
 - 静止
- 1,2,4,8バイトの集中転送
- 設定可能なチャネル間優先権

8.2. 概要

XMEGA A3はメモリとデータ空間内の周辺機能間でデータを移動するための直接メモリ入出力(DMA)制御器を持っています。DMA制御器はデータを転送するのにCPUと同じバスを使います。

これは個別に構成設定することができる4つのチャネルを持っています。各DMAチャネルは1から64Kバイトまで設定可能な容量の塊でデータ転送を実行することができます。16Mバイトまでの1つの単位処理の間に各塊転送を繰り返すのに繰り返し計数器を使うことができます。各DMAチャネルは増加、減少または静止のアドレス指定で転送元と転送先のアドレスを入出力するように構成設定することができます。このアドレス指定は転送元と転送先のアドレスに対して独立しています。単位転送処理が完了すると、次の単位転送処理の準備のために転送元と転送先の元のアドレスが自動的に再格納されます。

DMACはそれらのI/Oメモリレジスタを通して全ての周辺機能をアクセスすることができ、DMAはA/D変換器からの自動データ取得、D/A変換器へのデータ転送、ポートピンからまたはポートピンへのデータ転送だけでなく、通信単位部からまたは通信単位部への自動データ転送にも使われるかもしれません。周辺機能、事象システムとソフトウェアからの広範囲の転送起動元が利用可能です。各DMAチャネルは異なる転送起動元を持っています。

継続的な転送を可能とするために、2つのチャネルは1つ目が終了した時に2つ目が転送を開始する(またその逆も)ように内部接続することができます。

DMA制御器はメモリ割り当てされたEEPROMから読めますが、EEPROMへの書き込みやフラッシュメモリのアクセスはできません。

9. 事象システム

9.1. 要点

- 最小遅延での周辺機能相互通信と合図
- CPUとDMAの個別動作
- 同時に8つまでの信号経路を許す8つの事象チャネル
- 事象生成可能機能:
 - タイマ/カウンタ (TCxn)
 - 実時間計数器 (RTC)
 - A/D変換器 (ADCx)
 - アナログ比較器 (ACx)
 - ポート (PORTx)
 - システム クロック (clk_{sys})
 - ソフトウェア (CPU)
- 事象利用可能機能:
 - タイマ/カウンタ (TCxn)
 - A/D変換器 (ADCx)
 - D/A変換器 (DACx)
 - ポート (PORTx)
 - DMA制御器 (DMAC)
 - 赤外線(IR)通信単位部 (IRCOM)
- タイミング同期用に同じ事象を複数の周辺機能で使用可能
- 高度な特徴
 - ソフトウェア(CPU)からの手動事象生成
 - 直交復号
 - デジタル濾波器
- 活動動作とアイドル動作で作動

9.2. 概要

事象システムは周辺機能相互通信に関する機能の組です。それは或る周辺機能での状態変化に対して1つ以上の周辺機能での動きを自動的に起動する可能性を許します。が別の周辺機能での動きを起動する周辺機能での何かの状態変化はソフトウェアで設定可能です。これは簡素ですが、割り込み、CPU、DMA資源のどんな使用もなしに周辺機能の自立制御を許すような強力なシステムです。

周辺機能での状態変化の指示は事象として参照され、一般的にその周辺機能に対する割り込み条件と同じです。事象は事象経路網と呼ばれる専用の経路網を使って周辺機能間を通されます。図9-1は事象経路網とそれに接続された周辺機能とでの事象システムの基本構成図を示します。このより高く柔軟なシステムは信号やピン機能の簡単な配線、または事象の順序に使うことができます。

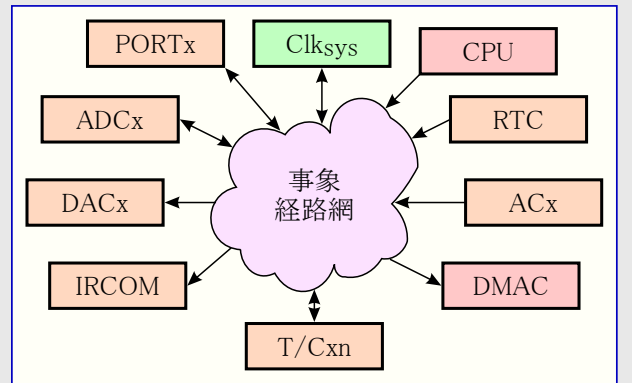
或る周辺機能で事象が生成される時から1つ以上の他の周辺機能でその活動が起動されるまでの最大遅延は2CPUクロック周期です。

事象システムは活動動作とアイドル動作で動作します。

事象経路網はA/D変換器(ADCx)、D/A変換器(DACx)、アナログ比較器(ACx)、I/Oポート(PORTx)、実時間計数器(RTC)、タイマ/カウンタ(TCxn)と赤外線(IR)通信単位部(IRCOM)と共に直接的に接続することができます。事象はソフトウェアからも生成することができます。

全ての周辺機能からの全ての事象は常に事象経路網に経路付けされます。これは各々がそのチャネルにどの事象を経路付けするかを選択するためにソフトウェアで構成設定することができる8つの多重器からなります。8つ全ての事象チャネルが事象を使うことができる周辺機能に接続され、それらの周辺機能の各々はソフトウェアで選択可能な活動を自動的に起動するために、1つ以上の事象チャネルからの事象を使うように構成設定することができます。

図9-1. 事象システム構成図



10. システム クロックとクロック選択

10.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器: 32MHz, 2MHz, 32kHz, 超低電力(ULP)32kHz
- 4つの内部発振器: 32MHz, 2MHz, 32kHz, 超低電力(ULP)32kHz
 - 走行時校正付き32MHz RC発振器
 - 走行時校正付き2MHz RC発振器
 - 校正付き32.768kHz RC発振器
 - 1kHz出力付きの32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 内部及び外部クロック任意選択と1~31通倍付きのPLL
- 1~2048分周のクロック前置分周器
- CPUクロック速度の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- クリスタル用発振器停止検出

10.2. 概要

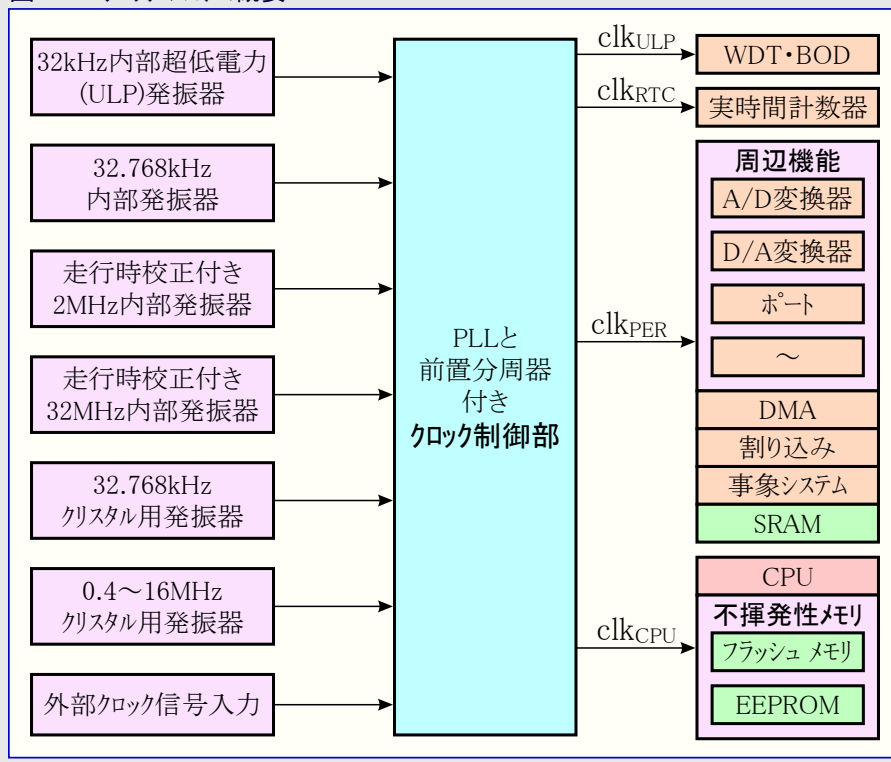
XMEGA A3は多数のクロック元を支援する高度なクロックシステムを持ちます。これは統合された発振器と外部のクリスタル発振子とセラミック振動子用発振器を組み入れます。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器はクロック元入力から広い範囲のクロック周波数を生成するために、ソフトウェアから制御することができます。

走行中にソフトウェアからクロック元を切り替えることが可能です。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。

校正機能が利用可能で、内部の2MHzと32MHzの発振器の走行時自動校正に使うことができます。これは電圧と温度に関する周波数変動を低減します。

クリスタル用発振器停止監視器は外部発振器が停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。図10-1.はXMEGA A3での原則的なクロック システムを示します。

図10-1. クロック システム概要



各クロック元は後続の分項目で簡単に記述されます。

10.3. クロック選択

10.3.1. 32kHz超低電力発振器

32kHz超低電力(ULP)内部発振器は非常に低い電力消費のクロック元です。[ウォッチドッグ](#)と[低電圧検出\(BOD\)](#)に対してと、[実時間計数器](#)に対する非同期クロック元として使われます。この発振器はシステム クロック元として使うことができず、ソフトウェアから直接制御することができません。

10.3.2. 32.768kHz校正付き内部発振器

32.768kHzの校正付き内部発振器はシステム クロック元として、または実時間計数器に対する非同期クロック元として使うことができる高精度のクロック元です。これは公称標準周波数に近い既定周波数を提供するため、製造中に校正されます。

10.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器は時計用の外部クリスタルに対する低電力駆動部です。これはシステム クロック元として、または実時間計数器に対する非同期クロック元として使うことができます。

10.3.4. 0.4～16MHzクリスタル用発振器

0.4～16MHzクリスタル用発振器は400kHz～16MHzの範囲で外部のクリスタル発振子とセラミック振動子の両方の駆動を意図した駆動部です。

10.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。この発振器は電圧と温度の変動に対する補償のための走行時周波数校正用の供給元として32.768kHz校正付き内部発振器または32.768kHzクリスタル用発振器を使うことができ、これによって発振器の精度を最適化します。

10.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。この発振器は電圧と温度の変動に対する補償のための走行時周波数校正用の供給元として32.768kHz校正付き内部発振器または32.768kHzクリスタル用発振器を使うことができ、これによって発振器の精度を最適化します。

10.3.7. 外部クロック入力

外部クロック入力には外部のクロック元からのクロックを接続する可能性を与えます。

10.3.8. 1～31の倍率を持つPLL

PLLは1～31のどれかの倍率によって周波数を通倍する可能性を提供します。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を供給します。

11. 電力管理と休止形態動作

11.1. 要点

- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 未使用周辺機能へのクロックを禁止するための電力削減レジスタ

11.2. 概要

XMEGA A3は最小化のために電力消費を縮小するように仕立てる様々な休止形態動作を提供します。全ての休止形態動作は活動動作から利用可能で、且つ移行することができます。活動動作ではCPUが応用コードを実行します。応用コードは何時、どの休止形態動作へ移行するのかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラを休止形態動作から活動動作へ回復します。

加えて、電力削減レジスタがソフトウェアから、個別周辺機能へクロックを停止する方法を提供します。これが行われると、現在の周辺機能の状態が凍結され、その周辺機能からの電力消費がなくなります。これは活動動作とアイドル休止形態動作での電力消費を減らします。

11.3. 休止形態動作

11.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが、[割り込み制御器](#)、[事象システム](#)と[DMA制御器](#)を含む全ての周辺機能は動作を維持されます。許可された割り込みからの割り込み要求がデバイスを起すでしょう。

11.3.2. パワーダウン動作

パワーダウン動作では全てのシステムクロック元と非同期[実時間計数器\(RTC\)](#)クロック元が停止されます。これは非同期単位部だけの動作を可能にします。MCUを起動できる割り込みは[2線インターフェース](#)アドレス一致割り込みと[非同期ポート割り込み](#)(換言するとピン変化割り込み)だけです。

11.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いてパワーダウン動作と同じです。RTCが許可されているなら、それは休止形態中も動作を維持され、デバイスはRTC割り込みからも起動することができます。

11.3.4. スタンバイ動作

スタンバイ動作は許可された全てのシステムクロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いて[パワーダウン動作](#)と同じです。これは外部のクリスタル発振子またはセラミック振動子が使われた時の起動時間を減らします。

11.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可された全てのシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いて[パワーセーブ動作](#)と同じです。これは外部のクリスタル発振子またはセラミック振動子が使われた時の起動時間を減らします。

12. システム制御とリセット

12.1. 要点

- 安全動作とデバイス リセットに関する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグ リセット
 - 独立した専用発振器で走行するウォッチドッグ タイマ
 - 低電圧(Brown-out)リセット
 - 正確で設定可能な低電圧検出レベル
 - プログラミングとデバッグ用インターフェース(PDI)リセット
 - ソフトウェア リセット
- 非同期リセット
 - デバイスに於いて走行するクロックを必要としないリセット
- リセット状態レジスタ

12.2. AVRのリセット

リセットの間に全てのI/Oレジスタはそれらの初期値に設定されます。SRAMの内容はリセットされません。応用実行がリセット ベクタから始まります。リセット ベクタに置かれる命令はリセット処理ルーチンへの無条件絶対分岐(JMP)であるべきです。既定によるリセット ベクタ アドレスはプログラム用フラッシュ メモリの最下位アドレス\$000000ですが、リセット ベクタをブート領域内の先頭アドレスへ移動することが可能です。

AVRのI/Oポートはリセット元が活性(有効)になると、直ちにHi-Zにされます。

リセット機能は非同期で、故にデバイスをリセットするのに走行しているクロックは全く必要としません。

デバイスがリセットされた後、リセット元はリセット状態レジスタを読むことにより、応用で判定することができます。

12.3. リセット元

12.3.1. 電源ONリセット

MCUは供給電圧(VCC)が電源ON閾値電圧以下の時にリセットされます。

12.3.2. 外部リセット

MCUはRESETピンにLowレベルが存在する時にリセットされます。

12.3.3. ウォッチドッグ リセット

MCUはウォッチドッグ リセットが許可され、ウォッチドッグ タイマ周期が経過する時にリセットされます。ウォッチドッグ タイマはシステム クロックから独立した専用発振器で走行します。より多くの詳細については17頁の「WDT – ウォッチドッグ タイマ」をご覧ください。

12.3.4. 低電圧検出(Brown-Out)リセット

MCUは低電圧検出器(BOD)が許可され、供給電圧(VCC)が低電圧検出(BOD)リセット閾値電圧以下の時にリセットされます。低電圧検出(BOD)リセット閾値電圧は設定可能です。

12.3.5. PDIリセット

MCUはプログラミングとデバッグ用インターフェース(PDI)を通してリセットすることができます。

12.3.6. ソフトウェア リセット

MCUは時間制限手順を通す、特別なI/OレジスタへのCPU書き込みによってリセットすることができます。

13. WDT – ウォッチドッグ タイマ

13.1. 要点

- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 32kHz超低電力(ULP)発振器の1kHz出力で走行
- 望まない変更を防ぐ構成設定施錠

13.2. 概要

XMEGA A3はウォッチドッグ タイマ(WDT)を持っています。WDTは通電時、継続的に走行し、ソフトウェアで構成設定可能な時間経過周期内にウォッチドッグ タイマがリセットされない場合、マイクロ コントローラがリセットされます。ウォッチドッグ リセット(WDR)命令はWDTをリセットしてマイクロ コントローラのリセットを防ぐためにソフトウェアによって行われなければなりません。

WDTは窓動作を持っています。この動作では窓と呼ばれる指定期間内にWDR命令が行われなければなりません。応用ソフトウェアはこの窓に対する最小と最大の限界を設定することができます。この窓範囲内でWDR命令が実行されない場合、マイクロ コントローラがリセットされます。

WDT設定の望まない許可、禁止または変更を防ぐため、時間制限書き込み手順を使う保護機構が実装されています。

最大限の安全に関して、WDTは常時ON動作も持っています。この動作はヒューズをプログラミングすることによって許可されます。常時ON動作では応用ソフトウェアがWDTを禁止することはできません。

14. PMIC – 設定可能な多段割り込み制御器

14.1. 要点

- 各割り込みに対する独立した割り込みベクタ
- 短くて予想可能な割り込み応答時間
- 設定可能な多段割り込み制御器
 - 設定可能な3つの割り込みレベル
 - 低位割り込み内での選択可能な優先権の仕組み(ラウンド ロビンまたは固定)
 - 遮蔽不可割り込み
- プート領域の先頭へ移動可能な割り込みベクタ

14.2. 概要

XMEGA A3は設定可能な多段割り込み制御器(PMIC)を持っています。全ての周辺機能は割り込みに関する3つの異なる、高、中、低の優先権を定義することができます。中位割り込みは低位割り込み処理に割り込むかもしれません。高位割り込みは中位と低位の両方の割り込み処理に割り込むかもしれません。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンド ロビン計画機構を持ちます。

組み込み発振器停止検出機構は遮蔽不可割り込み(NMI)を発行することができます。

14.3. 割り込みベクタ

割り込みが処理されると、プログラム カウンタは割り込みベクタ アドレスに飛びます。割り込みベクタは周辺機能の基準アドレスと各周辺機能内の特定割り込みに対する変位アドレスの合計です。XMEGA A3デバイスに関する基準アドレスは表14-1.で示されます。周辺機能内で利用可能な各割り込みに対する変位アドレスはXMEGA A手引書内の各周辺機能で記述されています。割り込みを1つだけ持つ周辺機能または単位部については、表14-1.で割り込みベクタが示されています。プログラム アドレスは語アドレスです。

表14-1. リセットと割り込みのベクタ

プログラム アドレス (基準アドレス)	供給元	割り込み内容
\$000000	RESET	
\$000002	OSCF_INT_vect	クリスタル用発振器停止割り込みベクタ (NMI)
\$000004	PORTC_INT_base	ポートC割り込み基準
\$000008	PORTR_INT_base	ポートR割り込み基準
\$00000C	DMA_INT_base	DMA制御器割り込み基準
\$000014	RTC_INT_base	実時間計数器割り込み基準
\$000018	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
\$00001C	TCC0_INT_base	ポートC上のタイマ/カウンタ0割り込み基準
\$000028	TCC1_INT_base	ポートC上のタイマ/カウンタ1割り込み基準
\$000030	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込みベクタ
\$000032	USARTC0_INT_base	ポートC上のUSART0割り込み基準
\$000038	USARTC1_INT_base	ポートC上のUSART1割り込み基準
\$00003E	AES_INT_vect	AES割り込みベクタ
\$000040	NVM_INT_base	不揮発性メモリ割り込み基準
\$000044	PORTB_INT_base	ポートB割り込み基準
\$000048	ACB_INT_base	ポートB上のアナログ比較器割り込み基準
\$00004E	ADCB_INT_base	ポートB上のA/D変換器割り込み基準
\$000056	PORTE_INT_base	ポートE割り込み基準
\$00005A	TWIE_INT_base	ポートE上の2線インターフェース割り込み基準
\$00005E	TCE0_INT_base	ポートE上のタイマ/カウンタ0割り込み基準
\$00006A	TCE1_INT_base	ポートE上のタイマ/カウンタ1割り込み基準
\$000072	SPIE_INT_vect	ポートE上の直列周辺インターフェース(SPI)割り込みベクタ
\$000074	USARTE0_INT_base	ポートE上のUSART0割り込み基準
\$00007A	USARTE1_INT_base	ポートE上のUSART1割り込み基準
\$000080	PORTD_INT_base	ポートD割り込み基準
\$000084	PORTA_INT_base	ポートA割り込み基準
\$000088	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
\$00008E	ADCA_INT_base	ポートA上のA/D変換器割り込み基準
\$00009A	TCD0_INT_base	ポートD上のタイマ/カウンタ0割り込み基準
\$0000A6	TCD1_INT_base	ポートD上のタイマ/カウンタ1割り込み基準
\$0000AE	SPID_INT_vect	ポートD上の直列周辺インターフェース(SPI)割り込みベクタ
\$0000B0	USARTD0_INT_base	ポートD上のUSART0割り込み基準
\$0000B6	USARTD1_INT_base	ポートD上のUSART1割り込み基準
\$0000D0	PORTF_INT_base	ポートF割り込み基準
\$0000D8	TCF0_INT_base	ポートF上のタイマ/カウンタ0割り込み基準
\$0000EE	USARTF0_INT_base	ポートF上のUSART0割り込み基準

15. 入出力ポート

15.1. 要点

- 各ピンに対して個別に選択可能な入出力構成設定
- 専用のピン構成設定レジスタを通した柔軟なピン構成設定
- ポートの割り込みと事象での同期及び非同期入力感知
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 全ての入力感知構成設定からの非同期起動
- 柔軟なピン遮蔽を持つ2つのポート割り込み
- 高い構成設定能力の出力駆動部と引き込み設定
 - コンプリメンタリ
 - プルダウン/プルアップ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 単一操作での複数ピン構成設定
- 読み-変更-書き(RMW)支援
- 出力(OUT)と方向(DIR)のレジスタに対する切り換え、解除(0)、設定(1)用レジスタ
- ポートピンでのクロック出力
- ポートピン7での事象チャネル0出力
- ビットアクセス可能なI/Oメモリ空間へのポートレジスタ割り当て(仮想ポート)

15.2. 概要

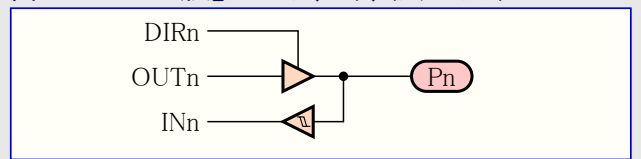
XMEGA A3は柔軟な汎用I/O(GPIO)ポートを持っています。ポートはピン0～7に整列した8ピンまでから成ります。ポートは同期/非同期入力感知、ピン変化割り込み、構成設定可能な出力設定を含む多くの機能を実装しています。全ての機能はピン毎に独立ですが、多くのピンは単一操作で構成設定されるかもしれません。

15.3. 入出力構成設定

全てのポートピン(Pn)は設定可能な出力構成設定を持ちます。加えて、全てのポートピンは反転I/O機能を持っています。入力に関して、これはポートピンとピンレジスタ間で信号を反転することを意味します。出力に関して、これはポートレジスタとポートピン間で出力信号を反転することを意味します。反転I/O機能はピンが交換機能に使われる時にも使うことができます。

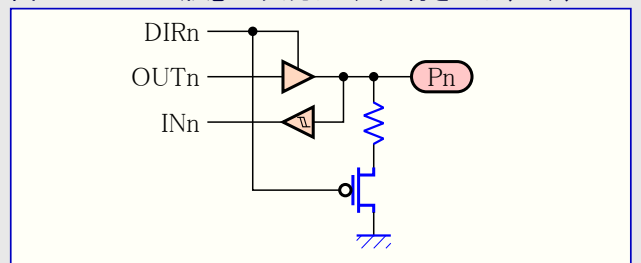
15.3.1. コンプリメンタリ (プッシュプル)

図15-1. I/Oピン形態 – コンプリメンタリ (プッシュプル)



15.3.2. プルダウン

図15-2. I/Oピン形態 – 入力プルダウン付きコンプリメンタリ



15.3.3. プルアップ°

15.3.4. バス保持

バス保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならプルアップとして、最後の値が0だったなら、プルダウンとして働きます。

15.3.5. その他

図15-3. I/Oピン形態 – 入力プルアップ付きコンプリメンタリ

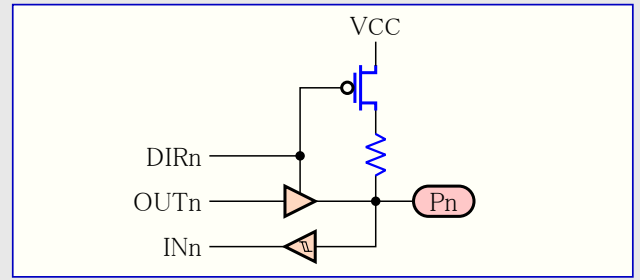


図15-4. I/Oピン形態 – バス保持付きコンプリメンタリ

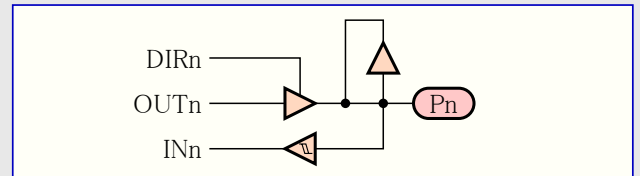


図15-5. 出力形態 – 任意選択プルダウン付きワイヤートOR

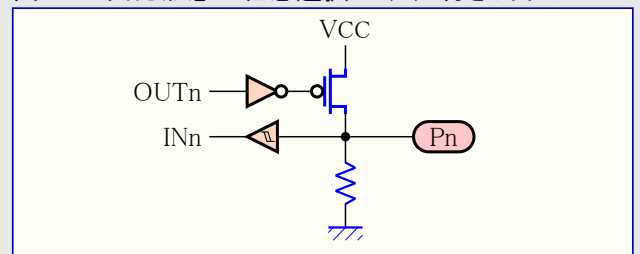
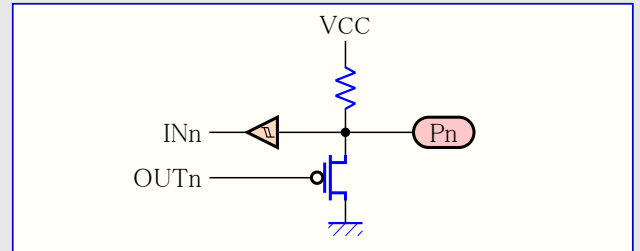


図15-6. 出力形態 – 任意選択プルアップ付きワイヤートAND

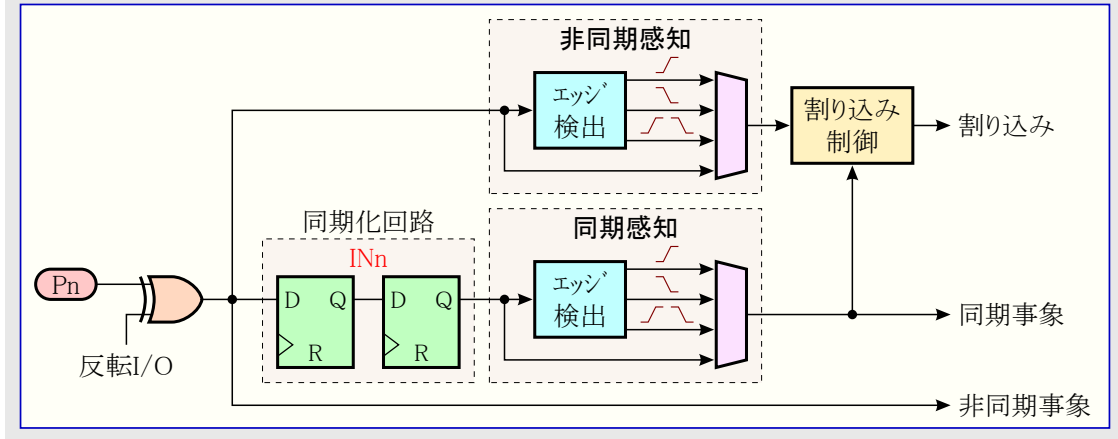


15.4. 入力感知

- ・両端感知
- ・上昇端感知
- ・下降端感知
- ・Lowレベル感知

入力感知はポートに対して許可されたクロックに依存する同期または非同期で、この形態は図15-7.で示されます。

図15-7. 入力感知システム概要



ピンが反転I/Oで構成設定されるとき、ピン値は入力感知前に反転されます。

15.5. ポート割り込み

各ポートは独立した優先権と割り込みベクタの2つの割り込みベクタを持ちます。ポート上の全てのピンは各々の割り込みに対する供給元として個別に選択することができます。そして割り込みに対する供給元として構成設定された各ピンに対する入力感知構成設定に従って割り込みが起動されます。

15.6. 交換ポート機能

全てのポートピンでの入出力機能に加え、殆どのピンは交換ピン機能を持っています。これはポートに接続されている単位部や周辺機能が通信やパルス幅変調のようなそれらの機能に、ポートピンを使うことができることを意味します。38頁の「ピン配置とピン機能」は周辺機能でどの単位部がピンでの交換機能を許可するのかと、どの交換機能がピンで利用可能かを示します。

16. T/C – 16ビット タイマ/カウンタ

16.1. 要点

- 7つの16ビット タイマ/カウンタ
 - 4つの0型タイマ/カウンタ
 - 3つの1型タイマ/カウンタ
- タイマ/カウンタ0型での4つの比較または捕獲(CC)チャネル
- タイマ/カウンタ1型での2つの比較または捕獲(CC)チャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された全ての比較と捕獲のチャネル
- 波形生成:
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
 - 周波数生成
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲
- 方向制御付き事象計数器
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- DMA動作支援
- 高分解能拡張 (Hi-Res)
- 新波形拡張 (AWeX)

16.2. 概要

XMEGA A3は4つのタイマ/カウンタ0と3つのタイマ/カウンタ1で7つのタイマ/カウンタを持っています。それらの間の違いはタイマ/カウンタ0が4つの比較/捕獲チャネルを持ち、一方タイマ/カウンタ1は2つの比較/捕獲チャネルを持つことです。

タイマ/カウンタ(T/C)は16ビットでマイクロ コントローラに於けるクロック、事象、または外部入力のどれでも計数を行うことができます。有用なT/C分解能を得るのに設定可能な前置分周器が利用可能です。計時器と比較レジスタの更新は異常のない動作を保証するために2重緩衝されます。単一傾斜PWM、2重傾斜PWMと周波数波形生成は比較チャネルを使って生成することができます。

事象システムを通して、マイクロ コントローラ内の入力ピンまたは事象のどれもが捕獲入力を起動するのに使え、従ってこのために専用ピンは必要とされません。捕獲入力はT/Cの不正な捕獲を避けるための雑音消去器を持ち、周波数とパルス幅の測定を行うのに使うことができます。

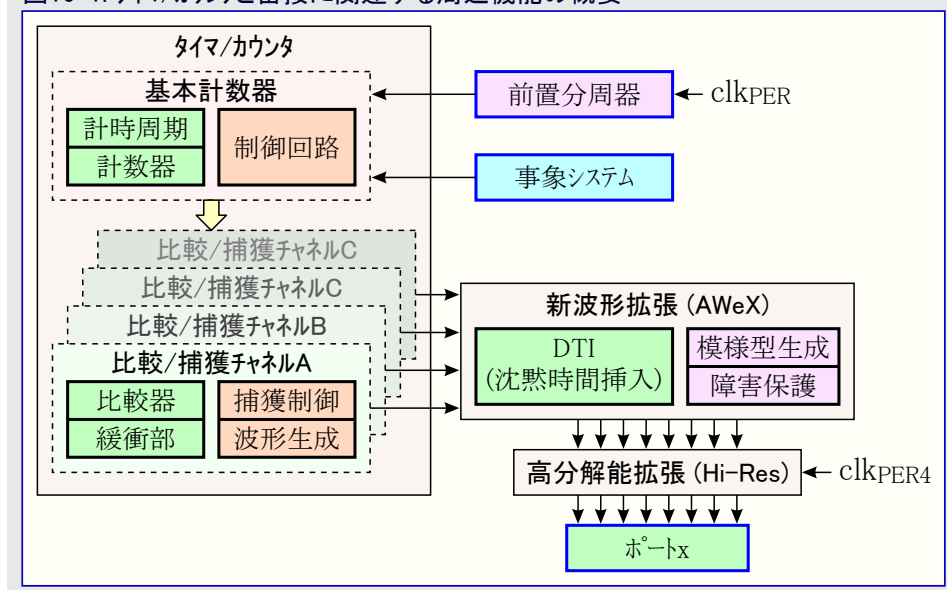
T/C内の各比較/捕獲チャネルに対し、T/C溢れ、比較一致、捕獲を含む広範囲の割り込みや事象の供給元が利用可能です。

ポートC、ポートDとポートEは各々、1つのタイマ/カウンタ0と1つのタイマ/カウンタ1を持ちます。ポートFは1つのタイマ/カウンタ0を持ちます。これらの表記は各々、TCC0(タイマ/カウンタ C0)、TCC1、TCD0、TCD1、TCE0、TCE1、TCF0です。

高分解能拡張は波形生成分解能を2ビット(4倍に)増やすことを可能にできます。これは全てのタイマ/カウンタに対して利用可能です。より多くの詳細については25頁の「**Hi-Res – 高分解能拡張**」をご覧ください。

新波形拡張はタイマ/カウンタに関する追加と高度な特性の提供を可能にできます。これはタイマ/カウンタ0でだけ利用可能です。より多くの詳細については24頁の「**AWeX – 新波形拡張**」をご覧ください。

図16-1. タイマ/カウンタと密接に関連する周辺機能の概要



17. AWeX – 新波形生成拡張

17.1. 要点

- 各捕獲チャネルからの補完出力付きの出力
- 各捕獲チャネル毎に1つで、4つの沈黙時間挿入(DTI)部
- 8ビットDTI分解能
- 独立したHigh側とLow側の沈黙時間設定
- 2重緩衝された沈黙時間
- 事象制御された障害保護
- 単一チャネル複数出力動作(ブラシレスDC電動機用)
- 2重緩衝された模様型生成

17.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。AWeXは例えば、高度な電動機制御(AC、ブラシレスDC(BLDC)、スイッチト リラクタンス(SR)、ステッピング)と電力制御の応用の容易で安全な実装を可能にします。

タイマ/カウンタ0からのどの波形生成器出力も何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSの生成を可能にする沈黙時間挿入(DTI)部を通過して行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。任意で、最終出力はポートピン(PxN)に対する反転I/O(INVEN)ビット設定を使うことによって反転することができます。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからの波形生成器出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は**事象システム**に接続されています。これはAWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。様々な異なる条件で障害を起動するのに多数の事象チャネルを使うことができます。

AWeXはTCC0に対して利用可能です。この表記はAWEXCです。

18. Hi-Res – 高分解能拡張

18.1. 要点

- 波形生成器分解能を2ビット(4倍)増加
- FRQ、単一傾斜と2傾斜のPWM動作支援
- 同じタイマ/カウンタに対して許可され、使われる時にAWeXを支援

18.2. 概要

高分解能(Hi-Res)拡張は波形生成出力の分解能を4倍に増やすことができます。タイマ/カウンタに対して許可されると、CPUクロック速度の4倍で走行する高速周辺機能クロックがそのタイマ/カウンタへの入力になります。

高分解能拡張はAWeXがそのタイマ/カウンタで許可され、使われる時にも使うことができます。

XMEGA A3はポートC、ポートD、ポートE、ポートF上の各タイマ/カウンタに対して各々を許可することができる4つの高分解能拡張を持ちます。これらの表記は各々、HIRESA、HIRESB、HIRESF、HIRESGです。

19. RTC – 16ビット実時間計数器

19.1. 要点

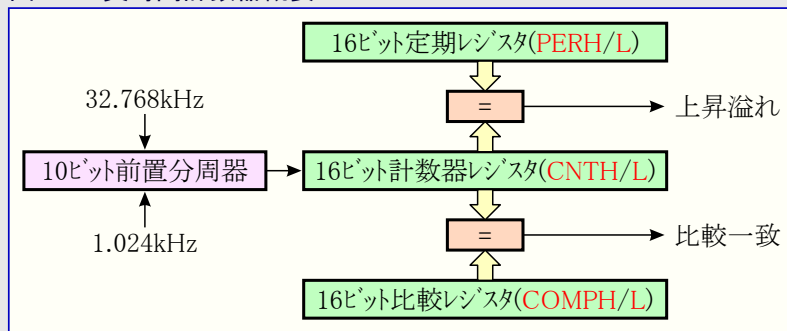
- 16ビット計時器
- 1Hz～32.768kHz範囲の柔軟な計時分解能
- 1つの比較レジスタ
- 1つの定期レジスタ
- 上昇溢れまたは比較一致での計時器解除
- 上昇溢れと比較一致での割り込みと事象

19.2. 概要

XMEGA A3は16ビット実時間計数器(RTC)を含みます。RTCは正確な32.768kHzクリスタル用発振器、32.768kHz校正付き内部発振器、または32kHz超低電力内部発振器からクロック駆動することができます。RTCは定期(PER)と比較(COMP)の両方のレジスタを含みます。詳細については図19-1をご覧ください。

広範囲の分解能と計時完了周期(定期)がRTCを使って構成設定することができます。30.5μsの最大分解能で、計時完了周期は2000秒までの範囲です。1秒の分解能で、最大計時完了周期は18時間超です(65536秒)。

図19-1. 実時間計数器概要



20. TWI – 2線インターフェース

20.1. 要点

- 2つの同じTWI周辺機能
- 簡単であるけれども強力で柔軟な通信インターフェース
- 主装置と従装置の両動作を支援
- 送信装置または受信装置としての動作が可能
- 128までの異なる従装置アドレスを可能にする7ビットのアドレス
- 複数主装置調停支援
- 400kHzまでのデータ転送速度
- スレーブ制限された出力駆動部
- バス線上のスパイクを排除する雑音消去回路
- 完全に設定可能な一斉呼び出し支援付きの従装置アドレス
- 休止形態動作時のアドレス認証起動
- I²CとSMBus(System Management Bus)適合

20.2. 概要

2線インターフェース(TWI)はクロック(SCL)線とデータ(SDA)線の2線だけを持つ双方向ワイヤードANDバスです。規約が128までの個別アドレス指定可能な装置の相互連絡を可能にします。これが複数主装置バスなので、バスの制御を行う能力がある1つまたは複数の装置を接続することができます。

バスを実装するのに必要とする外部ハードウェアはTWIバス線の各々に対して1つのプルアップ抵抗器だけです。バス衝突を解決するための機構はTWI規約固有のつきものです。

ポートCとポートEの各々は1つのTWIを持っています。これらの周辺機能の表記は各々、TWIC、TWIEです。

21. SPI – 直列周辺インターフェース

21.1. 要点

- 3つの同じSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了割り込み要求フラグ
- 書き込み衝突フラグ保護
- アイドル動作からの起動
- 倍速(CK/2)主装置SPI動作

21.2. 概要

直列周辺インターフェース(SPI)は異なる装置間の高速全二重同期データ転送を可能にします。デバイスが主従の仕組みを使って通信することができ、データは装置へと装置からで両方同時に転送されます。

ポートC、ポートDとポートEは各々1つのSPIを持っています。これらの周辺機能の表記は各々、SPIC、SPID、SPIEです。

22. USART

22.1. 要点

- 7つの同じUSART周辺機能
- 全二重動作(送受信独立したレジスタ)
- 非同期と同期での動作
- 主/従クロック同期動作
- 算術的高分解能ボーレート発生器
- 5, 6, 7, 8, 9データビットと1, 2停止ビットの直列フレーム支援
- 奇数/偶数パリティ生成器とハードウェアで支援されたパリティ検査
- 緩衝部溢れ(Buffer Overflow)検出
- フレーミング異常(Framing Error)検出
- 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 送信完了、送信データレジスタ空、受信完了での3つの独立した割り込み
- 複数プロセッサ通信動作
- 倍速非同期通信動作
- SPI通信用の主装置SPI動作
- 赤外線通信(IRCOM)単位部を通してのIrDA支援

22.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高い柔軟性の直列通信単位部です。USARTは非同期とクロック同期の両動作と全二重通信を支援します。USARTはSPI通信に使うための主装置SPI動作にも設定することができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向に於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対して独立した割り込みベクタがあり、完全な割り込み駆動通信を可能にします。フレーミング異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

1つのUSARTは115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調を支援するために赤外線通信(IRCOM)単位部を使うことができます。

ポートC、ポートDとポートEは各々2つのUSARTを持ち、一方ポートFは1つのUSARTだけを持っています。これら周辺機能の表記は各々、USARTC0、USARTC1、USARTD0、USARTD1、USARTE0、USARTE1、USARTF0です。

23. IRCOM – 赤外線通信単位部

23.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA 1.4適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 同時に1つのUSARTによる接続と使用が可能

23.2. 概要

XMEGAは15.2kbpsまでのボーレートでのIrDA通信に関する赤外線通信単位部(IRCOM)を含みます。これは3/16 ボーレート周期、周辺機能クロック速度に基いた固定の設定可能なパルス時間、パルス変調禁止の3つの変調方式を支援します。1つのIRCOMが利用可能で、それはUSARTに対して赤外線パルスの符号化と復号を可能とするためにどのUSARTにも接続することができます。

24. 暗号エンジン

24.1. 要点

- データ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
 - 暗号化と解読
 - 単一クロックDES命令
 - 8バイトの塊当たり16クロック周期の暗号化/解読
- AES暗号部
 - 暗号化と解読
 - 128ビット鍵支援
 - 暗号塊連鎖(CBC: Cipher Block Chaining)用の状態メモリへのXORデータ設定支援
 - 16バイトの塊当たり375クロック周期の暗号化/解読

24.2. 概要

新暗号化規格(AES)とデータ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部と**DES** CPU命令を通して支援されます。全ての通信インターフェースとCPUはAESとDESで暗号化された通信とデータ記憶を任意に使うことができます。

DESはAVR XMEGAコアの**DES**命令によって支援されます。8バイトの鍵と8バイトのデータ塊がレジスタファイルに格納され、そしてそのデータ塊を暗号化/解読するために**DES**が16回実行されなければなりません。

AES暗号単位部は128ビット鍵を使う128ビットデータ塊の暗号化と解読を行います。鍵とデータは暗号化/解読が開始される前に単位部内の鍵と状態配列のメモリに格納されていなければなりません。暗号化/解読が終了して暗号化/解読されたデータを読み出すことができ、そして任意選択の割り込みを発生することができるまでに375周辺機能クロック周期かかります。AES暗号単位部は暗号化/解読の終了時と、状態配列メモリが一杯に格納された時の任意選択の暗号化/解読の自動開始時に転送を起動するDMA支援も持っています。

25. ADC – 12ビット A/D変換器

25.1. 要点

- 2つの12ビット分解能A/D変換器
- 2Msps(採取/秒)までの採取と変換の速度
- シングルエンドまたは差動での測定
- 個別の入力制御を持つ4つの結果レジスタ
- 各A/D変換器に対する8つのシングルエンド入力
- 各A/D変換器に対する8×4種の差動入力
- 4つの内部入力
 - 統合された温度感知器
 - D/A変換器出力
 - VCCの1/10の電圧
 - バントキャップ電圧
- ソフトウェアで選択可能な2倍、4倍、8倍、16倍、32倍、64倍の利得
- 8または12ビットのソフトウェア選択可能な分解能
- 内部または外部の基準電圧選択
- 正確なタイミング用の事象起動変換
- 変換結果のDMA転送
- 比較結果での割り込み/事象

25.2. 概要

XMEGA A3デバイスは2つのA/D変換器(ADC)を持っています。図25-1をご覧ください。2つのADCは同時、個別または同期で動作することができます。

ADCはアナログ電圧をデジタル値に変換します。ADCは12ビット分解能と秒当たり200万採取までの変換能力を持っています。入力選択は柔軟で、シングルエンドと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

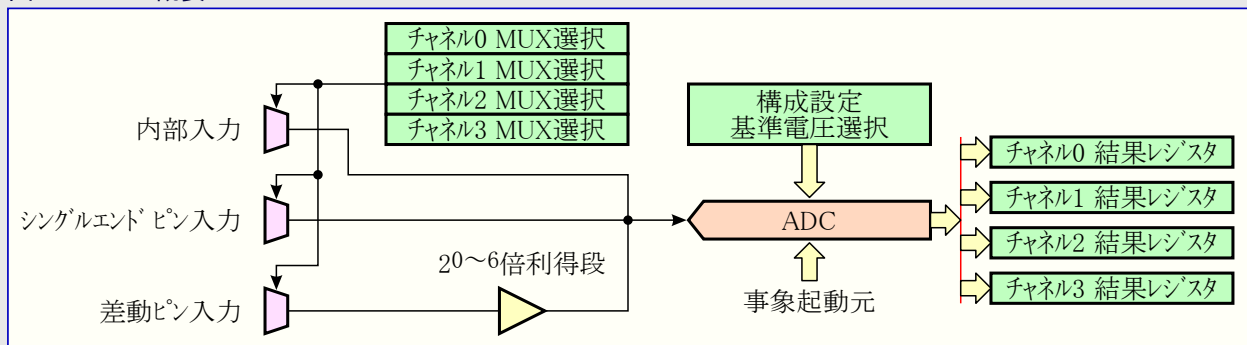
これはパイプラインADCです。パイプラインADCは各段が結果の1部分を変換する多くの連続段から成ります。パイプライン設計は低いクロック速度での高い採取速度を可能にし、採取速度と伝播遅延間の依存性を取り去ります。これは他のADC測定実行中と同時に新しいアナログ電圧が採取され、新規のADC測定が始められることも意味します。

ADC測定は応用ソフトウェアまたはデバイス内の他の周辺機能からの到着事象のどちらによっても開始できます。個別の入力選択(多重器(MUX)選択)を持つ4つの異なる結果(RESH/L)レジスタは応用に対してより容易なデータ経路の保持を提供します。結果レジスタとMUX選択の各対はADCチャンネルとして参照されます。変換が行われる時にADCの結果を直接メモリまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方のアナログ基準電圧が使えます。非常に正確な内部1.0V基準電圧が利用可能です。

統合された温度感知器が利用可能で、この感知器からの出力はADCで測定することができます。D/A変換器、VCC/10、バントキャップ電圧からの出力もADCによって測定することができます。

図25-1. ADC概要



各ADCは対応する結果レジスタと共に4つの多重器選択レジスタを持ちます。これは変換の開始の他に、応用によるどんな介入もなしに1.5μs以内で4つのチャンネルを採取できることを意味します。結果は結果レジスタで利用可能です。

ADCは8または12ビットの結果に構成設定することができ、最小変換時間(伝播遅延)を12ビットに対する3.5μsから8ビットの結果に対する2.5μsに減らします。

ADCの変換結果は任意選択の'1'または'0'穴埋め付きの左または右揃えが提供されます。これは結果が符号付き整数(符号付き16ビット数値)として表される時の計算が容易です。

ポートAとポートBは各々1つのADCを持っています。この周辺機能の表記は各々、ADCAとADCBです。

26. DAC – 12ビット D/A変換器

26.1. 要点

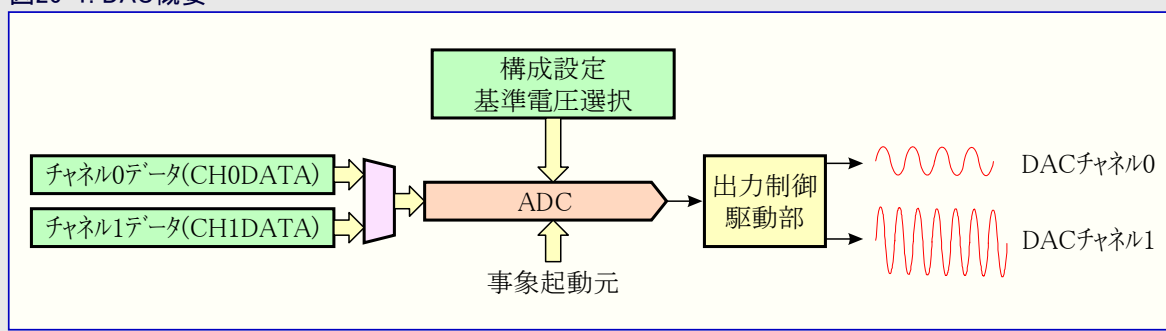
- 1つの12ビット分解能D/A変換器
- 各D/A変換器に対する1Msps(採取/秒)までの変換速度
- 柔軟な変換範囲
- 複数の起動元
- 各D/A変換器に対する1つの継続出力または2つの採取/保持(S/H)出力
- 組み込みの変位と利得の誤差校正
- 高い駆動能力
- 低電力動作

26.2. 概要

XMEGA A3は変位と利得の組み込み校正付き1M採取/秒の1つの2チャンネル12ビットD/A変換器が特徴です。図26-1をご覧ください。

D/A変換器(DAC)はデジタル値をアナログ電圧に変換します。DACは変換に対する上限として内部1.00Vを使うかもしれませんが、これは供給電圧またはその間で適用されたどの電圧も使うことが可能です。外部基準入力にはADC基準入力と共用されます。

図26-1. DAC概要



DACは抵抗性と容量性の両負荷に対して高い駆動能力を持つ1つの連続出力を持っています。これはこの連続時間チャンネルを各々が独立したデータ変換レジスタを持つ2つの採取/保持(S/H)チャンネルに分割することが可能です。

DACの変換はデータ変換レジスタ書き込みによって応用ソフトウェアから開始されるかもしれません。DACは応用ソフトウェアと無関係に規則的なタイミングを持つために、事象システムによって起動される変換を行うように構成設定することもできます。メモリ位置からDACデータレジスタへデータを転送するのにDMAが使われるかもしれません。

DACはソフトウェアから校正値を格納した時に変位と利得の誤差を減らすための組み込み校正システムを持っています。

ポートBは1つのDACを持っています。この周辺機能の表記はDACBです。

27. AC – アナログ比較器

27.1. 要点

- 4つのアナログ比較器
- 選択可能な電力対速度
- 選択可能なヒステリシス
 - 0, 20mV, 50mV
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポートの全ピン
 - D/A変換器(DAC)からの出力
 - バンドギャップ基準電圧
 - 内部VCC電圧の64段階縮尺の実行が可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり(両端)
- 以下での窓機能の割り込みと事象の生成
 - 窓以上の合図
 - 窓内の合図
 - 窓以下の合図

27.2. 概要

XMEGA A3は4つのアナログ比較器(AC)が特徴です。アナログ比較器は2つの電圧を比較し、出力はどちらの入力がより大きいかを示します。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生じるように構成設定できます。

各応用に対して最適な動作を得るためにヒステリシスと伝播遅延の両方が調節できます。

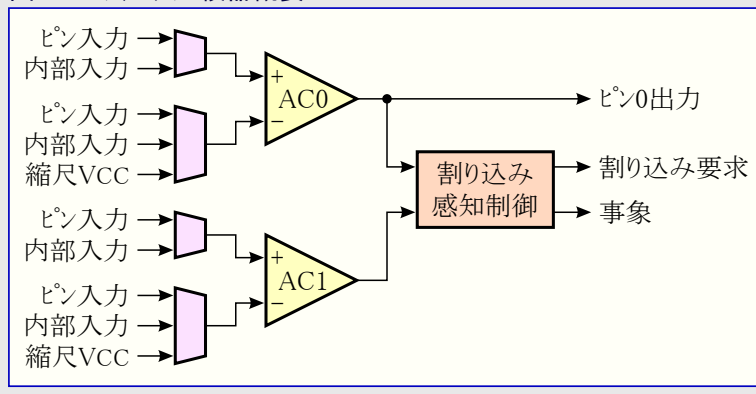
広範囲の入力選択が利用可能で、外部ピンと多くの内部信号の両方を使うことができます。

アナログ比較器は常に各アナログポート対(AC0とAC1)で分類されます。それらは同じ様に動きますが、独立した制御レジスタを持ちます。

任意選択で、比較器の状態はピンで直接利用可能です。

ポートAとポートBは各々1つAC対を持っています。この周辺機能の表記は各々、ACAとACBです。

図27-1. アナログ比較器概要



27.3. 入力選択

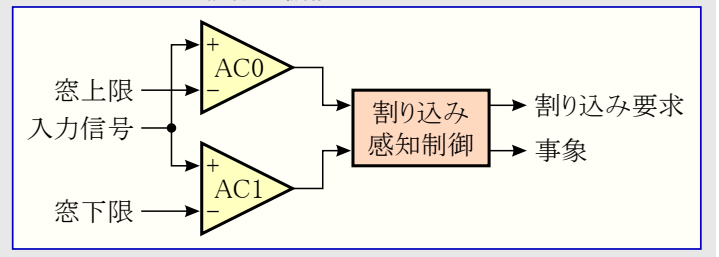
アナログ比較器は非常に柔軟な入力選択を持ち、対で一群にされた2つの比較器は窓機能を実現するために使われるかもしれません。アナログ比較器の1つの対は図27-1.で示されます。

- ピンからの入力選択
 - アナログ比較器の正入力へ、ピン0,1,2,3,4,5,6が選択可能
 - アナログ比較器の負入力へ、ピン0,1,3,5,7が選択可能
- アナログ比較器の正入力で利用可能な内部信号
 - 12ビットD/A変換器(DAC)からの出力
- アナログ比較器の負入力で利用可能な内部信号
 - VCCの64段階分圧器
 - バンドギャップ基準電圧
 - 12ビットD/A変換器(DAC)からの出力

27.4. 窓機能

窓機能は対の2つのアナログ比較器の外部入力を図27-2.で示されるように接続することによって実現されます。

図27-2. アナログ比較器窓機能



28. OCD – チップ上デバッグ

28.1. 要点

- 完全なプログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
- C及び高位言語のソースコードレベルでのデバッグ
- アセンブラと逆アセンブラレベルでのデバッグ
- AVR Studio/デバッグ用の1つの専用プログラム アドレス中断点またはソースレベル中断点
- 4つのハードウェア中断点(ブレークポイント)
- 無制限数の使用者プログラム中断点
- 以下で中断する無制限数の使用者データ中断点
 - データ位置の読み、書き、または読み書き
 - データ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲内または外側
 - データ位置のビットが値と等しいまたは等しくない
- 不干涉動作
 - デバイス内のハードウェアやソフトウェアの資源を全く使わない
- 高速動作
 - システム クロック周波数に対するデバッグ/プログラミング クロック周波数の制限なし

28.2. 概要

XMEGA A3はAtmelの開発ツールと組み合わせて応用のデバッグに必要な機能の全てを提供する、強力なチップ上デバッグ(OCD)システムを持っています。これはプログラムとデータの中断点に対する支援を持ち、アセンブラと逆アセンブラレベルだけでなく、Cと高位言語のソースコードレベルから応用をデバッグすることができます。これは不干涉動作で、そしてデバイス内のハードウェアとソフトウェアの資源は全く使われません。OCDシステムはJTAGまたはPDIの物理インターフェースに接続する外部デバッグ ツールを通してアクセスされます。[37頁の「プログラミングとデバッグ用インターフェース」](#)を参照してください。

29. プログラミングとデバッグ用インターフェース

29.1. 要点

- PDI – プログラミングとデバッグ用インターフェース (Atmel専有2ピン インターフェース)
- JTAGインターフェース (IEEE規格1149.1適合)
- IEEE規格149.1に対応した境界走査能力 (JTAG)
- OCDシステムへのアクセス
- フラッシュ メモリ、EEPROM、ヒューズと施錠ビットのプログラミング

29.2. 概要

プログラミングとデバッグの機能はJTAGとPDIの物理インターフェースを通して入出力されます。PDI物理インターフェースはRESETピンと共に1つの専用ピンを使い、汎用ピンは全く使われません。JTAGはポートB上の4つの汎用ピンを使います。

PDIはマイクロ コントローラとAtmelまたは第三者の開発ツール間通信用のAtmel専有規約です。

29.3. IEEE 1149.1 (JTAG) 境界走査(Boundary-scan)

JTAG物理層はTMS,TCK,TDI,TDOと名付けられている4つの入出力線に関して基本的な低位通信を扱います。これは検査入出力ポートと境界走査に関するIEEE規格1149.1に適合します。

29.3.1. 境界走査順

41頁の表30-8はデータ経路として境界走査チェーンが選択されている時のTDIとTDO間での操作順を示します。ビット0がLSBで、その先頭ビットが入力で走査され、そしてその先頭ビットが出力で走査されます。走査順はピン配置の順に従います。ポートBのビット7～4は、それらのピンがJTAG許可時にTAPピンを構成するため、走査チェーンにありません。

29.3.2. 境界走査記述言語ファイル

境界走査記述言語(BSDL)ファイルは自動化された検査生成ソフトウェアによって使われ標準形式で境界走査能力を持つデバイスを記述します。境界走査データ レジスタ内のビットの順と機能がこの記述に含まれます。BSDLファイルはATxmega64/128/192/256A3デバイスに対して利用可能です。

ATxmega64/128/192/256A3の境界走査順については41頁の表30-8をご覧ください。

30. ピン配置とピン機能

XMEGA A3のピン配置は2頁の「[ピン配置/構成図](#)」で示されます。標準I/O機能に加え、各ピンは様々な機能を持つかもしれません。これはどの周辺機能が許可され、そして現実のピンに接続されるかに依存します。交換ピン機能は同時に1つだけを使うことができます。

30.1. 交換ピン機能の種類

下表は利用可能な全てのピン機能に対する表記とその機能の種類を示します。

30.1.1. 活動/電力供給

VCC	デジタル供給電圧
AVCC	アナログ供給電圧
GND	接地

30.1.2. ポート割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つポートピン
ASYN	完全な同期と完全な非同期の割り込み機能を持つポートピン

30.1.3. アナログ機能

ACn	アナログ比較器入力ピン
AC0OUT	アナログ比較器0出力
ADCn	A/D変換器入力ピン
DACn	D/A変換器出力ピン
AREF	アナログ基準電圧入力ピン

30.1.4. タイマ/カウンタとAWeX機能

OCnx	タイマ/カウンタ用比較チャネルx出力
$\overline{\text{OCnx}}$	タイマ/カウンタ用比較チャネルx反転出力
OCnxLS	タイマ/カウンタ用比較チャネルx Low側出力
OCnxHS	タイマ/カウンタ用比較チャネルx High側出力

30.1.5. 通信機能

SCL	TWI用直列クロック
SDA	TWI用直列データ
SCLIN	外部駆動インターフェース許可時のTWI用直列クロック入力
SCLOUT	外部駆動インターフェース許可時のTWI用直列クロック出力
SDAIN	外部駆動インターフェース許可時のTWI用直列データ入力
SDAOUT	外部駆動インターフェース許可時のTWI用直列データ出力
XCKn	USARTn用転送クロック
RXDn	USARTn用受信データ
TXDn	USARTn用送信データ
$\overline{\text{SS}}$	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列クロック

30.1.6. 発振器、クロック、事象

TOSCn	計時器用発振器ピン
XTALn	反転発振器用入出力ピン
CLKOUT	周辺機能クロック出力
EVOUT	事象チャネル0出力

30.1.7. デバッグ/システム機能

RESET	リセットピン
PDI_CLK	プログラミングとデバッグ用インターフェースクロックピン
PDI_DATA	プログラミングとデバッグ用インターフェースデータピン
TCK	JTAG検査クロック
TDI	JTAG検査データ入力
TDO	JTAG検査データ出力
TMS	JTAG検査動作種別選択

30.2. 交換ピン機能

下表は最初の列でポートの各ピンに対する主/既定の機能、第2列でピン番号、そして残りの列で交換ピン機能を示します。先頭行は何の周辺機能が交換ピン機能を許可して使うかを示します。

表30-1. ポートA - 交換機能

PORTA	ピン番号	割り込み	ADCA 利得なし 正入力	ADCA 利得なし 負入力	ADCA 利得付き 正入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力		REFA	
GND	60											
AVCC	61											
PA0	62	SYNC	ADC0	ADC0	ADC0		AC0	AC0			AREF	
PA1	63	SYNC	ADC1	ADC1	ADC1		AC1	AC1				
PA2	64	SYNC/ASYNC	ADC2	ADC2	ADC2		AC2					
PA3	1	SYNC	ADC3	ADC3	ADC3		AC3	AC3				
PA4	2	SYNC	ADC4		ADC4	ADC4	AC4					
PA5	3	SYNC	ADC5		ADC5	ADC5	AC5	AC5				
PA6	4	SYNC	ADC6		ADC6	ADC6	AC6					
PA7	5	SYNC	ADC7		ADC7	ADC7		AC7	AC0OUT			

表30-2. ポートB - 交換機能

PORTB	ピン番号	割り込み	ADCB 利得なし 正入力	ADCB 利得なし 負入力	ADCB 利得付き 正入力	ADCB 利得付き 負入力	ACB 正入力	ACB 負入力	ACB 出力	DACB	REFB	JTAG
PB0	6	SYNC	ADC0	ADC0	ADC0		AC0	AC0			AREF	
PB1	7	SYNC	ADC1	ADC1	ADC1		AC1	AC1				
PB2	8	SYNC/ASYNC	ADC2	ADC2	ADC2		AC2			DAC0		
PB3	9	SYNC	ADC3	ADC3	ADC3		AC3	AC3		DAC1		
PB4	10	SYNC	ADC4		ADC4	ADC4	AC4					TMS
PB5	11	SYNC	ADC5		ADC5	ADC5	AC5	AC5				TDI
PB6	12	SYNC	ADC6		ADC6	ADC6	AC6					TCK
PB7	13	SYNC	ADC7		ADC7	ADC7		AC7	AC0OUT			TDO

表30-3. ポートC - 交換機能

PORTC	ピン番号	割り込み	TCC0	AWEXC	TCC1	USARTC0	USARTC1	SPIC	TWIC	クロック出力	事象出力
GND	14										
VCC	15										
PC0	16	SYNC	OC0A	OC0ALS					SDA/SDA_IN		
PC1	17	SYNC	OC0B	OC0AHS		XCK0			SCL/SCL_IN		
PC2	18	SYNC/ASYNC	OC0C	OC0BLS		RXD0			SDA_OUT		
PC3	19	SYNC	OC0D	OC0BHS		TXD0			SCL_OUT		
PC4	20	SYNC		OC0CLS	OC1A			$\overline{SS}$			
PC5	21	SYNC		OC0CHS	OC1B		XCK1	MOSI			
PC6	22	SYNC		OC0DLS			RXD1	MISO			
PC7	23	SYNC		OC0DHS			TXD1	SCK		CLKOUT	EVOUT

表30-4. ポートD - 交換機能

PORTD	ピン番号	割り込み	TCD0		TCD1	USARTD0	USARTD1	SPID		クロック出力	事象出力
GND	24										
VCC	25										
PD0	26	SYNC	OC0A								
PD1	27	SYNC	OC0B			XCK0					
PD2	28	SYNC/ASYNC	OC0C			RXD0					
PD3	29	SYNC	OC0D			TXD0					
PD4	30	SYNC			OC1A			$\overline{SS}$			
PD5	31	SYNC			OC1B		XCK1	MOSI			
PD6	32	SYNC					RXD1	MISO			
PD7	33	SYNC					TXD1	SCK		CLKOUT	EVOUT

表30-5. ポートE - 交換機能

PORTE	ピン番号	割り込み	TCE0	TOSC	TCE1	USARTE0	USARTE1	SPIE	TWIE	クロック出力	事象出力
GND	34										
VCC	35										
PE0	36	SYNC	OC0A						SDA/SDA_IN		
PE1	37	SYNC	OC0B			XCK0			SCL/SCL_IN		
PE2	38	SYNC/ASYNC	OC0C			RXD0			SDA_OUT		
PE3	39	SYNC	OC0D			TXD0			SCL_OUT		
PE4	40	SYNC			OC1A			$\overline{SS}$			
PE5	41	SYNC			OC1B		XCK1	MOSI			
PE6	42	SYNC		TOSC2			RXD1	MISO			
PE7	43	SYNC		TOSC1			TXD1	SCK		CLKOUT	EVOUT

表30-6. ポートF - 交換機能

PORTF	ピン番号	割り込み	TCF0			USARTF0					
GND	44										
VCC	45										
PF0	46	SYNC	OC0A								
PF1	47	SYNC	OC0B			XCK0					
PF2	48	SYNC/ASYNC	OC0C			RXD0					
PF3	49	SYNC	OC0D			TXD0					
PF4	50	SYNC									
PF5	51	SYNC									
GND	52										
VCC	53										
PF6	54	SYNC									
PF7	55	SYNC									

表30-7. ポートR - 交換機能

PORTR	ピン番号	割り込み	XTAL	PDI
PDI	56			PDI_DATA
RESET	57			PDI_CLOCK
PR0	58	SYNC	XTAL2	
PR1	59	SYNC	XTAL1	

表30-8. ATxmega64/128/192/256A3境界走査(Boundary-Scan)順

ビット	信号名	単位部	ビット	信号名	単位部	ビット	信号名	単位部
149	PQ3.Bidir	ポートQ	99	PH2.Bidir	ポートH	49	PD1.Bidir	ポートD
148	PQ3.Control		98	PH2.Control		48	PD1.Control	
147	PQ2.Bidir		97	PH1.Bidir		47	PD0.Bidir	
146	PQ2.Control		96	PH1.Control		46	PD0.Control	
145	PQ1.Bidir		95	PH0.Bidir		45	PC7.Bidir	ポートC
144	PQ1.Control	ポートK	94	PH0.Control	ポートF	44	PC7.Control	
143	PQ0.Bidir		93	PF7.Bidir		43	PC6.Bidir	
142	PQ0.Control		92	PF7.Control		42	PC6.Control	
141	PK7.Bidir		91	PF6.Bidir		41	PC5.Bidir	
140	PK7.Control		90	PF6.Control		40	PC5.Control	
139	PK6.Bidir		89	PF5.Bidir		39	PC4.Bidir	
138	PK6.Control		88	PF5.Control		38	PC4.Control	
137	PK5.Bidir		87	PF4.Bidir		37	PC3.Bidir	
136	PK5.Control		86	PF4.Control		36	PC3.Control	
135	PK4.Bidir		85	PF3.Bidir		35	PC2.Bidir	
134	PK4.Control		84	PF3.Control		34	PC2.Control	
133	PK3.Bidir	ポートJ	83	PF2.Bidir	ポートE	33	PC1.Bidir	ポートA
132	PK3.Control		82	PF2.Control		32	PC1.Control	
131	PK2.Bidir		81	PF1.Bidir		31	PC0.Bidir	
130	PK2.Control		80	PF1.Control		30	PC0.Control	
129	PK1.Bidir		79	PF0.Bidir		29	PB3.Bidir	ポートB
128	PK1.Control		78	PF0.Control		28	PB3.Control	
127	PK0.Bidir		77	PE7.Bidir		27	PB2.Bidir	
126	PK0.Control		76	PE7.Control		26	PB2.Control	
125	PJ7.Bidir		75	PE6.Bidir	ポートD	25	PB1.Bidir	ポートR
124	PJ7.Control		74	PE6.Control		24	PB1.Control	
123	PJ6.Bidir		73	PE5.Bidir		23	PB1.Bidir	
122	PJ6.Control		72	PE5.Control		22	PB0.Control	
121	PJ5.Bidir		71	PE4.Bidir		21	PA7.Bidir	
120	PJ5.Control		70	PE4.Control		20	PA7.Control	
119	PJ4.Bidir		69	PE3.Bidir		19	PA6.Bidir	
118	PJ4.Control		68	PE3.Control		18	PA6.Control	
117	PJ3.Bidir		67	PE2.Bidir		17	PA5.Bidir	
116	PJ3.Control		66	PE2.Control		16	PA5.Control	
115	PJ2.Bidir	ポートH	65	PE1.Bidir		15	PA4.Bidir	
114	PJ2.Control		64	PE1.Control		14	PA4.Control	
113	PJ1.Bidir		63	PE0.Bidir		13	PA3.Bidir	
112	PJ1.Control		62	PE0.Control		12	PA3.Control	
111	PJ0.Bidir		61	PD7.Bidir		11	PA2.Bidir	
110	PJ0.Control	ポートG	60	PD7.Control	ポートD	10	PA2.Control	
109	PH7.Bidir		59	PD6.Bidir		9	PA1.Bidir	
108	PH7.Control		58	PD6.Control		8	PA1.Control	
107	PH6.Bidir		57	PD5.Bidir		7	PA0.Bidir	
106	PH6.Control		56	PD5.Control		6	PA0.Control	
105	PH5.Bidir		55	PD4.Bidir		5	PR1.Bidir	
104	PH5.Control		54	PD4.Control		4	PR1.Control	
103	PH4.Bidir		53	PD3.Bidir		3	PR0.Bidir	
102	PH4.Control		52	PD3.Control		2	PR0.Control	
101	PH3.Bidir		51	PD2.Bidir		1	RESET.Observe_Only	RESET
100	PH3.Control		50	PD2.Control		0	PDI_DATA.Observe_Only	PDIデータ

31. 周辺機能単位部アドレス割り当て

アドレス割り当て表はXMEGA A3内の各周辺機能と単位部に対する基準アドレスを示します。各周辺機能単位部に対する一覧と完全なレジスタ記述についてはXMEGA A手引書を参照してください。

基準アドレス	名称	意味	基準アドレス	名称	意味
\$0000	GPIO	汎用I/Oレジスタ	\$0620	PORTB	ポートB
\$0010	VPORT0	仮想ポート0	\$0640	PORTC	ポートC
\$0014	VPORT1	仮想ポート1	\$0660	PORTD	ポートD
\$0018	VPORT2	仮想ポート2	\$0680	PORTE	ポートE
\$001C	VPORT3	仮想ポート3	\$06A0	PORTF	ポートF
\$0030	CPU	CPU	\$07E0	PORTR	ポートR
\$0040	CLK	クロック制御	\$0800	TCC0	ポートCのタイマ/カウンタ0
\$0048	SLEEP	休止制御器	\$0840	TCC1	ポートCのタイマ/カウンタ1
\$0050	OSC	発振器制御	\$0880	AWEXC	ポートCの新波形拡張
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	\$0890	HIRES	ポートCの高分解能拡張
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	\$08A0	USARTC0	ポートCのUSART0
\$0070	PR	電力削減	\$08B0	USARTC1	ポートCのUSART1
\$0078	RST	リセット制御器	\$08C0	SPIC	ポートCの直列周辺インターフェース
\$0080	WDT	ウォッチドッグ タイマ	\$08F8	IRCOM	赤外線通信単位部
\$0090	MCU	MCU制御	\$0900	TCD0	ポートDのタイマ/カウンタ0
\$00A0	PMIC	設定可能な多段割り込み制御器	\$0940	TCD1	ポートDのタイマ/カウンタ1
\$00B0	PORTCFG	ポート構成設定	\$0990	HIRES	ポートDの高分解能拡張
\$00C0	AES	AES暗号単位部	\$09A0	USARTD0	ポートDのUSART0
\$0100	DMA	DMA制御器	\$09B0	USARTD1	ポートDのUSART1
\$0180	EVSYS	事象システム	\$09C0	SPID	ポートDの直列周辺インターフェース
\$01C0	NVM	不揮発性メモリ(NVM)制御器	\$0A00	TCE0	ポートEのタイマ/カウンタ0
\$0200	ADCA	ポートAのA/D変換器	\$0A40	TCE1	ポートEのタイマ/カウンタ1
\$0240	ADCB	ポートBのA/D変換器	\$0A80	AWEXE	ポートEの新波形拡張
\$0320	DACB	ポートBのD/A変換器	\$0A90	HIRES	ポートEの高分解能拡張
\$0380	ACA	ポートAのアナログ比較器	\$0AA0	USARTE0	ポートEのUSART0
\$0390	ACB	ポートBのアナログ比較器	\$0AB0	USARTE1	ポートEのUSART1
\$0400	RTC	実時間計数器	\$0AC0	SPIE	ポートEの直列周辺インターフェース
\$0480	TWIC	ポートCの2線インターフェース	\$0B00	TCF0	ポートFのタイマ/カウンタ0
\$04A0	TWIE	ポートEの2線インターフェース	\$0B90	HIRES	ポートFの高分解能拡張
\$0600	PORTA	ポートA	\$0BA0	USARTF0	ポートFのUSART0

(訳注) 本表に於いて\$0A80,AWEXEが定義され、AWeXがTCE0に対しても存在することを示唆していますが、本書内の他の記述でこれは存在しません。これは本表のみが誤っているものと思われます。

32. 命令一式要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow EIND:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow EIND:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow STACK$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら、 $PC \leftarrow PC + 2 \text{ or } 3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≥で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≥で分岐	(N EOR V)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	1,1,1,1,1,1,1,1	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,I,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1

ニーモニック	オペラント	意味	動作	フラグ	クロック
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	内蔵デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K : 4, 6, 8ビット定数 P : I/Oレジスタ Rd, Rr : 汎用レジスタ(R0～R31)
 X, Y, Z : X, Y, Zレジスタ b : ビット(0～7) k : アドレス定数(7,12,16ビット)
 q : 符号なし6ビット定数(変位) s : ステータス フラグ(C,Z,N,V,X,H,T,I)

注1: データ メモリ アクセスの周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対して有効ではありません。(訳
補: XMEGA A3系に外部メモリ インターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

34. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25℃で測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

34.1. 絶対最大定格 (警告)

動作温度		-55℃ ~ +125℃
保存温度		-65℃ ~ +150℃
GNDに対するピン電圧		-0.5V ~ VCC+0.5V
最大動作電圧		3.6V
入出力ピン当たりのDC電流		20.0mA
VCCとGNDピンのDC電流		200.0mA

(警告)

絶対最大定格を超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

34.2. DC特性

表34-1. 消費電流

シンボル	項目	条件	最小	代表	最大	単位
I _{CC}	活動動作消費電流 (注1)	32kHz外部クロック	VCC=1.8V	25		μA
			VCC=3.0V	71		
		1MHz外部クロック	VCC=1.8V	317		
			VCC=3.0V	697		
		2MHz外部クロック	VCC=1.8V	613	800	mA
			VCC=3.0V	1340	1800	
		32MHz外部クロック	VCC=3.0V	15.7	18	
	アイドル動作消費電流 (注1)	32kHz外部クロック	VCC=1.8V	3.6		μA
			VCC=3.0V	6.9		
		1MHz外部クロック	VCC=1.8V	112		
			VCC=3.0V	215		
		2MHz外部クロック	VCC=1.8V	224	350	mA
			VCC=3.0V	430	650	
		32MHz外部クロック	VCC=3.0V	6.9	8	
	パワーダウン動作消費電流	全機能禁止, T=25℃	VCC=3.0V	0.1	3	μA
		全機能禁止, T=85℃	VCC=3.0V	1.75	5	
		ULP, WDT, 採取動作BOD, T=25℃	VCC=1.8V	1	6	
			VCC=3.0V	1	6	
		ULP, WDT, 採取動作BOD, T=85℃	VCC=3.0V	2.7	10	
			VCC=3.0V			
	パワーセーフ動作消費電流	低電力32kHz TOSCからの1kHz RTC, T=25℃	VCC=1.8V	0.5	4	μA
			VCC=3.0V	0.7	4	
		低電力32kHz TOSCからの32kHz RTC	VCC=3.0V	1.16		
			VCC=3.0V			
	リセット消費電流	リセットプルアップ電流を除く	VCC=3.0V	1300		

注1: 全ての電力削減レジスタは設定(1)。

(次頁へ続く)

表34-1. (続き) 消費電流

周辺機能・単位部 消費電流 (注2)						
シンボル	項目	条件	最小	代表	最大	単位
ICC	32MHz内部RC発振器(RC32M)			460		μA
		32kHz内部発振器でのDFLL付き		594		
	2MHz内部RC発振器(RC2M)			101		
		32kHz内部発振器でのDFLL付き		134		
	32.768kHz内部RC発振器(RC32K)			27		
	PLL	逡倍率=10倍		202		
	ウォッチドッグ タイマ(WDT)	標準動作		1		
	低電圧検出器(BOD)	継続動作		128		
		採取動作		1		
	1.00V内部基準電圧			80		
	温度基準(感知器)			74		
	実時間計数器(RTC)	32kHz内部RC発振器、前置分周なし		27		mA
		ULP発振器、前置分周なし		1		
	A/D変換器(ADC)	250k採取/秒,連続変換動作, 1.00V内部基準電圧		2.9		
		標準動作,単一チャネル,1M採取/s, 1.00V内部基準電圧		1.8		
	D/A変換器(DAC) (標準動作)	低電力動作,単一チャネル,1M採取/s, 1.00V内部基準電圧		0.95		
		標準動作,2重チャネル, 1.00V内部基準電圧,16clk再活性		2.9		
		低電力動作,2重チャネル, 1.00V内部基準電圧,16clk再活性		1.1		
	アナログ比較器(AC)	高速動作		195		μA
		低電力動作		103		
	USART	9600bps,送受信許可		5.4		
	DMA			128		
	タイマ/カウンタ	前置分周なし		20		
	AES			223		mA
	フラッシュ メモリ/EEPROMプログラミング	VCC=2V		25		
		VCC=3V		33		

注2: 全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。特記条件を除き、全てがVCC=3.0V、clk_{sys}=外部1MHzクロックでのデータです。

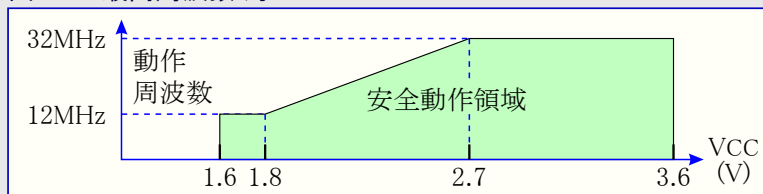
34.3. 動作電圧と周波数

Atmel® AVR® XMEGA A3デバイスの最高CPU周波数は動作電圧に依存します。図34-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

表34-2. 動作電圧と周波数

シンボル	項目	条件	最小	代表	最大	単位
clk _{CPU}	CPU クロック 周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

図34-1. 最高周波数 対 VCC



34.4. フラッシュメモリとEEPROMの特性

表34-3. 耐久性とデータ保持力

シンボル	項目	条件	最小	代表	最大	単位
	フラッシュメモリ耐久性能	書き込み/消去繰り返し	25°C	10,000		回
			85°C	10,000		
	フラッシュメモリデータ保持力		25°C	100		年
			55°C	25		
	EEPROM耐久性能	書き込み/消去繰り返し	25°C	80,000		回
			85°C	30,000		
	EEPROMデータ保持力		25°C	100		年
			55°C	25		

表34-4. プログラミング時間 (注1)

シンボル	項目	条件	最小	代表	最大	単位
	チップ消去時間	フラッシュメモリとEEPROM(注2)の消去		40		ms
	フラッシュメモリプログラミング時間	ページ消去		6		
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		
		非分断ページ消去/ページ書き込み		12		
	EEPROMプログラミング時間	ページ消去		6		
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		

注1: プログラミングは内部2MHz発振器からの時間に従います。

注2: EESAVEヒューズがプログラム(0)されている場合、EEPROMは消去されません。

34.5. A/D変換器特性

表34-5. A/D変換器特性

シンボル	項目	条件	最小	代表	最大	単位
RES	分解能	8/12ビット設定可能	8	12	12	ビット
INL	積分非直線性誤差	差動形態、500k採取/秒(sps)	-5	±2	5	LSB
DNL	微分非直線性誤差	差動形態、500k採取/秒(sps)		<±1		
	利得誤差			<±10		mV
	変位(オフセット)誤差			<±2		
ADCClk	変換クロック周波数	最大は周辺機能クロックの1/4			2000	kHz
	変換速度				2000	ksps
	変換時間(伝播遅延)	(RES+2)÷2+GAIN・・・計算式 (RES=8または12, GAIN=0,1,2または3)	5	7	8	ADCClk 周期
	採取時間	1/2ADCClk周期	250			ns
	変換範囲		0		VREF	V
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	
VREF	基準電圧		1.0		VCC-0.6	kHz
	入力帯域			-		
INT1V	内部1.00V基準電圧 (注1)			1.00		V
INTVCC	内部VCC/1.6			VCC/1.6		
SCALEDVCC	内部分圧VCC/10入力			VCC/10		
RAREF	基準電圧入力インピーダンス			>10		MΩ
	始動時間			12	24	ADCClk 周期
	内部入力採取速度	温度感知器, VCC/10, バンドギャップ			100	ksps

注1: パラメータのより多くの詳細については50頁の「バンドギャップ電圧特性」を参照してください。

表34-6. A/D変換器利得段特性

シンボル	項目	条件	最小	代表	最大	単位
	利得誤差	1~64倍		<±1		%
	変位(オフセット)誤差			<±1		
V _{rms}	入力での雑音レベル	利得 64倍	VREF=内部1.00V基準電圧	0.12		mV
			VREF=外部2V	0.06		
	変換速度	ADCと同一条件			1000	ksps

34.6. D/A変換器特性

表34-7. D/A変換器特性

シンボル	項目	条件	最小	代表	最大	単位
INL	積分非直線性誤差	VCC=1.6~3.6V	VREF=外部	5		LSB
DNL	微分非直線性誤差	VCC=1.6~3.6V	VREF=外部	<±1		
			VREF=AVCC	-		
F _{clk}	変換速度				1000	ksps
AREF	外部基準電圧		1.1		AVCC-0.6	V
	基準電圧入力インピーダンス			>10		MΩ
	最大出力電圧	負荷抵抗=100kΩ		0.98AVCC		V
	最小出力電圧	負荷抵抗=100kΩ		0.015		
	変位(オフセット)工場校正精度	連続動作, VCC=3.0V,		±0.5		LSB
	利得工場校正精度	VREF=内部1.00V, T=85°C		±2.5		

34.7. アナログ比較器特性

表34-8. アナログ比較器特性

シンボル	項目	条件	最小	代表	最大	単位
V _{off}	入力変位(オフセット)電圧	VCC=1.6~3.6V		<±10		mV
I _{lk}	入力漏れ電流	VCC=1.6~3.6V		<1000		pA
V _{hyst1}	ヒステリシス(なし設定時)	VCC=1.6~3.6V		0		mV
V _{hyst2}	ヒステリシス(小設定時)	VCC=1.6~3.6V	高速動作	20		
V _{hyst3}	ヒステリシス(大設定時)	VCC=1.6~3.6V	高速動作	40		
t _{delay}	伝播遅延	VCC=3.0V, T=85°C	高速動作		100	ns
		VCC=1.6~3.6V	高速動作	110		
		VCC=1.6~3.6V	低電力動作	175		

34.8. バンドギャップ電圧特性

表34-9. バンドギャップ電圧特性

シンボル	項目	条件	最小	代表	最大	単位
	バンドギャップ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後, T=85°C	0.99	1	1.01	
	電圧と温度での変動	VCC=1.6~3.6V, T=-40~85°C		±2		%
	始動時間	ADCまたはACの入力として		1.5		μs
		ADCまたはDACの基準電圧として		1clk_PER+2.5μs		

34.9. 低電圧検出(Brownout Detection)特性

表34-10. 低電圧検出特性

シンボル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0		1.62	1.63	1.7	V
	VCC降下検出レベル1			1.9		
	VCC降下検出レベル2			2.17		
	VCC降下検出レベル3			2.43		
	VCC降下検出レベル4			2.68		
	VCC降下検出レベル5			2.96		
	VCC降下検出レベル6			3.22		
	VCC降下検出レベル7			3.49		
	ヒステリシス	検出レベル0~5		1		%

注: 値電圧検出(BOD)は85°Cで検出レベル0に対して校正され、検出レベル0が既定レベルです。

34.10. ハット特性

表34-11. ハット特性

シンボル	項目	条件	最小	代表	最大	単位
VIH	Highレベル入力電圧	VCC=2.4~3.6V	0.7VCC		VCC+0.5	V
		VCC=1.6~2.4V	0.8VCC		VCC+0.5	
VIL	Lowレベル入力電圧	VCC=2.4~3.6V	-0.5		0.3VCC	
		VCC=1.6~2.4V	-0.5		0.2VCC	
VOH	汎用入出力Highレベル出力電圧	IOH=-8mA, VCC=3.3V	2.6	2.9		
		IOH=-6mA, VCC=3.0V	2.1	2.7		
		IOH=-2mA, VCC=1.8V	1.4	1.6		
VOL	汎用入出力Lowレベル出力電圧	IOL=15mA, VCC=3.3V		0.4	0.76	
		IOL=10mA, VCC=3.0V		0.3	0.64	
		IOL=5mA, VCC=1.8V		0.2	0.46	
IiH	I/OピンHigh側入力漏れ電流			<0.001	1	μA
IiL	I/OピンLow側入力漏れ電流			<0.001	1	
RP	I/Oピンプル/バス保持 抵抗			20		kΩ
RRST	リセットピンプルアップ抵抗			20		
	入力ヒステリシス			0.5		V

34.11. 電源ONリセット(POR)特性

表34-12. 電源ONリセット特性

シンボル	項目	条件	最小	代表	最大	単位
VPOT-	VCC下降POR閾値電圧	1V/msよりも速いVCC下降	0.4	0.8		V
		1V/msまたはより遅いVCC下降	0.8	1.3		
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

34.12. 外部リセット特性

表34-13. 外部リセット特性

シンボル	項目	条件	最小	代表	最大	単位
	最小リセットパルス幅			90	1000	ns
	リセット閾値電圧	VCC=2.7~3.6V		0.45VCC		V
		VCC=1.6~2.7V		0.42VCC		

34.13. 発振器特性

表34-14. 32.768kHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, T=85°C, 製造校正後	-0.5		0.5	%

表34-15. 2MHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, T=85°C, 製造校正後	-1.5		1.5	%
	DFLL校正段階量	VCC=3.0V, T=25°C		0.15		

表34-16. 32MHz内部RC発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	精度	VCC=3.0V, T=85°C, 製造校正後	-1.5		1.5	%
	DFLL校正段階量	VCC=3.0V, T=25°C		0.2		

表34-17. 32kHz内部ULP発振器特性

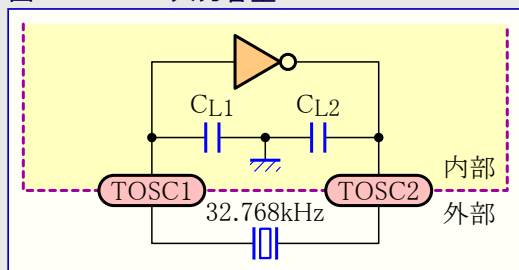
シンボル	項目	条件	最小	代表	最大	単位
	32kHz ULP OSC出力周波数	VCC=3.0V, T=85°C		26		kHz

表34-18. 外部32.768kHzクリスタル用発振器とTOSC特性

シンボル	項目	条件	最小	代表	最大	単位
SF	安全係数	クリスタル特性に合わせた容量性負荷	3			
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量6.5pF			60	kΩ
		クリスタル負荷容量9.0pF			35	
C _{IN_TOSC}	TOSCピン間入力容量	標準形態		1.7		pF
		低電力形態		2.2		

注: 定義については図34-2をご覧ください。

図34-2. TOSC入力容量



TOSCピン間の入力容量は、外部容量なし発振時にクリスタルから見えるように直列でCL1+CL2です。

表34-19. 休止(スリープ)からのデバイス起動時間

シンボル	項目	条件 (注1)	最小	代表 (注2)	最大	単位
	アイドル、スタンバイ、拡張スタンバイからの起動時間	32.768kHz内部RC		130		μs
		2MHz内部RC		2		
		2MHz外部クロック信号		2		
		32MHz内部RC		0.17		
	パワーセーブ、パワーダウンからの起動時間	32.768kHz内部RC		320		
		2MHz内部RC		10.3		
		2MHz外部クロック信号		4.5		
		32MHz内部RC		5.8		

注1: 前置分周されないシステムクロック元です。

注2: 外部割り込みピンでのピン変化から利用可能な最初のクロック周期までの時間です。追加の割り込み応答時間は最小5システムクロック元周期です。

35. 代表特性

35.1. 活動動作消費電流

図35-1. 活動動作消費電流 対 周波数 ($f_{\text{SYS}}=0\sim 1.0\text{MHz}$ 外部クロック, $T_A=25^\circ\text{C}$)

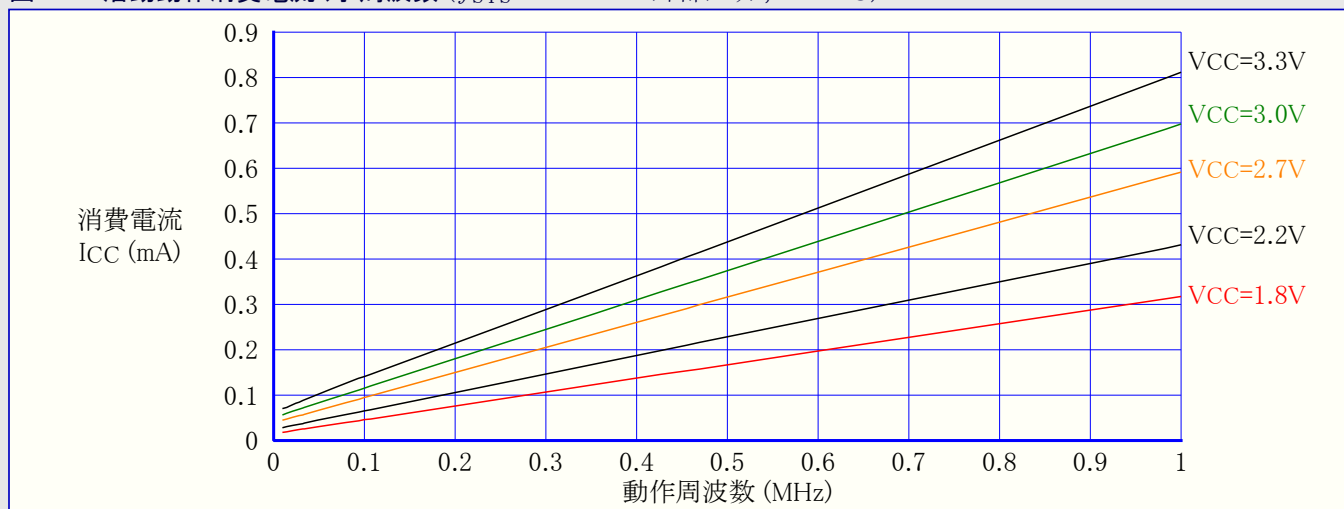


図35-2. 活動動作消費電流 対 周波数 ($f_{\text{SYS}}=1\sim 32\text{MHz}$ 外部クロック, $T_A=25^\circ\text{C}$)

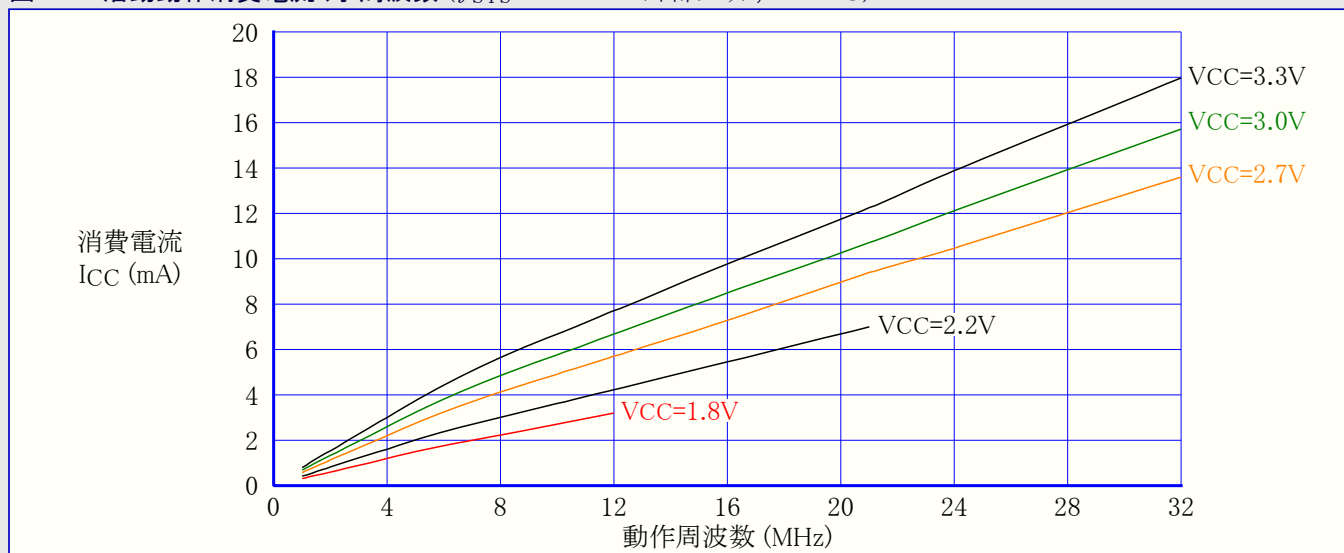


図35-3. 活動動作消費電流 対 動作電圧 ($f_{\text{SYS}}=1\text{MHz}$ 外部クロック)

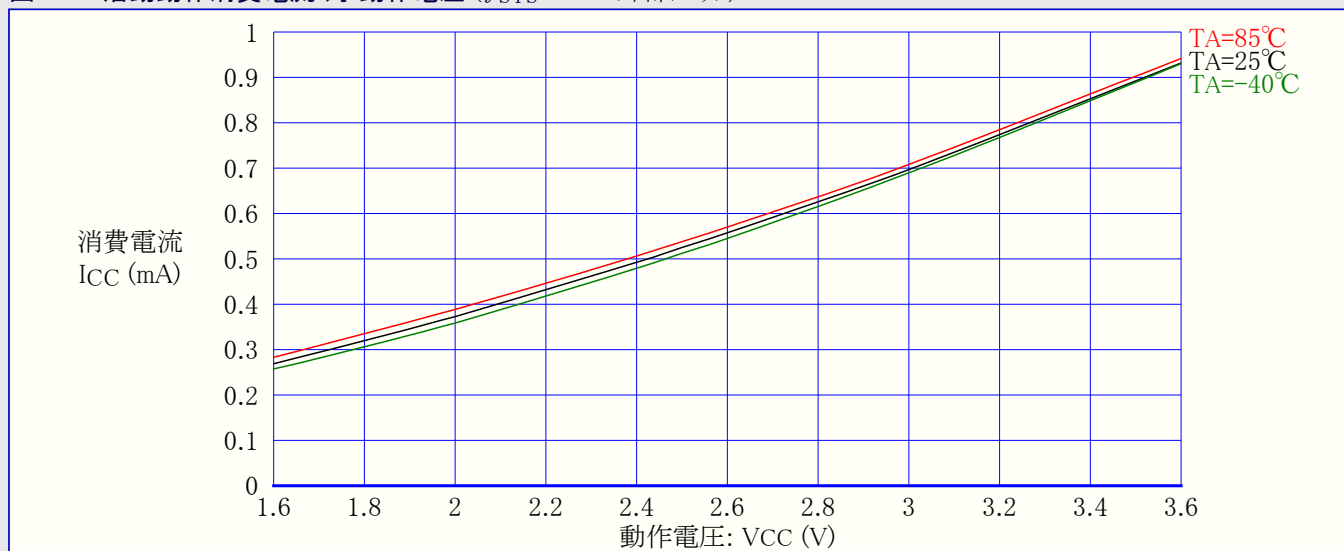


図35-4. 活動動作消費電流 対 動作電圧 ($f_{SYS}=32.768kHz$ 内部RC)

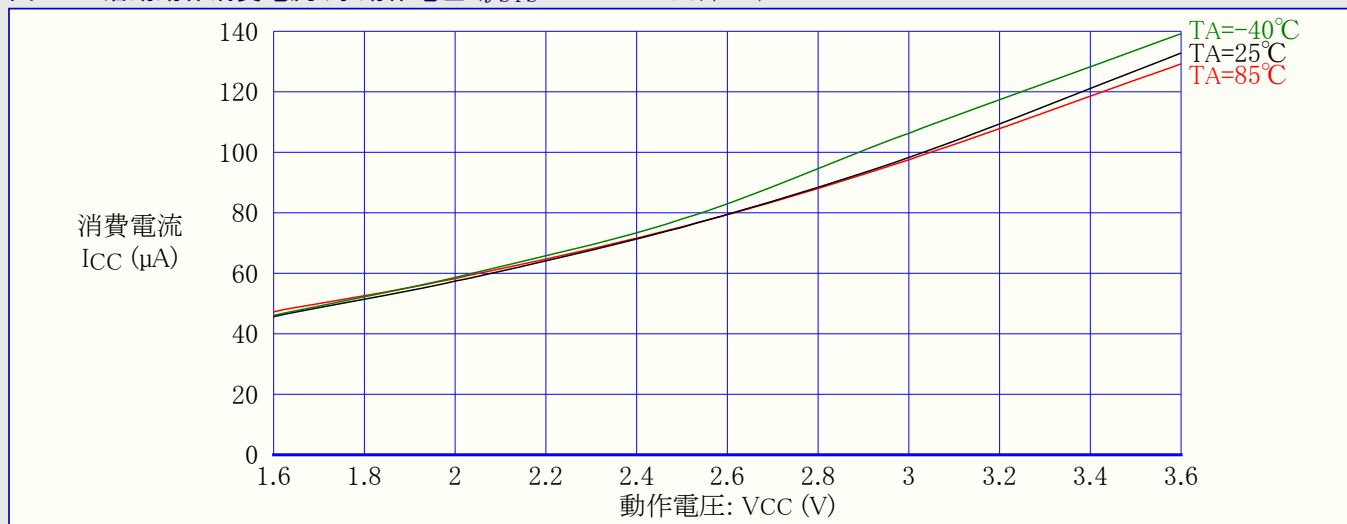


図35-5. 活動動作消費電流 対 動作電圧 ($f_{SYS}=2MHz$ 内部RC)

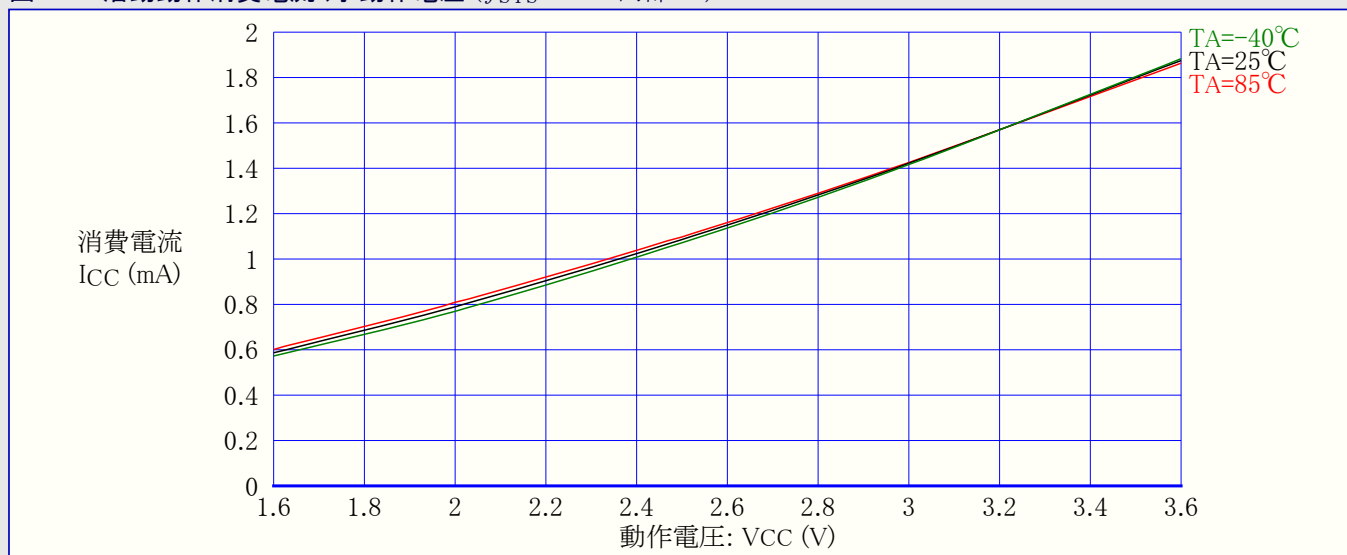


図35-6. 活動動作消費電流 対 動作電圧 ($f_{SYS}=8MHz, 32MHz$ 内部RCの4前置分周)

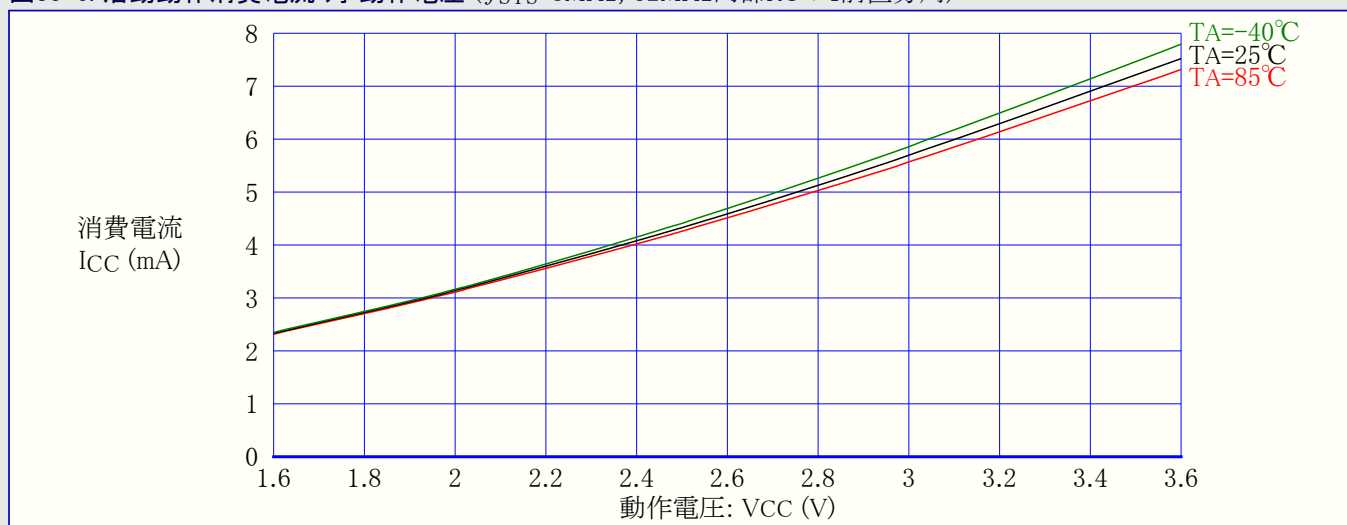
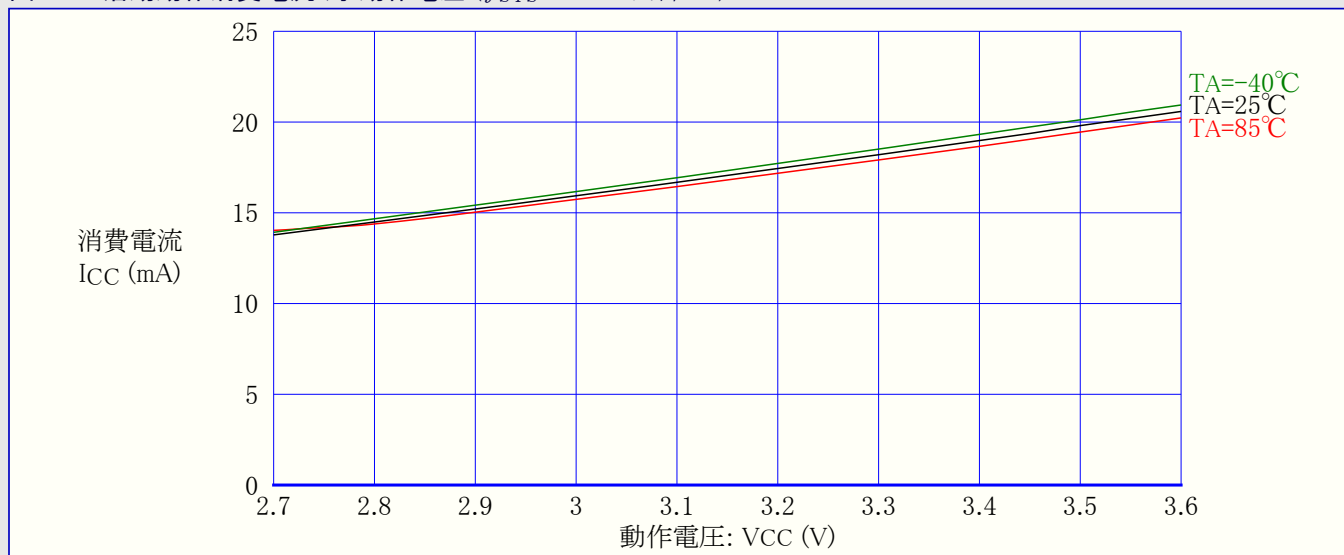


図35-7. 活動動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部RC)



35.2. アイドル動作消費電流

図35-8. アイドル動作消費電流 対 周波数 ($f_{SYS}=0\sim1.0\text{MHz}$ 外部クロック, TA=25°C)

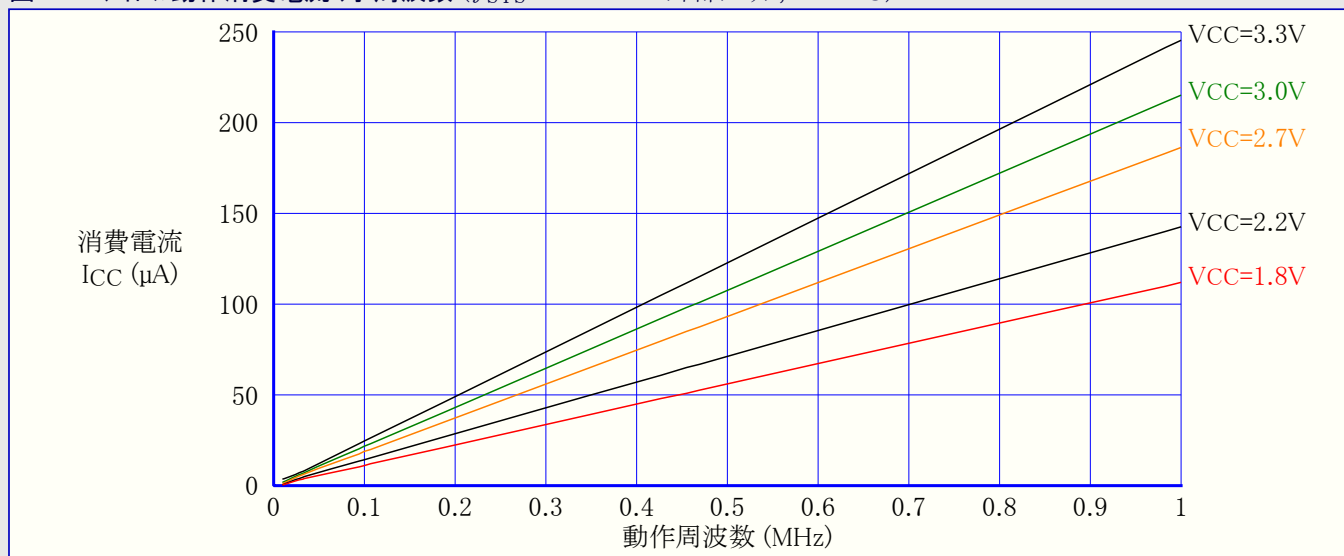


図35-9. アイドル動作消費電流 対 周波数 ($f_{SYS}=1\sim32\text{MHz}$ 外部クロック, TA=25°C)

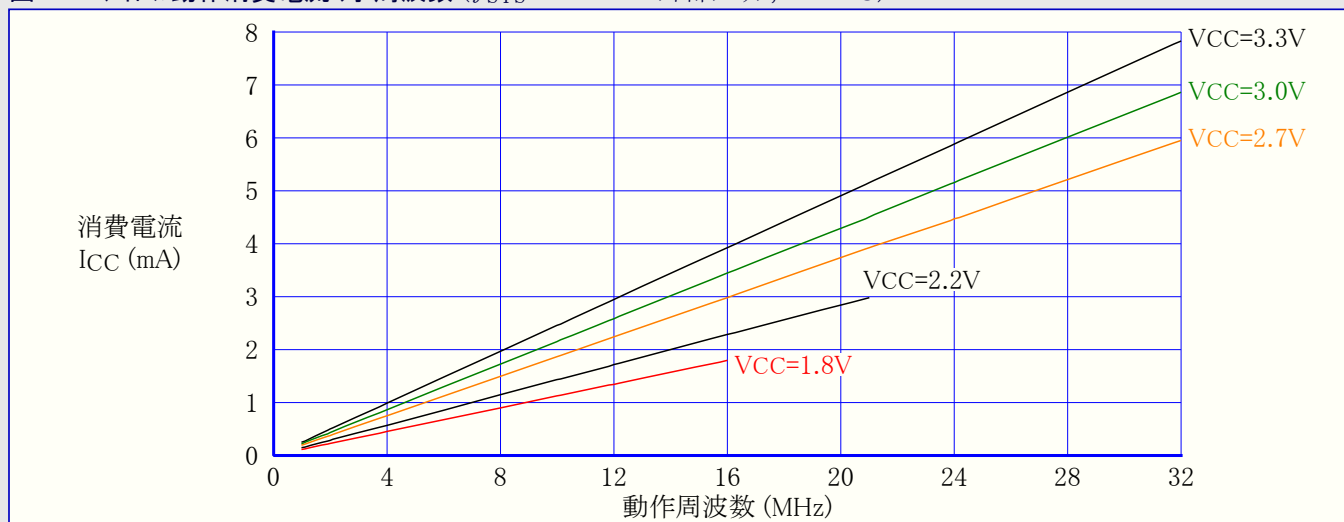


図35-10. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=1\text{MHz}$ 外部クロック)

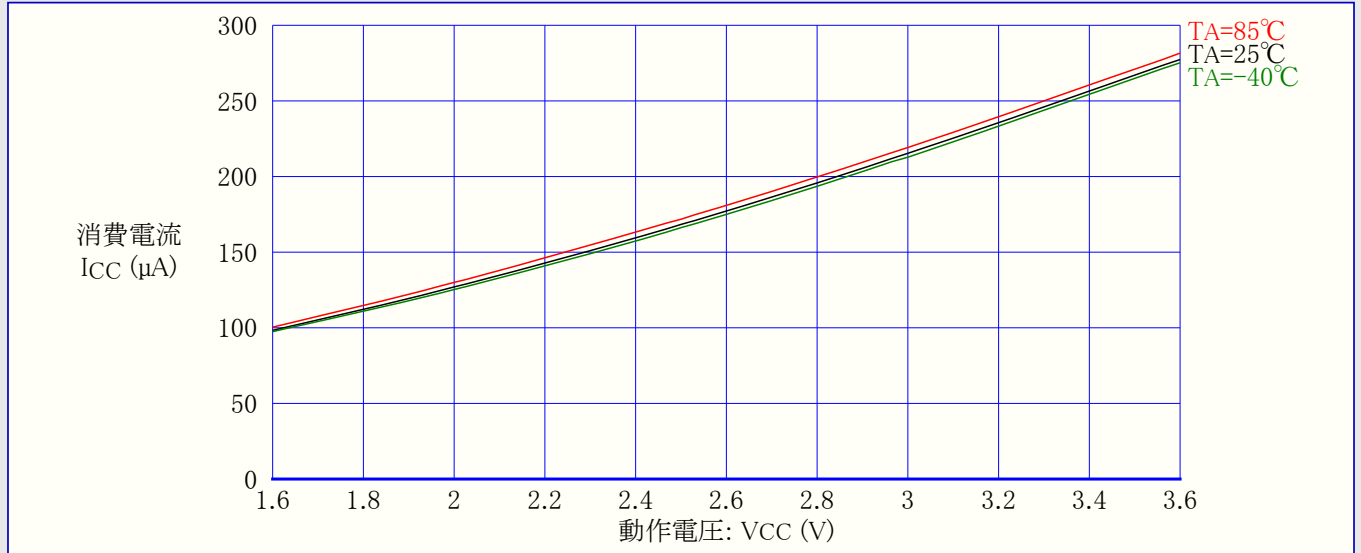


図35-11. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=32.768\text{kHz}$ 内部RC)

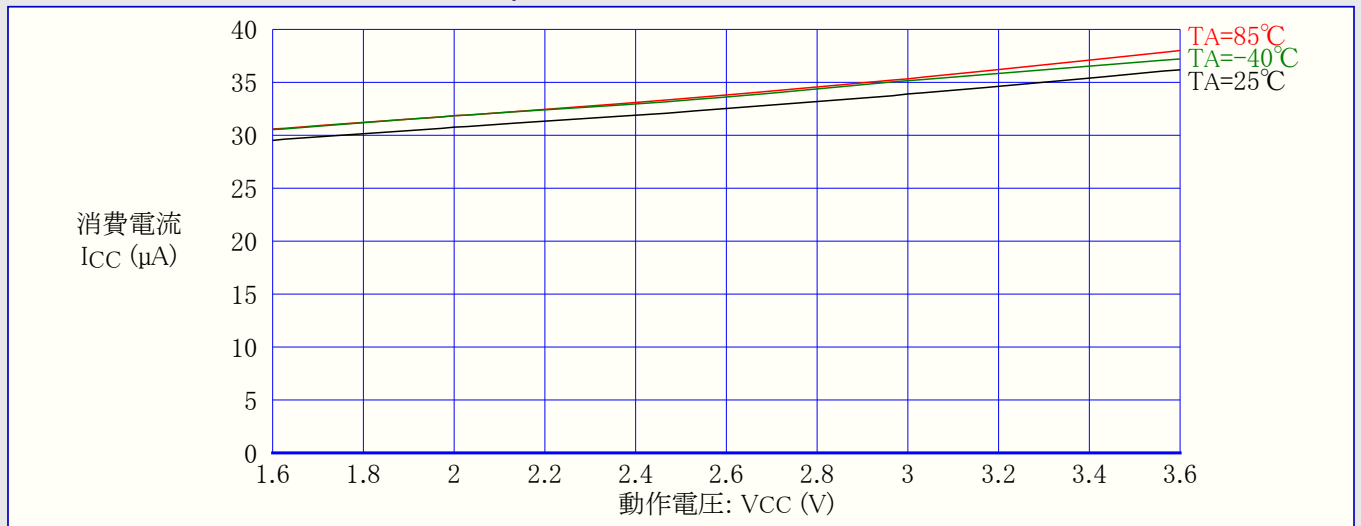


図35-12. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=2\text{MHz}$ 内部RC)

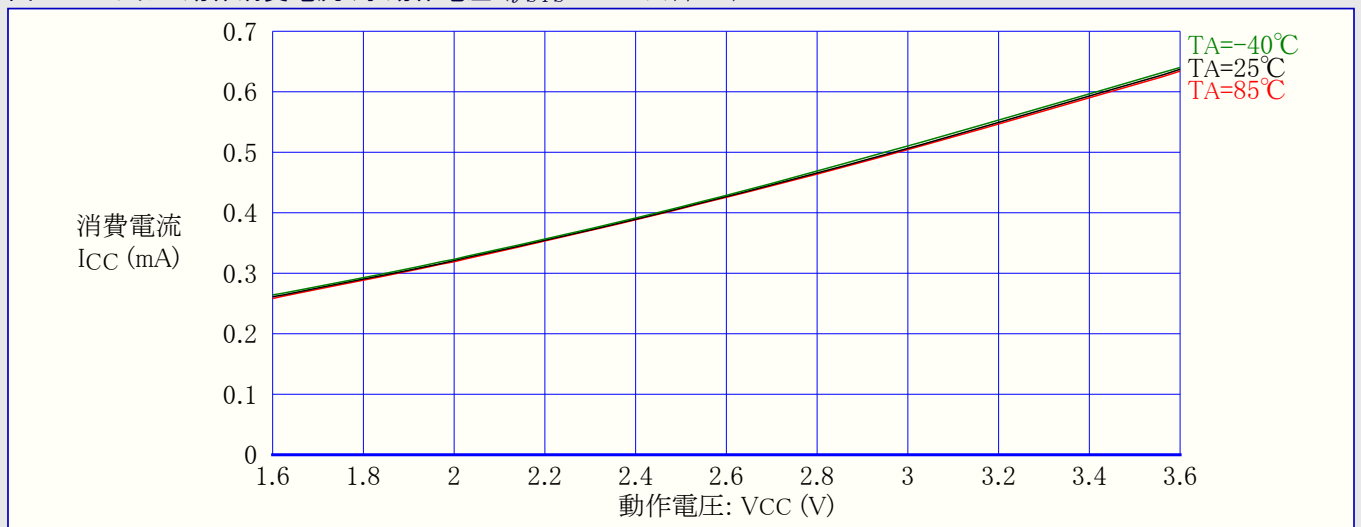
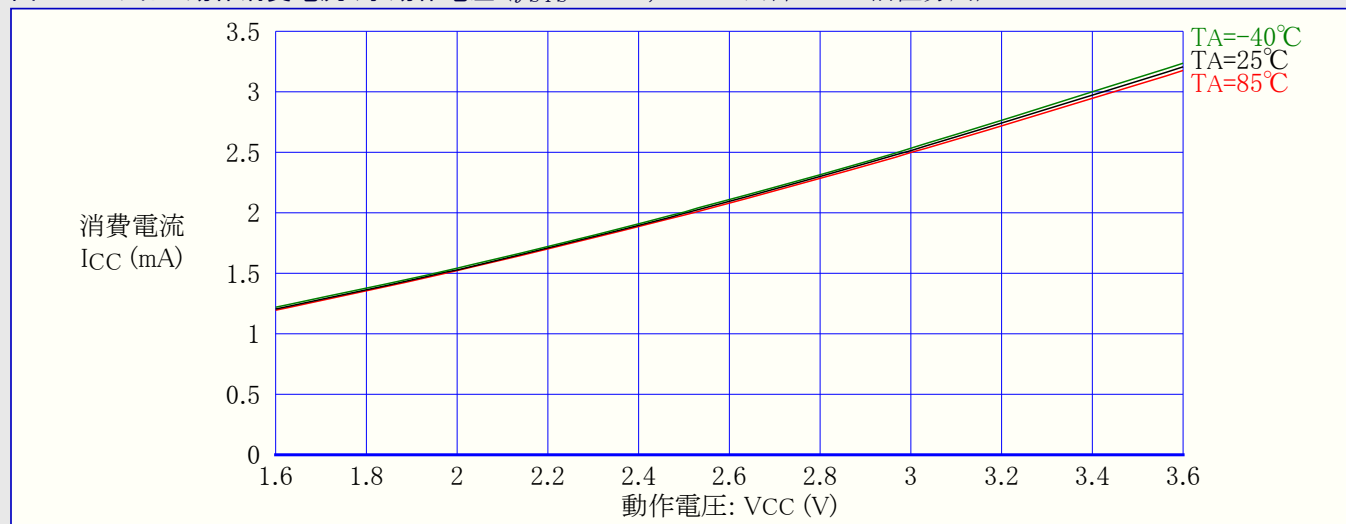
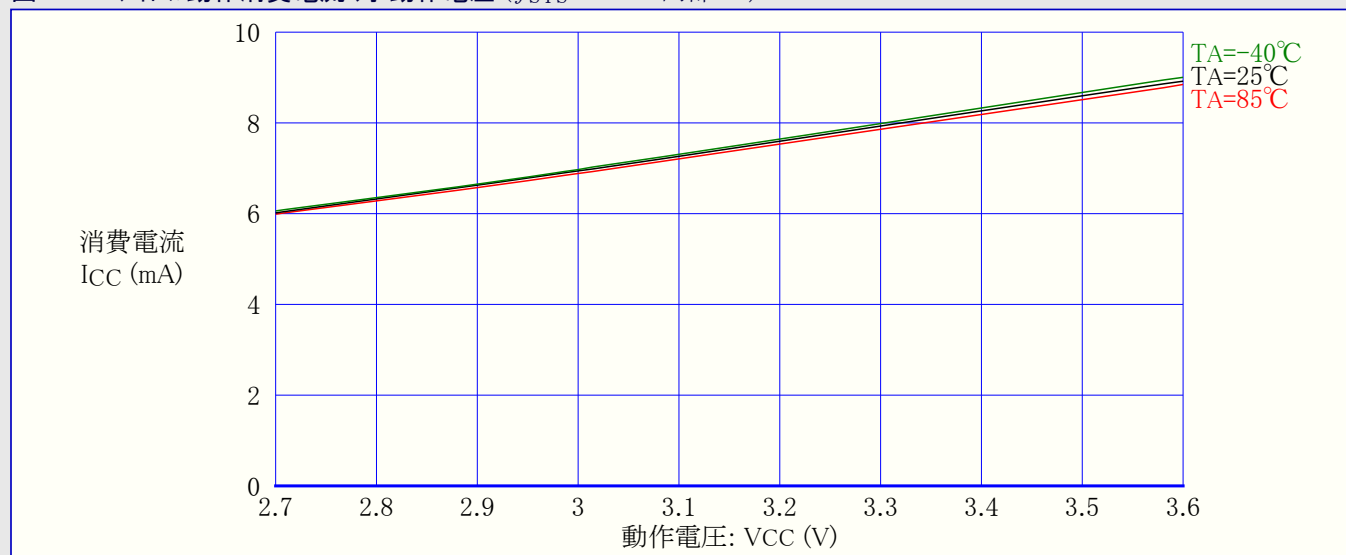


図35-13. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$, 32MHz内部RCの4前置分周)図35-14. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部RC)

35.3. パワーダウン動作消費電流

図35-15. パワーダウン動作消費電流 対 動作温度

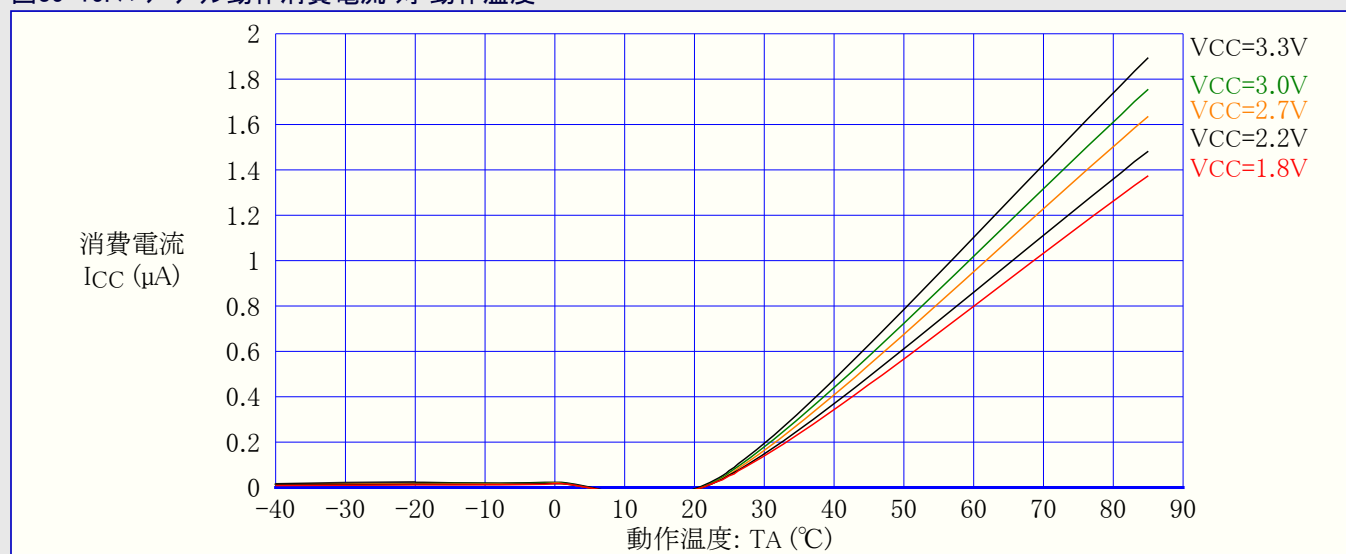
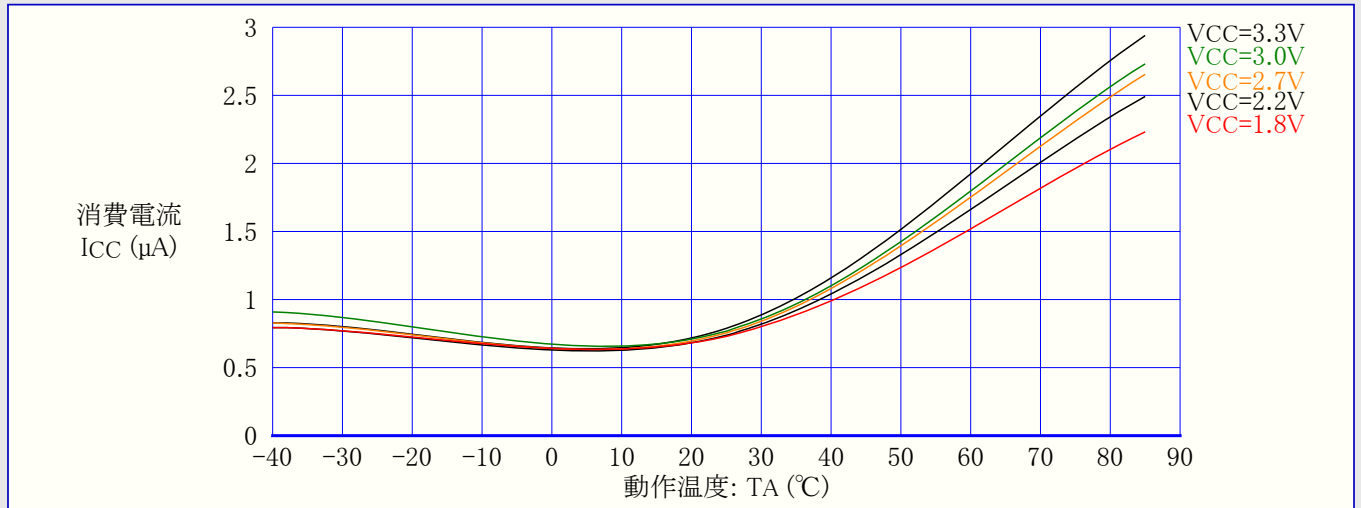
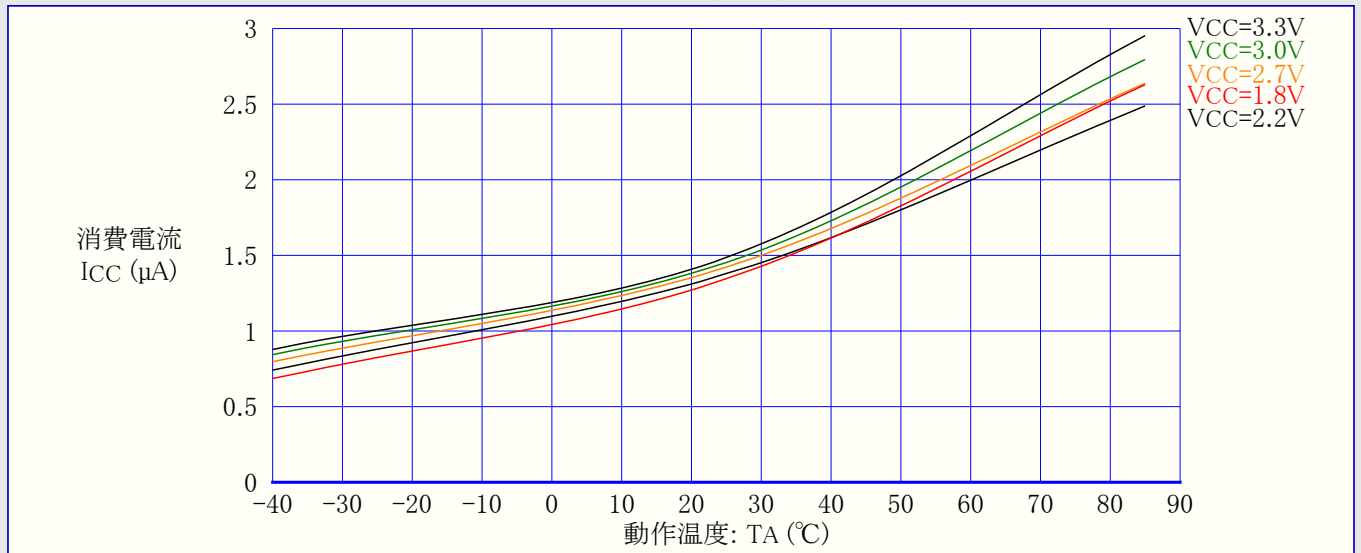


図35-16. パワーダウン動作消費電流 対 動作温度 (採取動作BOD,WDT許可)



35.4. パワーセーブ動作消費電流

図35-17. パワーセーブ動作消費電流 対 動作温度 (採取動作BOD,WDT,ULPからのRTC許可)



35.5. ピンフルアップ

図35-18. RESETフルアップ抵抗電流 対 入力電圧 ($V_{CC}=1.8V$)

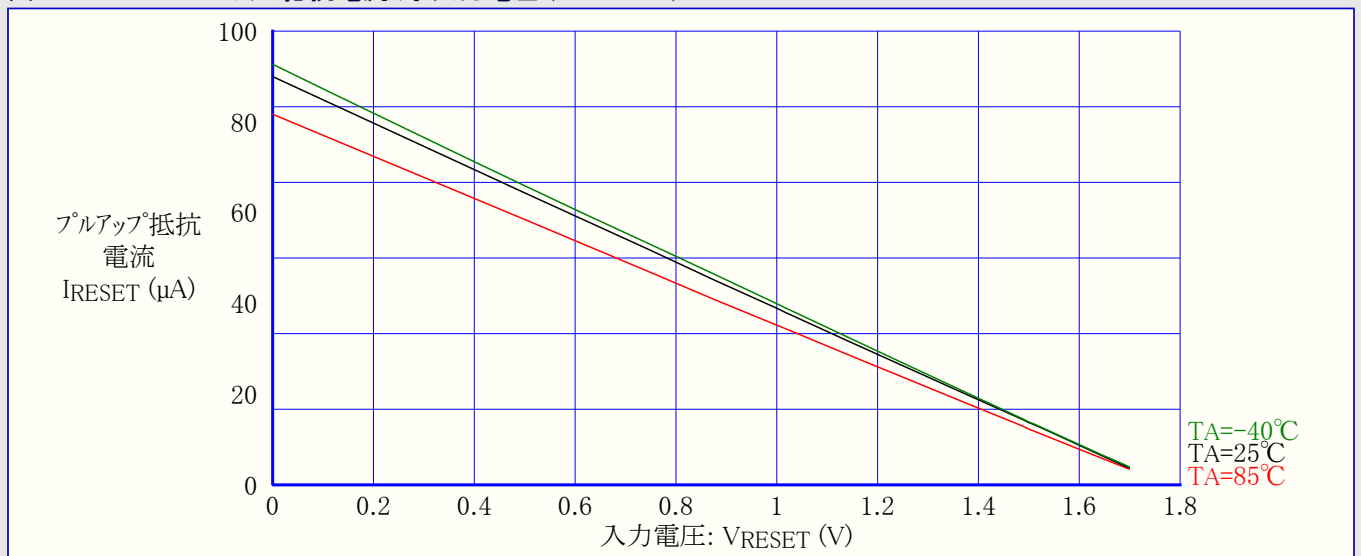


図35-19. RESETフルアップ抵抗電流 対 入力電圧 (VCC=3.0V)

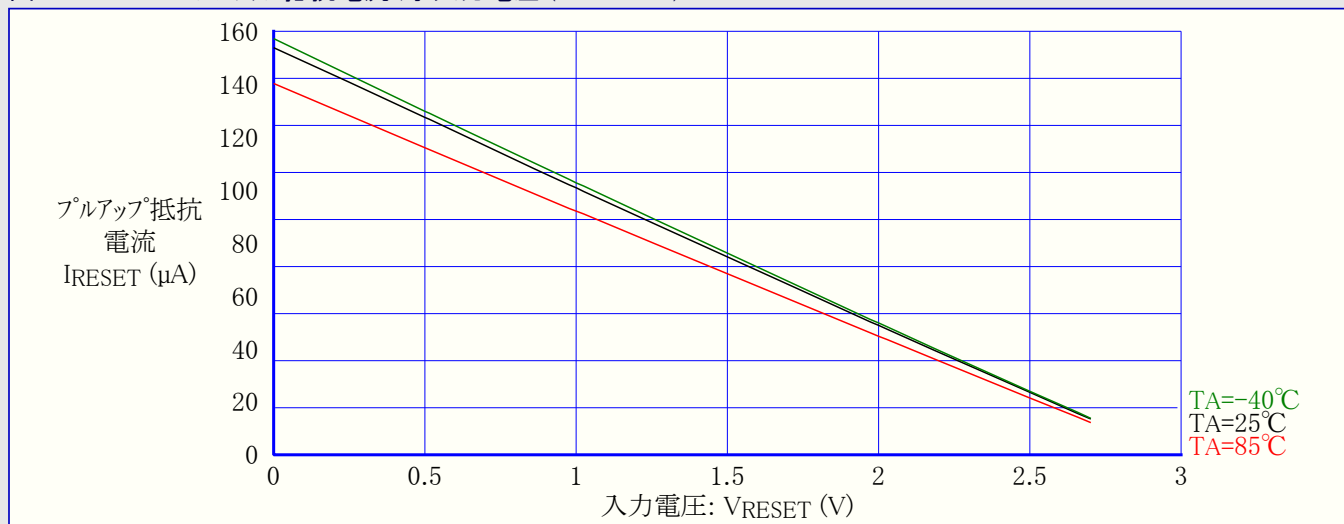
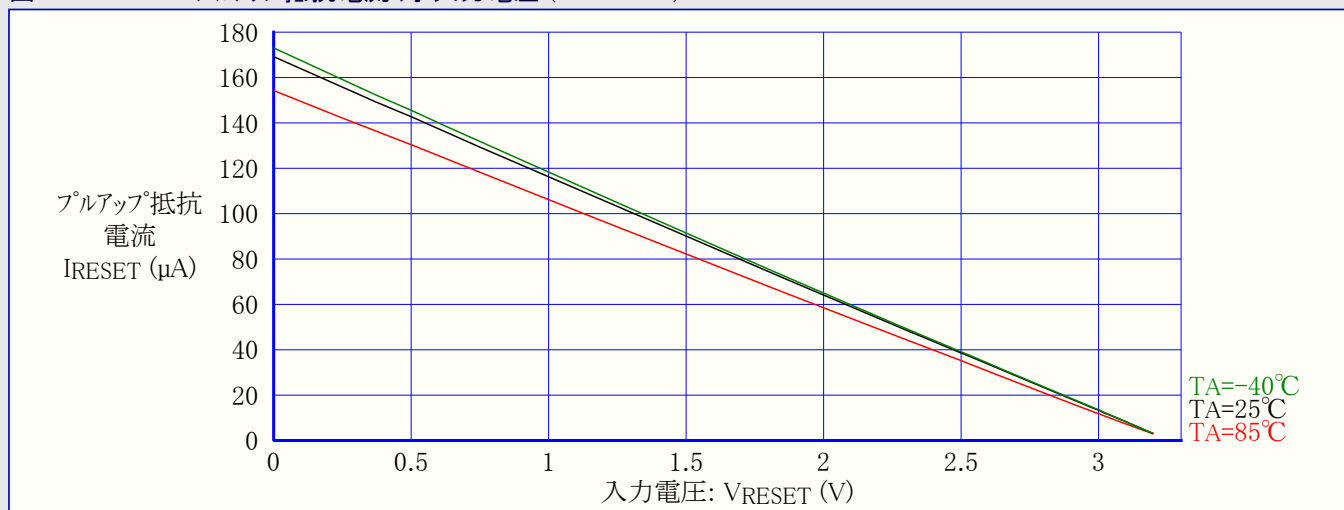


図35-20. RESETフルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



35.6. ピン出力電圧 対 吸い込み/吐き出し電流

図35-21. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

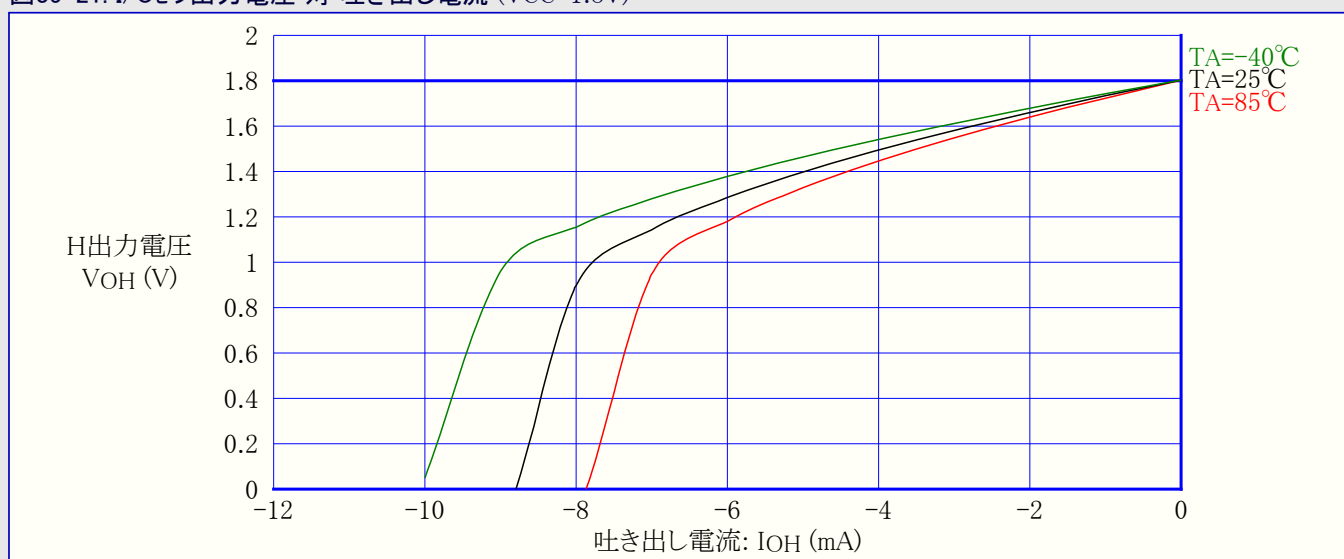


図35-22. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

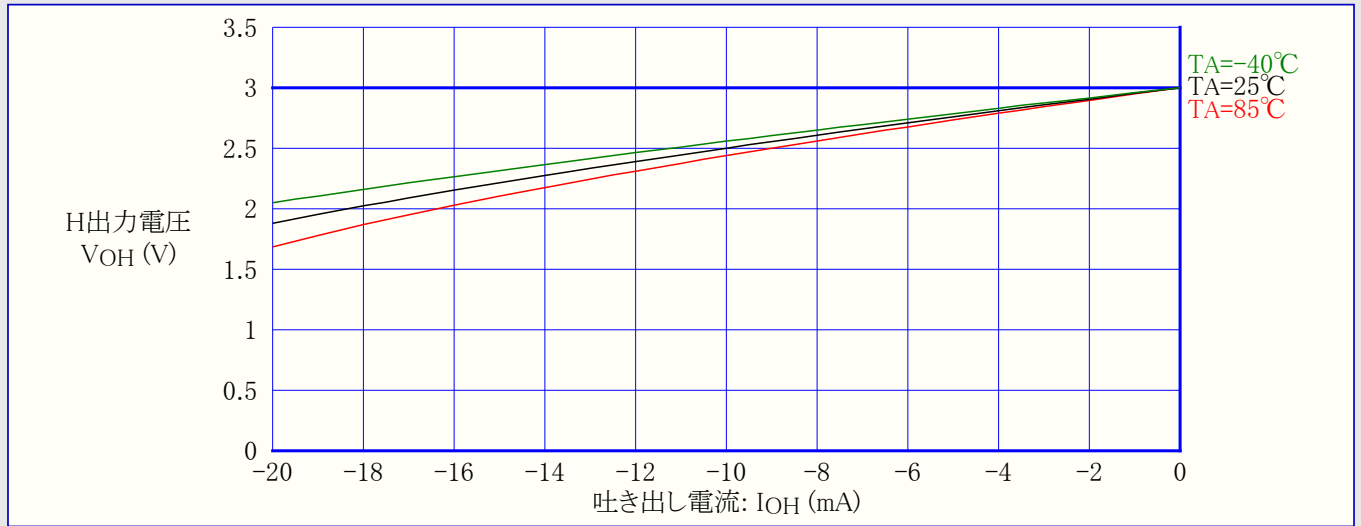


図35-23. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

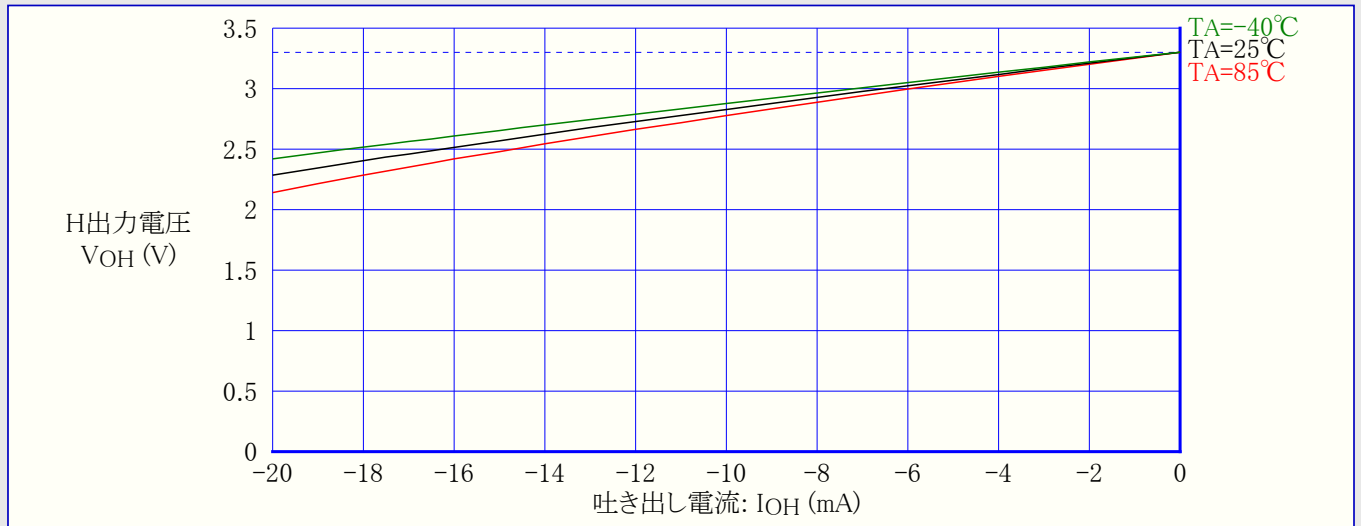


図35-24. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

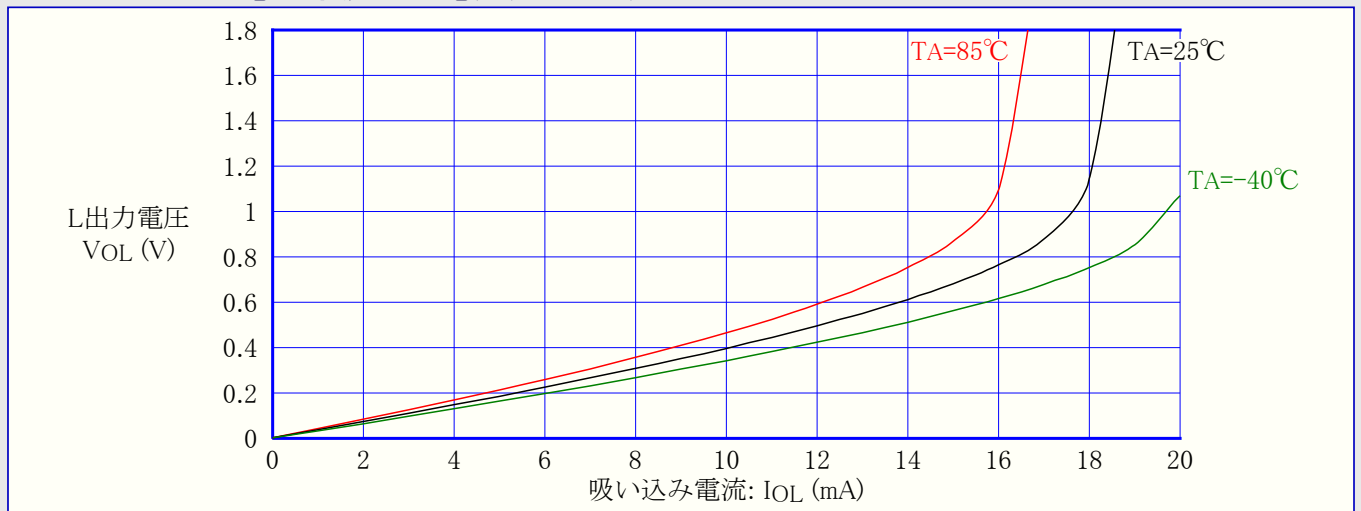
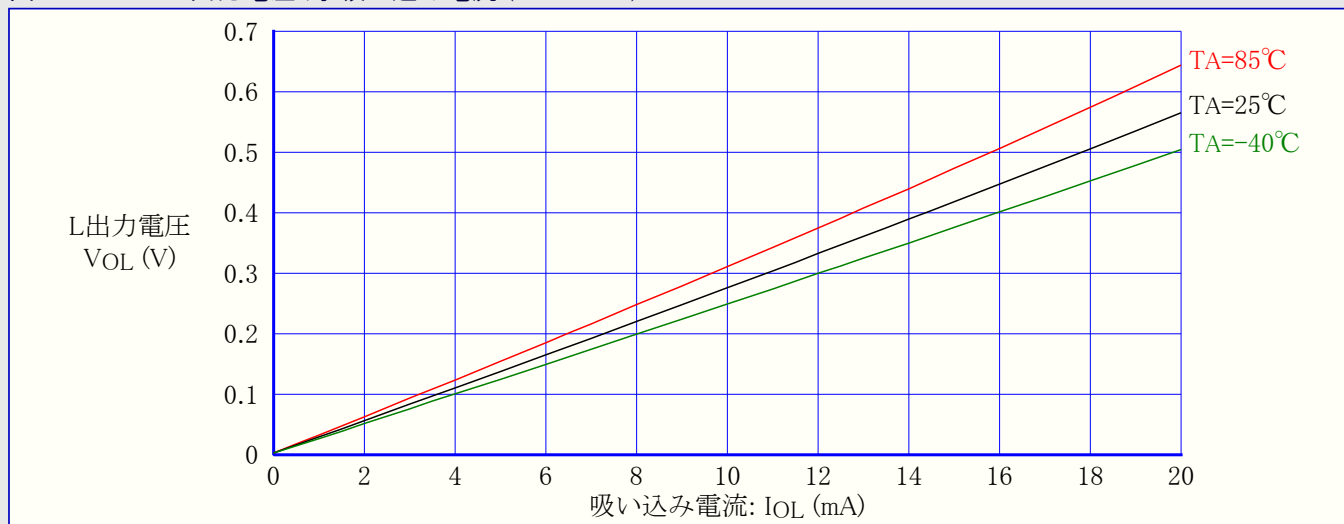
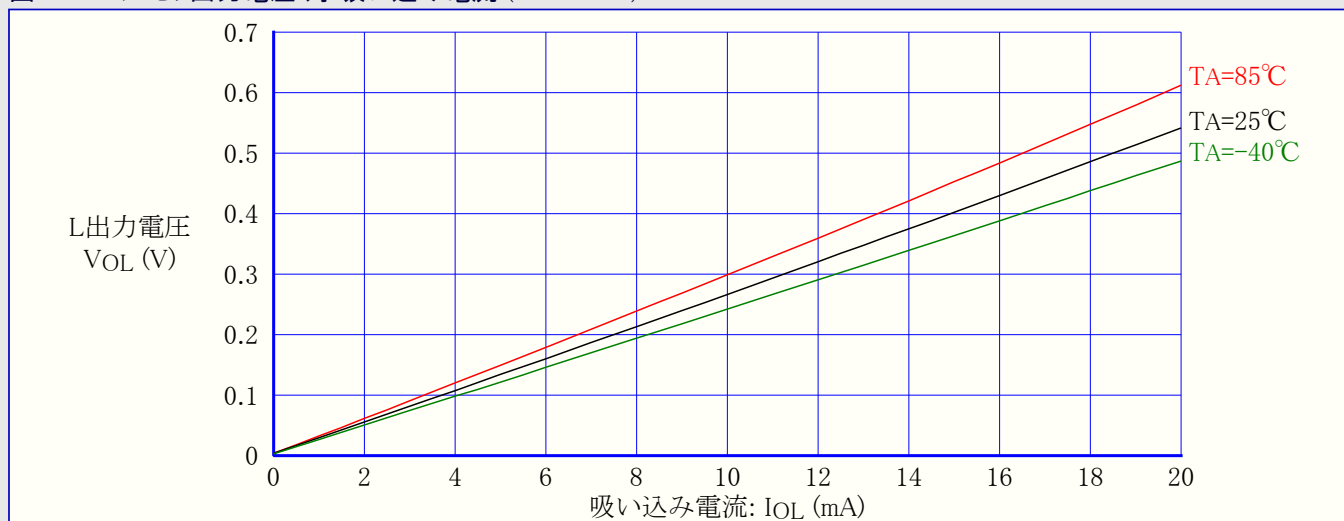


図35-25. I/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=3.0V$)図35-26. I/Oピン出力電圧 対 吸い込み電流 ($V_{CC}=3.3V$)

35.7. ピン 閾値とヒステリシス

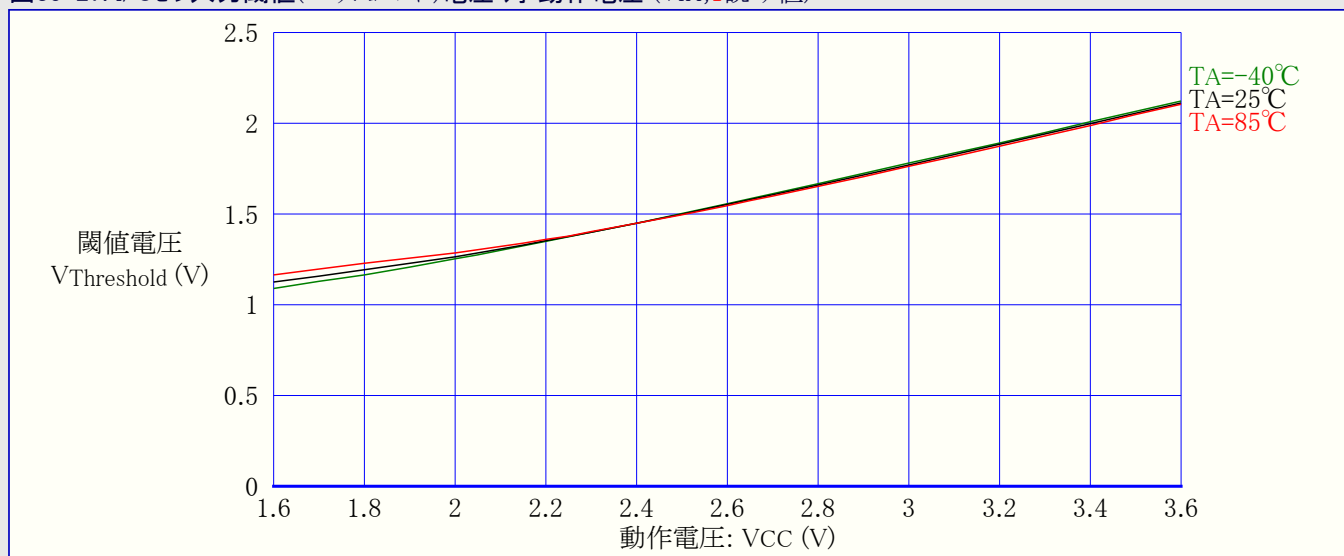
図35-27. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (V_{IH} , I読み値)

図35-28. I/Oピン入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)

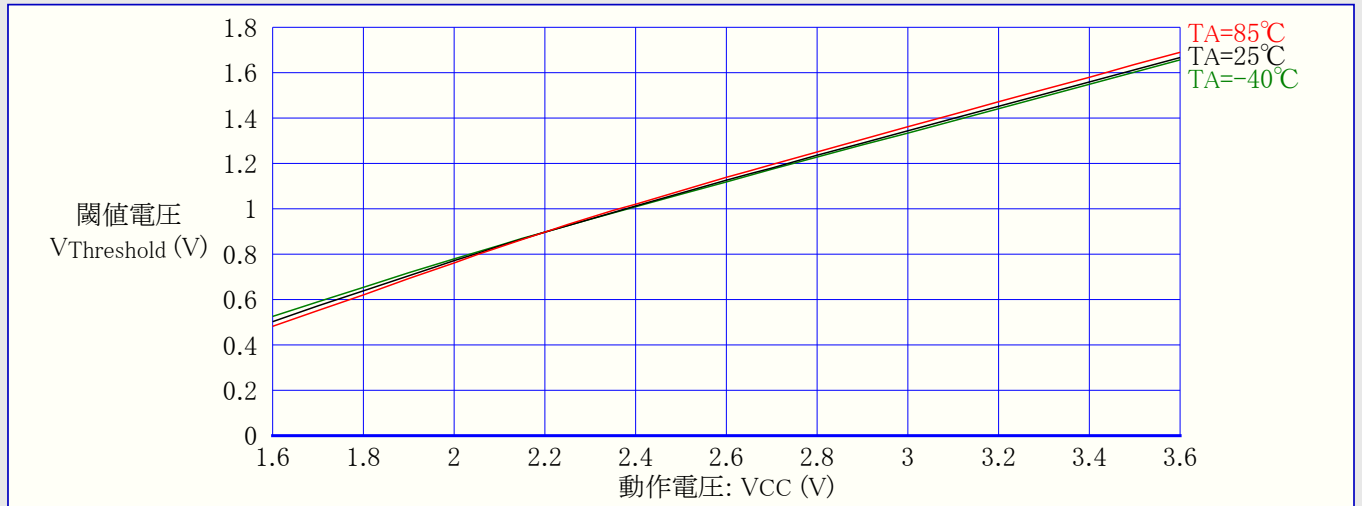


図35-29. I/Oピン入力ヒステリシス電圧 対 動作電圧

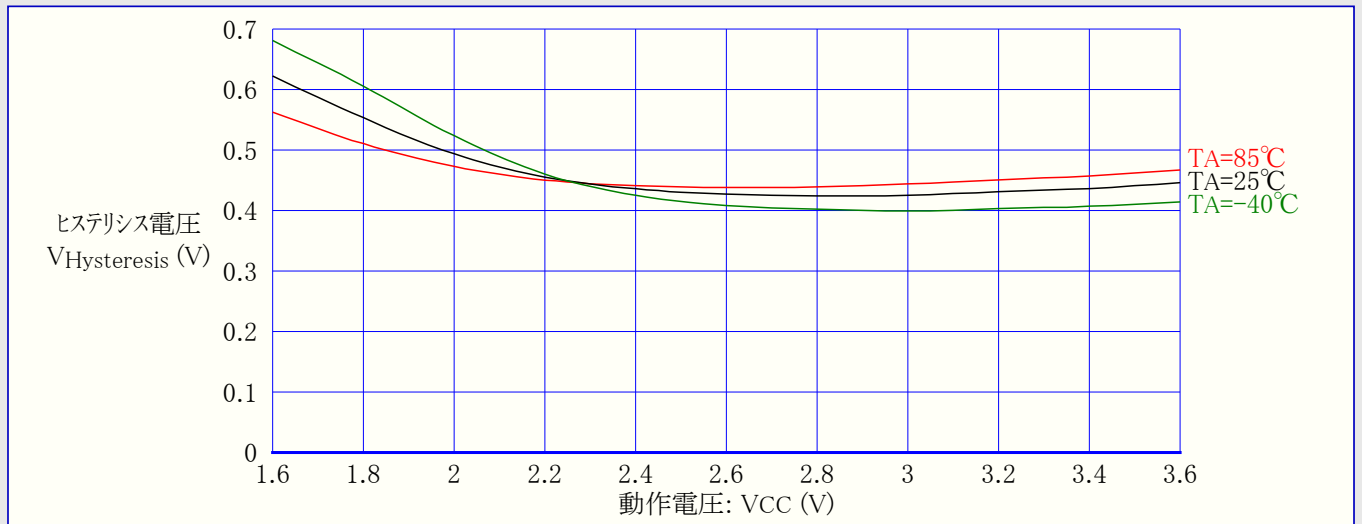


図35-30. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIH,1読み値)

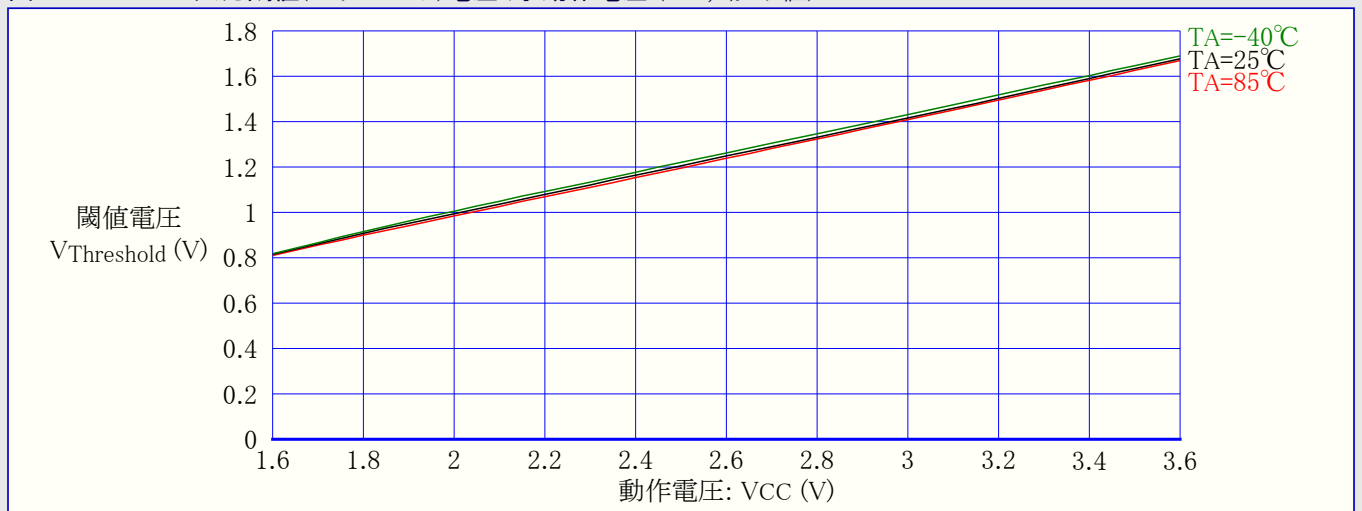
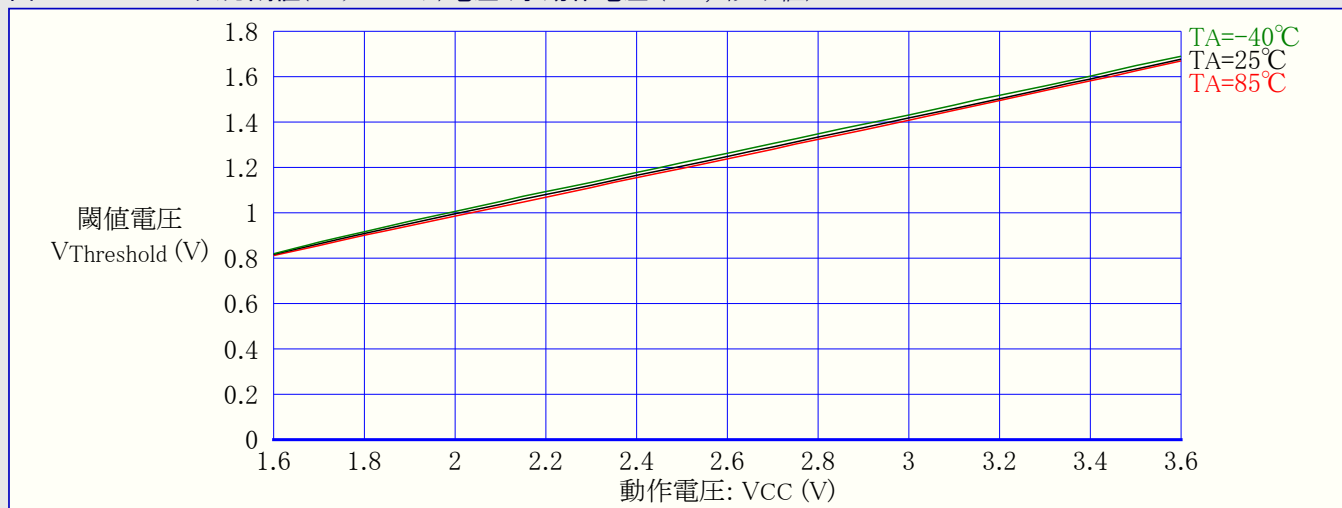


図35-31. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)



35.8. 低電圧検出器(BOD)閾値

図35-32. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=1.6V)

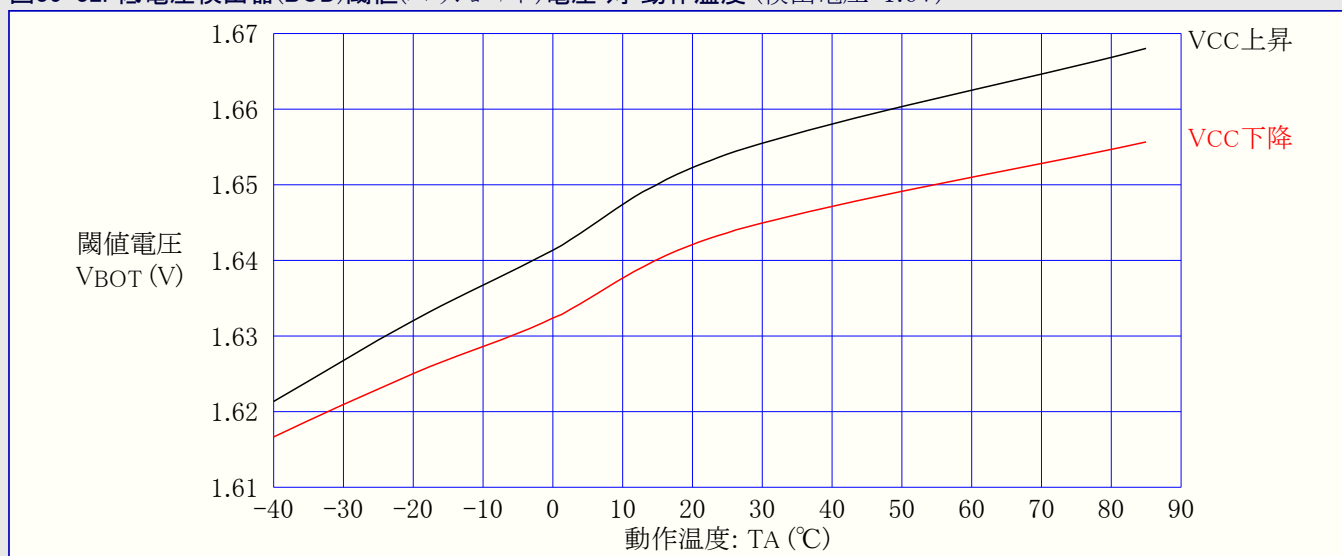
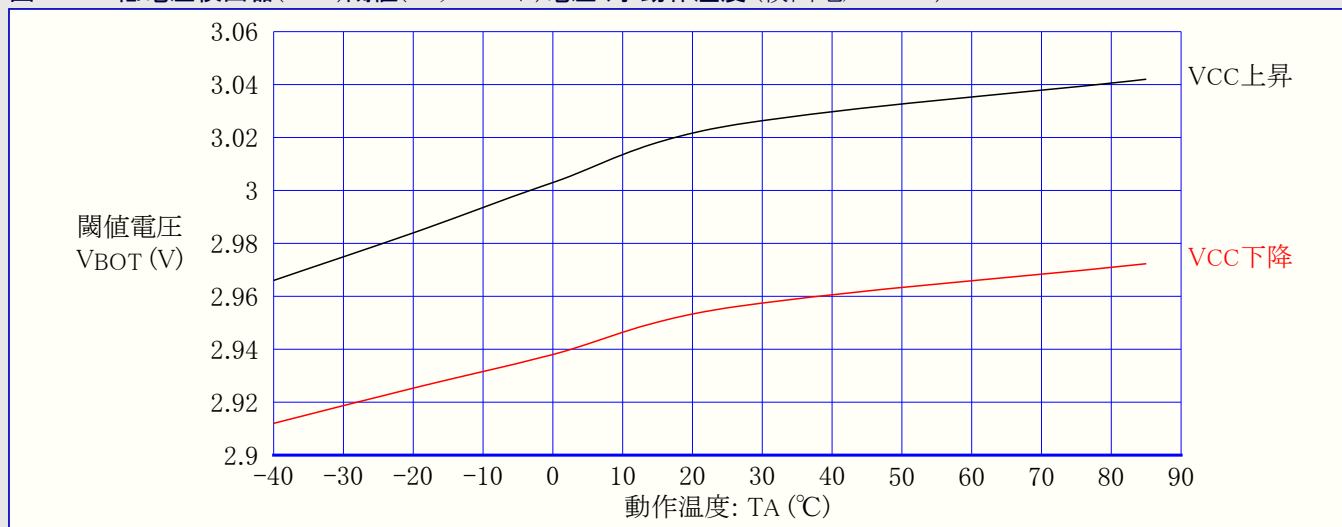


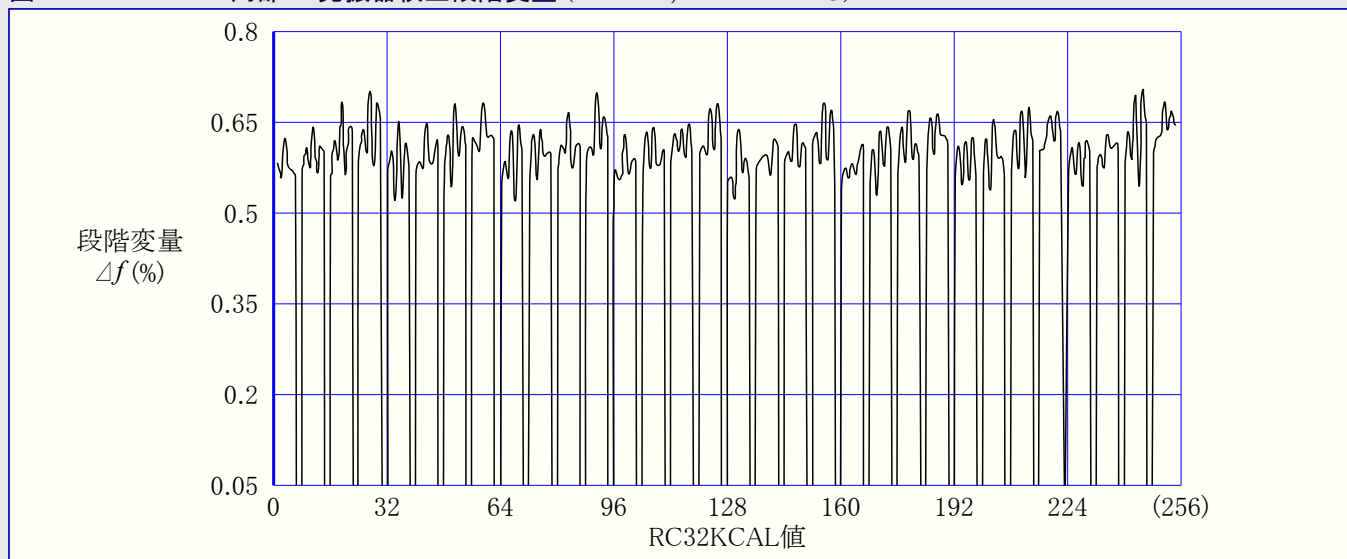
図35-33. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=2.9V)



35.9. 発振器と起動時間

35.9.1. 32.768kHz内部発振器

図35-34. 32.768kHz内部RC発振器校正段階変量 (VCC=3V, TA=-40~85°C)



35.9.2. 2MHz内部発振器

図35-35. 2MHz内部RC発振器CALA校正段階変量 (VCC=3.0V, TA=-40~85°C)

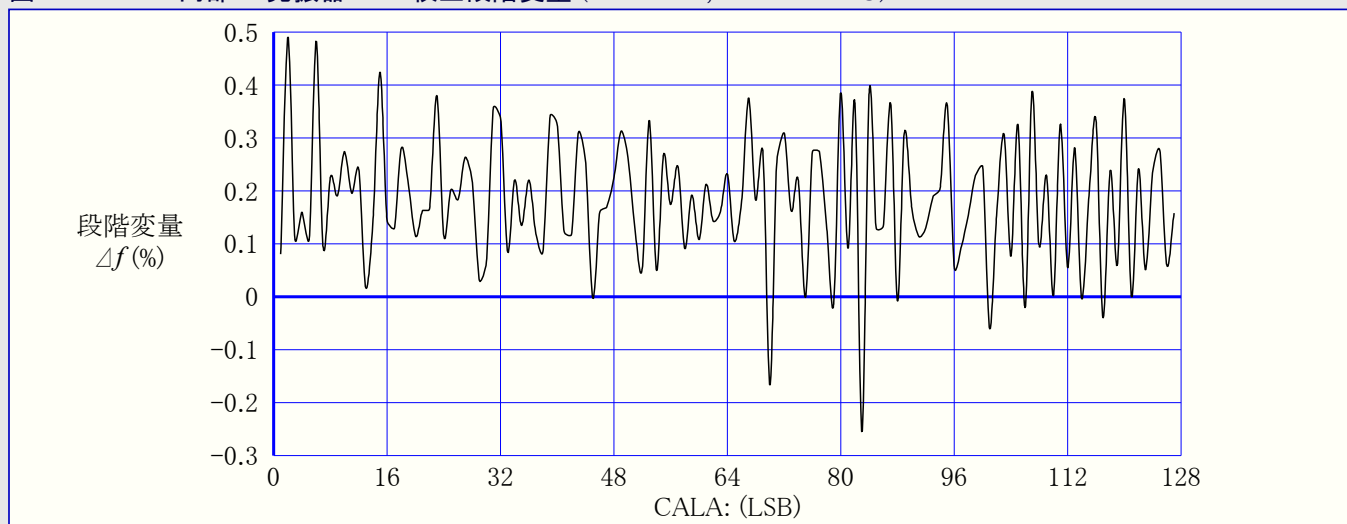
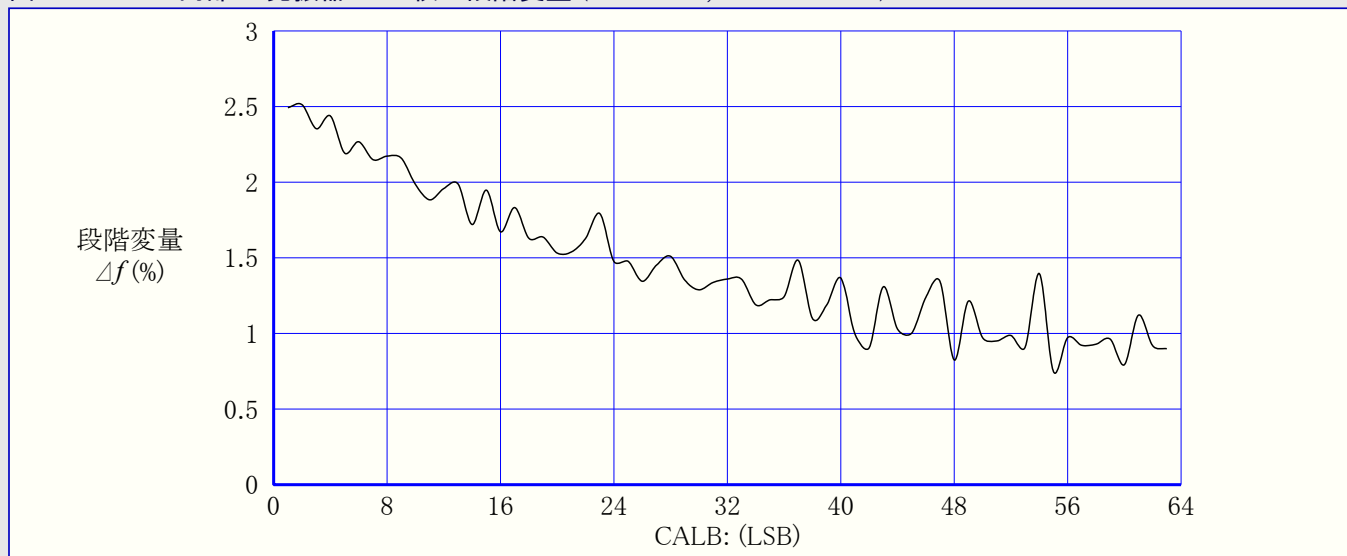


図35-36. 2MHz内部RC発振器CALB校正段階変量 (VCC=3.0V, TA=-40~85°C)



35.9.3. 32MHz内部発振器

図35-37. 32MHz内部RC発振器CALA校正段階変量 (VCC=3.0V, TA=-40~85°C)

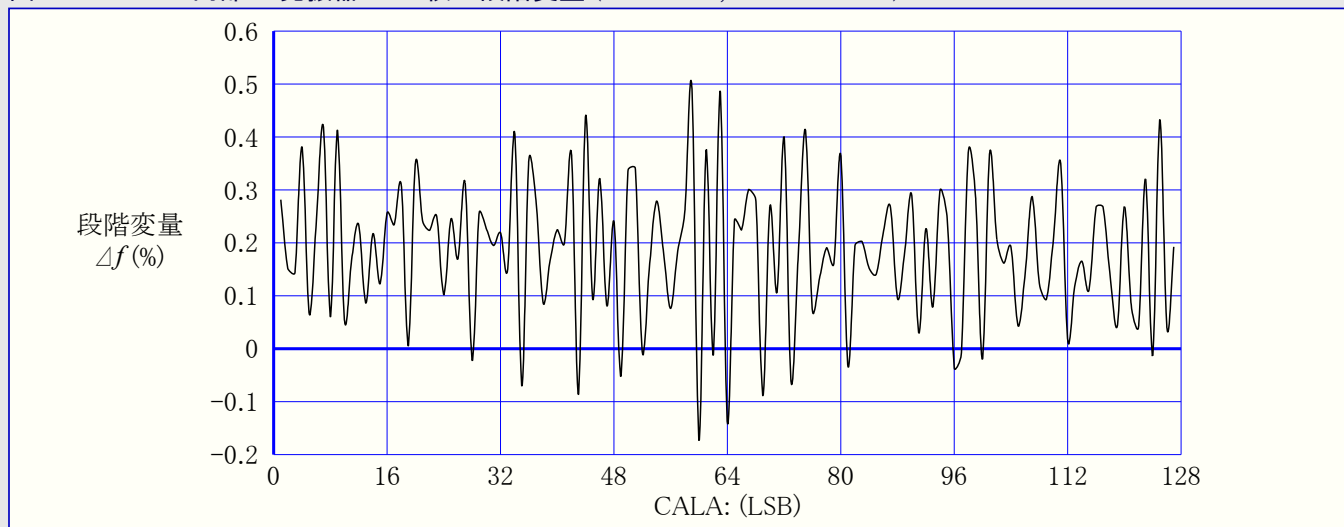
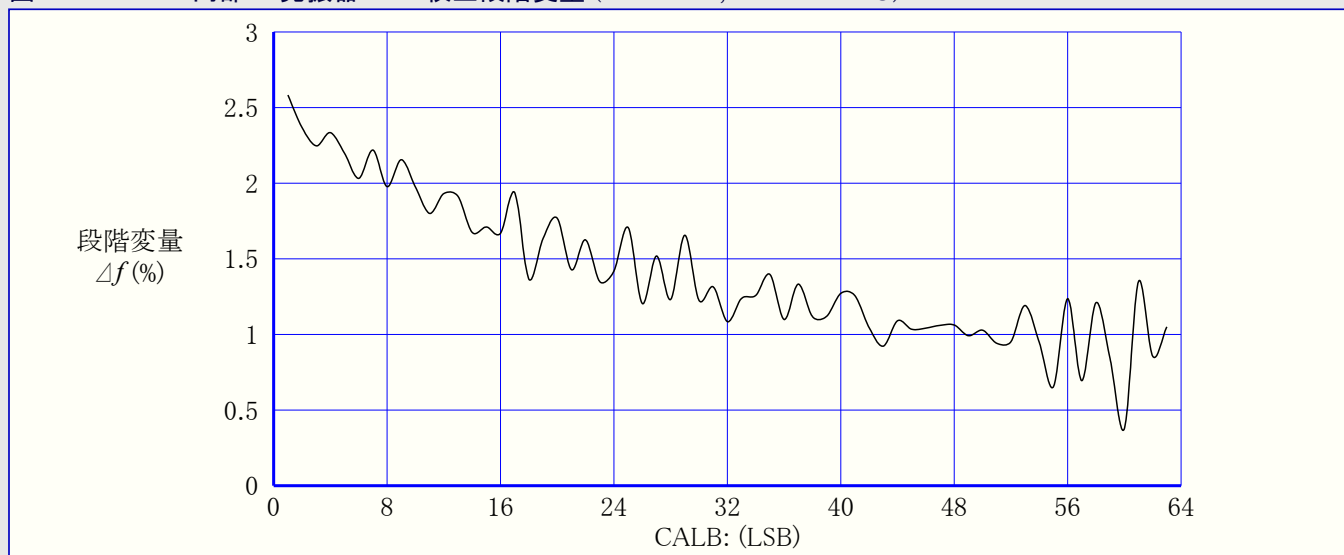


図35-38. 32MHz内部RC発振器CALB校正段階変量 (VCC=3.0V, TA=-40~85°C)



35.10. 単位部消費電流

図35-39. アナログ比較器(AC)消費電流 対 動作電圧 (低電力動作)

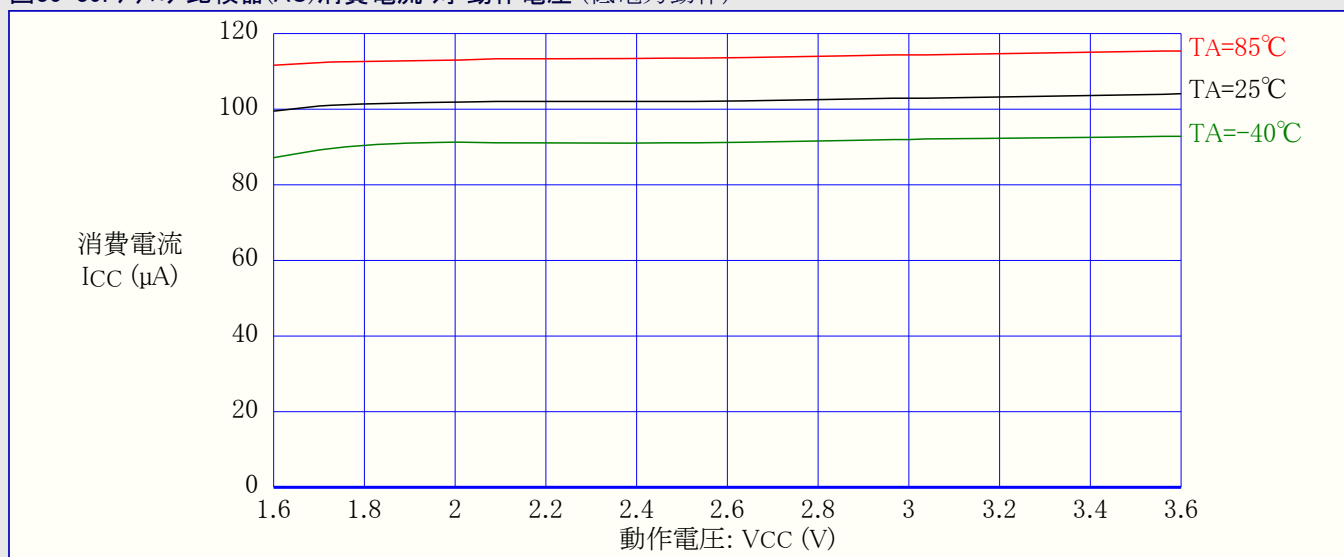
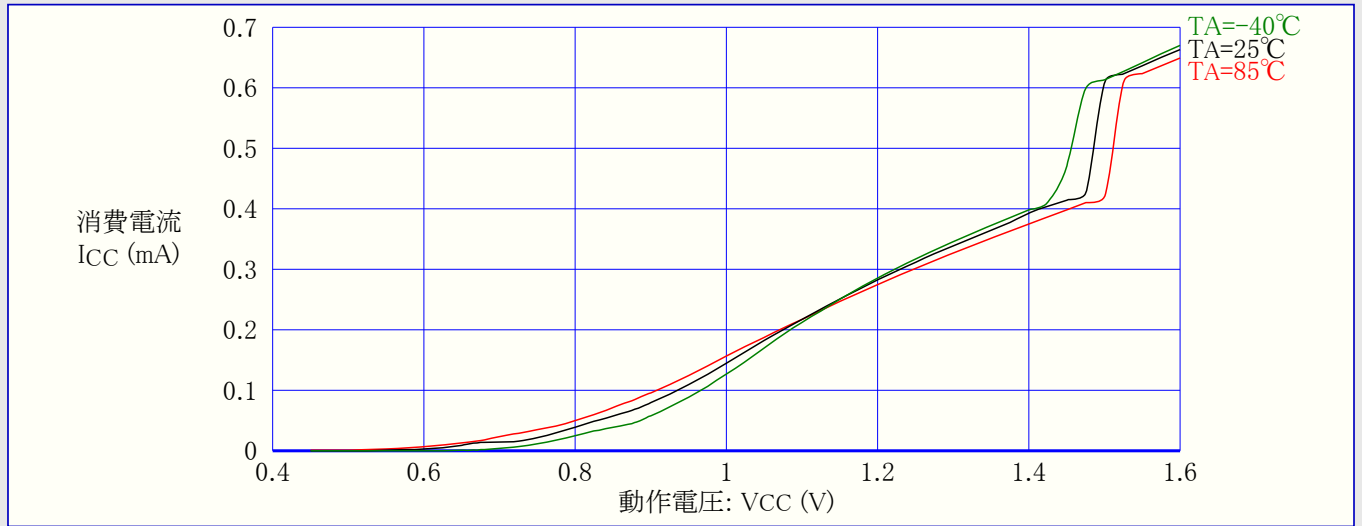
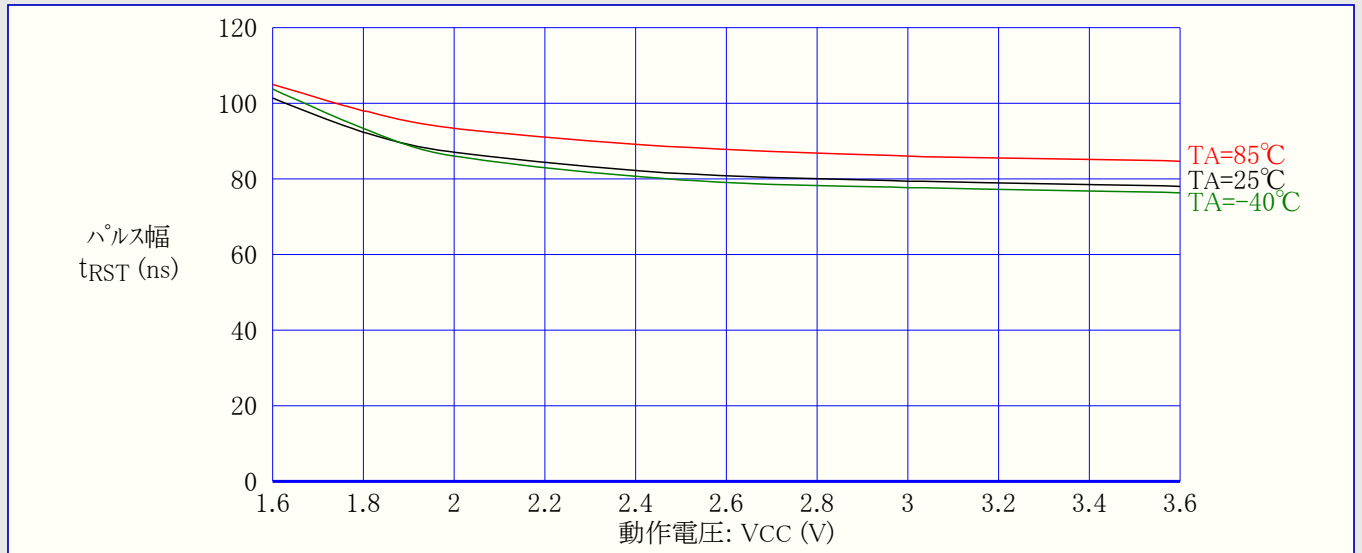


図35-40. 電源投入消費電流 対 動作電圧



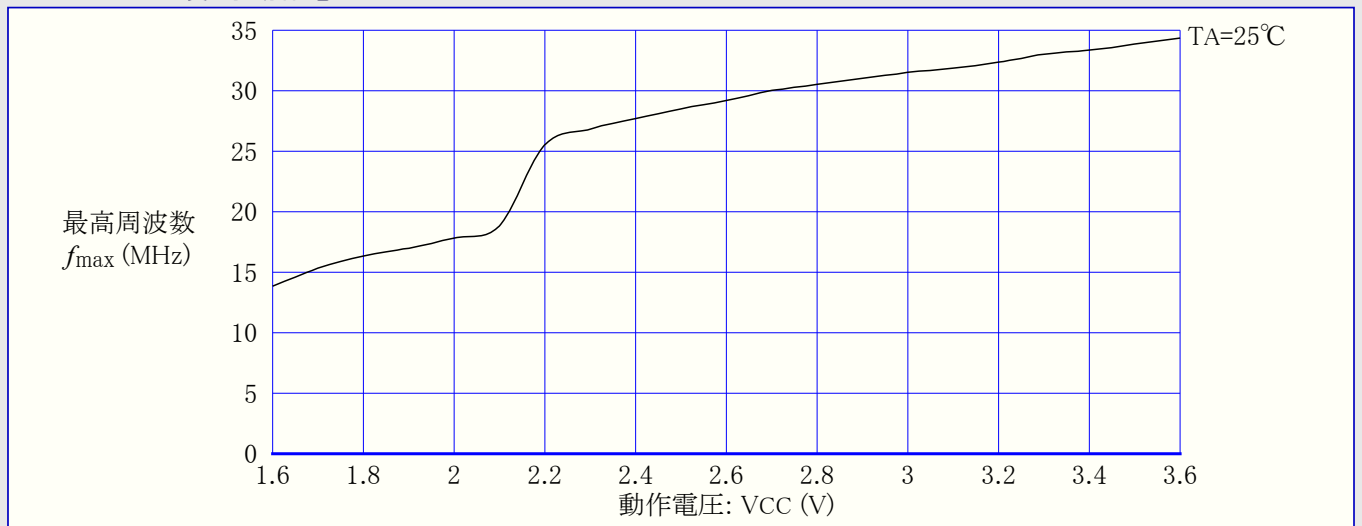
35.11. リセット パルス幅

図35-41. 最小リセット パルス幅 対 動作電圧



35.12. PDI速度

図35-42. PDI速度 対 動作電圧



1. 両アナログ比較器(AC)使用時にACに関するバンドギャップ基準電圧が変更できない (64/128/192-B/E,256-A/B/E)

バンドギャップ電圧が1つのアナログ比較器(AC)に対する入力として選択され、その後、別のACに対する入力として選択/選択解除されると、最初の比較器は最大1 μ sの間、影響を及ぼされ、潜在的に不正な比較結果を生じ得ます。

対策/対処

バンドギャップ電圧が両ACに対して同時に必要とされるなら、それらのどれかを許可する前に両ACに対する入力選択を構成設定してください。

2. A/D変換器利得段出力範囲が2.4Vに制限される (64/128/192-B/E,256-A/B/E)

A/D変換器(ADC)利得段の増幅出力が決して2.4Vを超えず、従って差動入力が2.4V/利得以下の時にだけ正しい出力を生成します。利用可能な利得に関して、これは以下の差動入力範囲を与えます。

- ・利得1倍 : 2.4V
- ・利得2倍 : 1.2V
- ・利得4倍 : 0.6V
- ・利得8倍 : 300mV
- ・利得16倍 : 150mV
- ・利得32倍 : 75mV
- ・利得64倍 : 38mV

対策/対処

正しい結果を得るために、ADC利得段からの増幅電圧出力を2.4V以下に保つか、またはADC基準電圧を2.4V以下に保ってください。

3. A/D変換器でのバンドギャップ電圧測定はVCCが2.7V未満の時に機能しない (64/128/192-B/E,256-A/B/E)

A/D変換器(ADC)はVCCが2.7V未満の時にバンドギャップ測定を行うのに使うことができません。

対策/対処

ありません。

4. 低電圧検出器(BOD)がどのリセット後にも許可される (64/128/192-B/E,256-A/B/E)

リセット元のどれかが活性(有効)になる場合にBODが許可され、VCC電圧が設定されたBODレベル以下なら、デバイスをリセットに保ちます。例えばBODが禁止されていても、電源ONリセットの間、VCCが設定されているBODレベル以上になるまでリセットは開放されません。

対策/対処

例えばBODが使われていなくても、BODレベルをVCCよりも高く設定しないでください。

5. D/A変換器の再採取が採取/保持(S/H)動作で妨げられるかもしれない (64/128/192-B/E,256-A/B/E)

D/A変換器(DAC)が採取/保持(S/H)動作で走行し、且つ1つのチャネルが最大速度で行われている(換言すると、このチャネルに対する変換を行うのにDACが常に多忙の場合、これが第2のチャネルへの再活性信号を妨げます。

対策/対処

S/H動作でのDAC使用時、最大変換速度で走行するチャネルが無いことを保証してください。または両チャネルの変換速度が再活性の必要がないくらい充分高いことを保証してください。

6. ピン構成設定がアナログ比較器出力に影響を及ぼさない (64/128/192-B/E,256-A/B/E)

出力、プルアップ/ダウン、反転I/Oピン機能はアナログ比較器出力機能に影響を及ぼしません。

対策/対処

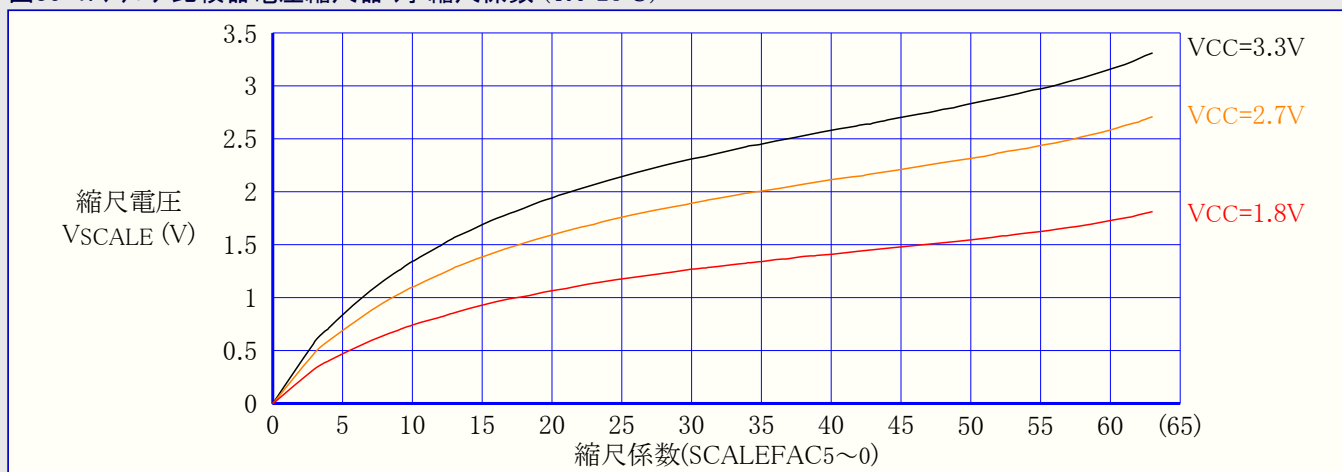
出力、プルアップ/ダウン構成設定に関してはありません。

反転I/Oに関しては、反対の結果を与えるようにアナログ比較器(AC)構成を構成設定する(換言すると、正入力をAC負入力へとその逆で接続するか、またはアナログ比較器出力の極性を変更するために外部の反転器とで使ってください。

7. アナログ比較器用VCC電圧縮尺器が非直線 (64/128/192/256-B/E)

アナログ比較器の6ビットVCC縮尺器は非直線です。

図36-1. アナログ比較器電圧縮尺器 対 縮尺係数 (TA=25°C)



対策/対処

正確な電圧レベルが必要とされるなら、アナログ比較器に対して外部電圧入力を使ってください。

8. A/D変換器はいくつかの動作条件に関して増加したINL誤差を持つ (64/128/192/256-B/E)

いくつかのA/D変換器(ADC)構成設定または動作条件はINL誤差増加に帰着します。

符号付き動作に於いて積分非直線性誤差(INL)は次のように増加します。

- ・ 1M採取/秒以上の採取速度に関して6 LSB、2M採取/秒の採取速度に対して最大8 LSB
- ・ VCCが3.0Vを超える時の1.1V未満の基準電圧に関して6 LSB
- ・ 1.3V未満の基準電圧、且つ周辺温度0°C未満に関して20 LSB

符号なし動作では積分非直線性誤差(INL)が保証されず、この動作形態は使われるべきではありません。

対策/対処

ありません。INL誤差増加を防ぐため、上記形態でのADC使用を避けてください。シングルエンド測定に対してもADCを符号付き形態で使ってください。

9. 比較一致でのA/D変換器事象が機能しない (64/128/192/256-B/E)

例え割り込み形態(INTMODE)がBELOWまたはABOVEに設定されていても、変換完了毎にA/D変換器(ADC)合図事象が与えられます。

対策/対処

比較機能を使う時に比較一致での割り込みを許可して使ってください。

10. 入力を利用段に切り替え後の最初の3採取で精度を失う (64/128/192/256-B/E)

A/D変換器(ADC)利用段でのメモリ効果のため、入力チャネル切り替え後の最初の3採取は12ビット精度を達成するために無視されなければなりません。

対策/対処

ADC利用段への入力チャネル切り替え後に3回のA/D変換を走らせてそれらの結果を破棄してください。

11. PGMとCWCMの構成設定がXMEGA A手引書の記述のようでない (64/128/192/256-B/E)

共通波形チャネル動作形態(CWCM)の許可は模様型生成動作形態(PGM)を許可しますが、共通波形動作形態を許可しません。

模様型生成動作形態許可と共通波形チャネル動作形態不許可は模様型生成動作形態と共通波形チャネル動作形態の両方を許可します。

対策/対処

表36-1. PGMとCWCMの構成設定はこの表に従います。

PGM	CWCM	説明
0	0	PGM禁止、CWCM禁止
0	1	PGM許可
1	0	PGM許可、CWCM許可
1	1	PGM許可

12. 周期単位動作での障害後にPWMが正しく再開しない (64/128/192/256-B/E)

AWeX障害検出再開形態が周期単位に設定されている時は、障害条件がもはや存在しない後の最初の更新で波形出力が標準動作に戻りません。

対策/対処

出力を再許可するようにどれかのAWeX I/Oレジスタを書いてください。

13. D/A変換器はいくつかの動作条件に関して増加したINLまたは雑音を持つ (64/128/192/256-B/E)

いくつかのD/A変換器(DAC)構成設定または動作条件は出力誤差増加に帰着します。

- ・ 継続動作形態 : ± 5 LSB
- ・ 採取/保持動作形態 : ± 15 LSB
- ・ 2.0Vを超える基準電圧に対する採取/保持動作形態 : 最大 ± 100 LSB

対策/対処

ありません。

14. 基準電圧が2.4VまたはVCC-0.6Vを超える時のD/A変換器は非直線で不正確 (64/128/192/256-B/E)

2.4VまたはVCC-0.6Vを超える基準電圧でのD/A変換器(DAC)の使用は0.75V未満を与える変換符号時に以下のような不正確な出力を与えます。

- ・ 継続動作形態に対して ± 10 LSB
- ・ 採取/保持動作形態に対して ± 200 LSB

対策/対処

ありません。

15. 事象起動形態でD/A変換器チャネル1での変換消失 (64/128/192/256-B/E)

2重チャネル動作形態の間にチャネル1が自動起動変換動作に設定されている場合、チャネル1変換は時々失われます。これはチャネル1データレジスタに書かれた全てのデータ値が変換されないことを意味します。

対策/対処

D/A変換間隔を'000'~'001'(1と3 CLK)の範囲を保ち、変換間隔が決して1.5 μ sよりも短くならないように周辺機能クロック周波数を制限してください。

16. NVM DATA0が書かれる時にEEPROMページ緩衝部が常に書かれる (64/128/192/256-B/E)

EEPROMがメモリに割り当てられている場合、NVM DATA0への書き込みがEEPROMページ緩衝部内のデータを不正にします。

対策/対処

NVM DATA0を書く前に、例えばソフトウェアCRCまたはフラッシュ ページ緩衝部書き込みを行う時にEEPROMページ緩衝部設定中(EE LOAD)フラグが設定(1)されているかを調べてください。EELoadが設定(1)されている時にNVM DATA0を書かないでください。

17. 保留中の完全な非同期ピン変化割り込みがデバイスを起こさない (64/128/192/256-B/E)

休止命令が実行された時に保留になる、どのポートのピン2からのどの完全な非同期ピン変化割り込みも、デバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。これはシステムクロックが停止される全ての休止形態に移行する時に適用します。

対策/対処

ありません。

18. クリスタル用発振器停止に関するNMIフラグが自動的に解除(0) (64/128/192/256-B/E)

クリスタル用発振器停止用のNMIフラグ(XOSCFDIF)はNMI割り込み処理部を実行する時に自動的に解除(0)されます。

対策/対処

このデバイス改訂版は1つのNMI割り込み元だけを持ち、故にソフトウェアで割り込み元を調べる必要はありません。

19. 例えクリスタルがRTCの供給元でも、パワーセーブ後にクリスタル始動時間が必要とされる (64/128/192/256-B/E)

例え休止中に32.768kHzクリスタルがRTCに使われていても、クリスタルからのクロックは指定された始動時間前にシステムに対して準備可になりません。XMEGA A手引書の"クリスタル用発振器選択(XOSCSEL3~0)"をご覧ください。活動形態で低電圧検出(BOD)が使われている場合、BODはこの期間(0.5s)ONになります。

対策/対処

より早い始動が望まれる場合、システムクロックとして内部発振器で休止へ行ってください。

20. 休止後にRTC計数値が正しく読めない (64/128/192/256-B/E)

実時間計数器(RTC)がRTC溢れでデバイスを起こすように設定され、そして休止移行時にRTC CNTのビット0がRTC PERのビット0と同じ場合、RTC計数レジスタの値は起き上がり後の最初の前置分周されたRTCクロック周期内で正しく読むことができません。読んだ値は休止移行時のレジスタ内の値と同じです。

起き上がり元としてRTC比較一致が使われる場合も同じく適用されます。

対策/対処

RTC CNT値を読む前に最低1つの前置分周されたRTCクロック周期を待ってください。

21. 保留中の非同期RTC割り込みがデバイスを起こさない (64/128/192/256-B/E)

休止命令が実行されている時に保留にした実時間計数器からの非同期割り込みはデバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。

対策/対処

ありません。

22. TWI送信衝突フラグが再送開始条件で解除(0)されない (64/128/192/256-B/E)

TWI送信衝突フラグは**開始条件**と**再送開始条件**で自動的に解除(0)されるべきですが、**開始条件**でだけ解除(0)されます。

対策/対処

アドレス一致割り込み後にソフトウェアでこのフラグを解除(0)してください。

23. TWI停止割り込み要求フラグの解除(0)がバスを固定化するかもしれない (64/128/192/256-B/E)

新しいアドレスを受信したためにハードウェアが**停止条件(STOP)**割り込み要求フラグ(APIF)を設定(1)するのと同じ周辺機能クロック周期でソフトウェアがこのフラグを解除(0)した場合、クロック保持(CLKHOLD)フラグが解除(0)されず、SCL線が開放されません。これはバスを固定化します。

対策/対処

バスの状態がアイドル(IDLE)かを調べてください。これがその場合ならAPIFの解除(0)は安全です。バスの状態がアイドルでなければAPIFを解除(0)する前にSCLピンがLowなるのを待ってください。

コード:

```
/* "安全領域"の場合にだけ割り込み要求フラグを解除(0) */
while ( /* バスがアイドル以外 */
        ((COMMS_TWI.MASTER.STATUS & TWI_MASTER_BUSSTATE_gm) != TWI_MASTER_BUSSTATE_IDLE_gc) &&
        /* SCLが従装置によって保持されていない */
        !(COMMS_TWI.SLAVE.STATUS & TWI_SLAVE_CLKHOLD_bm)
      )
{
    /* SCL線のLowを確認 */
    if ( !(COMMS_PORT.IN & PIN1_bm) )
        if ( !(COMMS_PORT.IN & PIN1_bm) )
            break;
}
/* 保留のアドレス一致割り込み検査 */
if ( !(COMMS_TWI.SLAVE.STATUS & TWI_SLAVE_CLKHOLD_bm) )
{
    /* 割り込み要求フラグの安全な解除(0) */
    COMMS_TWI.SLAVE.STATUS |= (uint8_t)TWI_SLAVE_APIF_bm;
}
```

24. バス時間超過のTWI開始条件が転送処理を落とさせる (64/128/192/256-B/E)

バス時間超過が許可され、**開始条件**が検出されるのと同じ周辺機能クロックで時間超過が起こる場合、転送処理を落とします。

対策/対処

ありません。

25. TWIデータ割り込み要求フラグ(DIF)が誤って設定(1)として読まれる (64/128/192/256-B/E)

TWI従装置応答指令(CMD=11)発行時、データ割り込み要求フラグ(DIF)の解除(0)に1周辺機能クロック周期がかかります。指令発行直後のDIF読み込みは未だ設定(1)を示します。

対策/対処

DIF検査前に1つのNOP命令を追加してください。

26. 閉鎖窓内のWDR命令がリセットを発行しない (64/128/192/256-B/E)

窓制御レジスタ更新後の1ULPクロック周期内にWDR命令が実行される時に、システムリセットを与えることなく計数器が解除され得ます。

対策/対処

WDR命令を実行する前に最低1ULPクロック周期待ってください。

27. フラッシュまたはEEPROM読み込み中のそれらの書き込みが動作しない (64/128/192/256-B)

EEPROMまたはフラッシュ読み込み中、または活動動作でコード実行中にEEPROMとフラッシュメモリは書くことができません。

対策/対処

EEPROMまたはフラッシュメモリ書き込み操作後2.5μs(2MHzで5クロック周期、32MHzで80クロック周期)以内にアイドル休止形態動作へ移行してください。起動元はEEPROM操作可またはSPM操作可の割り込みでなければなりません。代わりに、消去または書き込み操作開始後7ms、または非分断消去/書き込み操作後13msで溢れ割り込みを生じるようにタイマ/カウンタを構成し、そしてアイドル休止形態動作へ移行してください。

28. 活動動作での採取動作低電圧検出器(BOD)は基準電圧としてバントギャップ使用時に雑音を発生 (256-A)

デバイスが活動動作またはアイドル動作で走行している時の採取動作でのBOD使用は、A/D変換器(ADC)、D/A変換器(DAC)、アナログ比較器(AC)に対するバントギャップ基準電圧上に雑音を付加するでしょう。

対策/対処

ADC、DACまたはACのどれかに対する基準電圧としてバントギャップが使われる場合、BODが採取動作に設定されてはなりません。

29. フラッシュメモリ電力削減動作は休止形態動作移行時に許可することができない (256-A)

深い休止形態動作時にフラッシュ電力削減動作が許可されている場合、デバイスは4回毎の起動要求でだけ起動するでしょう。

アイドル休止形態動作移行時にフラッシュ電力削減動作が許可されている場合、起動時間は最大16 CPUクロック周期まで変化するでしょう。

対策/対処

休止形態動作移行前にフラッシュ電力削減動作を禁止してください。

30. JTAG許可がアナログ比較器B出力を無効にしない (256-A)

JTAGが許可されているとき、これはアナログ比較器B(ACB)出力を無効にせず、これが許可されている場合にピン7でのAC0OUTを無効にしません。

対策/対処

ACBに対するAC0OUTはJTAGが使われる時に許可されるべきではありません。JTAGが使われる時にACAに対するアナログ比較器出力だけを使うか、またはデバッグインターフェースとしてPDIを使ってください。

31. 動くためには両DFLLと両発振器が許可されなければならない (256-A)

2MHzまたは32MHzの内部発振器に対する走行時自動校正を使うため、動かすのに両発振器用のDFLLと両発振器が許可されなければなりません。

対策/対処

内部発振器の1つに対して走行時自動校正を使う時に両方のDFLLと両方の発振器を許可してください。

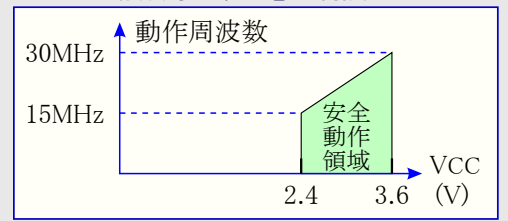
32. 動作周波数と動作電圧の制限 (256-A)

正しい動作を保証するために動作周波数と動作電圧には制限があります。図36-2は安全動作領域を示します。

対策/対処

ありません。周波数と電圧のこれらの制限外でデバイスを使うのを避けてください。

図36-2. 動作周波数と電圧制限



37. データシート改訂履歴

37.1. 8068A – 2008年2月

1. 初版

37.2. 8068B – 2008年6月

1. 1頁の「特徴」を更新
2. 2頁の「ピン配置/構成図」と38頁の「ピン配置とピン機能」を更新
3. 2頁の「注文情報」を更新
4. XMEGA A3説明文を含め、3頁の「概要」を更新
5. 4頁の図3-1. XMEGA A3構成図を追加
6. 6頁で「AVR CPU」の「要点」と図6-1.を更新
7. 12頁の図9-1. 事象システム構成図を更新
8. 18頁の「PMIC – 設定可能な多段割り込み制御器」を更新
9. 34頁の「AC – アナログ比較器」を更新
10. 20頁の「入出力構成設定」を更新
11. 23頁に新規の図16-1.を挿入
12. 42頁の「周辺機能単位部アドレス割り当て」を更新
13. 43頁から「命令一式要約」を挿入
14. 48頁に速度勾配を含む「動作電圧と周波数」を追加

37.3. 8068C – 2008年6月

1. 1頁の「特徴」を更新
2. 2頁の図2-1.を更新
3. 3頁の「概要」を更新
4. 10頁の表7-2.を更新
5. 32頁の図25-1.を正しいもので置換
6. 32頁のADCの「要点」と「概要」を更新
7. 39頁の「交換ピン機能」章内の全ての表を更新

37.4. 8068D – 2008年6月

1. 外部バス インターフェース(EBI)への参照を1頁の「特徴」から削除

37.5. 8068E – 2008年8月

1. 4頁の「構成図」を更新
2. 43頁に「割り込みベクタ要約」を挿入 (訳補:後に削除)

37.6. 8068F – 2008年8月

1. 2頁で図2-1.の表題を「構成図とピン配置」に変更
2. 2頁の「注文情報」と46頁の「外圍器情報」で外圍器形式を“64M2”に変更
3. 40頁の表30-5.を更新
4. 46頁に正しい“64A”図を挿入

37.7. 8068G – 2008年9月

1. 1頁の「特徴」を更新
2. 2頁の「注文情報」を更新
3. “外部メモリ”関係を削除することにより、8頁の「要点」を更新
4. 8頁の図7-1.と9頁の図7-2.を更新
5. 10頁の表7-2.と表7-3.を更新
6. 32頁のADCの「要点」と「概要」を更新
7. データシートから「割り込みベクタ要約」を削除

37.8. 8068H – 2008年10月

1. 19頁の表14-1を更新

37.9. 8068I – 2008年11月

1. 4頁の「構成図」を更新
2. 8頁の「メモリ」で要点一覧を更新

37.10. 8068J – 2008年12月

1. ATxmega256A3改訂Aに関して67頁の「障害情報」に追加

37.11. 8068K – 2009年2月

1. ATxmega256A3改訂Bに関して67頁の「障害情報」に追加

37.12. 8068L – 2009年6月

1. 2頁の「注文情報」を更新
2. 30頁の「要点」を更新
3. 33頁の「概要」を更新
4. 37頁の「概要」を更新
5. 47頁に「電気的特性」を追加
6. 53頁に「代表特性」を追加
7. 67頁の「障害情報」を更新

37.13. 8068M – 2009年9月

1. 47頁の「電気的特性」を更新
2. 49頁に「フラッシュメモリとEEPROMの特性」を追加
3. 67頁で「ATmega64A3/128A3/192A3」に対する障害情報を追加

37.14. 8068N – 2009年10月

1. 67頁の「障害情報」を更新

37.15. 8068O – 2009年11月

1. 49頁の表34-3、耐久性とデータ保持力を更新
2. 51頁の表34-11を更新、入力ヒステシスはmVではなくVです。
3. 67頁の「障害情報」を更新

37.16. 8068P – 2010年2月

1. 2頁の図2-1. デバイスピン配置を更新、PDI_CLKとPDI_DATAをPDIのみに改名
2. データシートからJTAGリセットを削除
3. 33頁の「DAC – 12ビット D/A変換器」を更新、DACは内部1.0Vを使います。
4. 38頁の「タイマ/カウンタとAWeX機能」を更新
5. 39頁の「交換ピン機能」を更新
6. 47頁の「電気的特性」を更新
7. 51頁の「ハット特性」を更新 (訳注:実際には変更無し)
8. 52頁の表34-18と表34-19を追加
9. 64頁の「内部発振器周波数」を「発振器と起動時間」に変更
10. 67頁の「障害情報」を更新

37.17. 8068Q – 2010年2月

1. 66頁に「PDI速度」を追加

37.18. 8068R – 2010年8月

1. 2頁で「注文情報」の脚注3を更新
2. 2頁で図2-1の脚注2を更新
3. 9頁の「図7-2. データメモリ割り当て」を更新、192A3は2KバイトのEEPROMを持ちます。

4. 20頁の「要点」を更新、ポートピン7での事象チャネル0出力
5. フラッシュメモリ/EEPROMプログラミングに関するICCの追加により、47頁の「DC特性」を更新
6. 49頁で「A/D変換器特性」にAVCCを追加
7. 49頁で「A/D変換器特性」の始動時間を更新
8. 50頁の「D/A変換器特性」を更新、DC出力インピーダンスを削除
9. 「障害情報」章で誤植修正

37.19. 8068S – 2010年9月

1. 67頁の「障害情報」を更新

37.20. 8068T – 2010年12月

1. 完了に変更されたデータシート状況、表紙から削除された暫定
2. 46頁の「外圍器情報」を更新
3. 「電気的特性」で全ての表を更新
4. 51頁の表34-12を置換
5. 52頁の表34-18を置換、52頁に「TOSC入力容量」図を追加
6. 改訂Bの障害情報追加
7. 改訂Eの障害情報追加
8. ADC(ADCがいくつかの動作条件で増されたINL誤差を持つ)に関する障害情報を更新
9. 新しいAtmelの品質様式指針によって最終頁を更新

37.21. 8068U – 2013年6月

1. 新規設計には推奨されません。 – XMEGA A3U系を使ってください。

目次

特徴	1	16. T/C – 16ビット タイマ/カウンタ	23
代表的な応用	1	16.1. 要点	23
1. 注文情報	2	16.2. 概要	23
2. ピン配置/構成図	2	17. AWeX – 新波形拡張	24
3. 概要	3	17.1. 要点	24
3.1. 構成図	4	17.2. 概要	24
4. 資料	5	18. Hi-Res – 高分解能拡張	25
4.1. 推奨読み物	5	18.1. 要点	25
5. お断り	5	18.2. 概要	25
6. AVR CPU	6	19. RTC – 16ビット実時間計数器	26
6.1. 要点	6	19.1. 要点	26
6.2. 概要	6	19.2. 概要	26
6.3. レジスタファイル	6	20. TWI – 2線インターフェース	27
6.4. 算術論理演算器 (ALU)	6	20.1. 要点	27
6.5. プログラムの流れ	7	20.2. 概要	27
7. メモリ	8	21. SPI – 直列周辺インターフェース	28
7.1. 要点	8	21.1. 要点	28
7.2. 概要	8	21.2. 概要	28
7.3. 実装書き換え可能なプログラム用フラッシュ メモリ	8	22. USART	29
7.4. データ メモリ	9	22.1. 要点	29
7.5. 製品識票列	9	22.2. 概要	29
7.6. 使用者識票列	9	23. IRCOM – 赤外線通信単位部	30
7.7. フラッシュ メモリとEEPROMのページ容量	10	23.1. 要点	30
8. DMAC – 直接メモリ入出力制御器	11	23.2. 概要	30
8.1. 要点	11	24. 暗号エンジン	31
8.2. 概要	11	24.1. 要点	31
9. 事象システム	12	24.2. 概要	31
9.1. 要点	12	25. ADC – 12ビット A/D変換器	32
9.2. 概要	12	25.1. 要点	32
10. システム クロックとクロック選択	13	25.2. 概要	32
10.1. 要点	13	26. DAC – 12ビット D/A変換器	33
10.2. 概要	13	26.1. 要点	33
10.3. クロック選択	14	26.2. 概要	33
11. 電力管理と休止形態動作	15	27. AC – アナログ比較器	34
11.1. 要点	15	27.1. 要点	34
11.2. 概要	15	27.2. 概要	34
11.3. 休止形態動作	15	27.3. 入力選択	34
12. システム制御とリセット	16	27.4. 窓機能	35
12.1. 要点	16	28. OCD – チップ上デバッグ	36
12.2. AVRのリセット	16	28.1. 要点	36
12.3. リセット元	16	28.2. 概要	36
13. WDT – ウォッチドッグ タイマ	17	29. プログラミングとデバッグ用インターフェース	37
13.1. 要点	17	29.1. 要点	37
13.2. 概要	17	29.2. 概要	37
14. PMIC – 設定可能な多段割り込み制御器	18	29.3. IEEE 1149.1 (JTAG) 境界走査	37
14.1. 要点	18	30. ピン配置とピン機能	38
14.2. 概要	18	30.1. 交換ピン機能の種類	38
14.3. 割り込みベクタ	18	30.2. 交換ピン機能	39
15. 入出力ポート	20	31. 周辺機能単位部アドレス割り当て	42
15.1. 要点	20	32. 命令一式要約	43
15.2. 概要	20	33. 外圍器情報	46
15.3. 入出力構成設定	20	33.1. 64A	46
15.4. 入力感知	22	33.2. 64M2	46
15.5. ポート割り込み	22	34. 電気的特性	47
15.6. 交換ポート機能	22		

34.1.	絶対最大定格	47
34.2.	DC特性	47
34.3.	動作電圧と周波数	48
34.4.	フラッシュメモリとEEPROMの特性	49
34.5.	A/D変換器特性	49
34.6.	D/A変換器特性	50
34.7.	アナログ比較器特性	50
34.8.	ハントギャンプ電圧特性	50
34.9.	低電圧検出(Brownout Detection)特性	51
34.10.	ハット特性	51
34.11.	電源ONリセット(POR)特性	51
34.12.	外部リセット特性	51
34.13.	発振器特性	52
35.	代表特性	53
35.1.	活動動作消費電流	53
35.2.	アイドル動作消費電流	55
35.3.	パワーダウン動作消費電流	57
35.4.	パワーセーブ動作消費電流	58
35.5.	ピンプルアップ	58
35.6.	ピン出力電圧 対 吸い込み/吐き出し電流	59
35.7.	ピン 閾値とヒステリシス	61
35.8.	低電圧検出器(BOD)閾値	63
35.9.	発振器と起動時間	64
35.10.	単位部消費電流	65
35.11.	リセットパルス幅	66
35.12.	PDI速度	66
36.	障害情報	67
36.1.	ATxmega64A3/128A3/128A3改訂A	67
36.2.	ATxmega64A3/128A3/128A3改訂B, ATxmega256A3改訂A/B	67
37.	データシート改訂履歴	73
37.1.	8068A – 2008年2月	73
37.2.	8068B – 2008年6月	73
37.3.	8068C – 2008年6月	73
37.4.	8068D – 2008年6月	73
37.5.	8068E – 2008年8月	73
37.6.	8068F – 2008年8月	73
37.7.	8068G – 2008年9月	73
37.8.	8068H – 2008年10月	73
37.9.	8068I – 2008年11月	73
37.10.	8068J – 2008年12月	73
37.11.	8068K – 2009年2月	73
37.12.	8068L – 2009年6月	73
37.13.	8068M – 2009年9月	74
37.14.	8068N – 2009年10月	74
37.15.	8068O – 2009年11月	74
37.16.	8068P – 2010年2月	74
37.17.	8068Q – 2010年2月	74
37.18.	8068R – 2010年8月	74
37.19.	8068S – 2010年9月	74
37.20.	8068T – 2010年12月	74
37.21.	8068U – 2013年6月	74



Atmel Corporation

2325 Orchard Parkway
San Jose, CA 95131
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited

Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH

Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan

141-0032 東京都品川区
大崎1-6-4
新大崎勸業ビル 16F
アトメル ジャパン合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂CORP0XXXX

Atmel®、ロゴとそれらの組み合わせ、それとその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトにある販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© HERO 2022.

本データシートはAtmelのATxmega A3系英語版データシート(改訂8068U-06/13)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。