8/16ﾋﾞｯﾄ Atmel XMEGA A3BU ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ

ATxmega256A3BU

特徴

- 高性能、低消費8/16ﾋﾞｯﾄ Atmel® AVR® XMEGA® ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ
- ﾃﾞｰﾀ ﾒﾓﾘと不揮発性ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ
  - 実装自己書き換え(ISP)可能な256Kﾊﾞｲﾄ(128K語)ﾌﾗｯｼｭ ﾒﾓﾘ
  - 独立した施錠ﾋﾞｯﾄを持つ8Kﾊﾞｲﾄ(4K語)ﾌﾞｰﾄ ｺｰﾄﾞ領域
  - 4KﾊﾞｲﾄのEEPROM
  - 16Kﾊﾞｲﾄの内部SRAM
- 内蔵周辺機能
  - 外部要求支援付き、4ﾁｬﾈﾙのDMA制御器
  - 8ﾁｬﾈﾙの事象ｼｽﾃﾑ
  - 7つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
    - 4つの比較ﾁｬﾈﾙまたは捕獲ﾁｬﾈﾙを持つ、4つのﾀｲﾏ/ｶｳﾝﾀ
    - 2つの比較ﾁｬﾈﾙまたは捕獲ﾁｬﾈﾙを持つ、3つのﾀｲﾏ/ｶｳﾝﾀ
    - 全てののﾀｲﾏ/ｶｳﾝﾀでの高分解能拡張
    - 1つのﾀｲﾏ/ｶｳﾝﾀでの新波形拡張
  - 1つのUSB装置ｲﾝﾀｰﾌｪｰｽ
    - USB2.0全速(Full-Speed,12Mbps)と低速(Low-speed,1.5Mbps)装置適合
    - 完全な構成設定柔軟性を持つ32個のｴﾝﾄﾞﾎﾟｲﾝﾄ
  - 1つのUSARTに対するIrDA(赤外線通信)支援を持つ、6つのUSART
  - 2重ｱﾄﾞﾚｽ一致を持つ、2つの2線ｲﾝﾀｰﾌｪｰｽ (I^2CとSMBus適合)
  - 2つの直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI:Serial Peripheral Interface)周辺機能
  - AESとDESの暗号ｴﾝｼﾞﾝ
  - CRC-16(CRC-CCITT)とCRC-32(IEEE 802.3)生成器
  - 独立した発振器と電池代替支援を持つ、32ﾋﾞｯﾄ実時間計数器
  - 8ﾁｬﾈﾙ、12ﾋﾞｯﾄ、2M採取/秒の2つのA/D変換器
  - 2ﾁｬﾈﾙ、12ﾋﾞｯﾄ、1M採取/秒の1つのD/A変換器
  - 窓比較機能を持つ、4つのｱﾅﾛｸﾞ比較器
  - 全ての汎用I/Oﾋﾟﾝでの外部割り込み
  - ﾁｯﾌﾟ上の独立した超低電力発振器付きの設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
  - QTouch® ﾗｲﾌﾞﾗﾘ支援
    - 容量性接触釦、滑動部、輪
- 特殊ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ機能
  - 電源ONﾘｾｯﾄと設定可能な低電圧検出(BOD)
  - PLLと前置分周器を持つ、内部及び外部のｸﾛｯｸ任意選択
  - 設定可能な多段割り込み制御器
  - 5つの休止形態動作
  - 増強されたﾌﾟﾛｸﾞﾗﾐﾝｸﾞ、検査、ﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ
    - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ、検査、ﾃﾞﾊﾞｯｸﾞ用のJTAG(IEEE 1149.1適合)ｲﾝﾀｰﾌｪｰｽ
    - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ、検査、ﾃﾞﾊﾞｯｸﾞ用のPDI(Program and Debug Interface)
- I/Oと外囲器
  - 設定可能な47本のI/O線
  - 64ﾘｰﾄﾞTQFP、64ﾊﾟｯﾄﾞQFN
- 動作電圧
  - 1.6～3.6V
- 速度性能
  - 0～12MHz/1.6～V
  - 0～32MHz/2.7～V

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 8362G-07/2014, 8362GJ3-06/2022

1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外囲器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega256A3BU-AU	256KB+8KB	4KB	16KB	64A	32	1.6～3.6V	-40℃～85℃
ATxmega256A3BU-AUR (注4)							
ATxmega256A3BU-MH	256KB+8KB	4KB	16KB	64M2			
ATxmega256A3BU-MHR (注4)							

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 外囲器情報については53頁の「外囲器情報」をご覧ください。

注4: テープとリール。

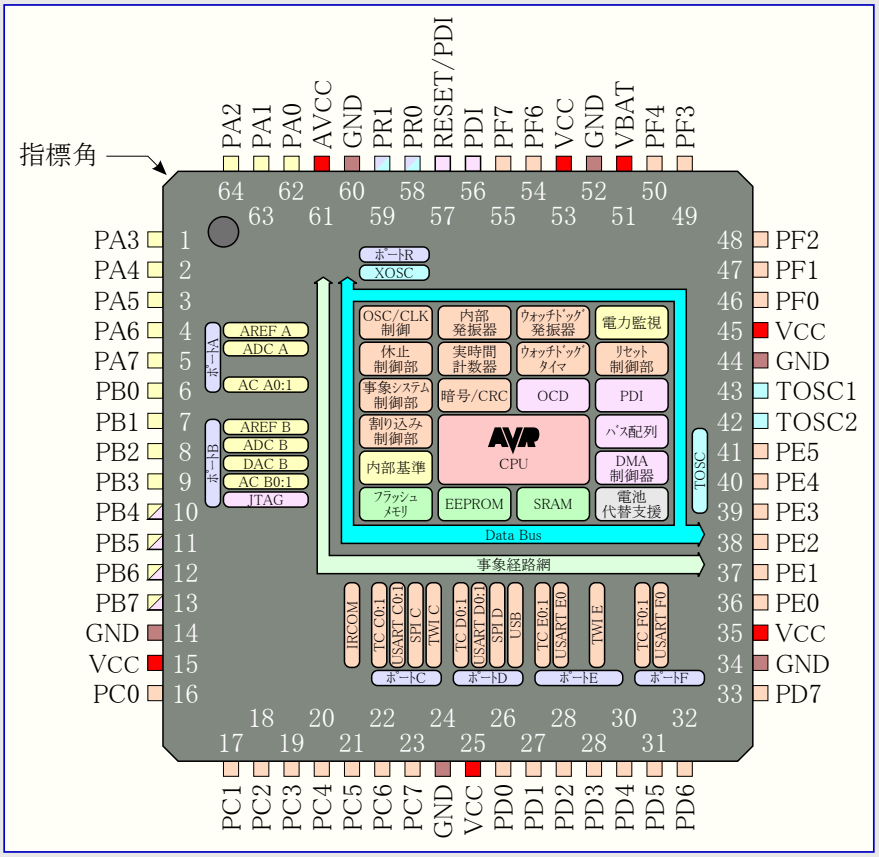
外囲器形式	
64A	64リード 14×14×1.0mm厚 0.8mmピッチ 薄型プラスティック4方向平板外囲器 (TQFP)
64M2	64パッド 9×9×1.0mm 0.5mmピッチ 7.65mm露出パッド 小リード枠外囲器 (QFN)

代表的な応用

・工業制御	・環境制御	・低電力電池応用
・工場自動化	・RFとZigBee®	・電力ツール
・建築制御	・USB接続性	・室内環境制御(HVAC)
・基板制御	・感知器制御	・実用計器
・白物家電	・光学	・医療応用

2. ピン配置/構成図

図2-1. 構成図とピン配置



- 電源
- 接地
- デジタル機能
- アナログ機能
- プログラミング、デバッグ、検査
- 発振器/クリスタル/クロック
- 汎用入出力

注: 1. ピン配置とピン機能の完全な詳細については46頁の「ピン配置とピン機能」を参照してください。

2. QFN/MLF外囲器底部の大きな中央パッドは良好な機械的安定を保証するために基板のGNDに半田付けされるべきです。

3. 概要

Atmel AVR XMEGAはAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。単一ｸﾛｯｸ周期で実行する命令によって、AVR XMEGAﾃﾞﾊﾞｲｽはｼｽﾃﾑ設計者に対して電力消費対処理速度の最適化を可能とするMHz当たり100万命令に達するCPU単位時間処理能力を達成します。

AVR CPUは32個の汎用作業ﾚｼﾞｽﾀを豊富な命令一式に結合します。32個全てのﾚｼﾞｽﾀが算術論理演算器(ALU)へ直接接続され、単一命令でのｱｸｾｽを2つの独立したﾚｼﾞｽﾀに許し、単一ｸﾛｯｸ周期で実行されます。この構造はより大きなｺｰﾄﾞ効率と同時に伝統的な単一累積器やCISCに基くﾏｲｸﾛ ｺﾝﾄﾛｰﾗよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA A3BUﾃﾞﾊﾞｲｽは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つﾌﾗｯｼｭ ﾒﾓﾘ、内部のEEPROMとSRAM、4ﾁｬﾈﾙのDMA制御器、8ﾁｬﾈﾙの事象ｼｽﾃﾑ、設定可能な多段割り込み制御器、47本の汎用入出力線、電池代替支援ｼｽﾃﾑを持つ32ﾋﾞｯﾄ実時間計数器、比較動作とPWM付きの7つの柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ、1つのUSB 2.0全速(Full-speed)装置ｲﾝﾀｰﾌｪｰｽ、6つのUSART、2つの2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)、2つの直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)、AESとDESの暗号ｴﾝｼﾞﾝ、設定可能な利得付きの任意選択差動入力を持つ2つの8ﾁｬﾈﾙ 12ﾋﾞｯﾄA/D変換器、1つの2ﾁｬﾈﾙ 12ﾋﾞｯﾄD/A変換器、窓動作を持つ4つのｱﾅﾛｸﾞ比較器(AC)、独立した内部発振器を持つ設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の高速2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ(PDI)が利用可能です。ﾃﾞﾊﾞｲｽはIEEE規格1149.1適合JTAGｲﾝﾀｰﾌｪｰｽも持ち、これは境界走査、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞにも使うことができます。

全てのXMEGAﾃﾞﾊﾞｲｽはｿﾌﾄｳｪｱで選択可能な5つの節電動作を持っています。ｱｲﾄﾞﾙ動作はCPUを停止する一方で、SRAM、DMA制御器、事象ｼｽﾃﾑ、割り込み制御器と全ての周辺機能に機能の継続を許します。ﾊﾟﾜｰﾀﾞｳﾝ動作はSRAMとﾚｼﾞｽﾀの内容を保存しますが、発振器を停止し、次のTWI、USB再開(resume)またはﾋﾟﾝ変化の割り込み、またはﾘｾｯﾄまで他の全ての機能を禁止します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、ﾃﾞﾊﾞｲｽの残りは休止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が走行を保つ一方、ﾃﾞﾊﾞｲｽの残りは休止します。これは低電力消費と組み合わせた外部ｸﾘｽﾀﾙからの非常に速い始動を可能にします。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能ｸﾛｯｸは活動動作とｱｲﾄﾞﾙ動作に於いて任意で停止することができます。

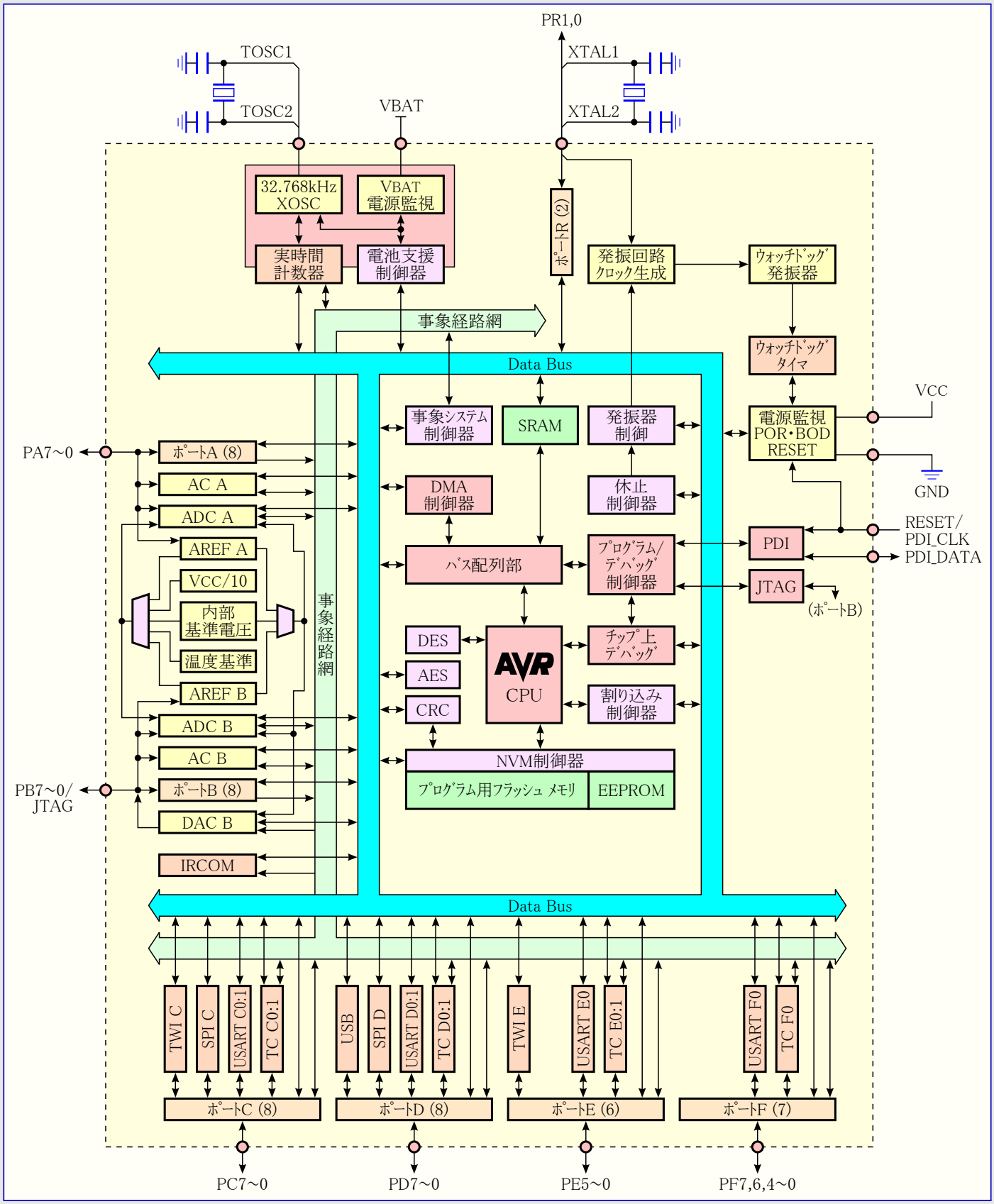
AtmelはAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗへ容量性接触釦、滑動部、輪を組み込むためのQTouch®ﾗｲﾌﾞﾗﾘを提供します。

ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘはPDIを通して実装書き換えをすることができます。ﾃﾞﾊﾞｲｽ内で走行するﾌﾞｰﾄﾛｰﾀﾞはﾌﾗｯｼｭ ﾒﾓﾘに応用ﾌﾟﾛｸﾞﾗﾑを取得格納するのにどんなｲﾝﾀｰﾌｪｰｽをも用いることができます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域内のﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱは応用ﾌﾗｯｼｭ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なﾌﾗｯｼｭと8/16ﾋﾞｯﾄRISC CPUの結合により、AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。

全てのAtmel AVR XMEGAﾃﾞﾊﾞｲｽはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾌﾟﾛｸﾞﾗﾑ ﾃﾞﾊﾞｯｶﾞ/ｼﾐｭﾚｰﾀ、書き込み器、評価ｷｯﾄを含む、ﾌﾟﾛｸﾞﾗﾑとｼｽﾃﾑ開発ﾂｰﾙの完全な揃えで支援されます。

3.1. 構成図

図3-1. XMEGA A3BU構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式はhttp://www.atmel.com/avrでのダウンロードに関して利用可能です。

4.1. 推奨読物

- Atmel AVR XMEGA AU手引書
- XMEGA応用記述

このデバイス データシートは各単位部と周辺機能の短い記述と共にデバイス固有情報だけを含みます。XMEGA AU手引書は単位部と周辺機能を広く深く記述します。XMEGA応用記述はコード例を含み、単位部と周辺機能を適用する使い方を示します。

全ての資料は www.atmel.com/avr から利用可能です。

5. 容量性接触感知

AtmelのQTouchライブラリはAtmelの殆どのAVRマイクロ コントローラ上の接触感知インターフェース実現の解決策を使うための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制TM(AKSTM)技術を含みます。QTouchライブラリはQTouchとQMatrix採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なAtmel QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のAtmelのウェブサイトからダウンロードすることができます。www.atmel.com/qtouchlibrary
実装の詳細とその他の情報についてはAtmelのウェブサイトからも入手可能な「**QTouchライブラリ使用者の手引き**」を参照してください。

6. AVR CPU

6.1. 要点

- 8/16ﾋﾞｯﾄ高性能Atmel AVR RISC CPU
  - 142命令
  - ﾊｰﾄﾞｳｪｱ乗算器
- ALUに直結された32個の8ﾋﾞｯﾄ ﾚｼﾞｽﾀ
- SRAM内のｽﾀｯｸ
- I/Oﾒﾓﾘ空間内でｱｸｾｽ可能なｽﾀｯｸ ﾎﾟｲﾝﾀ
- 16Mﾊﾞｲﾄまでのﾌﾟﾛｸﾞﾗﾑと16Mﾊﾞｲﾄのﾃﾞｰﾀのﾒﾓﾘを直接ｱﾄﾞﾚｽ指定
- 16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀへの真の16/24ﾋﾞｯﾄ入出力
- 8、16、32演算に対する効率的な支援
- ｼｽﾃﾑ重要特性の構成設定変更保護

6.2. 概要

Atmel AVR XMEGAﾃﾞﾊﾞｲｽは8/16ﾋﾞｯﾄAVR CPUを使います。CPUの主な機能は、ｺｰﾄﾞを実行して全ての計算を実行することです。CPUはﾒﾓﾘ入出力、計算実行、周辺制御、そしてﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑを実行することができます。割り込みの扱いは独立した章で記述され、22頁の「**割り込みと設定可能な多段割り込み制御器**」を参照してください。

6.3. 構造概要

最大性能と並列化のためにAVR CPUはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対して独立したﾒﾓﾘとﾊﾞｽを持つﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1つの命令が実行されつつあると同時に、次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから予め取得されます。これは毎ｸﾛｯｸ周期で実行される命令を可能にします。全AVR命令の詳細についてはhttp://atmel.com/avrを参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はﾚｼﾞｽﾀ間または定数とﾚｼﾞｽﾀ間の算術と論理の操作を支援します。単一ﾚｼﾞｽﾀ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

ALUは高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙに直接的に接続されます。32×8ﾋﾞｯﾄ汎用作業ﾚｼﾞｽﾀの全てがﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと即値間での単一周期算術論理部(ALU)操作を許す単一ｸﾛｯｸ周期ｱｸｾｽ時間を持ちます。32個中の6つのﾚｼﾞｽﾀは効率的なｱﾄﾞﾚｽ計算を許す、ﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀの空間をｱﾄﾞﾚｽ指定するための3つの16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとして使うことができます。

ﾒﾓﾘ空間は直線状です。ﾃﾞｰﾀ ﾒﾓﾘ空間とﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間は2つの異なるﾒﾓﾘ空間です。

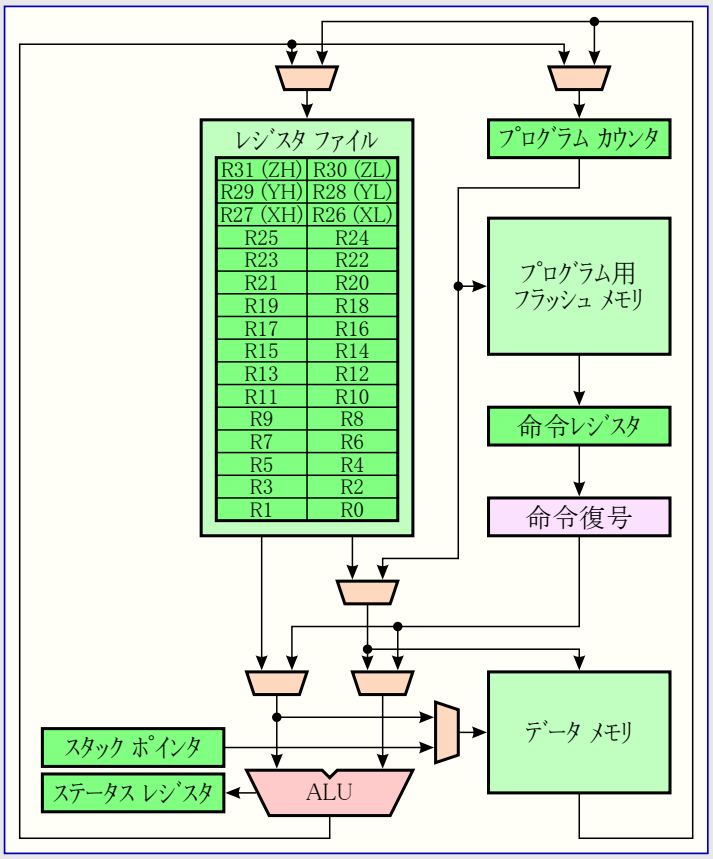
ﾃﾞｰﾀ ﾒﾓﾘ空間はI/Oﾚｼﾞｽﾀ、SRAM、外部RAMに分けられます。加えて、ﾃﾞｰﾀ ﾒﾓﾘ内にEEPROMをﾒﾓﾘ割り当てすることができます。

全てのI/Oの状態と制御のﾚｼﾞｽﾀはﾃﾞｰﾀ ﾒﾓﾘの最下位4Kﾊﾞｲﾄのｱﾄﾞﾚｽに属します。これはI/Oﾒﾓﾘ空間として参照されます。最下位60ｱﾄﾞﾚｽは直接、または$00～$3Fのﾃﾞｰﾀ空間位置としてｱｸｾｽすることができます。残りは$0040～$0FFFに連なる拡張I/Oﾒﾓﾘ区間です。ここのI/Oﾚｼﾞｽﾀは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてﾃﾞｰﾀ空間位置としてｱｸｾｽされなければなりません。

SRAMはﾃﾞｰﾀを保持します。SRAMからのｺｰﾄﾞ実行は支援されません。SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定形態を通して容易にｱｸｾｽすることができます。

$1000～$1FFFのﾃﾞｰﾀ ｱﾄﾞﾚｽはﾒﾓﾘ割り当てEEPROM用に予約されています。

図6-1. AVR CPU構造の構成図



ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは応用ﾌﾟﾛｸﾞﾗﾑ領域とﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ﾋﾞｯﾄを持ちます。応用ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使われるSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ﾋﾞｯﾄを持つ応用表領域を含みます。応用表領域はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内での不揮発性ﾃﾞｰﾀの格納を減らすのに使うことができます。

6.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単一ﾚｼﾞｽﾀ操作の実行もできます。ALUは32個の汎用ﾚｼﾞｽﾀ全てとの直接接続で動作します。単一ｸﾛｯｸ周期内で、汎用ﾚｼﾞｽﾀ間、またはﾚｼﾞｽﾀと即値間の算術操作が実行されて結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

ALU操作は、演算、論理、ﾋﾞｯﾄ操作の、3つの主な分野に分けられます。8ﾋﾞｯﾄと16ﾋﾞｯﾄの両方の算術演算が支援され、命令一式は効率的な32ﾋﾞｯﾄ演算の実装を可能にします。ﾊｰﾄﾞｳｪｱ乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

6.4.1. ﾊｰﾄﾞｳｪｱ乗算器

乗算器は2つの8ﾋﾞｯﾄ数値を16ﾋﾞｯﾄの結果に乗算する能力です。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUｸﾛｯｸ周期かかります。

6.5. ﾌﾟﾛｸﾞﾗﾑの流れ

ﾘｾｯﾄ後、CPUはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の最下位ｱﾄﾞﾚｽ'$000000'から命令の実行を始めます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は取得されるべき次の命令を指示します。

ﾌﾟﾛｸﾞﾗﾑの流れはｱﾄﾞﾚｽ空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ﾋﾞｯﾄ語形式を用い、一方限られた若干が32ﾋﾞｯﾄ形式を使います。

割り込みとｻﾌﾞﾙｰﾁﾝ呼び出しの間、復帰ｱﾄﾞﾚｽのPC(値)がｽﾀｯｸに格納されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM内に割り当てられ、結果としてｽﾀｯｸ容量は総SRAM容量とSRAMの使い方だけによって制限されます。ﾘｾｯﾄ後のｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)は内部SRAM内の最上位ｱﾄﾞﾚｽを指し示します。SPはI/Oﾒﾓﾘ空間で読み書きｱｸｾｽが可能で、ｽﾀｯｸまたはｽﾀｯｸ領域の容易な複数実装を可能にします。ﾃﾞｰﾀ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にｱｸｾｽすることができます。

6.6. ｽﾃｰﾀｽ ﾚｼﾞｽﾀ

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにﾌﾟﾛｸﾞﾗﾑの流れを変えるのに使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀはI/Oﾒﾓﾘ空間でｱｸｾｽできます。

6.7. ｽﾀｯｸとｽﾀｯｸ ﾎﾟｲﾝﾀ

ｽﾀｯｸは割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の復帰ｱﾄﾞﾚｽの格納に使われます。一時ﾃﾞｰﾀの格納にも使えます。ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)ﾚｼﾞｽﾀは常にｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。これはI/Oﾒﾓﾘ空間でｱｸｾｽ可能な2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。ﾃﾞｰﾀはPUSH命令とPOP命令を使ってｽﾀｯｸへ格納とｽﾀｯｸから取得されます。ｽﾀｯｸは上位ﾒﾓﾘ位置から下位ﾒﾓﾘ位置へ増えます。これはｽﾀｯｸへのﾃﾞｰﾀ格納がSPを減らし、ｽﾀｯｸからのﾃﾞｰﾀ取得がSPを増すことを意味します。SPはﾘｾｯﾄ後に自動的に設定され、その初期値は内部SRAMの最上位ｱﾄﾞﾚｽです。SPが変更されるなら、それは$2000番地以上を指し示すように設定されなければならず、そして何れかのｻﾌﾞﾙｰﾁﾝ呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはｻﾌﾞﾙｰﾁﾝ呼び出しの間、自動的に復帰ｱﾄﾞﾚｽがｽﾀｯｸへ格納されます。復帰ｱﾄﾞﾚｽはﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ量に依存して2または3ﾊﾞｲﾄで有り得ます。128Kﾊﾞｲﾄ以下のﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽについては復帰ｱﾄﾞﾚｽが2ﾊﾞｲﾄで、故にｽﾀｯｸ ﾎﾟｲﾝﾀは+2/-2されます。128Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽについては復帰ｱﾄﾞﾚｽが3ﾊﾞｲﾄで、故にSPは+3/-3されます。復帰ｱﾄﾞﾚｽはRETI命令を使って割り込みから、またはRET命令を使ってｻﾌﾞﾙｰﾁﾝ呼び出しから戻る時にｽﾀｯｸから取得されます。

ﾃﾞｰﾀがPUSH命令でｽﾀｯｸに格納される時にSPは-1され、POP命令を使ってｽﾀｯｸからﾃﾞｰﾀを取得する時に+1されます。

ｿﾌﾄｳｪｱからのｽﾀｯｸ ﾎﾟｲﾝﾀ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oﾒﾓﾘ書き込みまで割り込みを自動的に禁止します。

ﾘｾｯﾄ後、ｽﾀｯｸ ﾎﾟｲﾝﾀはSRAMの最高ｱﾄﾞﾚｽに初期化されます。10頁の**図7-2.**をご覧ください。

6.8. ﾚｼﾞｽﾀ ﾌｧｲﾙ

ﾚｼﾞｽﾀ ﾌｧｲﾙは単一ｸﾛｯｸ周期ｱｸｾｽ時間を持つ32個の8ﾋﾞｯﾄ汎用作業ﾚｼﾞｽﾀから成ります。ﾚｼﾞｽﾀ ﾌｧｲﾙは以下の入出力機構を支援します。

- 1つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの8ﾋﾞｯﾄの結果入力
- 2つの8ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力
- 1つの16ﾋﾞｯﾄ出力ｵﾍﾟﾗﾝﾄﾞと1つの16ﾋﾞｯﾄの結果入力

32個のﾚｼﾞｽﾀの6つはﾃﾞｰﾀ空間のｱﾄﾞﾚｽ指定用の3つの16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ ﾎﾟｲﾝﾀとして用いることができ、効率的なｱﾄﾞﾚｽ計算を許します。3つのｱﾄﾞﾚｽ ﾎﾟｲﾝﾀの1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の参照表用のｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても用いることができます。

7. メモリ

7.1. 要点

- フラッシュ プログラム メモリ
  - 1つの直線的なアドレス空間
  - 実装書き換え可能(In-System Reprogrammable)
  - 自己プログラミングとブートローダ支援
  - 応用コード用応用領域
  - 応用コードまたはデータ記憶用応用表領域
  - 応用コードまたはブートローダ コード用ブートローダ領域
  - 全領域に対する独立した読み/書き保護施錠ビット
  - 選択可能なフラッシュ プログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
  - 1つの直線的なアドレス空間
  - CPUからの単一周期アクセス
  - SRAM
  - EEPROM
    - バイトまたはページでのアクセスが可能
    - 直接取得/格納に対する任意のメモリ配置割り当て
  - I/Oメモリ
    - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
    - 全体変数またはフラグ用にビット アクセス可能な16個の汎用I/Oレジスタ
  - バス調停
    - CPU、DMA制御器、他のバス所有者間の決定論的な優先順処理
  - SRAM、EPROM、I/Oメモリのアクセスに対する独立バス
    - CPUとDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識票列メモリ
  - 各マイクロ コントローラに対するID
  - 各デバイスに対する通番
  - 工場較正された周辺機能用の較正バイト
- 使用者識票列
  - 1つのフラッシュ ページ容量
  - ソフトウェアから読み書き可能
  - チップ消去後も内容保持

7.2. 概要

Atmel AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コードはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズ バイトを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は2頁の「**注文情報**」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュ メモリ識票列を持っています。

7.3. フラッシュ プログラム メモリ

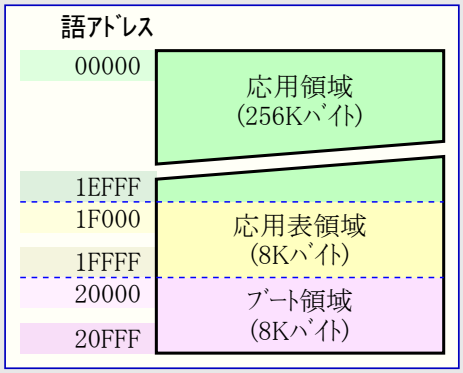
Atmel AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各アドレス位置は16ビットです。フラッシュ メモリは応用領域とブート ローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令はブート ローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶を許します。

応用表領域とブート領域は一般的な応用ソフトウェアにも使えます。

図7-1. フラッシュ プログラム メモリ (16進アドレス)



7.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用ｺｰﾄﾞを格納するのに使われるﾌﾗｯｼｭの領域です。応用領域に対する保護段階はこの領域用のﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなﾌﾞｰﾄﾛｰﾀﾞｺｰﾄﾞも格納できません。

7.3.2. 応用表領域 (Application Table Section)

応用表領域はﾃﾞｰﾀの格納に使えるﾌﾗｯｼｭの応用領域の一部です。容量はﾌﾞｰﾄﾛｰﾀﾞ領域と同じです。応用表に対する保護段階はこの領域用のﾌﾞｰﾄ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘの安全なﾊﾟﾗﾒｰﾀ記憶を可能にします。この領域がﾃﾞｰﾀ用に使われないなら、ここに応用ｺｰﾄﾞが存在できます。

7.3.3. ﾌﾞｰﾄﾛｰﾀﾞ領域 (Boot Loader Section)

応用領域が応用ｺｰﾄﾞの格納に使われる一方、SPM命令がこの領域から実行する時にだけﾌﾟﾛｸﾞﾗﾐﾝｸﾞを始められるので、ﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱはﾌﾞｰﾄﾛｰﾀﾞ領域に配置されなければなりません。SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域それ自身を含むﾌﾗｯｼｭ全体をｱｸｾｽできます。ﾌﾞｰﾄﾛｰﾀﾞ領域に対する保護段階はﾌﾞｰﾄﾛｰﾀﾞ施錠ﾋﾞｯﾄ(ﾌﾞｰﾄ施錠ﾋﾞｯﾄB)によって選択できます。この領域がﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱ用に使われないなら、ここに応用ｺｰﾄﾞを格納することができます。

7.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みﾃﾞｰﾀ用の独立したﾒﾓﾘ領域です。これは発振器やｱﾅﾛｸﾞ部のような機能用の構成ﾃﾞｰﾀを含みます。いくつかの校正値はﾘｾｯﾄ中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はｿﾌﾄｳｪｱで識票列から取得されて対応する周辺機能ﾚｼﾞｽﾀに書かれなければなりません。校正条件の詳細については54頁の「電気的特性」を参照してください。

製品識票列は各ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ型式を識別するIDと製造された各ﾃﾞﾊﾞｲｽに対する通番も含みます。通番はそのﾃﾞﾊﾞｲｽに対する製品ﾛｯﾄ番号、ｳｪﾊｰ番号、ｳｪﾊｰ座標から成ります。利用可能なﾃﾞﾊﾞｲｽに対するﾃﾞﾊﾞｲｽIDは表7-1.で示されます。

製品識票列は消去や書き込みができませんが、応用ｿﾌﾄｳｪｱと外部書き込み器から読むことができます。

表7-1. XMEGA A3BUﾃﾞﾊﾞｲｽ用ﾃﾞﾊﾞｲｽIDﾊﾞｲﾄ

ﾃﾞﾊﾞｲｽ	内容		
	第1ﾊﾞｲﾄ	第2ﾊﾞｲﾄ	第3ﾊﾞｲﾄ
ATxmega256A3BU	1E	98	43

7.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ｿﾌﾄｳｪｱと外部の書き込み器から完全にｱｸｾｽ(読み書き)可能な独立したﾒﾓﾘ領域です。これは1つのﾌﾗｯｼｭ ﾍﾟｰｼﾞ容量で、校正ﾃﾞｰﾀ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者ﾊﾟﾗﾒｰﾀ記憶を予定されています。この領域はﾌﾗｯｼｭ ﾒﾓﾘを消去するﾁｯﾌﾟ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ作業中のﾊﾟﾗﾒｰﾀ記憶を保証します。

7.4. ﾋｭｰｽﾞと施錠(Lock)ﾋﾞｯﾄ

ﾋｭｰｽﾞは重要なｼｽﾃﾑ機能を構成設定するのに使われ、外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽから書くことができます。応用ｿﾌﾄｳｪｱはﾋｭｰｽﾞを読むことができます。ﾋｭｰｽﾞは低電圧検出器(BOD:Brown-out Detector)やｳｫｯﾁﾄﾞｯｸﾞのようなﾘｾｯﾄ元構成設定や、始動構成設定、JTAG許可とJTAG使用者IDに使われます。

施錠ﾋﾞｯﾄは各種ﾌﾗｯｼｭ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのｱｸｾｽが防止されるべき場合に)。施錠ﾋﾞｯﾄは外部書き込み器と応用ｿﾌﾄｪｱから書けますが、より厳しい保護へだけです。ﾁｯﾌﾟ消去が施錠ﾋﾞｯﾄを消去する唯一の方法です。例えﾁｯﾌﾟ消去中でもﾌﾗｯｼｭ内容が保護されることを保証するため、施錠ﾋﾞｯﾄはﾌﾗｯｼｭ ﾒﾓﾘの残りの部分が(完全に)消去された後に消去されます。

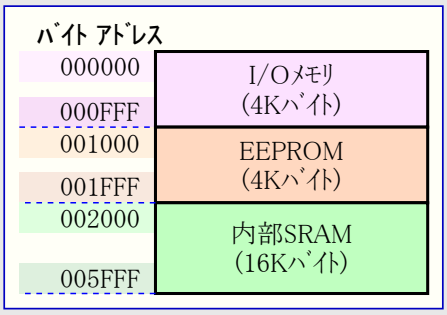
非ﾌﾟﾛｸﾞﾗﾑにされたﾋｭｰｽﾞと施錠のﾋﾞｯﾄは値1を持ち、一方ﾌﾟﾛｸﾞﾗﾑにされたﾋｭｰｽﾞと施錠のﾋﾞｯﾄは値0を持ちます。

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄの両方はﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘのように書き換え可能です。

7.5. ﾃﾞｰﾀ ﾒﾓﾘ

ﾃﾞｰﾀ ﾒﾓﾘはI/Oﾒﾓﾘ、内部SRAM、任意選択のﾒﾓﾘ配置割り当てEEPROMを含みます。ﾃﾞｰﾀ ﾒﾓﾘは1つの続いたﾒﾓﾘ領域として構成されます。図7-2.をご覧ください。開発を簡単化するため、全てのAtmel AVR XMEGAﾃﾞﾊﾞｲｽでI/Oﾒﾓﾘ、EEPROM、SRAMは常に同じ開始ｱﾄﾞﾚｽを持ちます。

図7-2. ﾃﾞｰﾀ ﾒﾓﾘ割り当て (16進ｱﾄﾞﾚｽ)



7.6. EEPROM

XMEGA AUﾃﾞﾊﾞｲｽは不揮発性ﾃﾞｰﾀ記憶用にEEPROMを持っています。それは独立したﾃﾞｰﾀ空間(既定)でのｱﾄﾞﾚｽ指定、または通常のﾃﾞｰﾀ空間にﾒﾓﾘ配置割り当てしてｱｸｾｽする、のどちらかにできます。EEPROMはﾊﾞｲﾄとﾍﾟｰｼﾞの両ｱｸｾｽを支援します。ﾒﾓﾘ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってｱｸｾｽできます。ﾒﾓﾘ配置割り当てEEPROMは常に16進ｱﾄﾞﾚｽ$1000で始まります。

7.7. I/Oﾒﾓﾘ

CPUを含む単位部と周辺機能に関する状態と構成設定のﾚｼﾞｽﾀはI/Oﾒﾓﾘ位置を通してｱﾄﾞﾚｽ指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってｱｸｾｽでき、そしてそれはﾚｼﾞｽﾀ ﾌｧｲﾙ内の32個のﾚｼﾞｽﾀとI/Oﾒﾓﾘ間でﾃﾞｰﾀを転送するのに使われます。IN命令とOUT命令は$0000～$003F範囲のI/Oﾒﾓﾘ位置を直接ｱﾄﾞﾚｽ指定できます。ｱﾄﾞﾚｽ範囲$0000～$001Fでは個別ﾋﾞｯﾄの操作と検査の命令が利用できます。

XMEGA A3BUでの全ての周辺機能と単位部に対するI/Oﾒﾓﾘ ｱﾄﾞﾚｽは49頁の「**周辺機能単位部ｱﾄﾞﾚｽ割り当て**」で示されます。

7.7.1. 汎用I/Oﾚｼﾞｽﾀ

最下位16個のI/Oﾒﾓﾘ ｱﾄﾞﾚｽは汎用I/Oﾚｼﾞｽﾀ用に予約されています。これらのﾚｼﾞｽﾀは、それらがSBI,CBI,SBIS,SBIC命令を使って直接ﾋﾞｯﾄ ｱｸｾｽが可能なため、全体変数とﾌﾗｸﾞの格納に使うことができます。

7.8. ﾃﾞｰﾀ ﾒﾓﾘとﾊﾞｽ調停

ﾃﾞｰﾀ ﾒﾓﾘが4つの独立したﾒﾓﾘの組として構成されるため、異なるﾊﾞｽ主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるﾒﾓﾘをｱｸｾｽし得ます。

7.9. ﾒﾓﾘ ﾀｲﾐﾝｸﾞ

I/Oﾒﾓﾘへの読み書きｱｸｾｽは1CPUｸﾛｯｸ周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいﾃﾞｰﾀが毎周期で利用可能です。EEPROMﾍﾟｰｼﾞ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいﾃﾞｰﾀが毎2周期で利用可能です。命令と命令ﾀｲﾐﾝｸﾞのより多くの詳細については命令要約を参照してください。

7.10. ﾃﾞﾊﾞｲｽIDと改訂

各々のﾃﾞﾊﾞｲｽは3ﾊﾞｲﾄのﾃﾞﾊﾞｲｽIDを持ちます。このIDはﾃﾞﾊﾞｲｽの製造業者としてのAtmelとﾃﾞﾊﾞｲｽ型式を明らかにします。独立した改訂版ID(REVID)ﾚｼﾞｽﾀはﾃﾞﾊﾞｲｽの改訂版番号を含みます。

7.11. JTAG禁止

応用ｿﾌﾄｳｪｱからJTAGｲﾝﾀｰﾌｪｰｽを禁止することができます。これは次のﾃﾞﾊﾞｲｽ ﾘｾｯﾄまたはJTAGが応用ｿﾌﾄｳｪｱから再び許可されるまで、ﾃﾞﾊﾞｲｽへの全ての外部JTAGｱｸｾｽを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oﾋﾟﾝは標準I/Oﾋﾟﾝとして使えます。

7.12. I/Oﾒﾓﾘ保護

ﾃﾞﾊﾞｲｽ内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、ｸﾛｯｸ系、事象ｼｽﾃﾑ、新波形拡張に関連するI/Oﾚｼﾞｽﾀの施錠が可能です。施錠が許可されている限り、全ての関連I/Oﾚｼﾞｽﾀが施錠され、それらは応用ｿﾌﾄｳｪｱから書くことができません。それら自身の施錠ﾚｼﾞｽﾀは構成設定変更保護機構によって保護されます。

7.13. フラッシュ メモリとEEPROMのページ容量

プログラム用フラッシュ メモリとデータ用EEPROMはページで構成されています。ページはフラッシュ メモリに対して語アクセス可能で、EEPROMに対してバイト アクセス可能です。

表7-2.はプログラム用フラッシュ メモリ構成とプログラム カウンタ(PC)の大きさを示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュ アクセスに関してはアドレス指定にZポインタ(Zn～0)が使われます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレス ビット(FWORD)がページ内の語(位置)を与えます。

表7-2. フラッシュ メモリ内のページ数と語数

デバイス	フラッシュ容量	ページ容量	FPAGE	FWORD	応用領域		ブート領域		PC大きさ
	(バイト)	(語)			容量	ページ数	容量	ページ数	(ビット)
ATxmega256A3BU	256KB+8KB	256	Z17～9	Z8～1	256KB	512	8KB	16	18

表7-3.はEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレス レジスタ(ADDRn～0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレス ビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数

デバイス	EEPROM容量	ページ容量	E2PAGE	E2BYTE	ページ数
	(バイト)	(バイト)			
ATxmega256A3BU	4KB	32	ADDR11～5	ADDR4～0	128

(訳補) フラッシュ メモリは応用領域とブート領域が$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュ メモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使われます。表7-2.のFPAGE及びFWORDのZポインタはSPM命令に対するものです。

8. DMAC – 直接ﾒﾓﾘ入出力制御器 (Direct Memory Access Controller)

8.1. 要点

- 最小CPU介在での高速転送を許容
  - ﾃﾞｰﾀ ﾒﾓﾘからﾃﾞｰﾀ ﾒﾓﾘへ
  - ﾃﾞｰﾀ ﾒﾓﾘから周辺機能へ
  - 周辺機能からﾃﾞｰﾀ ﾒﾓﾘへ
  - 周辺機能から周辺機能へ
- 独立した4つのDMAﾁｬﾈﾙ
  - 転送起動元
  - 割り込みﾍﾞｸﾀ
  - ｱﾄﾞﾚｽ指示種別
- 設定可能なﾁｬﾈﾙ優先順
- 単一転送処理で1ﾊﾞｲﾄから16Mﾊﾞｲﾄまでのﾃﾞｰﾀ
- 複数のｱﾄﾞﾚｽ指示種別
  - 静止
  - 増加
  - 減少
- 各終了での転送元と転送先の再設定任意選択
  - 集中
  - 塊
  - 単位処理
- 転送終了での割り込み任意選択
- DMAﾃﾞｰﾀ上のCRCに対するCRC発生器への接続任意選択

8.2. 概要

4ﾁｬﾈﾙ直接ﾒﾓﾘ入出力(DMA)制御器はﾒﾓﾘと周辺機能間でﾃﾞｰﾀを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いﾃﾞｰﾀ転送速度を許し、CPU時間を自由にします。4つのDMAﾁｬﾈﾙは4つまでの独立した平行転送を許します。

DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能ﾚｼﾞｽﾀ間のﾃﾞｰﾀを直接移動することができます。全ての周辺機能へのｱｸｾｽとで、DMA制御器は通信単位部との自動的なﾃﾞｰﾀ転送を扱うことができます。DMA制御器はﾒﾓﾘ配置割り当てEEPROMから読むこともできます。

ﾃﾞｰﾀ転送は1,2,4,8ﾊﾞｲﾄの継続集中で行われます。それらは1ﾊﾞｲﾄから64Kﾊﾞｲﾄまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mﾊﾞｲﾄまで各塊転送を繰り返すのに使うことができます。転送元と転送先のｱﾄﾞﾚｽ指示は静止、増加、減少にすることができます。転送元と/または転送先のｱﾄﾞﾚｽの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ｿﾌﾄｳｪｱ、周辺機能と事象がDMA転送を起動することができます。

4つのDMAﾁｬﾈﾙは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAﾁｬﾈﾙで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのﾁｬﾈﾙを内部接続することができます。

9. 事象システム

9.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
  - CPUとDMAの個別動作
  - 100%予測可能な信号タイミング
  - 短く保証された応答時間
- CPUとDMAの個別動作
- 8つまでの異なる平行信号経路と構成設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
  - 直交復号
  - 入出力ピン変化のデジタル濾波
- 活動動作とアイドル動作で作動

9.2. 概要

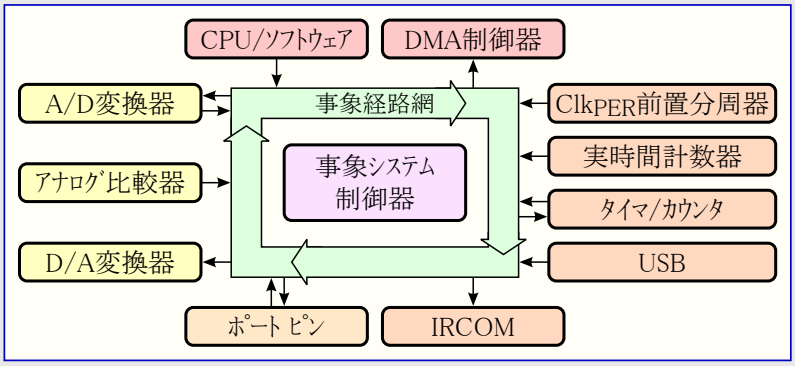
事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込み、CPU、またはDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図9-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)、USBインターフェースを共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象配線構成設定を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図9-1. 事象システム構成図



10. システム クロックとクロック選択

10.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
  - 32MHz走行時校正付き調整可能な発振器
  - 2MHz走行時校正付き発振器
  - 32.768kHz校正付き発振器
  - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
  - 0.4～16MHzクリスタル用発振器
  - 32.768kHzクリスタル用発振器
  - 外部クロック信号
- 20～128MHz出力周波数を持つPLL
  - 内部及び外部クロック任意選択と1～31逓倍
  - 固定化検出器
- 1～2048分周のクロック前置分周器
- CPUクロック周波数の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

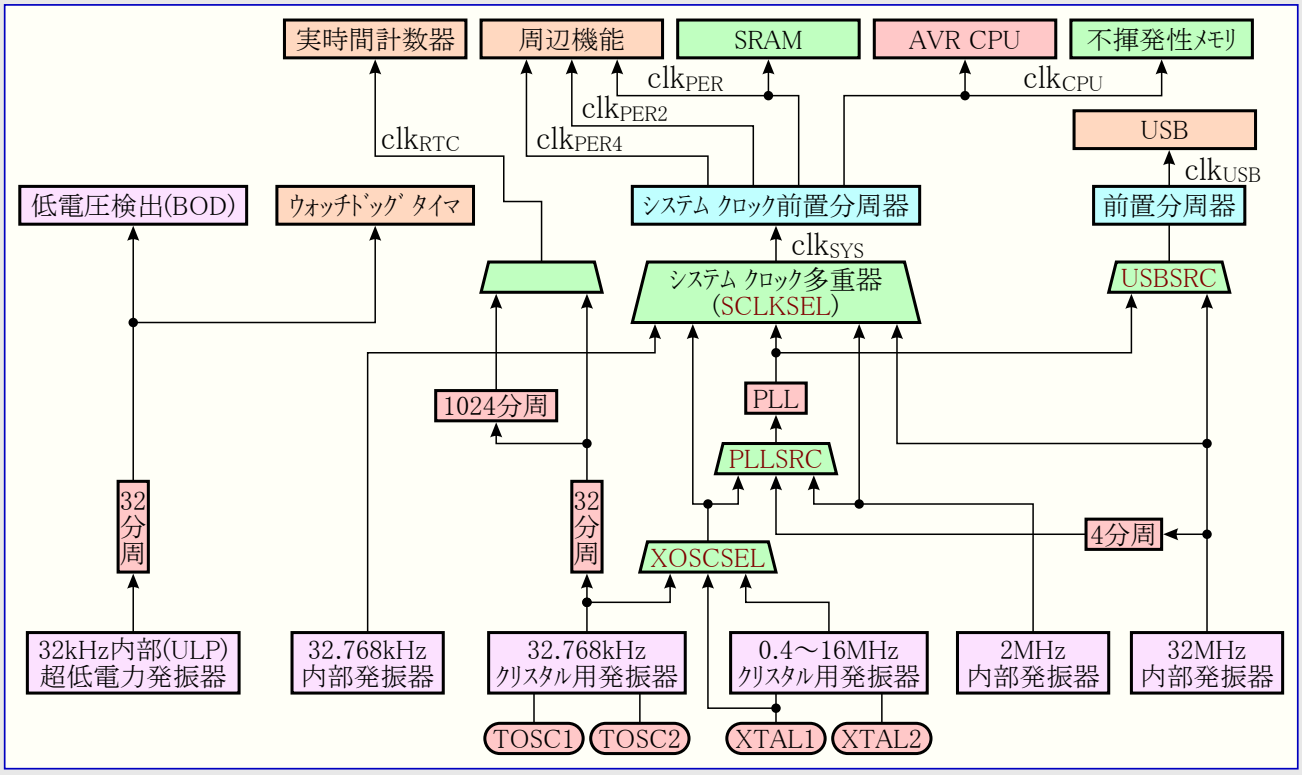
10.2. 概要

Atmel AVR XMEGA A3BUデバイスは多数のクロック元を支援する柔軟なクロック システムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図10-1.はXMEGA A3BU系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用用のクロックは17頁の「**電力管理と休止形態動作**」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。

図10-1. クロック システム、クロック元とクロック配給



10.3. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

10.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1KHz出力を提供する組み込み前置分周器を使います。この発振器はデバイスのどれかの部分に対してクロック元として使われる時に自動的に許可/禁止が行われます。

10.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。この発振器はシステム クロック、RTC、LCD、DFLL基準クロックに対するクロック元として使うことができます。

10.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

10.3.4. 0.4～16MHzクリスタル用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

10.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。温度と電圧の変動に対する補償と発振器精度最適化のため、走行時自動校正にデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)を許可することができます。

10.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器精度の最適化のための温度と電圧の変動に対する補償のため、走行時自動校正にDFLLを許可することができます。この発振器は30～55MHz間のどの周波数にも調整、校正することができます。製品識票列は発振器が全速(Full-speed)USBクロック元に使われる時に使用を意図される48MHz校正値を含みます。

10.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

10.3.8. 1～31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システム クロックを生成するのに使うことができます。PLLは使用者選択可能な1～31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。

11. 電力管理と休止形態動作

11.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
  - アイドル
  - パワーダウン
  - パワーセーブ
  - スタンバイ
  - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

11.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位部の停止をAtmel AVR XMEGAマイクロ コントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロ コントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

11.3. 休止形態動作

休止形態動作は節電のためにマイクロ コントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロ コントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

レジスタ ファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセット ベクタから始動して実行します。

11.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、割り込み制御器、事象システムとDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

11.3.2. パワーダウン動作

パワーダウン動作では実時間計数器クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線インターフェース アドレス一致割り込み、非同期ポート割り込み、USB再開割り込みだけです。

11.3.3. パワーセーブ動作

パワーセーブ動作は1つの例外(以下)を除いてパワーダウン動作と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することできます。

11.3.4. スタンバイ動作

スタンバイ動作は許可されているシステム クロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いてパワーダウン動作と同じです。これは起動時間を減らします。

11.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステム クロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いてパワーセーブ動作と同じです。これは起動時間を減らします。

12. システム制御とリセット

12.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
  - 電源ONリセット
  - 外部リセット
  - ウォッチドッグ リセット
  - 低電圧(Brown-out)リセット
  - PDIリセット
  - ソフトウェア リセット
- 非同期動作
  - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

12.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

12.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

12.4. リセット元

12.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。

12.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

12.4.3. 外部リセット

外部リセット回路は外部$\overline{\text{RESET}}$ピンに接続されています。$\overline{\text{RESET}}$ピンが最小パルス時間t_{EXT}より長く$\overline{\text{RESET}}$ピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセット ピンは内部プルアップ抵抗を内包します。

12.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1～2クロック周期の間、活性(有効)です。より多くの詳細については20頁の「WDT – ウォッチドッグ タイマ」をご覧ください。

12.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

12.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

13. WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

13.1. 要点

- 計時経過時間前に計時器がﾘｾｯﾄされない場合にﾃﾞﾊﾞｲｽ ﾘｾｯﾄを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための構成設定施錠

13.2. 概要

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は正しいﾌﾟﾛｸﾞﾗﾑ動作を監視するｼｽﾃﾑ機能です。暴走や停滞ｺｰﾄﾞのような異常状況からの回復を可能にします。WDTはﾀｲﾏで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にﾘｾｯﾄされない場合、WDTはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾘｾｯﾄを発行します。WDTは応用ｺｰﾄﾞからのWDR(Watchdog Timer Reset)命令を実行することによってﾘｾｯﾄされます。

窓動作はWDTがﾘｾｯﾄされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でﾘｾｯﾄされると、ｼｽﾃﾑ ﾘｾｯﾄが発行されます。標準動作に比べ、これはｺｰﾄﾞ異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なｸﾛｯｸ元で動作し、例え主ｸﾛｯｸが停止したとしても、ｼｽﾃﾑ ﾘｾｯﾄを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのﾋｭｰｽﾞも利用可能です。

14. 電池代替支援システム

14.1. 要点

- 以下に対する専用VBATピンからの電池代替電圧供給
  - 1つの超低電力32ビット実時間計数器(RTC)
  - 1つの停止検出監視器付き32.768kHzクリスタル用発振器
  - 2つの支援レジスタ
- 実時間計数器走行込みで500nAの代表的な電力消費
- 以下の条件での主電力から電池代替電力への自動的な切り換え
  - 低電圧検出(BOD:Brown-Out Detection)リセット
- 電池代替電力から主電力への自動的な切り換え
  - 低電圧検出リセット(BOR)開放後のデバイス リセット
  - 電源ONリセット(POR)とBOR解放後のデバイス リセット

14.2. 概要

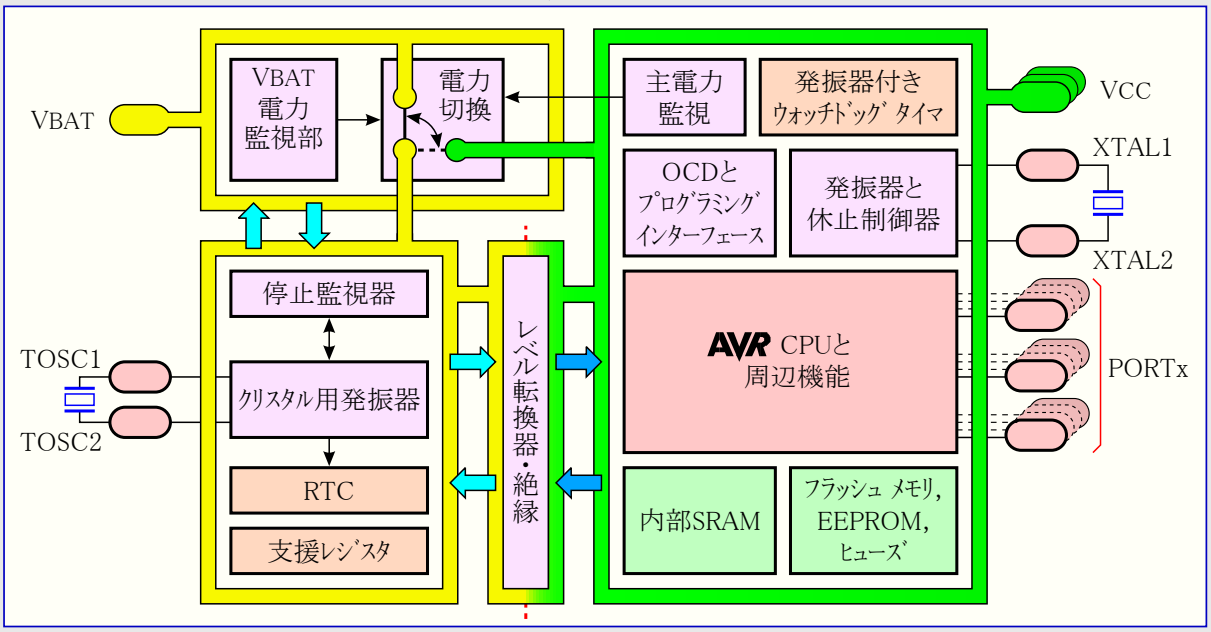
Atmel AVR XMEGA系統は実時間計数器(RTC)、低電圧検出器(BOD)とウォッチドッグ タイマ許可で2µA以下の節電消費電流を持つ極端に低い漏れの製法で既に動いています。それでも、時間を保ち続けることが重要ないくつかの応用に関して、システムは日々の作業に使われる1つの主電池または電源と、時間を保ち続ける機能用に1つの代替電池を持ちます。電池代替システムは主電力と電池代替電力間の自動電力切り換えを可能にする機能を含みます。**図14-1.**はこのシステムの概要を示します。

電池代替支援単位部は専用のVBAT電力ピンへの代替電池接続を支援します。これは主電池または電源が利用不能の時に、32ビット実時間計数器、停止検出監視器付き32.768kHzクリスタル用発振器と2つの支援レジスタへの電力を保証します。

主電力喪失で、デバイスはこれを自動的に検知し、電池代替支援単位部がVBATピンからの給電に切り換えます。主電力が回復されてしまい、そして電源ONリセット(POR)と低電圧検出リセット(BOR)の両方の元が開放された後で、電池代替支援単位部は再び主電量からの給電に切り換え戻します。

32ビット実時間計数器(RTC)はVBATから動いている時に、TOSC1とTOSC2のピン間に接続される32.768kHzクリスタル用発振器の1Hz出力からクロック駆動されなければなりません。32ビットRTCのより多くの詳細については32頁の「**RTC32 – 32ビット実時間計数器**」を参照してください。

図14-1. 電池代替支援単位部とその電力領域実装



15. 設定可能な多段割り込み制御器

15.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みﾍﾞｸﾀ
- 設定可能な多段割り込み制御器
  - 段位と割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに従った割り込み優先順化
  - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
  - 低位割り込み内での選択可能なﾗｳﾝﾄﾞ ﾛﾋﾞﾝ優先権の仕組み
  - 重大な機能用の遮蔽不可割り込み
- 応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域に任意選択で配置される割り込みﾍﾞｸﾀ

15.2. 概要

割り込みは周辺機能の状態変化を合図し、これはﾌﾟﾛｸﾞﾗﾑ実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀを指示するように設定され、割り込み処理ﾙｰﾁﾝを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先ﾚﾍﾞﾙを選択できます。割り込みはそれらの段位とそれらのﾍﾞｸﾀ ｱﾄﾞﾚｽに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各ﾚﾍﾞﾙ内では割り込み優先権が割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽから決められ、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、ｼｽﾃﾑの重大な機能に使うことができます。

15.3. 割り込みﾍﾞｸﾀ

割り込みﾍﾞｸﾀは周辺機能の基準割り込みｱﾄﾞﾚｽと各周辺機能内の特定割り込みに対する変位ｱﾄﾞﾚｽの合計です。Atmel AVR XMEGA A3BUﾃﾞﾊﾞｲｽに関する基準ｱﾄﾞﾚｽは表15-1.で示されます。周辺機能で利用可能な各割り込みに対する変位ｱﾄﾞﾚｽはXMEGA AU手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または単位部については表15-1.で割り込みﾍﾞｸﾀが示されます。ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽは語ｱﾄﾞﾚｽです。

表15-1. ﾘｾｯﾄと割り込みのﾍﾞｸﾀ

ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽ（基準ｱﾄﾞﾚｽ）	供給元	割り込み内容
$000000	RESET	
$000002	OSCF_INT_vect	ｸﾘｽﾀﾙ用発振器停止割り込みﾍﾞｸﾀ (NMI)
$000004	PORTC_INT_base	ﾎﾟｰﾄC割り込み基準
$000008	PORTR_INT_base	ﾎﾟｰﾄR割り込み基準
$00000C	DMA_INT_base	DMA制御器割り込み基準
$000014	RTC32_INT_base	32ﾋﾞｯﾄ実時間計数器割り込み基準
$000018	TWIC_INT_base	ﾎﾟｰﾄC上の2線ｲﾝﾀｰﾌｪｰｽ割り込み基準
$00001C	TCC0_INT_base	ﾎﾟｰﾄC上のﾀｲﾏ/ｶｳﾝﾀ0割り込み基準
$000028	TCC1_INT_base	ﾎﾟｰﾄC上のﾀｲﾏ/ｶｳﾝﾀ1割り込み基準
$000030	SPIC_INT_vect	ﾎﾟｰﾄC上の直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)割り込みﾍﾞｸﾀ
$000032	USARTC0_INT_base	ﾎﾟｰﾄC上のUSART0割り込み基準
$000038	USARTC1_INT_base	ﾎﾟｰﾄC上のUSART1割り込み基準
$00003E	AES_INT_vect	AES割り込みﾍﾞｸﾀ
$000040	NVM_INT_base	不揮発性ﾒﾓﾘ割り込み基準
$000044	PORTB_INT_base	ﾎﾟｰﾄB割り込み基準
$000048	ACB_INT_base	ﾎﾟｰﾄB上のｱﾅﾛｸﾞ比較器割り込み基準
$00004E	ADCB_INT_base	ﾎﾟｰﾄB上のA/D変換器割り込み基準
$000056	PORTE_INT_base	ﾎﾟｰﾄE割り込み基準
$00005A	TWIE_INT_base	ﾎﾟｰﾄE上の2線ｲﾝﾀｰﾌｪｰｽ割り込み基準
$00005E	TCE0_INT_base	ﾎﾟｰﾄE上のﾀｲﾏ/ｶｳﾝﾀ0割り込み基準
$00006A	TCE1_INT_base	ﾎﾟｰﾄE上のﾀｲﾏ/ｶｳﾝﾀ1割り込み基準
$000074	USARTE0_INT_base	ﾎﾟｰﾄE上のUSART0割り込み基準
$000080	PORTD_INT_base	ﾎﾟｰﾄD割り込み基準
$000084	PORTA_INT_base	ﾎﾟｰﾄA割り込み基準
$000088	ACA_INT_base	ﾎﾟｰﾄA上のｱﾅﾛｸﾞ比較器割り込み基準
$00008E	ADCA_INT_base	ﾎﾟｰﾄA上のA/D変換器割り込み基準
$00009A	TCD0_INT_base	ﾎﾟｰﾄD上のﾀｲﾏ/ｶｳﾝﾀ0割り込み基準
$0000A6	TCD1_INT_base	ﾎﾟｰﾄD上のﾀｲﾏ/ｶｳﾝﾀ1割り込み基準
$0000AE	SPID_INT_vect	ﾎﾟｰﾄD上の直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)割り込みﾍﾞｸﾀ
$0000B0	USARTD0_INT_base	ﾎﾟｰﾄD上のUSART0割り込み基準
$0000B6	USARTD1_INT_base	ﾎﾟｰﾄD上のUSART1割り込み基準
$0000D0	PORTF_INT_base	ﾎﾟｰﾄF割り込み基準
$0000D8	TCF0_INT_base	ﾎﾟｰﾄF上のﾀｲﾏ/ｶｳﾝﾀ0割り込み基準
$0000EE	USARTF0_INT_base	ﾎﾟｰﾄF上のUSART0割り込み基準
$0000FA	USB_INT_base	ﾎﾟｰﾄD上のUSB割り込み基準

16. 入出力ﾎﾟｰﾄ

16.1. 要点

- 個別構成設定を持つ47本の汎用入出力ﾋﾟﾝ
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
  - ｺﾝﾌﾟﾘﾒﾝﾀﾘ
  - ﾜｲﾔｰﾄﾞAND
  - ﾜｲﾔｰﾄﾞOR
  - ﾊﾞｽ保持
  - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowﾚﾍﾞﾙ感知
- 入力とﾜｲﾔｰﾄﾞOR/AND構成設定での任意選択のﾌﾟﾙｱｯﾌﾟとﾌﾟﾙﾀﾞｳﾝの抵抗
- 任意選択のｽﾘｭｰﾚｰﾄ制御
- 全休止形態からﾃﾞﾊﾞｲｽを起動できる非同期ﾋﾟﾝ変化感知
- 入出力ﾎﾟｰﾄ毎でﾋﾟﾝ遮蔽を持つ2つのﾎﾟｰﾄ割り込み
- ﾎﾟｰﾄ ﾋﾟﾝへの効率的で安全なｱｸｾｽ
  - 専用の切り換え、解除(0)、設定(1)用ﾚｼﾞｽﾀ通すﾊｰﾄﾞｳｪｱ読み-変更-書き
  - 単一操作で複数ﾋﾟﾝの構成設定
  - ﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へﾎﾟｰﾄ ﾚｼﾞｽﾀの割り当て
- ﾎﾟｰﾄ ﾋﾟﾝでの周辺機能ｸﾛｯｸ出力
- ﾎﾟｰﾄ ﾋﾟﾝでの実時間計数器ｸﾛｯｸ出力
- 事象ﾁｬﾈﾙがﾎﾟｰﾄ ﾋﾟﾝで出力可能
- ﾃﾞｼﾞﾀﾙ周辺機能ﾋﾟﾝの再割り当て
  - 選択可能なUSART、SPI、ﾀｲﾏ/ｶｳﾝﾀの入出力ﾋﾟﾝ位置

16.2. 概要

1つのﾎﾟｰﾄはﾋﾟﾝ0～7で最大8つのﾎﾟｰﾄ ﾋﾟﾝから成ります。各ﾎﾟｰﾄ ﾋﾟﾝは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なﾋﾟﾝ変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ﾋﾟﾝ変化感知はｸﾛｯｸが全く動かない形態を含む全ての休止形態からﾋﾟﾝ変化がﾃﾞﾊﾞｲｽを起こせることを意味します。

全ての機能はﾋﾟﾝ毎に個別で構成設定可能ですが、単一操作で多数のﾋﾟﾝを構成設定することができます。ﾋﾟﾝは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのﾊｰﾄﾞｳｪｱ読み-変更-書き(RMW)機能を持ちます。1つのﾎﾟｰﾄ ﾋﾟﾝの方向は他のどのﾋﾟﾝの方向をも予期せず変更することなく変えることができます。

ﾎﾟｰﾄ ﾋﾟﾝ構成設定は他のﾃﾞﾊﾞｲｽ機能の入出力選択も制御します。それはﾎﾟｰﾄ ﾋﾟﾝへの周辺機能ｸﾛｯｸと実時間ｸﾛｯｸの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象ｼｽﾃﾑからの事象に適用されます。応用の必要性に対するﾋﾟﾝ配置の最適化のため、USART、SPI、ﾀｲﾏ/ｶｳﾝﾀのような他のﾃﾞｼﾞﾀﾙ周辺機能は選択可能なﾋﾟﾝ位置に再割り当てすることができます。

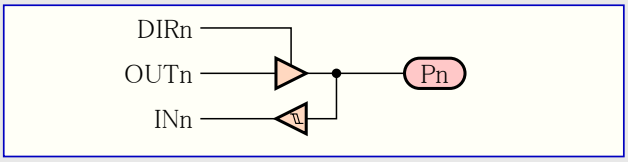
ﾎﾟｰﾄの表記は、PORTA、PORTB、PORTC、PORTD、PORTE、PORTF、PORTRです。

16.3. 出力駆動部

全てのﾎﾟｰﾄ ﾋﾟﾝ(Pn)は設定可能な出力構成設定を持ちます。電磁放射を減らすため、ﾎﾟｰﾄ ﾋﾟﾝは構成設定可能なｽﾘｭｰﾚｰﾄ制限も持ちます。

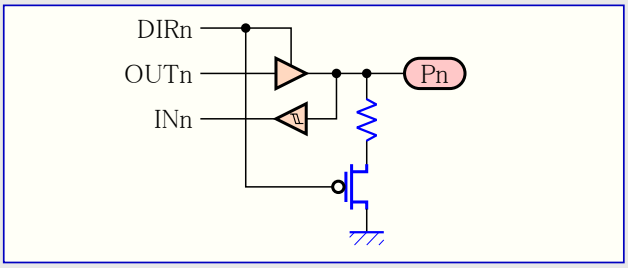
16.3.1. ｺﾝﾌﾟﾘﾒﾝﾀﾘ (ﾌﾟｯｼｭﾌﾟﾙ)

図16-1. I/Oﾋﾟﾝ形態 - ｺﾝﾌﾟﾘﾒﾝﾀﾘ (ﾌﾟｯｼｭﾌﾟﾙ)



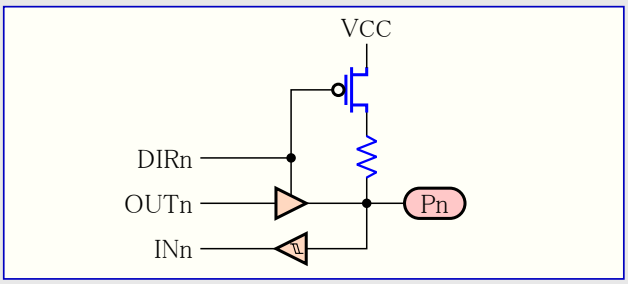
16.3.2. ﾌﾟﾙﾀﾞｳﾝ

図16-2. I/Oﾋﾟﾝ形態 – 入力ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



16.3.3. ﾌﾟﾙｱｯﾌﾟ

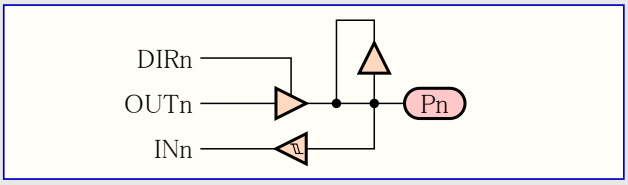
図16-3. I/Oﾋﾟﾝ形態 – 入力ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



16.3.4. ﾊﾞｽ保持

ﾊﾞｽ保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならﾌﾟﾙｱｯﾌﾟとして、最後の値が0だったなら、ﾌﾟﾙﾀﾞｳﾝとして働きます。

図16-4. I/Oﾋﾟﾝ形態 – ﾊﾞｽ保持付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



16.3.5. その他

図16-5. 出力形態 – 任意選択ﾌﾟﾙﾀﾞｳﾝ付きﾜｲﾔｰﾄﾞOR

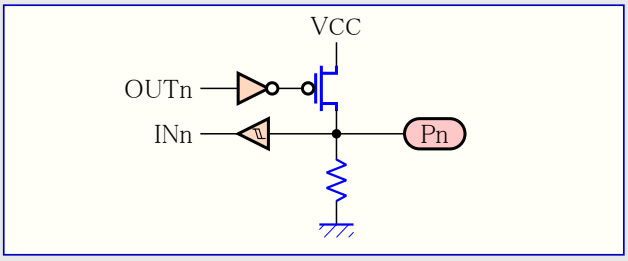
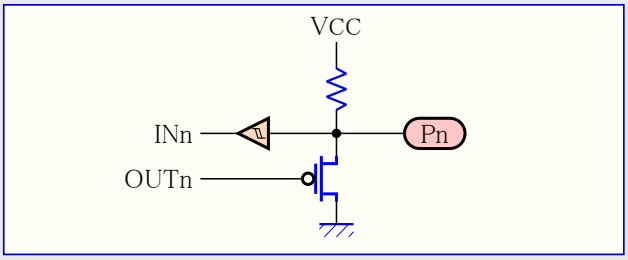


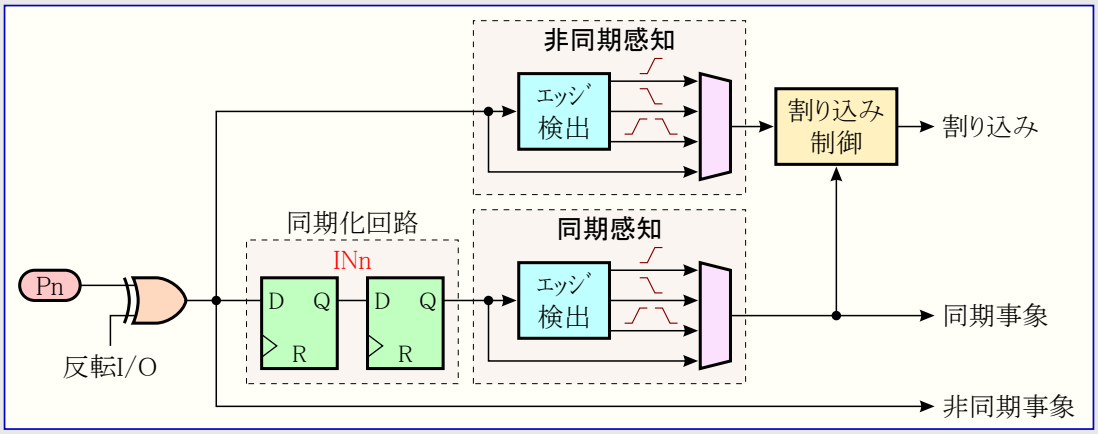
図16-6. 出力形態 – 任意選択ﾌﾟﾙｱｯﾌﾟ付きﾜｲﾔｰﾄﾞAND



16.4. 入力感知

入力感知はﾎﾟｰﾄに対して許可されたｸﾛｯｸに依存して同期または非同期で、この形態は図16-7.で示されます。

図16-7. 入力感知ｼｽﾃﾑ概要



ﾋﾟﾝが反転I/Oで構成設定されると、ﾋﾟﾝ値は入力感知前に反転されます。

16.5. 交換ﾎﾟｰﾄ機能

殆どのﾎﾟｰﾄ ﾋﾟﾝは汎用I/Oﾋﾟﾝであることに加えて交換ﾋﾟﾝ機能を持ちます。機能交換が許可されると、それは通常ﾎﾟｰﾄ ﾋﾟﾝ機能またはﾋﾟﾝ値を無効にするかもしれません。これは他の周辺機能で必要とするﾋﾟﾝが許可または使用ﾋﾟﾝに構成設定される時に起きます。周辺機能がどう無効にして、ﾋﾟﾝをどう使うかはその周辺機能に関する章で記述されます。46頁の「ﾋﾟﾝ配置とﾋﾟﾝ機能」は周辺機能でどの単位部がﾋﾟﾝでの交換機能を許可するのかと、どの交換機能がﾋﾟﾝで利用可能かを示します。

17. TC0/1 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0型と1型

17.1. 要点

- 7つの16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 4つの0型ﾀｲﾏ/ｶｳﾝﾀ
  - 3つの1型ﾀｲﾏ/ｶｳﾝﾀ
  - 各0型ﾀｲﾏ/ｶｳﾝﾀから2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを許す分割動作形態
- 2つのﾀｲﾏ/ｶｳﾝﾀの縦列接続によって支援される32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 4つまでの組み合わせた比較と捕獲(CC)ﾁｬﾈﾙ
  - 0型のﾀｲﾏ/ｶｳﾝﾀに対して4つのCCﾁｬﾈﾙ
  - 1型のﾀｲﾏ/ｶｳﾝﾀに対して2つのCCﾁｬﾈﾙ
- 2重緩衝されたﾀｲﾏ定期間設定
- 2重緩衝された比較と捕獲のﾁｬﾈﾙ
- 波形生成:
  - 周波数生成
  - 単一傾斜ﾊﾟﾙｽ幅変調
  - 2傾斜ﾊﾟﾙｽ幅変調
- 捕獲:
  - 雑音消去付き捕獲入力
  - 周波数捕獲
  - ﾊﾟﾙｽ幅捕獲
  - 32ﾋﾞｯﾄ捕獲入力
- ﾀｲﾏ経過溢れとﾀｲﾏ異常の割り込み/事象
- CCﾁｬﾈﾙ当たり1つの比較一致または捕獲の割り込み/事象
- 事象ｼｽﾃﾑと共に以下が使用可能:
  - 直交復号
  - 計数と方向の制御
  - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
  - 周波数と波形の分解能を2ﾋﾞｯﾄ(×4)または3ﾋﾞｯﾄ(×8)増加
- AWeX – 新波形拡張
  - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
  - 駆動部の安全な禁止のための事象制御された障害保護

17.2. 概要

Atmel AVR XMEGAﾃﾞﾊﾞｲｽは7つの柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(TC)の組を持ちます。それらの能力には、正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ、周波数と波形の生成、事象管理、ﾃﾞｼﾞﾀﾙ信号の時間と周波数の測定付きの捕獲入力を含みます。2つのﾀｲﾏ/ｶｳﾝﾀは任意選択の32ﾋﾞｯﾄ捕獲を持つ32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを作成するために縦列接続することができます。

ﾀｲﾏ/ｶｳﾝﾀは基本計数器と比較または捕獲(CC)ﾁｬﾈﾙの組から成ります。基本計数器はｸﾛｯｸ周期または事象を計数するのに使えます。これは方向制御とﾀｲﾐﾝｸﾞに使うことができる定期設定を持ちます。CCﾁｬﾈﾙは基本計数器と共に、比較一致制御、周波数生成、ﾊﾟﾙｽ幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。ﾀｲﾏ/ｶｳﾝﾀは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

ﾀｲﾏ/ｶｳﾝﾀは任意選択の前置分周付きの周辺機能ｸﾛｯｸまたは事象ｼｽﾃﾑからｸﾛｯｸ駆動と計時を行うことができます。事象ｼｽﾃﾑは方向制御と捕獲起動、または動作の同期にも使うことができます。

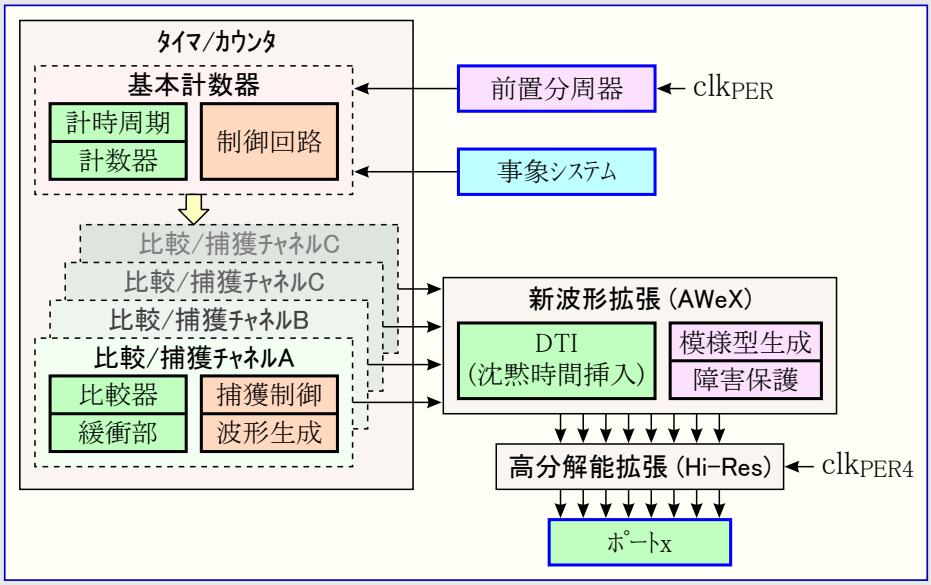
ﾀｲﾏ/ｶｳﾝﾀの0型と1型間には2つの違いがあります。ﾀｲﾏ/ｶｳﾝﾀ0は4つのCCﾁｬﾈﾙを持ち、ﾀｲﾏ/ｶｳﾝﾀ1は2つのCCﾁｬﾈﾙを持ちます。CCﾁｬﾈﾙCとCCﾁｬﾈﾙDに関連する全ての情報はﾀｲﾏ/ｶｳﾝﾀ0に対してだけ有効です。ﾀｲﾏ/ｶｳﾝﾀ0だけが各々4つの比較ﾁｬﾈﾙを持つ2つ8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに分割する分割動作機能を持ちます。

いくつかのﾀｲﾏ/ｶｳﾝﾀはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ﾎﾟｰﾄ ﾋﾟﾝの向こう側への同期したﾋﾞｯﾄ様式を生成することもできます。

新波形拡張はﾀｲﾏ/ｶｳﾝﾀに対して追加のもっと進化した機能の提供を許します。これはﾀｲﾏ/ｶｳﾝﾀ0でだけ利用可能です。より多くの詳細については30頁の「AWeX – 新波形拡張」をご覧ください。

高分解能(Hi-Res)拡張は周辺機能ｸﾛｯｸよりも最大4倍速く走行する内部ｸﾛｯｸ元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。より多くの詳細については31頁の「Hi-Res – 高分解能拡張」をご覧ください。

図17-1. タイマ/カウンタと密接に関連する周辺機能の概要



ポートC、ポートD、ポートEは各々、1つのタイマ/カウンタ0と1つのタイマ/カウンタ1を持ち、ポートFは1つのタイマ/カウンタ0を持ちます。これらの表記は各々、TCC0(タイマ/カウンタC0)、TCC1、TCD0、TCD1、TCE0、TCE1、TCF0です。

18. TC2 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2型

18.1. 要点

- 8つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 4つの下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 4つの上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 各ﾀｲﾏ/ｶｳﾝﾀ2で最大8つの比較ﾁｬﾈﾙ
  - 下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の4つの比較ﾁｬﾈﾙ
  - 上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の4つの比較ﾁｬﾈﾙ
- 波形生成
  - 単一傾斜ﾊﾟﾙｽ幅変調
- 計時器漏れ(ｱﾝﾀﾞｰﾌﾛｰ)割り込み/事象
- 下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の比較ﾁｬﾈﾙ当たり1つの比較一致割り込み/事象
- 計数制御に対して事象ｼｽﾃﾑとで使用可
- DMA転送単位処理起動に使用可

18.2. 概要

3つのﾀｲﾏ/ｶｳﾝﾀ2があります。これらはﾀｲﾏ/ｶｳﾝﾀ0が分割動作に設定される時に実現されます。これは各々4つの比較ﾁｬﾈﾙを持つ2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀのｼｽﾃﾑです。これは個別に制御されるﾃﾞｭｰﾃｨ ｻｲｸﾙを持つ8つの構成設定可能なﾊﾟﾙｽ幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMﾁｬﾈﾙが必要な応用に意図されています。

2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀはこのｼｽﾃﾑに於いて各々、下位ﾊﾞｲﾄﾀｲﾏ/ｶｳﾝﾀと上位ﾊﾞｲﾄﾀｲﾏ/ｶｳﾝﾀとして参照されます。それらの違いは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀだけが比較一致割り込み、事象、DMA起動を生成するのに使えることです。2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは共用されるｸﾛｯｸ元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能ｸﾛｯｸから、または事象ｼｽﾃﾑからｸﾛｯｸ駆動と計時をすることができます。計数器は常に下降計数です。

ﾎﾟｰﾄC、ﾎﾟｰﾄD、ﾎﾟｰﾄE、ﾎﾟｰﾄFは各々1つのﾀｲﾏ/ｶｳﾝﾀ2を持ちます。これらの表記は各々、TCC2(ﾀｲﾏ/ｶｳﾝﾀC2)、TCD2、TCE2、TCF2です。

19. AWeX – 新波形生成拡張

19.1. 要点

- 各比較ﾁｬﾈﾙからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
  - 8ﾋﾞｯﾄ分解能
  - 独立したHigh側とLow側の沈黙時間設定
  - 2重緩衝された沈黙時間
  - 任意選択の沈黙時間中の停止計時器
- ﾎﾟｰﾄ ﾋﾟﾝに渡って同期したﾋﾞｯﾄ様式を生成する模様型生成部
  - 2重緩衝された模様型生成
  - 任意選択のﾎﾟｰﾄ ﾋﾟﾝに渡る1つの比較ﾁｬﾈﾙ出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

19.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのﾀｲﾏ/ｶｳﾝﾀに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ﾎﾟｰﾄ ﾋﾟﾝに渡る同期されたﾋﾞｯﾄ模様を生成することもできます。

ﾀｲﾏ/ｶｳﾝﾀ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通って行きます。DTI出力はﾎﾟｰﾄ無効化設定に従って標準ﾎﾟｰﾄ値を無効にします。

模様型生成部はそれが接続されたﾎﾟｰﾄで同期したﾋﾞｯﾄ模様の生成に使うことができます。加えて、比較ﾁｬﾈﾙAからのWG出力は全てのﾎﾟｰﾄ ﾋﾟﾝを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象ｼｽﾃﾑに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象ｼｽﾃﾑは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

AWeXはTCC0に対して利用可能です。これの表記はAWEXCです。

20. Hi-Res – 高分解能拡張

20.1. 要点

- 波形生成器分解能を最大8倍(3ﾋﾞｯﾄ)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じﾀｲﾏ/ｶｳﾝﾀに使われる時にAWeXを支援

20.2. 概要

高分解能(Hi-Res)拡張はﾀｲﾏ/ｶｳﾝﾀからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはﾀｲﾏ/ｶｳﾝﾀに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じﾀｲﾏ/ｶｳﾝﾀに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能ｸﾛｯｸ(clk_{PER4})を使います。ｼｽﾃﾑ ｸﾛｯｸ前置分周器はHi-Res拡張が許可される時に4倍周辺機能ｸﾛｯｸがCPUと周辺機能のｸﾛｯｸ周波数よりも4倍高くなるように構成設定されなければなりません。

ﾎﾟｰﾄC、ﾎﾟｰﾄD、ﾎﾟｰﾄE、ﾎﾟｰﾄFの各ﾀｲﾏ/ｶｳﾝﾀ対に対して各々が許可することができる4つのHi-Res拡張があります。これらの表記は各々、HIRESC、HIRESD、HIRESE、HIRESFです。

21. RTC32 – 32ﾋﾞｯﾄ実時間計数器

21.1. 要点

- 32ﾋﾞｯﾄ分解能
- 1つの比較ﾚｼﾞｽﾀ
- 1つの定期ﾚｼﾞｽﾀ
- 上昇溢れでの計時器解除
- 上昇溢れと比較一致での任意選択の割り込み/事象
- 選択可能な基準ｸﾛｯｸ
  - 1.024kHz
  - 1Hz
- VCC電力領域との動的切り換えを持つ絶縁されたVBAT電力領域

21.2. 概要

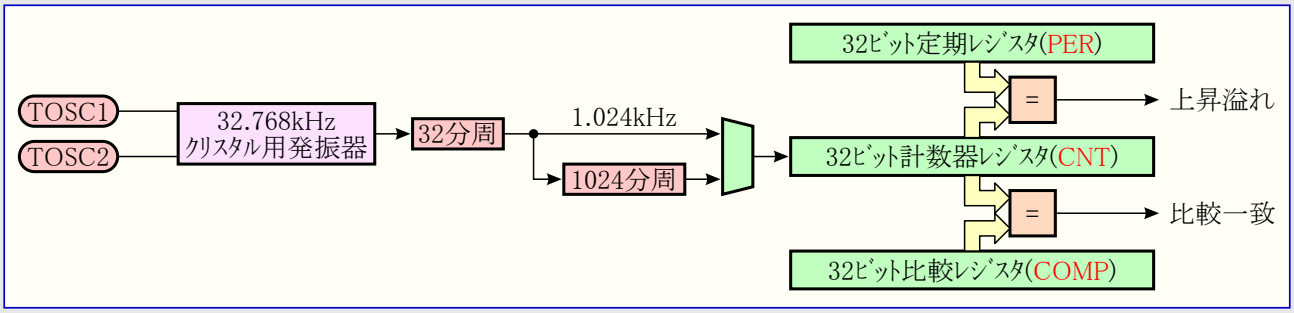
32ﾋﾞｯﾄ実時間計数器(RTC)は時間の経緯を保つために低電力休止動作形態を含んで、代表的に継続して走行する計数器です。それは休止動作形態からﾃﾞﾊﾞｲｽを起き上がらせて、そして/または周期的な間隔でﾃﾞﾊﾞｲｽに割り込むことができます。

基準ｸﾛｯｸは高精度32.768kHzｸﾘｽﾀﾙから生成され、その設計は低電力消費に最適化されています。RTCは代表的に低電力休止形態動作で動き、時間の経緯を保ち、定期的な間隔でﾃﾞﾊﾞｲｽを起動します。

RTCの入力ｸﾛｯｸは32.768kHz基準ｸﾛｯｸから前置分周された1.024kHzまたは1Hzから取ることができます。RTCは計数値が比較(COMP)ﾚｼﾞｽﾀ値と等しい時に比較割り込み要求や事象を生じます。RTCは計数値が定期(PER)ﾚｼﾞｽﾀ値と等しい時に溢れ割り込み要求や事象を生じます。計数器溢れは計数器値を0にもﾘｾｯﾄします。

32ﾋﾞｯﾄ実時間計数器(RTC)はVBATから動いている時に、TOSC1とTOSC2のﾋﾟﾝ間に接続される32.768kHzｸﾘｽﾀﾙ用発振器の1Hz出力からｸﾛｯｸ駆動されなければなりません。

図21-1. 実時間計数器概要



22. USB - 万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ

22.1. 要点

- 1つのUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)装置適合ｲﾝﾀｰﾌｪｰｽ
- 統合されたﾁｯﾌﾟ上USB送受信部、外部部品不要
- 31までのｴﾝﾄﾞﾎﾟｲﾝﾄに対する完全なｴﾝﾄﾞﾎﾟｲﾝﾄ柔軟性を持つ16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの入力ｴﾝﾄﾞﾎﾟｲﾝﾄ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの出力ｴﾝﾄﾞﾎﾟｲﾝﾄ
- 選択可能なｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ転送形式
  - 制御(Control)転送
  - 割り込み(Interrupt)転送
  - 大量(Bulk)転送
  - 等時(Isochronous)転送
- 設定可能なｴﾝﾄﾞﾎﾟｲﾝﾄ当たりのﾃﾞｰﾀ本体量、最大1023ﾊﾞｲﾄ
- 内部SRAM内に配置されたｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定ﾃﾞｰﾀに対する構成設定可能な位置
  - 各ｴﾝﾄﾞﾎﾟｲﾝﾄのﾃﾞｰﾀ緩衝部に対する構成設定可能な位置
- 以下のための内部SRAMとの組み込み直接ﾒﾓﾘ入出力(DMA)
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ読み書き
- より高い単位処理量のためのﾋﾟﾝﾎﾟﾝ動作と2重緩衝動作
  - 単一方向で使われる入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ緩衝部
  - 転送中にCPU/DMA制御器がﾃﾞｰﾀ緩衝部を更新可
- 割り込み負荷とｿﾌﾄｳｪｱ介在を減らすための複数ﾊﾟｹｯﾄ転送
  - 1つの継続する転送で転送される最大ﾊﾟｹｯﾄ量を超えるﾃﾞｰﾀ本体
  - ﾊﾟｹｯﾄ転送段階での割り込みまたはｿﾌﾄｳｪｱの相互作用なし
- 複数ｴﾝﾄﾞﾎﾟｲﾝﾄ使用時の作業の流れ用の転送単位処理完了FIFO
  - 到着先行、処理作業待ち行列先行での完了された全ての転送単位処理の経緯
- ｼｽﾃﾑ ｸﾛｯｸ元と選択に無関係なｸﾛｯｸ選択
- 低速USB動作に必要とされる最小1.5MHzのCPUｸﾛｯｸ
- 全速動作に必要とされる最小12MHzのCPUｸﾛｯｸ
- 事象ｼｽﾃﾑへの接続
- USB転送単位処理中のﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞの可能性

22.2. 概要

USBｲﾝﾀｰﾌｪｰｽはUSB2.0全速(Full^speed:12Mbps)と低速(Low-speed:1.5Mbps)の装置の適合ｲﾝﾀｰﾌｪｰｽです。

これは16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽを支援します。全てのｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽは1つの入力と1つの出力のｴﾝﾄﾞﾎﾟｲﾝﾄ、計32のｴﾝﾄﾞﾎﾟｲﾝﾄを持ちます。各ｴﾝﾄﾞﾎﾟｲﾄ ｱﾄﾞﾚｽは完全に構成設定可能で、制御(Control)、割り込み(Interrupt)、大量(Bulk)、等時(Iso-chronous)の4つの転送形式のどれにも構成設定することができます。ﾃﾞｰﾀ本体量も選択可能で、1023ﾊﾞｲﾄまでのﾃﾞｰﾀ本体を支援します。

専用ﾒﾓﾘはUSB単位部に全く配置または含まれません。各ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽに対する構成設定を保つのと、各ｴﾝﾄﾞﾎﾟｲﾝﾄ用のﾃﾞｰﾀ緩衝部に内部SRAMが使われます。ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部に使われるﾒﾓﾘ位置は完全に構成設定可能です。割り当てられたﾒﾓﾘの量は使うｴﾝﾄﾞﾎﾟｲﾝﾄの数とそれらの構成設定に応じて完全に動的です。USB単位部は組み込み直接ﾒﾓﾘ入出力(DMA)を持ちUSB転送単位処理が起こる時にSRAMとﾃﾞｰﾀを読み書きします。

最大単位処理量のため、ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽはﾋﾟﾝﾎﾟﾝ動作に構成設定することができます。これが行われると、入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄが両方共同じ方向で使われます。そしてCPUやDMA制御器が1つのﾃﾞｰﾀ緩衝部を読み/書きすると同時にUSB単位部が他方を読み/書きすることができ、その逆もです。これは2重緩衝通信を与えます。

複数ﾊﾟｹｯﾄ転送はｿﾌﾄｳｪｱ介在なしの複数ﾊﾟｹｯﾄとして転送されるべきｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾊﾟｹｯﾄ容量を超えるﾃﾞｰﾀ本体を許します。これはUSB転送に必要とされるCPU介在と割り込みを減らします。

低電力動作のため、USB単位部はUSBﾊﾞｽがｱｲﾄﾞﾙで休止条件が与えられた時にﾏｲｸﾛ ｺﾝﾄﾛｰﾗをどれかの休止形態に置くことができます。ﾊﾞｽ再開で、USB単位部はどの休止形態からもﾏｲｸﾛ ｺﾝﾄﾛｰﾗを起こすことができます。

ﾎﾟｰﾄDは1つのUSBを持ちます。これの表記はUSBです。

23. TWI – 2線インターフェース

23.1. 要点

- 2つの同様のTWI周辺機能
- 双方向2線インターフェース
  - Phillips社I²C適合
  - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
  - 従装置動作
  - 単一バス権利者(主装置)動作
  - 複数バス権利者(主装置)環境でのバス権利者(主装置)
  - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
  - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
  - 10ビット アドレス指定支援
  - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
  - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

23.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

ポートCとポートEは各々1つのTWIを持ちます。これらの周辺機能の表記はTWICとTWIEです。

24. SPI – 直列周辺インターフェース

24.1. 要点

- 2つの同様なSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

24.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはAtmel AVR XMEGAデバイスと周辺装置間、または多数のマイクロ コントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。

ポートCとポートDは各々1つのSPIを持ちます。これらの周辺機能の表記はSPICとSPIDです。

25. USART

25.1. 要点

- 6つの同様なUSART周辺機能
- 全二重動作
- 非同期と同期での動作
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/2までの同期ｸﾛｯｸ速度
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/8までの非同期ｸﾛｯｸ速度
- 5,6,7,8,9ﾃﾞｰﾀ ﾋﾞｯﾄと1,2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑ支援
- 分数ﾎﾞｰﾚｰﾄ発生器
  - どのｼｽﾃﾑ ｸﾛｯｸ周波数からも望むﾎﾞｰﾚｰﾄを生成可
  - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数ﾊﾟﾘﾃｨ生成器とﾊﾟﾘﾃｨ検査
  - ﾃﾞｰﾀ ｵｰﾊﾞﾗﾝとﾌﾚｰﾐﾝｸﾞ異常の検出
  - 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空
  - 受信完了
- 複数ﾌﾟﾛｾｯｻ通信動作
  - 複数ﾃﾞﾊﾞｲｽのﾊﾞｽ上で特定ﾃﾞﾊﾞｲｽをｱﾄﾞﾚｽ指定するためのｱﾄﾞﾚｽ指定の仕組み
  - ｱﾄﾞﾚｽ指定されないﾃﾞﾊﾞｲｽで全てのﾌﾚｰﾑを自動的に無視することが可
- 主装置SPI動作
  - 2重緩衝された動作
  - 構成設定可能なﾃﾞｰﾀ順
  - 周辺機能ｸﾛｯｸ周波数の1/2までの動作
- IrDA適合ﾊﾟﾙｽ変調/復調用赤外線通信(IRCOM)単位部

25.2. 概要

USART(Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はﾌﾚｰﾑに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、ﾌﾚｰﾑ間のどんな遅延もなしに継続するﾃﾞｰﾀ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。ﾌﾚｰﾐﾝｸﾞ異常と緩衝部溢れはﾊｰﾄﾞｳｪｱで検知され、独立した状態ﾌﾗｸﾞで示されます。奇数または偶数のﾊﾟﾘﾃｨ生成とﾊﾟﾘﾃｨ検査も許可することができます。

ｸﾛｯｸ生成部はどのｼｽﾃﾑ ｸﾛｯｸ周波数からでも広範囲のUSARTﾎﾞｰﾚｰﾄを発生できる分数ﾎﾞｰﾚｰﾄ発生器を含みます。これは必要とされるﾎﾞｰﾚｰﾄを達成するために特定周波数を持つ外部ｸﾘｽﾀﾙ発振器を使うことの必要を取り去ります。これは同期従装置動作での外部ｸﾛｯｸ入力も支援します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動ﾚｼﾞｽﾀ、ﾎﾞｰﾚｰﾄ発生器を許可のままにします。ﾋﾟﾝ制御と割り込み生成は両動作で同じです。ﾚｼﾞｽﾀは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA 1.4物理適合ﾊﾟﾙｽの変調と復調の支援を1つのUSARTに対して許可することができます。

ﾎﾟｰﾄCとﾎﾟｰﾄDは各々2つのUSARTを持ちます。ﾎﾟｰﾄEとﾎﾟｰﾄFは1つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0、USARTC1、USARTD0、USARTD1、USARTE0、USARTF0です。

26. IRCOM – 赤外線通信単位部

26.1. 要点

- 赤外線通信用ﾊﾟﾙｽ変調/復調
- 115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合
- 選択可能なﾊﾟﾙｽ変調方式
  - 3/16ﾎﾞｰﾚｰﾄ周期
  - 固定ﾊﾟﾙｽ周期、設定可能な8ﾋﾞｯﾄ
  - ﾊﾟﾙｽ変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

26.2. 概要

Atmel AVR XMEGAﾃﾞﾊﾞｲｽは115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線ﾊﾟﾙｽの符号化と復号を可能とするためにUSARTに接続することができます。

27. AESとDESの暗号ｴﾝｼﾞﾝ

27.1. 要点

- ﾃﾞｰﾀ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
  - 暗号化と解読
  - DES支援
  - 8ﾊﾞｲﾄの塊当たり16CPUｸﾛｯｸ周期の暗号化/解読
- AES暗号部
  - 暗号化と解読
  - 128ﾋﾞｯﾄ鍵支援
  - 状態ﾒﾓﾘへのXORﾃﾞｰﾀ設定支援
  - 16ﾊﾞｲﾄの塊当たり375ｸﾛｯｸ周期の暗号化/解読

27.2. 概要

新暗号化規格(AES)とﾃﾞｰﾀ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信ｲﾝﾀｰﾌｪｰｽとCPUはこれらを高速で暗号化された通信と安全なﾃﾞｰﾀ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8ﾊﾞｲﾄの鍵と8ﾊﾞｲﾄのﾃﾞｰﾀ塊がﾚｼﾞｽﾀ ﾌｧｲﾙに格納され、そしてそのﾃﾞｰﾀ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ﾋﾞｯﾄ鍵を使う128ﾋﾞｯﾄ ﾃﾞｰﾀ塊の暗号化と解読を行います。鍵とﾃﾞｰﾀは暗号化/解読が開始される前に単位部内の鍵と状態のﾒﾓﾘに格納されていなければなりません。暗号化/解読が行われる前に375周辺機能ｸﾛｯｸ周期かかります。その後に暗号化/解読されたﾃﾞｰﾀが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列ﾒﾓﾘが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

28. CRC – 巡回冗長検査(Cyclic Redundancy Check)生成器

28.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
  - 通信データ
  - フラッシュ メモリ内のプログラムまたはデータ
  - SRAMとI/Oメモリ空間内のデータ
- フラッシュ メモリ、DMA制御器、CPUとの統合
  - DMAチャネルを通して行うデータでの継続的なCRC
  - フラッシュ メモリの全体または選択可能な範囲の自動CRC
  - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
  - CRC-16 (CRC-CCITT)
  - CRC-32 (IEEE 802.3)
- 0剰余検出

28.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使われ、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使うことができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の$1-2^{-n}$を検出します。Atmel AVR XMEGAデバイスのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

- CRC-16:

生成多項式	$X^{16}+X^{12}+X^{5}+1$
16進値	$1021

- CRC-32:

生成多項式	$X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$
16進値	$04C11DB7

29. ADC – 12ﾋﾞｯﾄ A/D変換器

29.1. 要点

- 2つのA/D変換器
- 12ﾋﾞｯﾄ分解能
- 1秒当たり最大200万採取
  - ADCと1倍利得段を使って同時に2つの入力を採取可
  - 1.5µs内で4入力の採取可
  - 8ﾋﾞｯﾄ分解能で最小2.5µsの変換時間
  - 12ﾋﾞｯﾄ分解能で最小3.5µsの変換時間
- 差動とｼﾝｸﾞﾙｴﾝﾄﾞの入力
  - 最大16のｼﾝｸﾞﾙｴﾝﾄﾞ入力
  - 16×4種の利得なし差動入力
  - 8×4種の利得付き差動入力
- 組み込み差動利得段
  - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
  - 内部温度感知器
  - D/A変換器(DAC)出力
  - AVCCの1/10の電圧
  - 1.1Vﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 個別の入力制御と結果ﾚｼﾞｽﾀを持つ4つの変換ﾁｬﾈﾙ
  - 4つの並列構成設定と結果を許可
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なﾀｲﾐﾝｸﾞ用事象起動変換
- 任意選択の変換結果DMA転送
- 任意選択の比較結果での割り込み/事象

29.2. 概要

A/D変換器(ADC)はｱﾅﾛｸﾞ信号をﾃﾞｼﾞﾀﾙ値に変換します。ADCは12ﾋﾞｯﾄ分解能と秒当たり200万採取(Msps)までの変換能力を持ちます。入力選択は柔軟で、ｼﾝｸﾞﾙｴﾝﾄﾞと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

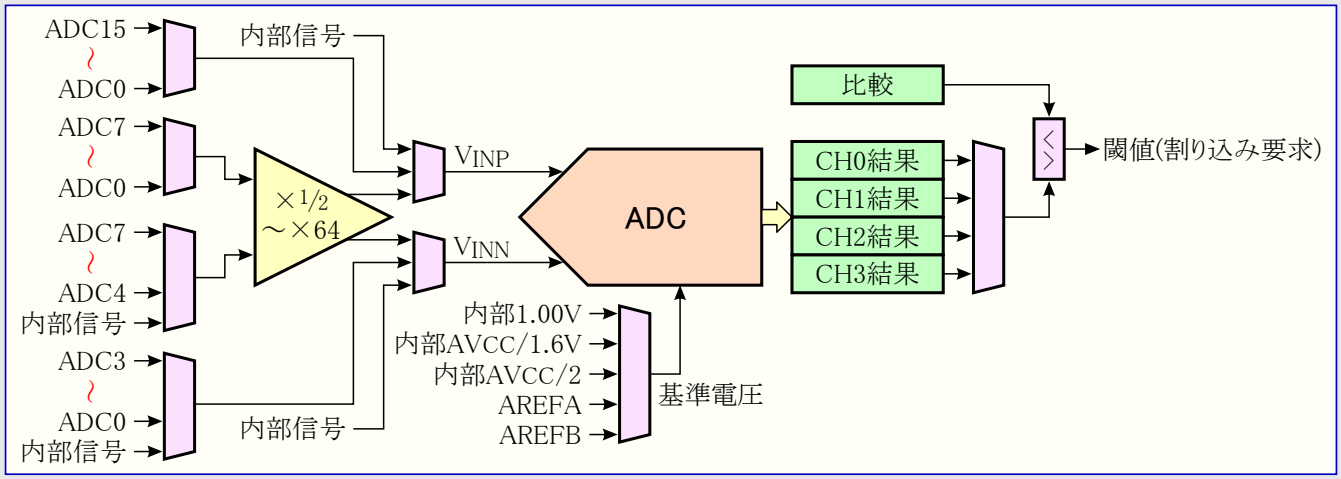
これは多くの連続段から成るﾊﾟｲﾌﾟﾗｲﾝADCです。ﾊﾟｲﾌﾟﾗｲﾝ設計は低いｼｽﾃﾑ ｸﾛｯｸ周波数での高い採取速度を許します。それは他のADC変換が未だ実行中と同時に新しい入力が採取され、新規のADC変換が始められることも意味します。これは採取速度と伝播遅延間の依存性を取り去ります。

ADC個別の入力選択、結果ﾚｼﾞｽﾀ、変換開始制御を持つ4つの変換ﾁｬﾈﾙ(0～3)を持ちます。そしてADCは4つの並列構成設定と結果を維持して使うことができ、これは高いﾃﾞｰﾀ単位処理能力またはADC依存性を用いる複数単位部での応用に対する使用を容易にします。変換が行われる時にADCの結果を直接、ﾒﾓﾘまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。D/A変換器、AVCC/10、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のｿﾌﾄｳｪｱ介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

図29-1. ADC概要



ADCと採取&保持回路を含む利得段の両方と利得段が1倍の利得を持つと時に2つの入力を同時に採取することができます。4つの入力は応用によるどんな介在もなしに1.5µs以内で採取することができます。

ADCは8または12ﾋﾞｯﾄの結果に構成設定することができ、最小変換時間(伝播遅延)を12ﾋﾞｯﾄに対する3.5µsから8ﾋﾞｯﾄの結果に対する2.5µsに減らします。

ADCの変換結果は任意選択の'1'または'0'穴埋め付きの左または右揃えが提供されます。これは結果が符号付き整数(符号付き16ﾋﾞｯﾄ数値)として表される時の計算が容易です。

ﾎﾟｰﾄAとﾎﾟｰﾄBは各々1つのADCを持ちます。これらの周辺機能の表記はADCAとADCBです。

30. DAC – 12ﾋﾞｯﾄ D/A変換器

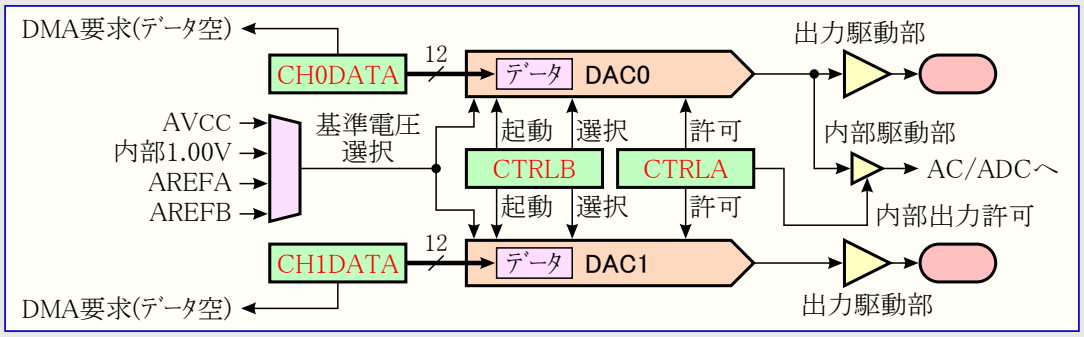
30.1. 要点

- 1つの12ﾋﾞｯﾄ分解能D/A変換器
- 12ﾋﾞｯﾄ分解能
- DAC当たり2つの独立で継続駆動のﾁｬﾈﾙ
- DACﾁｬﾈﾙ当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
  - 変位(ｵﾌｾｯﾄ)誤差
  - 利得誤差
- 複数の変換起動元
  - 利用可能な新ﾃﾞｰﾀで
  - 事象ｼｽﾃﾑからの事象
- 高い駆動能力と以下を支援
  - 抵抗性負荷
  - 容量性負荷
  - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- ｱﾅﾛｸﾞ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動力を持つ低電力動作形態
- 任意選択のDMAﾃﾞｰﾀ転送

30.2. 概要

D/A変換器(DAC)はﾃﾞｼﾞﾀﾙ値を電圧に変換します。DACは各々が12ﾋﾞｯﾄ分解能を持つ2つのﾁｬﾈﾙを持ち、各ﾁｬﾈﾙでの秒当たり100万採取(MSPS)の変換能力を持ちます。組み込み校正ｼｽﾃﾑはｿﾌﾄｳｪｱで校正値を設定した時に変位(ｵﾌｾｯﾄ)と利得の誤差を取り去ることができます。

図30-1. DAC概要



DAC変換は変換されるべき新しいﾃﾞｰﾀが利用可能な時に自動的に開始されます。事象ｼｽﾃﾑからの事象も変換を起動するのに使うことができ、これはﾀｲﾏ/ｶｳﾝﾀのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。DMA制御器はDACへﾃﾞｰﾀを転送するのに使うことができます。

DACは高い駆動力を持ち、抵抗性と容量性の両方だけでなくこれを組み合わせた負荷の駆動能力もあります。低電力動作が利用可能で、これは出力の駆動能力を減らします。内部と外部の両方の基準電圧を使うことができます。DAC出力は内部的にｱﾅﾛｸﾞ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

ﾎﾟｰﾄBは1つのDACを持ちます。この周辺機能の表記はDACBです。

31. AC – ｱﾅﾛｸﾞ比較器

31.1. 要点

- 4つのｱﾅﾛｸﾞ比較器
- 選択可能な伝播遅延対消費電流
- 選択可能なﾋｽﾃﾘｼｽ
  - なし
  - 小
  - 大
- ﾋﾟﾝで利用可能なｱﾅﾛｸﾞ比較器出力
- 柔軟な入力選択
  - ﾎﾟｰﾄ上の全ﾋﾟﾝ
  - D/A変換器(DAC)からの出力
  - ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
  - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
  - 上昇端
  - 下降端
  - 切り替わり
- 以下での窓機能割り込みと事象の生成
  - 窓以上の信号
  - 窓内側の信号
  - 窓以下の信号
- 構成設定可能な出力ﾋﾟﾝ選択を持つ定電流源

31.2. 概要

ｱﾅﾛｸﾞ比較器(AC)は2つの入力の電圧ﾚﾍﾞﾙを比較してその比較に基いたﾃﾞｼﾞﾀﾙ出力を与えます。ｱﾅﾛｸﾞ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

ｱﾅﾛｸﾞ比較器の動的な動きの2つの重要な特性はﾋｽﾃﾘｼｽと伝播遅延です。これらのﾊﾟﾗﾒｰﾀの両方は各応用に対して最適な動作を達成するために調節することができます。

入力選択はｱﾅﾛｸﾞ ﾎﾟｰﾄ ﾋﾟﾝ、多数の内部信号、64段階の設定可能な分圧器を含みます。ｱﾅﾛｸﾞ比較器出力の状態は外部ﾃﾞﾊﾞｲｽによって使うためにﾋﾟﾝ上に出力することもできます。

定電流源を許可することができ、選択可能なﾋﾟﾝ上に出力することができます。これは例えば容量性接触感知応用でｺﾝﾃﾞﾝｻを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

ｱﾅﾛｸﾞ比較器は常に各ﾎﾟｰﾄ上の対で分類されます。それらはｱﾅﾛｸﾞ比較器0(AC0)とｱﾅﾛｸﾞ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御ﾚｼﾞｽﾀを持ちます。対として使うと、それらは電圧ﾚﾍﾞﾙの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ﾎﾟｰﾄAとﾎﾟｰﾄBは各々1つのAC対を持ちます。表記は各々、ACAとACBです。

図31-1. ｱﾅﾛｸﾞ比較器概要

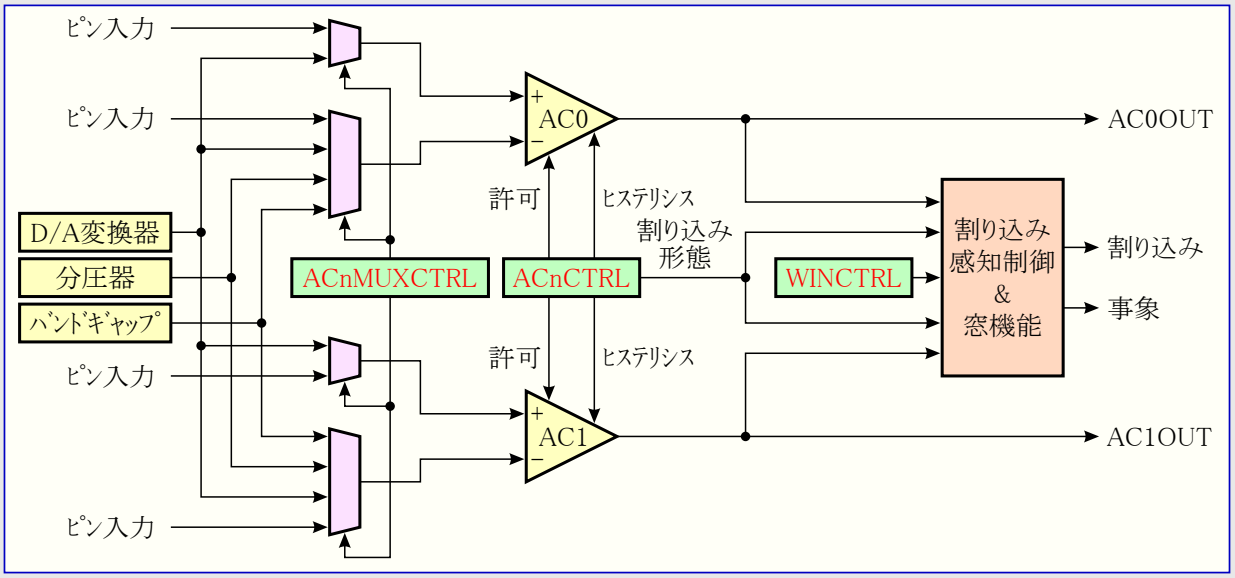
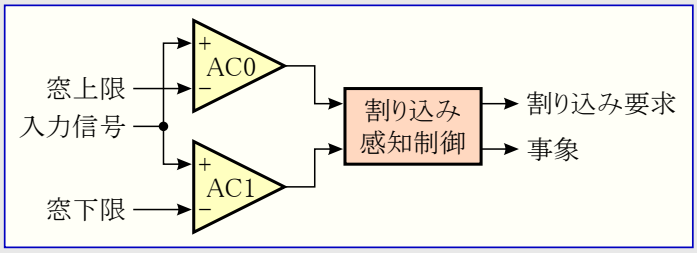


図31-2.で示されるように、窓機能は2つのアナログ比較器の外部入力を接続することによって実現されます。

図31-2. アナログ比較器窓機能



32. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ

32.1. 要点

- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - PDIまたはJTAGｲﾝﾀｰﾌｪｰｽを通す外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
    - 高速動作のための最小の規約付随負荷
    - 確かな動作のための組み込みの異常検出と処理
  - 何れかの通信ｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾌﾞｰﾄ ﾛｰﾀﾞ支援
- ﾃﾞﾊﾞｯｸﾞ
  - 不干渉、実時間、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ
  - ﾋﾟﾝ接続を除き、ﾃﾞﾊﾞｲｽから必要とされるｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱなし
  - ﾌﾟﾛｸﾞﾗﾑの流れ制御
    - 実行、停止、ﾘｾｯﾄ、1行実行、内側実行、外側実行、ｶｰｿﾙまで実行
  - 無制限数の使用者ﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - 無制限数の使用者ﾃﾞｰﾀ中断点、以下で中断
    - ﾃﾞｰﾀ位置読み、書き、または読み書き両方
    - ﾃﾞｰﾀ位置内容が値と等しいまたは等しくない
    - ﾃﾞｰﾀ位置内容が値よりも大きいまたは小さい
    - ﾃﾞｰﾀ位置内容が範囲の内側または外側
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数での制限なし
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)
  - 外部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ
  - ﾘｾｯﾄ ﾋﾟﾝと専用ﾋﾟﾝを使用
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはﾃﾞﾊﾞｯｸﾞ中にI/Oﾋﾟﾝの必要なし
- JTAGｲﾝﾀｰﾌｪｰｽ
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の4ﾋﾟﾝ、IEEE規格1149.1適合ｲﾝﾀｰﾌｪｰｽ
  - IEEE規格149.1(JTAG)に従った境界走査能力

32.2. 概要

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)はﾃﾞﾊﾞｲｽの外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ用のAtmel専有ｲﾝﾀｰﾌｪｰｽです。

PDIはﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、使用者識票列の不揮発性ﾒﾓﾘ(NVM)の高速ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを支援します。

ﾃﾞﾊﾞｯｸﾞは不干渉、実時間のﾃﾞﾊﾞｯｸﾞを提供するﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑを通して支援されます。これはﾃﾞﾊﾞｲｽ ﾋﾟﾝ接続を除いてどんなｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱも必要としません。Atmelのﾂｰﾙ ﾁｪｰﾝ使用は完全なﾌﾟﾛｸﾞﾗﾑの流れ制御を提供し、ﾌﾟﾛｸﾞﾗﾑと複雑なﾃﾞｰﾀの無制限数の中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)を支援します。応用ﾃﾞﾊﾞｯｸﾞはｱｾﾝﾌﾞﾗと逆ｱｾﾝﾌﾞﾗ ﾚﾍﾞﾙからだけでなく、Cまたは他の高位言語ｿｰｽｺｰﾄﾞのﾚﾍﾞﾙからも行うことができます。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞは2つの物理ｲﾝﾀｰﾌｪｰｽを通して行えます。基本は全てのﾃﾞﾊﾞｲｽで利用可能なPDI物理層です。これはｸﾛｯｸ入力用のﾘｾｯﾄ ﾋﾟﾝ(PDI_CLK)とﾃﾞｰﾀ入出力用の他の1つの専用検査ﾋﾟﾝ(PDI_DATA)を使う2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽです。殆どのﾃﾞﾊﾞｲｽでJTAGｲﾝﾀｰﾌｪｰｽも利用可能で、これは4ﾋﾟﾝのJTAGｲﾝﾀｰﾌｪｰｽを通してﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞに使うことができます。JTAGｲﾝﾀｰﾌｪｰｽはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはﾁｯﾌﾟ上ﾃﾞﾊﾞｯｶﾞ/ｴﾐｭﾚｰﾀがこれらｲﾝﾀｰﾌｪｰｽのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すｱｸｾｽと仮定します。

33. ﾋﾟﾝ配置とﾋﾟﾝ機能

ﾃﾞﾊﾞｲｽのﾋﾟﾝ配置は2頁の「ﾋﾟﾝ配置/構成図」で示されます。汎用I/O機能に加え、各ﾋﾟﾝは様々な交換機能を持ち得ます。これはどの周辺機能が許可され、そして現実のﾋﾟﾝに接続されるかに依存します。ﾋﾟﾝ機能は同時に1つだけを使うことができます。

33.1. 交換ﾋﾟﾝ機能の種類

下表は利用可能な全てのﾋﾟﾝ機能に対する表記とその機能の種類を示します。

33.1.1. 活動/電力供給

VCC	ﾃﾞｼﾞﾀﾙ供給電圧
AVCC	ｱﾅﾛｸﾞ供給電圧
VBAT	電池代替支援単位部供給電圧
GND	接地

33.1.2. ﾎﾟｰﾄ割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つﾎﾟｰﾄ ﾋﾟﾝ
ASYNC	完全な同期と完全な非同期の割り込み機能を持つﾎﾟｰﾄ ﾋﾟﾝ

33.1.3. ｱﾅﾛｸﾞ機能

ACn	ｱﾅﾛｸﾞ比較器入力ﾋﾟﾝn
ACnOUT	ｱﾅﾛｸﾞ比較器n出力
ADCn	A/D変換器入力ﾋﾟﾝn
DACn	D/A変換器出力ﾋﾟﾝn
AREF	ｱﾅﾛｸﾞ基準電圧入力ﾋﾟﾝ

33.1.4. ﾀｲﾏ/ｶｳﾝﾀとAWeX機能

OCnx	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx出力
$\overline{\text{OCnx}}$	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx反転出力
OCnxLS	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx Low側出力
OCnxHS	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx High側出力

33.1.5. 通信機能

SCL	TWI用直列ｸﾛｯｸ
SDA	TWI用直列ﾃﾞｰﾀ
SCLIN	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ｸﾛｯｸ入力
SCLOUT	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ｸﾛｯｸ出力
SDAIN	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ﾃﾞｰﾀ入力
SDAOUT	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ﾃﾞｰﾀ出力
XCKn	USARTn用転送ｸﾛｯｸ
RXDn	USARTn用受信ﾃﾞｰﾀ
TXDn	USARTn用送信ﾃﾞｰﾀ
$\overline{\text{SS}}$	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列ｸﾛｯｸ
D-	USB用Data-
D+	USB用Data+

33.1.6. 発振器、ｸﾛｯｸ、事象

TOSCn	計時器用発振器ﾋﾟﾝn
XTALn	発振器用入出力ﾋﾟﾝn
CLKOUT	周辺機能ｸﾛｯｸ出力
EVOUT	事象ﾁｬﾈﾙn出力
RTCOUT	RTCｸﾛｯｸ元出力

33.1.7. ﾃﾞﾊﾞｯｸﾞ/ｼｽﾃﾑ機能

$\overline{\text{RESET}}$	ﾘｾｯﾄ ﾋﾟﾝ
PDI_CLK	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ｸﾛｯｸ ﾋﾟﾝ
PDI_DATA	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾋﾟﾝ
TCK	JTAG検査ｸﾛｯｸ
TDI	JTAG検査ﾃﾞｰﾀ入力
TDO	JTAG検査ﾃﾞｰﾀ出力
TMS	JTAG検査動作種別選択

33.2. 交換ﾋﾟﾝ機能

下表は最初の列でﾎﾟｰﾄの各ﾋﾟﾝに対する主/既定の機能、第2列でﾋﾟﾝ番号、そして残りの列で全ての交換ﾋﾟﾝ機能を示します。先頭行は何の周辺機能が交換ﾋﾟﾝ機能を許可して使うかを示します。

より良い柔軟性のため、いくつかの交換機能はそれらの機能に対して選択可能なﾋﾟﾝ位置も持ち、これはこれが適用される最初の表の下で注記されます。

表33-1. ﾎﾟｰﾄA – 交換機能

PORTA	ﾋﾟﾝ番号	割り込み	ADCA 利得有/無 正入力	ADCB 利得なし 正入力	ADCA 利得なし 負入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力		REFA	
GND	60											
AVCC	61											
PA0	62	SYNC	ADC0	ADC8	ADC0		AC0	AC0			AREF	
PA1	63	SYNC	ADC1	ADC9	ADC1		AC1	AC1				
PA2	64	SYNC/ASYNC	ADC2	ADC10	ADC2		AC2					
PA3	1	SYNC	ADC3	ADC11	ADC3		AC3	AC3				
PA4	2	SYNC	ADC4	ADC12		ADC4	AC4					
PA5	3	SYNC	ADC5	ADC13		ADC5	AC5	AC5				
PA6	4	SYNC	ADC6	ADC14		ADC6	AC6		AC1OUT			
PA7	5	SYNC	ADC7	ADC15		ADC7		AC7	AC0OUT			

表33-2. ﾎﾟｰﾄB – 交換機能

PORTB	ﾋﾟﾝ番号	割り込み	ADCA 利得なし 正入力	ADCB 利得有/無 正入力	ADCB 利得なし 負入力	ADCB 利得付き 負入力	ACB 正入力	ACB 負入力	ACB 出力	DACB	REFB	JTAG
PB0	6	SYNC	ADC8	ADC0	ADC0		AC0	AC0			AREF	
PB1	7	SYNC	ADC9	ADC1	ADC1		AC1	AC1				
PB2	8	SYNC/ASYNC	ADC10	ADC2	ADC2		AC2			DAC0		
PB3	9	SYNC	ADC11	ADC3	ADC3		AC3	AC3		DAC1		
PB4	10	SYNC	ADC12	ADC4		ADC4	AC4					TMS
PB5	11	SYNC	ADC13	ADC5		ADC5	AC5	AC5				TDI
PB6	12	SYNC	ADC14	ADC6		ADC6	AC6		AC1OUT			TCK
PB7	13	SYNC	ADC15	ADC7		ADC7		AC7	AC0OUT			TDO

表33-3. ﾎﾟｰﾄC – 交換機能

PORTC	ﾋﾟﾝ番号	割り込み	TCC0 (注1,2)	AWEXC	TCC1	USARTC0 (注3)	USARTC1	SPIC (注4)	TWIC	ｸﾛｯｸ出力 (注5)	事象出力 (注6)
GND	14										
VCC	15										
PC0	16	SYNC	OC0A	OC0ALS					SDA/SDA_IN		
PC1	17	SYNC	OC0B	OC0AHS		XCK0			SCL/SCL_IN		
PC2	18	SYNC/ASYNC	OC0C	OC0BLS		RXD0			SDA_OUT		
PC3	19	SYNC	OC0D	OC0BHS		TXD0			SCL_OUT		
PC4	20	SYNC		OC0CLS	OC1A			$\overline{SS}$			
PC5	21	SYNC		OC0CHS	OC1B		XCK1	MOSI			
PC6	22	SYNC		OC0DLS			RXD1	MISO		RTCOUT	
PC7	23	SYNC		OC0DHS			TXD1	SCK		CLKOUT	EVOUT

注1: 全てのTC0のﾋﾟﾝ割り当ては任意選択でﾎﾟｰﾄの上位ﾆﾌﾞﾙに移動することができます。

注2: TC0がTC2として構成設定された場合、8つ全てのﾋﾟﾝがPWM出力として使うことができます。

注3: 全てのUSART0のﾋﾟﾝ割り当ては任意選択でﾎﾟｰﾄの上位ﾆﾌﾞﾙに移動することができます。

注4: 全てのSPIに対してMOSIとSCKのﾋﾟﾝは任意選択で交換することができます。

注5: CLKOUTは任意選択でﾎﾟｰﾄC,D,E間とﾋﾟﾝ4～7間で移動することができます。

注6: EVOUTは任意選択でﾎﾟｰﾄC,D,E間とﾋﾟﾝ4～7間で移動することができます。

表33-4. ﾎﾟｰﾄD – 交換機能

PORTD	ﾋﾟﾝ番号	割り込み	TCD0		TCD1	USARTD0	USARTD1	SPID	USB	ｸﾛｯｸ出力	事象出力
GND	24										
VCC	25										
PD0	26	SYNC	OC0A								
PD1	27	SYNC	OC0B			XCK0					
PD2	28	SYNC/ASYNC	OC0C			RXD0					
PD3	29	SYNC	OC0D			TXD0					
PD4	30	SYNC			OC1A			$\overline{SS}$			
PD5	31	SYNC			OC1B		XCK1	MOSI			
PD6	32	SYNC					RXD1	MISO	D-		
PD7	33	SYNC					TXD1	SCK	D+	CLKOUT	EVOUT

表33-5. ﾎﾟｰﾄE – 交換機能

PORTE	ﾋﾟﾝ番号	割り込み	TCE0		TCE1	USARTE0			TWIE		
GND	34										
VCC	35										
PE0	36	SYNC	OC0A						SDA/SDA_IN		
PE1	37	SYNC	OC0B			XCK0			SCL/SCL_IN		
PE2	38	SYNC/ASYNC	OC0C			RXD0			SDA_OUT		
PE3	39	SYNC	OC0D			TXD0			SCL_OUT		
PE4	40	SYNC			OC1A						
PE5	41	SYNC			OC1B						
TOSC1	42										
TOSC2	43										

表33-6. ﾎﾟｰﾄF – 交換機能

PORTF	ﾋﾟﾝ番号	割り込み	TCF0			USARTF0					
GND	44										
VCC	45										
PF0	46	SYNC	OC0A								
PF1	47	SYNC	OC0B			XCK0					
PF2	48	SYNC/ASYNC	OC0C			RXD0					
PF3	49	SYNC	OC0D			TXD0					
PF4	50	SYNC									
VBAT	51										
GND	52										
VCC	53										
PF6	54	SYNC									
PF7	55	SYNC									

表33-7. ﾎﾟｰﾄR – 交換機能

PORTR	ﾋﾟﾝ番号	割り込み	XTAL	PDI
PDI	56			PDI_DATA
$\overline{RESET}$	57			PDI_CLOCK
PR0	58	SYNC	XTAL2	
PR1	59	SYNC	XTAL1	

34. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

ｱﾄﾞﾚｽ割り当て表はAtmel AVR XMEGA A3BU内の各周辺機能と単位部に対する基準ｱﾄﾞﾚｽを示します。各周辺機能単位部に対する一覧と完全なﾚｼﾞｽﾀ記述についてはXMEGA AU手引書を参照してください。

表34-1. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

基準ｱﾄﾞﾚｽ	名称	意味	基準ｱﾄﾞﾚｽ	名称	意味
$0000	GPIO	汎用I/Oﾚｼﾞｽﾀ	$04C0	USB	USB装置
$0010	VPORT0	仮想ﾎﾟｰﾄ0	$0600	PORTA	ﾎﾟｰﾄA
$0014	VPORT1	仮想ﾎﾟｰﾄ1	$0620	PORTB	ﾎﾟｰﾄB
$0018	VPORT2	仮想ﾎﾟｰﾄ2	$0640	PORTC	ﾎﾟｰﾄC
$001C	VPORT3	仮想ﾎﾟｰﾄ3	$0660	PORTD	ﾎﾟｰﾄD
$0030	CPU	CPU	$0680	PORTE	ﾎﾟｰﾄE
$0040	CLK	ｸﾛｯｸ制御	$06A0	PORTF	ﾎﾟｰﾄF
$0048	SLEEP	休止制御器	$07E0	PORTR	ﾎﾟｰﾄR
$0050	OSC	発振器制御	$0800	TCC0	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ0
$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	$0840	TCC1	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ1
$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	$0880	AWEXC	ﾎﾟｰﾄCの新波形拡張
$0070	PR	電力削減	$0890	HIRESC	ﾎﾟｰﾄCの高分解能拡張
$0078	RST	ﾘｾｯﾄ制御器	$08A0	USARTC0	ﾎﾟｰﾄCのUSART0
$0080	WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ	$08B0	USARTC1	ﾎﾟｰﾄCのUSART1
$0090	MCU	MCU制御	$08C0	SPIC	ﾎﾟｰﾄCの直列周辺ｲﾝﾀｰﾌｪｰｽ
$00A0	PMIC	設定可能な多段割り込み制御器	$08F8	IRCOM	赤外線通信単位部
$00B0	PORTCFG	ﾎﾟｰﾄ構成設定	$0900	TCD0	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ0
$00C0	AES	AES暗号単位部	$0940	TCD1	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ1
$00D0	CRC	CRC単位部	$0990	HIRESD	ﾎﾟｰﾄDの高分解能拡張
$00F0	VBAT	VBAT電池代替支援単位部	$09A0	USARTD0	ﾎﾟｰﾄDのUSART0
$0100	DMA	DMA制御器	$09B0	USARTD1	ﾎﾟｰﾄDのUSART1
$0180	EVSYS	事象ｼｽﾃﾑ	$09C0	SPID	ﾎﾟｰﾄDの直列周辺ｲﾝﾀｰﾌｪｰｽ
$01C0	NVM	不揮発性ﾒﾓﾘ(NVM)制御器	$0A00	TCE0	ﾎﾟｰﾄEのﾀｲﾏ/ｶｳﾝﾀ0
$0200	ADCA	ﾎﾟｰﾄAのA/D変換器	$0A40	TCE1	ﾎﾟｰﾄEのﾀｲﾏ/ｶｳﾝﾀ1
$0240	ADCB	ﾎﾟｰﾄBのA/D変換器	$0A80	AWEXE	ﾎﾟｰﾄEの新波形拡張
$0320	DACB	ﾎﾟｰﾄBのD/A変換器	$0A90	HIRESE	ﾎﾟｰﾄEの高分解能拡張
$0380	ACA	ﾎﾟｰﾄAのｱﾅﾛｸﾞ比較器	$0AA0	USARTE0	ﾎﾟｰﾄEのUSART0
$0390	ACB	ﾎﾟｰﾄBのｱﾅﾛｸﾞ比較器	$0B00	TCF0	ﾎﾟｰﾄFのﾀｲﾏ/ｶｳﾝﾀ0
$0420	RTC32	32ﾋﾞｯﾄ実時間計数器	$0B90	HIRESF	ﾎﾟｰﾄFの高分解能拡張
$0480	TWIC	ﾎﾟｰﾄCの2線ｲﾝﾀｰﾌｪｰｽ	$0BA0	USARTF0	ﾎﾟｰﾄFのUSART0
$04A0	TWIE	ﾎﾟｰﾄEの2線ｲﾝﾀｰﾌｪｰｽ			

(訳注) 本表に於いて$0A80,AWEXEが定義され、AWeXがTCE0に対しても存在することを示唆していますが、本書内の他の記述でこれは存在しません。これは本表のみが誤っているものと思われます。

35. 命令一式要約

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
算術、論理演算命令					
ADD	Rd,Rr	汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長加算	RdH:RdL ← RdH:RdL + K	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用ﾚｼﾞｽﾀから即値の減算	Rd ← Rd - K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長減算	RdH:RdL ← RdH:RdL - K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr - C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用ﾚｼﾞｽﾀからｷｬﾘｰと即値の減算	Rd ← Rd - K - C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF - Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ解除(0)	Rd ← Rd AND ($FF - K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用ﾚｼﾞｽﾀの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用ﾚｼﾞｽﾀの減少(-1)	Rd ← Rd - 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用ﾚｼﾞｽﾀのｾﾞﾛとﾏｲﾅｽ検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用ﾚｼﾞｽﾀの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用ﾚｼﾞｽﾀの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	ﾃﾞｰﾀ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zﾚｼﾞｽﾀ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zﾚｼﾞｽﾀ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2,3(注1)
ICALL		Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	2,3(注1)
EICALL		拡張Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← EIND:Z	I,T,H,S,V,N,Z,C	3(注1)
CALL	k	絶対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	3,4(注1)
RET		ｻﾌﾞﾙｰﾁﾝからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5(注1)
RETI		割り込みからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5(注1)
CPSE	Rd,Rr	汎用ﾚｼﾞｽﾀ間比較、一致でｽｷｯﾌﾟ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用ﾚｼﾞｽﾀと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	ｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	ｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(ﾏｲﾅｽ)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(ﾌﾟﾗｽ)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時ﾌﾗｸﾞが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時ﾌﾗｸﾞが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れﾌﾗｸﾞが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れﾌﾗｸﾞが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		ﾌﾟﾛｸﾞﾗﾑ領域から拡張Zﾚｼﾞｽﾀ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	(Z) ← R1:R0, RAMPZ:Z ← RAMPZ:Z + 2	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	Temp ← Rd, Rd ← (Z), (Z) ← Temp	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ﾋﾞｯﾄ設定(1)	Temp ← Rd, Rd ← (Z), (Z) ← Temp OR (Z)	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ﾋﾞｯﾄ解除(0)	Temp ← Rd, Rd ← (Z), (Z) ← ($FF-Temp) AND (Z)	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ﾋﾞｯﾄ反転	Temp ← Rd, Rd ← (Z), (Z) ← Temp EOR (Z)	I,T,H,S,V,N,Z,C	2

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ機能専用(ﾃﾞﾊﾞｯｶﾞが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K ：4, 6, 8ﾋﾞｯﾄ定数　　P ：I/Oﾚｼﾞｽﾀ　　Rd, Rr ：汎用ﾚｼﾞｽﾀ(R0～R31)

X, Y, Z ：X, Y, Zﾚｼﾞｽﾀ　　b ：ﾋﾞｯﾄ(0～7)　　k ：ｱﾄﾞﾚｽ定数(7,12,16ﾋﾞｯﾄ)

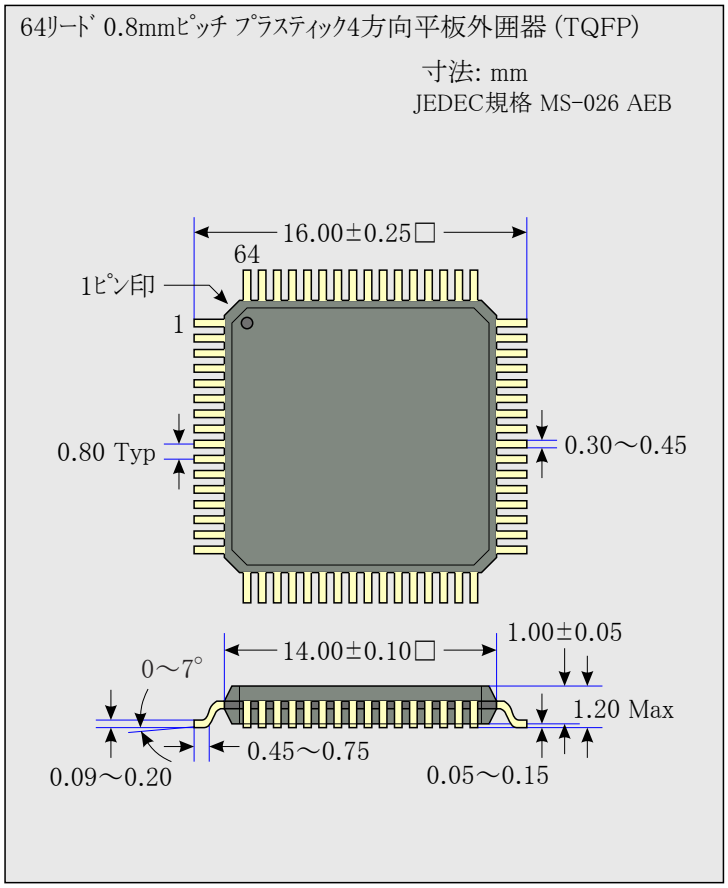
q ：符号なし6ﾋﾞｯﾄ定数(変位)　　s ：ｽﾃｰﾀｽ ﾌﾗｸﾞ(C,Z,N,V,X,H,T,I)

注1: ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽに対する周期数は内部ﾒﾓﾘ ｱｸｾｽを仮定し、外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ経由のｱｸｾｽに対しては有効ではありません。。(訳補:XMEGA A3BU系に外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽはありません。)

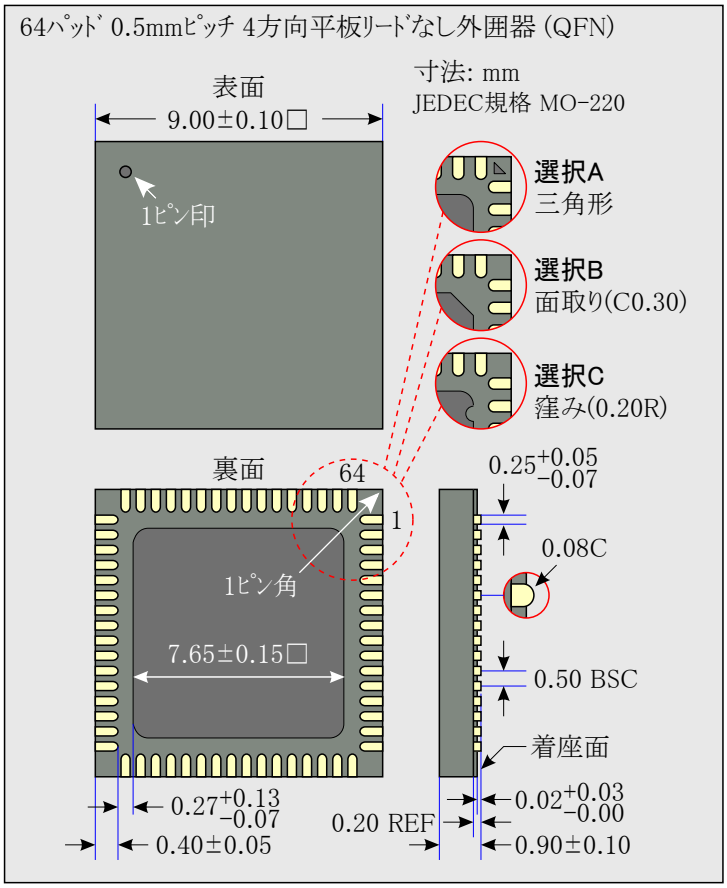
注2: 内部SRAMｱｸｾｽ時に1つの付加周期が追加されなければなりません。

36. 外囲器情報

36.1. 64A



36.2. 64M2



37. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25℃で測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

注: 未だ利用できないﾃﾞﾊﾞｲｽについて、このﾃﾞｰﾀｼｰﾄ内の暫定値はｼﾐｭﾚｰｼｮﾝや同じAVR XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗの特性付けに基づきます。そのﾃﾞﾊﾞｲｽが特性付けされた後で最終的な値が利用可能で、従って既存の値は変更され得ます。有るべき処にない最小と最大の値はﾃﾞﾊﾞｲｽが特性付けされた後で利用可能になります。

37.1. 絶対最大定格

下の表37-1.で一覧にされるそれらを超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

表37-1. 絶対最大定格

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCﾋﾟﾝへの電流				200	mA
IGND	GNDﾋﾟﾝの電流出力				200	
VPIN	GNDとVCCに対するﾋﾟﾝ電圧		-0.5		VCC+0.5	V
IPIN	入出力ﾋﾟﾝ吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	℃
Tj	接合部温度				150	

37.2. 全般動作定格

ﾃﾞﾊﾞｲｽは保証されて有効であるべきﾃﾞﾊﾞｲｽの他の全ての電気的特性と代表特性のために、表37-2.で一覧にされる定格内で動作しなければなりません。

表37-2. 全般動作条件

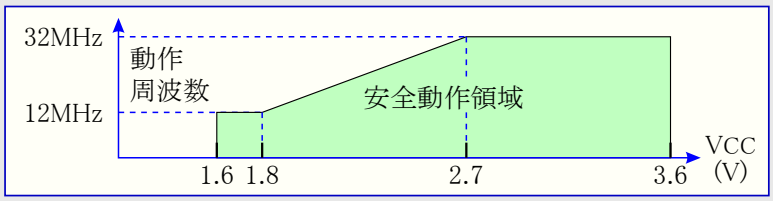
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	ｱﾅﾛｸﾞ供給電圧		1.60		3.6	
TA	保存温度		-40		85	℃
Tj	接合部温度		-40		105	

表37-3. 動作電圧と周波数

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{CPU}	CPUｸﾛｯｸ周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高ｼｽﾃﾑ周波数は動作電圧に依存します。図37-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図37-1. 最高周波数 対 VCC



37.3. 消費電流

表37-4. 活動動作と休止動作の消費電流

ｼﾝﾎﾞﾙ	項目	条件			最小	代表	最大	単位
ICC	活動動作消費電流 (注1)	32kHz外部ｸﾛｯｸ		VCC=1.8V		120		µA
				VCC=3.0V		270		
		1MHz外部ｸﾛｯｸ		VCC=1.8V		350		
				VCC=3.0V		697		
		2MHz外部ｸﾛｯｸ		VCC=1.8V		658	700	
				VCC=3.0V		1.1	1.4	mA
		32MHz外部ｸﾛｯｸ		VCC=3.0V		10.6	15	
	ｱｲﾄﾞﾙ動作消費電流 (注1)	32kHz外部ｸﾛｯｸ		VCC=1.8V		4.3		µA
				VCC=3.0V		4.8		
		1MHz外部ｸﾛｯｸ		VCC=1.8V		78		
				VCC=3.0V		150		
		2MHz外部ｸﾛｯｸ		VCC=1.8V		150	350	
				VCC=3.0V		290	600	
		32MHz外部ｸﾛｯｸ		VCC=3.0V		4.7	7.0	mA
	ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流	T=25℃		VCC=3.0V		0.1	1.0	µA
		T=85℃				1.8	5.0	
		採取動作BODとWDTを許可	T=25℃			1.3	3.0	
			T=85℃			3.1	7.0	
	ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 (注2)	低電力32.768kHz TOSCの1.024kHzでのRTC、T=25℃		VCC=1.8V		0.6	2	
				VCC=3.0V		0.7	2	
		低電力32.768kHz TOSCからのRTC、T=25℃		VCC=1.8V		0.8	3	
				VCC=3.0V		1.0	3	
	ﾘｾｯﾄ消費電流	基台の$\overline{\text{RESET}}$ﾋﾟﾝを通る電流		VCC=3.0V		250		

注1: 全ての電力削減ﾚｼﾞｽﾀは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表37-5. 単位部と周辺機能に関する消費電流

シンボル	項目	条件 (注1)		最小	代表	最大	単位
ICC	超低電力(ULP)発振器				1.0		µA
	32.768kHz内部発振器				27		
	2MHz内部発振器				85		
		基準として32.768kHz内部発振器でDFLL許可			115		
	32MHz内部発振器				270		
		基準として32.768kHz内部発振器でDFLL許可			460		
	PLL	逓倍率=20倍,32MHz内部,基準としてDIV4			220		
	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ				1.0		
	低電圧検出器(BOD)	継続動作			138		
		採取動作,ULP発振器を含む			1.2		
	1.00V内部基準電圧				100		
	温度感知器				95		
	A/D変換器(ADC)	250k採取/秒, VREF=外部基準			3.0		mA
			電流制限(CURRLIMIT)=低		2.6		
			電流制限(CURRLIMIT)=中		2.1		
			電流制限(CURRLIMIT)=高		1.6		
	D/A変換器(DAC)	250k採取/秒,VREF=外部基準, 無負荷	標準動作		1.9		
			低電力動作		1.1		
	ｱﾅﾛｸﾞ比較器(AC)	高速動作			330		µA
		低電力動作			130		
	DMA	I/OﾚｼﾞｽﾀとSRAM間、615Kﾊﾞｲﾄ/s			115		
	ﾀｲﾏ/ｶｳﾝﾀ				16		
	USART	9600bps,送受信許可			2.5		
	ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ				4		mA

注1: 全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てがVCC=3.0 V、前置分周なしでのclkSYS=外部1MHzｸﾛｯｸ、T=25℃でのﾃﾞｰﾀです。

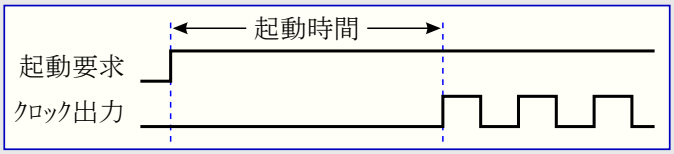
37.4. 休止形態からの起動時間

表37-6. 様々なｼｽﾃﾑｸﾛｯｸ元での休止形態からのﾃﾞﾊﾞｲｽ起動時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
twakeup	ｱｲﾄﾞﾙ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲからの起動時間	外部2MHzｸﾛｯｸ		2.0		µs
		32.768KHz内部発振器		120		
		2MHz内部発振器		.02		
		32MHz内部発振器		0.2		
	ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝからの起動時間	外部2MHzｸﾛｯｸ		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからﾋﾟﾝで周辺機能ｸﾛｯｸが利用可能になるまでで、図37-2.をご覧ください。全ての周辺機能と単位部はﾌﾟﾛｸﾞﾗﾑ実行開始に先立って4ｸﾛｯｸ周期間停止されるCPUを除き、最初のｸﾛｯｸ周期から実行を開始します。

図37-2. 起動時間定義



37.5. 入出力ﾋﾟﾝ特性

入出力ﾋﾟﾝはJEDEC LVTTLとLVCSMOS仕様に従い、Hﾚﾍﾞﾙと Lﾚﾍﾞﾙの入力と出力の電圧限度はこの仕様を反映または超えます。

表37-7. 入出力ﾋﾟﾝ特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
I_{OH} (注1) I_{OL} (注2)	I/Oﾋﾟﾝ吐き出し/吸い込み電流			-20		20	mA
V_{IH}	Highﾚﾍﾞﾙ入力電圧	VCC=2.7～3.6V		2.0		VCC+0.3	V
		VCC=2.0～2.7V		0.7VCC		VCC+0.3	
		VCC=1.6～2.0V		0.7VCC		VCC+0.3	
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	VCC=3.0～3.6V		-0.3		0.3VCC	
		VCC=2.3～2.7V		-0.3		0.3VCC	
		VCC=1.6～2.3V		-0.3		0.3VCC	
V_{OH}	Highﾚﾍﾞﾙ出力電圧	VCC=3.0～3.6V	I_{OH}=-2mA	2.4	0.94VCC		
		VCC=2.3～2.7V	I_{OH}=-1mA	2.0	0.96VCC		
			I_{OH}=-2mA	1.7	0.92VCC		
		VCC=3.3V	I_{OH}=-8mA	2.6	2.8		
		VCC=3.0V	I_{OH}=-6mA	2.1	2.6		
		VCC=1.8V	I_{OH}=-2mA	1.4	1.6		
V_{OL}	Lowﾚﾍﾞﾙ出力電圧	VCC=3.0～3.6V	I_{OL}=2mA		0.05VCC	0.4	
		VCC=2.3～2.7V	I_{OL}=1mA		0.03VCC	0.4	
			I_{OL}=2mA		0.06VCC	0.7	
		VCC=3.3V	I_{OL}=15mA		0.4	0.76	
		VCC=3.0V	I_{OL}=10mA		0.3	0.64	
		VCC=1.8V	I_{OL}=5mA		0.3	0.46	
I_{IN}	I/Oﾋﾟﾝ入力漏れ電流				<0.001	0.1	µA
R_P	I/Oﾋﾟﾝ ﾌﾟﾙ/ﾊﾞｽ保持 抵抗				25		kΩ
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗				25		kΩ
t_r	上昇時間	無負荷			4		ns
			ｽﾘｭｰﾚｰﾄ制限		7		ns

注1: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOHの合計は100mAを超えてはなりません。
ﾎﾟｰﾄC、ﾎﾟｰﾄD、ﾎﾟｰﾄEに対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄFのPF4～0に対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄFのPF7,6とﾎﾟｰﾄRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOLの合計は100mAを超えてはなりません。
ﾎﾟｰﾄC、ﾎﾟｰﾄD、ﾎﾟｰﾄEに対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄFのPF4～0に対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄFのPF7,6とﾎﾟｰﾄRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

37.6. A/D変換器特性

表37-8. 電源、基準電圧と入力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1		AVCC-0.6	V
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
C_{AREF}	基準電圧入力容量	静止負荷		7		pF
Vin	入力範囲		-0.1		AVCC+0.1	V
	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
		符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作、Vinp	-⊿V		VREF-⊿V	V
⊿V	固定変位(ｵﾌｾｯﾄ)電圧			190		LSB

表37-9. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{ADC}	A/D変換ｸﾛｯｸ周波数	最大は周辺機能ｸﾛｯｸ周波数の1/4	100		2000	kHz
		内部信号測定	100		125	
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	100		2000	ksps
		電流制限(CURRLIMIT)=低(LOW)	100		1500	
		電流制限(CURRLIMIT)=中(MEDIUM)	100		1000	
		電流制限(CURRLIMIT)=高(HIGH)	100		500	
	採取時間	1/2 clk_{ADC}周期	0.25		5	µs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN･･･計算式 (RES=8または12,GAIN=0以外)	5		8	clk_{ADC}周期
	始動時間	A/D変換ｸﾛｯｸ周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	
		ADC破棄後		1	1	

表37-10. 精度特性

ｼﾝﾎﾞﾙ	項目	条件 (注2)		最小	代表	最大	単位
RES	分解能	8または12ﾋﾞｯﾄ設定可能		8	12	12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注1)	500ksps	VCC-1.0V<VREF<VCC-0.6V		±1.2	±2	LSB
			全VREF		±1.5	±3	
		2Msps	VCC-1.0V<VREF<VCC-0.6V		±1.0	±2	
			全VREF		±1.5	±3	
DNL	微分非直線性誤差 (注1)	単調性保証			<±0.8	<±1	
	変位(ｵﾌｾｯﾄ)誤差				-1		mV
		温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
	利得誤差	差動動作	外部基準電圧		-1		mV
			AVCC/1.6		10		
			AVCC/2.0		8		
			ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ		±5		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音	差動動作,短絡入力,2Msps, VCC=3.6V,clk_{PER}=16MHz			0.4		mV (RMS)

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の入力範囲に対して有効です。
注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表37-11. 利得段特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え		4.0		kΩ
Csample	入力容量	標準動作での切り替え		4.4		pF
	信号範囲	利得段出力	0		VCC-0.6	V
	伝播遅延	A/D変換速度		1		clk_{ADC} 周期
	採取速度	ADCと同じ	100		1000	kHz
INL	積分非直線性誤差 (注)	500ksps,全利得設定		±1.5	±4	LSB
	利得誤差	1倍、標準動作		-0.8		%
		8倍、標準動作		-2.5		
		64倍、標準動作		-3.5		
	(入力基準での)変位(ｵﾌｾｯﾄ)誤差	1倍、標準動作		-2		mV
		8倍、標準動作		-5		
		64倍、標準動作		-4		
	雑音	1倍、標準動作 / VCC=3.6V, 外部VREF		0.5		mV (RMS)
		8倍、標準動作		1.5		
		64倍、標準動作		11		

注: 最大値は特性付けに基づき、製造で検査されず、5～95%の入力電圧範囲に対して有効です。

37.7. D/A変換器特性

表37-12. 電源、基準電圧と出力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		VCC-0.6	
Rchannel	DC出力ｲﾝﾋﾟｰﾀﾞﾝｽ				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
R_{AREF}	基準電圧入力抵抗			>10		MΩ
C_{AREF}	基準電圧入力容量			7		pF
	最小抵抗性負荷		1			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	仕様内での動作			AVCC/1000	mA
		安全動作			10	

表37-13. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
F_{clk}	変換速度	Fout=Fclk/4,Cload=100pF,最大段階量	0		1000	ksps

表37-14. 精度特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
RES	入力分解能					12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注)	VREF=外部1.0V	VCC=1.6V		±2.0	±3	LSB
			VCC=3.6V		±1.5	±2.5	
		VREF=AVCC	VCC=1.6V		±2.0	±4	
			VCC=3.6V		±1.5	±4	
		VREF=内部1.0V	VCC=1.6V		±5.0		
			VCC=3.6V		±5.0		
DNL	微分非直線性誤差 (注)	VREF=外部1.0V, 単調性保証	VCC=1.6V		±1.5	3	
			VCC=3.6V		±0.6	1.5	
		VREF=AVCC, 単調性保証	VCC=1.6V		±1.0	3.5	
			VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V	VCC=1.6V		±4.5		
			VCC=3.6V		±4.5		
	利得誤差	校正後			<4		
	利得校正段階量				4		
	利得校正変動	VREF=外部1.0V			<0.2		mV/K
	変位(ｵﾌｾｯﾄ)誤差	校正後			<1		LSB
	変位(ｵﾌｾｯﾄ)校正段階量				1		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の出力電圧範囲に対して有効です。

37.8. ｱﾅﾛｸﾞ比較器特性

表37-15. ｱﾅﾛｸﾞ比較器特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
V_{off}	入力変位(ｵﾌｾｯﾄ)電圧				<±10		mV
I_{lk}	入力漏れ電流				<1000		pA
	入力電圧範囲			-0.1		AVCC	V
	始動時間				100		µs
V_{hyst1}	ﾋｽﾃﾘｼｽ(なし設定時)				0		mV
V_{hyst2}	ﾋｽﾃﾘｼｽ(小設定時)	高速動作(HS)			13		
		低電力動作(LP)			30		
V_{hyst3}	ﾋｽﾃﾘｼｽ(大設定時)	高速動作(HS)			30		
		低電力動作(LP)			60		
t_{delay}	伝播遅延	高速動作(HS)	VCC=3.0V,T=85℃		30	90	ns
					30		
		低電力動作(LP)	VCC=3.0V,T=85℃		130	500	
					130		
	64ﾚﾍﾞﾙ分圧器積分非直線性(INL)				0.3	0.5	LSB

37.9. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

表37-16. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		$1clk_{PER}$+2.5µs		µs
		ADCまたはACの入力電圧として		1.5		
	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1	1.01	
	電圧と温度での変動	T=85℃,VCC=3.0Vに対する相対		±1.0		%

37.10. 低電圧検出(Brownout Detection)特性

表37-17. 低電圧検出特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VCC降下検出ﾚﾍﾞﾙ0		1.60	1.62	1.72	V
	VCC降下検出ﾚﾍﾞﾙ1			1.8		
	VCC降下検出ﾚﾍﾞﾙ2			2.0		
	VCC降下検出ﾚﾍﾞﾙ3			2.2		
	VCC降下検出ﾚﾍﾞﾙ4			2.4		
	VCC降下検出ﾚﾍﾞﾙ5			2.6		
	VCC降下検出ﾚﾍﾞﾙ6			2.8		
	VCC降下検出ﾚﾍﾞﾙ7			3.0		
t_{BOD}	検出時間	継続動作		0.4		µs
		採取動作		1000		
V_{HYST}	ﾋｽﾃﾘｼｽ			1.6		%

37.11. 外部ﾘｾｯﾄ特性

表37-18. 外部ﾘｾｯﾄ特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{EXT}	最小ﾘｾｯﾄ ﾊﾟﾙｽ幅			95	1000	ns
V_{RST}	ﾘｾｯﾄ閾値電圧(VIH)	VCC=2.7～3.6V		0.60VCC		V
		VCC=1.6～2.7V		0.70VCC		
	ﾘｾｯﾄ閾値電圧(VIL)	VCC=2.7～3.6V		0.40VCC		
		VCC=1.6～2.7V		0.30VCC		
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			25		kΩ

37.12. 電源ONﾘｾｯﾄ特性

表37-19. 電源ONﾘｾｯﾄ(POR)特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{POT-}	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		V
		1V/msまたはより遅いVCC下降	0.8	1.0		
V_{POT+}	VCC上昇POR閾値電圧			1.3	1.59	

注: V_{POT-}値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はV_{POT-}=V_{POT+}です。

37.13. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの特性

表37-20. 耐久性とﾃﾞｰﾀ保持力

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	ﾌﾗｯｼｭ ﾒﾓﾘ耐久性能	書き込み/消去繰り返し	25℃	10,000			回
			85℃	10,000			
			105℃	2000			
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			
	EEPROM耐久性能	書き込み/消去繰り返し	25℃	100,000			回
			85℃	100,000			
			105℃	30,000			
	EEPROMﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			

表37-21. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表(注1)	最大	単位
	ﾁｯﾌﾟ消去時間	256KBﾌﾗｯｼｭとEEPROM(注2)の消去		105		ms
	応用領域消去時間	領域消去		6		
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		
	EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		

注1: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは内部2MHz発振器から計時されます。

注2: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMは消去されません。

37.14. VBATと電池代替支援の特性

表37-22. VBATと電池代替支援の特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VBAT供給電圧範囲		Vbbbod		3.6	V
	VCC電力断傾斜率	単調降下			0.1	V/ms
	主BOD閾値電圧		1.8			V
Vbbbod	BBBOD閾値電圧			1.7	2.1	
	BB(電池代替支援)BOD検出速度			1	2	s
	電池代替支援単位部消費電流	VBATﾋﾟﾝからの給電、 低電力32.768kHz TOSCからのRTC、 XOSC停止監視器許可		0.6		µA
	VBATﾋﾟﾝ漏れ電流	VCCからの電池代替支援単位部給電			50	nA

37.15. ｸﾛｯｸと発振器の特性

37.15.1. 校正付き32.768kHz内部発振器特性

表37-23. 校正付き32.768kHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

37.15.2. 校正付き2MHz内部発振器特性

表37-24. 2MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	%
	使用者校正精度		-0.2		0.2	
	DFLL校正段階量			0.22		

37.15.3. 校正付き32MHz内部発振器特性

表37-25. 32MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLがこの周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	%
	使用者校正精度		-0.2		0.2	
	DFLL校正段階量			0.23		

37.15.4. 32kHz内部ULP発振器特性

表37-26. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	出力周波数			32		kHz
	精度		-30		30	%

37.15.5. 内部位相固定化閉路(PLL)特性

表37-27. 内部PLL特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数はf_{OUT}以内	0.4		64	MHz
f_{OUT}	出力周波数 (注)	VCC=1.6～1.8V	20		48	
		VCC=2.7～3.6V	20		128	
	始動時間			25		µs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

37.15.6. 外部ｸﾛｯｸ特性

図37-3. 外部ｸﾛｯｸ駆動波形

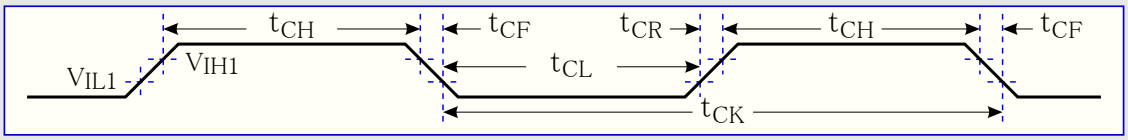


表37-28. 前置分周なしでｼｽﾃﾑ ｸﾛｯｸとして使われる外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	ｸﾛｯｸ周波数 (注)	VCC=1.6～1.8V	0		12	MHz
		VCC=2.7～3.6V	0		32	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	83.3			ns
		VCC=2.7～3.6V	31.5			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

表37-29. システム クロック用に前置分周器(注1)を持つ外部クロック

シンボル	項目	条件	最小	代表	最大	単位
1/tCK	クロック周波数 (注2)	VCC=1.6～1.8V	0		90	MHz
		VCC=2.7～3.6V	0		142	
tCK	クロック周期	VCC=1.6～1.8V	11			ns
		VCC=2.7～3.6V	7			
tCH	クロックHigh時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
tCL	クロックLow時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
tCR	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
tCF	(最大周波数に対する)下降時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
⊿tCK	次周期への周期内変化率				10	%

注1: システム クロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。

注2: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。

37.15.7. 外部16MHzクリスタル用発振器とXOSCの特性

表37-30. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件		最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0			<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3			<1		
		XOSCPWR=1			<1		
	長期間微動	XOSCPWR=0,FRQRANGE=0			<6		
		XOSCPWR=0,FRQRANGE=1,2,3			<0.5		
		XOSCPWR=1			<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0			<0.1		%
		XOSCPWR=0,FRQRANGE=1			<0.05		
		XOSCPWR=0,FRQRANGE=2,3			<0.005		
		XOSCPWR=1			<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0			40		
		XOSCPWR=0,FRQRANGE=1			42		
		XOSCPWR=0,FRQRANGE=2,3			45		
		XOSCPWR=1			48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF	2.4k			Ω
			1MHzクリスタル,CL=20pF	8.7k			
			2MHzクリスタル,CL=20pF	2.1k			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル	4.2k			
			8MHzクリスタル	250			
			9MHzクリスタル	195			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル	360			
			9MHzクリスタル	285			
			12MHzクリスタル	155			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル	365			
			12MHzクリスタル	200			
			16MHzクリスタル	105			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル	435			
			12MHzクリスタル	235			
			16MHzクリスタル	125			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル	495			
			12MHzクリスタル	270			
			16MHzクリスタル	145			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル	305			
			16MHzクリスタル	160			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル	380			
			16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数				min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量				5.2		pF
CXTAL2	XTAL2ピン寄生容量				6.8		
CLOAD	寄生容量性負荷				2.95		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

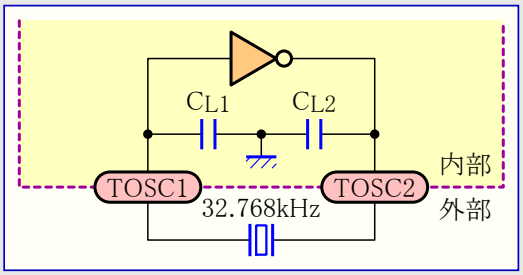
37.15.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

表37-31. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンボル	項目	条件	最小	代表	最大	単位
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量6.5pF			60	kΩ
		クリスタル負荷容量9.0pF			35	
C_{TOSC1}	TOSC1ピン寄生容量			3.0		pF
C_{TOSC2}	TOSC2ピン寄生容量			2.9		
C_L	寄生容量性負荷			2.0		
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3.0			

注: 定義については図37-4.をご覧ください。

図37-4. TOSC入力容量



TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列で$C_{L1}+C_{L2}$です。

37.16. SPIﾀｲﾐﾝｸﾞ特性

図37-5. 主装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

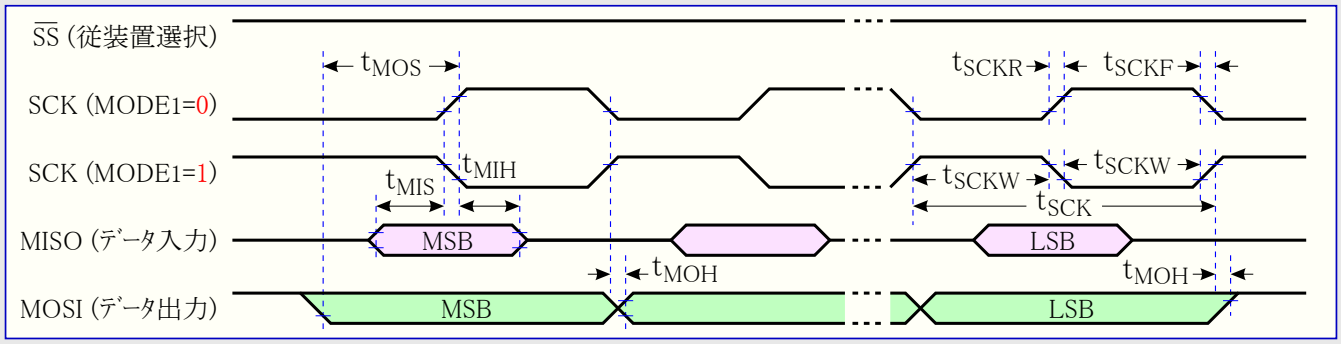


図37-6. 従装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

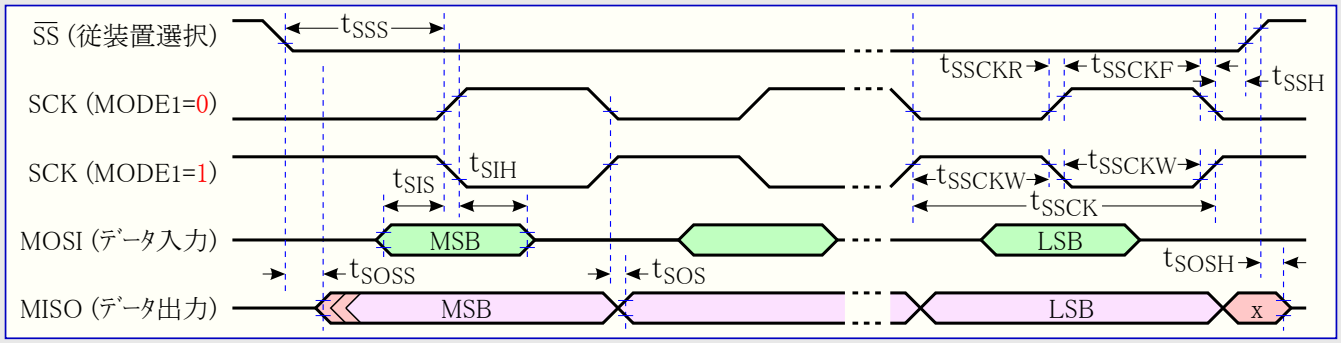


表37-32. SPI ﾀｲﾐﾝｸﾞ特性と必要条件

ｼﾝﾎﾞﾙ	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA AU手引書の表22-3.をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		0.5×SCK		
t_{SCKR}	SCK上昇時間	主装置		2.7		
t_{SCKF}	SCK下降時間	主装置		2.7		
t_{MIS}	入力ﾃﾞｰﾀ 準備時間	主装置		10		
t_{MIH}	入力ﾃﾞｰﾀ 保持時間	主装置		10		
t_{MOS}	SCK先行端対、出力ﾃﾞｰﾀ 準備時間	主装置		0.5×SCK		
t_{MOH}	SCKからの出力遅延時間	主装置		1.0		
t_{SSCK}	SCK周期	従装置	4×t clk_{PER}			
t_{SSCKW}	SCK High/Low期間	従装置	2×t clk_{PER}			ns
t_{SSCKR}	SCK上昇時間	従装置			1600	
t_{SSCKF}	SCK下降時間	従装置			1600	
t_{SIS}	入力ﾃﾞｰﾀ 準備時間	従装置	3			
t_{SIH}	入力ﾃﾞｰﾀ 保持時間	従装置	t clk_{PER}			
t_{SSS}	SCK先行端に対する$\overline{SS}$↓準備時間	従装置	21			
t_{SSH}	SCK後行端からの$\overline{SS}$ Low保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8.0		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	$\overline{SS}$↓からの出力準備時間	従装置		11		
t_{SOSH}	$\overline{SS}$↑からの出力保持時間	従装置		8.0		

(訳注) 表37-32.のt_{SOH}は図37-6.で対応するｼﾝﾎﾞﾙ記載がありません。

37.17. 2線インターフェース特性

表37-33.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図37-7.を参照してください。

図37-7. 2線インターフェース バス タイミング

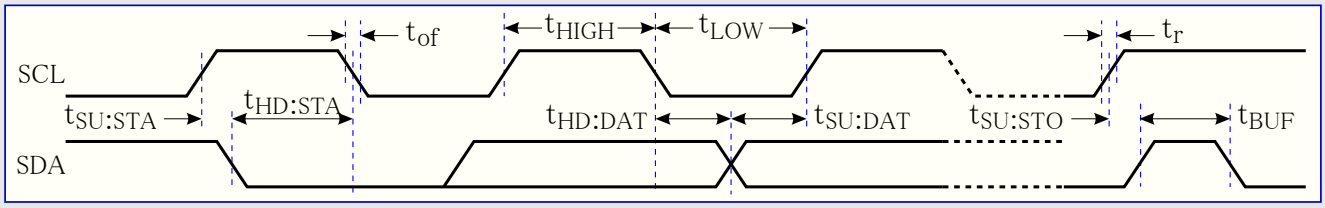


表37-33. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		−0.5		0.3VCC	V
Vhys	シュミット トリガ入力ヒステリシス電圧		① 0.05VCC			V
V_{OL}	Lowレベル出力電圧	I_{OL}=3mA	0		0.4	V
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb②		300	ns
t_{of}	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb②<400pF	① 20+0.1Cb②		250	ns
t_{SP}	入力濾波による尖頭雑音消去		0		50	ns
Ii	入力電流(ピン単位)	0.1VCC<Vi<0.9VCC	−10		10	µA
Ci	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	f_{PER}③>max (16f_{SCL},250kHz)	0		400	kHz
Rp	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{3mA}$		$\frac{100ns}{Cb}$	Ω
		f_{SCL}>100kHz			$\frac{300ns}{Cb}$	Ω
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			µs
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7			µs
		f_{SCL}>100kHz	1.3			µs
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			µs
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7			µs
		f_{SCL}>100kHz	0.6			µs
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0		3.5	µs
		f_{SCL}>100kHz	0		0.9	µs
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250			ns
		f_{SCL}>100kHz	100			ns
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			µs
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7			µs
		f_{SCL}>100kHz	1.3			µs

① f_{SCL}>100kHzについてのみ必要とされます。
② Cbは1つのバス信号線の容量(pF)です。
③ f_{PER}は周辺機能クロック周波数です。

38. 代表特性

38.1. 消費電流

38.1.1. 活動動作消費電流

図38-1. 活動動作消費電流 対 周波数（f_{SYS}=0～1.0MHz外部ｸﾛｯｸ,T=25℃）

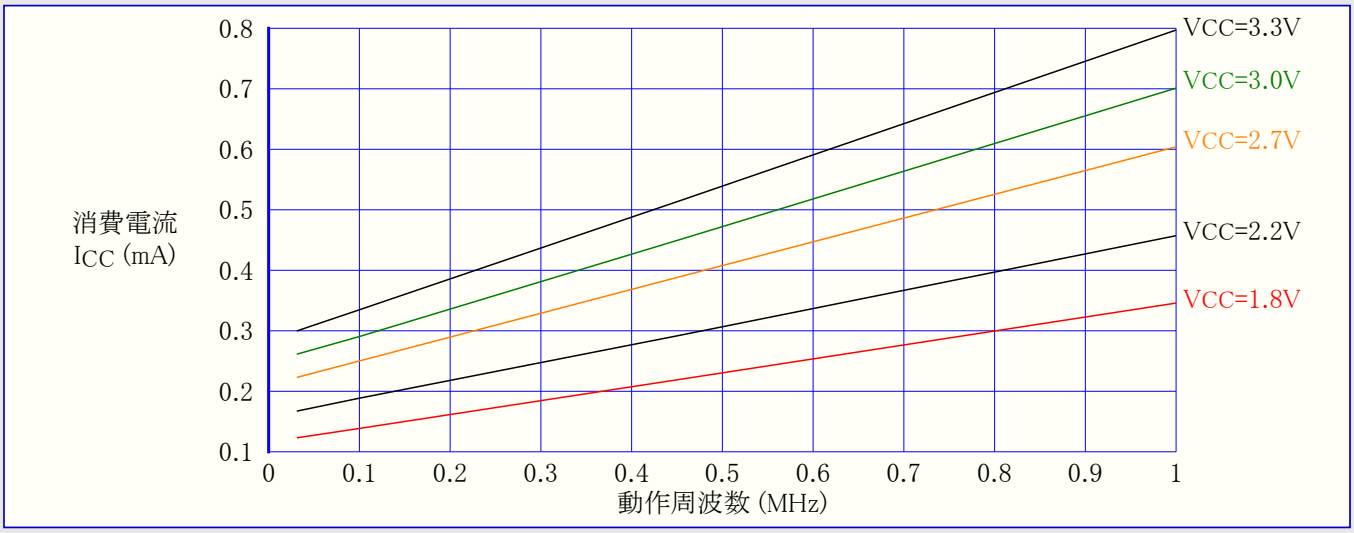


図38-2. 活動動作消費電流 対 周波数（f_{SYS}=1～32MHz外部ｸﾛｯｸ,T=25℃）

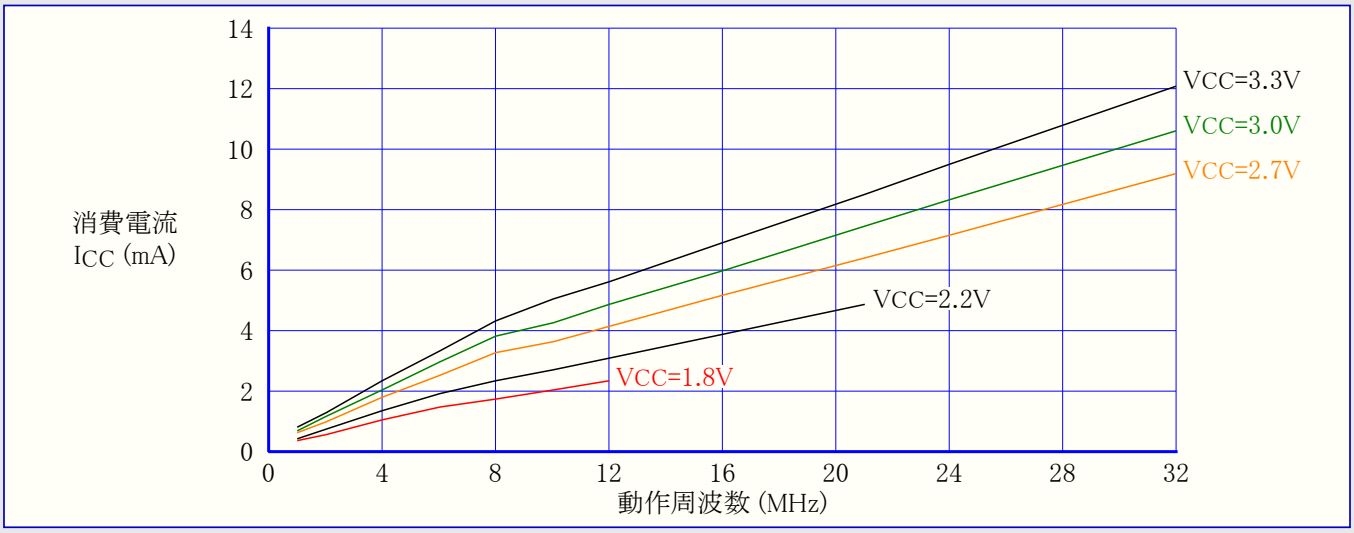


図38-3. 活動動作消費電流 対 動作電圧（f_{SYS}=32.768kHz内部発振器）

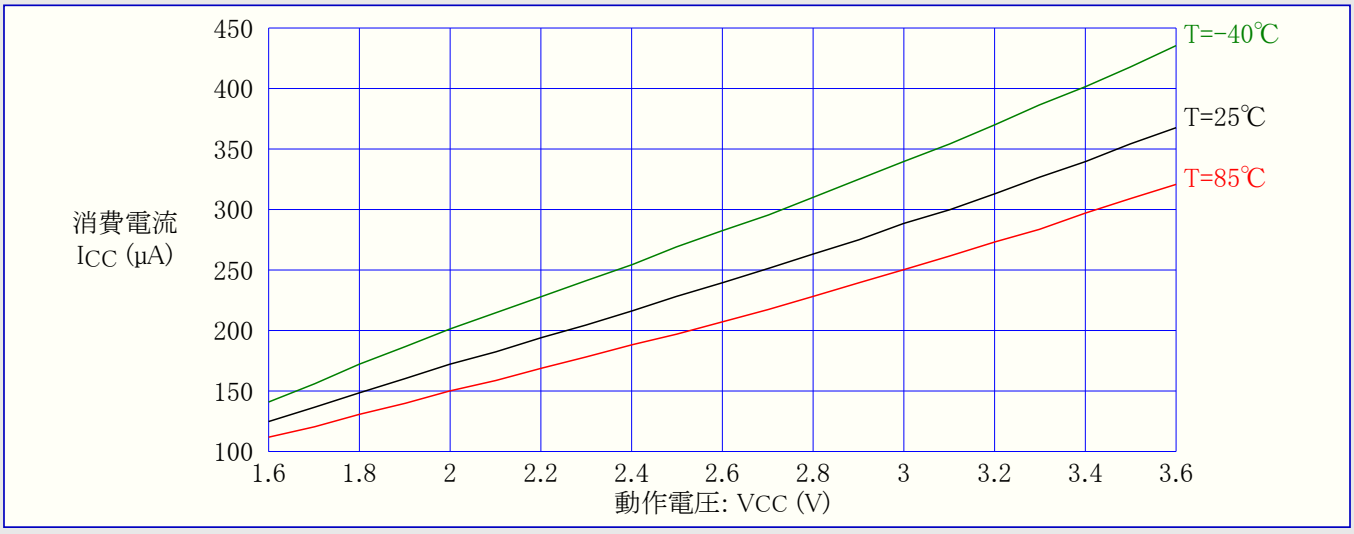


図38-4. 活動動作消費電流 対 動作電圧（f_{SYS}=1MHz外部クロック）

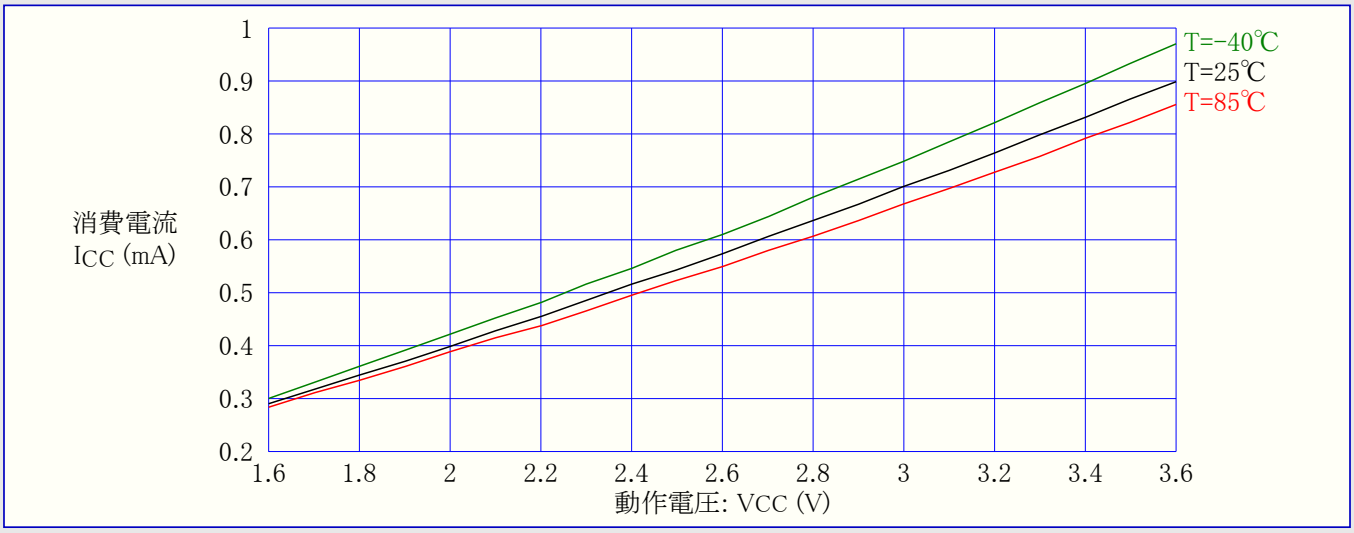


図38-5. 活動動作消費電流 対 動作電圧（f_{SYS}=2MHz内部発振器）

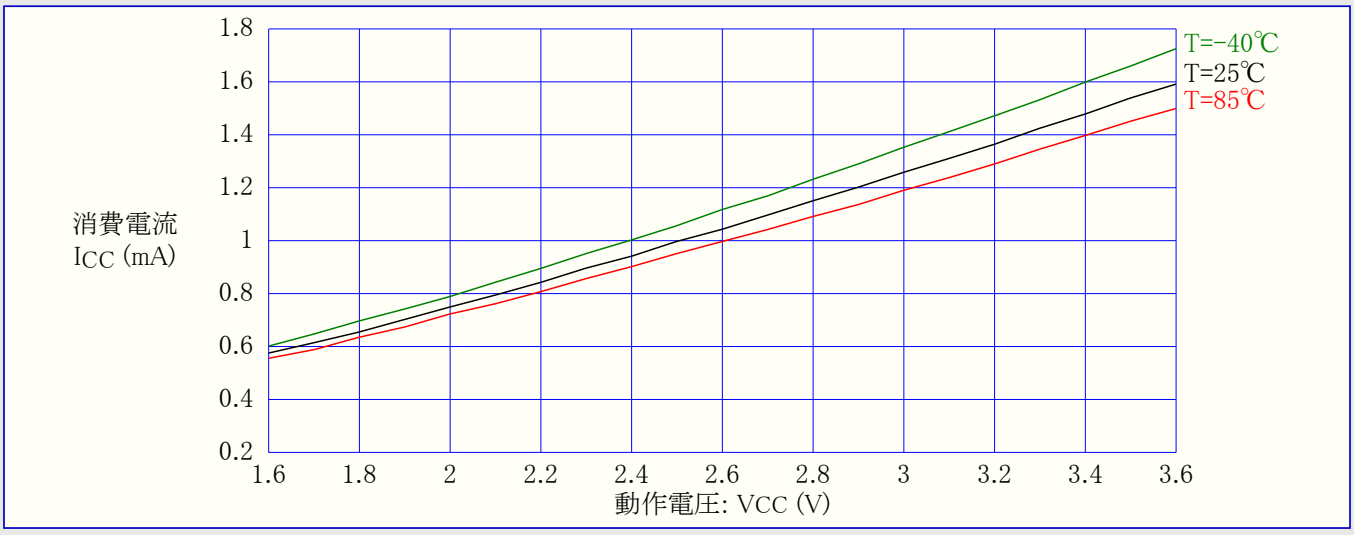


図38-6. 活動動作消費電流 対 動作電圧（f_{SYS}=8MHzに前置分周した32MHz内部発振器）

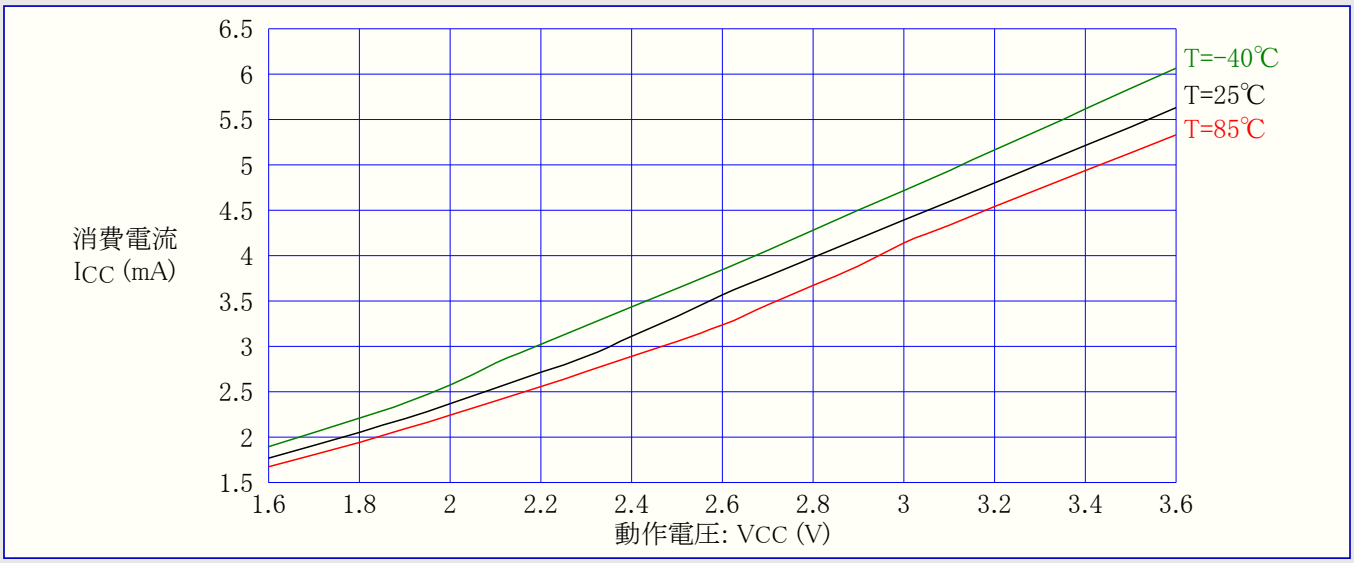
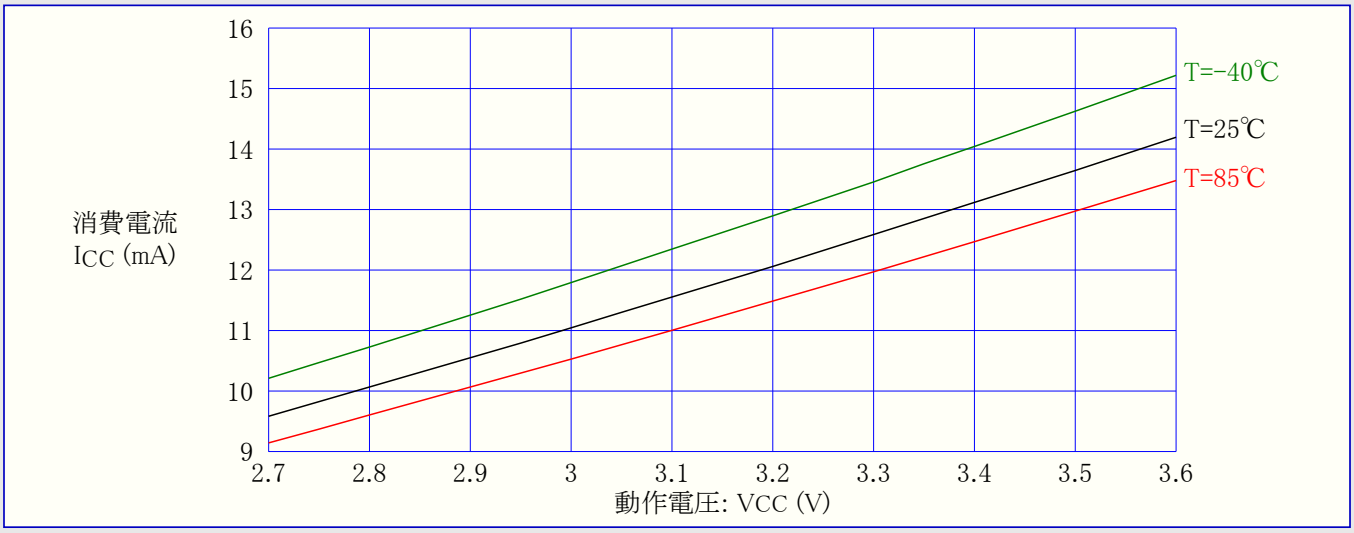


図38-7. 活動動作消費電流 対 動作電圧（f_{SYS}=32MHz内部発振器）



38.1.2. ｱｲﾄﾞﾙ動作消費電流

図38-8. ｱｲﾄﾞﾙ動作消費電流 対 周波数（f_{SYS}=0～1.0MHz外部ｸﾛｯｸ,T=25℃）

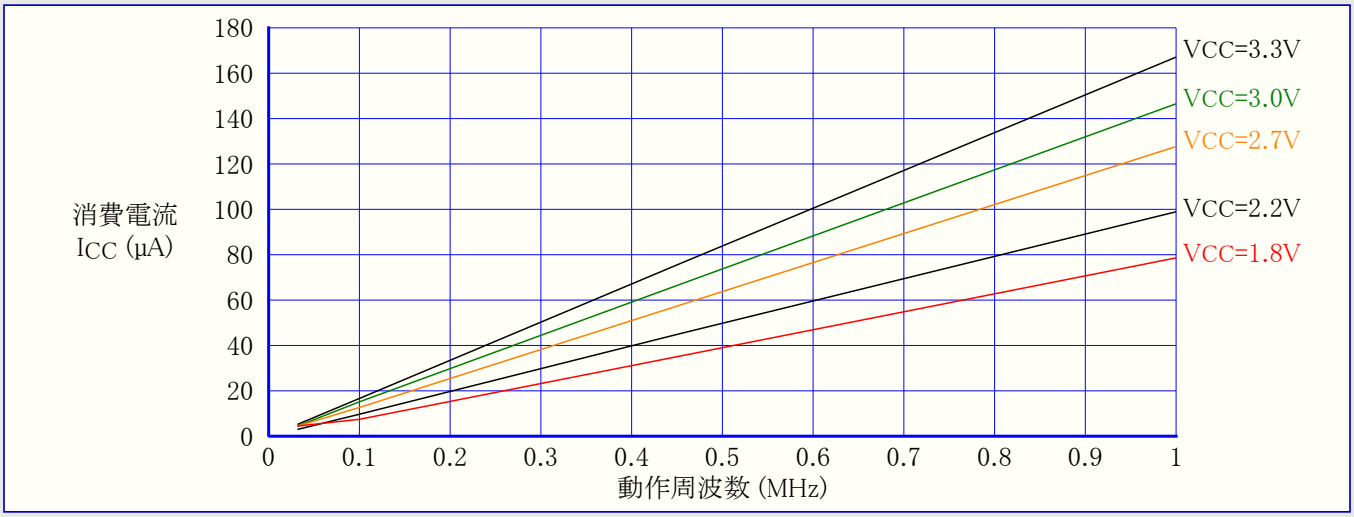


図38-9. ｱｲﾄﾞﾙ動作消費電流 対 周波数（f_{SYS}=1～32MHz外部ｸﾛｯｸ,T=25℃）

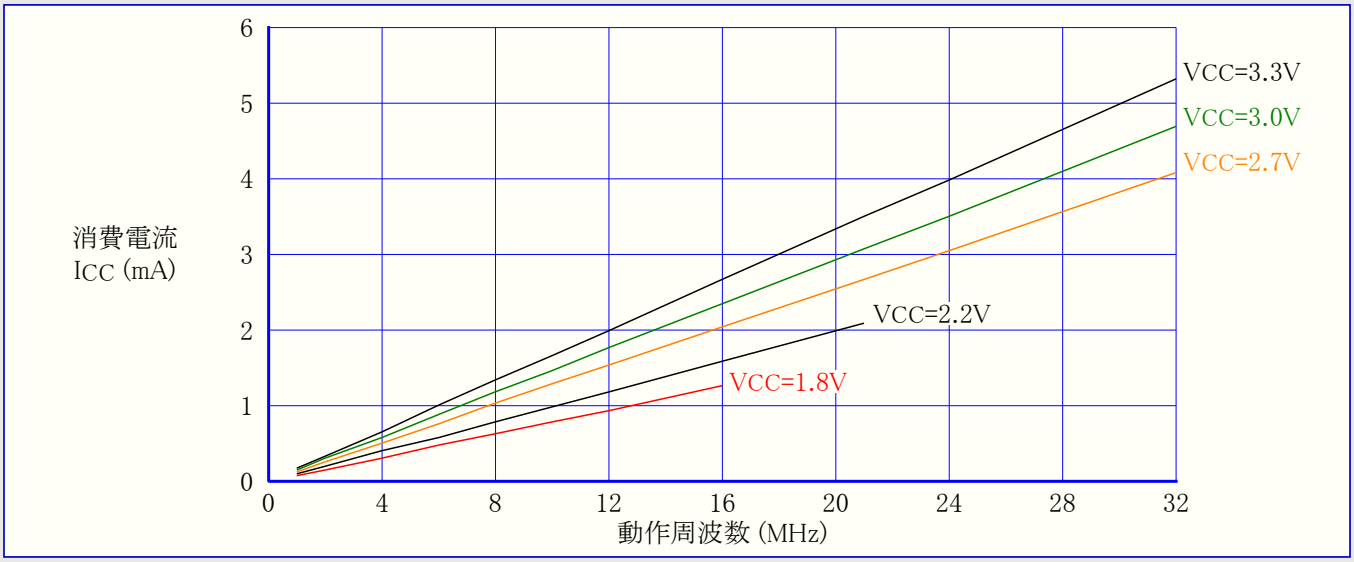


図38-10. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧（f_{SYS}=32.768kHz内部発振器）

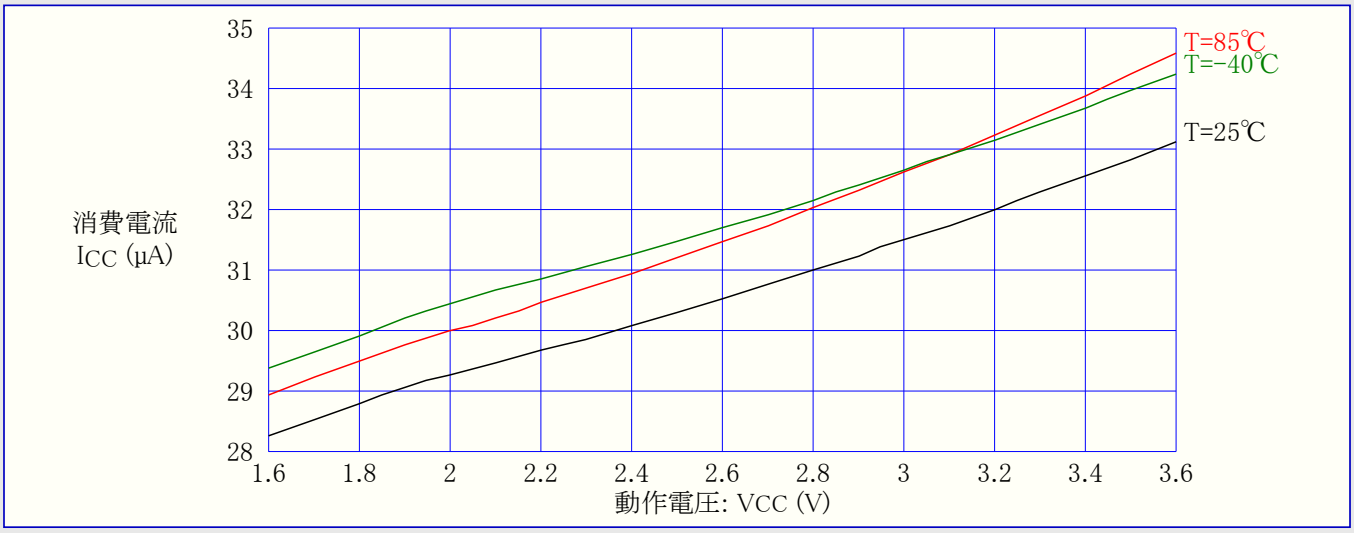


図38-11. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧（f_{SYS}=1MHz外部発振器）

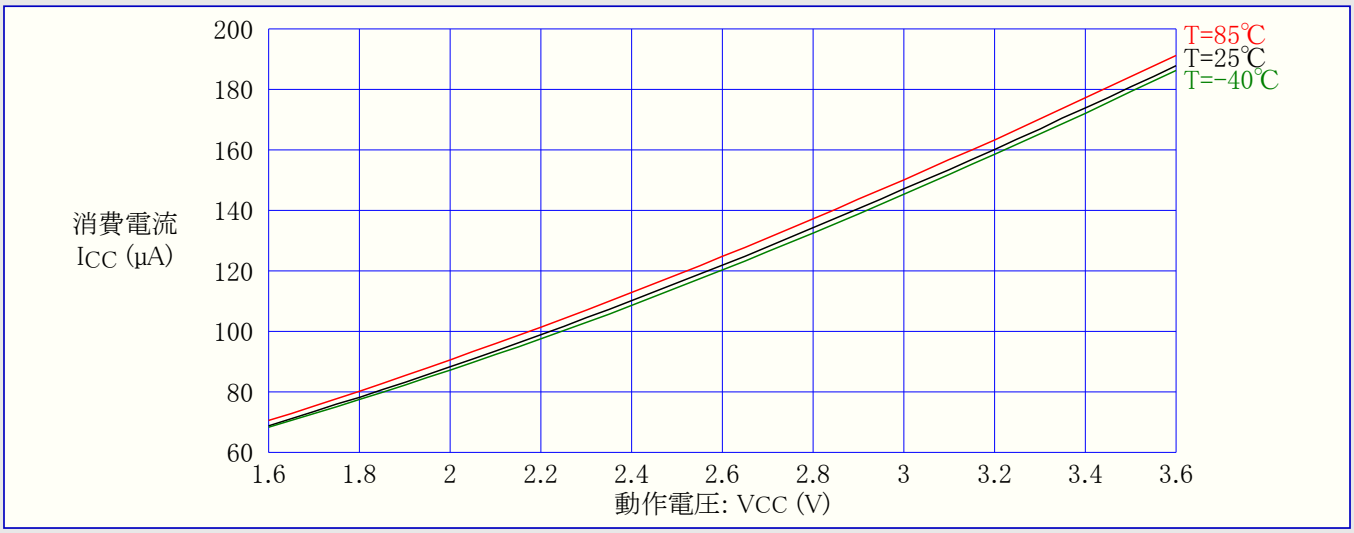


図38-12. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧（f_{SYS}=2MHz内部発振器）

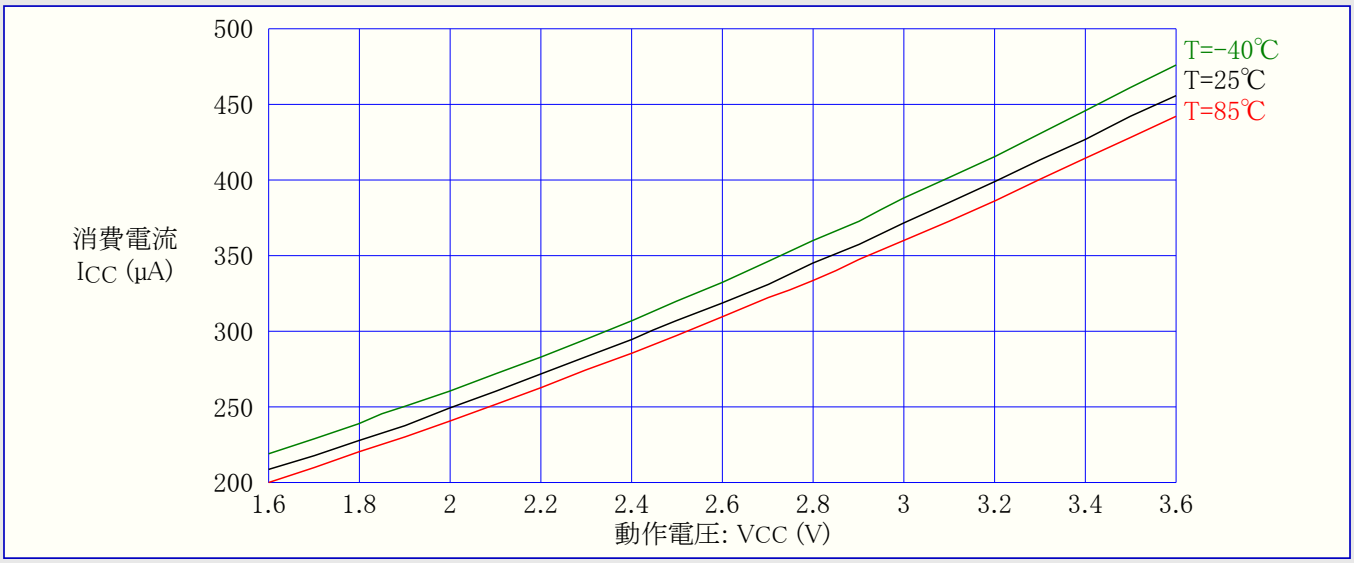


図38-13. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧（f_{SYS}=8MHzへ前置分周された32MHz内部発振器）

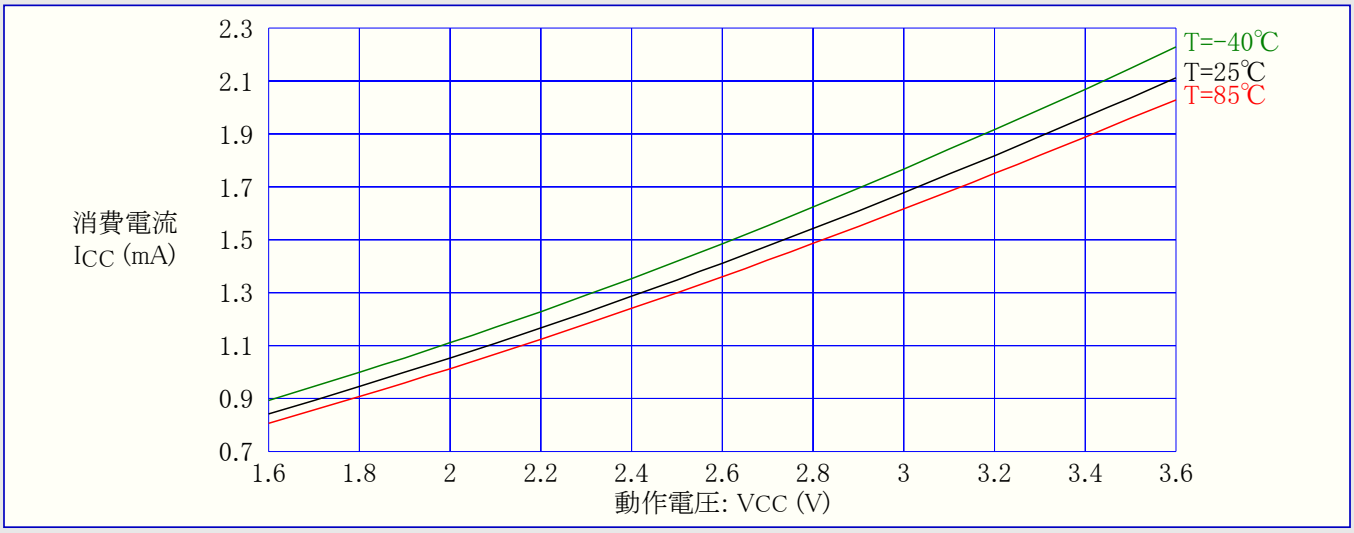
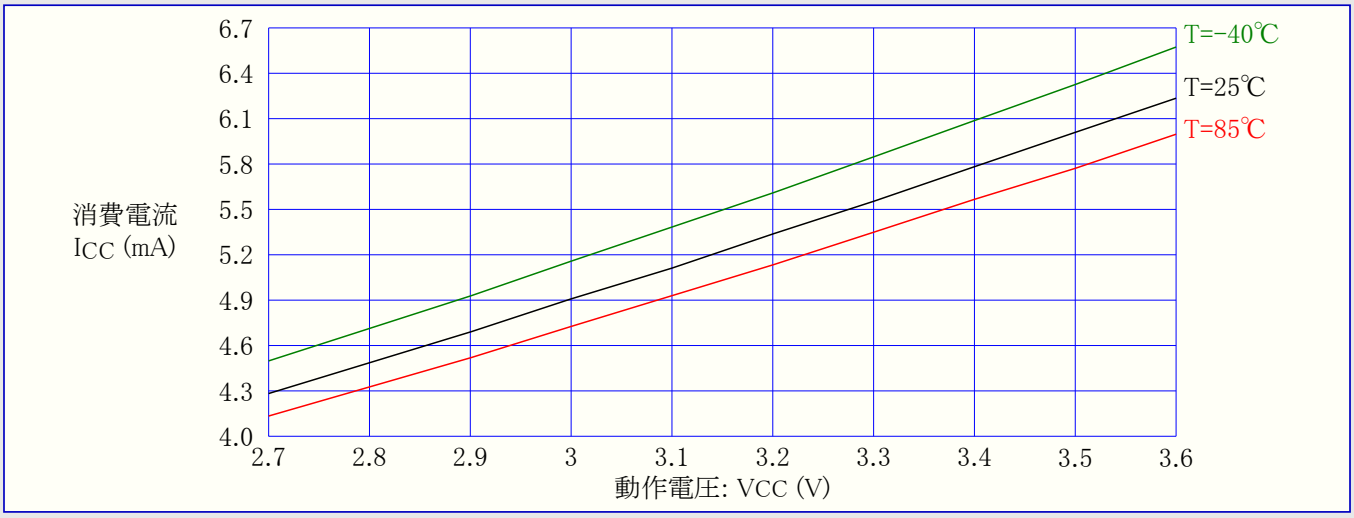


図38-14. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧（f_{SYS}=32MHz内部発振器）



38.1.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図38-15. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧（全機能禁止）

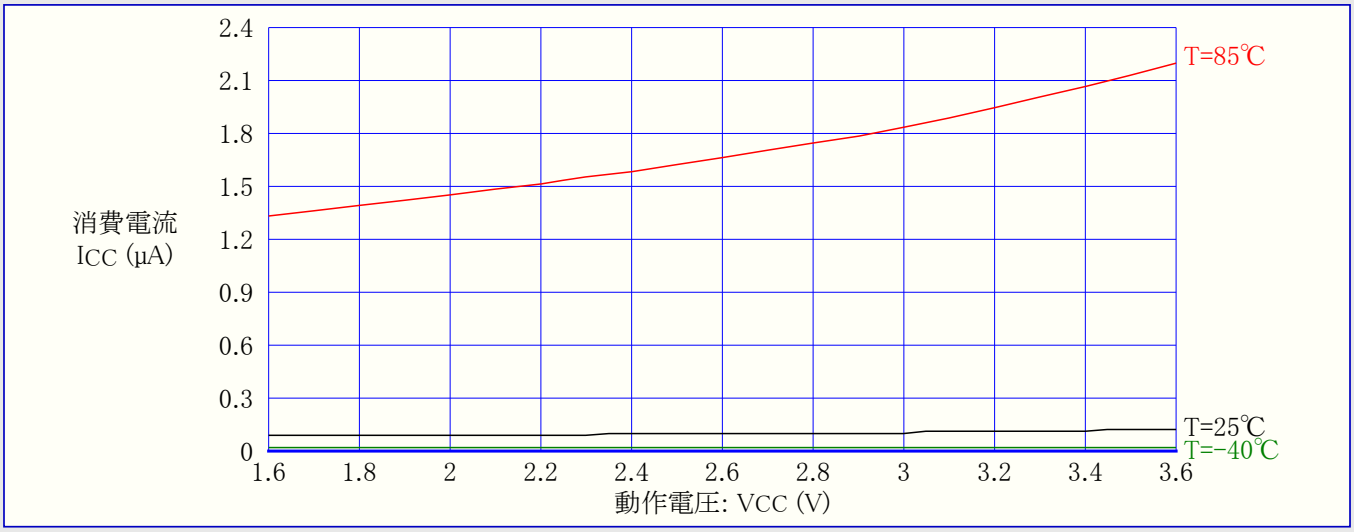
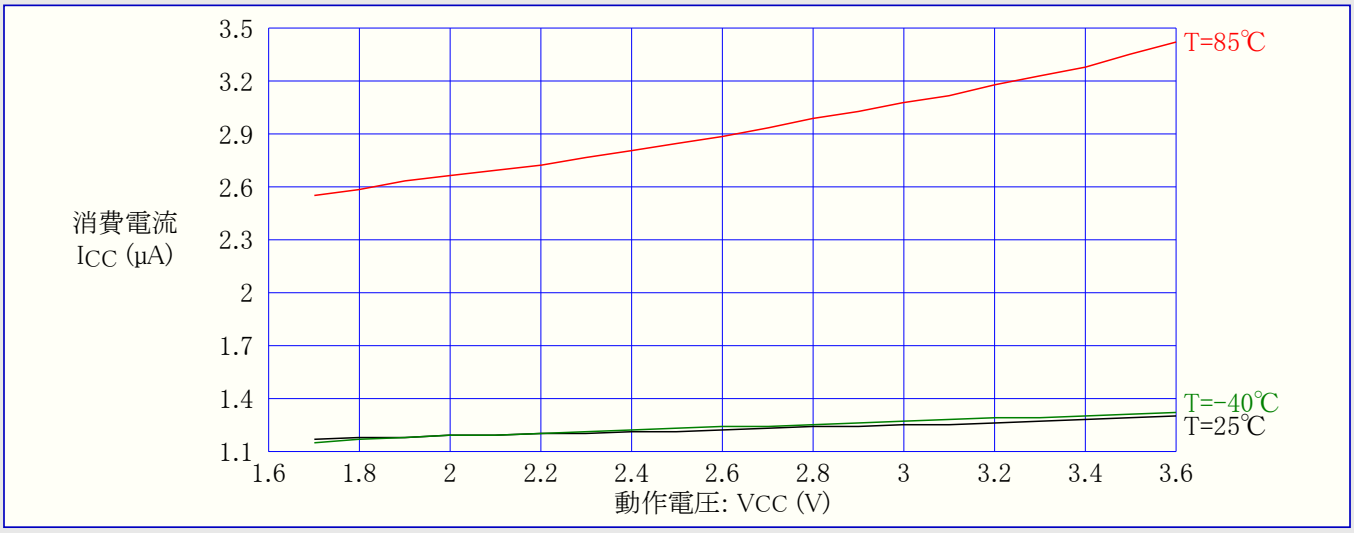
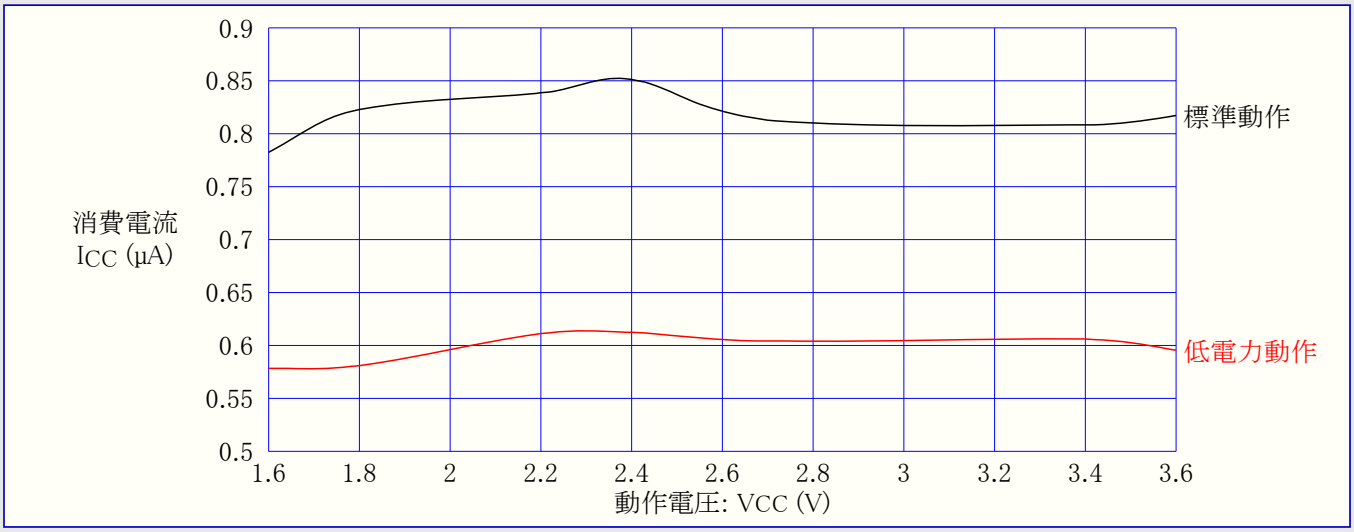


図38-16. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (採取動作BOD,WDT許可)



38.1.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図38-17. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



38.1.5. ｽﾀﾝﾊﾞｲ動作消費電流

図38-18. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (f_{SYS}=1MHz)

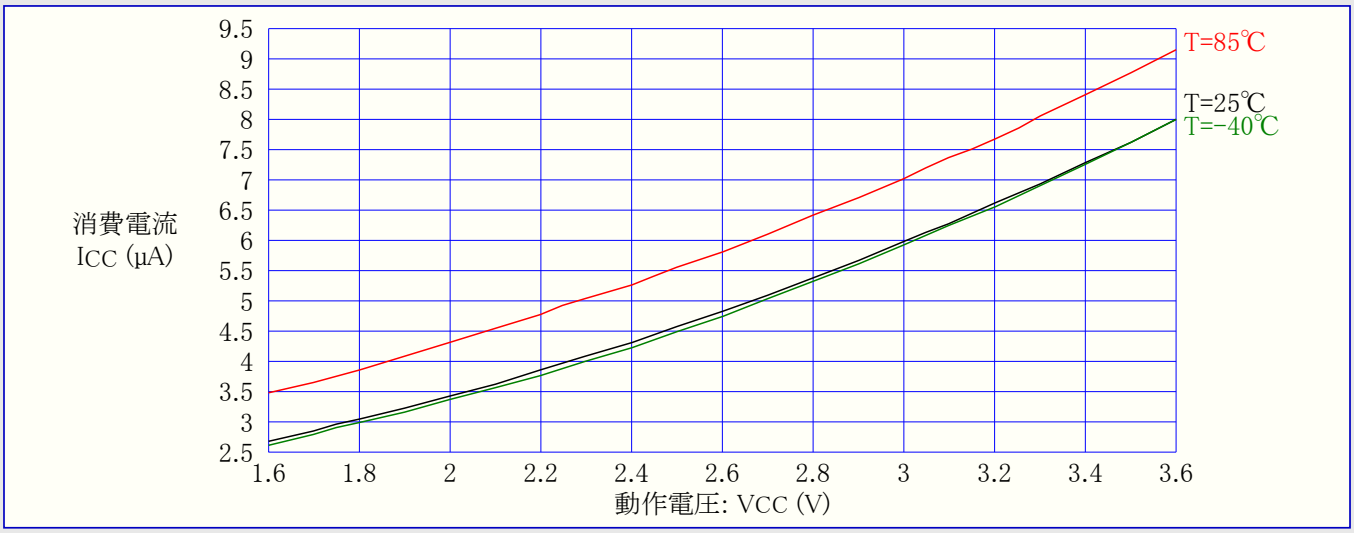
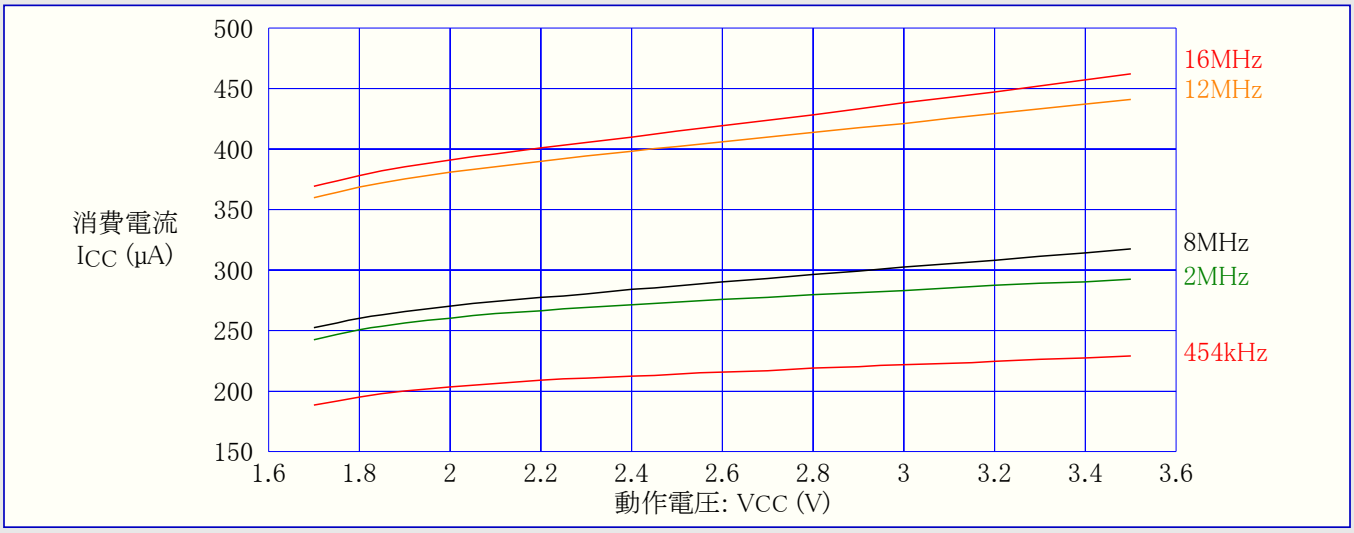


図38-19. ｽﾀﾝﾊﾞｲ動作消費電流 対 動作電圧 (各種ｸﾘｽﾀﾙ用発振器での走行,T=25℃)



38.2. 入出力ﾋﾟﾝ特性

38.2.1. ﾌﾟﾙｱｯﾌﾟ

図38-20. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=1.8V)

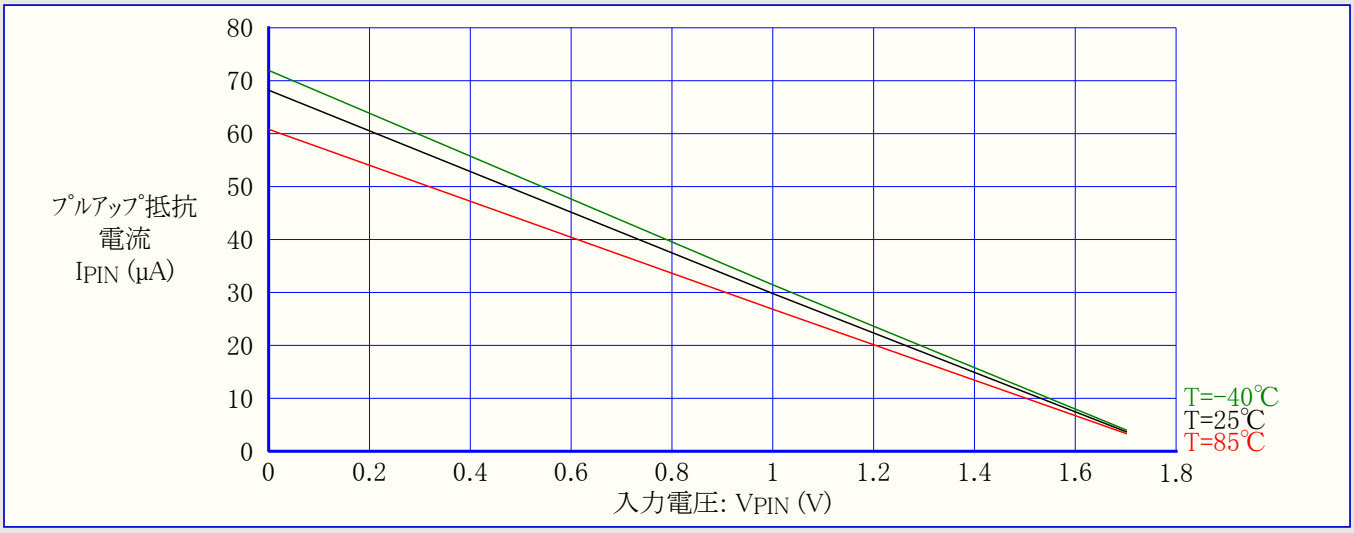


図38-21. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.0V)

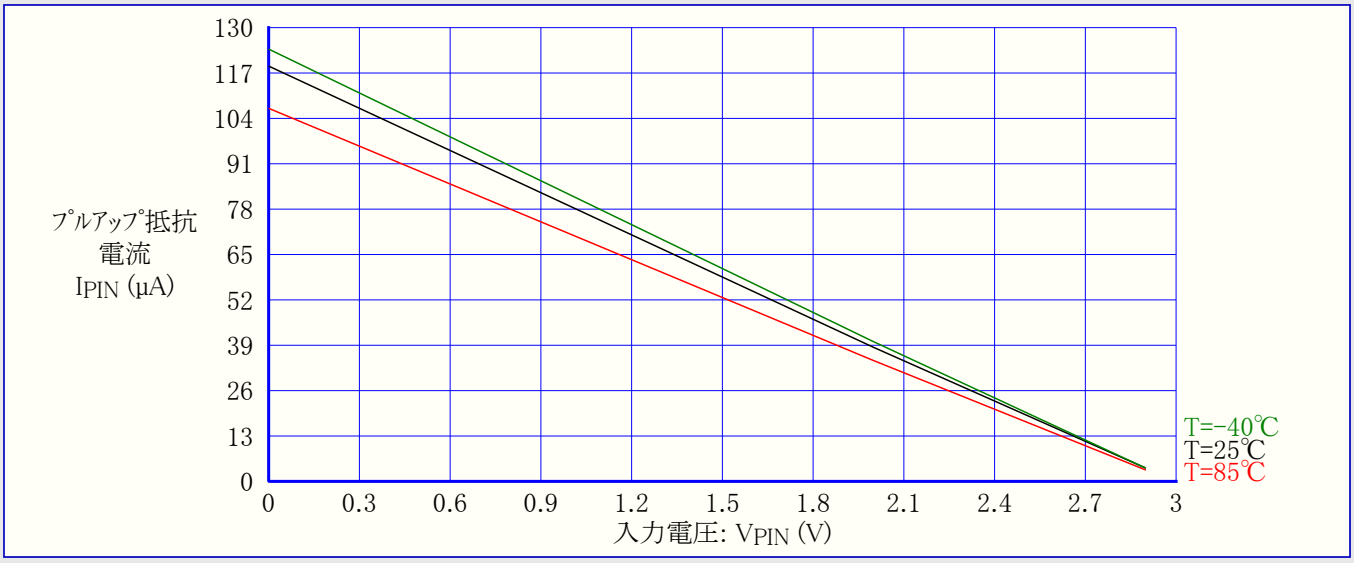
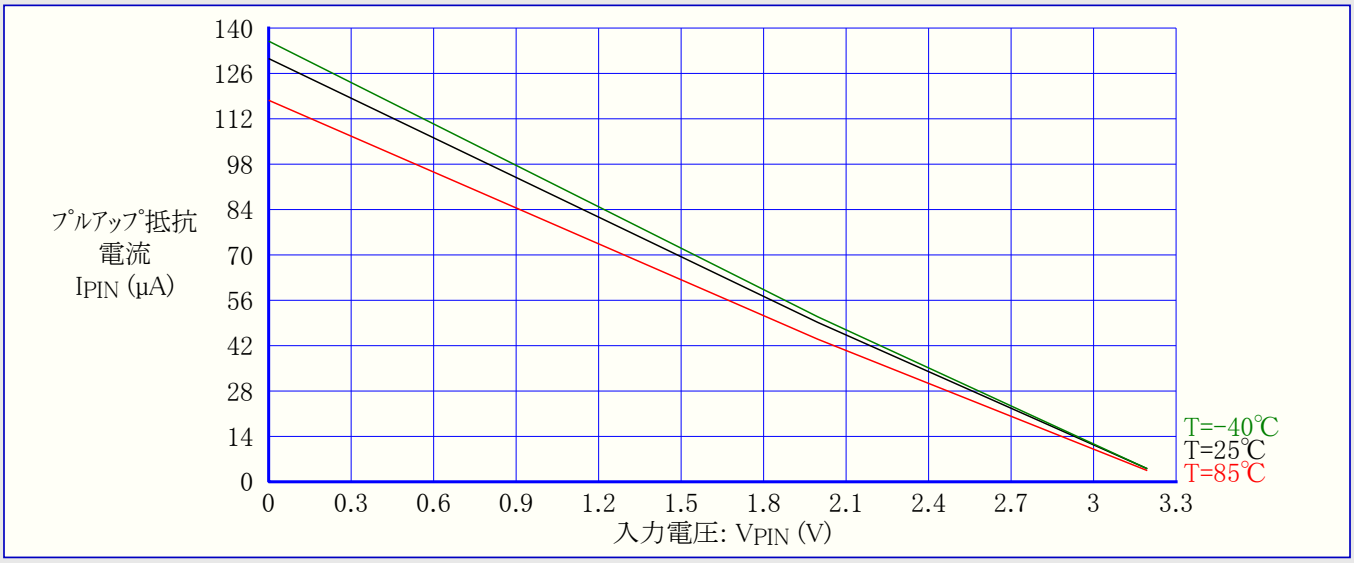


図38-22. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



38.2.2. 出力電圧 対 吸い込み/吐き出し電流

図38-23. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

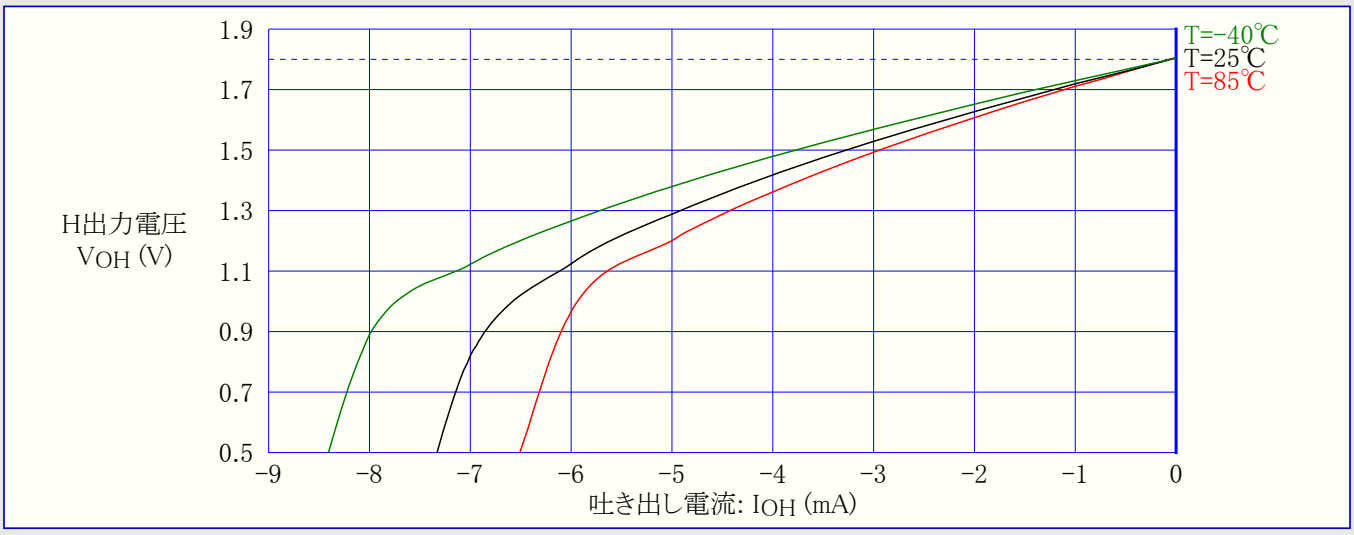


図38-24. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

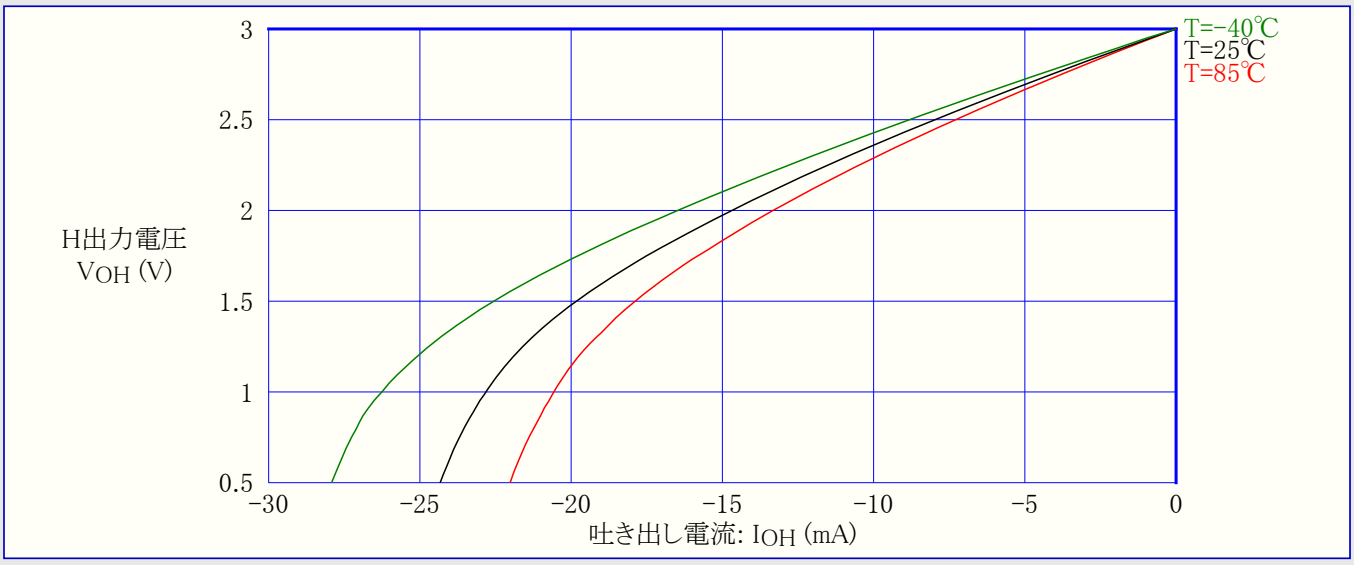


図38-25. I/Oﾋﾟﾝ出力電圧 対 吐き出し電流 (VCC=3.3V)

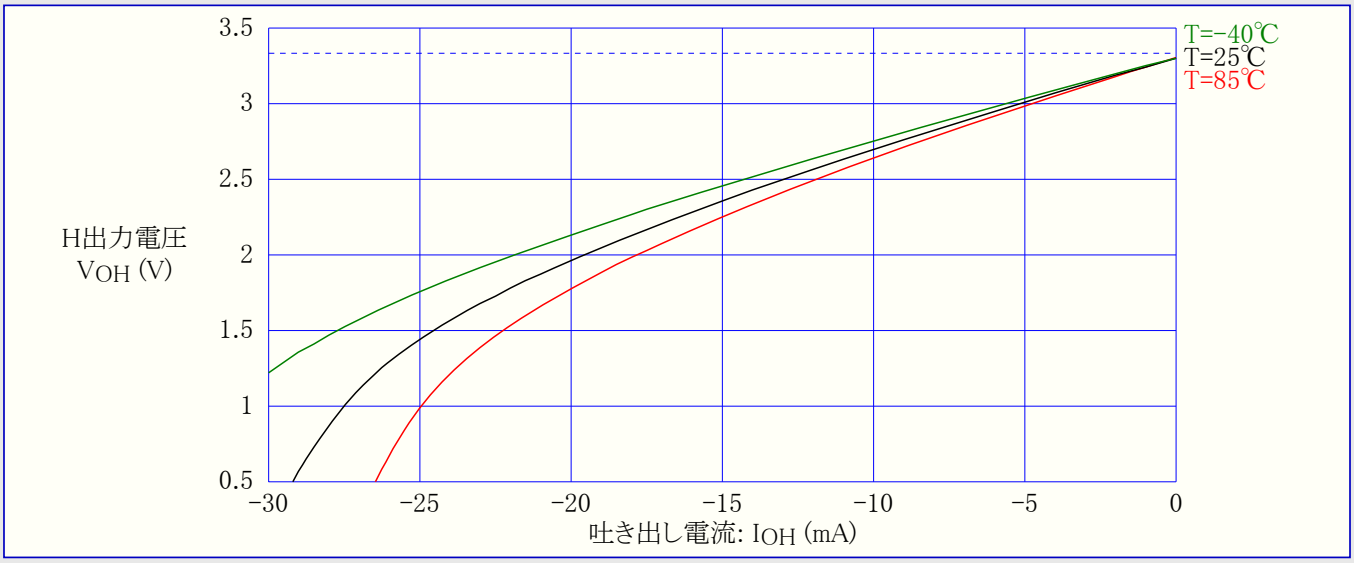


図38-26. I/Oﾋﾟﾝ出力電圧 対 吐き出し電流 (T=25℃)

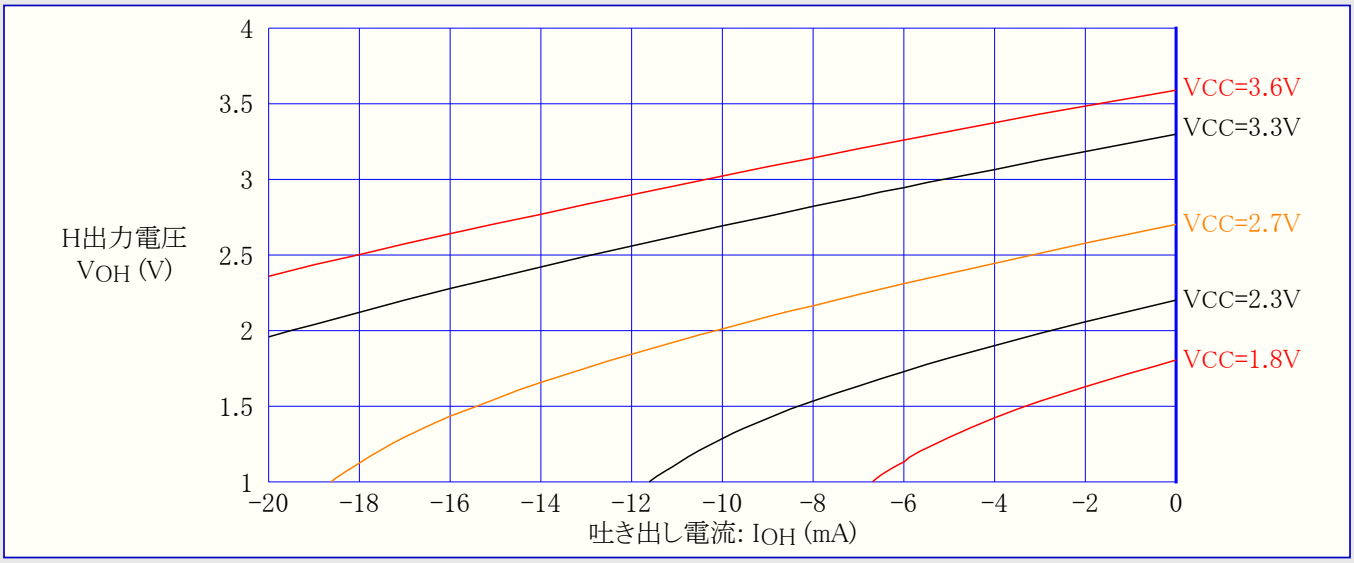


図38-27. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=1.8V)

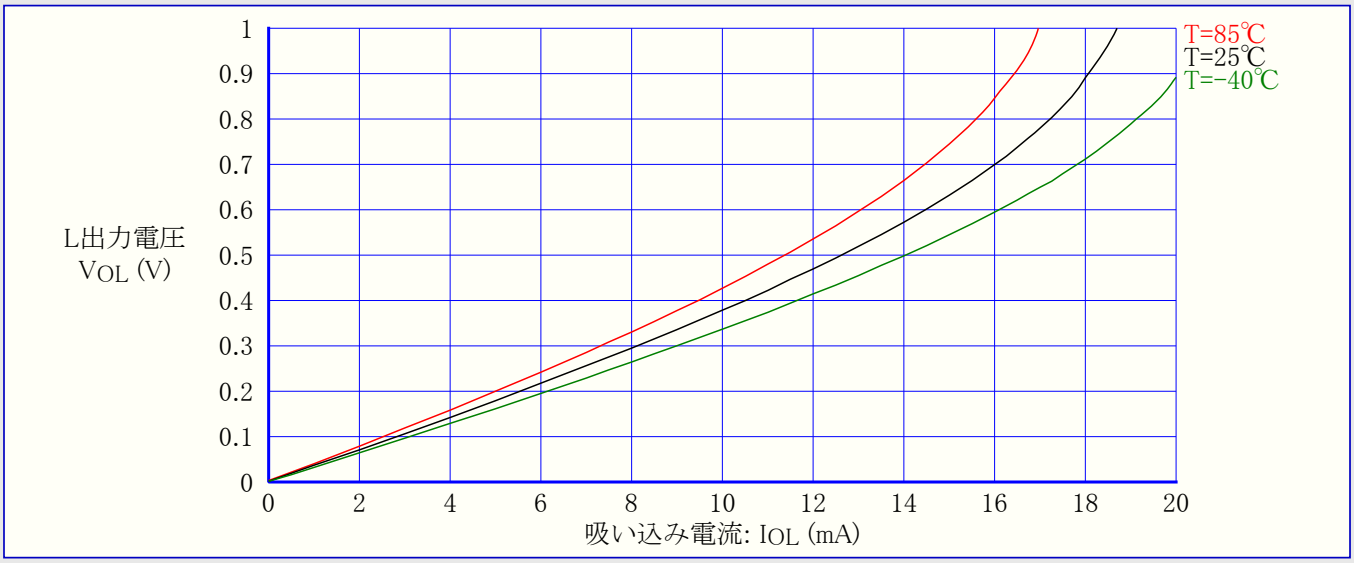


図38-28. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.0V)

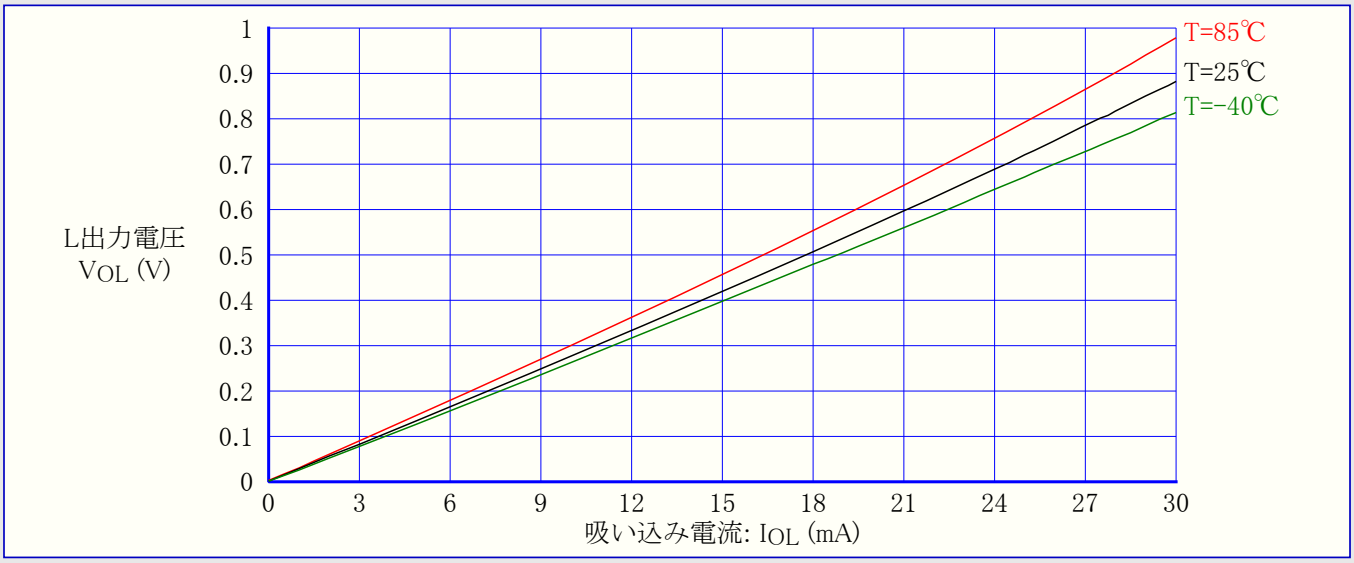


図38-29. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.3V)

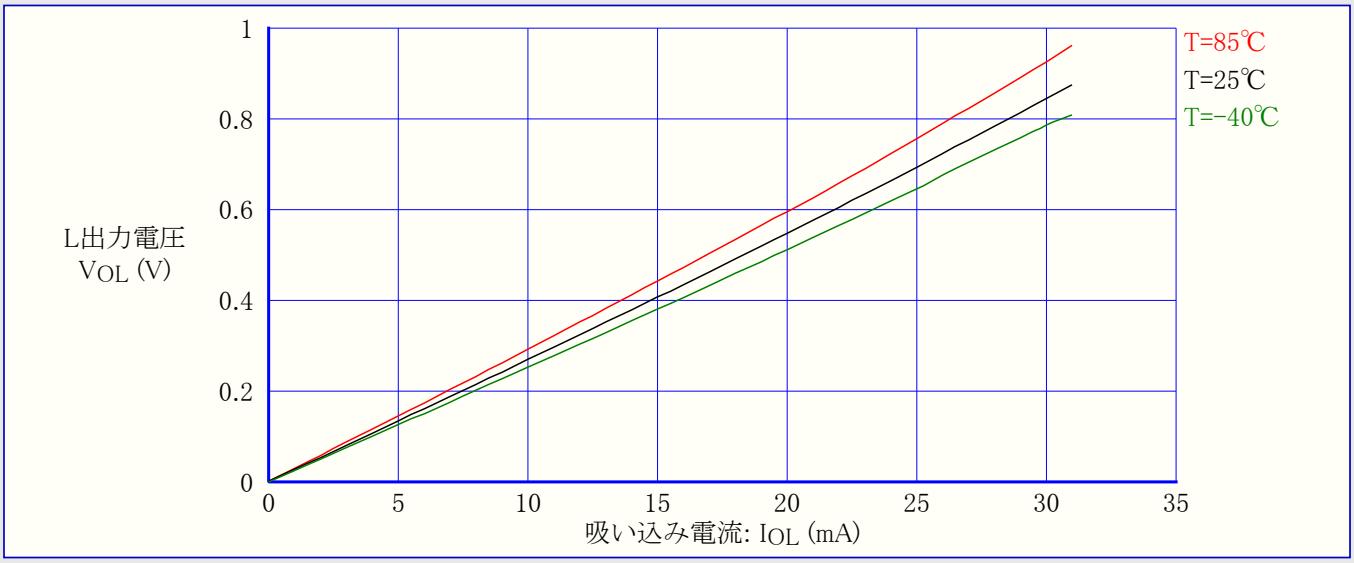
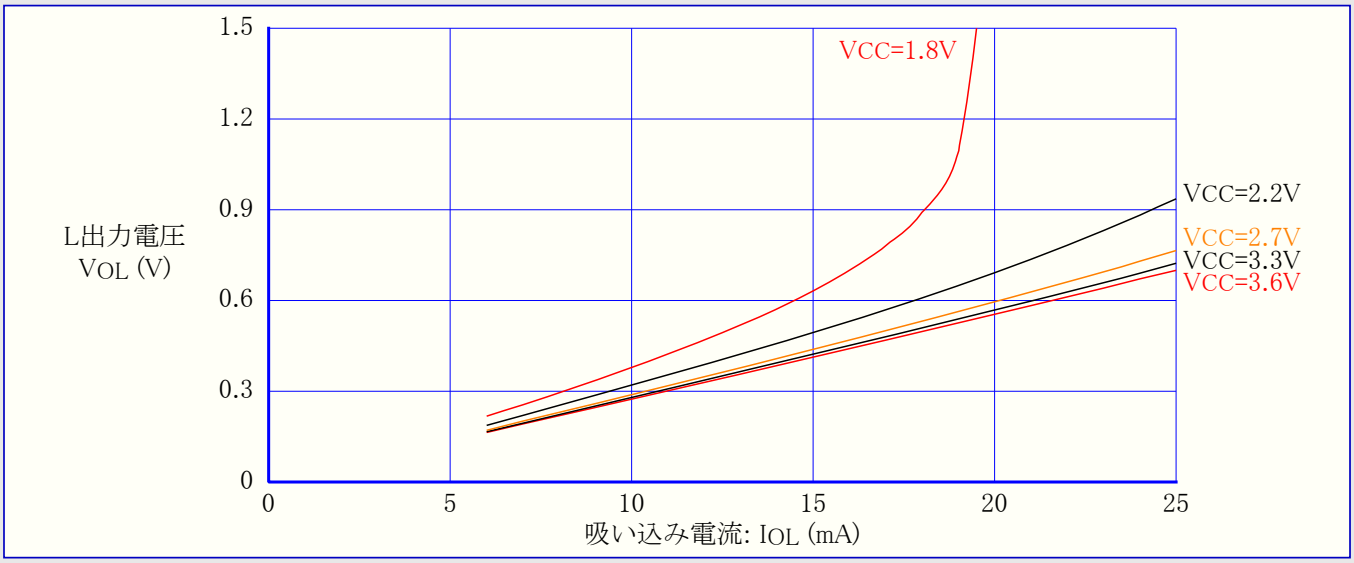


図38-30. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (T=25℃)



38.2.3. 閾値とヒステリシス

図38-31. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (T=25℃)

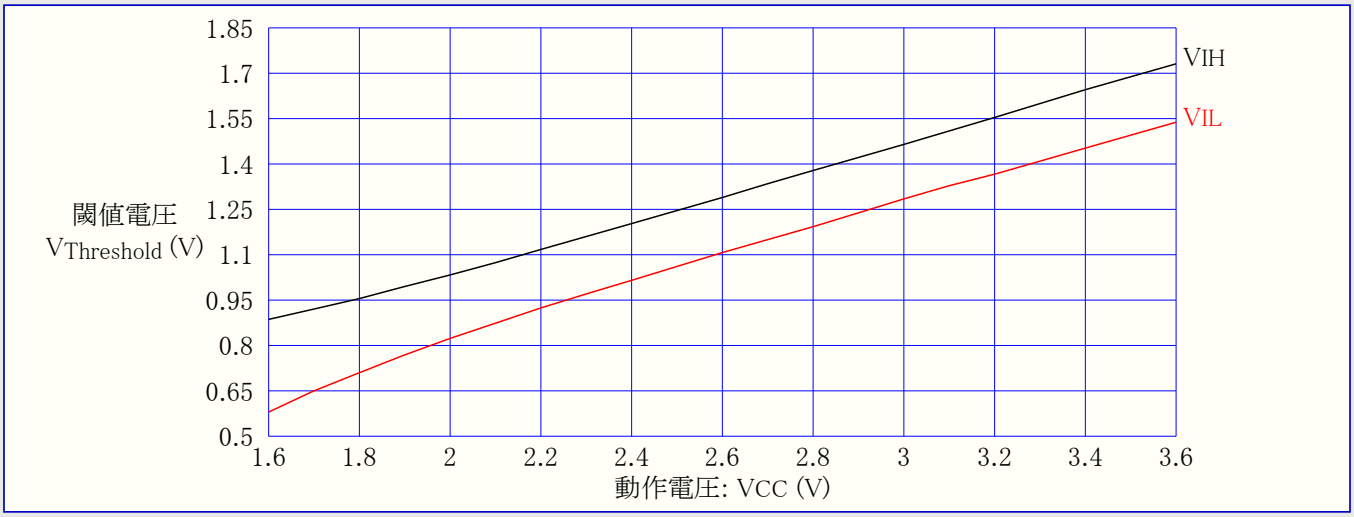


図38-32. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

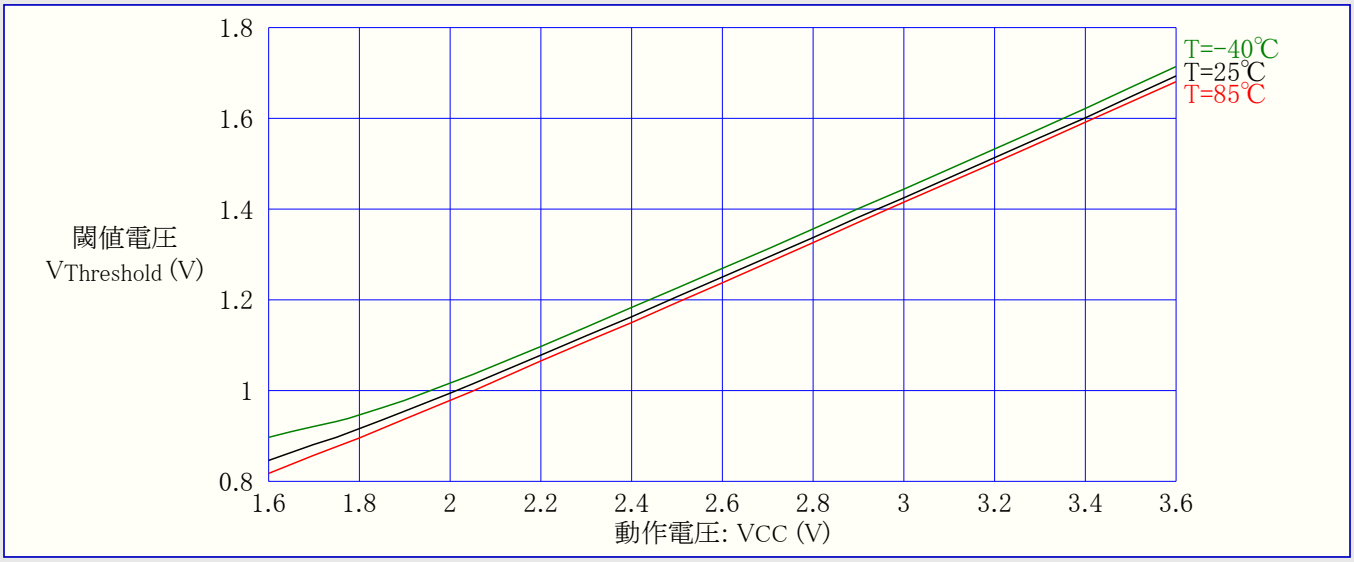


図38-33. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)

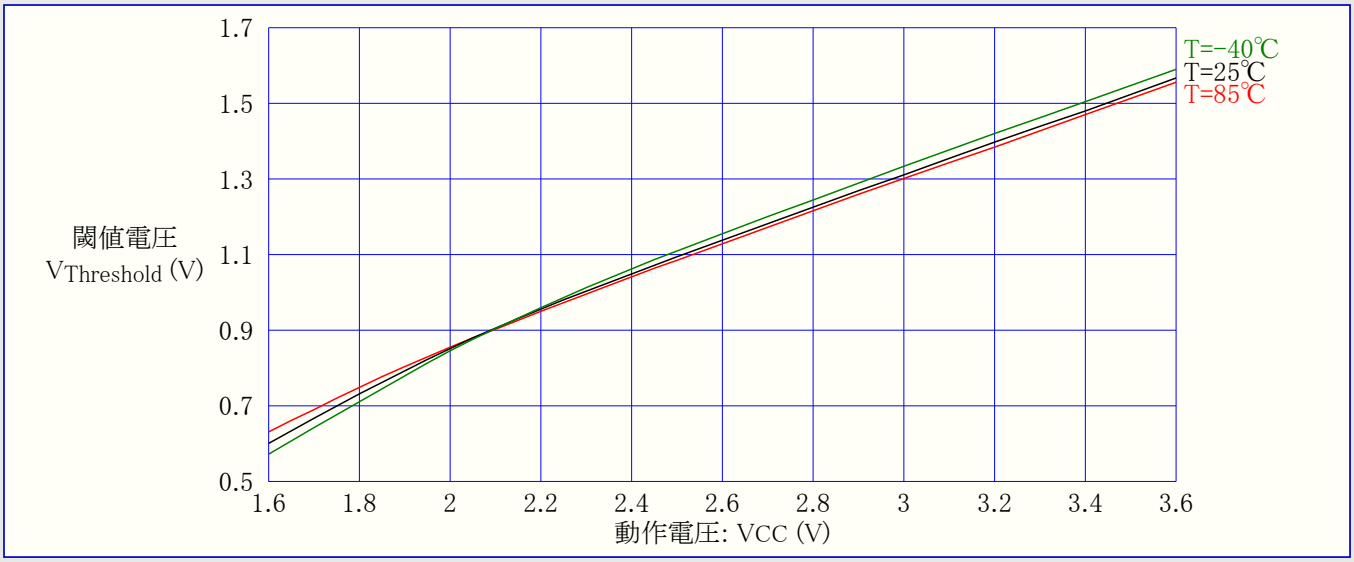
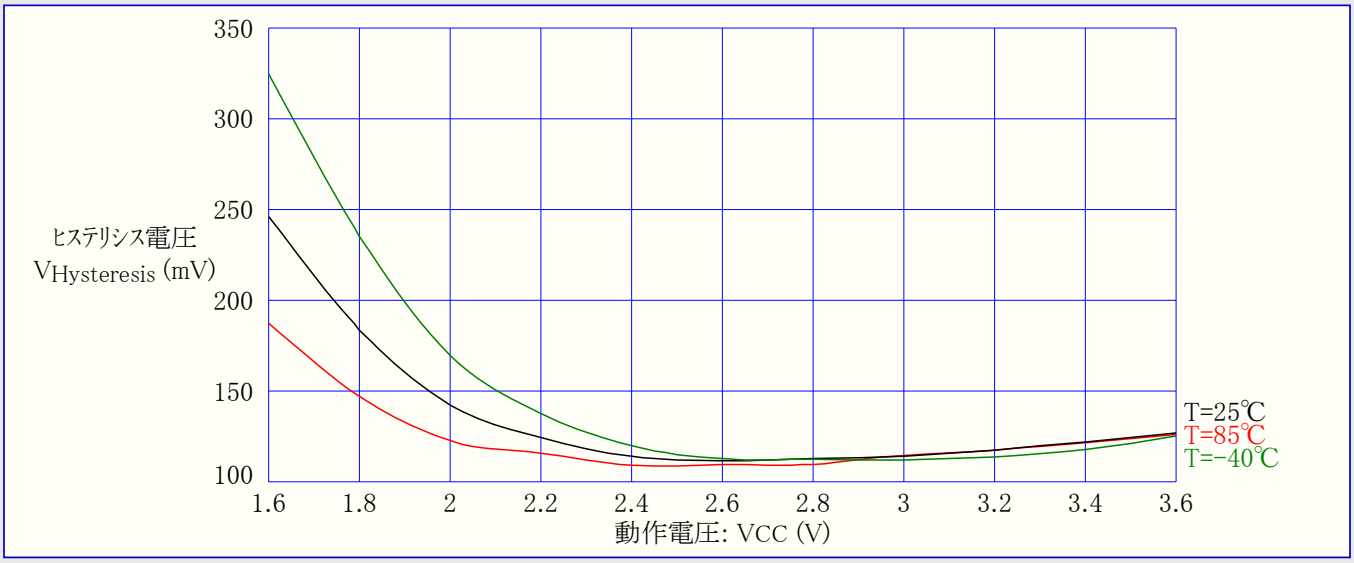


図38-34. I/Oピン入力ヒステリシス電圧 対 動作電圧



38.3. A/D変換器(ADC)特性

図38-35. ADC積分性誤差(INL) 対 外部VREF (T=25℃、VCC=3.6V)

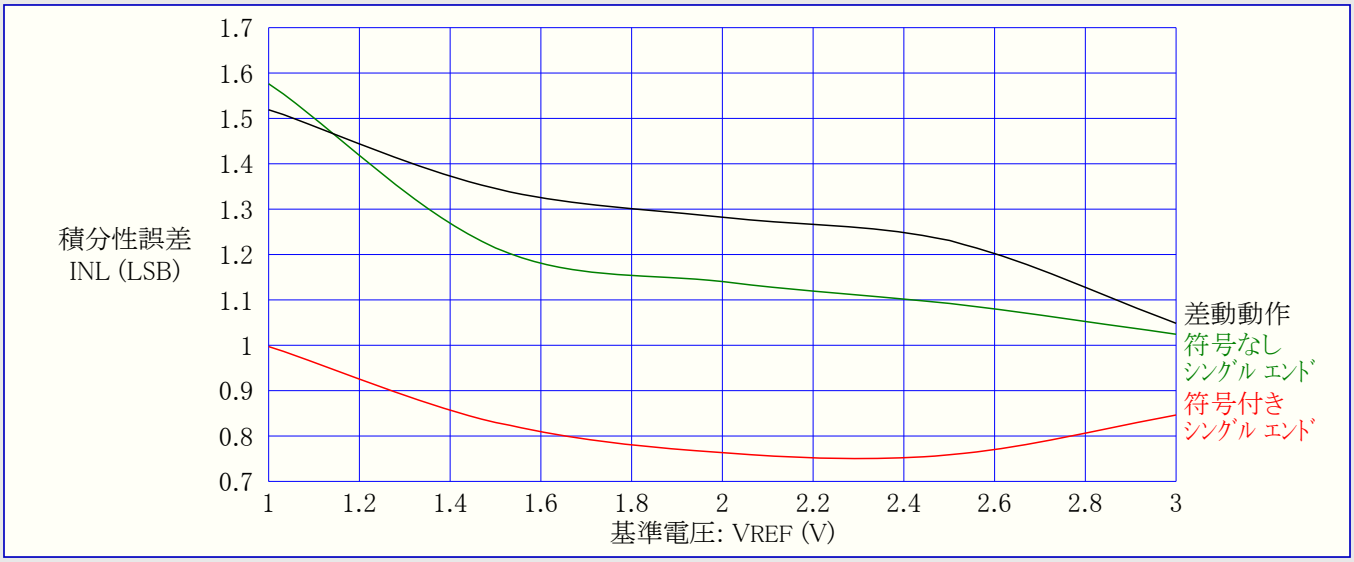


図38-36. ADC積分性誤差(INL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

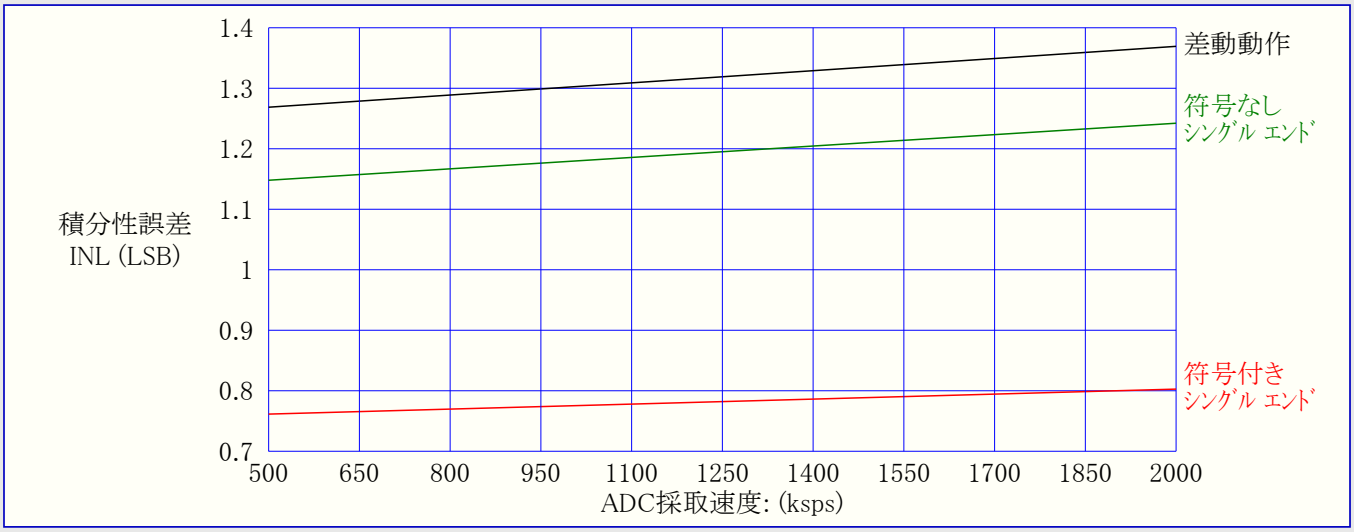


図38-37. ADC積分性誤差(INL) 対 入力符号

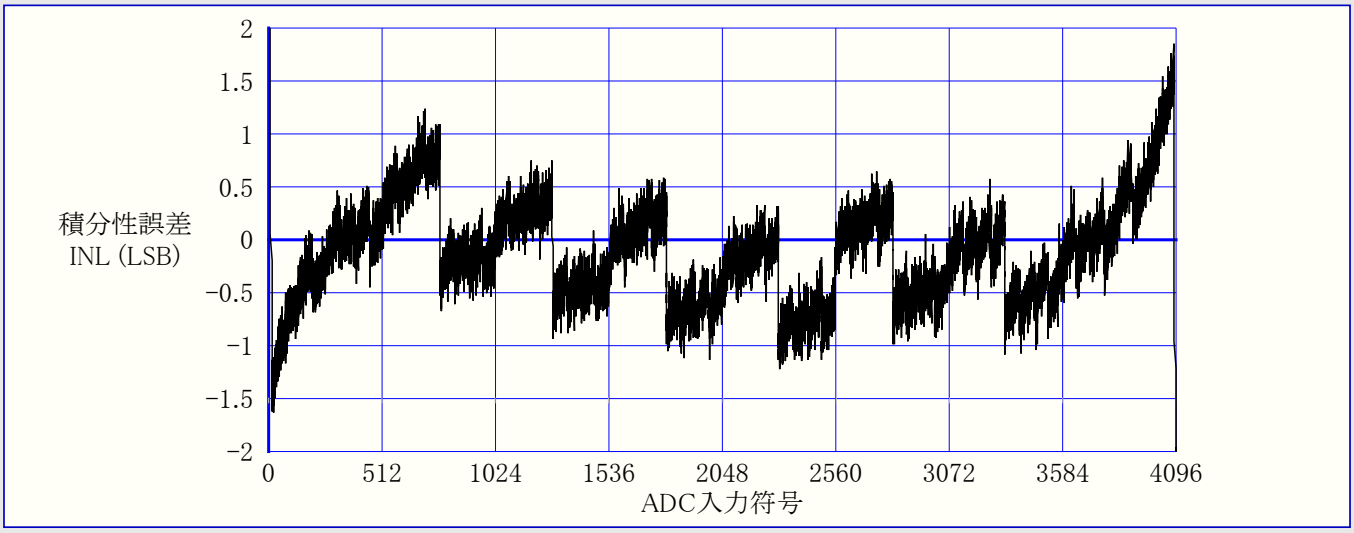


図38-38. ADC微分性誤差(DNL) 対 外部VREF (T=25℃、VCC=3.6V)

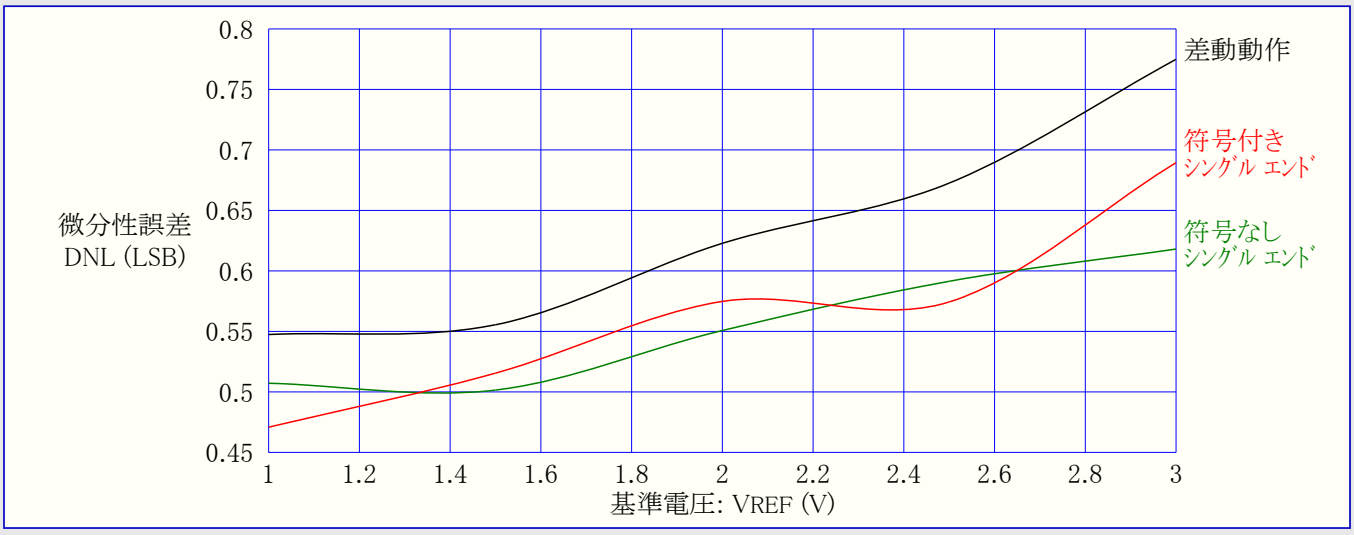


図38-39. ADC微分性誤差(DNL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

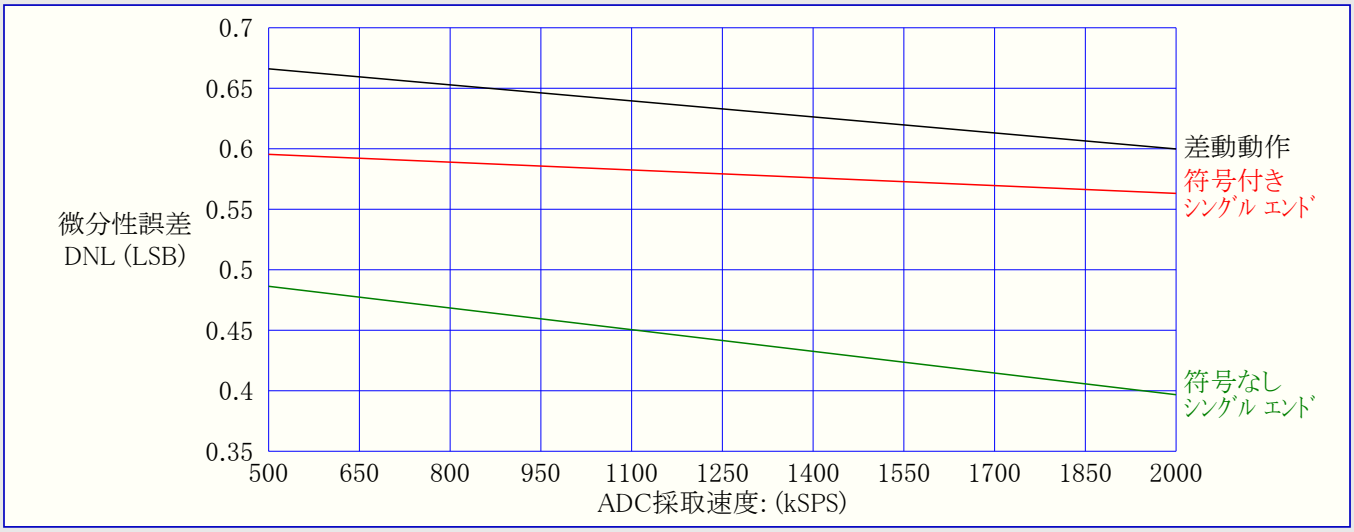


図38-40. ADC微分性誤差(DNL) 対 入力符号

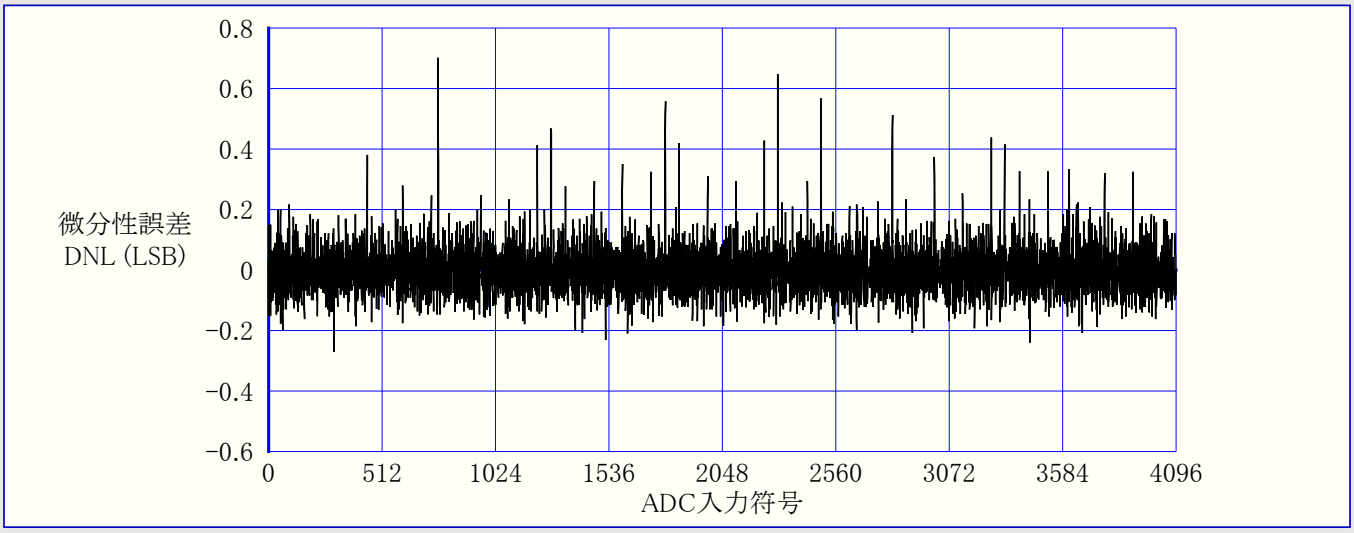


図38-41. ADC利得誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

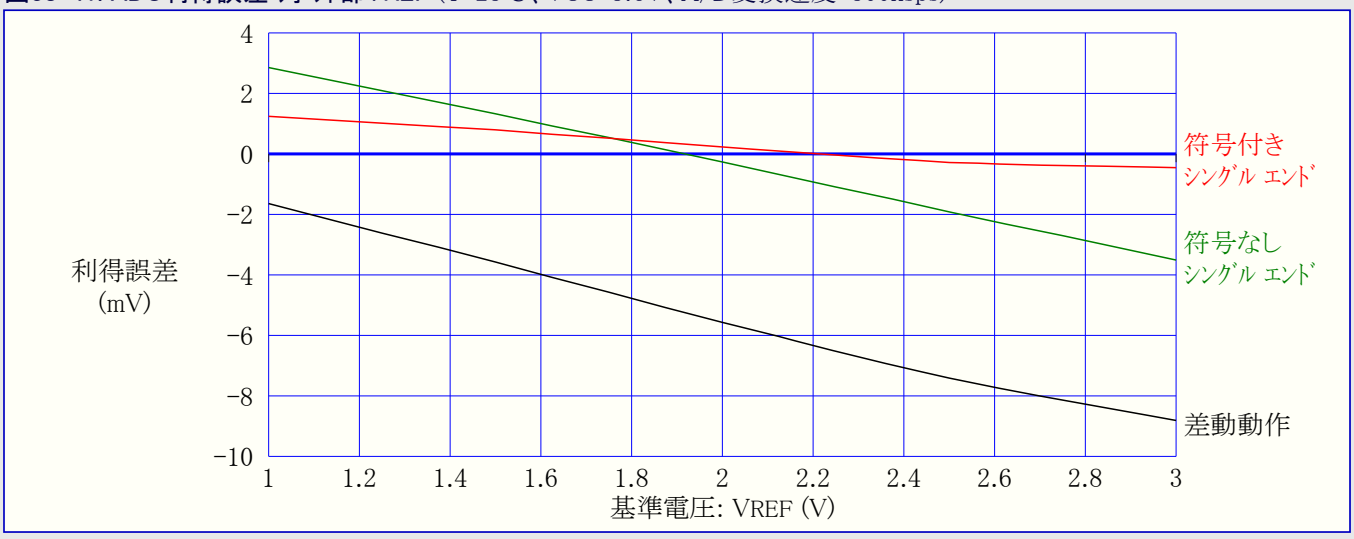


図38-42. ADC利得誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

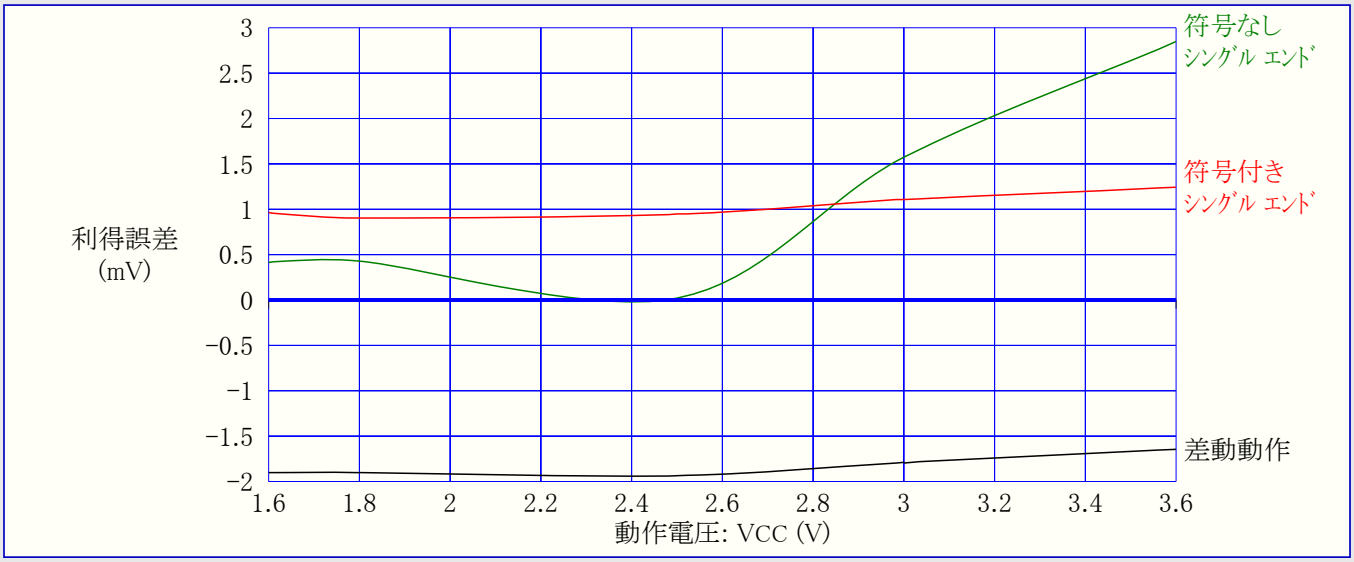


図38-43. ADC変位(オフセット)誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

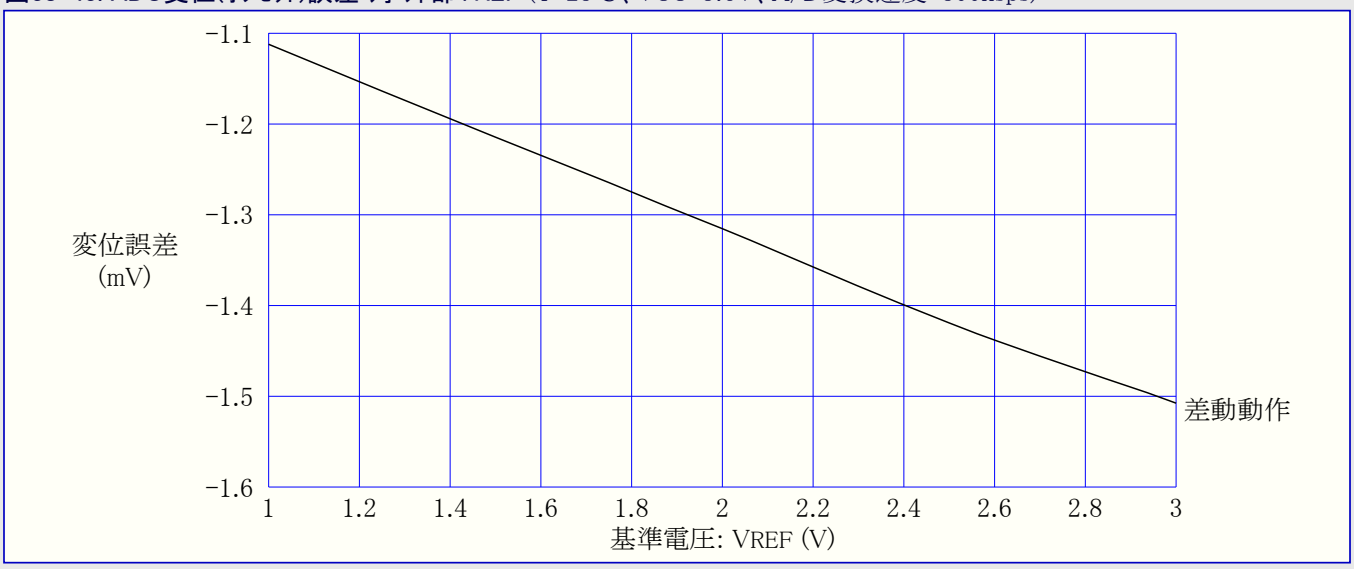


図38-44. ADC利得誤差 対 動作温度 (VCC=3.0V、VREF=外部2.0V)

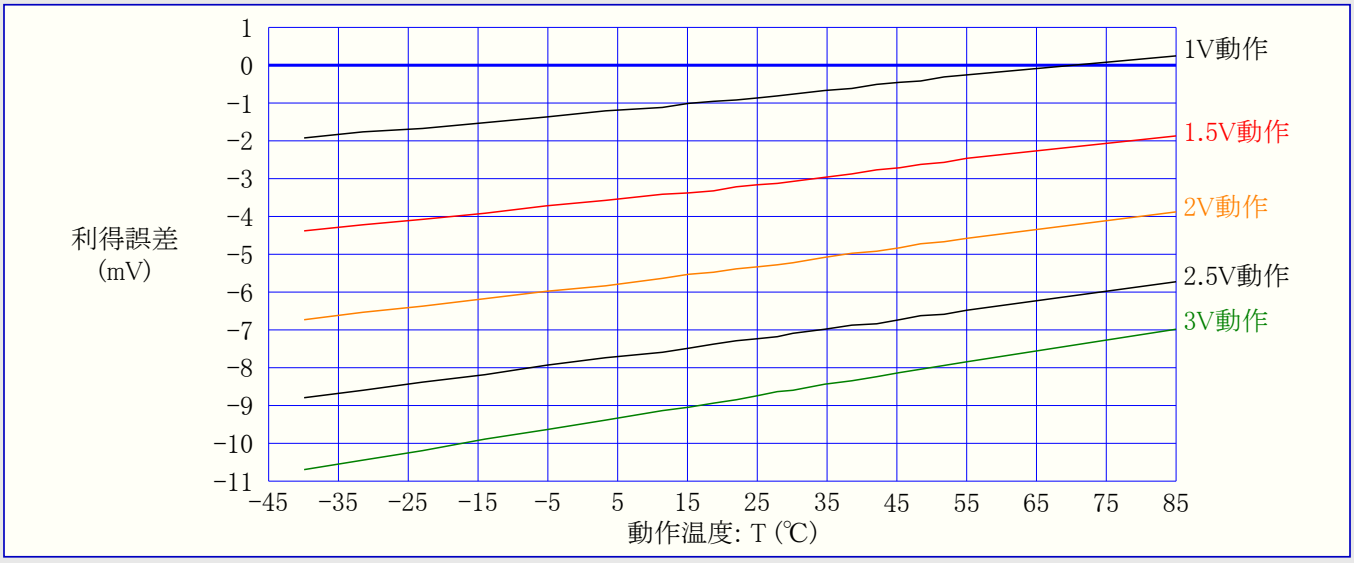


図38-45. ADC変位(オフセット)誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

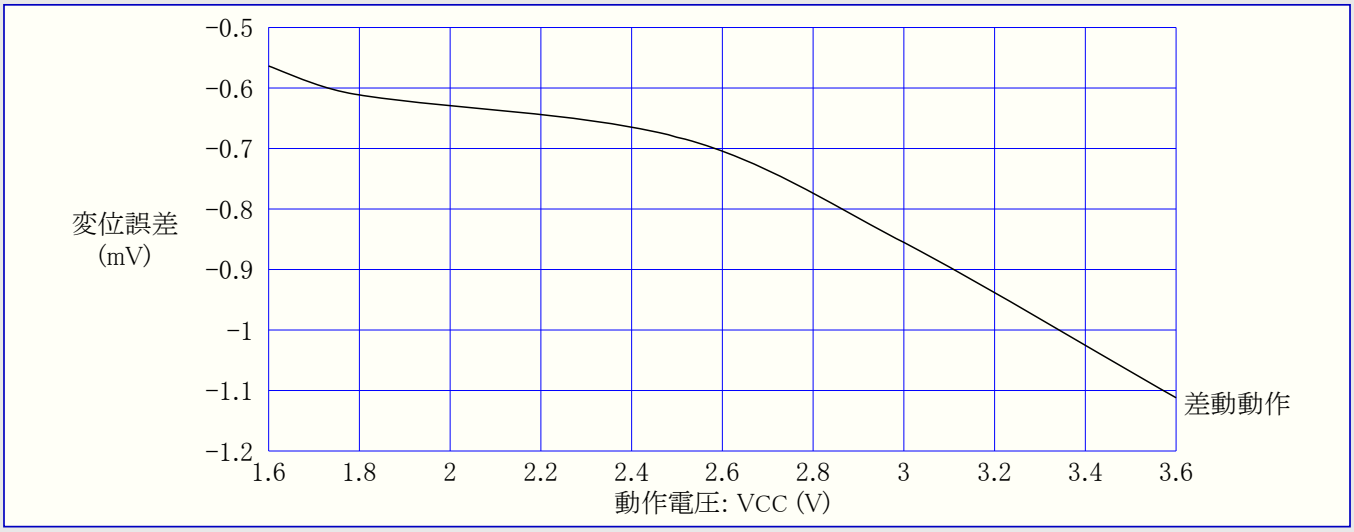


図38-46. ADC雑音 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

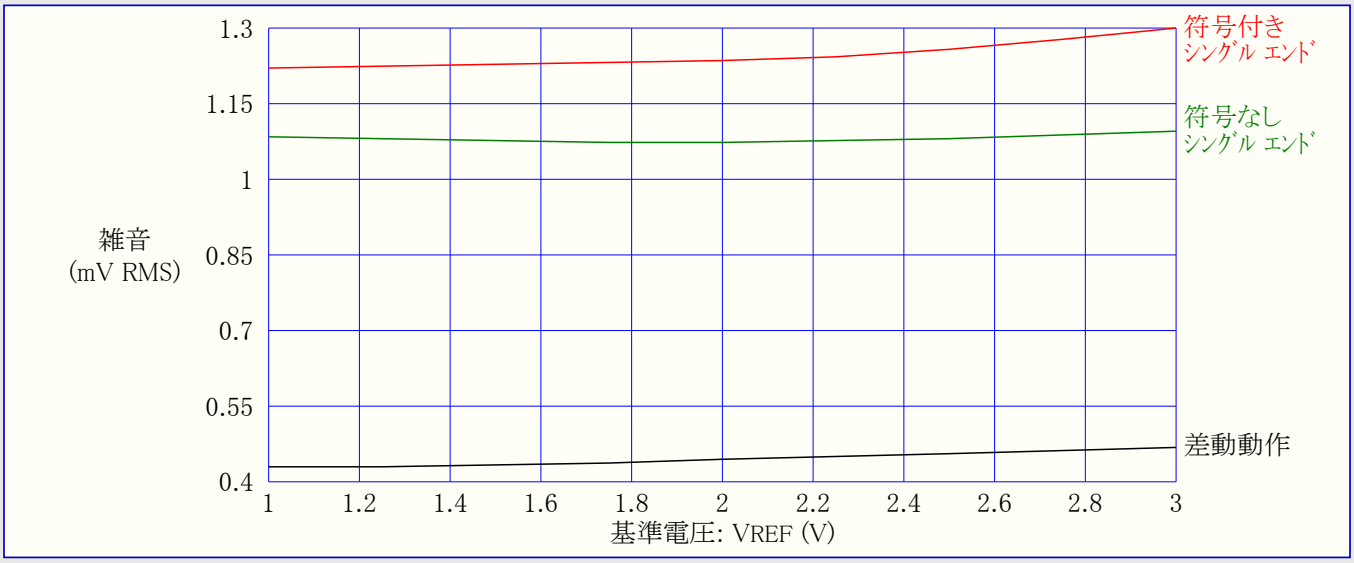
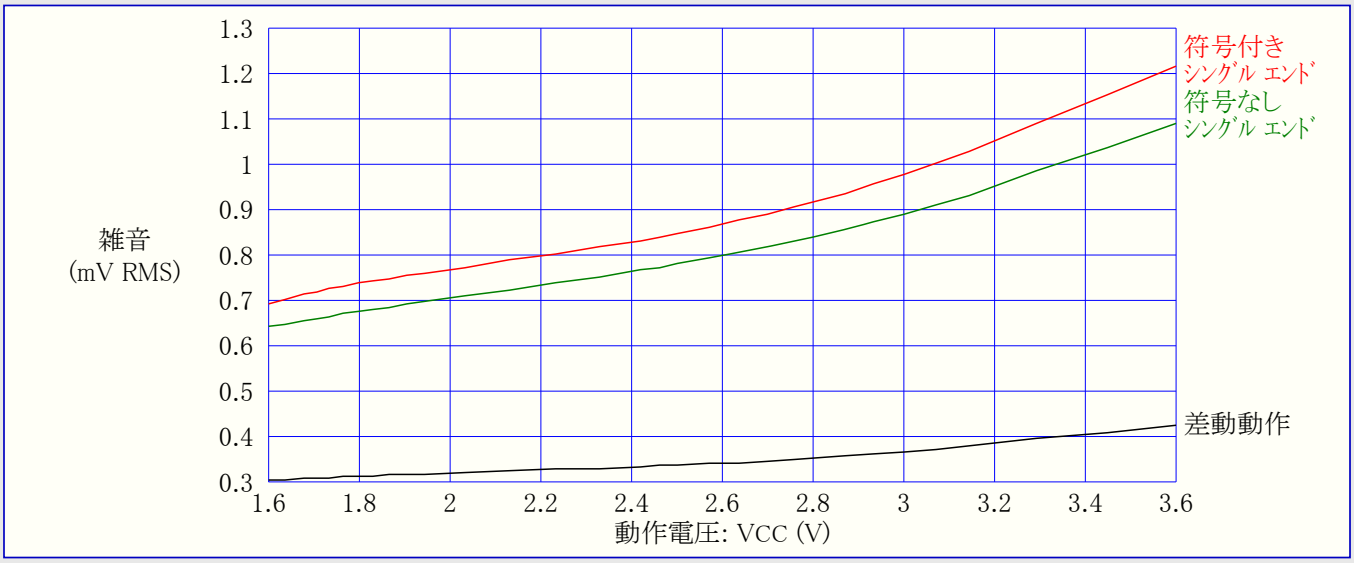


図38-47. ADC雑音 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)



38.4. D/A変換器(DAC)特性

図38-48. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)

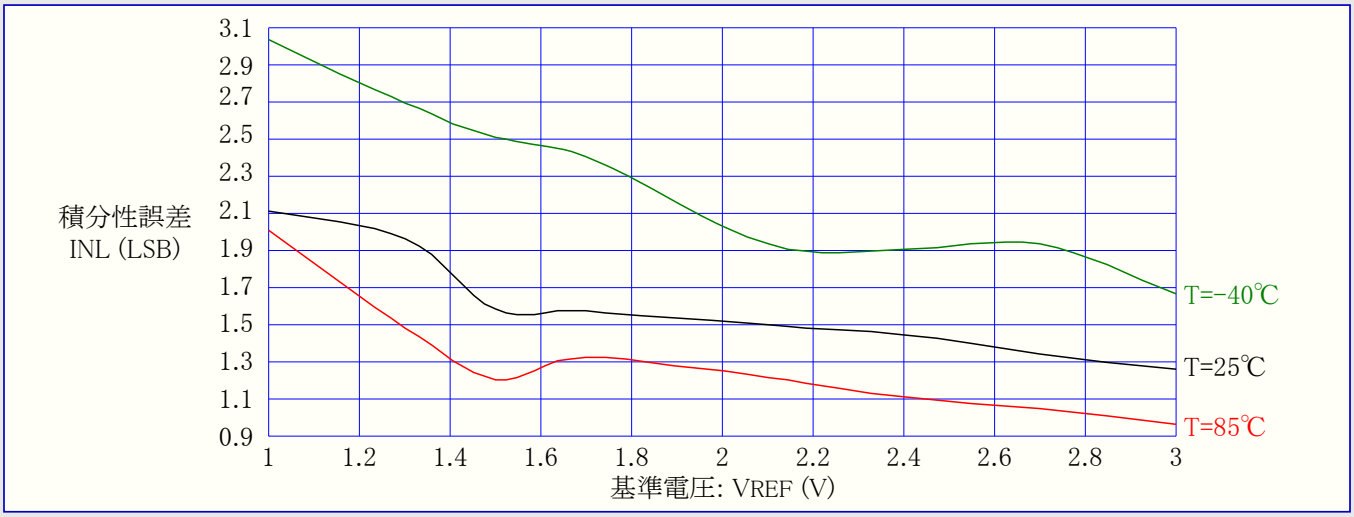


図38-49. DAC微分性誤差(DNL) 対 外部VREF (VCC=3.6V)

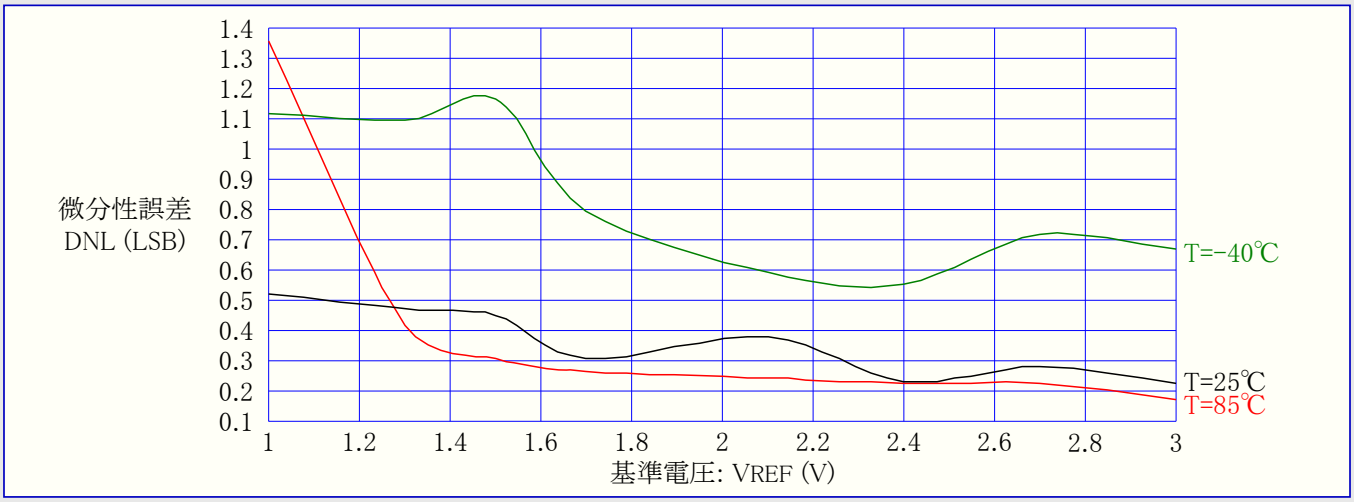
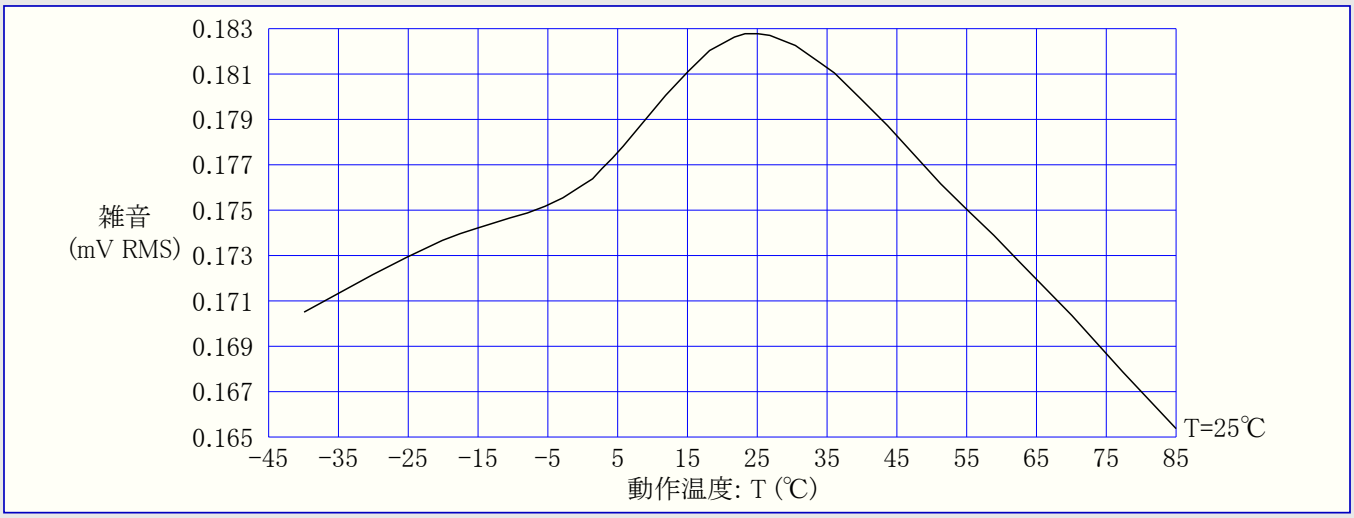


図38-50. DAC雑音 対 動作温度 (VCC=3.0V、VREF=2.4V)



38.5. アナログ比較器特性

図38-51. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

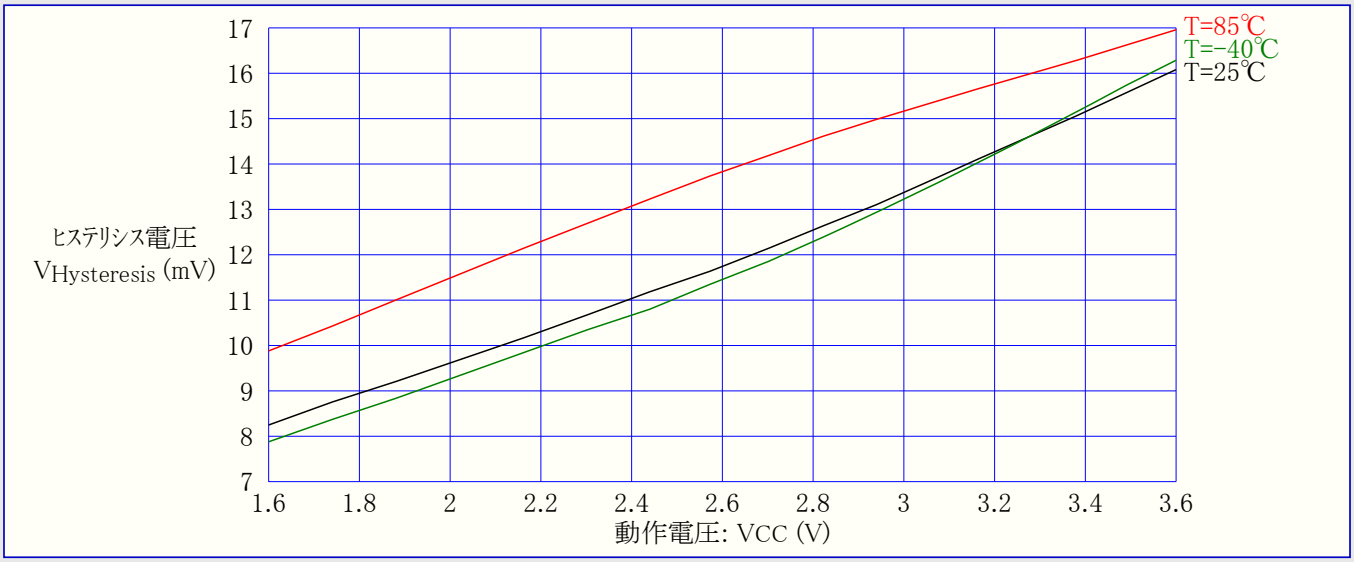


図38-52. ｱﾅﾛｸﾞ比較器(AC)ﾋｽﾃﾘｼｽ 対 動作電圧 (低電力動作、ﾋｽﾃﾘｼｽ=小)

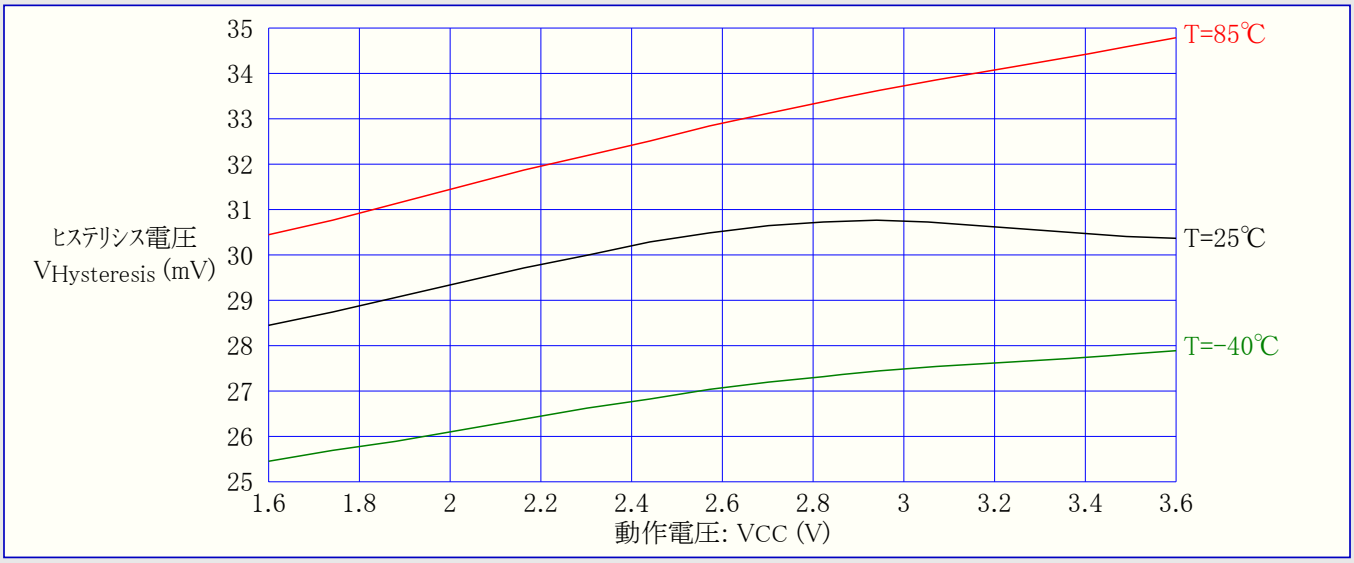


図38-53. ｱﾅﾛｸﾞ比較器(AC)ﾋｽﾃﾘｼｽ 対 動作電圧 (高速動作、ﾋｽﾃﾘｼｽ=大)

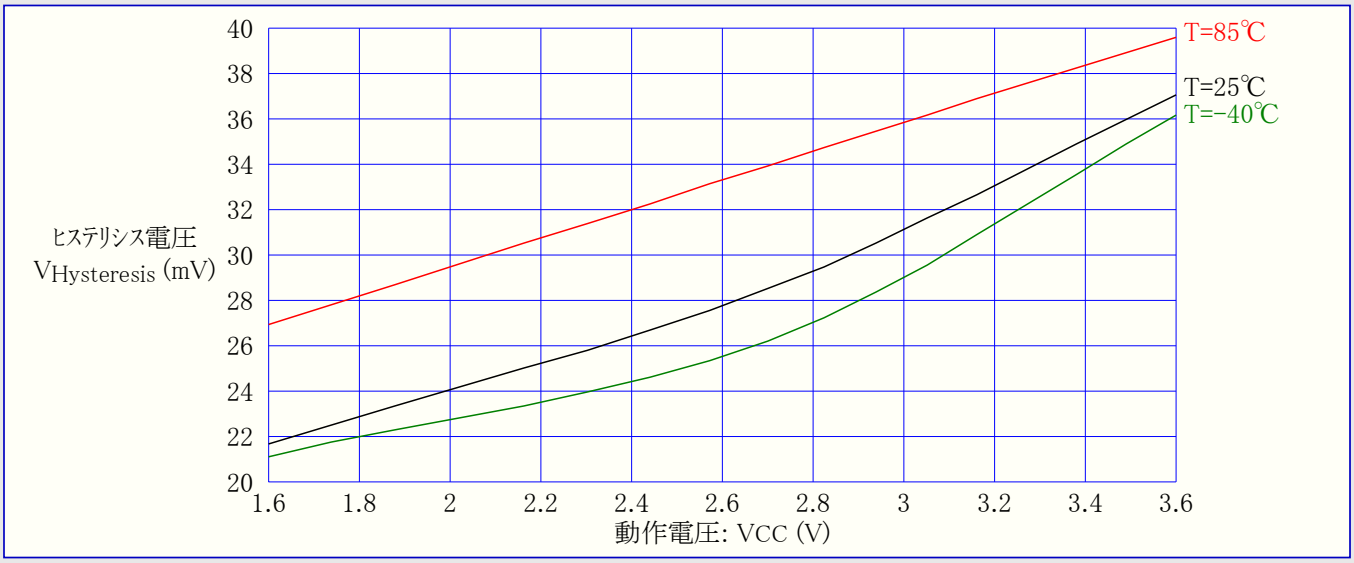


図38-54. ｱﾅﾛｸﾞ比較器(AC)ﾋｽﾃﾘｼｽ 対 動作電圧 (低電力動作、ﾋｽﾃﾘｼｽ=大)

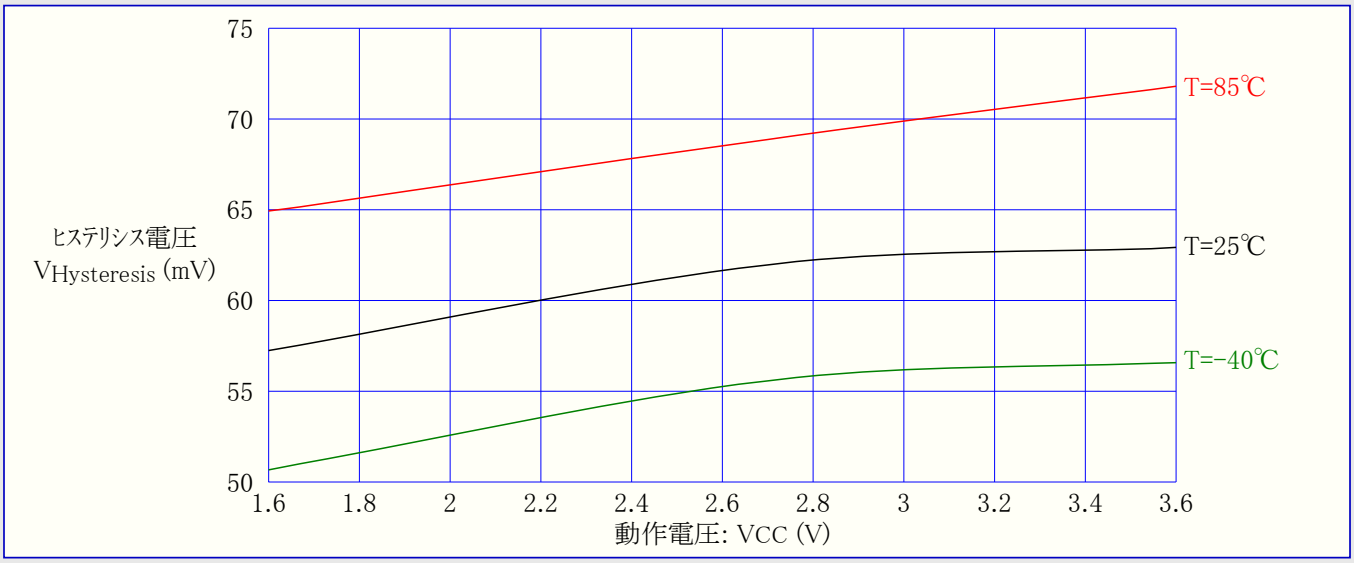


図38-55. ｱﾅﾛｸﾞ比較器(AC)電流源 対 校正値 (T=25℃)

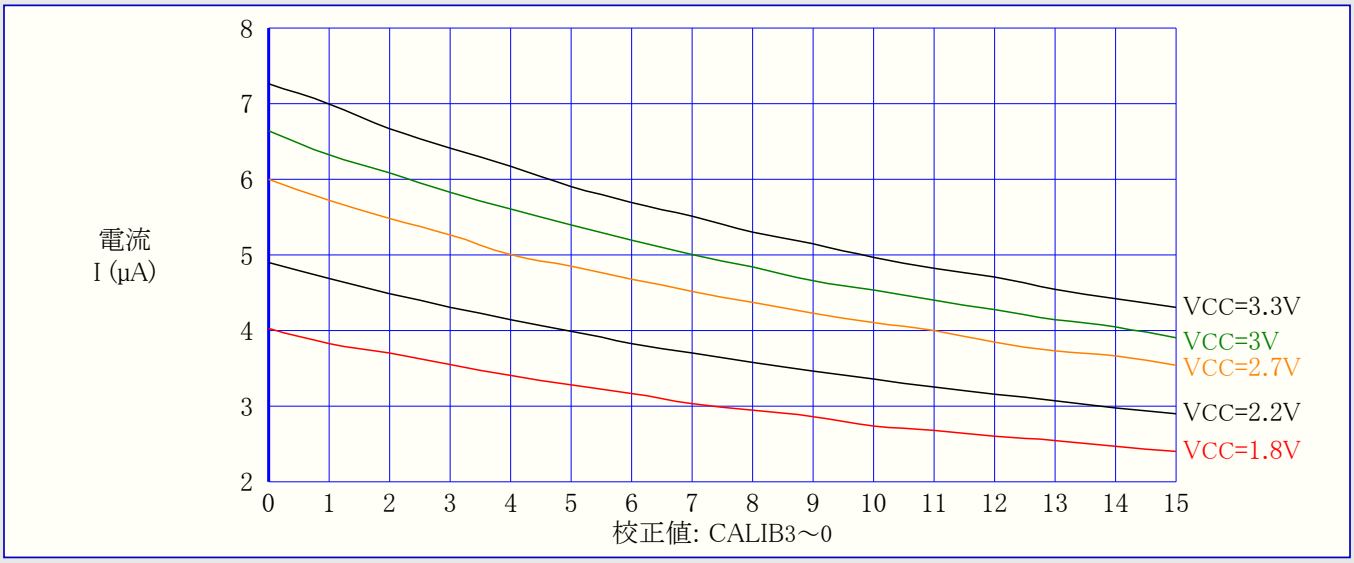


図38-56. ｱﾅﾛｸﾞ比較器(AC)電流源 対 校正値 (VCC=3.0V)

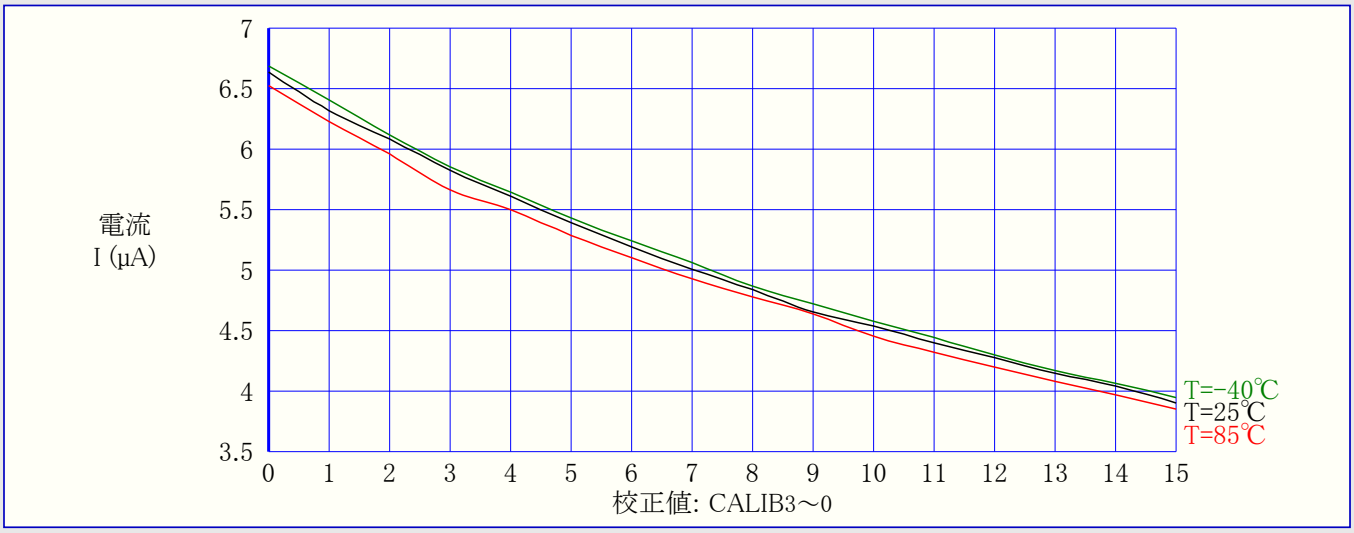
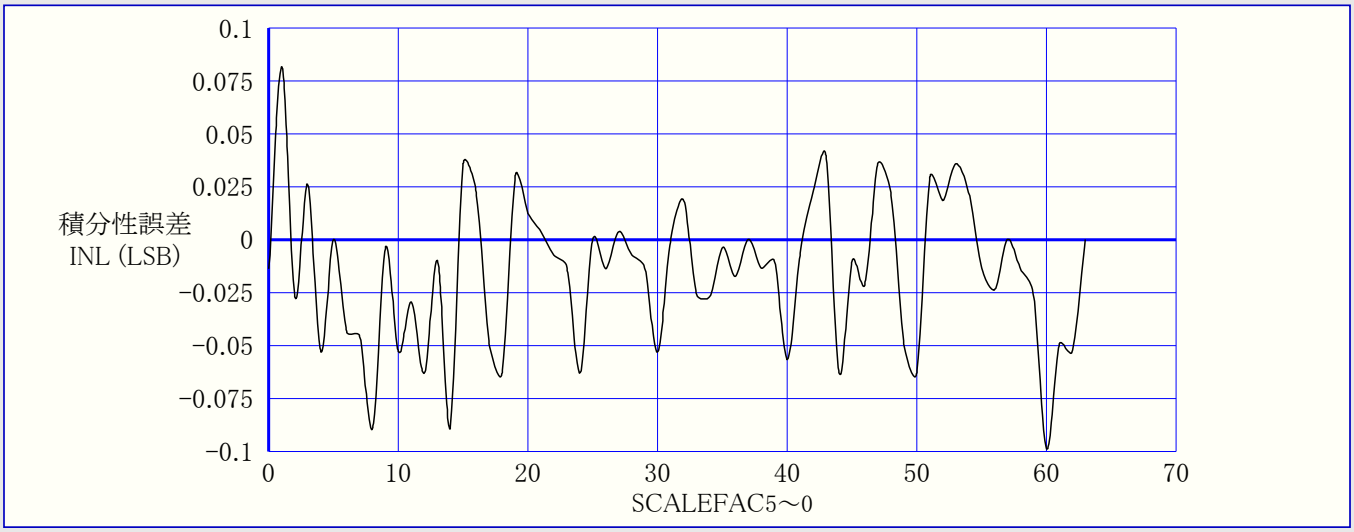
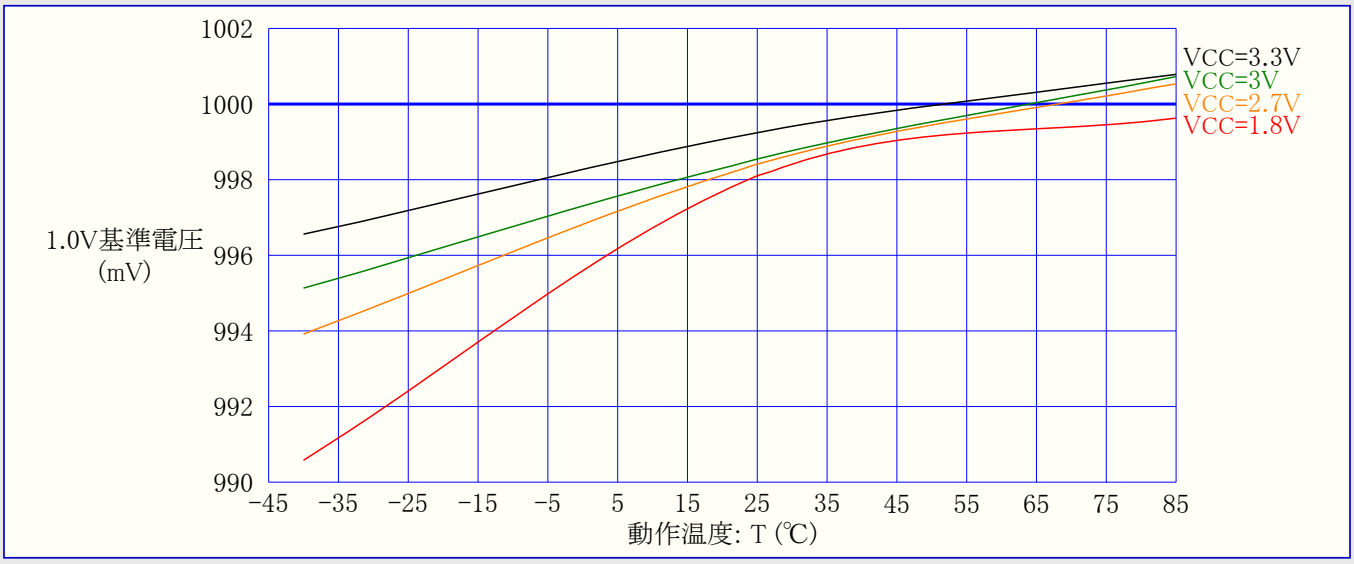


図38-57. 分圧器積分直線性(INL) 対 SCALEFAC (T=25℃、VCC=3.0V)



38.6. 内部1.0V基準電圧特性

図38-58. ADC/DAC内部1.0V基準電圧 対 動作温度



38.7. 低電圧検出器(BOD)特性

図38-59. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=1.6V)

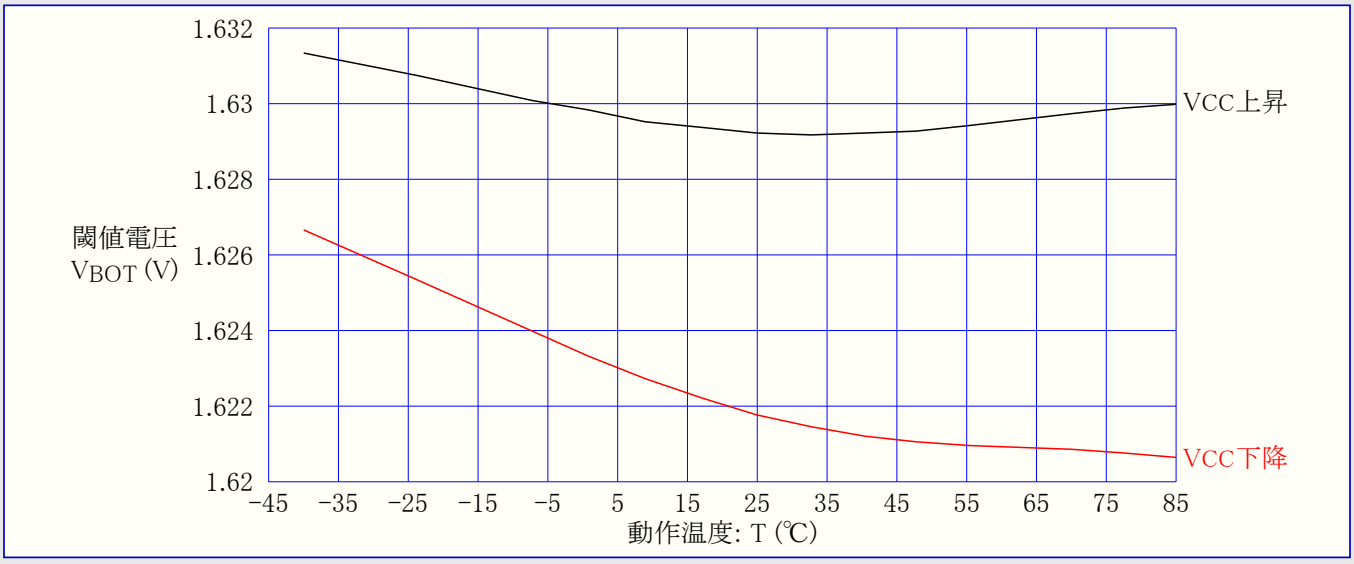
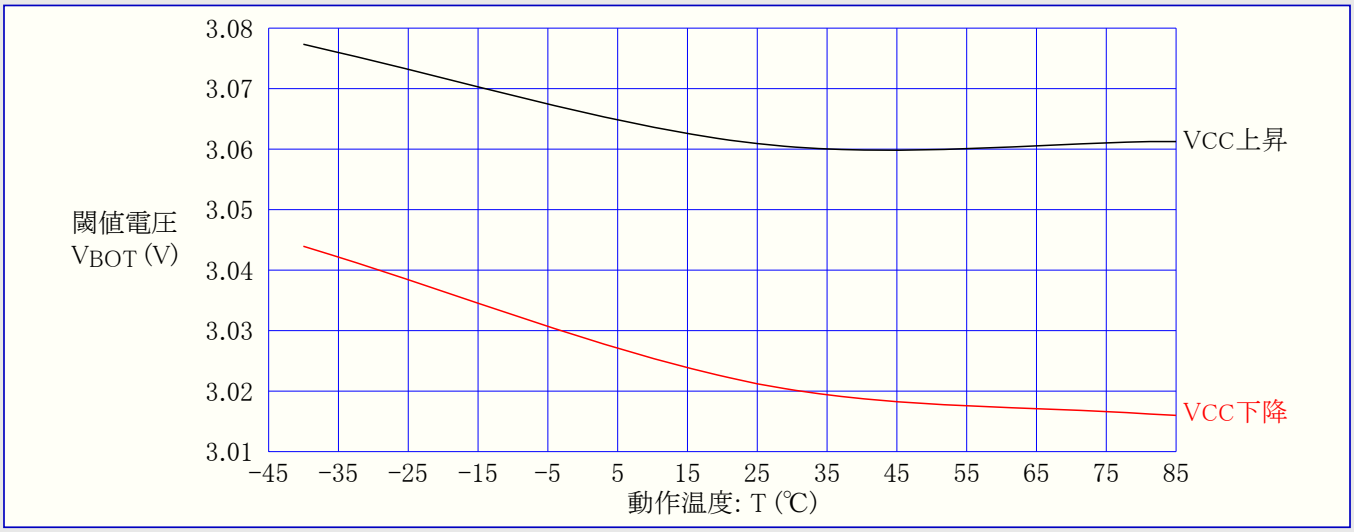


図38-60. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=3.0V)



38.8. 外部リセット特性

図38-61. 最小リセット パルス幅 対 動作電圧

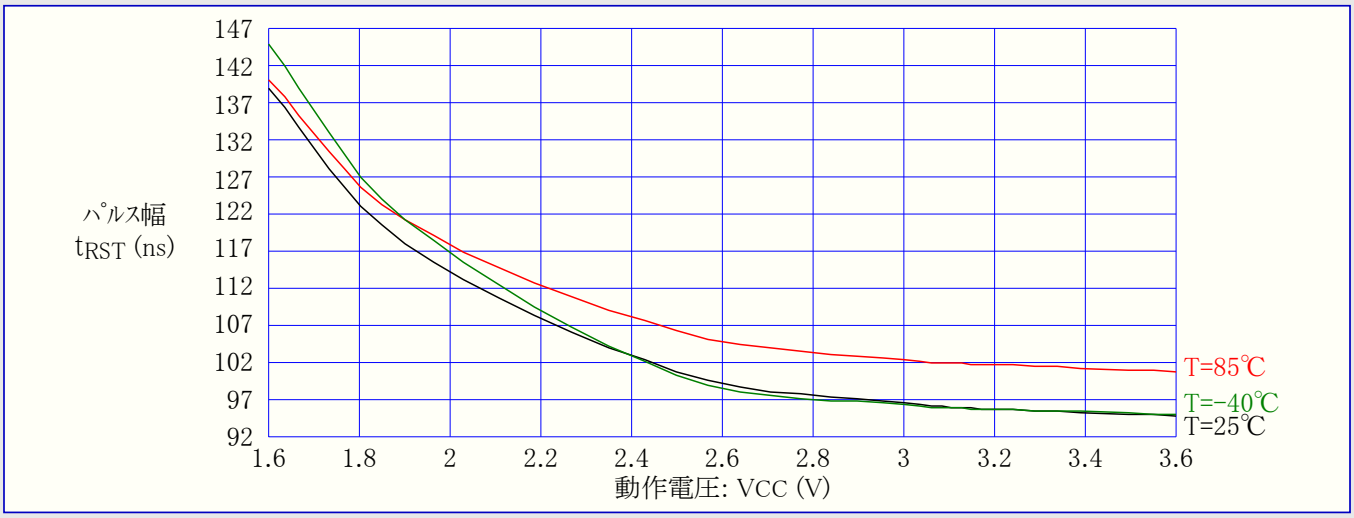


図38-62. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=1.8V)

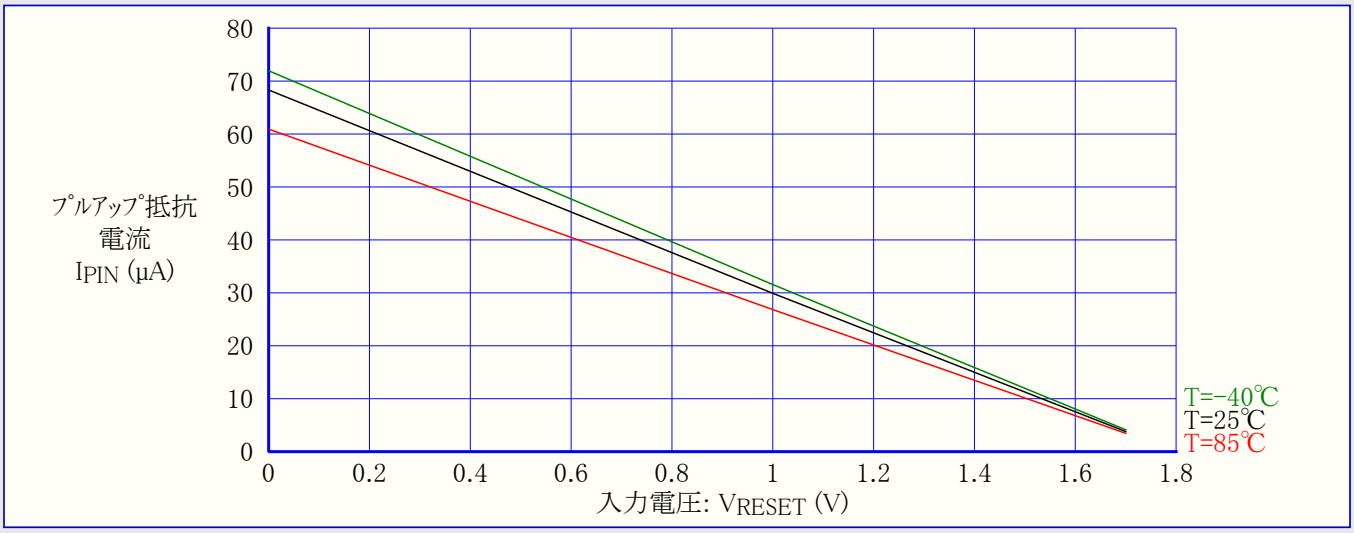


図38-63. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

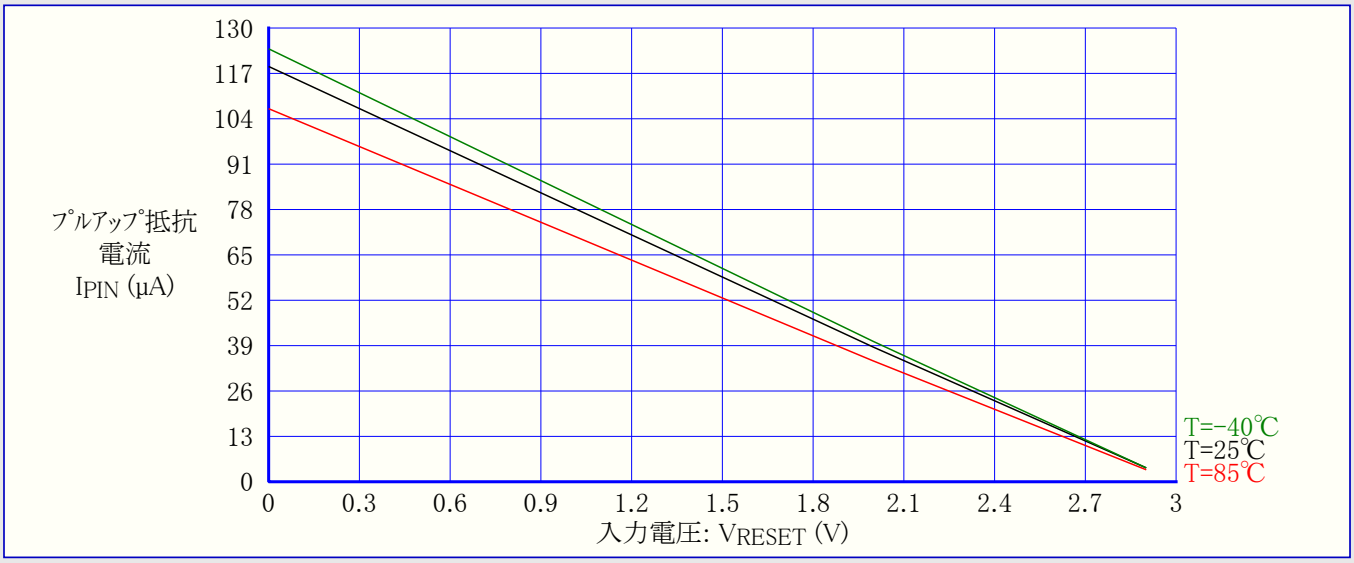


図38-64. ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 RESETﾋﾟﾝ入力電圧 (VCC=3.3V)

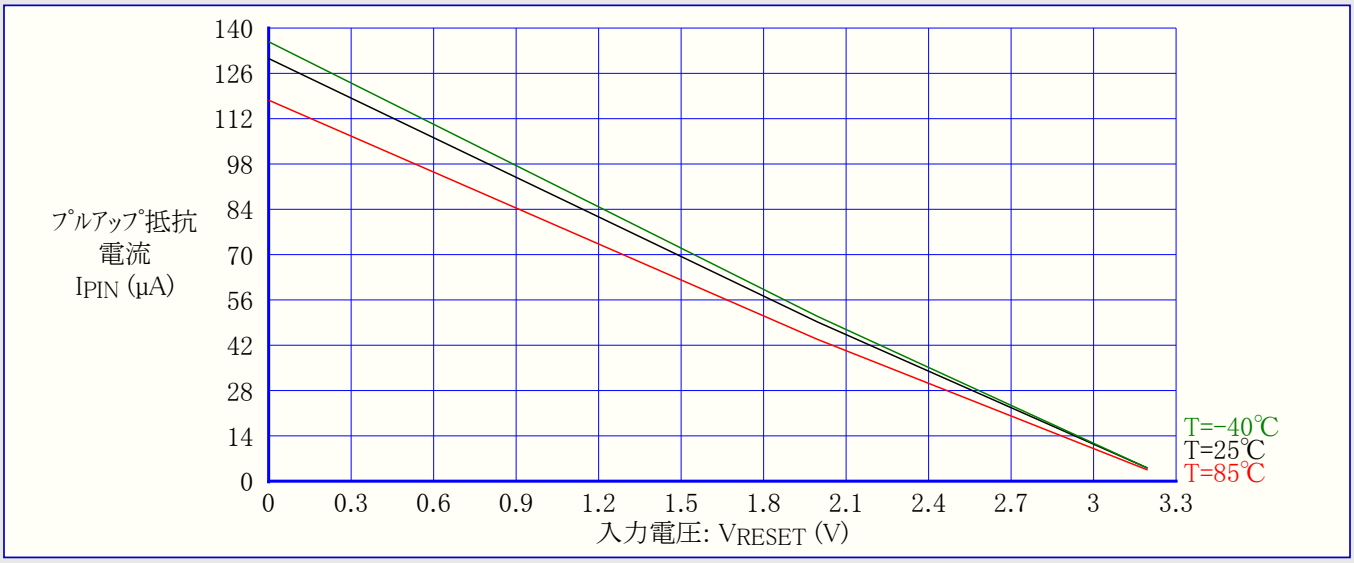


図38-65. RESET入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)

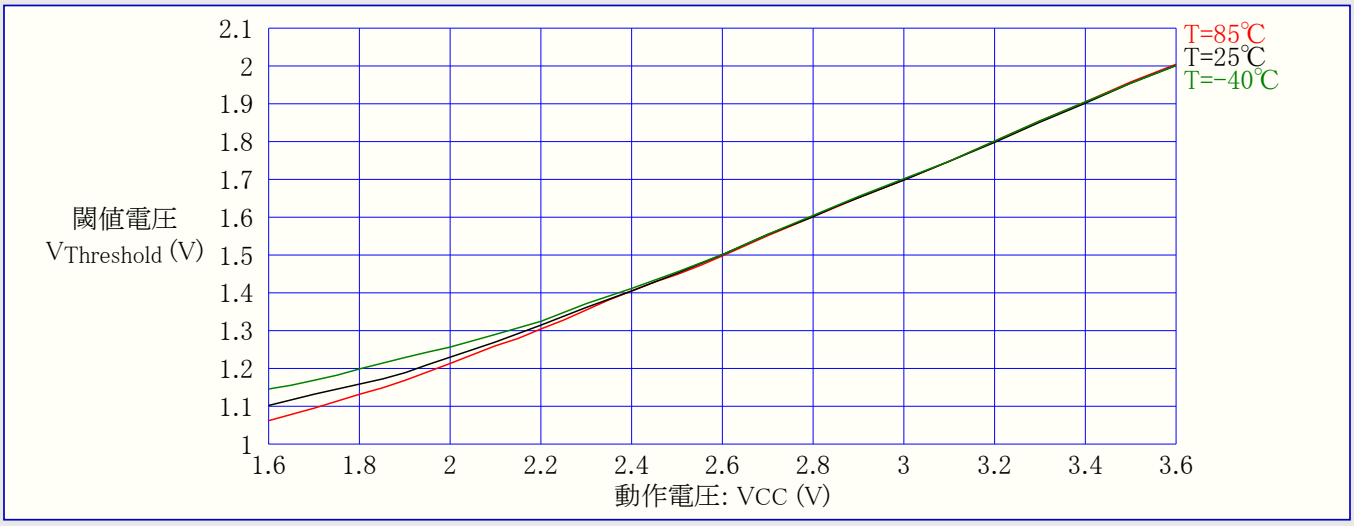
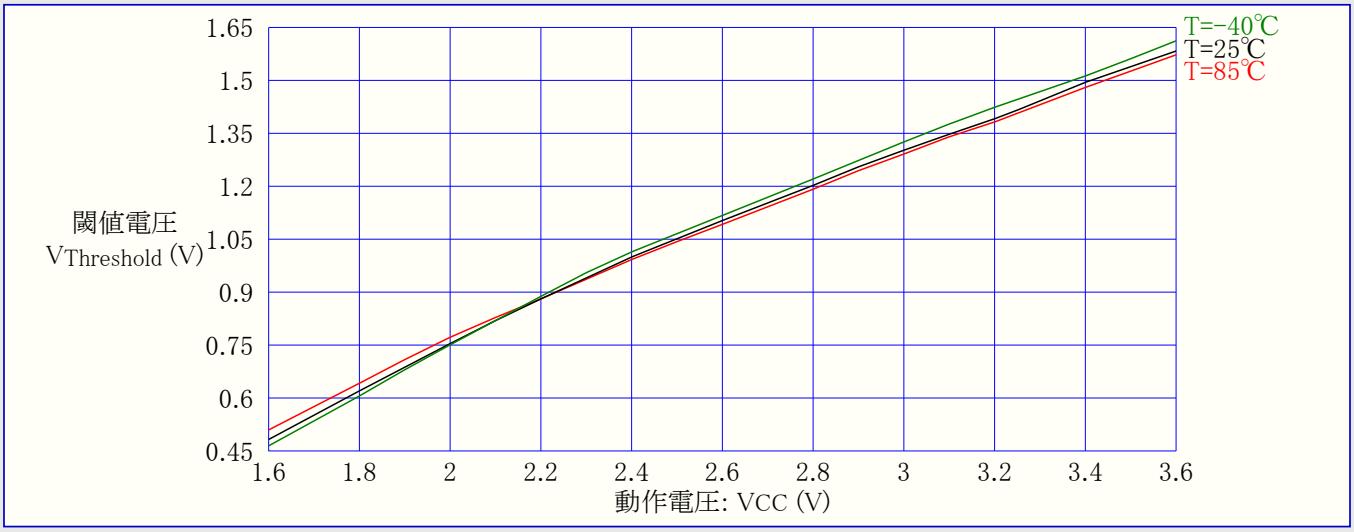
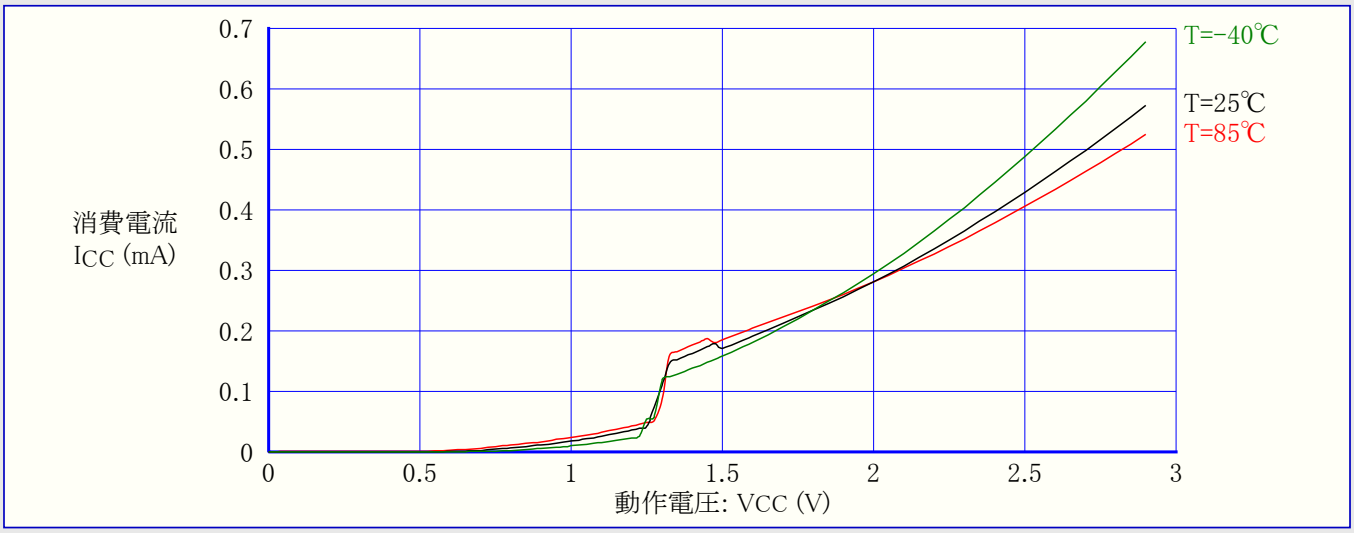


図38-66. RESET入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)



38.9. 電源ONリセット特性

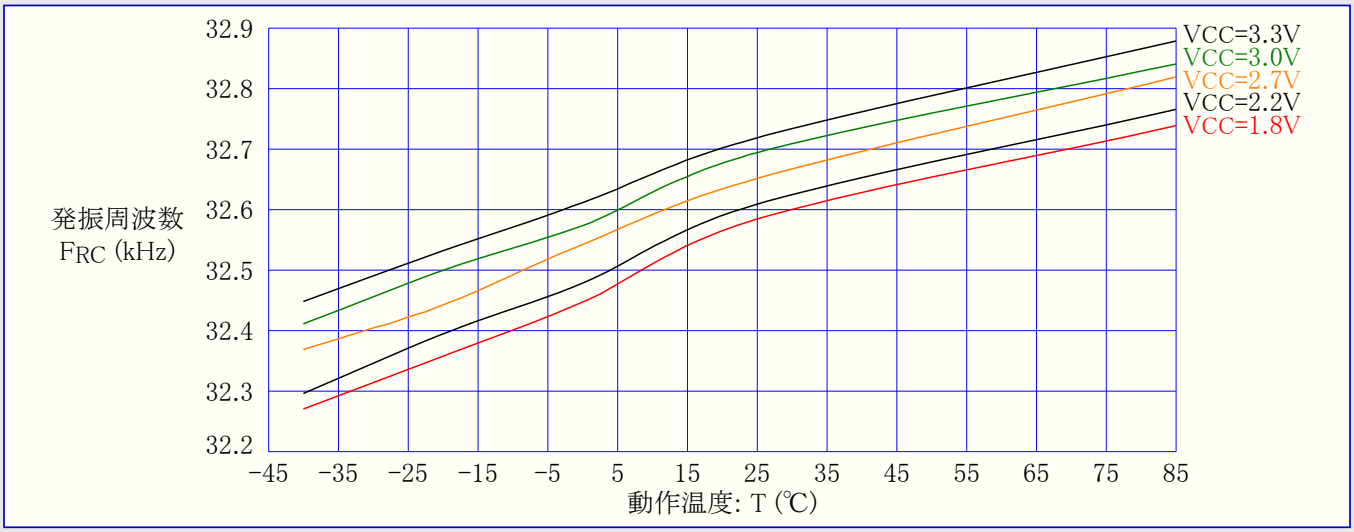
図38-67. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)



38.10. 発振器特性

38.10.1. 超低電力内部発振器

図38-68. 超低電力内部発振器周波数 対 動作温度



38.10.2. 32.768kHz内部発振器

図38-69. 32.768kHz内部発振器周波数 対 動作温度

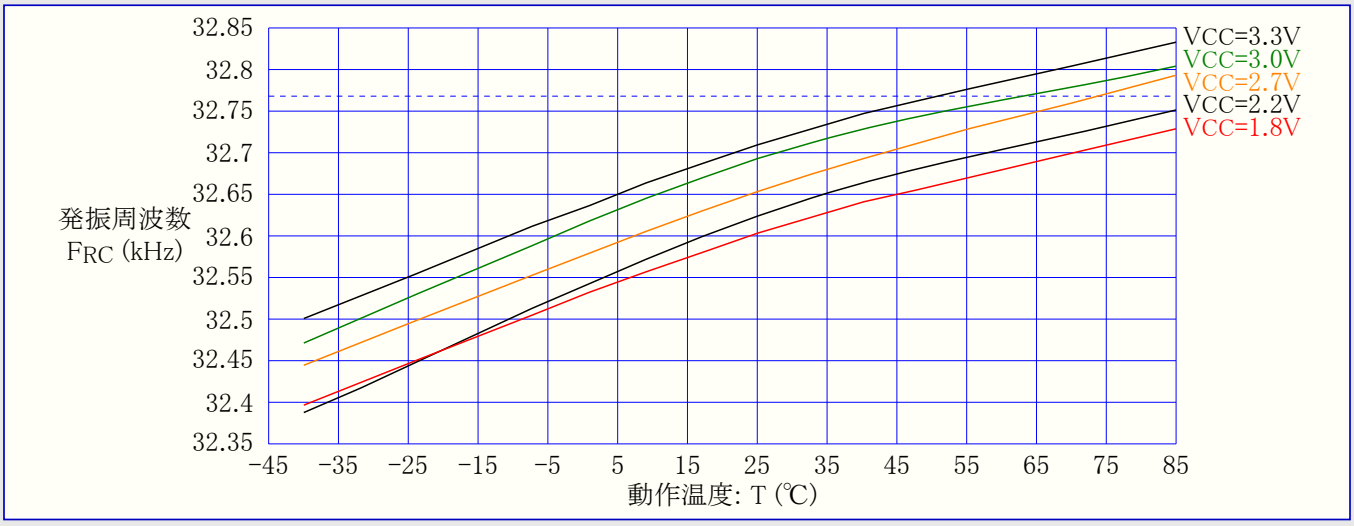
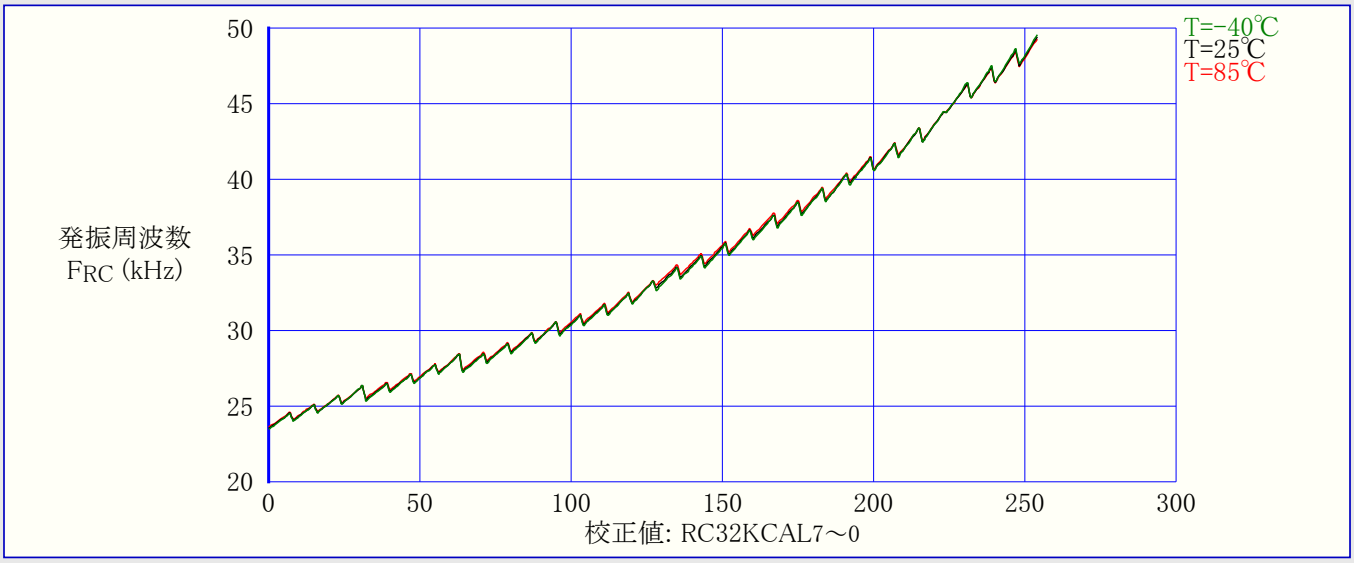


図38-70. 32.768kHz内部発振器周波数 対 校正値 (T=25℃、VCC=3.0V)



38.10.3. 2MHz内部発振器

図38-71. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

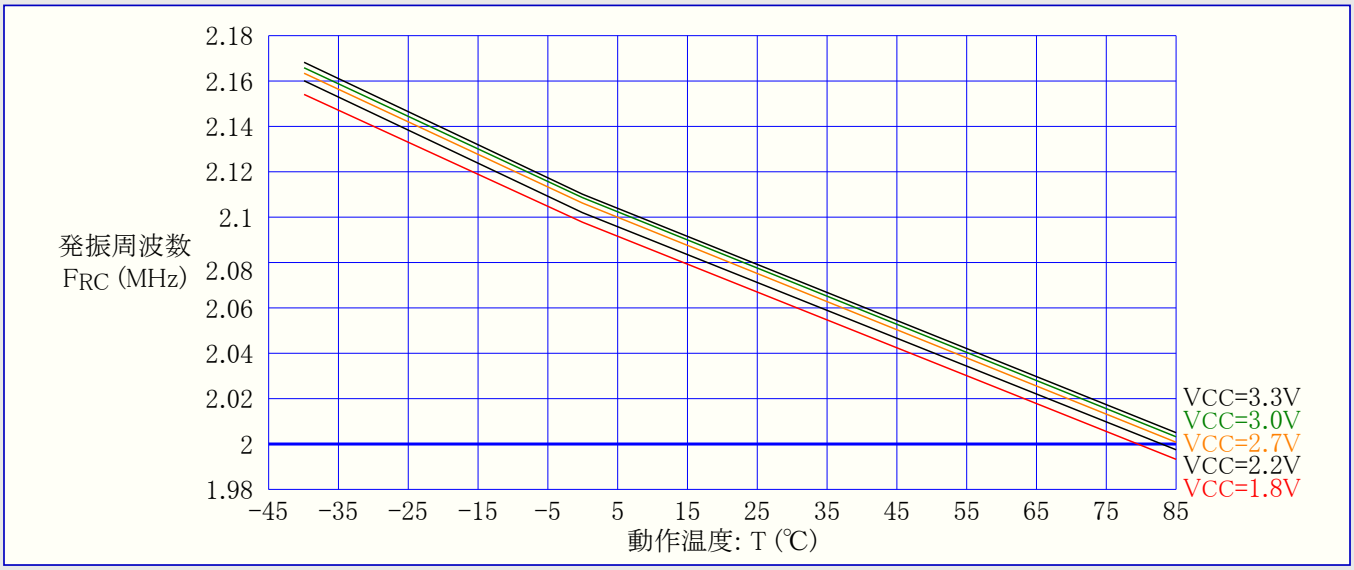


図38-72. 2MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

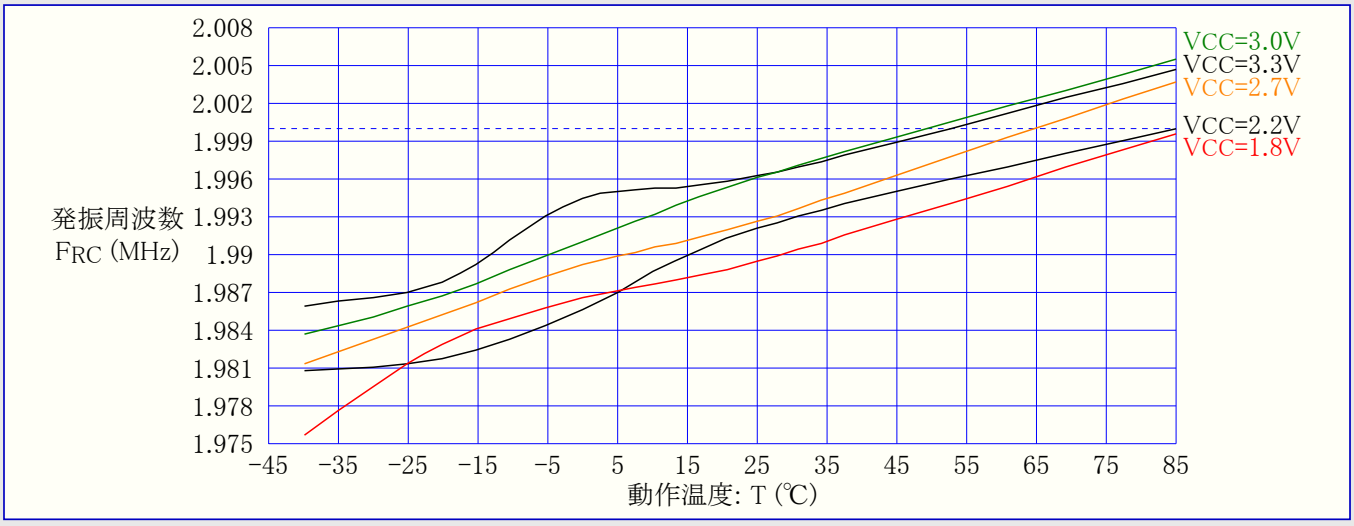
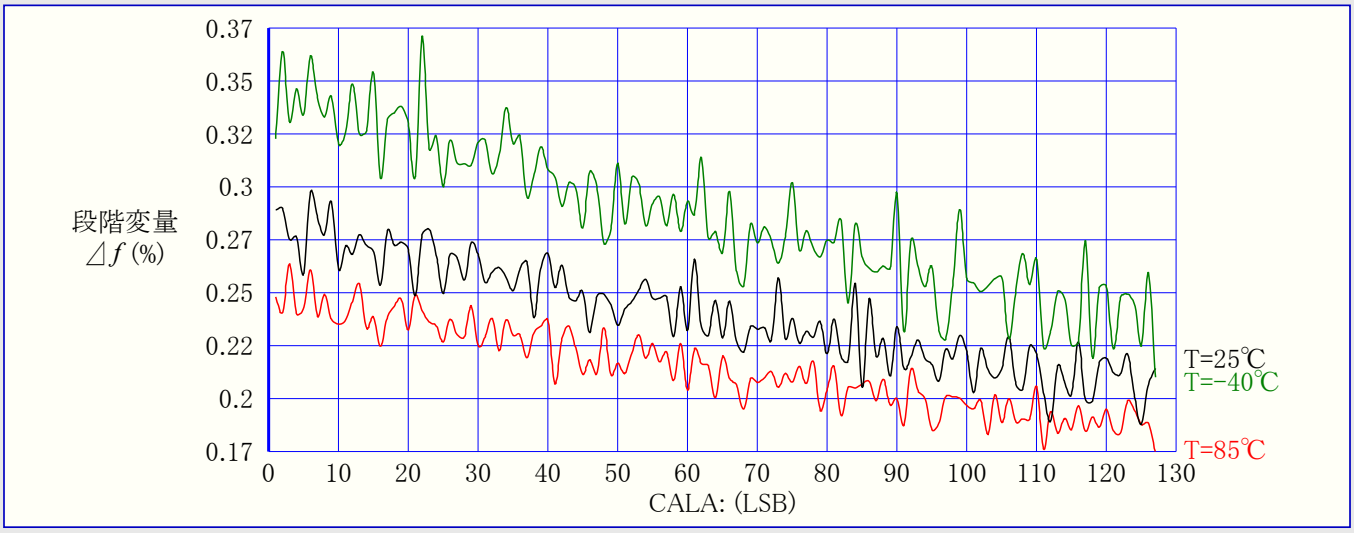


図38-73. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)



38.10.4. 32MHz内部発振器

図38-74. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

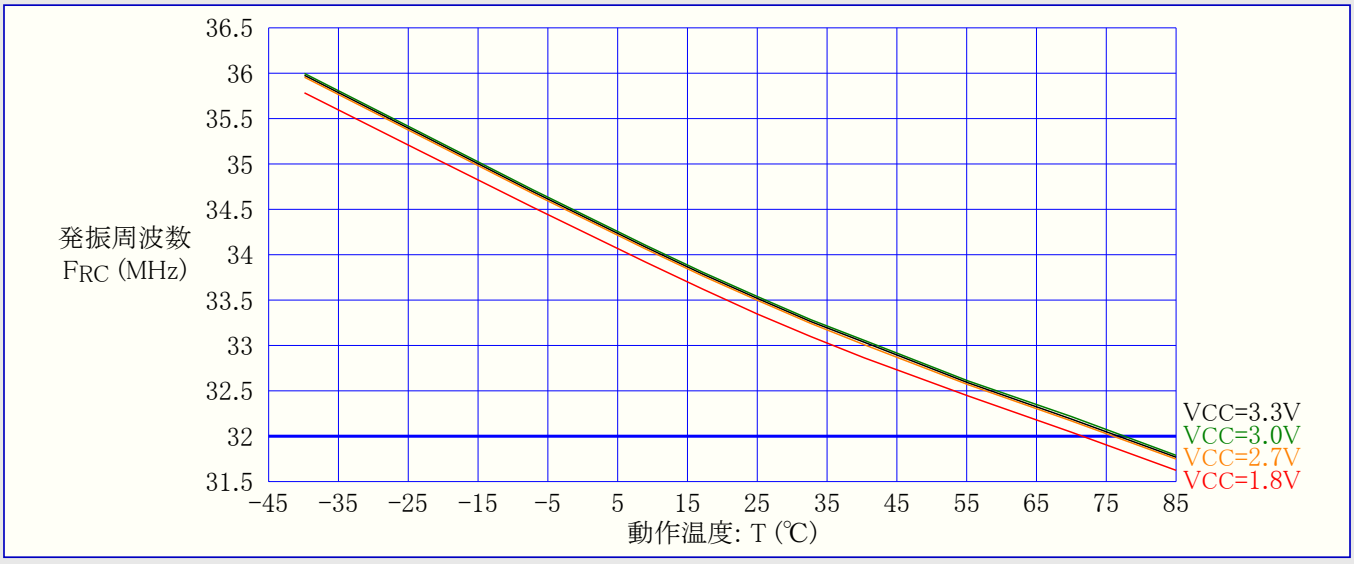


図38-75. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

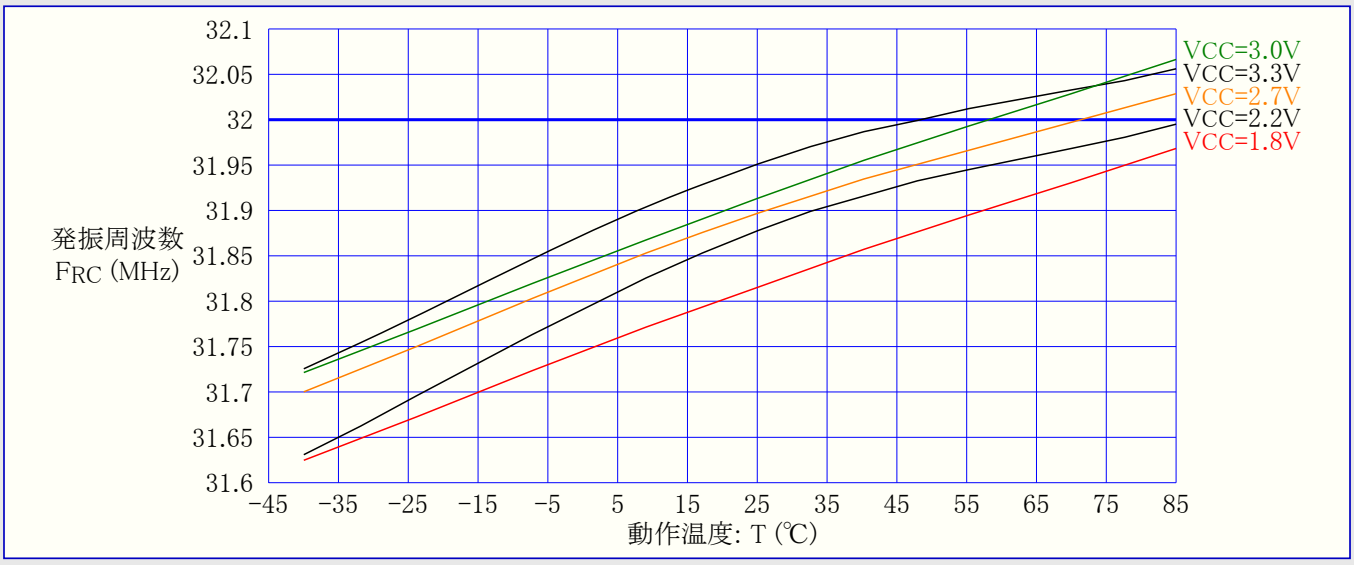


図38-76. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

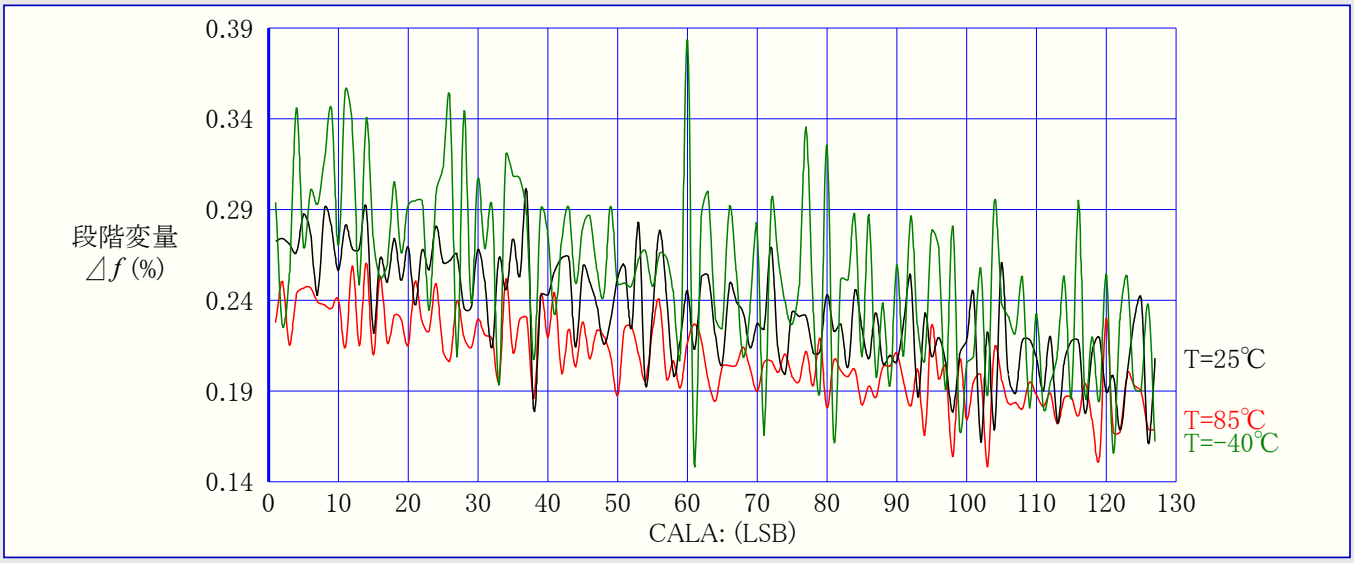
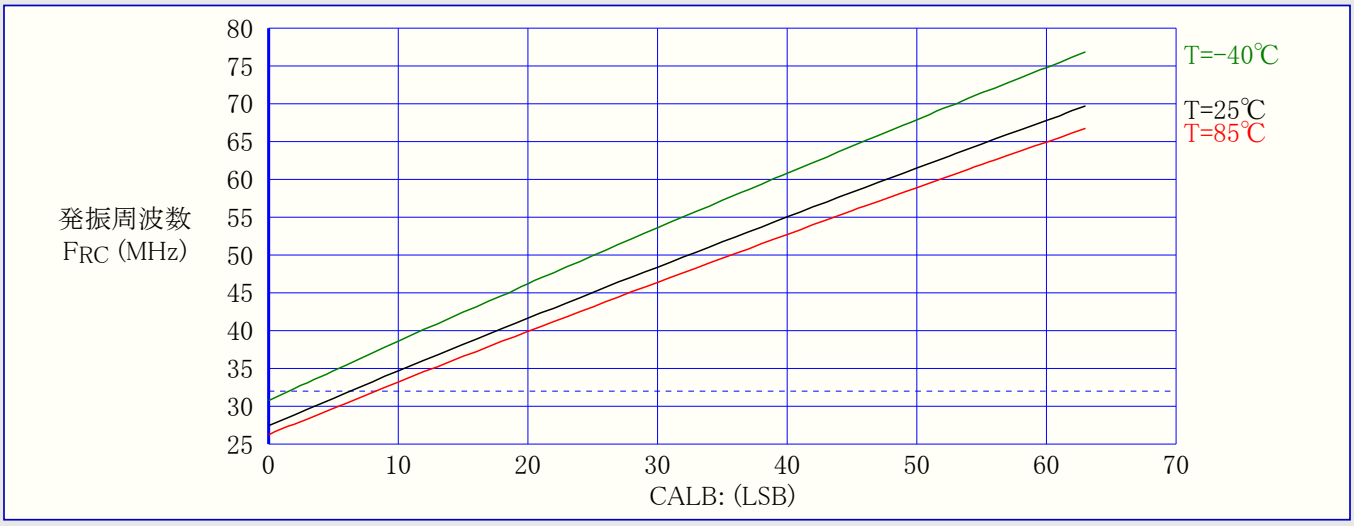


図38-77. 32MHz内部発振器CALB校正段階変量 (VCC=3.0V)



38.10.5. 48MHzに校正された32MHz内部発振器

図38-78. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

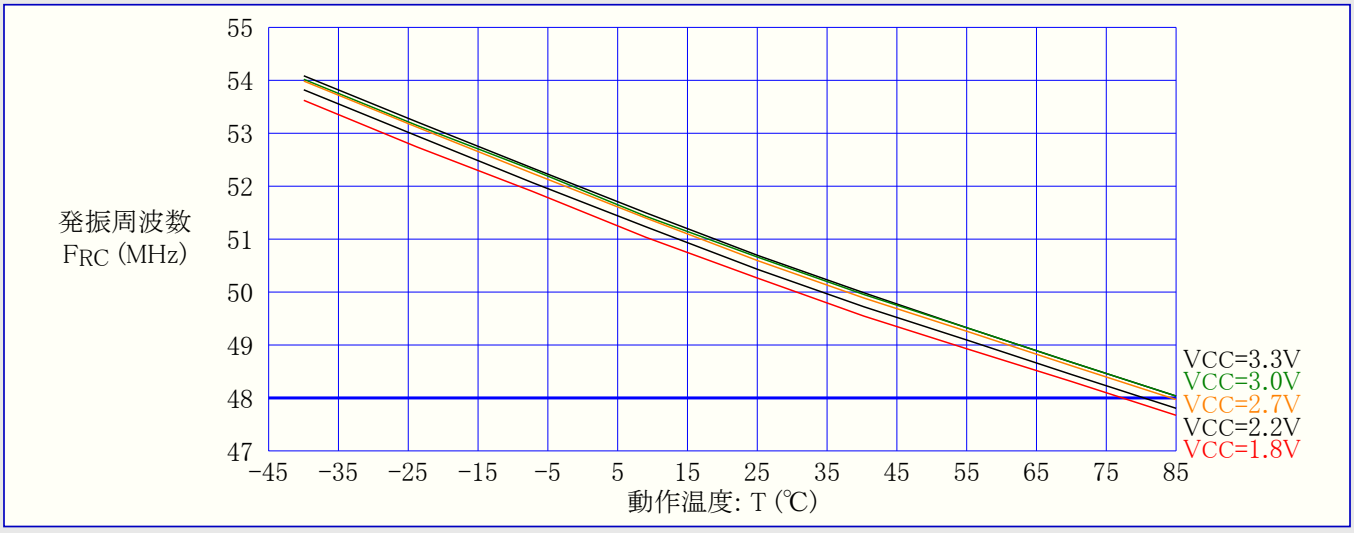


図38-79. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

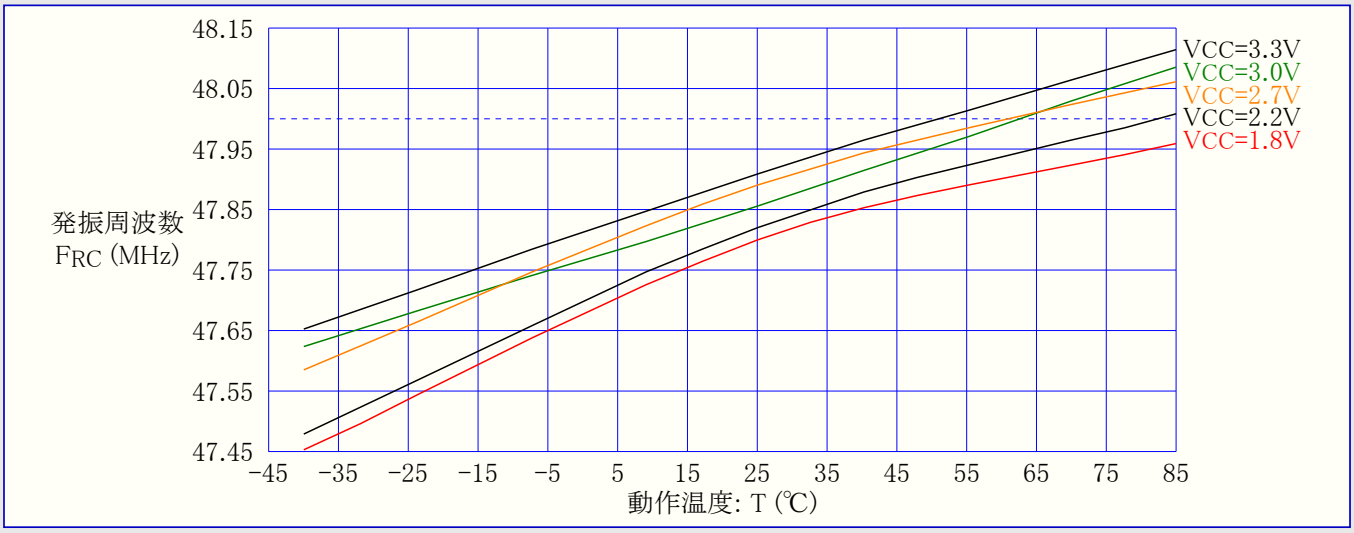
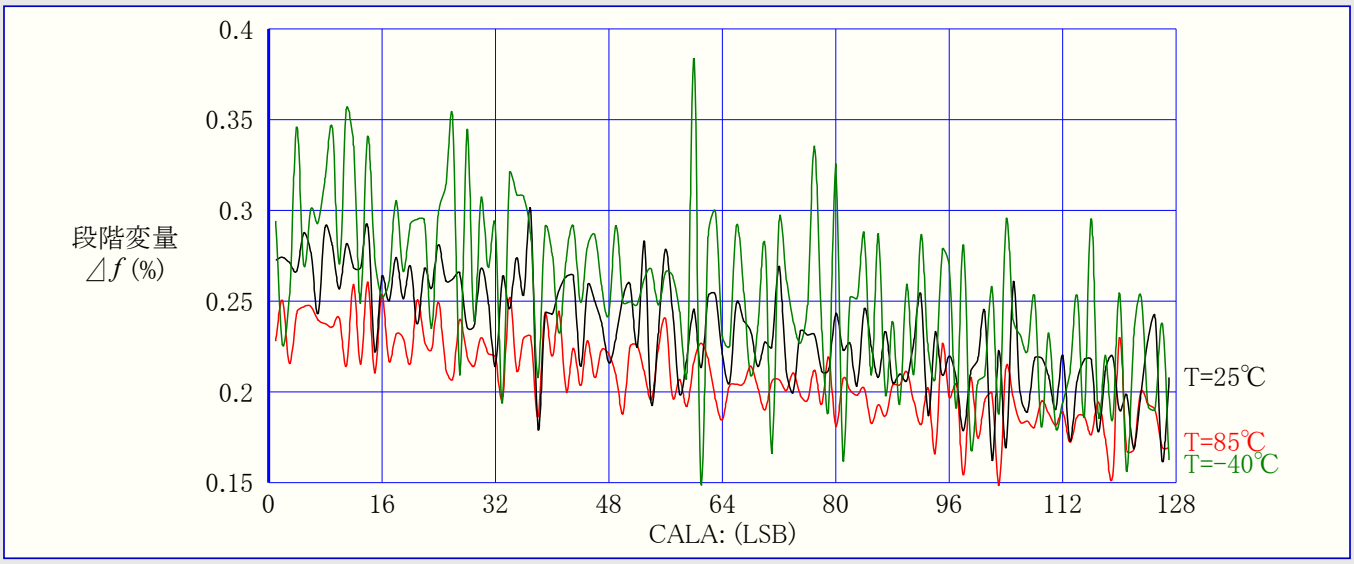


図38-80. 48MHz内部発振器CALA校正段階変量 (VCC=3.0V)



38.11. 2線インターフェース特性

図38-81. SDA保持時間 対 動作温度

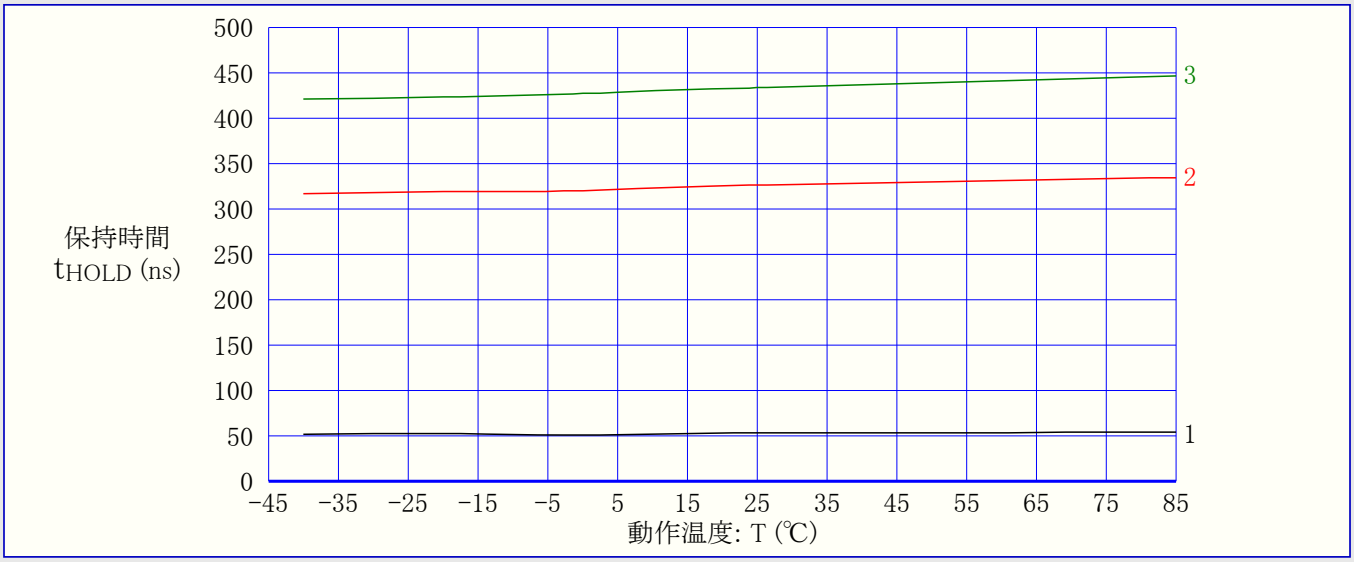
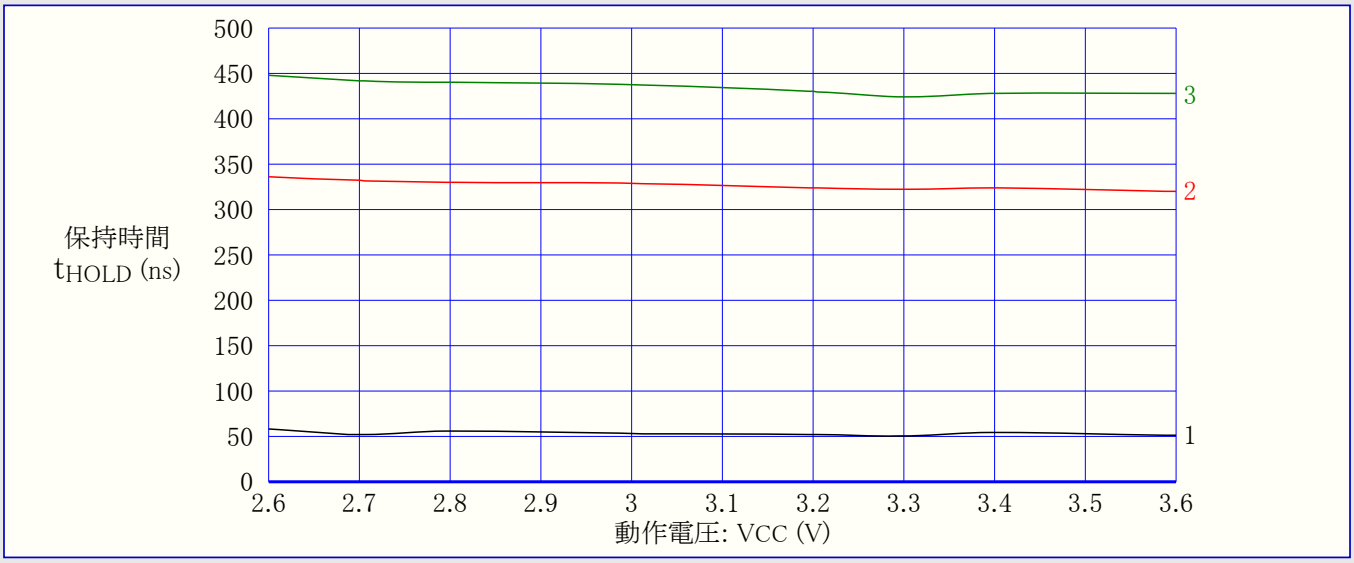
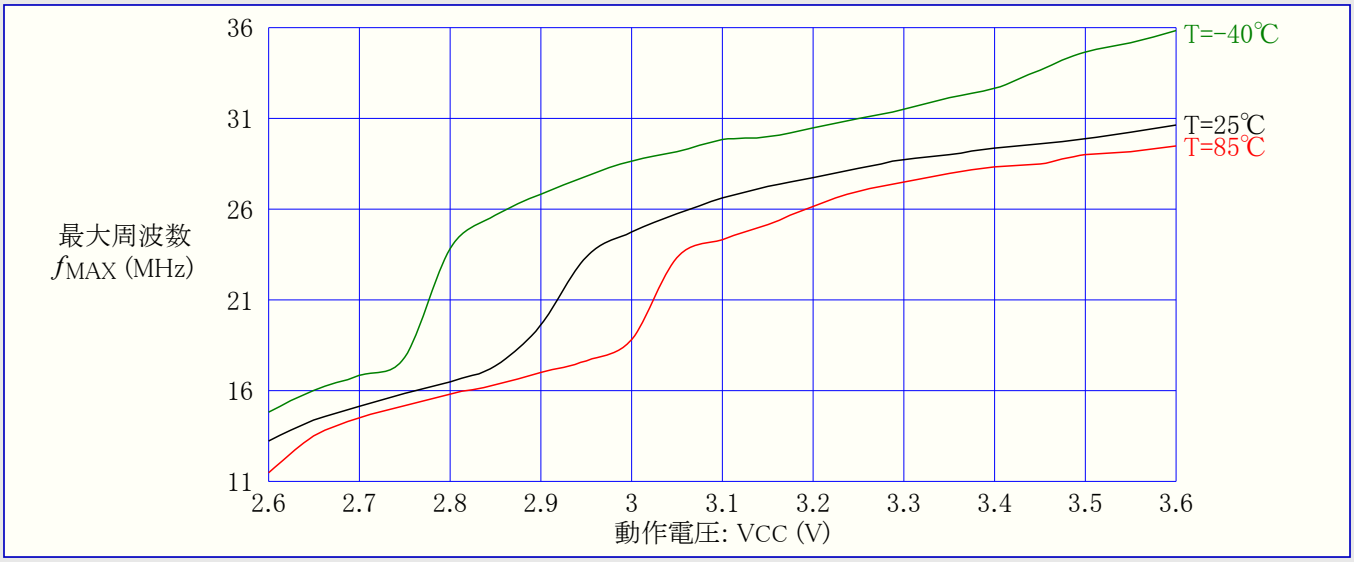


図38-82. SDA保持時間 対 動作電圧



38.12. PDI特性

図38-83. 最大PDI周波数 対 動作電圧



39. 障害情報

39.1. ATxmega256A3BU改訂A～C,EF

試供されていません。

39.2. ATxmega256A3BU改訂D,G

- A/D変換器の符号なし動作形態が機能しない　D
- A/D変換器は低温で内部1.0V基準電圧使用時に雑音が増加　D
- D/A変換器は基準電圧としてAVCC使用時に小さすぎる変位(ｵﾌｾｯﾄ)校正範囲　D
- ANAINITﾚｼﾞｽﾀが常に0として読める　D
- 24MHzに制限されるCPUｸﾛｯｸ周波数　D
- 応用領域とﾌﾞｰﾄ領域の両方を使う場合に20MHzに制限されるCPUｸﾛｯｸ周波数　D
- 低い周波数での高い活動消費電流　D
- 複数ﾊﾟｹｯﾄ動作形態で各INﾊﾟｹｯﾄに対して生成されるUSB転送完了割り込み　D
- USART送信禁止がTxDﾋﾟﾝの方向を自動的に入力へ設定しない　D
- 不正な値で再開される障害後のAWeX PWM出力　D
- TWIでﾊﾞｽ多忙状態からのﾊﾞｽ時間経過が不活性　D
- 機能しないRTC32ｸﾛｯｸ出力としてのTOSC32　D
- 保留中の非同期RTC32割り込みがﾃﾞﾊﾞｲｽを起こさない　D
- 保留中の全ての非同期ﾋﾟﾝ変化割り込みがﾃﾞﾊﾞｲｽを起こさない　D
- AWeX障害保護回復が模様型生成動作で正しく行われない　G

1. **A/D変換器の符号なし動作形態が機能しない (D)**

   A/D変換器(ADC)の符号なし動作形態は機能しません。

   対策/対処

   なし、ｼﾝｸﾞﾙ ｴﾝﾄﾞ変換に対しても符号付きでADCを使ってください。

2. **A/D変換器は低温で内部1.0V基準電圧使用時に雑音が増加 (D)**

   -40℃での動作で内部1.0V基準電圧使用時、RMS雑音が4LSB上昇するでしょう。

   対策/対処

   雑音を取り除くために多数採取の平均を使ってください。

3. **D/A変換器は基準電圧としてAVCC使用時に小さすぎる変位(ｵﾌｾｯﾄ)校正範囲 (D)**

   基準電圧としてAVCCを使う場合、D/A変換器の変位(ｵﾌｾｯﾄ)校正は全体的に変位誤差を取り除かないでしょう。変位は校正後最大100 LSBになり得ます。

   対策/対処

   変位補正は部分的にｿﾌﾄｳｪｱで処理されなければなりません。

4. **ANAINITﾚｼﾞｽﾀが常に0として読める (D)**

   例え違う値を書かれても、ANAINITﾚｼﾞｽﾀは常に0として読みます。このﾚｼﾞｽﾀの実際の内容は正確です。

   対策/対処

   ｱﾅﾛｸﾞ初期化構成設定を得るのに、このﾚｼﾞｽﾀを読むｿﾌﾄｳｪｱを使わないでください。

5. **24MHzに制限されるCPUｸﾛｯｸ周波数 (D)**

   CPUｸﾛｯｸはどの供給ﾚﾍﾞﾙに対しても24MHzを決して超えてはなりません。

   対策/対処

   なし。

6. **応用領域とﾌﾞｰﾄ領域の両方を使う場合に20MHzに制限されるCPUｸﾛｯｸ周波数 (D)**

   CPUｸﾛｯｸはﾌﾗｯｼｭ ﾒﾓﾘの応用領域とﾌﾞｰﾄ領域間を飛ぶ、または或る領域からのｺｰﾄﾞ実行と他方からの読み込み(LPM)時に20MHzを決して超えてはなりません。この周波数を超えた場合、最初の命令/読み込みはNOP/$00として読めます。

   これらの状況は以下の時に起きます。

   - 或る領域でｺｰﾄﾞを実行して他の領域へ飛ぶ(JMP,CALL,RET,分岐系命令)
   - ｺｰﾄﾞが実行されているのと違うﾌﾗｯｼｭ領域に置かれた割り込み表
   - ｺｰﾄﾞが実行されている以外のﾌﾗｯｼｭ領域のLPM読み込みの使用
   - 識票列読み込み
   - CRC走行と2つの領域間の境界を渡るｱﾄﾞﾚｽ

   対策/対処

   領域間の境界を渡るCRCを除く状況については、ﾌﾗｯｼｭ ﾒﾓﾘ電力削減動作形態を許可して全てのLPM命令の後にNOPを追加してください。CRCについての対策はありません。

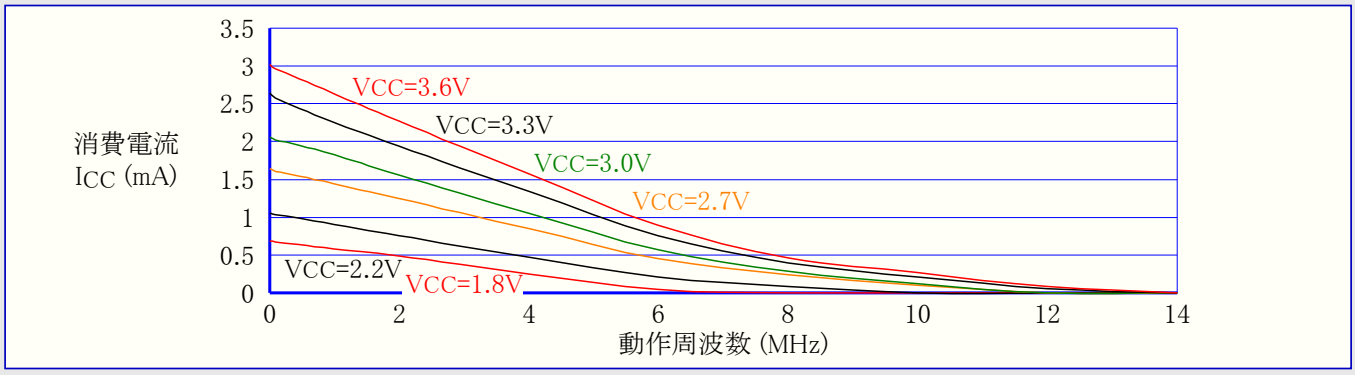
7. **低い周波数での高い活動消費電流 (D)**

   活動動作形態での消費電流は12MHz未満の全ての周波数に対して指定されたよりも高くなります。追加の消費電流は供給ﾚﾍﾞﾙとより低い周波数と共に増加します(**図39-1.**をご覧ください)。

   対策/対処

   なし、低い周波数での走行を避けて可能な場所での休止動作形態との組み合わせでより高い周波数を使ってください。

図39-1. 消費電流増加 対 動作電圧(VCC)とCPUｸﾛｯｸ周波数



8. **複数ﾊﾟｹｯﾄ動作形態で各INﾊﾟｹｯﾄに対して生成されるUSB転送完了割り込み** (D)

複数ﾊﾟｹｯﾄが使われる時に、複数ﾊﾟｹｯﾄ転送の終わりの代わりに、USB線で転送された各INﾊﾟｹｯﾄに対して転送完了割り込みが生成されます。

対策/対処

複数ﾊﾟｹｯﾄが完了するまで割り込みを無視してください。

9. **USART送信禁止がTxDﾋﾟﾝの方向を自動的に入力へ設定しない** (D)

送信するためのﾃﾞｰﾀなしでUSART送信部がｱｲﾄﾞﾙの場合、TXENの0設定は自動的にTxDﾋﾟﾝの方向を入力に設定しません。

対策/対処

TxDﾋﾟﾝの方向はﾎﾟｰﾄ方向(DIR)ﾚｼﾞｽﾀを使って入力に設定することができます。方向を入力に設定するためだけにﾎﾟｰﾄDIRﾚｼﾞｽﾀを使うことは直ちに行われ、進行中の送信は断ち切られます。

10. **不正な値で再開される障害後のAWeX PWM出力** (D)

障害状態からの回復時に、最大2×clk_{PER}+1×clk_{PER4}周期間、ﾎﾟｰﾄに不正な値を駆動します。

対策/対処

この瞬間的な不具合が許容できない、または外部部品によって濾波されない場合、不具合なしでの再開のためにﾗｯﾁ動作形態で以下の手順を使うことができます。

1. DTI出力を禁止してください(DTICCxENの0書き込み)。
2. 障害ﾌﾗｸﾞを解除(0)してください。
3. 溢れを待ってください。
4. DTIを再許可してください(DTICCxENの1書き込み)。
5. ﾋﾟﾝ方向を出力に設定してください。

これはこの不具合を取り除きますが、後続する区間がより短くなります。

周期単位動作形態に於いて、模様型生成動作形態が許可されない限り、同じ手順に従うことができます。

模様型生成動作形態について、対策はありません。

11. **TWIでﾊﾞｽ多忙状態からのﾊﾞｽ時間経過が不活性** (D)

ﾊﾞｽ時間超過が許可されて、開始条件が検出されるのと同じ周辺機能ｸﾛｯｸ周期で時間超過が起こる場合、その単位転送は落とされます。

対策/対処

なし。

12. **機能しないRTC32ｸﾛｯｸ出力としてのTOSC32** (D)

ｸﾛｯｸ出力としてのTOSC32選択は機能しません。

対策/対処

32kHzｸﾛｯｸ出力が必要とされるなら、RTC32用の供給元として内部32.768kHz発振器を選択してﾋﾟﾝへ出力することができます。

13. **保留中の非同期RTC32割り込みがﾃﾞﾊﾞｲｽを起こさない** (D)

休止命令が実行されている時に保留中の実時間計数器からの非同期割り込みは、別の供給元から、または供給元が再び起動することでﾃﾞﾊﾞｲｽが起きるまで無視されます。

対策/対処

ｿﾌﾄｳｪｱで、SLEEP命令を実行する前にRTC32のCNT値を読んで、SLEEP命令が実行される前の最後の命令中に溢れまたは比較一致の割り込みを生成しないことを調べてください。また、直前のRTC割り込みが保留中でないことも調べてください。

14. **保留中の全ての非同期ﾋﾟﾝ変化割り込みがﾃﾞﾊﾞｲｽを起こさない** (D)

休止命令が実行されている時に保留中のどれかのﾋﾟﾝに於ける、どのﾋﾟﾝ2からの完全な非同期ﾋﾟﾝ変化割り込みも、別の供給元からか、または供給元が再び起動することでﾃﾞﾊﾞｲｽが起きるまで無視されます。これは全ての休止動作形態移行時でｼｽﾃﾑ ｸﾛｯｸが停止される場所に適用します。

対策/対処

代わりに、制限された非同期ﾋﾟﾝ変化割り込みを使ってください。

15. AWeX障害保護回復が模様型生成動作で正しく行われない (G)

障害が検出されると、出力無効化許可(OUTOVEN)ﾚｼﾞｽﾀが解除され、障害条件が解消される時に対応する許可されたDTIﾁｬﾈﾙに従ってOUOVENが回復されます。共通波形ﾁｬﾈﾙ動作(CWCM:Common Waveform Channel Mode)に関しては、障害から回復した後にOUTOVENが正しいので、これは無効です。模様型生成動作(PGM:Pattern Generation Mode)については、OUTOVENが代わりに沈黙時間Low側緩衝(DTLSBUF)ﾚｼﾞｽﾀに従って回復されてしまいます。

対策/対処

CWCMに関しては対策の必要がありません。

ﾗｯﾁ動作でのPGMについては障害状態から戻る前にDTIﾁｬﾈﾙを禁止してください。そして、正しい出力を再び許可するために方向(DIR)ﾚｼﾞｽﾀが書かれる前に、正しいOUTOVEN値を設定してDTIﾁｬﾈﾙを許可してください。

周期単位動作でのPGMについては対策がありません。

40. ﾃﾞｰﾀｼｰﾄ改訂履歴

本章での頁番号参照が本資料を参照されることに注意してください。本章での改訂の参照は資料改訂を参照しています。

40.1. 8362A – 2009年10月

1. 初版

40.2. 8362B – 2009年11月

1. 2頁の「**注文情報**」を更新

40.3. 8362C – 2011年2月

1. 54頁の「**電気的特性**」を更新
2. 69頁の「**代表特性**」を追加
3. 97頁の「**障害情報**」を追加
4. 編集上の更新

40.4. 8362D – 2011年3月

1. 表紙頁から暫定を削除
2. 新しいAtmelの品質様式指針に従ってﾃﾞｰﾀｼｰﾄを更新
3. 編集上の更新

40.5. 8362E – 2011年12月

1. 2頁の「**注文情報**」でﾃｰﾌﾟとﾘｰﾙを追加
2. 48頁の**表33-4.**(本書では**表33-5.**)でGNDとVCCに対するﾋﾟﾝ番号を修正
3. 49頁の「**命令一式要約**」を更新
4. 54頁の「**電気的特性**」を更新
5. 69頁の「**代表特性**」を更新
6. 97頁で「**障害情報**」を追加
7. 編集上と図を更新

40.6. 8362F – 2013年2月

1. 更新された雛形(Atmel新ﾛｺﾞ、表ﾀｸﾞ、節ﾀｸﾞ)で内容全体を更新
2. 2頁の**図2-1.**を更新。15と25の番号ﾋﾟﾝはVDDではなくVCCです。
3. 26頁の**図16-7.**を更新。「**入力感知ｼｽﾃﾑ概要**」
4. 44頁の**図31-1.**を更新。「**ｱﾅﾛｸﾞ比較器概要**」
5. 48頁の**表33-4.**からTWIDを除去。「**ﾎﾟｰﾄD – 交換機能**」
6. 65頁の**表37-30.**を更新。「**外部16MHzｸﾘｽﾀﾙ用発振器とXOSCの特性**」にESRﾊﾟﾗﾒｰﾀを追加

40.7. 8362G – 2014年7月

1. 40頁の「**29. ADC – 12ﾋﾞｯﾄA/D変換器**」と43頁の「**31. AC – ｱﾅﾛｸﾞ比較器**」でVCCをAVCCに変更
2. 2014年5月2日の雛形で下部表題と裏頁を更新 (**訳注**:本書では下部表題を無視)

目次

特徴 1
1. 注文情報 2
2. ピン配置/構成図 2
3. 概要 3
3.1. 構成図 4
4. 資料 5
4.1. 推奨読み物 5
5. 容量性接触感知 5
6. AVR CPU 6
6.1. 要点 6
6.2. 概要 6
6.3. 構造概要 6
6.4. 算術論理演算器 (ALU) 7
6.5. プログラムの流れ 7
6.6. ステータス レジスタ 7
6.7. スタックとスタック ポインタ 7
6.8. レジスタ ファイル 8
7. メモリ 9
7.1. 要点 9
7.2. 概要 9
7.3. フラッシュ プログラム メモリ 9
7.4. ヒューズと施錠ビット 10
7.5. データ メモリ 10
7.6. EEPROM 11
7.7. I/Oメモリ 11
7.8. データ メモリとバス調停 11
7.9. メモリ タイミング 11
7.10. デバイスIDと改訂 11
7.11. JTAG禁止 11
7.12. I/Oメモリ保護 11
7.13. フラッシュ メモリとEEPROMのページ容量 12
8. DMAC – 直接メモリ入出力制御器 13
8.1. 要点 13
8.2. 概要 13
9. 事象システム 14
9.1. 要点 14
9.2. 概要 14
10. システム クロックとクロック選択 15
10.1. 要点 15
10.2. 概要 15
10.3. クロック元 16
11. 電力管理と休止形態動作 17
11.1. 要点 17
11.2. 概要 17
11.3. 休止形態動作 17
12. システム制御とリセット 18
12.1. 要点 18
12.2. 概要 18
12.3. リセットの流れ 18
12.4. リセット元 18
13. WDT – ウォッチドッグ タイマ 20
13.1. 要点 20
13.2. 概要 20
14. 電池代替支援システム 21
14.1. 要点 21
14.2. 概要 21
15. 設定可能な多段割り込み制御器 22
15.1. 要点 22
15.2. 概要 22
15.3. 割り込みベクタ 22
16. 入出力ポート 23
16.1. 要点 23
16.2. 概要 23
16.3. 出力駆動部 23
16.4. 入力感知 25
16.5. 交換ポート機能 25
17. TC0/1 – 16ビット タイマ/カウンタ0型と1型 27
17.1. 要点 27
17.2. 概要 27
18. TC2 – 16ビット タイマ/カウンタ2型 29
18.1. 要点 29
18.2. 概要 29
19. AWeX – 新波形拡張 30
19.1. 要点 30
19.2. 概要 30
20. Hi-Res – 高分解能拡張 31
20.1. 要点 31
20.2. 概要 31
21. RTC32 – 32ビット実時間計数器 32
21.1. 要点 32
21.2. 概要 32
22. USB – 万能直列バス インターフェース 33
22.1. 要点 33
22.2. 概要 33
23. TWI – 2線インターフェース 34
23.1. 要点 34
23.2. 概要 34
24. SPI – 直列周辺インターフェース 35
24.1. 要点 35
24.2. 概要 35
25. USART 36
25.1. 要点 36
25.2. 概要 36
26. IRCOM – 赤外線通信単位部 37
26.1. 要点 37
26.2. 概要 37
27. AESとDESの暗号エンジン 38
27.1. 要点 38
27.2. 概要 38
28. CRC – 巡回冗長検査 39
28.1. 要点 39
28.2. 概要 39
29. ADC – 12ビット A/D変換器 40
29.1. 要点 40
29.2. 概要 40
30. DAC – 12ビット D/A変換器 42
30.1. 要点 42
30.2. 概要 42
31. AC – アナログ比較器 43
31.1. 要点 43
31.2. 概要 43
32. プログラミングとデバッグ 45

32.1. 要点 ···· 45
32.2. 概要 ···· 45
33. ピン配置とピン機能 ···· 46
33.1. 交換ピン機能の種類 ···· 46
33.2. 交換ピン機能 ···· 47
34. 周辺機能単位部アドレス割り当て ···· 49
35. 命令一式要約 ···· 50
36. 外囲器情報 ···· 53
36.1. 64A ···· 53
36.2. 64M2 ···· 53
37. 電気的特性 ···· 54
37.1. 絶対最大定格 ···· 54
37.2. 全般動作定格 ···· 54
37.3. 消費電流 ···· 55
37.4. 休止形態からの起動時間 ···· 56
37.5. 入出力ピン特性 ···· 57
37.6. A/D変換器特性 ···· 57
37.7. D/A変換器特性 ···· 59
37.8. アナログ比較器特性 ···· 60
37.9. バンドギャップと内部1.0V基準電圧特性 ···· 60
37.10. 低電圧検出(Brownout Detection)特性 ···· 61
37.11. 外部リセット特性 ···· 61
37.12. 電源ONリセット特性 ···· 61
37.13. フラッシュ メモリとEEPROMの特性 ···· 61
37.14. VBATと電池代替支援の特性 ···· 62
37.15. クロックと発振器の特性 ···· 62
37.16. SPIタイミング特性 ···· 67
37.17. 2線インターフェース特性 ···· 68
38. 代表特性 ···· 69
38.1. 消費電流 ···· 69
38.2. 入出力ピン特性 ···· 75
38.3. A/D変換器(ADC)特性 ···· 80
38.4. D/A変換器(DAC)特性 ···· 84
38.5. アナログ比較器特性 ···· 85
38.6. 内部1.0V基準電圧特性 ···· 88
38.7. 低電圧検出器(BOD)特性 ···· 88
38.8. 外部リセット特性 ···· 89
38.9. 電源ONリセット特性 ···· 91
38.10. 発振器特性 ···· 91
38.11. 2線インターフェース特性 ···· 95
38.12. PDI特性 ···· 96
39. 障害情報 ···· 97
39.1. ATxmega256A3BU改訂A～C,E,F ···· 97
39.2. ATxmega256A3BU改訂D,G ···· 97
40. データシート改訂履歴 ···· 101
40.1. 8362A – 2009年10月 ···· 101
40.2. 8362B – 2009年11月 ···· 101
40.3. 8362C – 2011年2月 ···· 101
40.4. 8362D – 2011年3月 ···· 101
40.5. 8362E – 2011年12月 ···· 101
40.6. 8362F – 2013年2月 ···· 101
40.7. 8362G – 2014年7月 ···· 101

Atmel | Enabling Unlimited Possibilities®

Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 | www.atmel.com

© 2014 Atmel Corporation. / 改訂:Atmel-8362 G-AVR-ATxmega-Datasheet_07/2014

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他は米国と他国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(”安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とｼｽﾃﾑ、核施設と武器ｼｽﾃﾑの操作用の装置やｼｽﾃﾑを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATxmega A3BU系英語版ﾃﾞｰﾀｼｰﾄ(改訂8362G-07/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。