ATxmega128A4U/64A4U/32A4U/16A4U

AVR® XMEGA® データシート

序説

Microchip AVR® XMEGA®はAVR強化RISC構造に基づく低電力、高性能、周辺機能が豊富な8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗの系統です。単一ｸﾛｯｸ周期で命令を実行することにより、AVR XMEGAﾃﾞﾊﾞｲｽはMHz当たり1MIPS(100万命令/秒)近くのCPU単位処理量を達成し、電力消費対処理速度の最適化をｼｽﾃﾑ設計者に許します。

本書は一般の方々の便宜のため有志により作成されたもので、Microchip社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

特徴

- 高性能、低消費Microchip AVR® XMEGA® 8/16ビット マイクロ コントローラ
- データ メモリと不揮発性プログラム メモリ
  - 実装自己書き換え(ISP)可能な16～128Kバイト(8～64K語)フラッシュ メモリ
  - 4～8Kバイト(2～4K語)ブート コード領域
  - 1～2KバイトのEEPROM
  - 2～8Kバイトの内部SRAM
- 内蔵周辺機能
  - 4チャネルのDMA制御器
  - 8チャネルの事象システム
  - 5つの16ビット タイマ/カウンタ
    - 4つの比較チャネルまたは捕獲チャネルを持つ、3つのタイマ/カウンタ
    - 2つの比較チャネルまたは捕獲チャネルを持つ、2つのタイマ/カウンタ
    - 全てのタイマ/カウンタでの高分解能拡張
    - 1つのタイマ/カウンタでの新波形拡張
  - 1つのUSB装置インターフェース
    - USB2.0全速(Full-Speed,12Mbps)と低速(Low-speed,1.5Mbps)装置適合
    - 完全な構成設定柔軟性を持つ32個のエンドポイント
  - 1つのUSARTに対するIrDA(赤外線通信)支援を持つ、5つのUSART
  - 2重アドレス一致を持つ、2つの2線インターフェース (I^{2}CとSMBus適合)
  - 2つの直列周辺インターフェース(SPI:Serial Peripheral Interface)周辺機能
  - AESとDESの暗号エンジン
  - CRC-16(CRC-CCITT)とCRC-32(IEEE® 802.3)生成器
  - 独立した発振器を持つ、16ビット実時間計数器
  - 12チャネル、12ビット、2M採取/秒の1つのA/D変換器
  - 2チャネル、12ビット、1M採取/秒の1つのD/A変換器
  - 窓比較機能と電流源を持つ、2つのアナログ比較器
  - 全ての汎用I/Oピンでの外部割り込み
  - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグ タイマ
  - QTouch® ライブラリ支援
    - 容量性接触卸、摺動子、輪
- 特殊マイクロ コントローラ機能
  - 電源ONリセットと設定可能な低電圧検出(BOD)
  - PLLと前置分周器を持つ、内部及び外部のクロック任意選択
  - 設定可能な多段割り込み制御器
  - 5つの休止形態動作
  - プログラミングとデバッグ用インターフェース
    - PDI(Program and Debug Interface)
- I/Oと外囲器
  - 設定可能な34本のI/O線
  - 44リードTQFP、44パッドVQFN、49球VFBGA
- 動作電圧
  - 1.6～3.6V
- 動作周波数
  - 0～12MHz/1.6～V
  - 0～32MHz/2.7～V

© 2011-2020 Microchip Technology Inc.

目次

1. 注文情報 ····· 5
2. ピン配置/構成図 ····· 6
3. 概要 ····· 7
   3.1. 構成図 ····· 8
4. 資料 ····· 9
   4.1. 推奨読み物 ····· 9
5. 容量性接触感知 ····· 9
6. AVR® CPU ····· 10
   6.1. 要点 ····· 10
   6.2. 概要 ····· 10
   6.3. 構造概要 ····· 10
   6.4. 算術論理演算器 (ALU) ····· 11
   6.5. プログラムの流れ ····· 11
   6.6. ステータス レジスタ ····· 11
   6.7. スタックとスタック ポインタ ····· 11
   6.8. レジスタ ファイル ····· 12
7. メモリ ····· 13
   7.1. 要点 ····· 13
   7.2. 概要 ····· 13
   7.3. フラッシュ プログラム メモリ ····· 13
   7.4. ヒューズと施錠ビット ····· 14
   7.5. データ メモリ ····· 14
   7.6. EEPROM ····· 15
   7.7. I/Oメモリ ····· 15
   7.8. データ メモリとバス調停 ····· 15
   7.9. メモリ タイミング ····· 15
   7.10. デバイスIDと改訂 ····· 15
   7.11. I/Oメモリ保護 ····· 15
   7.12. フラッシュ メモリとEEPROMのページ容量 ····· 16
8. DMAC – 直接メモリ入出力制御器 ····· 17
   8.1. 要点 ····· 17
   8.2. 概要 ····· 17
9. 事象システム ····· 18
   9.1. 要点 ····· 18
   9.2. 概要 ····· 18
10. システム クロックとクロック選択 ····· 19
   10.1. 要点 ····· 19
   10.2. 概要 ····· 19
   10.3. クロック元 ····· 20
11. 電力管理と休止形態動作 ····· 21
   11.1. 要点 ····· 21
   11.2. 概要 ····· 21
   11.3. 休止形態動作 ····· 21
12. システム制御とリセット ····· 22
   12.1. 要点 ····· 22
   12.2. 概要 ····· 22
   12.3. リセットの流れ ····· 22
   12.4. リセット元 ····· 22
13. WDT – ウォッチドッグ タイマ ····· 24
   13.1. 要点 ····· 24
   13.2. 概要 ····· 24
14. 割り込みと設定可能な多段割り込み制御器 ····· 25
   14.1. 要点 ····· 25
   14.2. 概要 ····· 25
   14.3. 割り込みベクタ ····· 25
15. 入出力ポート ····· 27
   15.1. 要点 ····· 27
   15.2. 概要 ····· 27
   15.3. 出力駆動部 ····· 27
   15.4. 入力感知 ····· 29
   15.5. 交換ポート機能 ····· 29
16. TC0/1 – 16ビット タイマ/カウンタ0型と1型 ····· 30
   16.1. 要点 ····· 30
   16.2. 概要 ····· 30
17. TC2 – 16ビット タイマ/カウンタ2型 ····· 32
   17.1. 要点 ····· 32
   17.2. 概要 ····· 32
18. AWeX – 新波形拡張 ····· 33
   18.1. 要点 ····· 33
   18.2. 概要 ····· 33
19. Hi-Res – 高分解能拡張 ····· 34
   19.1. 要点 ····· 34
   19.2. 概要 ····· 34
20. RTC – 16ビット実時間計数器 ····· 35
   20.1. 要点 ····· 35
   20.2. 概要 ····· 35
21. USB – 万能直列バス インターフェース ····· 36
   21.1. 要点 ····· 36
   21.2. 概要 ····· 36
22. TWI – 2線インターフェース ····· 37
   22.1. 要点 ····· 37
   22.2. 概要 ····· 37
23. SPI – 直列周辺インターフェース ····· 38
   23.1. 要点 ····· 38
   23.2. 概要 ····· 38
24. USART ····· 39
   24.1. 要点 ····· 39
   24.2. 概要 ····· 39
25. IRCOM – 赤外線通信単位部 ····· 40
   25.1. 要点 ····· 40
   25.2. 概要 ····· 40
26. AESとDESの暗号エンジン ····· 41
   26.1. 要点 ····· 41
   26.2. 概要 ····· 41
27. CRC – 巡回冗長検査生成器 ····· 42
   27.1. 要点 ····· 42
   27.2. 概要 ····· 42
28. ADC – 12ビット A/D変換器 ····· 43
   28.1. 要点 ····· 43
   28.2. 概要 ····· 43
29. DAC – 12ビット D/A変換器 ····· 45
   29.1. 要点 ····· 45
   29.2. 概要 ····· 45
30. AC – アナログ比較器 ····· 46
   30.1. 要点 ····· 46
   30.2. 概要 ····· 46
31. プログラミングとデバッグ ····· 48
   31.1. 要点 ····· 48
   31.2. 概要 ····· 48
32. ピン配置とピン機能 ····· 49
   32.1. 交換ピン機能の種類 ····· 49
   32.2. 交換ピン機能 ····· 50

© 2011-2020 Microchip Technology Inc.

33. 周辺機能単位部ｱﾄﾞﾚｽ割り当て 52
34. 命令一式要約 53
35. 外囲器情報 56
35.1. 44A 56
35.2. 44PW 57
35.3. 44M1 58
35.4. 49C2 59
36. 電気的特性 60
36.1. ATmega16A4U 60
36.2. ATmega32A4U 74
36.3. ATmega64A4U 88
36.4. ATmega128A4U 102
37. 代表特性 116
37.1. ATmega16A4U 116
37.2. ATmega32A4U 144
37.3. ATmega64A4U 172
37.4. ATmega128A4U 200
38. 障害情報 228
39. ﾃﾞｰﾀｼｰﾄ改訂履歴 230
39.9. 改訂A – 2020年4月 231

© 2011–2020 Microchip Technology Inc.

1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外囲器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega16A4U-AU	16KB+4KB	1KB	2KB	44A	32	1.6～3.6V	-40℃～85℃
ATxmega16A4U-AUR (注4)							
ATxmega32A4U-AU	32KB+4KB	1KB	4KB				
ATxmega32A4U-AUR (注4)							
ATxmega64A4U-AU	64KB+4KB	2KB	4KB				
ATxmega64A4U-AUR (注4)							
ATxmega128A4U-AU	128KB+8KB	2KB	8KB				
ATxmega128A4U-AUR (注4)							
ATxmega16A4U-MH	16KB+4KB	1KB	2KB	44M1			
ATxmega16A4U-MHR (注4)							
ATxmega32A4U-MH	32KB+4KB	1KB	4KB				
ATxmega32A4U-MHR (注4)							
ATxmega64A4U-MH	64KB+4KB	2KB	4KB	44PW			
ATxmega64A4U-MHR (注4)							
ATxmega128A4U-MH	128KB+8KB	2KB	8KB				
ATxmega128A4-MHR (注4)							
ATxmega16A4U-CU	16KB+4KB	1KB	2KB	49C2			
ATxmega16A4U-CUR (注4)							
ATxmega32A4U-CU	32KB+4KB	1KB	4KB				
ATxmega32A4U-CUR (注4)							
ATxmega64A4U-CU	64KB+4KB	2KB	4KB				
ATxmega64A4U-CUR (注4)							
ATxmega128A4U-CU	128KB+8KB	2KB	8KB				
ATxmega128A4U-CUR (注4)							
ATxmega16A4U-AN	16KB+4KB	1KB	2KB	44A	32	1.6～3.6V	-40℃～105℃
ATxmega16A4U-ANR (注4)							
ATxmega32A4U-AN	32KB+4KB	1KB	4KB				
ATxmega32A4U-ANR (注4)							

注1: このﾃﾞﾊﾞｲｽはｳｪﾊｰ(ﾁｯﾌﾟ単体)形状でも供給できます。詳細な注文情報については最寄のMicrochip営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛ﾌﾘｰ製品。またﾊﾛｹﾞﾝ化合物ﾌﾘｰで完全に安全です。

注3: 外囲器情報については56頁の「外囲器情報」をご覧ください。

注4: ﾃｰﾌﾟとﾘｰﾙ。

外囲器形式	
44A	44ﾘｰﾄﾞ 10×10×1.0mm厚 0.8mmﾋﾟｯﾁ 薄型ﾌﾟﾗｽﾃｨｯｸ4方向平板外囲器 (TQFP)
44M1	44ﾊﾟｯﾄﾞ 7×7×1.0mm 0.50mmﾋﾟｯﾁ 5.20mm露出ﾊﾟｯﾄﾞ 耐熱ﾌﾟﾗｽﾃｨｯｸ極薄4方向平板ﾘｰﾄﾞなし外囲器 (VQFN)
44PW	44ﾊﾟｯﾄﾞ 7×7×1.0mm 0.50mmﾋﾟｯﾁ 5.20mm露出ﾊﾟｯﾄﾞ 耐熱ﾌﾟﾗｽﾃｨｯｸ極薄4方向平板ﾘｰﾄﾞなし外囲器 (VQFN)
49C2	49球(7×7配列) 5×5×1.0mm 0.65mmﾋﾟｯﾁ 極薄密ﾋﾟｯﾁ球格子配列外囲器 (VFBGA)

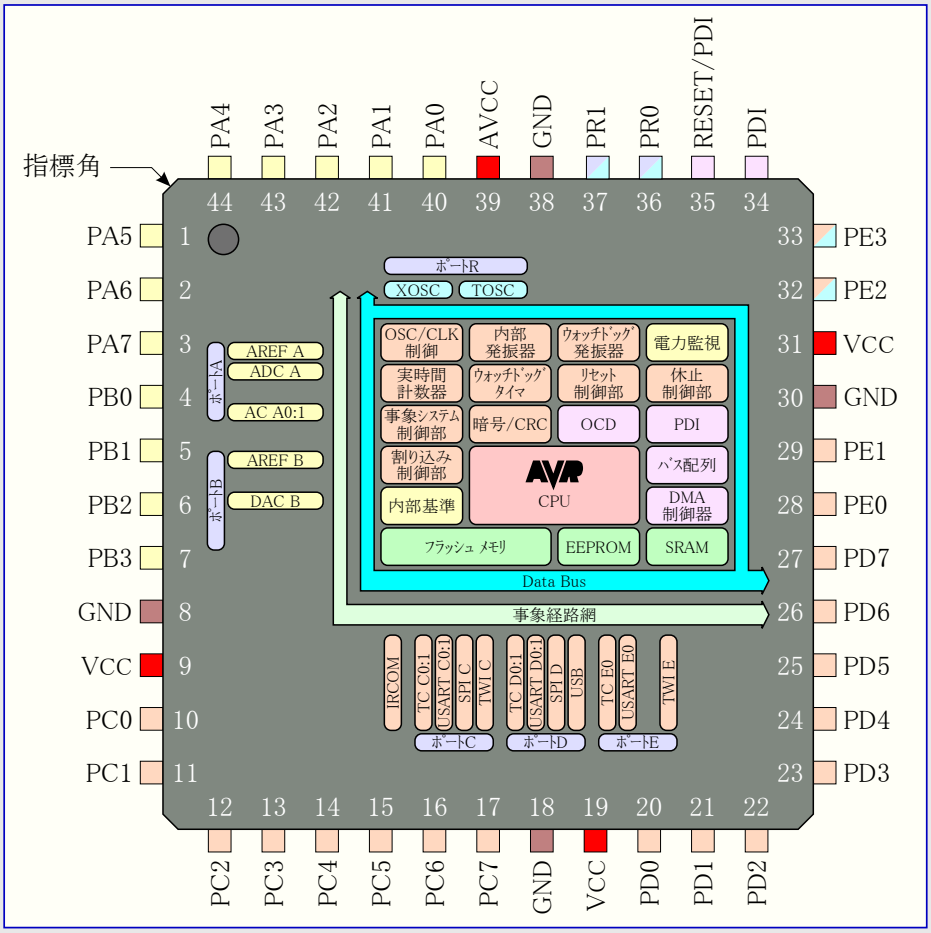
代表的な応用

・工業制御	・環境制御	・低電力電池応用
・工場自動化	・RFとZigBee®	・電力ﾂｰﾙ
・建築制御	・USB接続性	・室内環境制御(HVAC)
・基板制御	・感知器制御	・実用計器
・白物家電	・光学	・医療応用

© 2011-2020 Microchip Technology Inc.

2. ピン配置/構成図

図2-1. 構成図とVQFN/TQFPピン配置



注: 1. ピン配置とピン機能の完全な詳細については49頁の「ピン配置とピン機能」を参照してください。

2. VQFN外囲器下の大きな中央パッドは良い機械的な安定性を保証するために基板の接地に半田付けされるべきです。

図2-2. VFBGAピン配置

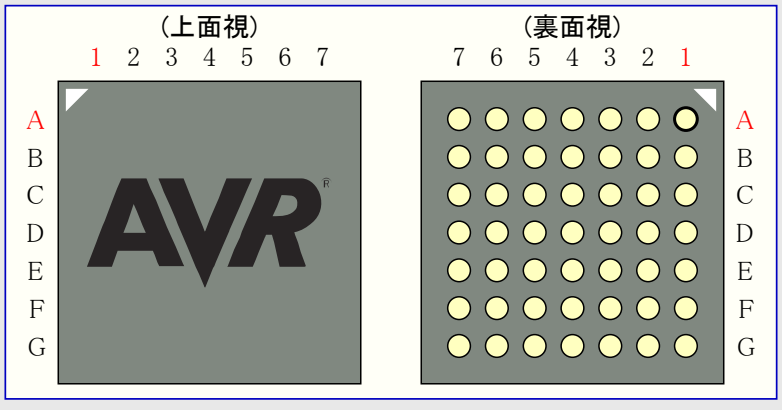


表2-1. VFBGAピン配列

	1	2	3	4	5	6	7
A	PA3	AVCC	GND	PR1	PR0	PDI_DATA	PE3
B	PA4	PA1	PA0	GND	RESET/PDI_CLK	PE2	VCC
C	PA5	PA2	PA6	PA7	GND	PE1	GND
D	PB1	PB2	PB3	PB0	GND	PD7	PE0
E	GND	GND	PC3	GND	PD4	PD5	PD6
F	VCC	PC0	PC4	PC6	PD0	PD1	PD3
G	PC1	PC2	PC5	PC7	GND	VCC	PD2

3. 概要

Microchip AVR XMEGAはAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。単一ｸﾛｯｸ周期で実行する命令によって、AVR XMEGAﾃﾞﾊﾞｲｽはｼｽﾃﾑ設計者に対して電力消費対処理速度の最適化を可能とするMHz当たり100万命令に達するCPU単位時間処理能力を達成します。

AVR CPUは32個の汎用作業ﾚｼﾞｽﾀを豊富な命令一式に結合します。32個全てのﾚｼﾞｽﾀが算術論理演算器(ALU)へ直接接続され、単一命令でのｱｸｾｽを2つの独立したﾚｼﾞｽﾀに許し、単一ｸﾛｯｸ周期で実行されます。この構造はより大きなｺｰﾄﾞ効率と同時に伝統的な単一累積器やCISCに基くﾏｲｸﾛ ｺﾝﾄﾛｰﾗよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA A4Uﾃﾞﾊﾞｲｽは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つﾌﾗｯｼｭ ﾒﾓﾘ、内部のEEPROMとSRAM、4ﾁｬﾈﾙのDMA制御器、8ﾁｬﾈﾙの事象ｼｽﾃﾑ、設定可能な多段割り込み制御器、34本の汎用入出力線、16ﾋﾞｯﾄ実時間計数器(RTC)、比較動作とPWM付きの5つの柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ、1つのUSB2.0全速(Full-speed)装置ｲﾝﾀｰﾌｪｰｽ、5つのUSART、2つの2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)、2つの直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)、AESとDESの暗号ｴﾝｼﾞﾝ、設定可能な利得を持つ1つの12ﾁｬﾈﾙ 12ﾋﾞｯﾄA/D変換器、1つの2ﾁｬﾈﾙ 12ﾋﾞｯﾄD/A変換器、窓動作を持つ2つのｱﾅﾛｸﾞ比較器(AC)、独立した内部発振器を持つ設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の高速2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ(PDI)が利用可能です。

XMEGAﾃﾞﾊﾞｲｽはｿﾌﾄｳｪｱで選択可能な5つの節電動作を持ちます。ｱｲﾄﾞﾙ動作はCPUを停止する一方で、SRAM、DMA制御器、事象ｼｽﾃﾑ、割り込み制御器と全ての周辺機能に機能の継続を許します。ﾊﾟﾜｰﾀﾞｳﾝ動作はSRAMとﾚｼﾞｽﾀの内容を保存しますが、発振器を停止し、次のTWI、USB再開(resume)またはﾋﾟﾝ変化の割り込み、またはﾘｾｯﾄまで他の全ての機能を禁止します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、ﾃﾞﾊﾞｲｽの残りは休止します。ｽﾀﾝﾊﾞｲ動作ではｸﾘｽﾀﾙ発振子/ｾﾗﾐｯｸ振動子用発振器が走行を保つ一方、ﾃﾞﾊﾞｲｽの残りは休止します。これは低電力消費と組み合わせた外部ｸﾘｽﾀﾙからの非常に速い始動を可能にします。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能ｸﾛｯｸは活動動作とｱｲﾄﾞﾙ動作に於いて任意で停止することができます。

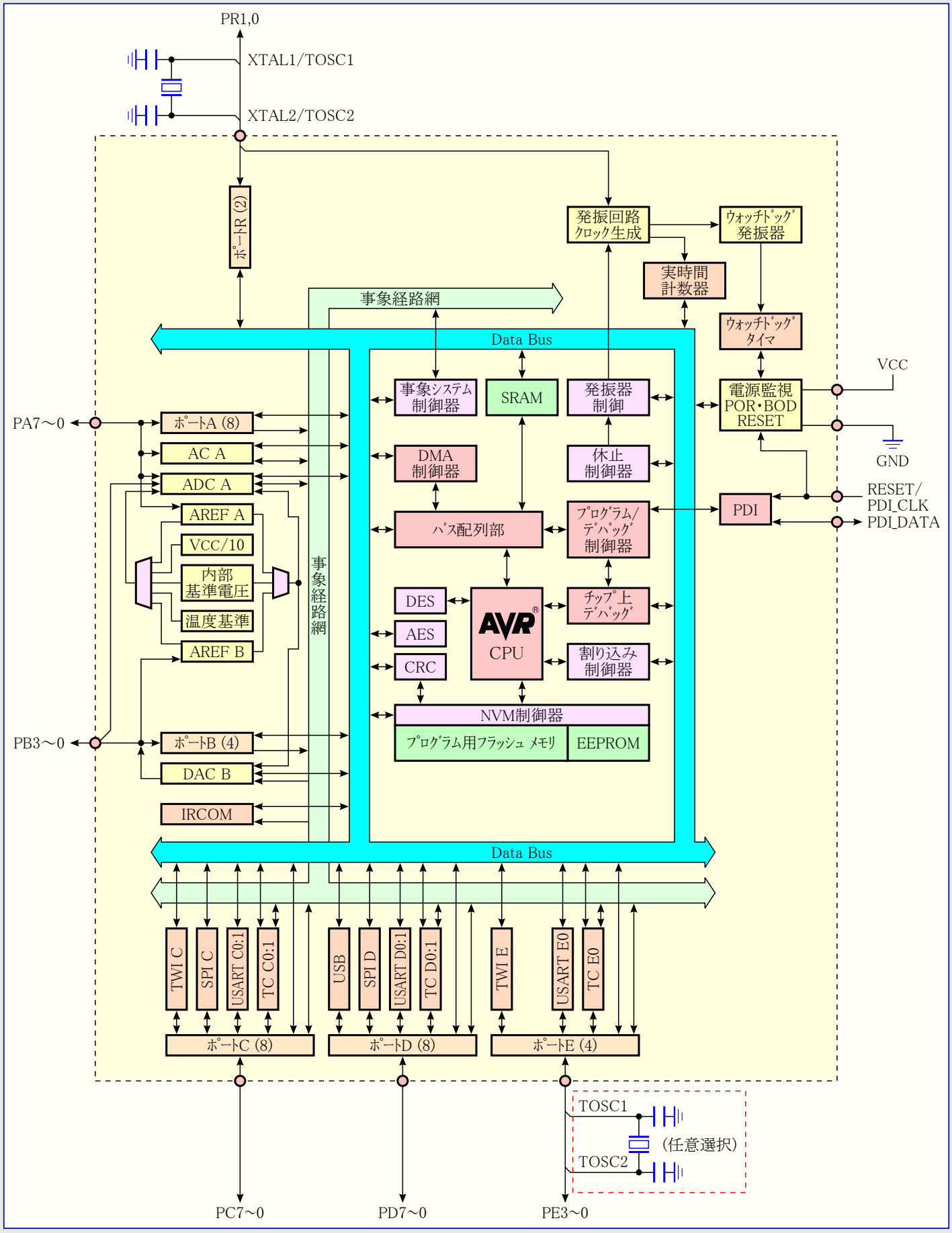
MicrochipはAVRﾏｲｸﾛ ｺﾝﾄﾛｰﾗへ容量性接触卸、滑動部、輪を組み込むためのQTouchﾗｲﾌﾞﾗﾘを提供します。

ﾃﾞﾊﾞｲｽはMicrochipの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘはPDIを通して実装書き換えをすることができます。ﾃﾞﾊﾞｲｽ内で走行するﾌﾞｰﾄﾛｰﾀﾞはﾌﾗｯｼｭ ﾒﾓﾘに応用ﾌﾟﾛｸﾞﾗﾑを取得格納するのにどんなｲﾝﾀｰﾌｪｰｽをも用いることができます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域内のﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱは応用ﾌﾗｯｼｭ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なﾌﾗｯｼｭと8/16ﾋﾞｯﾄRISC CPUの結合により、AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。

全てのMicrochip AVR XMEGAﾃﾞﾊﾞｲｽはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾌﾟﾛｸﾞﾗﾑ ﾃﾞﾊﾞｯｶﾞ/ｼﾐｭﾚｰﾀ、書き込み器、評価ｷｯﾄを含む、ﾌﾟﾛｸﾞﾗﾑとｼｽﾃﾑ開発ﾂｰﾙの完全な揃えで支援されます。

3.1. 構成図

図3-1. XMEGA® A4U構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式はhttp://www.microchip.comでのダウンロードに関して利用可能です。

4.1. 推奨読物

- Microchip AVR XMEGA AU手引書
- XMEGA応用記述

このデバイス データシートは各単位部と周辺機能の短い記述と共にデバイス固有情報だけを含みます。XMEGA AU手引書は単位部と周辺機能を広く深く記述します。XMEGA応用記述はコード例を含み、単位部と周辺機能を適用する使い方を示します。

全ての資料はhttp://www.microchip.comから利用可能です。

5. 容量性接触感知

MicrochipのQTouchライブラリはMicrochipの殆どのAVRマイクロ コントローラ上の接触感知インターフェース実現の解決策を使うための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制™(AKS™)技術を含みます。QTouchライブラリはQTouchとQMatrix™採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なMicrochip QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のMicrochipのウェブサイトからダウンロードすることができます。http://www.microchip.com
実装の詳細とその他の情報についてはMicrochipのウェブサイトからも入手可能な「QTouchライブラリ使用者の手引き」を参照してください。

6. AVR® CPU

6.1. 要点

- 8/16ﾋﾞｯﾄ高性能Microchip AVR RISC CPU
  - 142命令
  - ﾊｰﾄﾞｳｪｱ乗算器
- ALUに直結された32個の8ﾋﾞｯﾄ ﾚｼﾞｽﾀ
- SRAM内のｽﾀｯｸ
- I/Oﾒﾓﾘ空間内でｱｸｾｽ可能なｽﾀｯｸ ﾎﾟｲﾝﾀ
- 16Mﾊﾞｲﾄまでのﾌﾟﾛｸﾞﾗﾑと16Mﾊﾞｲﾄのﾃﾞｰﾀのﾒﾓﾘを直接ｱﾄﾞﾚｽ指定
- 16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀへの真の16/24ﾋﾞｯﾄ入出力
- 8、16、32演算に対する効率的な支援
- ｼｽﾃﾑ重要特性の構成設定変更保護

6.2. 概要

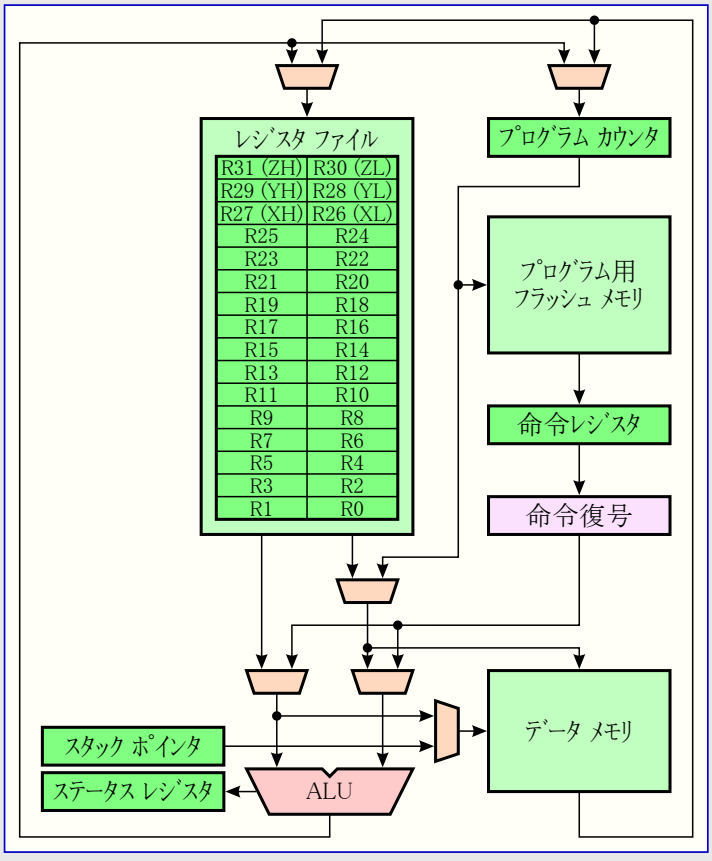
Microchip AVR XMEGAﾃﾞﾊﾞｲｽは8/16ﾋﾞｯﾄAVR CPUを使います。CPUの主な機能は、ｺｰﾄﾞを実行して全ての計算を実行することです。CPUはﾒﾓﾘ入出力、計算実行、周辺制御、そしてﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑを実行することができます。割り込みの扱いは独立した章で記述され、25頁の「割り込みと設定可能な多段割り込み制御器」を参照してください。

6.3. 構造概要

最大性能と並列化のためにAVR CPUはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対して独立したﾒﾓﾘとﾊﾞｽを持つﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1つの命令が実行されつつあると同時に、次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから予め取得されます。これは毎ｸﾛｯｸ周期で実行される命令を可能にします。全AVR命令の詳細についてはhttp://www.microchip.comを参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はﾚｼﾞｽﾀ間または定数とﾚｼﾞｽﾀ間の算術と論理の操作を支援します。単一ﾚｼﾞｽﾀ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

図6-1. AVR® CPU構造の構成図



ALUは高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙに直接的に接続されます。32×8ﾋﾞｯﾄ汎用作業ﾚｼﾞｽﾀの全てがﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと即値間での単一周期算術論理部(ALU)操作を許す単一ｸﾛｯｸ周期ｱｸｾｽ時間を持ちます。32個中の6つのﾚｼﾞｽﾀは効率的なｱﾄﾞﾚｽ計算を許す、ﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀの空間をｱﾄﾞﾚｽ指定するための3つの16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとして使うことができます。

ﾒﾓﾘ空間は直線状です。ﾃﾞｰﾀ ﾒﾓﾘ空間とﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間は2つの異なるﾒﾓﾘ空間です。

ﾃﾞｰﾀ ﾒﾓﾘ空間はI/Oﾚｼﾞｽﾀ、SRAM、外部RAMに分けられます。加えて、ﾃﾞｰﾀ ﾒﾓﾘ内にEEPROMをﾒﾓﾘ割り当てすることができます。

全てのI/Oの状態と制御のﾚｼﾞｽﾀはﾃﾞｰﾀ ﾒﾓﾘの最下位4Kﾊﾞｲﾄのｱﾄﾞﾚｽに属します。これはI/Oﾒﾓﾘ空間として参照されます。最下位60ｱﾄﾞﾚｽは直接、または$00～$3Fのﾃﾞｰﾀ空間位置としてｱｸｾｽすることができます。残りは$0040～$0FFFに連なる拡張I/Oﾒﾓﾘ区間です。ここのI/Oﾚｼﾞｽﾀは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてﾃﾞｰﾀ空間位置としてｱｸｾｽされなければなりません。

SRAMはﾃﾞｰﾀを保持します。SRAMからのｺｰﾄﾞ実行は支援されません。SRAMはAVR構造で支援される5つの異なるｱﾄﾞﾚｽ指定形態を通して容易にｱｸｾｽすることができます。

$1000～$1FFFのﾃﾞｰﾀ ｱﾄﾞﾚｽはﾒﾓﾘ割り当てEEPROM用に予約されています。

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは応用ﾌﾟﾛｸﾞﾗﾑ領域とﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ﾋﾞｯﾄを持ちます。応用ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使われるSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ﾋﾞｯﾄを持つ応用表領域を含みます。応用表領域はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ内での不揮発性ﾃﾞｰﾀの格納を減らすのに使うことができます。

6.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単一ﾚｼﾞｽﾀ操作の実行もできます。ALUは32個の汎用ﾚｼﾞｽﾀ全てとの直接接続で動作します。単一ｸﾛｯｸ周期内で、汎用ﾚｼﾞｽﾀ間、またはﾚｼﾞｽﾀと即値間の算術操作が実行されて結果がﾚｼﾞｽﾀ ﾌｧｲﾙに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

ALU操作は、演算、論理、ﾋﾞｯﾄ操作の、3つの主な分野に分けられます。8ﾋﾞｯﾄと16ﾋﾞｯﾄの両方の算術演算が支援され、命令一式は効率的な32ﾋﾞｯﾄ演算の実装を可能にします。ﾊｰﾄﾞｳｪｱ乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

6.4.1. ﾊｰﾄﾞｳｪｱ乗算器

乗算器は2つの8ﾋﾞｯﾄ数値を16ﾋﾞｯﾄの結果に乗算する能力です。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUｸﾛｯｸ周期かかります。

6.5. ﾌﾟﾛｸﾞﾗﾑの流れ

ﾘｾｯﾄ後、CPUはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の最下位ｱﾄﾞﾚｽ'$000000'から命令の実行を始めます。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は取得されるべき次の命令を指示します。

ﾌﾟﾛｸﾞﾗﾑの流れはｱﾄﾞﾚｽ空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ﾋﾞｯﾄ語形式を用い、一方限られた若干が32ﾋﾞｯﾄ形式を使います。

割り込みとｻﾌﾞﾙｰﾁﾝ呼び出しの間、復帰ｱﾄﾞﾚｽのPC(値)がｽﾀｯｸに格納されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAM内に割り当てられ、結果としてｽﾀｯｸ容量は総SRAM容量とSRAMの使い方だけによって制限されます。ﾘｾｯﾄ後のｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)は内部SRAM内の最上位ｱﾄﾞﾚｽを指し示します。SPはI/Oﾒﾓﾘ空間で読み書きｱｸｾｽが可能で、ｽﾀｯｸまたはｽﾀｯｸ領域の容易な複数実装を可能にします。ﾃﾞｰﾀ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にｱｸｾｽすることができます。

6.6. ｽﾃｰﾀｽ ﾚｼﾞｽﾀ

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにﾌﾟﾛｸﾞﾗﾑの流れを変えるのに使えます。ｽﾃｰﾀｽ ﾚｼﾞｽﾀは「**命令一式手引書**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なｺｰﾄﾞに帰着します。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝ移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはｿﾌﾄｳｪｱによって扱われなければなりません。

ｽﾃｰﾀｽ ﾚｼﾞｽﾀはI/Oﾒﾓﾘ空間でｱｸｾｽできます。

6.7. ｽﾀｯｸとｽﾀｯｸ ﾎﾟｲﾝﾀ

ｽﾀｯｸは割り込みとｻﾌﾞﾙｰﾁﾝ呼び出し後の復帰ｱﾄﾞﾚｽの格納に使われます。一時ﾃﾞｰﾀの格納にも使えます。ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)ﾚｼﾞｽﾀは常にｽﾀｯｸの先頭(**訳注**:次に使われるべき位置)を指し示します。これはI/Oﾒﾓﾘ空間でｱｸｾｽ可能な2つの8ﾋﾞｯﾄ ﾚｼﾞｽﾀとして実装されます。ﾃﾞｰﾀはPUSH命令とPOP命令を使ってｽﾀｯｸへ格納とｽﾀｯｸから取得されます。ｽﾀｯｸは上位ﾒﾓﾘ位置から下位ﾒﾓﾘ位置へ増えます。これはｽﾀｯｸへのﾃﾞｰﾀ格納がSPを減らし、ｽﾀｯｸからのﾃﾞｰﾀ取得がSPを増すことを意味します。SPはﾘｾｯﾄ後に自動的に設定され、その初期値は内部SRAMの最上位ｱﾄﾞﾚｽです。SPが変更されるなら、それは$2000番地以上を指し示すように設定されなければならず、そして何れかのｻﾌﾞﾙｰﾁﾝ呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはｻﾌﾞﾙｰﾁﾝ呼び出しの間、自動的に復帰ｱﾄﾞﾚｽがｽﾀｯｸへ格納されます。復帰ｱﾄﾞﾚｽはﾃﾞﾊﾞｲｽのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ量に依存して2または3ﾊﾞｲﾄで有り得ます。128Kﾊﾞｲﾄ以下のﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽについては復帰ｱﾄﾞﾚｽが2ﾊﾞｲﾄで、故にｽﾀｯｸ ﾎﾟｲﾝﾀは+2/-2されます。128Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽについては復帰ｱﾄﾞﾚｽが3ﾊﾞｲﾄで、故にSPは+3/-3されます。復帰ｱﾄﾞﾚｽはRETI命令を使って割り込みから、またはRET命令を使ってｻﾌﾞﾙｰﾁﾝ呼び出しから戻る時にｽﾀｯｸから取得されます。

ﾃﾞｰﾀがPUSH命令でｽﾀｯｸに格納される時にSPは-1され、POP命令を使ってｽﾀｯｸからﾃﾞｰﾀを取得する時に+1されます。

ｿﾌﾄｳｪｱからのｽﾀｯｸ ﾎﾟｲﾝﾀ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oﾒﾓﾘ書き込みまで割り込みを自動的に禁止します。

ﾘｾｯﾄ後、ｽﾀｯｸ ﾎﾟｲﾝﾀはSRAMの最高ｱﾄﾞﾚｽに初期化されます。15頁の**図7-2.**をご覧ください。

6.8. レジスタ ファイル

レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレス レジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

7. メモリ

7.1. 要点

- フラッシュ プログラム メモリ
  - 1つの直線的なアドレス空間
  - 実装書き換え可能(In-System Reprogrammable)
  - 自己プログラミングとブートローダ支援
  - 応用コード用応用領域
  - 応用コードまたはデータ記憶用応用表領域
  - 応用コードまたはブートローダ コード用ブートローダ領域
  - 全領域に対する独立した読み/書き保護施錠ビット
  - 選択可能なフラッシュ プログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
  - 1つの直線的なアドレス空間
  - CPUからの単一周期アクセス
  - SRAM
  - EEPROM
    - バイトまたはページでのアクセスが可能
    - 直接取得/格納に対する任意のメモリ配置割り当て
  - I/Oメモリ
    - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
    - 全体変数またはフラグ用にビット アクセス可能な16個の汎用I/Oレジスタ
  - バス調停
    - CPU、DMA制御器、他のバス所有者間の決定論的な優先順処理
  - SRAM、EPROM、I/Oメモリのアクセスに対する独立バス
    - CPUとDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識票列メモリ
  - 各マイクロ コートローラに対するID
  - 各デバイスに対する通番
  - 工場較正された周辺機能用の較正バイト
- 使用者識票列
  - 1つのフラッシュ ページ容量
  - ソフトウェアから読み書き可能
  - チップ消去後も内容保持

7.2. 概要

Microchip AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コードはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズ バイトを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は5頁の「**注文情報**」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュ メモリ識票列を持っています。

7.3. フラッシュ プログラム メモリ

Microchip AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

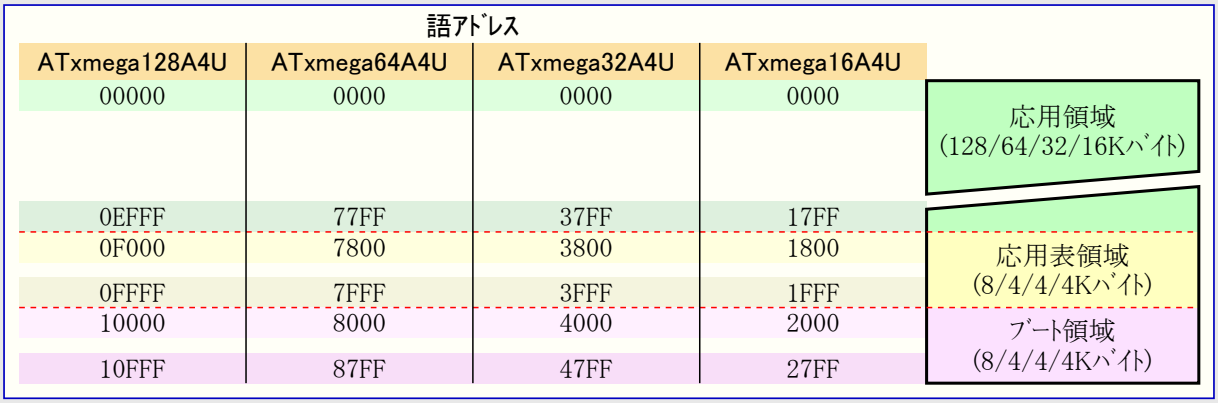
全てのAVR CPU命令は16または32ビット幅、フラッシュの各アドレス位置は16ビットです。フラッシュ メモリは応用領域とブート ローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令はブート ローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶を許します。

応用表領域とブート領域は一般的な応用ソフトウェアにも使うことができます。

© 2011-2020 Microchip Technology Inc.

図7-1. フラッシュ プログラム メモリ (16進アドレス)



7.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コードを格納するのに使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

7.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラム メモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここに応用コードが存在できます。

7.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コードの格納に使われる一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダ ソフトウェアはブートローダ領域に配置されなければなりません。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダ ソフトウェア用に使われないなら、ここに応用コードを格納することができます。

7.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。校正条件の詳細については60頁の「電気的特性」を参照してください。

製品識票列は各マイクロ コントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。利用可能なデバイスに対するデバイスIDは**表7-1.**で示されます。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

表7-1. XMEGA® A4Uデバイス用デバイスIDバイト

デバイス	内容		
	第1バイト	第2バイト	第3バイト
ATxmega16A4U	1E	94	41
ATxmega32A4U	1E	95	41
ATxmega64A4U	1E	96	46
ATxmega128A4U	1E	97	46

7.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュ ページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュ メモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

7.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するのに使われ、外部プログラミング インターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や始動構成設定に使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュ メモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

ヒューズと施錠ビットの両方はプログラム用フラッシュ メモリのように書き換え可能です。

7.5. ﾃﾞｰﾀ ﾒﾓﾘ

ﾃﾞｰﾀ ﾒﾓﾘはI/Oﾒﾓﾘ、内部SRAM、任意選択のﾒﾓﾘ配置割り当てEEPROMを含みます。ﾃﾞｰﾀ ﾒﾓﾘは1つの続いたﾒﾓﾘ領域として構成されます。**図7-2.**をご覧ください。開発を簡単化するため、全てのMicrochip AVR XMEGAﾃﾞﾊﾞｲｽでI/Oﾒﾓﾘ、EEPROMとSRAMは常に同じ開始ｱﾄﾞﾚｽを持ちます。

図7-2. ﾃﾞｰﾀ ﾒﾓﾘ割り当て (16進ｱﾄﾞﾚｽ)

ﾊﾞｲﾄ ｱﾄﾞﾚｽ				
ATxmega128A4U	ATxmega64A4U	ATxmega32A4U	ATxmega16A4U	
0000	0000	0000	0000	I/Oﾒﾓﾘ (4/4/4/4Kﾊﾞｲﾄ)
0FFF	0FFF	0FFF	0FFF	
1000	1000	1000	1000	EEPROM (2/2/1/1Kﾊﾞｲﾄ)
17FF	17FF	13FF	13FF	
				(予約)
2000	2000	2000	2000	内部SRAM (8/4/4/2Kﾊﾞｲﾄ)
3FFF	2FFF	2FFF	27FF	

7.6. EEPROM

全てのﾃﾞﾊﾞｲｽは不揮発性ﾃﾞｰﾀ記憶用にEEPROMを持っています。それは独立したﾃﾞｰﾀ空間(既定)でのｱﾄﾞﾚｽ指定、または通常のﾃﾞｰﾀ空間にﾒﾓﾘ配置割り当てしてｱｸｾｽする、のどちらかにできます。EEPROMはﾊﾞｲﾄとﾍﾟｰｼﾞの両ｱｸｾｽを支援します。ﾒﾓﾘ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってｱｸｾｽできます。ﾒﾓﾘ配置割り当てEEPROMは常に16進ｱﾄﾞﾚｽ$1000で始まります。

7.7. I/Oﾒﾓﾘ

CPUを含む単位部と周辺機能に関する状態と構成設定のﾚｼﾞｽﾀはI/Oﾒﾓﾘ位置を通してｱﾄﾞﾚｽ指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってｱｸｾｽでき、そしてそれはﾚｼﾞｽﾀ ﾌｧｲﾙ内の32個のﾚｼﾞｽﾀとI/Oﾒﾓﾘ間でﾃﾞｰﾀを転送するのに使われます。IN命令とOUT命令は$0000～$003F範囲のI/Oﾒﾓﾘ位置を直接ｱﾄﾞﾚｽ指定できます。ｱﾄﾞﾚｽ範囲$0000～$001Fでは個別ﾋﾞｯﾄの操作と検査の命令が利用できます。

XMEGA® A4Uでの全ての周辺機能と単位部に対するI/Oﾒﾓﾘ ｱﾄﾞﾚｽは52頁の「**周辺機能単位部ｱﾄﾞﾚｽ割り当て**」で示されます。

7.7.1. 汎用I/Oﾚｼﾞｽﾀ

最下位16個のI/Oﾒﾓﾘ ｱﾄﾞﾚｽは汎用I/Oﾚｼﾞｽﾀ用に予約されています。これらのﾚｼﾞｽﾀは、それらがSBI,CBI,SBIS,SBIC命令を使って直接ﾋﾞｯﾄ ｱｸｾｽが可能なため、全体変数とﾌﾗｸﾞの格納に使うことができます。

7.8. ﾃﾞｰﾀ ﾒﾓﾘとﾊﾞｽ調停

ﾃﾞｰﾀ ﾒﾓﾘが4つの独立したﾒﾓﾘの組として構成されるため、異なるﾊﾞｽ主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるﾒﾓﾘをｱｸｾｽし得ます。

7.9. ﾒﾓﾘ ﾀｲﾐﾝｸﾞ

I/Oﾒﾓﾘへの読み書きｱｸｾｽは1CPUｸﾛｯｸ周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいﾃﾞｰﾀが毎周期で利用可能です。EEPROMﾍﾟｰｼﾞ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいﾃﾞｰﾀが毎2周期で利用可能です。命令と命令ﾀｲﾐﾝｸﾞのより多くの詳細については命令要約を参照してください。

7.10. ﾃﾞﾊﾞｲｽIDと改訂

各々のﾃﾞﾊﾞｲｽは3ﾊﾞｲﾄのﾃﾞﾊﾞｲｽIDを持ちます。このIDはﾃﾞﾊﾞｲｽの製造業者としてのMicrochipとﾃﾞﾊﾞｲｽ型式を明らかにします。独立した改訂版ID(REVID)ﾚｼﾞｽﾀはﾃﾞﾊﾞｲｽの改訂版番号を含みます。

7.11. I/Oﾒﾓﾘ保護

ﾃﾞﾊﾞｲｽ内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、ｸﾛｯｸ系、事象ｼｽﾃﾑ、新波形拡張に関連するI/Oﾚｼﾞｽﾀの施錠が可能です。施錠が許可されている限り、全ての関連I/Oﾚｼﾞｽﾀが施錠され、それらは応用ｿﾌﾄｳｪｱから書くことができません。それら自身の施錠ﾚｼﾞｽﾀは構成設定変更保護機構によって保護されます。

© 2011-2020 Microchip Technology Inc.

7.12. フラッシュ メモリとEEPROMのページ容量

プログラム用フラッシュ メモリとデータ用EEPROMはページで構成されています。ページはフラッシュ メモリに対して語アクセス可能で、EEPROMに対してバイト アクセス可能です。

表7-2.はプログラム用フラッシュ メモリ構成とプログラム カウンタ(PC)の大きさを示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュ アクセスに関してはアドレス指定にZポインタ(Zn～0)が使われます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレス ビット(FWORD)がページ内の語(位置)を与えます。

表7-2. フラッシュ メモリ内のページ数と語数

デバイス	フラッシュ容量	ページ容量	FPAGE	FWORD	応用領域		ブート領域		PC大きさ
	(バイト)	(語)			容量	ページ数	容量	ページ数	(ビット)
ATxmega16A4U	16K+4K	128	Z14～8	Z7～1	16KB	64	4KB	16	14
ATxmega32A4U	32K+4K	128	Z15～8	Z7～1	32KB	128	4KB	16	15
ATxmega64A4U	64K+4K	128	Z16～8	Z7～1	64KB	256	4KB	16	16
ATxmega128A4U	128K+8K	128	Z17～8	Z7～1	128KB	512	8KB	32	17

表7-3.はXMEGA® A4Uデバイスに対するEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレス レジスタ(ADDRn～0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレス ビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数

デバイス	EEPROM容量	ページ容量	E2PAGE	E2BYTE	ページ数
	(バイト)	(バイト)			
ATxmega16A4U	1K	32	ADDR9～5	ADDR4～0	32
ATxmega32A4U	1K	32	ADDR9～5	ADDR4～0	32
ATxmega64A4U	2K	32	ADDR10～5	ADDR4～0	64
ATxmega128A4U	2K	32	ADDR10～5	ADDR4～0	64

(**訳補**) フラッシュ メモリは応用領域とブート領域が$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュ メモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使われます。**表7-2.**のFPAGE及びFWORDのZポインタはSPM命令に対するものです。

8. DMAC – 直接ﾒﾓﾘ入出力制御器 (Direct Memory Access Controller)

8.1. 要点

- 最小CPU介在での高速転送を許容
  - ﾃﾞｰﾀ ﾒﾓﾘからﾃﾞｰﾀ ﾒﾓﾘへ
  - ﾃﾞｰﾀ ﾒﾓﾘから周辺機能へ
  - 周辺機能からﾃﾞｰﾀ ﾒﾓﾘへ
  - 周辺機能から周辺機能へ
- 独立した4つのDMAﾁｬﾈﾙ
  - 転送起動元
  - 割り込みﾍﾞｸﾀ
  - ｱﾄﾞﾚｽ指示種別
- 設定可能なﾁｬﾈﾙ優先順
- 単一転送処理で1ﾊﾞｲﾄから16Mﾊﾞｲﾄまでのﾃﾞｰﾀ
- 複数のｱﾄﾞﾚｽ指示種別
  - 静止
  - 増加
  - 減少
- 各終了での転送元と転送先の再設定任意選択
  - 集中
  - 塊
  - 単位処理
- 転送終了での割り込み任意選択
- DMAﾃﾞｰﾀ上のCRCに対するCRC発生器への接続任意選択

8.2. 概要

4ﾁｬﾈﾙ直接ﾒﾓﾘ入出力(DMA)制御器はﾒﾓﾘと周辺機能間でﾃﾞｰﾀを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いﾃﾞｰﾀ転送速度を許し、CPU時間を自由にします。4つのDMAﾁｬﾈﾙは4つまでの独立した平行転送を許します。

DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能ﾚｼﾞｽﾀ間のﾃﾞｰﾀを直接移動することができます。全ての周辺機能へのｱｸｾｽとで、DMA制御器は通信単位部との自動的なﾃﾞｰﾀ転送を扱うことができます。DMA制御器はﾒﾓﾘ配置割り当てEEPROMから読むこともできます。

ﾃﾞｰﾀ転送は1,2,4,8ﾊﾞｲﾄの継続集中で行われます。それらは1ﾊﾞｲﾄから64Kﾊﾞｲﾄまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mﾊﾞｲﾄまで各塊転送を繰り返すのに使うことができます。転送元と転送先のｱﾄﾞﾚｽ指示は静止、増加、減少にすることができます。転送元と/または転送先のｱﾄﾞﾚｽの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ｿﾌﾄｳｪｱ、周辺機能と事象がDMA転送を起動することができます。

4つのDMAﾁｬﾈﾙは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAﾁｬﾈﾙで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのﾁｬﾈﾙを内部接続することができます。

© 2011-2020 Microchip Technology Inc.

9. 事象システム

9.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
  - CPUとDMAの個別動作
  - 100%予測可能な信号タイミング
  - 短く保証された応答時間
- CPUとDMAの個別動作
- 8つまでの異なる平行信号経路と構成設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
  - 直交復号
  - 入出力ピン変化のデジタル濾波
- 活動動作とアイドル動作で作動

9.2. 概要

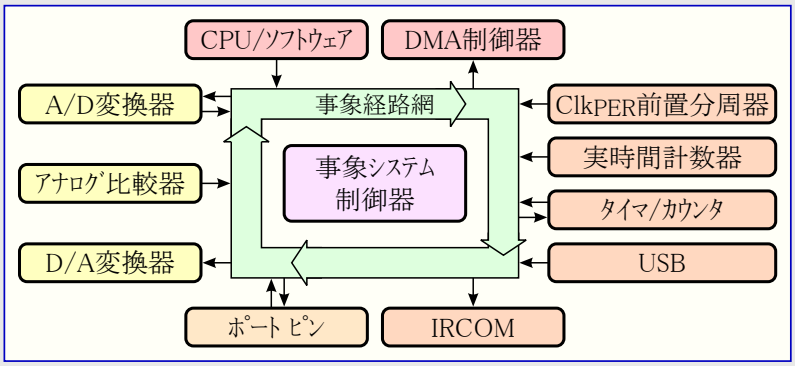
事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込み、CPU、またはDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図9-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)、USBインターフェースを共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象配線構成設定を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図9-1. 事象システム構成図



10. システム クロックとクロック選択

10.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
  - 32MHz走行時校正付き調整可能な発振器
  - 2MHz走行時校正付き発振器
  - 32.768kHz校正付き発振器
  - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
  - 0.4～16MHzクリスタル用発振器
  - 32.768kHzクリスタル用発振器
  - 外部クロック信号
- 20～128MHz出力周波数を持つPLL
  - 内部及び外部クロック任意選択と1～31逓倍
  - 固定化検出器
- 1～2048分周のクロック前置分周器
- CPUクロック周波数の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

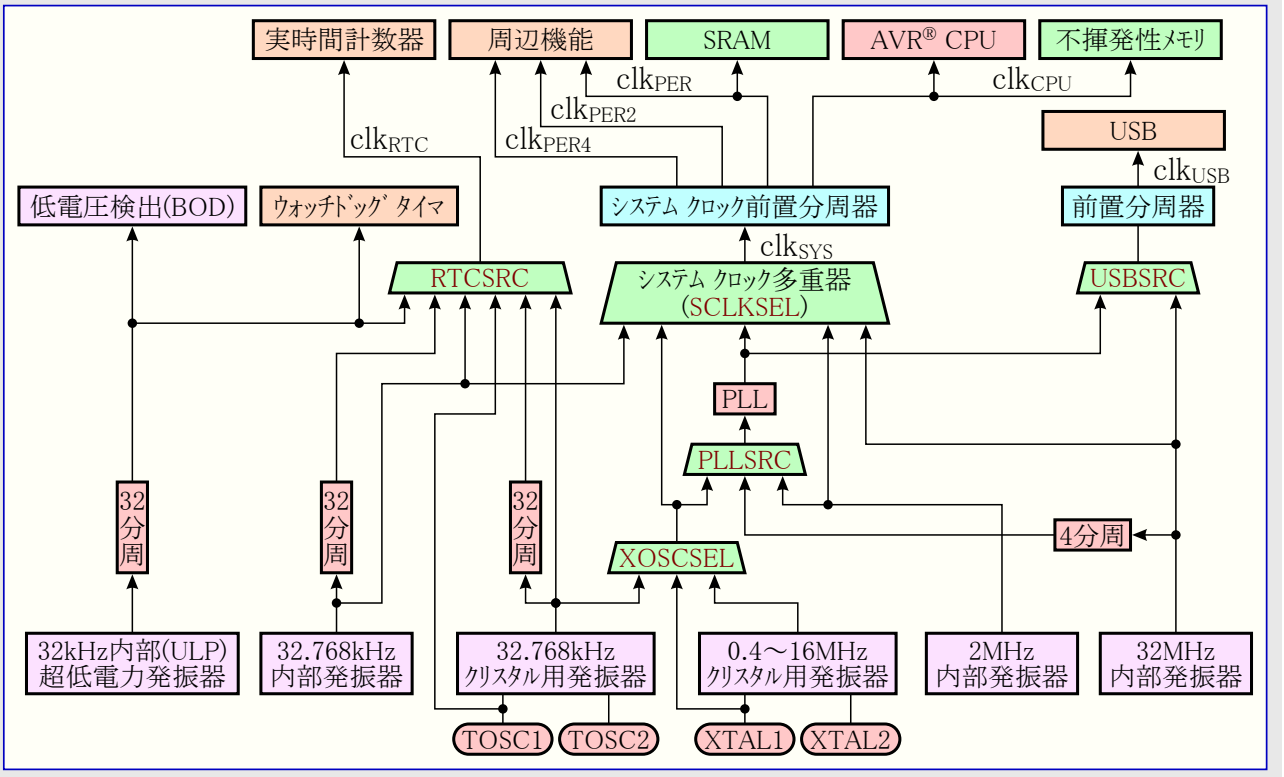
10.2. 概要

Microchip AVR XMEGA® A4Uデバイスは多数のクロック元を支援する柔軟なクロック システムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図10-1.はXMEGA® A4U系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは21頁の「**電力管理と休止形態動作**」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。

図10-1. クロック システム、クロック元とクロック配給



10.3. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

10.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1KHz出力を提供する組み込み前置分周器を使います。この発振器はデバイスのどれかの部分に対してクロック元として使われる時に自動的に許可/禁止が行われます。この発振器は実時間計数器(RTC)に対するクロック元として選択することができます。

10.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

10.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

10.3.4. 0.4～16MHzクリスタル用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

10.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。温度と電圧の変動に対する補償と発振器精度最適化のため、走行時自動校正にデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)を許可することができます。

10.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器精度の最適化のための温度と電圧の変動に対する補償のため、走行時自動校正にDFLLを許可することができます。この発振器は30～55MHz間のどの周波数にも調整、校正することができます。製品識票列は発振器が全速(Full-speed)USBクロック元に使われる時に使用を意図される48MHz校正値を含みます。

10.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

10.3.8. 1～31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システム クロックを生成するのに使うことができます。PLLは使用者選択可能な1～31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。

11. 電力管理と休止形態動作

11.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
  - ｱｲﾄﾞﾙ
  - ﾊﾟﾜｰﾀﾞｳﾝ
  - ﾊﾟﾜｰｾｰﾌﾞ
  - ｽﾀﾝﾊﾞｲ
  - 拡張ｽﾀﾝﾊﾞｲ
- 活性とｱｲﾄﾞﾙの動作形態でｸﾛｯｸを禁止して未使用周辺機能をOFFにするための電力削減ﾚｼﾞｽﾀ

11.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とｸﾛｯｸ開閉が提供されます。これは節電のための未使用単位部の停止をMicrochip AVR XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用ｺｰﾄﾞを実行します。ﾃﾞﾊﾞｲｽが休止形態動作に移行すると、ﾌﾟﾛｸﾞﾗﾑ実行が停止され、再びﾃﾞﾊﾞｲｽを起動するのに割り込みまたはﾘｾｯﾄが使われます。応用ｺｰﾄﾞは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのﾘｾｯﾄ元がﾏｲｸﾛ ｺﾝﾄﾛｰﾗを休止から活動動作に回復することができます。

加えて、電力削減ﾚｼﾞｽﾀはｿﾌﾄｳｪｱから個別周辺機能へのｸﾛｯｸを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とｱｲﾄﾞﾙ動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

11.3. 休止形態動作

休止形態動作は節電のためにﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の単位部とｸﾛｯｸ範囲を停止するのに使われます。XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からﾃﾞﾊﾞｲｽを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、ﾃﾞﾊﾞｲｽは起動し、SLEEP命令の後の最初の命令から通常のﾌﾟﾛｸﾞﾗﾑ実行を継続する前に、割り込み処理ﾙｰﾁﾝを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ﾙｰﾁﾝが実行される前に、それらの割り込み処理ﾙｰﾁﾝがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4ｸﾛｯｸ周期停止します。

ﾚｼﾞｽﾀ ﾌｧｲﾙ、SRAM、I/Oﾚｼﾞｽﾀの内容は休止中も維持されます。休止の間にﾘｾｯﾄが起きた場合、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ﾘｾｯﾄ ﾍﾞｸﾀから始動して実行します。

11.3.1. ｱｲﾄﾞﾙ動作

ｱｲﾄﾞﾙ動作ではCPUと不揮発性ﾒﾓﾘが停止されますが(進行中のどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞも完了されることに注意)、割り込み制御器、事象ｼｽﾃﾑとDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもﾃﾞﾊﾞｲｽを起動します。

11.3.2. ﾊﾟﾜｰﾀﾞｳﾝ動作

ﾊﾟﾜｰﾀﾞｳﾝ動作では実時間計数器ｸﾛｯｸ元を含む全てのｸﾛｯｸ元が停止されます。これは走行しているｸﾛｯｸを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ一致割り込み、非同期ﾎﾟｰﾄ割り込み、USB再開割り込みだけです。

11.3.3. ﾊﾟﾜｰｾｰﾌﾞ動作

ﾊﾟﾜｰｾｰﾌﾞ動作は1つの例外(以下)を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、ﾃﾞﾊﾞｲｽはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することできます。

11.3.4. ｽﾀﾝﾊﾞｲ動作

ｽﾀﾝﾊﾞｲ動作は許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPU、周辺機能、RTCのｸﾛｯｸが停止される例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。これは起動時間を減らします。

11.3.5. 拡張ｽﾀﾝﾊﾞｲ動作

拡張ｽﾀﾝﾊﾞｲ動作は許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPUと周辺機能のｸﾛｯｸが停止される例外を除いてﾊﾟﾜｰｾｰﾌﾞ動作と同じです。これは起動時間を減らします。

12. システム制御とリセット

12.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
  - 電源ONリセット
  - 外部リセット
  - ウォッチドッグ リセット
  - 低電圧(Brown-out)リセット
  - PDIリセット
  - ソフトウェア リセット
- 非同期動作
  - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

12.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

12.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

12.4. リセット元

12.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。

12.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

12.4.3. 外部リセット

外部リセット回路は外部$\overline{\text{RESET}}$ピンに接続されています。$\overline{\text{RESET}}$ピンが最小パルス時間t_{EXT}より長く$\overline{\text{RESET}}$ピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセット ピンは内部プルアップ抵抗を内包します。

12.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1～2クロック周期の間、活性(有効)です。より多くの詳細については24頁の「WDT – ウォッチドッグ タイマ」をご覧ください。

12.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

12.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

13. WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

13.1. 要点

- 計時経過時間前に計時器がﾘｾｯﾄされない場合にﾃﾞﾊﾞｲｽ ﾘｾｯﾄを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための構成設定施錠

13.2. 概要

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は正しいﾌﾟﾛｸﾞﾗﾑ動作を監視するｼｽﾃﾑ機能です。暴走や停滞ｺｰﾄﾞのような異常状況からの回復を可能にします。WDTはﾀｲﾏで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にﾘｾｯﾄされない場合、WDTはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾘｾｯﾄを発行します。WDTは応用ｺｰﾄﾞからのWDR(Watchdog Timer Reset)命令を実行することによってﾘｾｯﾄされます。

窓動作はWDTがﾘｾｯﾄされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でﾘｾｯﾄされると、ｼｽﾃﾑ ﾘｾｯﾄが発行されます。標準動作に比べ、これはｺｰﾄﾞ異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なｸﾛｯｸ元で動作し、例え主ｸﾛｯｸが停止したとしても、ｼｽﾃﾑ ﾘｾｯﾄを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのﾋｭｰｽﾞも利用可能です。

14. 割り込みと設定可能な多段割り込み制御器

14.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みﾍﾞｸﾀ
- 設定可能な多段割り込み制御器
  - 段位と割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに従った割り込み優先順化
  - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
  - 低位割り込み内での選択可能なﾗｳﾝﾄﾞ ﾛﾋﾞﾝ優先権の仕組み
  - 重大な機能用の遮蔽不可割り込み
- 応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域に任意選択で配置される割り込みﾍﾞｸﾀ

14.2. 概要

割り込みは周辺機能の状態変化を合図し、これはﾌﾟﾛｸﾞﾗﾑ実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀを指示するように設定され、割り込み処理ﾙｰﾁﾝを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先ﾚﾍﾞﾙを選択できます。割り込みはそれらの段位とそれらのﾍﾞｸﾀ ｱﾄﾞﾚｽに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各ﾚﾍﾞﾙ内では割り込み優先権が割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽから決められ、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、ｼｽﾃﾑの重大な機能に使うことができます。

14.3. 割り込みﾍﾞｸﾀ

割り込みﾍﾞｸﾀは周辺機能の基準割り込みｱﾄﾞﾚｽと各周辺機能内の特定割り込みに対する変位ｱﾄﾞﾚｽの合計です。Microchip AVR XMEGA® A4Uﾃﾞﾊﾞｲｽに関する基準ｱﾄﾞﾚｽは**表14-1.**で示されます。周辺機能で利用可能な各割り込みに対する変位ｱﾄﾞﾚｽはXMEGA AU手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または単位部については**表14-1.**で割り込みﾍﾞｸﾀが示されます。ﾌﾟﾛｸﾞﾗﾑ ｱﾄﾞﾚｽは語ｱﾄﾞﾚｽです。

表14-1. リセットと割り込みのベクタ

プログラム アドレス（基準アドレス）	供給元	割り込み内容
$000000	RESET	
$000002	OSCF_INT_vect	クリスタル用発振器停止割り込みベクタ (NMI)
$000004	PORTC_INT_base	ポートC割り込み基準
$000008	PORTR_INT_base	ポートR割り込み基準
$00000C	DMA_INT_base	DMA制御器割り込み基準
$000014	RTC_INT_base	実時間計数器割り込み基準
$000018	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
$00001C	TCC0_INT_base	ポートC上のタイマ/カウンタ0割り込み基準
$000028	TCC1_INT_base	ポートC上のタイマ/カウンタ1割り込み基準
$000030	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込みベクタ
$000032	USARTC0_INT_base	ポートC上のUSART0割り込み基準
$000038	USARTC1_INT_base	ポートC上のUSART1割り込み基準
$00003E	AES_INT_vect	AES割り込みベクタ
$000040	NVM_INT_base	不揮発性メモリ割り込み基準
$000044	PORTB_INT_base	ポートB割り込み基準
$000056	PORTE_INT_base	ポートE割り込み基準
$00005A	TWIE_INT_base	ポートE上の2線インターフェース割り込み基準
$00005E	TCE0_INT_base	ポートE上のタイマ/カウンタ0割り込み基準
$00006A	TCE1_INT_base	ポートE上のタイマ/カウンタ1割り込み基準
$000074	USARTE0_INT_base	ポートE上のUSART0割り込み基準
$000080	PORTD_INT_base	ポートD割り込み基準
$000084	PORTA_INT_base	ポートA割り込み基準
$000088	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
$00008E	ADCA_INT_base	ポートA上のA/D変換器割り込み基準
$00009A	TCD0_INT_base	ポートD上のタイマ/カウンタ0割り込み基準
$0000A6	TCD1_INT_base	ポートD上のタイマ/カウンタ1割り込み基準
$0000AE	SPID_INT_vect	ポートD上の直列周辺インターフェース(SPI)割り込みベクタ
$0000B0	USARTD0_INT_base	ポートD上のUSART0割り込み基準
$0000B6	USARTD1_INT_base	ポートD上のUSART1割り込み基準
$0000FA	USB_INT_base	ポートD上のUSB割り込み基準

© 2011-2020 Microchip Technology Inc.

15. 入出力ﾎﾟｰﾄ

15.1. 要点

- 個別構成設定を持つ34本の汎用入出力ﾋﾟﾝ
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
  - ｺﾝﾌﾟﾘﾒﾝﾀﾘ
  - ﾜｲﾔｰﾄﾞAND
  - ﾜｲﾔｰﾄﾞOR
  - ﾊﾞｽ保持
  - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowﾚﾍﾞﾙ感知
- 入力とﾜｲﾔｰﾄﾞOR/AND構成設定での任意選択のﾌﾟﾙｱｯﾌﾟとﾌﾟﾙﾀﾞｳﾝの抵抗
- 任意選択のｽﾘｭｰﾚｰﾄ制御
- 全休止形態からﾃﾞﾊﾞｲｽを起動できる非同期ﾋﾟﾝ変化感知
- 入出力ﾎﾟｰﾄ毎でﾋﾟﾝ遮蔽を持つ2つのﾎﾟｰﾄ割り込み
- ﾎﾟｰﾄ ﾋﾟﾝへの効率的で安全なｱｸｾｽ
  - 専用の切り換え、解除(0)、設定(1)用ﾚｼﾞｽﾀ通すﾊｰﾄﾞｳｪｱ読み-変更-書き
  - 単一操作で複数ﾋﾟﾝの構成設定
  - ﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へﾎﾟｰﾄ ﾚｼﾞｽﾀの割り当て
- ﾎﾟｰﾄ ﾋﾟﾝでの周辺機能ｸﾛｯｸ出力
- ﾎﾟｰﾄ ﾋﾟﾝでの実時間計数器ｸﾛｯｸ出力
- 事象ﾁｬﾈﾙがﾎﾟｰﾄ ﾋﾟﾝで出力可能
- ﾃﾞｼﾞﾀﾙ周辺機能ﾋﾟﾝの再割り当て
  - 選択可能なUSART、SPI、ﾀｲﾏ/ｶｳﾝﾀの入出力ﾋﾟﾝ位置

15.2. 概要

1つのﾎﾟｰﾄはﾋﾟﾝ0～7で最大8つのﾎﾟｰﾄ ﾋﾟﾝから成ります。各ﾎﾟｰﾄ ﾋﾟﾝは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なﾋﾟﾝ変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ﾋﾟﾝ変化感知はｸﾛｯｸが全く動かない形態を含む全ての休止形態からﾋﾟﾝ変化がﾃﾞﾊﾞｲｽを起こせることを意味します。

全ての機能はﾋﾟﾝ毎に個別で構成設定可能ですが、単一操作で多数のﾋﾟﾝを構成設定することができます。ﾋﾟﾝは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのﾊｰﾄﾞｳｪｱ読み-変更-書き(RMW)機能を持ちます。1つのﾎﾟｰﾄ ﾋﾟﾝの方向は他のどのﾋﾟﾝの方向をも予期せず変更することなく変えることができます。

ﾎﾟｰﾄ ﾋﾟﾝ構成設定は他のﾃﾞﾊﾞｲｽ機能の入出力選択も制御します。それはﾎﾟｰﾄ ﾋﾟﾝへの周辺機能ｸﾛｯｸと実時間ｸﾛｯｸの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象ｼｽﾃﾑからの事象に適用されます。応用の必要性に対するﾋﾟﾝ配置の最適化のため、USART、SPI、ﾀｲﾏ/ｶｳﾝﾀのような他のﾃﾞｼﾞﾀﾙ周辺機能は選択可能なﾋﾟﾝ位置に再割り当てすることができます。

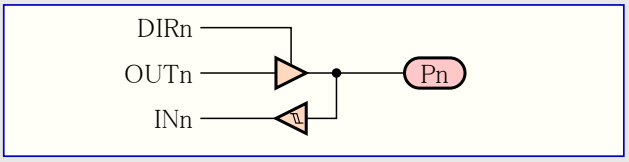
ﾎﾟｰﾄの表記は、PORTA、PORTB、PORTC、PORTD、PORTE、PORTRです。

15.3. 出力駆動部

全てのﾎﾟｰﾄ ﾋﾟﾝ(Pn)は設定可能な出力構成設定を持ちます。電磁放射を減らすため、ﾎﾟｰﾄ ﾋﾟﾝは構成設定可能なｽﾘｭｰﾚｰﾄ制限も持ちます。

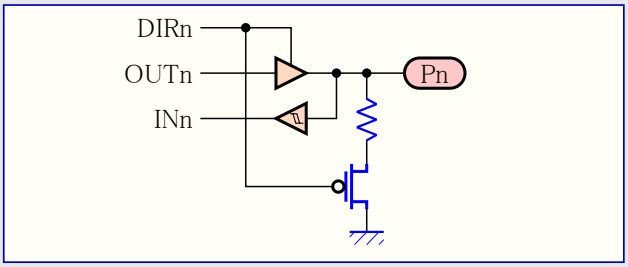
15.3.1. ｺﾝﾌﾟﾘﾒﾝﾀﾘ (ﾌﾟｯｼｭﾌﾟﾙ)

図15-1. I/Oﾋﾟﾝ形態 - ｺﾝﾌﾟﾘﾒﾝﾀﾘ (ﾌﾟｯｼｭﾌﾟﾙ)



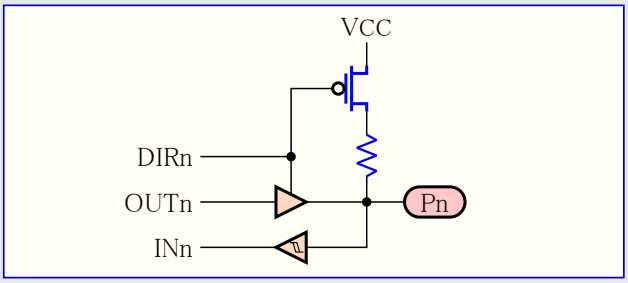
15.3.2. ﾌﾟﾙﾀﾞｳﾝ

図15-2. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



15.3.3. ﾌﾟﾙｱｯﾌﾟ

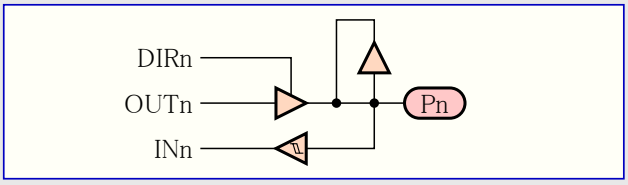
図15-3. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



15.3.4. ﾊﾞｽ保持

ﾊﾞｽ保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が'1'だったならﾌﾟﾙｱｯﾌﾟとして、最後の値が'0'だったなら、ﾌﾟﾙﾀﾞｳﾝとして働きます。

図15-4. I/Oﾋﾟﾝ形態 - ﾊﾞｽ保持付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



15.3.5. その他

図15-5. 出力形態 - 任意選択ﾌﾟﾙﾀﾞｳﾝ付きﾜｲﾔｰﾄﾞOR

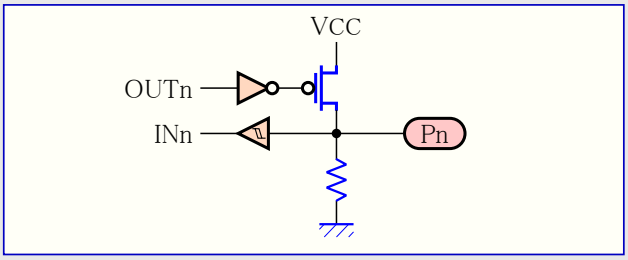
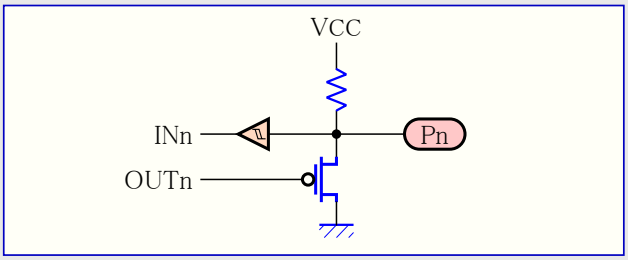


図15-6. 出力形態 - 任意選択ﾌﾟﾙｱｯﾌﾟ付きﾜｲﾔｰﾄﾞAND

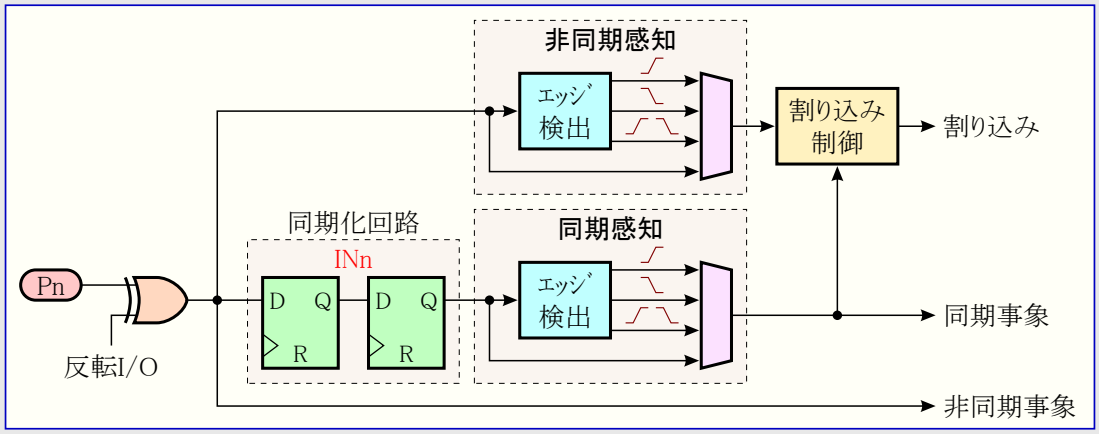


© 2011-2020 Microchip Technology Inc.

15.4. 入力感知

入力感知はﾎﾟｰﾄに対して許可されたｸﾛｯｸに依存して同期または非同期で、この形態は図15-7.で示されます。

図15-7. 入力感知ｼｽﾃﾑ概要



ﾋﾟﾝが反転I/Oで構成設定されると、ﾋﾟﾝ値は入力感知前に反転されます。

15.5. 交換ﾎﾟｰﾄ機能

殆どのﾎﾟｰﾄ ﾋﾟﾝは汎用I/Oﾋﾟﾝであることに加えて交換ﾋﾟﾝ機能を持ちます。機能交換が許可されると、それは通常ﾎﾟｰﾄ ﾋﾟﾝ機能またはﾋﾟﾝ値を無効にするかもしれません。これは他の周辺機能で必要とするﾋﾟﾝが許可または使用ﾋﾟﾝに構成設定される時に起きます。周辺機能がどう無効にして、ﾋﾟﾝをどう使うかはその周辺機能に関する章で記述されます。49頁の「ﾋﾟﾝ配置とﾋﾟﾝ機能」は周辺機能でどの単位部がﾋﾟﾝでの交換機能を許可するのかと、どの交換機能がﾋﾟﾝで利用可能かを示します。

© 2011-2020 Microchip Technology Inc.

16. TC0/1 – 16ビット タイマ/カウンタ0型と1型

16.1. 要点

- 5つの16ビット タイマ/カウンタ
  - 3つの0型タイマ/カウンタ
  - 2つの1型タイマ/カウンタ
  - 各0型タイマ/カウンタから2つの8ビット タイマ/カウンタを許す分割動作形態
- 2つのタイマ/カウンタの縦列接続によって支援される32ビット タイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
  - 0型のタイマ/カウンタに対して4つのCCチャネル
  - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
  - 周波数生成
  - 単一傾斜パルス幅変調
  - 2傾斜パルス幅変調
- 捕獲:
  - 雑音消去付き捕獲入力
  - 周波数捕獲
  - パルス幅捕獲
  - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
  - 直交復号
  - 計数と方向の制御
  - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
  - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX – 新波形拡張
  - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
  - 駆動部の安全な禁止のための事象制御された障害保護

16.2. 概要

Microchip AVR XMEGA A4Uデバイスは5つの柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使うことができます。

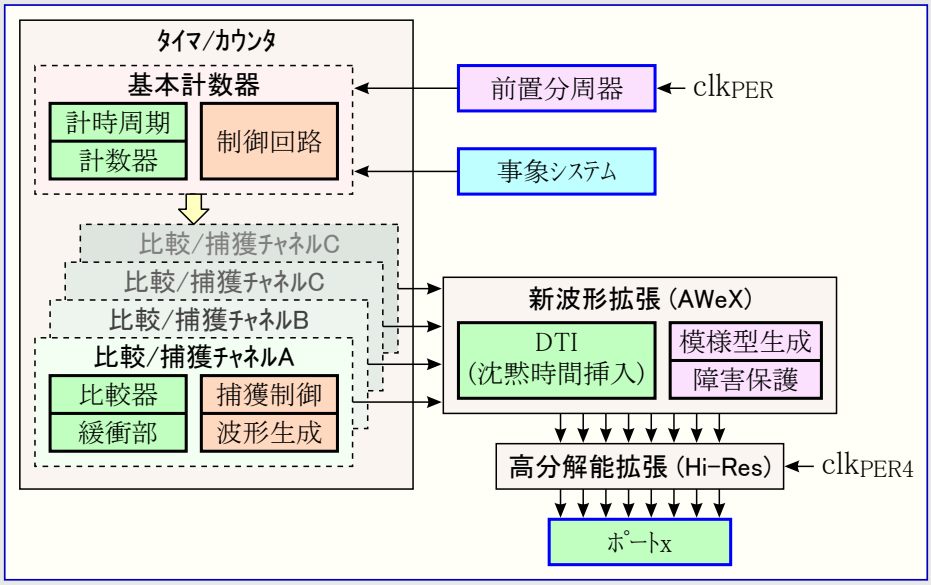
タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つ8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポート ピンの向こう側への同期したビット様式を生成することもできます。

新波形拡張はタイマ/カウンタに対して追加のもっと進化した機能の提供を許します。これはタイマ/カウンタ0でだけ利用可能です。より多くの詳細については33頁の「AWeX – 新波形拡張」をご覧ください。

高分解能(Hi-Res)拡張は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。より多くの詳細については34頁の「Hi-Res – 高分解能拡張」をご覧ください。

図16-1. ﾀｲﾏ/ｶｳﾝﾀと密接に関連する周辺機能の概要



ﾎﾟｰﾄCとﾎﾟｰﾄDは各々、1つのﾀｲﾏ/ｶｳﾝﾀ0と1つのﾀｲﾏ/ｶｳﾝﾀ1を持ち、ﾎﾟｰﾄEは1つのﾀｲﾏ/ｶｳﾝﾀ0を持ちます。これらの表記は各々、TCC0(ﾀｲﾏ/ｶｳﾝﾀC0)、TCC1、TCD0、TCD1、TCE0です。

17. TC2 - 16ビット タイマ/カウンタ2型

17.1. 要点

- 6つの8ビット タイマ/カウンタ
  - 3つの下位バイト タイマ/カウンタ
  - 3つの上位バイト タイマ/カウンタ
- 各タイマ/カウンタ2で最大8つの比較チャネル
  - 下位バイト タイマ/カウンタ用の4つの比較チャネル
  - 上位バイト タイマ/カウンタ用の4つの比較チャネル
- 波形生成
  - 単一傾斜パルス幅変調
- 計時器漏れ(アンダーフロー)割り込み/事象
- 下位バイト タイマ/カウンタ用の比較チャネル当たり1つの比較一致割り込み/事象
- 計数制御に対して事象システムとで使用可
- DMA転送単位処理起動に使用可

17.2. 概要

3つのタイマ/カウンタ2があります。これらはタイマ/カウンタ0が分割動作に設定される時に実現されます。これは各々4つの比較チャネルを持つ2つの8ビット タイマ/カウンタのシステムです。これは個別に制御されるデューティ サイクルを持つ8つの構成設定可能なパルス幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMチャネルが必要な応用に意図されています。

2つの8ビット タイマ/カウンタはこのシステムに於いて各々、下位バイトタイマ/カウンタと上位バイトタイマ/カウンタとして参照されます。それらの違いは下位バイト タイマ/カウンタだけが比較一致割り込み、事象、DMA起動を生成するのに使えることです。2つの8ビット タイマ/カウンタは共用されるクロック元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。計数器は常に下降計数です。

ポートC、ポートD、ポートEは各々1つのタイマ/カウンタ2を持ちます。

これらの表記は各々、TCC2(タイマ/カウンタC2)、TCD2、TCE2です。

18. AWeX – 新波形生成拡張

18.1. 要点

- 各比較ﾁｬﾈﾙからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
  - 8ﾋﾞｯﾄ分解能
  - 独立したHigh側とLow側の沈黙時間設定
  - 2重緩衝された沈黙時間
  - 任意選択の沈黙時間中の停止計時器
- ﾎﾟｰﾄ ﾋﾟﾝに渡って同期したﾋﾞｯﾄ様式を生成する模様型生成部
  - 2重緩衝された模様型生成
  - 任意選択のﾎﾟｰﾄ ﾋﾟﾝに渡る1つの比較ﾁｬﾈﾙ出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

18.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのﾀｲﾏ/ｶｳﾝﾀに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ﾎﾟｰﾄ ﾋﾟﾝに渡る同期されたﾋﾞｯﾄ模様を生成することもできます。

ﾀｲﾏ/ｶｳﾝﾀ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通って行きます。DTI出力はﾎﾟｰﾄ無効化設定に従って標準ﾎﾟｰﾄ値を無効にします。

模様型生成部はそれが接続されたﾎﾟｰﾄで同期したﾋﾞｯﾄ模様の生成に使うことができます。加えて、比較ﾁｬﾈﾙAからのWG出力は全てのﾎﾟｰﾄ ﾋﾟﾝを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象ｼｽﾃﾑに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象ｼｽﾃﾑは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

AWeXはTCC0に対して利用可能です。これの表記はAWEXCです。

19. Hi-Res - 高分解能拡張

19.1. 要点

- 波形生成器分解能を最大8倍(3ﾋﾞｯﾄ)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じﾀｲﾏ/ｶｳﾝﾀに使われる時にAWeXを支援

19.2. 概要

高分解能(Hi-Res)拡張はﾀｲﾏ/ｶｳﾝﾀからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはﾀｲﾏ/ｶｳﾝﾀに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じﾀｲﾏ/ｶｳﾝﾀに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能ｸﾛｯｸ(clk_{PER4})を使います。ｼｽﾃﾑ ｸﾛｯｸ前置分周器はHi-Res拡張が許可される時に4倍周辺機能ｸﾛｯｸがCPUと周辺機能のｸﾛｯｸ周波数よりも4倍高くなるように構成設定されなければなりません。

ﾎﾟｰﾄC、ﾎﾟｰﾄD、ﾎﾟｰﾄEの各ﾀｲﾏ/ｶｳﾝﾀ対に対して各々が許可することができる3つのHi-Res拡張があります。これらの表記は各々、HIRESC、HIRESD、HIRESEです。

20. RTC – 16ビット実時間計数器

20.1. 要点

- 16ビット分解能
- 選択可能なクロック元
  - 32.768kHz外部クリスタル
  - 外部クロック信号
  - 32.768kHz内部発振器
  - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

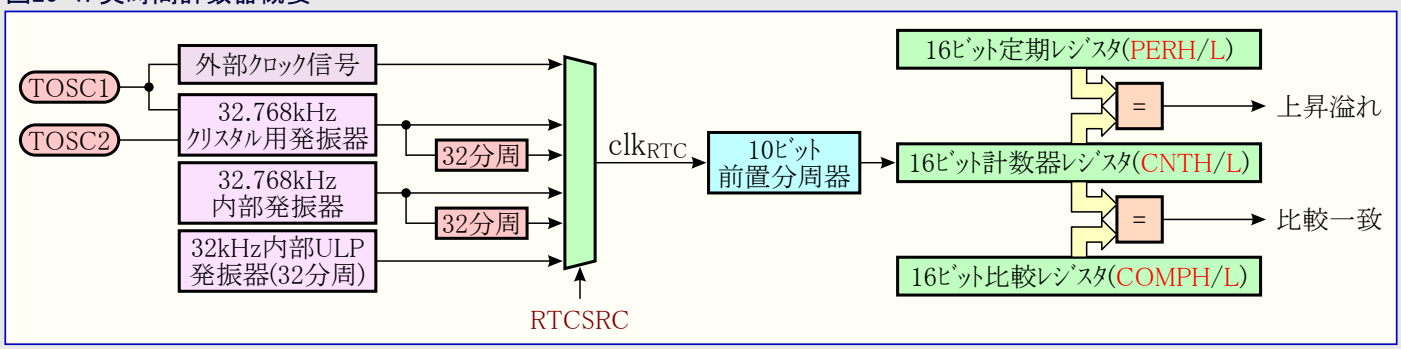
20.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げることができる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5µs、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図20-1. 実時間計数器概要



21. USB – 万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ

21.1. 要点

- 1つのUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)装置適合ｲﾝﾀｰﾌｪｰｽ
- 統合されたﾁｯﾌﾟ上USB送受信部、外部部品不要
- 31までのｴﾝﾄﾞﾎﾟｲﾝﾄに対する完全なｴﾝﾄﾞﾎﾟｲﾝﾄ柔軟性を持つ16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの入力ｴﾝﾄﾞﾎﾟｲﾝﾄ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの出力ｴﾝﾄﾞﾎﾟｲﾝﾄ
- 選択可能なｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ転送形式
  - 制御(Control)転送
  - 割り込み(Interrupt)転送
  - 大量(Bulk)転送
  - 等時(Isochronous)転送
- 設定可能なｴﾝﾄﾞﾎﾟｲﾝﾄ当たりのﾃﾞｰﾀ本体量、最大1023ﾊﾞｲﾄ
- 内部SRAM内に配置されたｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定ﾃﾞｰﾀに対する構成設定可能な位置
  - 各ｴﾝﾄﾞﾎﾟｲﾝﾄのﾃﾞｰﾀ緩衝部に対する構成設定可能な位置
- 以下のための内部SRAMとの組み込み直接ﾒﾓﾘ入出力(DMA)
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ読み書き
- より高い単位処理量のためのﾋﾟﾝﾎﾟﾝ動作と2重緩衝動作
  - 単一方向で使われる入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ緩衝部
  - 転送中にCPU/DMA制御器がﾃﾞｰﾀ緩衝部を更新可
- 割り込み負荷とｿﾌﾄｳｪｱ介在を減らすための複数ﾊﾟｹｯﾄ転送
  - 1つの継続する転送で転送される最大ﾊﾟｹｯﾄ量を超えるﾃﾞｰﾀ本体
  - ﾊﾟｹｯﾄ転送段階での割り込みまたはｿﾌﾄｳｪｱの相互作用なし
- 複数ｴﾝﾄﾞﾎﾟｲﾝﾄ使用時の作業の流れ用の転送単位処理完了FIFO
  - 到着先行、処理作業待ち行列先行での完了された全ての転送単位処理の経緯
- ｼｽﾃﾑ ｸﾛｯｸ元と選択に無関係なｸﾛｯｸ選択
- 低速USB動作に必要とされる最小1.5MHzのCPUｸﾛｯｸ
- 全速動作に必要とされる最小12MHzのCPUｸﾛｯｸ
- 事象ｼｽﾃﾑへの接続
- USB転送単位処理中のﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞの可能性

21.2. 概要

USBｲﾝﾀｰﾌｪｰｽはUSB2.0全速(Full speed:12Mbps)と低速(Low-speed:1.5Mbps)の装置の適合ｲﾝﾀｰﾌｪｰｽです。

これは16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽを支援します。全てのｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽは1つの入力と1つの出力のｴﾝﾄﾞﾎﾟｲﾝﾄ、計32のｴﾝﾄﾞﾎﾟｲﾝﾄを持ちます。各ｴﾝﾄﾞﾎﾟｲﾄ ｱﾄﾞﾚｽは完全に構成設定可能で、制御(Control)、割り込み(Interrupt)、大量(Bulk)、等時(Iso-chronous)の4つの転送形式のどれにも構成設定することができます。ﾃﾞｰﾀ本体量も選択可能で、1023ﾊﾞｲﾄまでのﾃﾞｰﾀ本体を支援します。

専用ﾒﾓﾘはUSB単位部に全く配置または含まれません。各ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽに対する構成設定を保つのと、各ｴﾝﾄﾞﾎﾟｲﾝﾄ用のﾃﾞｰﾀ緩衝部に内部SRAMが使われます。ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部に使われるﾒﾓﾘ位置は完全に構成設定可能です。割り当てられたﾒﾓﾘの量は使うｴﾝﾄﾞﾎﾟｲﾝﾄの数とそれらの構成設定に応じて完全に動的です。USB単位部は組み込み直接ﾒﾓﾘ入出力(DMA)を持ちUSB転送単位処理が起こる時にSRAMとﾃﾞｰﾀを読み書きします。

最大単位処理量のため、ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽはﾋﾟﾝﾎﾟﾝ動作に構成設定することができます。これが行われると、入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄが両方共同じ方向で使われます。そしてCPUやDMA制御器が1つのﾃﾞｰﾀ緩衝部を読み/書きすると同時にUSB単位部が他方を読み/書きすることができ、その逆もです。これは2重緩衝通信を与えます。

複数ﾊﾟｹｯﾄ転送はｿﾌﾄｳｪｱ介在なしの複数ﾊﾟｹｯﾄとして転送されるべきｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾊﾟｹｯﾄ容量を超えるﾃﾞｰﾀ本体を許します。これはUSB転送に必要とされるCPU介在と割り込みを減らします。

低電力動作のため、USB単位部はUSBﾊﾞｽがｱｲﾄﾞﾙで休止条件が与えられた時にﾏｲｸﾛ ｺﾝﾄﾛｰﾗをどれかの休止形態に置くことができます。ﾊﾞｽ再開で、USB単位部はどの休止形態からもﾏｲｸﾛ ｺﾝﾄﾛｰﾗを起こすことができます。

ﾎﾟｰﾄDは1つのUSBを持ちます。これの表記はUSBです。

22. TWI – 2線インターフェース

22.1. 要点

- 2つの同様のTWI周辺機能
- 双方向2線インターフェース
  - Phillips社I2C適合
  - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
  - 従装置動作
  - 単一バス権利者(主装置)動作
  - 複数バス権利者(主装置)環境でのバス権利者(主装置)
  - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
  - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
  - 10ビット アドレス指定支援
  - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
  - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

22.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI2Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

ポートCとポートEは各々1つのTWIを持ちます。これらの周辺機能の表記はTWICとTWIEです。

23. SPI – 直列周辺インターフェース

23.1. 要点

- 2つの同様なSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

23.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはMicrochip AVR XMEGAデバイスと周辺装置間、または多数のマイクロ コントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。

ポートCとポートDは各々1つのSPIを持ちます。これらの周辺機能の表記はSPICとSPIDです。

24. USART

24.1. 要点

- 5つの同様なUSART周辺機能
- 全二重動作
- 非同期と同期での動作
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/2までの同期ｸﾛｯｸ速度
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/8までの非同期ｸﾛｯｸ速度
- 5,6,7,8,9ﾃﾞｰﾀ ﾋﾞｯﾄと1,2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑ支援
- 分数ﾎﾞｰﾚｰﾄ発生器
  - どのｼｽﾃﾑ ｸﾛｯｸ周波数からも望むﾎﾞｰﾚｰﾄを生成可
  - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数ﾊﾟﾘﾃｨ生成器とﾊﾟﾘﾃｨ検査
  - ﾃﾞｰﾀ ｵｰﾊﾞﾗﾝとﾌﾚｰﾐﾝｸﾞ異常の検出
  - 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空
  - 受信完了
- 複数ﾌﾟﾛｾｯｻ通信動作
  - 複数ﾃﾞﾊﾞｲｽのﾊﾞｽ上で特定ﾃﾞﾊﾞｲｽをｱﾄﾞﾚｽ指定するためのｱﾄﾞﾚｽ指定の仕組み
  - ｱﾄﾞﾚｽ指定されないﾃﾞﾊﾞｲｽで全てのﾌﾚｰﾑを自動的に無視することが可
- 主装置SPI動作
  - 2重緩衝された動作
  - 構成設定可能なﾃﾞｰﾀ順
  - 周辺機能ｸﾛｯｸ周波数の1/2までの動作
- IrDA適合ﾊﾟﾙｽ変調/復調用赤外線通信(IRCOM)単位部

24.2. 概要

USART(Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はﾌﾚｰﾑに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、ﾌﾚｰﾑ間のどんな遅延もなしに継続するﾃﾞｰﾀ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。ﾌﾚｰﾐﾝｸﾞ異常と緩衝部溢れはﾊｰﾄﾞｳｪｱで検知され、独立した状態ﾌﾗｸﾞで示されます。奇数または偶数のﾊﾟﾘﾃｨ生成とﾊﾟﾘﾃｨ検査も許可することができます。

ｸﾛｯｸ生成部はどのｼｽﾃﾑ ｸﾛｯｸ周波数からでも広範囲のUSARTﾎﾞｰﾚｰﾄを発生できる分数ﾎﾞｰﾚｰﾄ発生器を含みます。これは必要とされるﾎﾞｰﾚｰﾄを達成するために特定周波数を持つ外部ｸﾘｽﾀﾙ発振器を使うことの必要を取り去ります。これは同期従装置動作での外部ｸﾛｯｸ入力も支援します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動ﾚｼﾞｽﾀ、ﾎﾞｰﾚｰﾄ発生器を許可のままにします。ﾋﾟﾝ制御と割り込み生成は両動作で同じです。ﾚｼﾞｽﾀは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA 1.4物理適合ﾊﾟﾙｽの変調と復調の支援を1つのUSARTに対して許可することができます。

ﾎﾟｰﾄCとﾎﾟｰﾄDは各々2つのUSARTを持ちます。ﾎﾟｰﾄEは1つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0、USARTC1、USARTD0、USARTD1、USARTE0です。

25. IRCOM – 赤外線通信単位部

25.1. 要点

- 赤外線通信用ﾊﾟﾙｽ変調/復調
- 115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合
- 選択可能なﾊﾟﾙｽ変調方式
  - 3/16ﾎﾞｰﾚｰﾄ周期
  - 固定ﾊﾟﾙｽ周期、設定可能な8ﾋﾞｯﾄ
  - ﾊﾟﾙｽ変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

25.2. 概要

Microchip AVR XMEGAﾃﾞﾊﾞｲｽは115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線ﾊﾟﾙｽの符号化と復号を可能とするためにUSARTに接続することができます。

26. AESとDESの暗号ｴﾝｼﾞﾝ

26.1. 要点

- ﾃﾞｰﾀ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
  - 暗号化と解読
  - DES支援
  - 8ﾊﾞｲﾄの塊当たり16CPUｸﾛｯｸ周期の暗号化/解読
- AES暗号部
  - 暗号化と解読
  - 128ﾋﾞｯﾄ鍵支援
  - 状態ﾒﾓﾘへのXORﾃﾞｰﾀ設定支援
  - 16ﾊﾞｲﾄの塊当たり375ｸﾛｯｸ周期の暗号化/解読

26.2. 概要

新暗号化規格(AES)とﾃﾞｰﾀ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信ｲﾝﾀｰﾌｪｰｽとCPUはこれらを高速で暗号化された通信と安全なﾃﾞｰﾀ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8ﾊﾞｲﾄの鍵と8ﾊﾞｲﾄのﾃﾞｰﾀ塊がﾚｼﾞｽﾀ ﾌｧｲﾙに格納され、そしてそのﾃﾞｰﾀ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ﾋﾞｯﾄ鍵を使う128ﾋﾞｯﾄ ﾃﾞｰﾀ塊の暗号化と解読を行います。鍵とﾃﾞｰﾀは暗号化/解読が開始される前に単位部内の鍵と状態のﾒﾓﾘに格納されていなければなりません。暗号化/解読が行われる前に375周辺機能ｸﾛｯｸ周期かかります。その後に暗号化/解読されたﾃﾞｰﾀが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列ﾒﾓﾘが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

27. CRC – 巡回冗長検査(Cyclic Redundancy Check)生成器

27.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
  - 通信ﾃﾞｰﾀ
  - ﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑまたはﾃﾞｰﾀ
  - SRAMとI/Oﾒﾓﾘ空間内のﾃﾞｰﾀ
- ﾌﾗｯｼｭ ﾒﾓﾘ、DMA制御器、CPUとの統合
  - DMAﾁｬﾈﾙを通して行うﾃﾞｰﾀでの継続的なCRC
  - ﾌﾗｯｼｭ ﾒﾓﾘの全体または選択可能な範囲の自動CRC
  - CPUはI/Oｲﾝﾀｰﾌｪｰｽを通してﾃﾞｰﾀをCRC生成器に設定可
- 以下にｿﾌﾄｳｪｱ選択可能なCRC生成多項式
  - CRC-16 (CRC-CCITT)
  - CRC-32 (IEEE 802.3)
- 0剰余検出

27.2. 概要

巡回冗長検査(CRC)はﾃﾞｰﾀ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にﾃﾞｰﾀ送信の正しさを決めるのに使われ、ﾃﾞｰﾀはﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘ内に存在します。CRCは入力としてﾃﾞｰﾀの流れまたはﾃﾞｰﾀの塊を取り、ﾃﾞｰﾀに追加してﾁｪｯｸｻﾑとして使うことができる16ﾋﾞｯﾄまたは32ﾋﾞｯﾄの出力を生成します。同じﾃﾞｰﾀが後で受信される、または読まれる時に、ﾃﾞﾊﾞｲｽまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はﾃﾞｰﾀ誤りを含みます。そして応用はこれを検知し、再び送るべきﾃﾞｰﾀの要求または単純に不正なﾃﾞｰﾀを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のﾃﾞｰﾀ塊に適用されるnﾋﾞｯﾄCRCはnﾋﾞｯﾄよりも長くないどんな単一の連続誤り(ﾃﾞｰﾀのnﾋﾞｯﾄよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の$1-2^{-n}$を検出します。Microchip AVR XMEGAﾃﾞﾊﾞｲｽのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

- CRC-16:

  生成多項式 : $X^{16}+X^{12}+X^{5}+1$
  16進値 : $1021

- CRC-32:

  生成多項式 : $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$
  16進値 : $04C11DB7

28. ADC – 12ﾋﾞｯﾄ A/D変換器

28.1. 要点

- 1つのA/D変換器
- 12ﾋﾞｯﾄ分解能
- 1秒当たり最大200万採取
  - ADCと1倍利得段を使って同時に2つの入力を採取可
  - 1.5µs内で4入力の採取可
  - 8ﾋﾞｯﾄ分解能で最小2.5µsの変換時間
  - 12ﾋﾞｯﾄ分解能で最小3.5µsの変換時間
- 差動とｼﾝｸﾞﾙｴﾝﾄﾞの入力
  - 最大12のｼﾝｸﾞﾙｴﾝﾄﾞ入力
  - 12×4種の利得なし差動入力
  - 8×4種の利得付き差動入力
- 組み込み差動利得段
  - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
  - 内部温度感知器
  - D/A変換器(DAC)出力
  - AVCCの1/10の電圧
  - 1.1Vﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 個別の入力制御と結果ﾚｼﾞｽﾀを持つ4つの変換ﾁｬﾈﾙ
  - 4つの並列構成設定と結果を許可
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なﾀｲﾐﾝｸﾞ用事象起動変換
- 任意選択の変換結果DMA転送
- 任意選択の比較結果での割り込み/事象

28.2. 概要

A/D変換器(ADC)はｱﾅﾛｸﾞ信号をﾃﾞｼﾞﾀﾙ値に変換します。ADCは12ﾋﾞｯﾄ分解能と秒当たり200万採取(Msps)までの変換能力を持ちます。入力選択は柔軟で、ｼﾝｸﾞﾙｴﾝﾄﾞと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

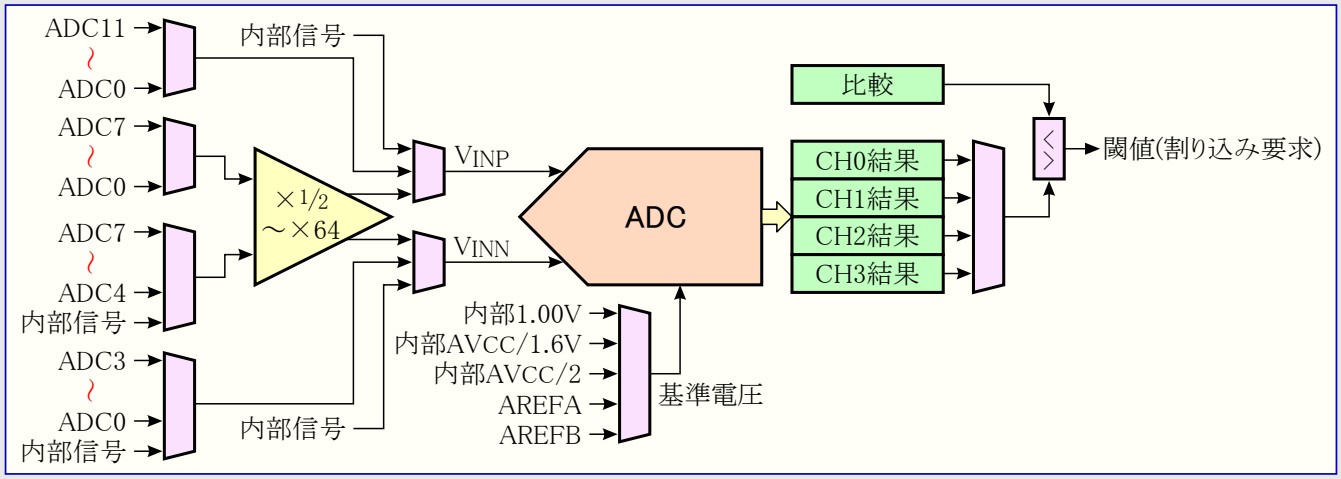
これは多くの連続段から成るﾊﾟｲﾌﾟﾗｲﾝADCです。ﾊﾟｲﾌﾟﾗｲﾝ設計は低いｼｽﾃﾑ ｸﾛｯｸ周波数での高い採取速度を許します。それは他のADC変換が未だ実行中と同時に新しい入力が採取され、新規のADC変換が始められることも意味します。これは採取速度と伝播遅延間の依存性を取り去ります。

ADC個別の入力選択、結果ﾚｼﾞｽﾀ、変換開始制御を持つ4つの変換ﾁｬﾈﾙ(0～3)を持ちます。そしてADCは4つの並列構成設定と結果を維持して使うことができ、これは高いﾃﾞｰﾀ単位処理能力またはADC依存性を用いる複数単位部での応用に対する使用を容易にします。変換が行われる時にADCの結果を直接、ﾒﾓﾘまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。D/A変換器、AVCC/10、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のｿﾌﾄｳｪｱ介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

図28-1. ADC概要



ADCと採取&保持回路を含む利得段の両方と利得段が1倍の利得を持つと時に2つの入力を同時に採取することができます。4つの入力は応用によるどんな介在もなしに1.5µs以内で採取することができます。

ADCは8または12ﾋﾞｯﾄの結果に構成設定することができ、最小変換時間(伝播遅延)を12ﾋﾞｯﾄに対する3.5µsから8ﾋﾞｯﾄの結果に対する2.5µsに減らします。

ADCの変換結果は任意選択の'1'または'0'穴埋め付きの左または右揃えが提供されます。これは結果が符号付き整数(符号付き16ﾋﾞｯﾄ数値)として表される時の計算が容易です。

ﾎﾟｰﾄAは1つのADCを持ちます。この周辺機能の表記はADCAです。

29. DAC – 12ﾋﾞｯﾄ D/A変換器

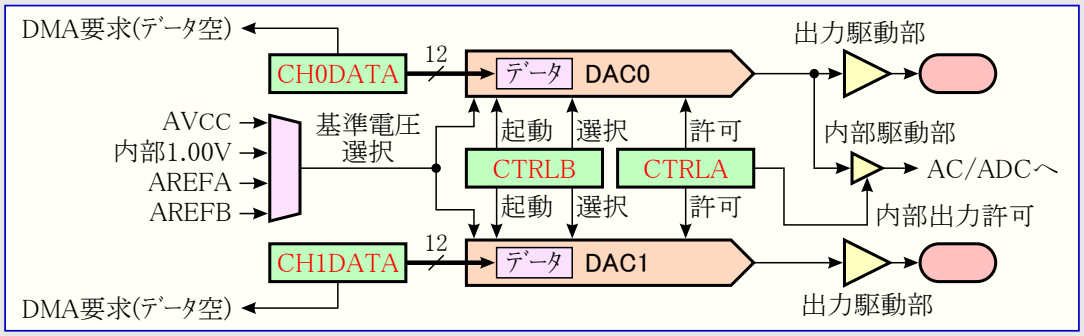
29.1. 要点

- 1つの12ﾋﾞｯﾄ分解能D/A変換器
- 12ﾋﾞｯﾄ分解能
- DAC当たり2つの独立で継続駆動のﾁｬﾈﾙ
- DACﾁｬﾈﾙ当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
  - 変位(ｵﾌｾｯﾄ)誤差
  - 利得誤差
- 複数の変換起動元
  - 利用可能な新ﾃﾞｰﾀで
  - 事象ｼｽﾃﾑからの事象
- 高い駆動能力と以下を支援
  - 抵抗性負荷
  - 容量性負荷
  - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- ｱﾅﾛｸﾞ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動力を持つ低電力動作形態
- 任意選択のDMAﾃﾞｰﾀ転送

29.2. 概要

D/A変換器(DAC)はﾃﾞｼﾞﾀﾙ値を電圧に変換します。DACは各々が12ﾋﾞｯﾄ分解能を持つ2つのﾁｬﾈﾙを持ち、各ﾁｬﾈﾙでの秒当たり100万採取(MSPS)の変換能力を持ちます。組み込み校正ｼｽﾃﾑはｿﾌﾄｳｪｱで校正値を設定した時に変位(ｵﾌｾｯﾄ)と利得の誤差を取り去ることができます。

図29-1. DAC概要



DAC変換は変換されるべき新しいﾃﾞｰﾀが利用可能な時に自動的に開始されます。事象ｼｽﾃﾑからの事象も変換を起動するのに使うことができ、これはﾀｲﾏ/ｶｳﾝﾀのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。DMA制御器はDACへﾃﾞｰﾀを転送するのに使うことができます。

DACは高い駆動力を持ち、抵抗性と容量性の両方だけでなくこれを組み合わせた負荷の駆動能力もあります。低電力動作が利用可能で、これは出力の駆動能力を減らします。内部と外部の両方の基準電圧を使うとができます。DAC出力は内部的にｱﾅﾛｸﾞ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

ﾎﾟｰﾄBは1つのDACを持ちます。この周辺機能の表記はDACBです。

© 2011-2020 Microchip Technology Inc.

30. AC – ｱﾅﾛｸﾞ比較器

30.1. 要点

- 2つのｱﾅﾛｸﾞ比較器
- 選択可能な伝播遅延対消費電流
- 選択可能なﾋｽﾃﾘｼｽ
  - なし
  - 小
  - 大
- ﾋﾟﾝで利用可能なｱﾅﾛｸﾞ比較器出力
- 柔軟な入力選択
  - ﾎﾟｰﾄ上の全ﾋﾟﾝ
  - D/A変換器(DAC)からの出力
  - ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
  - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
  - 上昇端
  - 下降端
  - 切り替わり
- 以下での窓機能割り込みと事象の生成
  - 窓以上の信号
  - 窓内側の信号
  - 窓以下の信号
- 構成設定可能な出力ﾋﾟﾝ選択を持つ定電流源

30.2. 概要

ｱﾅﾛｸﾞ比較器(AC)は2つの入力の電圧ﾚﾍﾞﾙを比較してその比較に基いたﾃﾞｼﾞﾀﾙ出力を与えます。ｱﾅﾛｸﾞ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

ｱﾅﾛｸﾞ比較器の動的な動きの2つの重要な特性はﾋｽﾃﾘｼｽと伝播遅延です。これらのﾊﾟﾗﾒｰﾀの両方は各応用に対して最適な動作を達成するために調節することができます。

入力選択はｱﾅﾛｸﾞ ﾎﾟｰﾄ ﾋﾟﾝ、多数の内部信号、64段階の設定可能な分圧器を含みます。ｱﾅﾛｸﾞ比較器出力の状態は外部ﾃﾞﾊﾞｲｽによって使うためにﾋﾟﾝ上に出力することもできます。

定電流源を許可することができ、選択可能なﾋﾟﾝ上に出力することができます。これは例えば容量性接触感知応用でｺﾝﾃﾞﾝｻを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

ｱﾅﾛｸﾞ比較器は常に各ﾎﾟｰﾄ上の対で分類されます。それらはｱﾅﾛｸﾞ比較器0(AC0)とｱﾅﾛｸﾞ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御ﾚｼﾞｽﾀを持ちます。対として使うと、それらは電圧ﾚﾍﾞﾙの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ﾎﾟｰﾄAは1つのAC対を持ちます。表記はACAです。

図30-1. ｱﾅﾛｸﾞ比較器概要

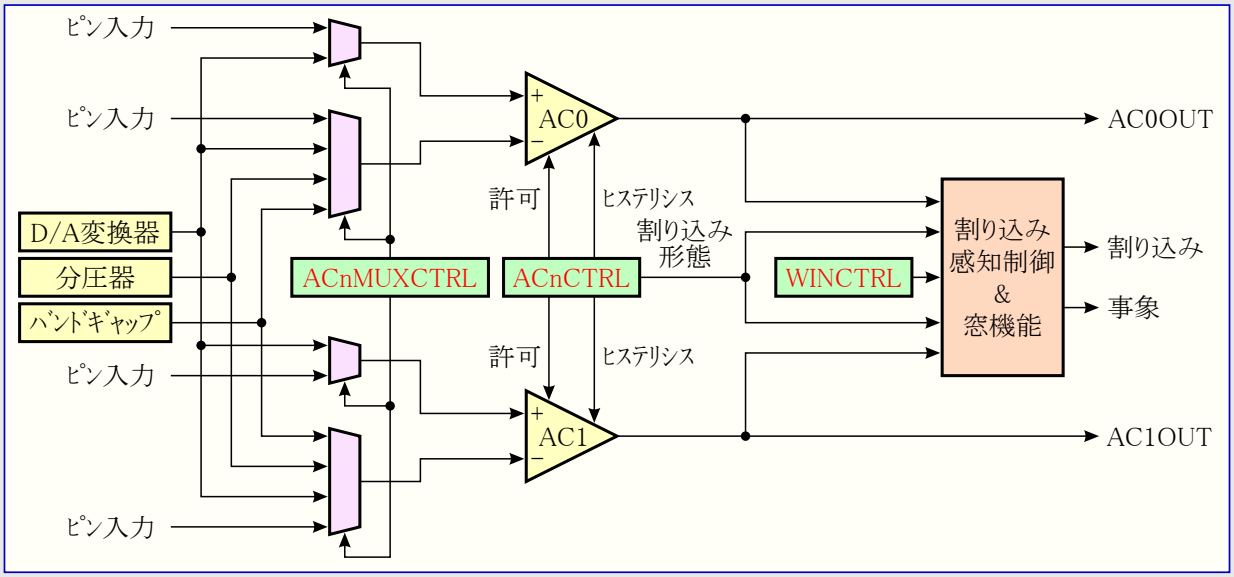
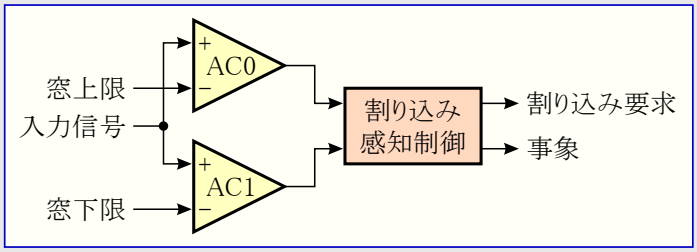


図30-2.で示されるように、窓機能は2つのｱﾅﾛｸﾞ比較器の外部入力を接続することによって実現されます。

図30-2. ｱﾅﾛｸﾞ比較器窓機能



31. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ

31.1. 要点

- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - PDIｲﾝﾀｰﾌｪｰｽを通す外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
    - 高速動作のための最小の規約付随負荷
    - 確かな動作のための組み込みの異常検出と処理
  - 何れかの通信ｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾌﾞｰﾄ ﾛｰﾀﾞ支援
- ﾃﾞﾊﾞｯｸﾞ
  - 不干渉、実時間、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ
  - ﾋﾟﾝ接続を除き、ﾃﾞﾊﾞｲｽから必要とされるｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱなし
  - ﾌﾟﾛｸﾞﾗﾑの流れ制御
    - 実行、停止、ﾘｾｯﾄ、1行実行、内側実行、外側実行、ｶｰｿﾙまで実行
  - 無制限数の使用者ﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - 無制限数の使用者ﾃﾞｰﾀ中断点、以下で中断
    - ﾃﾞｰﾀ位置読み、書き、または読み書き両方
    - ﾃﾞｰﾀ位置内容が値と等しいまたは等しくない
    - ﾃﾞｰﾀ位置内容が値よりも大きいまたは小さい
    - ﾃﾞｰﾀ位置内容が範囲の内側または外側
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数での制限なし
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)
  - 外部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ
  - ﾘｾｯﾄ ﾋﾟﾝと専用ﾋﾟﾝを使用
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはﾃﾞﾊﾞｯｸﾞ中にI/Oﾋﾟﾝの必要なし

31.2. 概要

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)はﾃﾞﾊﾞｲｽの外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ用のMicrochip専有ｲﾝﾀｰﾌｪｰｽです。

PDIはﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、使用者識票列の不揮発性ﾒﾓﾘ(NVM)の高速ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを支援します。

ﾃﾞﾊﾞｯｸﾞは不干渉、実時間のﾃﾞﾊﾞｯｸﾞを提供するﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑを通して支援されます。これはﾃﾞﾊﾞｲｽ ﾋﾟﾝ接続を除いてどんなｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱも必要としません。Microchipのﾂｰﾙ ﾁｪｰﾝ使用は完全なﾌﾟﾛｸﾞﾗﾑの流れ制御を提供し、ﾌﾟﾛｸﾞﾗﾑと複雑なﾃﾞｰﾀの無制限数の中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)を支援します。応用ﾃﾞﾊﾞｯｸﾞはｱｾﾝﾌﾞﾗと逆ｱｾﾝﾌﾞﾗ ﾚﾍﾞﾙからだけでなく、Cまたは他の高位言語ｿｰｽ ｺｰﾄﾞのﾚﾍﾞﾙからも行うことができます。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞはPDI物理層を通して行えます。これはｸﾛｯｸ入力用のﾘｾｯﾄ ﾋﾟﾝ(PDI_CLK)とﾃﾞｰﾀ入出力用の他の1つの専用検査ﾋﾟﾝ(PDI_DATA)を使う2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽです。何れかの外部書き込み器またはﾁｯﾌﾟ上ﾃﾞﾊﾞｯｶﾞ/ｴﾐｭﾚｰﾀは、このｲﾝﾀｰﾌｪｰｽへ直接的に接続することができます。

32. ピン配置とピン機能

ﾃﾞﾊﾞｲｽのﾋﾟﾝ配置は6頁の「**ピン配置/構成図**」で示されます。汎用I/O機能に加え、各ﾋﾟﾝは様々な交換機能を持ち得ます。これはどの周辺機能が許可され、そして現実のﾋﾟﾝに接続されるかに依存します。ﾋﾟﾝ機能は同時に1つだけを使うことができます。

32.1. 交換ピン機能の種類

下表は利用可能な全てのﾋﾟﾝ機能に対する表記とその機能の内容を示します。

32.1.1. 活動/電力供給

VCC	ﾃﾞｼﾞﾀﾙ供給電圧
AVCC	ｱﾅﾛｸﾞ供給電圧
GND	接地

32.1.2. ﾎﾟｰﾄ割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つﾎﾟｰﾄ ﾋﾟﾝ
ASYNC	完全な同期と完全な非同期の割り込み機能を持つﾎﾟｰﾄ ﾋﾟﾝ

32.1.3. ｱﾅﾛｸﾞ機能

ACn	ｱﾅﾛｸﾞ比較器入力ﾋﾟﾝn
ACnOUT	ｱﾅﾛｸﾞ比較器n出力
ADCn	A/D変換器入力ﾋﾟﾝn
DACn	D/A変換器出力ﾋﾟﾝn
AREF	ｱﾅﾛｸﾞ基準電圧入力ﾋﾟﾝ

32.1.4. ﾀｲﾏ/ｶｳﾝﾀとAWeX機能

OCnx	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx出力
$\overline{\text{OCnx}}$	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx反転出力
OCnxLS	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx Low側出力
OCnxHS	ﾀｲﾏ/ｶｳﾝﾀn用比較ﾁｬﾈﾙx High側出力

32.1.5. 通信機能

SCL	TWI用直列ｸﾛｯｸ
SDA	TWI用直列ﾃﾞｰﾀ
SCLIN	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ｸﾛｯｸ入力
SCLOUT	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ｸﾛｯｸ出力
SDAIN	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ﾃﾞｰﾀ入力
SDAOUT	外部駆動ｲﾝﾀｰﾌｪｰｽ許可時のTWI用直列ﾃﾞｰﾀ出力
XCKn	USARTn用転送ｸﾛｯｸ
RXDn	USARTn用受信ﾃﾞｰﾀ
TXDn	USARTn用送信ﾃﾞｰﾀ
$\overline{\text{SS}}$	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列ｸﾛｯｸ
D-	USB用Data-
D+	USB用Data+

32.1.6. 発振器、ｸﾛｯｸ、事象

TOSCn	計時器用発振器ﾋﾟﾝn
XTALn	発振器用入出力ﾋﾟﾝn
CLKOUT	周辺機能ｸﾛｯｸ出力
EVOUT	事象ﾁｬﾈﾙn出力
RTCOUT	RTCｸﾛｯｸ元出力

32.1.7. ﾃﾞﾊﾞｯｸﾞ/ｼｽﾃﾑ機能

$\overline{\text{RESET}}$	ﾘｾｯﾄ ﾋﾟﾝ
PDI_CLK	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ｸﾛｯｸ ﾋﾟﾝ
PDI_DATA	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾃﾞｰﾀ ﾋﾟﾝ

32.2. 交換ﾋﾟﾝ機能

下表は最初の列でﾎﾟｰﾄの各ﾋﾟﾝに対する主/既定の機能、第2列でﾋﾟﾝ番号、そして残りの列で全ての交換ﾋﾟﾝ機能を示します。先頭行は何の周辺機能が交換ﾋﾟﾝ機能を許可して使うかを示します。

より良い柔軟性のため、いくつかの交換機能はそれらの機能に対して選択可能なﾋﾟﾝ位置も持ち、これはこれが適用される最初の表の下で注記されます。

表32-1. ﾎﾟｰﾄA - 交換機能

PORTA	ﾋﾟﾝ番号	割り込み	ADCA 利得有/無 正入力		ADCA 利得なし 負入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力		REFA	
GND	38											
AVCC	39											
PA0	40	SYNC	ADC0		ADC0		AC0	AC0			AREF	
PA1	41	SYNC	ADC1		ADC1		AC1	AC1				
PA2	42	SYNC/ASYNC	ADC2		ADC2		AC2					
PA3	43	SYNC	ADC3		ADC3		AC3	AC3				
PA4	44	SYNC	ADC4			ADC4	AC4					
PA5	1	SYNC	ADC5			ADC5	AC5	AC5				
PA6	2	SYNC	ADC6			ADC6	AC6		AC1OUT			
PA7	3	SYNC	ADC7			ADC7		AC7	AC0OUT			

表32-2. ﾎﾟｰﾄB - 交換機能

PORTB	ﾋﾟﾝ番号	割り込み	ADCA 利得なし 正入力		DACB	REFB	
PB0	4	SYNC	ADC8			AREF	
PB1	5	SYNC	ADC9				
PB2	6	SYNC/ASYNC	ADC10		DAC0		
PB3	7	SYNC	ADC11		DAC1		

表32-3. ﾎﾟｰﾄC - 交換機能

PORTC	ﾋﾟﾝ番号	割り込み	TCC0 (注1,2)	AWEXC	TCC1	USARTC0 (注3)	USARTC1	SPIC (注4)	TWIC	ｸﾛｯｸ出力 (注5)	事象出力 (注6)
GND	8										
VCC	9										
PC0	10	SYNC	OC0A	OC0ALS					SDA/SDA_IN		
PC1	11	SYNC	OC0B	OC0AHS		XCK0			SCL/SCL_IN		
PC2	12	SYNC/ASYNC	OC0C	OC0BLS		RXD0			SDA_OUT		
PC3	13	SYNC	OC0D	OC0BHS		TXD0			SCL_OUT		
PC4	14	SYNC		OC0CLS	OC1A			$\overline{SS}$			
PC5	15	SYNC		OC0CHS	OC1B		XCK1	MOSI			
PC6	16	SYNC		OC0DLS			RXD1	MISO		RTCOUT	
PC7	17	SYNC		OC0DHS			TXD1	SCK		CLKOUT	EVOUT

注1: 全てのTC0のﾋﾟﾝ割り当ては任意選択でﾎﾟｰﾄの上位ﾆﾌﾞﾙに移動することができます。

注2: TC0がTC2として構成設定された場合、8つ全てのﾋﾟﾝがPWM出力として使うことができます。

注3: 全てのUSART0のﾋﾟﾝ割り当ては任意選択でﾎﾟｰﾄの上位ﾆﾌﾞﾙに移動することができます。

注4: 全てのSPIに対してMOSIとSCKのﾋﾟﾝは任意選択で交換することができます。

注5: CLKOUTは任意選択でﾎﾟｰﾄC,D,E間とﾋﾟﾝ4～7間で移動することができます。

注6: EVOUTは任意選択でﾎﾟｰﾄC,D,E間とﾋﾟﾝ4～7間で移動することができます。

© 2011-2020 Microchip Technology Inc.

表32-4. ポートD – 交換機能

PORTD	ピン番号	割り込み	TCD0		TCD1	USARTD0	USARTD1	SPID	USB	クロック出力	事象出力
GND	18										
VCC	19										
PD0	20	SYNC	OC0A								
PD1	21	SYNC	OC0B			XCK0					
PD2	22	SYNC/ASYNC	OC0C			RXD0					
PD3	23	SYNC	OC0D			TXD0					
PD4	24	SYNC			OC1A			$\overline{SS}$			
PD5	25	SYNC			OC1B		XCK1	MOSI			
PD6	26	SYNC					RXD1	MISO	D−		
PD7	27	SYNC					TXD1	SCK	D+	CLKOUT	EVOUT

表32-5. ポートE – 交換機能

PORTE	ピン番号	割り込み	TCE0		USARTE0		TWIE	
PE0	28	SYNC	OC0A				SDA/SDA_IN	
PE1	29	SYNC	OC0B		XCK0		SCL/SCL_IN	
GND	30							
VCC	31							
PE2	32	SYNC/ASYNC	OC0C		RXD0		SDA_OUT	
PE3	33	SYNC	OC0D		TXD0		SCL_OUT	

表32-6. ポートR – 交換機能

PORTR	ピン番号	割り込み	XTAL	TOSC (注)	PDI
PDI	34				PDI_DATA
$\overline{RESET}$	35				PDI_CLOCK
PR0	36	SYNC	XTAL2	TOSC2	
PR1	37	SYNC	XTAL1	TOSC1	

注: TOSCピンは任意選択でPE2/PE3へ移動することができます。

33. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

ｱﾄﾞﾚｽ割り当て表はMicrochip AVR XMEGA® A4U内の各周辺機能と単位部に対する基準ｱﾄﾞﾚｽを示します。各周辺機能単位部に対する一覧と完全なﾚｼﾞｽﾀ記述についてはXMEGA AU手引書を参照してください。

表33-1. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

基準ｱﾄﾞﾚｽ	名称	意味	基準ｱﾄﾞﾚｽ	名称	意味
$0000	GPIO	汎用I/Oﾚｼﾞｽﾀ	$0480	TWIC	ﾎﾟｰﾄCの2線ｲﾝﾀｰﾌｪｰｽ
$0010	VPORT0	仮想ﾎﾟｰﾄ0	$04A0	TWIE	ﾎﾟｰﾄEの2線ｲﾝﾀｰﾌｪｰｽ
$0014	VPORT1	仮想ﾎﾟｰﾄ1	$04C0	USB	万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ
$0018	VPORT2	仮想ﾎﾟｰﾄ2	$0600	PORTA	ﾎﾟｰﾄA
$001C	VPORT3	仮想ﾎﾟｰﾄ3	$0620	PORTB	ﾎﾟｰﾄB
$0030	CPU	CPU	$0640	PORTC	ﾎﾟｰﾄC
$0040	CLK	ｸﾛｯｸ制御	$0660	PORTD	ﾎﾟｰﾄD
$0048	SLEEP	休止制御器	$0680	PORTE	ﾎﾟｰﾄE
$0050	OSC	発振器制御	$07E0	PORTR	ﾎﾟｰﾄR
$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	$0800	TCC0	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ0
$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	$0840	TCC1	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ1
$0070	PR	電力削減	$0880	AWEXC	ﾎﾟｰﾄCの新波形拡張
$0078	RST	ﾘｾｯﾄ制御器	$0890	HIRESC	ﾎﾟｰﾄCの高分解能拡張
$0080	WDT	ｳｫｯﾁﾄﾞｯｸﾞﾀｲﾏ	$08A0	USARTC0	ﾎﾟｰﾄCのUSART0
$0090	MCU	MCU制御	$08B0	USARTC1	ﾎﾟｰﾄCのUSART1
$00A0	PMIC	設定可能な多段割り込み制御器	$08C0	SPIC	ﾎﾟｰﾄCの直列周辺ｲﾝﾀｰﾌｪｰｽ
$00B0	PORTCFG	ﾎﾟｰﾄ構成設定	$08F8	IRCOM	赤外線通信単位部
$00C0	AES	AES暗号単位部	$0900	TCD0	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ0
$00D0	CRC	CRC単位部	$0940	TCD1	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ1
$0100	DMA	DMA単位部	$0990	HIRESD	ﾎﾟｰﾄDの高分解能拡張
$0180	EVSYS	事象ｼｽﾃﾑ	$09A0	USARTD0	ﾎﾟｰﾄDのUSART0
$01C0	NVM	不揮発性ﾒﾓﾘ(NVM)制御器	$09B0	USARTD1	ﾎﾟｰﾄDのUSART1
$0200	ADCA	ﾎﾟｰﾄAのA/D変換器	$09C0	SPID	ﾎﾟｰﾄDの直列周辺ｲﾝﾀｰﾌｪｰｽ
$0320	DACB	ﾎﾟｰﾄBのD/A変換器	$0A00	TCE0	ﾎﾟｰﾄEのﾀｲﾏ/ｶｳﾝﾀ0
$0380	ACA	ﾎﾟｰﾄAのｱﾅﾛｸﾞ比較器	$0A90	HIRESE	ﾎﾟｰﾄEの高分解能拡張
$0400	RTC	実時間計数器	$0AA0	USARTE0	ﾎﾟｰﾄEのUSART0

34. 命令一式要約

ニーモニック	オペランド	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	RdH:RdL ← RdH:RdL + K	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	Rd ← Rd − K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL − K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	Rd ← Rd − Rr − C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	Rd ← Rd − K − C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF − Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 − Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	Rd ← Rd AND ($FF − K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(−1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← EIND:Z	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd − Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd − Rr − C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	Rd − K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの＜で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	−(マイナス)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの＜で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

© 2011-2020 Microchip Technology Inc.

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZ レジスタ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	(Z) ← R1:R0, RAMPZ:Z ← RAMPZ:Z + 2	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	Temp←Rd, Rd←(Z), (Z)←Temp	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ビット設定(1)	Temp←Rd, Rd←(Z), (Z)←Temp OR (Z)	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ビット解除(0)	Temp←Rd, Rd←(Z), (Z)←($FF-Temp) AND (Z)	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ビット反転	Temp←Rd, Rd←(Z), (Z)←Temp EOR (Z)	I,T,H,S,V,N,Z,C	2

© 2011-2020 Microchip Technology Inc.

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ステータス レジスタのビット設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ステータス レジスタのビット解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		キャリー フラグを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ゼロ フラグを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ゼロ フラグを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリー フラグを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグ タイマ リセット	ウォッチドッグ タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッガが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K ：4, 6, 8ビット定数
X, Y, Z ：X, Y, Zレジスタ
q ：符号なし6ビット定数(変位)
P ：I/Oレジスタ
b ：ビット(0～7)
s ：ステータス フラグ(C,Z,N,V,X,H,T,I)
Rd, Rr ：汎用レジスタ(R0～R31)
k ：アドレス定数(7,12,16ビット)

注1: データ メモリ アクセスに対する周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA A4U系に外部メモリ インターフェースはありません。)

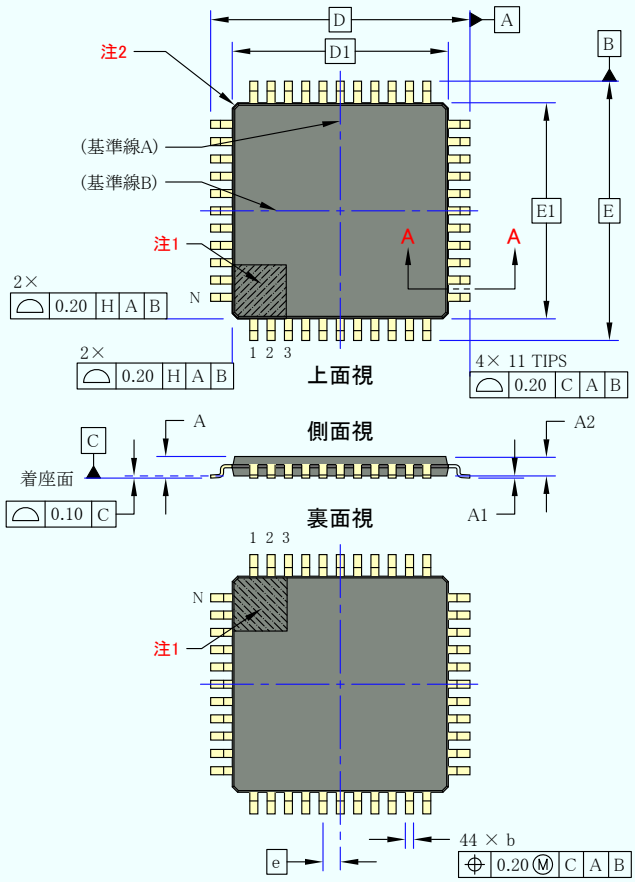
注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

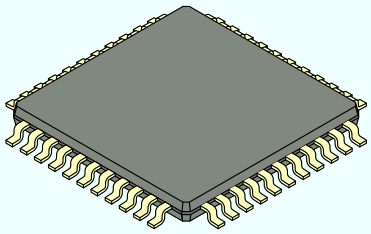
35. 外囲器図

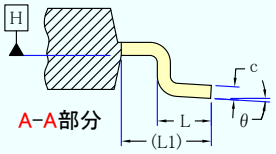
注: 最新の外囲器図についてはhttp://www.microchip.com/packagingに置かれたMicrochip外囲器仕様をご覧ください。

35.1. 44A

44リード プラスティック薄型四角平板外囲器(PT) – 10×10×1.0mm本体 [TQFP]







単位		mm		
寸法限度		最小	標準	最大
リード数	N		44	
リード間隔	e		0.80 BSC	
全高	A	–	–	1.20
嵩上げ	A1	0.05	–	0.15
成形外包装厚	A2	0.95	1.00	1.05
全幅	E		12.00 BSC	
成形包装幅	E1		10.00 BSC	
全長	D		12.00 BSC	
成形包装長	D1		10.00 BSC	
リード幅	b	0.30	0.37	0.45
リード厚	c	0.09	–	0.20
リード長	L	0.45	0.60	0.75
足全長	L1		1.00 REF	
足角	φ	0°	3.5°	7°

注1: 1番ピン視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

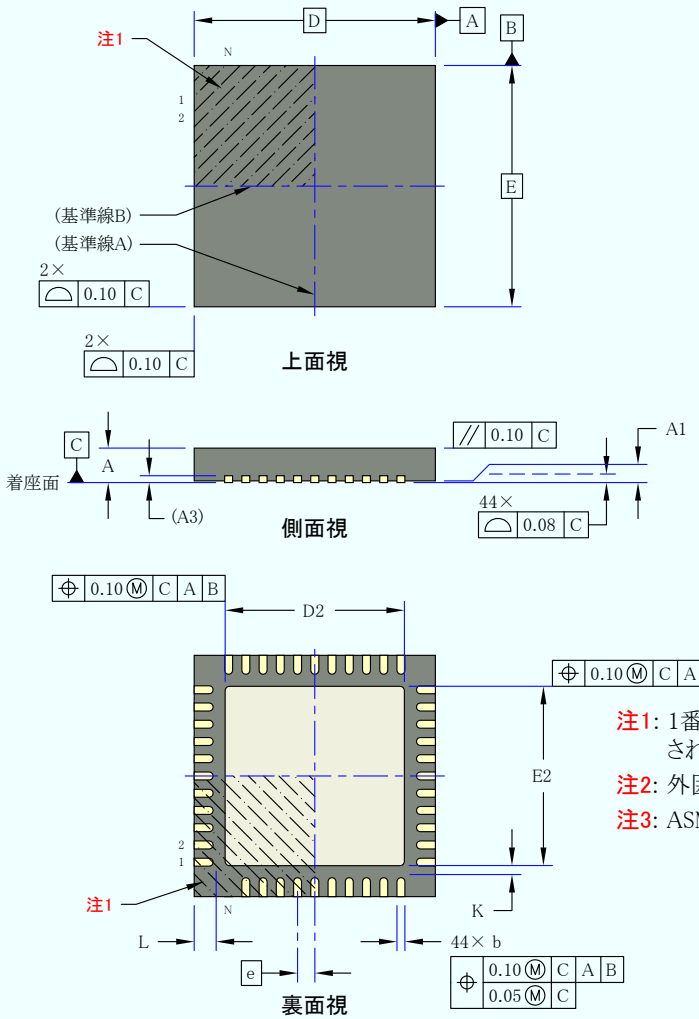
注2: 角の正確な形状は任意選択です。

注3: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

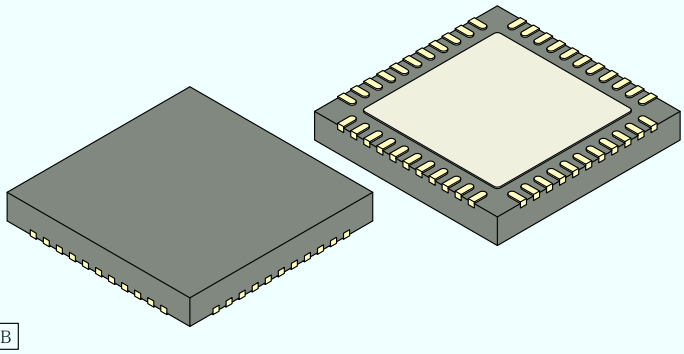
Microchip Technology作図C04-076C

35.2. 44PW

44ﾊﾟｯﾄﾞ極薄ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(SXB) – 5.2×5.2mm露出ﾊﾟｯﾄﾞと0.55mm端子の7×7本体 [VQFN] (Atmel旧ZCP)



単位		mm		
寸法限度		最小	標準	最大
ﾊﾟｯﾄﾞ数	N		44	
ﾊﾟｯﾄﾞ間隔	e		0.50 BSC	
全高	A	0.80	0.90	1.00
嵩上げ	A1	0.00	0.02	0.05
接触子厚	A3		0.20 REF	
全長	D		7.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	5.00	5.20	5.40
全幅	E		7.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	5.00	5.20	5.40
接触子幅	b	0.18	0.23	0.30
接触子長	L	0.45	0.55	0.65
接触子から露出ﾊﾟｯﾄﾞ	K	0.20	0.35	–

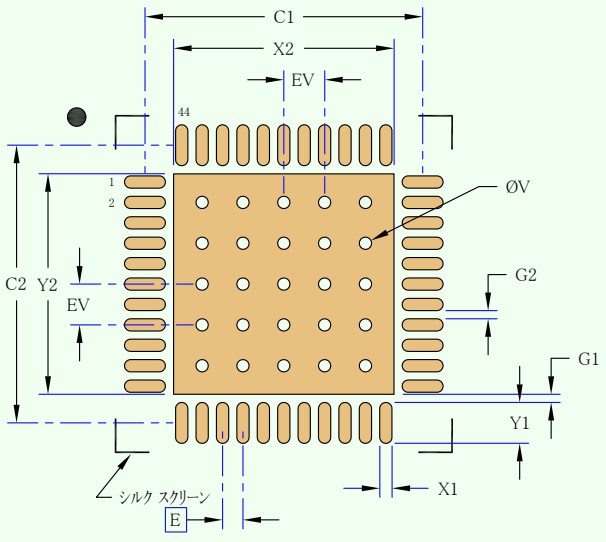


注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は切断分離されています。

注3: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-21421-2改訂A



推奨ﾗﾝﾄﾞ ﾊﾟﾀｰﾝ

単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.50 BSC	
任意選択中央ﾊﾟｯﾄﾞ幅	X2	–	–	5.40
任意選択中央ﾊﾟｯﾄﾞ長	Y2	–	–	5.40
接触ﾊﾟｯﾄﾞ間隔	C1	–	6.80	–
接触ﾊﾟｯﾄﾞ間隔	C2	–	6.80	–
接触ﾊﾟｯﾄﾞ幅(×20)	X1	–	–	0.30
接触ﾊﾟｯﾄﾞ長(×16)	Y1	–	–	0.95
接触ﾊﾟｯﾄﾞ～中央ﾊﾟｯﾄﾞ(×44)	G1	0.23	–	–
接触ﾊﾟｯﾄﾞ～接触ﾊﾟｯﾄﾞ(×40)	G2	0.20	–	–
放熱ﾋﾞｱ直径	ØV	–	0.30	–
放熱ﾋﾞｱ間隔	EV	–	1.00	–

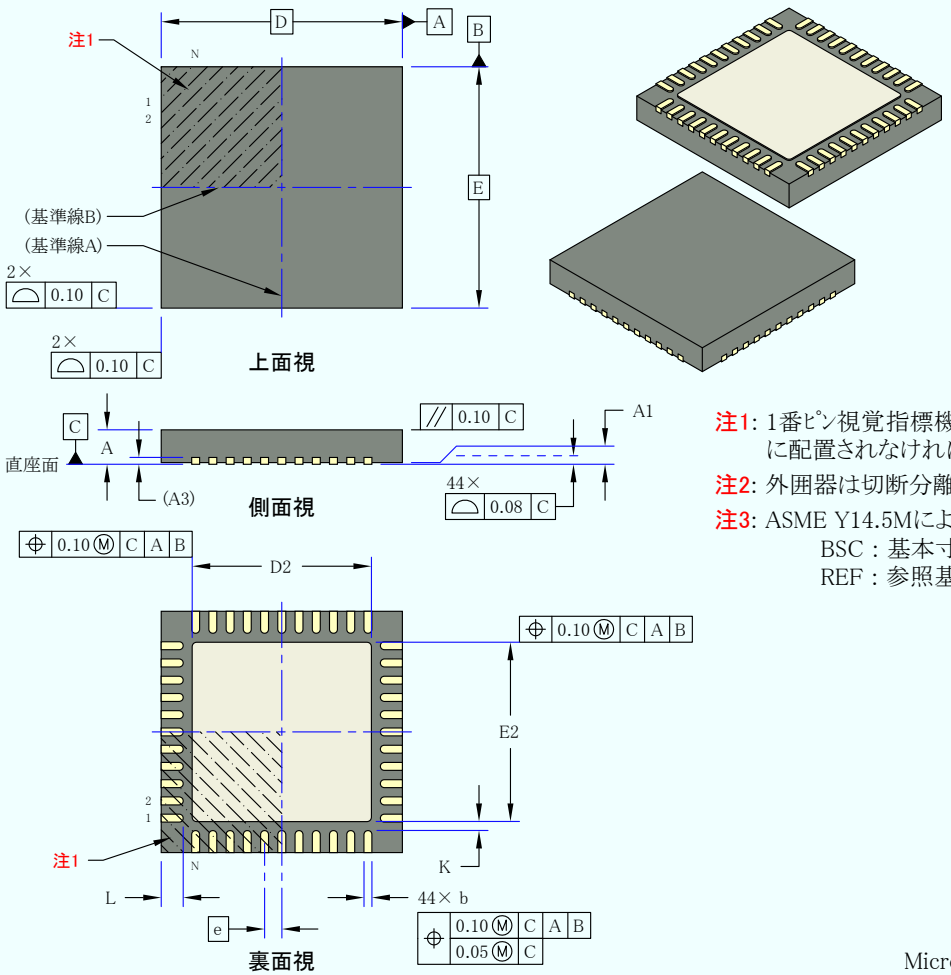
注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

注2: 最善の半田結果に関して使われる場合に放熱ﾋﾞｱはﾘﾌﾛｰ処理中に半田欠損を避けるために満たされる、またはﾃﾝﾃｨﾝｸﾞされるべきです。

Microchip Technology作図C04-23421-2改訂A

35.3. 44M1

44ﾊﾟｯﾄﾞ極薄ﾌﾟﾗｽﾃｨｯｸ四角平板、ﾘｰﾄﾞなし外囲器(STB) – 5.2×5.2mm露出ﾊﾟｯﾄﾞと0.64mm端子の7×7mm本体 [VQFN] (Atmel旧ZWS)



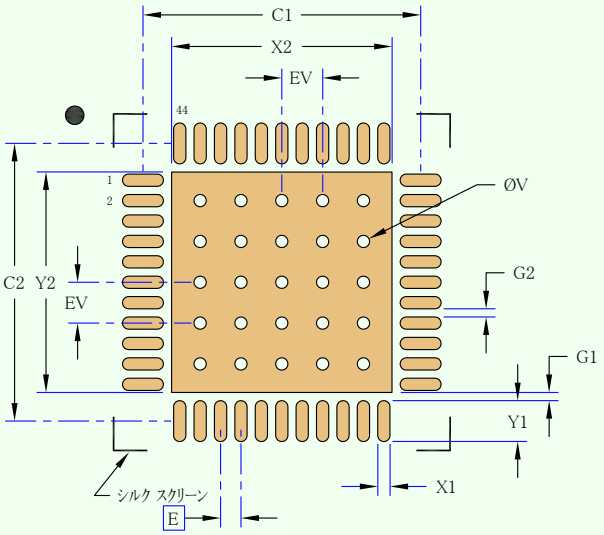
単位		mm		
寸法限度		最小	標準	最大
ﾊﾟｯﾄﾞ数	N		44	
ﾊﾟｯﾄﾞ間隔	e		0.50 BSC	
全高	A	0.80	0.90	1.00
嵩上げ	A1	0.00	0.02	0.05
接触子厚	A3		0.20 REF	
全長	D		7.00 BSC	
露出ﾊﾟｯﾄﾞ長	D2	5.00	5.20	5.40
全幅	E		7.00 BSC	
露出ﾊﾟｯﾄﾞ幅	E2	5.00	5.20	5.40
接触子幅	b	0.18	0.23	0.30
接触子長	L	0.59	0.64	0.69
接触子から露出ﾊﾟｯﾄﾞ	K	0.20	0.26	0.41

注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: 外囲器は切断分離されています。

注3: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-21419-STB改訂A



推奨ﾗﾝﾄﾞ ﾊﾟﾀｰﾝ

単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.50 BSC	
任意選択中央ﾊﾟｯﾄﾞ幅	X2	–	–	5.40
任意選択中央ﾊﾟｯﾄﾞ長	Y2	–	–	5.40
接触ﾊﾟｯﾄﾞ間隔	C1	–	6.80	–
接触ﾊﾟｯﾄﾞ間隔	C2	–	6.80	–
接触ﾊﾟｯﾄﾞ幅(×20)	X1	–	–	0.30
接触ﾊﾟｯﾄﾞ長(×16)	Y1	–	–	1.00
接触ﾊﾟｯﾄﾞ～中央ﾊﾟｯﾄﾞ(×44)	G1	0.20	–	–
接触ﾊﾟｯﾄﾞ～接触ﾊﾟｯﾄﾞ(×40)	G2	0.20	–	–
放熱ﾋﾞｱ直径	ØV	–	0.30	–
放熱ﾋﾞｱ間隔	EV	–	1.00	–

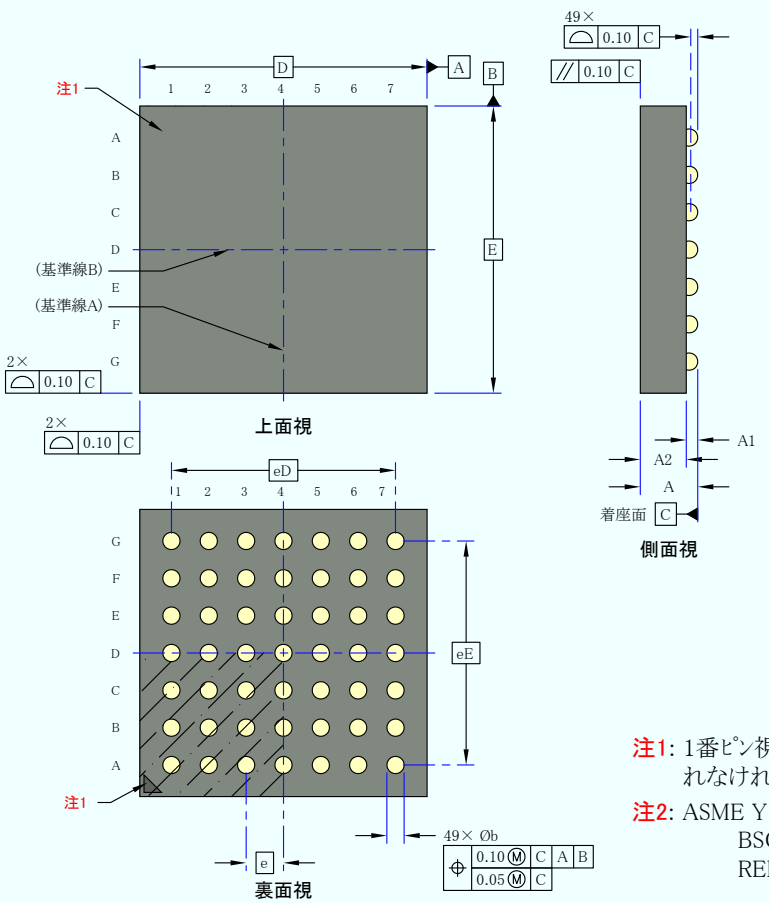
注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

注2: 最善の半田結果に関して使われる場合に放熱ﾋﾞｱはﾘﾌﾛｰ処理中に半田欠損を避けるために満たされる、またはﾃﾝﾃｨﾝｸﾞされるべきです。

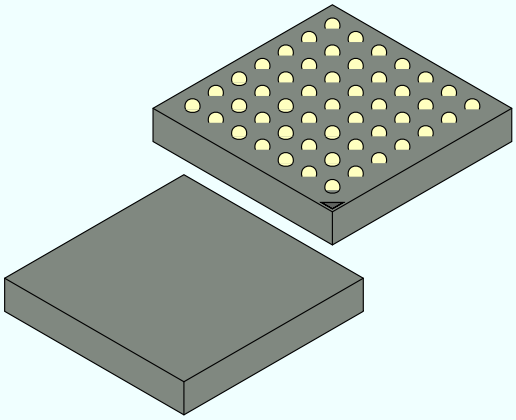
Microchip Technology作図C04-23419-STB改訂A

35.4. 49C2

49球極薄微細球格子配列(C7B) – 5×5×1.0mm本体 [VFBGA] (Atmel旧一般外囲器符号CBD)



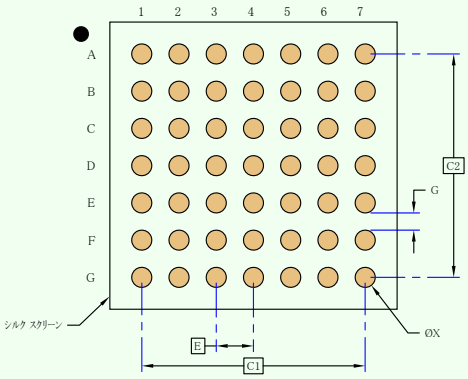
単位		mm		
寸法限度		最小	標準	最大
球数	N		49	
球間隔	e		0.65 BSC	
球全体空間	eD		3.90 BSC	
球全体空間	eE		3.90 BSC	
全高	A	–	–	1.00
嵩上げ	A1	0.20	–	–
成形外包装厚	A2	0.65	–	–
全長	D		5.00 BSC	
全幅	E		5.00 BSC	
球幅	Øb	0.30	0.35	0.40



注1: 1番ﾋﾟﾝ視覚指標機能は変わるかもしれんませんが、斜線領域内に配置されなければなりません。

注2: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。
REF：参照基準寸法。通常は公差なし、情報目的専用。

Microchip Technology作図C04-21168-C7B改訂A



推奨ﾗﾝﾄﾞﾊﾟﾀｰﾝ

単位		mm		
寸法限度		最小	標準	最大
接触子間隔	E		0.65 BSC	
接触ﾊﾟｯﾄﾞ空間	C1		3.90 BSC	
接触ﾊﾟｯﾄﾞ空間	C2		3.90 BSC	
接触ﾊﾟｯﾄﾞ直径	ØX	–	–	0.35
接触ﾊﾟｯﾄﾞ間隔	G	0.30	–	–

注1: ASME Y14.5Mによる寸法と公差
BSC：基本寸法。公差なしで示される理論的に正確な値。

Microchip Technology作図C04-23168-C7B改訂A

36. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25℃で測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

36.1. ATxmega16A4U

36.1.1. 絶対最大定格

下の表36-1.で一覧にされるそれらを超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

表36-1. 絶対最大定格

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCﾋﾟﾝへの電流				200	mA
IGND	GNDﾋﾟﾝの電流出力				200	
VPIN	GNDとVCCに対するﾋﾟﾝ電圧		-0.5		VCC+0.5	V
IPIN	入出力ﾋﾟﾝ吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	℃
Tj	接合部温度				150	

36.1.2. 全般動作定格

ﾃﾞﾊﾞｲｽは保証されて有効であるべきﾃﾞﾊﾞｲｽの他の全ての電気的特性と代表特性のために、表36-2.で一覧にされる定格内で動作しなければなりません。

表36-2. 全般動作条件

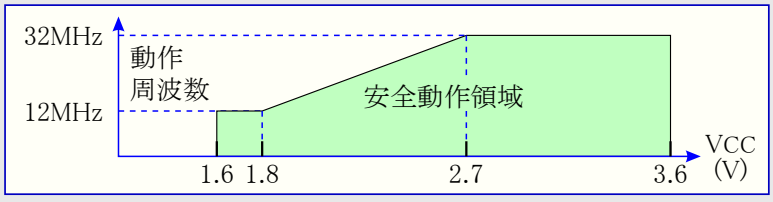
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	ｱﾅﾛｸﾞ供給電圧		1.60		3.6	
TA	保存温度		-40		85	℃
Tj	接合部温度		-40		105	

表36-3. 動作電圧と周波数

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clkCPU	CPUｸﾛｯｸ周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高ｼｽﾃﾑ周波数は動作電圧に依存します。図36-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図36-1. 最高周波数 対 VCC



36.1.3. 消費電流

表36-4. 活動動作と休止動作の消費電流

シンボル	項目	条件			最小	代表	最大	単位
	活動動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		40		µA
				VCC=3.0V		80		
		1MHz外部クロック		VCC=1.8V		230		
				VCC=3.0V		480		
		2MHz外部クロック		VCC=1.8V		430	600	
				VCC=3.0V		0.9	1.4	mA
		32MHz外部クロック		VCC=3.0V		9.6	12	
	アイドル動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		2.4		µA
				VCC=3.0V		3.9		
		1MHz外部クロック		VCC=1.8V		62		
				VCC=3.0V		118		
		2MHz外部クロック		VCC=1.8V		125	225	
				VCC=3.0V		240	350	
ICC		32MHz外部クロック		VCC=3.0V		3.8	5.5	mA
	パワーダウン動作消費電流	T=25℃		VCC=3.0V		0.1	1.0	µA
		T=85℃				1.2	4.5	
		T=105℃				3.5	6.0	
		採取動作BODとWDTを許可	T=25℃			1.3	3.0	
			T=85℃			2.4	6.0	
			T=105℃			4.5	8.0	
	パワーセーブ動作消費電流 (注2)	ULPクロックでのRTC、採取動作BODとWDTを許可、T=25℃		VCC=1.8V		1.2		
				VCC=3.0V		1.3		
		低電力32.768kHz TOSCの1.024kHzでのRTC、T=25℃		VCC=1.8V		0.6	2.0	
				VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからのRTC、T=25℃		VCC=1.8V		0.8	3.0	
				VCC=3.0V		1.0	3.0	
	リセット消費電流	基台の$\overline{\text{RESET}}$ピンを通る電流		VCC=3.0V		320		

注1: 全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表36-5. 単位部と周辺機能に関する消費電流

ｼﾝﾎﾞﾙ	項目	条件 (注1)	最小	代表	最大	単位
ICC	超低電力(ULP)発振器			1.0		µA
	32.768kHz内部発振器			27		
	2MHz内部発振器			85		
		基準として32.768kHz内部発振器でDFLL許可		115		
	32MHz内部発振器			270		
		基準として32.768kHz内部発振器でDFLL許可		460		
	PLL	逓倍率=20倍,32MHz内部,基準としてDIV4		220		
	ｳｫｯﾁﾄﾞｯｸﾞﾀｲﾏ			1.0		
	低電圧検出器(BOD)	継続動作		138		
		採取動作,ULP発振器を含む		1.2		
	1.00V内部基準電圧			100		
	温度感知器			95		
	A/D変換器(ADC)	250k採取/秒, VREF=外部基準		3.0		mA
		電流制限(CURRLIMIT)=低		2.6		
		電流制限(CURRLIMIT)=中		2.1		
		電流制限(CURRLIMIT)=高		1.6		
	D/A変換器(DAC)	250k採取/秒,VREF=外部基準, 無負荷 標準動作		1.9		
		低電力動作		1.1		
	ｱﾅﾛｸﾞ比較器(AC)	高速動作		330		µA
		低電力動作		130		
	DMA	I/OﾚｼﾞｽﾀとSRAM間、615Kﾊﾞｲﾄ/s		108		
	ﾀｲﾏ/ｶｳﾝﾀ			16		
	USART	9600bps,送受信許可		2.5		
	ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ			4.0	8.0	mA

注1: 全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てがVCC=3.0 V、前置分周なしでのclk$_{SYS}$=外部1MHzｸﾛｯｸ、T=25℃でのﾃﾞｰﾀです。

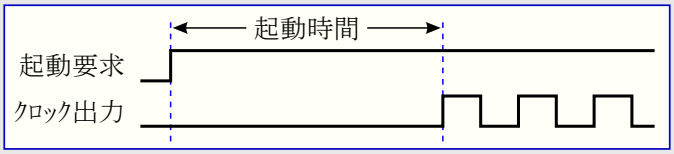
36.1.4. 休止形態からの起動時間

表36-6. 様々なｼｽﾃﾑｸﾛｯｸ元での休止形態からのﾃﾞﾊﾞｲｽ起動時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{wakeup}	ｱｲﾄﾞﾙ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲからの起動時間	外部2MHzｸﾛｯｸ		2.0		µs
		32.768KHz内部発振器		120		
		2MHz内部発振器		2.0		
		32MHz内部発振器		0.2		
	ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝからの起動時間	外部2MHzｸﾛｯｸ		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからﾋﾟﾝで周辺機能ｸﾛｯｸが利用可能になるまでで、図36-2.をご覧ください。全ての周辺機能と単位部はﾌﾟﾛｸﾞﾗﾑ実行開始に先立って4ｸﾛｯｸ周期間停止されるCPUを除き、最初のｸﾛｯｸ周期から実行を開始します。

図36-2. 起動時間定義



36.1.5. 入出力ﾋﾟﾝ特性

入出力ﾋﾟﾝはJEDEC LVTTLとLVCSMOS仕様に従い、Hﾚﾍﾞﾙ とLﾚﾍﾞﾙの入力と出力の電圧限度はこの仕様を反映または超えます。

表36-7. 入出力ﾋﾟﾝ特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
I_{OH} (注1) I_{OL} (注2)	I/Oﾋﾟﾝ吐き出し/吸い込み電流			-20		20	mA
		VCC=2.7～3.6V		2.0		VCC+0.3	
V_{IH}	Highﾚﾍﾞﾙ入力電圧	VCC=2.0～2.7V		0.7VCC		VCC+0.3	
		VCC=1.6～2.0V		0.8VCC		VCC+0.3	
		VCC=3.0～3.6V		-0.3		0.8	
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	VCC=2.3～2.7V		-0.3		0.3VCC	
		VCC=1.6～2.3V		-0.3		0.2VCC	
		VCC=3.0～3.6V	I_{OH}=-2mA	2.4	0.94VCC		
		VCC=2.3～2.7V	I_{OH}=-1mA	2.0	0.96VCC		
V_{OH}	Highﾚﾍﾞﾙ出力電圧		I_{OH}=-2mA	1.7	0.92VCC		V
		VCC=3.3V	I_{OH}=-8mA	2.6	2.8		
		VCC=3.0V	I_{OH}=-6mA	2.1	2.6		
		VCC=1.8V	I_{OH}=-2mA	1.4	1.6		
		VCC=3.0～3.6V	I_{OL}=2mA		0.05VCC	0.4	
		VCC=2.3～2.7V	I_{OL}=1mA		0.03VCC	0.4	
V_{OL}	Lowﾚﾍﾞﾙ出力電圧		I_{OL}=2mA		0.06VCC	0.7	
		VCC=3.3V	I_{OL}=15mA		0.4	0.76	
		VCC=3.0V	I_{OL}=10mA		0.3	0.64	
		VCC=1.8V	I_{OL}=5mA		0.2	0.46	
I_{IN}	I/Oﾋﾟﾝ入力漏れ電流	T=25℃			<0.01	0.1	µA
R_P	I/Oﾋﾟﾝ ﾌﾟﾙ/ﾊﾞｽ保持 抵抗				24		kΩ
t_r	上昇時間	無負荷			4.0		ns
			ｽﾘｭｰﾚｰﾄ制限		7.0		

注1: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOHの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOLの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

36.1.6. A/D変換器特性

表36-8. 電源、基準電圧と入力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
C_{AREF}	基準電圧入力容量	静止負荷		7.0		pF
	入力範囲		-0.1		AVCC+0.1	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
		符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作、Vinp	-⊿V		VREF-⊿V	
⊿V	固定変位(ｵﾌｾｯﾄ)電圧			190		LSB

© 2011-2020 Microchip Technology Inc.

表36-9. クロックとタイミング

シンボル	項目	条件	最小	代表	最大	単位
clk_{ADC}	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		2000	kHz
		内部信号測定	100		125	
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	100		2000	ksps
		電流制限(CURRLIMIT)=低(LOW)	100		1500	
		電流制限(CURRLIMIT)=中(MEDIUM)	100		1000	
		電流制限(CURRLIMIT)=高(HIGH)	100		500	
	採取時間	1/2clk_{ADC}周期	0.25		5	µs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN・・・計算式 (RES=8または12,GAIN=0以外)	5		8	clk_{ADC} 周期
	始動時間	A/D変換クロック周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	
		ADC破棄後		1	1	

表36-10. 精度特性

シンボル	項目	条件 (注2)		最小	代表	最大	単位
RES	分解能	8または12ビット設定可能		8	12	12	ビット
INL	積分非直線性誤差 (注1)	500ksps	VCC-1.0V<VREF<VCC-0.6V		±1.2	±2.0	LSB
			全VREF		±1.5	±3.0	
		2Msps	VCC-1.0V<VREF<VCC-0.6V		±1.0	±2.0	
			全VREF		±1.5	±3.0	
DNL	微分非直線性誤差 (注1)	単調性保証			<±0.8	<±1.0	
	変位(オフセット)誤差				-1.0		mV
		温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
	利得誤差	差動動作	外部基準電圧		-1.0		mV
			AVCC/1.6		10		
			AVCC/2.0		8.0		
			バンドギャップ		±5.0		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音	差動動作,短絡入力,2Msps, VCC=3.6V,clk_{PER}=16MHz			0.4		mV (RMS)

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の入力範囲に対して有効です。
注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表36-11. 利得段特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		pF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度			1.0		clk_{ADC} 周期
	採取速度	ADCと同じ		100		1000	kHz
INL	積分非直線性誤差 (注)	500ksps,全利得設定			±1.5	±4	LSB
	利得誤差	1倍、標準動作			-0.8		%
		8倍、標準動作			-2.5		
		64倍、標準動作			-3.5		
	(入力基準での)変位(ｵﾌｾｯﾄ)誤差	1倍、標準動作			-2		mV
		8倍、標準動作			-5		
		64倍、標準動作			-4		
	雑音	1倍、標準動作	VCC=3.6V, 外部VREF		0.5		mV (RMS)
		8倍、標準動作			1.5		
		64倍、標準動作			11		

注: 最大値は特性付けに基づき、製造で検査されず、5～95%の入力電圧範囲に対して有効です。

36.1.7. D/A変換器特性

表36-12. 電源、基準電圧と出力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
AVREF	外部基準電圧		1.0		VCC-0.6	
Rchannel	DC出力ｲﾝﾋﾟｰﾀﾞﾝｽ				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
R_{AREF}	基準電圧入力抵抗			>10		MΩ
C_{AREF}	基準電圧入力容量			7		pF
	最小抵抗性負荷		1.0			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	仕様内での動作			AVCC/1000	mA
		安全動作			10	

表36-13. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Fclk	変換速度	Cload=100pF, 最大段階量	標準動作	0		1000	ksps
			低電力動作			500	

表36-14. 精度特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
RES	入力分解能					12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注)	VREF=外部1.0V	VCC=1.6V		±2.0	±3	
			VCC=3.6V		±1.5	±2.5	
		VREF=AVCC	VCC=1.6V		±2.0	±4	
			VCC=3.6V		±1.5	±4	
		VREF=内部1.0V	VCC=1.6V		±5.0		
			VCC=3.6V		±5.0		
DNL	微分非直線性誤差 (注)	VREF=外部1.0V, 単調性保証	VCC=1.6V		±1.5	3.0	LSB
			VCC=3.6V		±0.6	1.5	
		VREF=AVCC, 単調性保証	VCC=1.6V		±1.0	3.5	
			VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V	VCC=1.6V		±4.5		
			VCC=3.6V		±4.5		
	利得誤差	校正後			<4.0		
	利得校正段階量				4.0		
	利得校正変動	VREF=外部1.0V			<0.2		mV/K
	変位(ｵﾌｾｯﾄ)誤差	校正後			<1.0		LSB
	変位(ｵﾌｾｯﾄ)校正段階量				1.0		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の出力電圧範囲に対して有効です。

36.1.8. ｱﾅﾛｸﾞ比較器特性

表36-15. ｱﾅﾛｸﾞ比較器特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
V_{off}	入力変位(ｵﾌｾｯﾄ)電圧				<±10		mV
I_{lk}	入力漏れ電流				<1.0		nA
	入力電圧範囲			-0.1		AVCC	V
	始動時間				100		µs
Vhyst1	ﾋｽﾃﾘｼｽ(なし設定時)				0		
Vhyst2	ﾋｽﾃﾘｼｽ(小設定時)	高速動作(HS)			13		mV
		低電力動作(LP)			30		
Vhyst3	ﾋｽﾃﾘｼｽ(大設定時)	高速動作(HS)			30		
		低電力動作(LP)			60		
t_{delay}	伝播遅延	高速動作(HS)	VCC=3.0V,T=85℃		30	90	ns
					30		
		低電力動作(LP)	VCC=3.0V,T=85℃		130	500	
					130		
	64ﾚﾍﾞﾙ分圧器積分非直線性(INL)				0.3	0.5	LSB

36.1.9. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

表36-16. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		$1clk_{PER}+2.5µs$		µs
		ADCまたはACの入力電圧として		1.5		
	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1.0	1.01	
	電圧と温度での変動	T=85℃,VCC=3.0Vに対する相対		±1.5		%

36.1.10. 低電圧検出(Brownout Detection)特性

表36-17. 低電圧検出特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VCC降下検出ﾚﾍﾞﾙ0		1.60	1.62	1.72	
	VCC降下検出ﾚﾍﾞﾙ1			1.8		
	VCC降下検出ﾚﾍﾞﾙ2			2.0		
	VCC降下検出ﾚﾍﾞﾙ3			2.2		V
	VCC降下検出ﾚﾍﾞﾙ4			2.4		
	VCC降下検出ﾚﾍﾞﾙ5			2.6		
	VCC降下検出ﾚﾍﾞﾙ6			2.8		
	VCC降下検出ﾚﾍﾞﾙ7			3.0		
t_{BOD}	検出時間	継続動作		0.4		µs
		採取動作		1000		
V_{HYST}	ﾋｽﾃﾘｼｽ			1.2		%

36.1.11. 外部ﾘｾｯﾄ特性

表36-18. 外部ﾘｾｯﾄ特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{EXT}	最小ﾘｾｯﾄ ﾊﾟﾙｽ幅			95	1000	ns
V_{RST}	ﾘｾｯﾄ閾値電圧(VIH)	VCC=2.7～3.6V		0.60VCC		
		VCC=1.6～2.7V		0.60VCC		V
	ﾘｾｯﾄ閾値電圧(VIL)	VCC=2.7～3.6V		0.50VCC		
		VCC=1.6～2.7V		0.40VCC		
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			25		kΩ

36.1.12. 電源ONﾘｾｯﾄ特性

表36-19. 電源ONﾘｾｯﾄ(POR)特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{POT-}	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
		1V/msまたはより遅いVCC下降	0.8	1.0		V
V_{POT+}	VCC上昇POR閾値電圧			1.3	1.59	

注: V_{POT-}値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はV_{POT-}=V_{POT+}です。

36.1.13. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの特性

表36-20. 耐久性とﾃﾞｰﾀ保持力

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	ﾌﾗｯｼｭ ﾒﾓﾘ耐久性能	書き込み/消去繰り返し	25℃	10,000			回
			85℃	10,000			
			105℃	2000			
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			
	EEPROM耐久性能	書き込み/消去繰り返し	25℃	100,000			回
			85℃	100,000			
			105℃	30,000			
	EEPROMﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			

© 2011-2020 Microchip Technology Inc.

表36-21. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表(注1)	最大	単位
	ﾁｯﾌﾟ消去時間	16KBﾌﾗｯｼｭとEEPROM(注2)の消去		45		
	応用領域消去時間	領域消去		6		
	フラッシュ メモリ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		ms
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		
	EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		

注1: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは内部2MHz発振器から計時されます。
注2: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMは消去されません。

36.1.14. クロックと発振器の特性

36.1.14.1. 校正付き32.768kHz内部発振器特性

表36-22. 校正付き32.768kHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

36.1.14.2. 校正付き2MHz内部発振器特性

表36-23. 2MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.21		

36.1.14.3. 校正付き32MHz内部発振器特性

表36-24. 32MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

36.1.14.4. 32kHz内部ULP発振器特性

表36-25. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	出力周波数			32		kHz
	精度		-30		30	%

© 2011-2020 Microchip Technology Inc.

36.1.14.5. 内部位相固定化閉路(PLL)特性

表36-26. 内部PLL特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数はf_{OUT}以内	0.4		64	
f_{OUT}	出力周波数 (注)	VCC=1.6～1.8V	20		48	MHz
		VCC=2.7～3.6V	20		128	
	始動時間			25		μs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

36.1.14.6. 外部ｸﾛｯｸ特性

図36-3. 外部ｸﾛｯｸ駆動波形

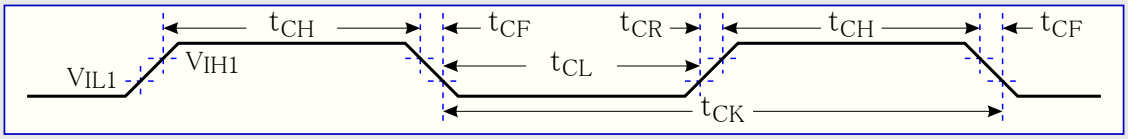


表36-27. 前置分周なしでｼｽﾃﾑ ｸﾛｯｸとして使われる外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
1/t_{CK}	ｸﾛｯｸ周波数 (注)	VCC=1.6～1.8V	0		12	MHz
		VCC=2.7～3.6V	0		32	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	83.3			ns
		VCC=2.7～3.6V	31.5			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

表36-28. ｼｽﾃﾑ ｸﾛｯｸ用に前置分周器(注1)を持つ外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
1/t_{CK}	ｸﾛｯｸ周波数 (注2)	VCC=1.6～1.8V	0		90	MHz
		VCC=2.7～3.6V	0		142	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	11			ns
		VCC=2.7～3.6V	7			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: ｼｽﾃﾑ ｸﾛｯｸ前置分周器はﾃﾞﾊﾞｲｽに対する最大CPUｸﾛｯｸ周波数を超えないように設定されなければなりません。
注2: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

© 2011-2020 Microchip Technology Inc.

36.1.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表36-29. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件		最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0			<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3			<1.0		
		XOSCPWR=1			<1.0		
	長期間微動	XOSCPWR=0,FRQRANGE=0			<6.0		
		XOSCPWR=0,FRQRANGE=1,2,3			<0.5		
		XOSCPWR=1			<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0			<0.1		%
		XOSCPWR=0,FRQRANGE=1			<0.05		
		XOSCPWR=0,FRQRANGE=2,3			<0.005		
		XOSCPWR=1			<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0			40		
		XOSCPWR=0,FRQRANGE=1			42		
		XOSCPWR=0,FRQRANGE=2,3			45		
		XOSCPWR=1			48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF	2.4k			Ω
			1MHzクリスタル,CL=20pF	8.7k			
			2MHzクリスタル,CL=20pF	2.1k			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル	4.2k			
			8MHzクリスタル	250			
			9MHzクリスタル	195			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル	360			
			9MHzクリスタル	285			
			12MHzクリスタル	155			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル	365			
			12MHzクリスタル	200			
			16MHzクリスタル	105			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル	435			
			12MHzクリスタル	235			
			16MHzクリスタル	125			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル	495			
			12MHzクリスタル	270			
			16MHzクリスタル	145			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル	305			
			16MHzクリスタル	160			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル	380			
			16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数				min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量				5.4		pF
CXTAL2	XTAL2ピン寄生容量				7.1		
CLOAD	寄生容量性負荷				3.07		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

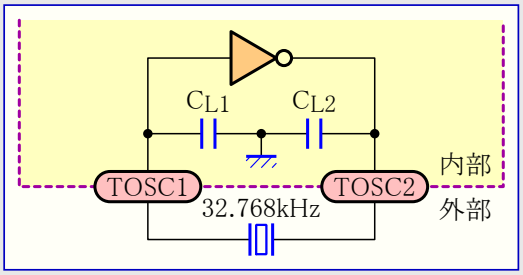
36.1.14.8. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

表36-30. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
ESR/R1	推奨ｸﾘｽﾀﾙ等価直列抵抗(ESR)	ｸﾘｽﾀﾙ負荷容量6.5pF			60	kΩ
		ｸﾘｽﾀﾙ負荷容量9.0pF			35	
C_{TOSC1}	TOSC1ﾋﾟﾝ寄生容量			5.4		pF
		代替TOSC位置		4.0		
C_{TOSC2}	TOSC2ﾋﾟﾝ寄生容量			7.1		
		代替TOSC位置		4.0		
	推奨安全係数	ｸﾘｽﾀﾙ特性に合わせた容量性負荷	3			

注: 定義については図36-4.をご覧ください。

図36-4. TOSC入力容量



TOSCﾋﾟﾝ間の寄生容量は、外部容量なし発振時にｸﾘｽﾀﾙから見えるように直列でC_{L1}+C_{L2}です。

36.1.15. SPIﾀｲﾐﾝｸﾞ特性

図36-5. 主装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

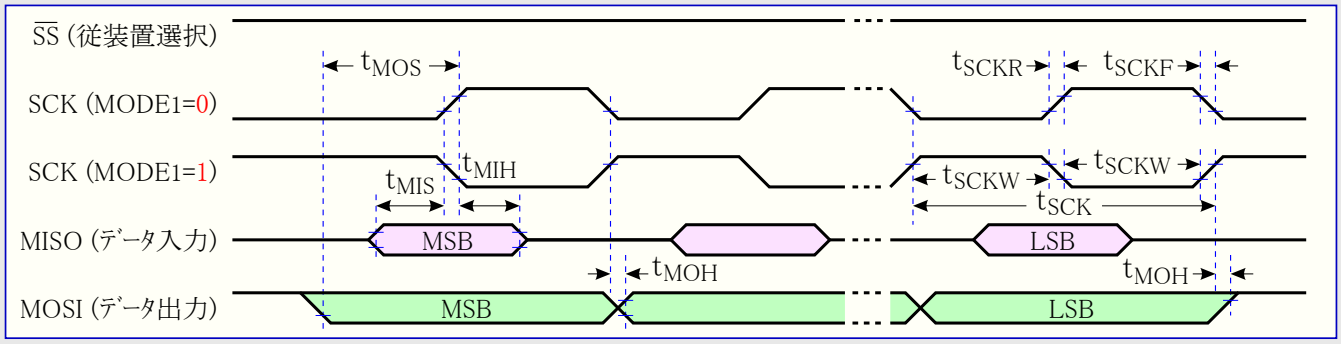


図36-6. 従装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

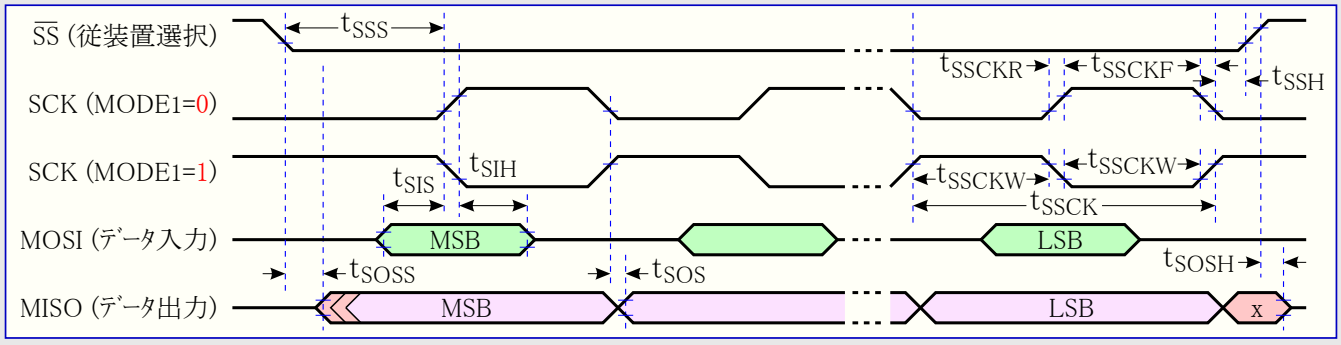


表36-31. SPI ﾀｲﾐﾝｸﾞ特性と必要条件

ｼﾝﾎﾞﾙ	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA AU手引書の表22-3.をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		0.5×SCK		
t_{SCKR}	SCK上昇時間	主装置		2.7		
t_{SCKF}	SCK下降時間	主装置		2.7		
t_{MIS}	入力ﾃﾞｰﾀ 準備時間	主装置		10		
t_{MIH}	入力ﾃﾞｰﾀ 保持時間	主装置		10		
t_{MOS}	SCK先行端対、出力ﾃﾞｰﾀ 準備時間	主装置		0.5×SCK		
t_{MOH}	SCKからの出力遅延時間	主装置		1		
t_{SSCK}	SCK周期	従装置	4×t clk_{PER}			
t_{SSCKW}	SCK High/Low期間	従装置	2×t clk_{PER}			ns
t_{SSCKR}	SCK上昇時間	従装置			1600	
t_{SSCKF}	SCK下降時間	従装置			1600	
t_{SIS}	入力ﾃﾞｰﾀ 準備時間	従装置	3			
t_{SIH}	入力ﾃﾞｰﾀ 保持時間	従装置	t clk_{PER}			
t_{SSS}	SCK先行端に対するSS↓準備時間	従装置	21			
t_{SSH}	SCK後行端からのSS Low保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	SS↓からの出力準備時間	従装置		11		
t_{SOSH}	SS↑からの出力保持時間	従装置		8		

(訳注) 表36-31.のt_{SOH}は図36-6.で対応するｼﾝﾎﾞﾙ記載がありません。

36.1.16. 2線インターフェース特性

表36-32.は2線直列バスに接続した装置に対する必要条件を記述します。Microchip AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図36-7.を参照してください。

図36-7. 2線インターフェース バス タイミング

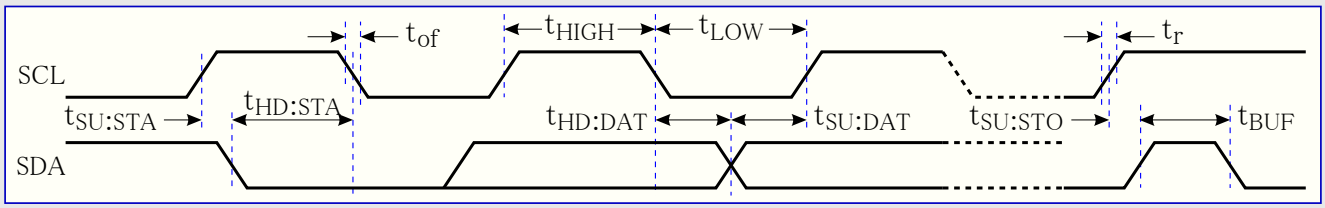


表36-32. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		-0.5		0.3VCC	
V_{hys}	シュミット トリガ 入力ヒステリシス電圧		① 0.05VCC			
V_{OL}	Lowレベル出力電圧	I_{OL}=3mA	0		0.4	
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb②		300	ns
t_{of}	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb②<400pF	① 20+0.1Cb②		250	
t_{SP}	入力濾波による尖頭雑音消去		0		50	
I_i	入力電流(ピン単位)	0.1VCC<V_i<0.9VCC	-10		10	µA
C_i	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	f_{PER}③>max(16f_{SCL},250kHz)	0		400	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{3mA}$		$\frac{100ns}{Cb}$	Ω
		f_{SCL}>100kHz			$\frac{300ns}{Cb}$	
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0			
		f_{SCL}>100kHz	0.6			
$t_{SU:STA}$	再送開始条件準備時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	0.6			
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0		3.45	ns
		f_{SCL}>100kHz	0		0.9	
$t_{SU:DAT}$	データ準備時間	f_{SCL}≦100kHz	250			
		f_{SCL}>100kHz	100			
$t_{SU:STO}$	停止条件準備時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			

① f_{SCL}>100kHzについてのみ必要とされます。
② Cbは1つのバス信号線の容量(pF)です。
③ f_{PER}は周辺機能クロック周波数です。

36.2. ATxmega32A4U

36.2.1. 絶対最大定格

下の表36-33.で一覧にされるそれらを超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

表36-33. 絶対最大定格

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
I_{VCC}	VCCﾋﾟﾝへの電流				200	mA
I_{GND}	GNDﾋﾟﾝの電流出力				200	
V_{PIN}	GNDとVCCに対するﾋﾟﾝ電圧		-0.5		VCC+0.5	V
I_{PIN}	入出力ﾋﾟﾝ吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	℃
Tj	接合部温度				150	

36.2.2. 全般動作定格

ﾃﾞﾊﾞｲｽは保証されて有効であるべきﾃﾞﾊﾞｲｽの他の全ての電気的特性と代表特性のために、表36-34.で一覧にされる定格内で動作しなければなりません。

表36-34. 全般動作条件

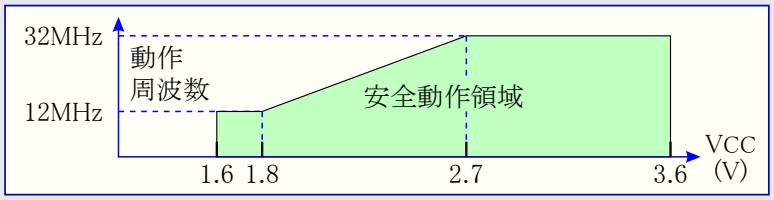
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	ｱﾅﾛｸﾞ供給電圧		1.60		3.6	
TA	保存温度		-40		85	℃
Tj	接合部温度		-40		105	

表36-35. 動作電圧と周波数

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{CPU}	CPUｸﾛｯｸ周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高ｼｽﾃﾑ周波数は動作電圧に依存します。図36-8.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図36-8. 最高周波数 対 VCC



36.2.3. 消費電流

表36-36. 活動動作と休止動作の消費電流

シンボル	項目	条件			最小	代表	最大	単位
	活動動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		40		µA
				VCC=3.0V		80		
		1MHz外部クロック		VCC=1.8V		230		
				VCC=3.0V		480		
		2MHz外部クロック		VCC=1.8V		430	600	
				VCC=3.0V		0.9	1.4	mA
		32MHz外部クロック		VCC=3.0V		9.6	12	
	アイドル動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		2.4		µA
				VCC=3.0V		3.9		
		1MHz外部クロック		VCC=1.8V		62		
				VCC=3.0V		118		
		2MHz外部クロック		VCC=1.8V		125	225	
				VCC=3.0V		240	350	
ICC		32MHz外部クロック		VCC=3.0V		3.8	5.5	mA
	パワーダウン動作消費電流	T=25℃		VCC=3.0V		0.1	1.0	µA
		T=85℃				1.2	4.5	
		T=105℃				3.5	6.0	
		採取動作BODとWDTを許可	T=25℃			1.3	3.0	
			T=85℃			2.4	6.0	
			T=105℃			4.5	8.0	
	パワーセーブ動作消費電流 (注2)	ULPクロックでのRTC、採取動作BODとWDTを許可、T=25℃		VCC=1.8V		1.2		
				VCC=3.0V		1.3		
		低電力32.768kHz TOSCの1.024kHzでのRTC、T=25℃		VCC=1.8V		0.6	2.0	
				VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからのRTC、T=25℃		VCC=1.8V		0.8	3.0	
				VCC=3.0V		1.0	3.0	
	リセット消費電流	基台の$\overline{\text{RESET}}$ピンを通る電流		VCC=3.0V		320		

注1: 全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表36-37. 単位部と周辺機能に関する消費電流

ｼﾝﾎﾞﾙ	項目	条件 (注1)			最小	代表	最大	単位
ICC	超低電力(ULP)発振器					1.0		µA
	32.768kHz内部発振器					27		
	2MHz内部発振器					85		
		基準として32.768kHz内部発振器でDFLL許可				115		
	32MHz内部発振器					270		
		基準として32.768kHz内部発振器でDFLL許可				460		
	PLL	逓倍率=20倍,32MHz内部,基準としてDIV4				220		
	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ					1.0		
	低電圧検出器(BOD)	継続動作				138		
		採取動作,ULP発振器を含む				1.2		
	1.00V内部基準電圧					100		
	温度感知器					95		
	A/D変換器(ADC)	250k採取/秒, VREF=外部基準				3.0		mA
			電流制限(CURRLIMIT)=低			2.6		
			電流制限(CURRLIMIT)=中			2.1		
			電流制限(CURRLIMIT)=高			1.6		
	D/A変換器(DAC)	250k採取/秒,VREF=外部基準, 無負荷		標準動作		1.9		µA
				低電力動作		1.1		
	ｱﾅﾛｸﾞ比較器(AC)	高速動作				330		
		低電力動作				130		
	DMA	I/OﾚｼﾞｽﾀとSRAM間、615Kﾊﾞｲﾄ/s				108		
	ﾀｲﾏ/ｶｳﾝﾀ					16		
	USART	9600bps,送受信許可				2.5		
	ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ					4.0	8.0	mA

注1: 全て項目は周辺機能/単位部の許可/禁止間の消費電力差としての測定です。他の条件が与えられない限り、全てはVCC=3.0V、前置分周なしでのclk$_{SYS}$=外部1MHzｸﾛｯｸ、T=25℃でのﾃﾞｰﾀです。

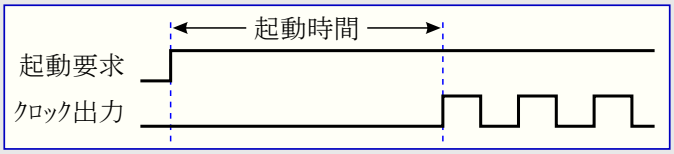
36.2.4. 休止形態からの起動時間

表36-38. 様々なｼｽﾃﾑｸﾛｯｸ元での休止形態からのﾃﾞﾊﾞｲｽ起動時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{wakeup}	ｱｲﾄﾞﾙ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲからの起動時間	外部2MHzｸﾛｯｸ		2.0		µs
		32.768KHz内部発振器		120		
		2MHz内部発振器		2.0		
		32MHz内部発振器		0.2		
	ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝからの起動時間	外部2MHzｸﾛｯｸ		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからﾋﾟﾝで周辺機能ｸﾛｯｸが利用可能になるまでで、図36-9.をご覧ください。全ての周辺機能と単位部はﾌﾟﾛｸﾞﾗﾑ実行開始に先立って4ｸﾛｯｸ周期間停止されるCPUを除き、最初のｸﾛｯｸ周期から実行を開始します。

図36-9. 起動時間定義



36.2.5. 入出力ﾋﾟﾝ特性

入出力ﾋﾟﾝはJEDEC LVTTLとLVCSMOS仕様に従い、Hﾚﾍﾞﾙ とLﾚﾍﾞﾙの入力と出力の電圧限度はこの仕様を反映または超えます。

表36-39. 入出力ﾋﾟﾝ特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
I_{OH} (注1) I_{OL} (注2)	I/Oﾋﾟﾝ吐き出し/吸い込み電流			-20		20	mA
		VCC=2.7～3.6V		2.0		VCC+0.3	
V_{IH}	Highﾚﾍﾞﾙ入力電圧	VCC=2.0～2.7V		0.7VCC		VCC+0.3	
		VCC=1.6～2.0V		0.8VCC		VCC+0.3	
		VCC=3.0～3.6V		-0.3		0.8	
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	VCC=2.3～2.7V		-0.3		0.3VCC	
		VCC=1.6～2.3V		-0.3		0.2VCC	
		VCC=3.0～3.6V	I_{OH}=-2mA	2.4	0.94VCC		
		VCC=2.3～2.7V	I_{OH}=-1mA	2.0	0.96VCC		
V_{OH}	Highﾚﾍﾞﾙ出力電圧		I_{OH}=-2mA	1.7	0.92VCC		V
		VCC=3.3V	I_{OH}=-8mA	2.6	2.8		
		VCC=3.0V	I_{OH}=-6mA	2.1	2.6		
		VCC=1.8V	I_{OH}=-2mA	1.4	1.6		
		VCC=3.0～3.6V	I_{OL}=2mA		0.05VCC	0.4	
		VCC=2.3～2.7V	I_{OL}=1mA		0.03VCC	0.4	
V_{OL}	Lowﾚﾍﾞﾙ出力電圧		I_{OL}=2mA		0.06VCC	0.7	
		VCC=3.3V	I_{OL}=15mA		0.4	0.76	
		VCC=3.0V	I_{OL}=10mA		0.3	0.64	
		VCC=1.8V	I_{OL}=5mA		0.2	0.46	
I_{IN}	I/Oﾋﾟﾝ入力漏れ電流	T=25℃			<0.01	0.1	µA
R_P	I/Oﾋﾟﾝ ﾌﾟﾙ/ﾊﾞｽ保持 抵抗				24		kΩ
t_r	上昇時間	無負荷			4.0		ns
			ｽﾘｭｰﾚｰﾄ制限		7.0		

注1: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOHの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOLの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

36.2.6. A/D変換器特性

表36-40. 電源、基準電圧と入力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
C_{AREF}	基準電圧入力容量	静止負荷		7.0		pF
	入力範囲		-0.1		AVCC+0.1	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
		符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作、Vinp	-⊿V		VREF-⊿V	
⊿V	固定変位(ｵﾌｾｯﾄ)電圧			190		LSB

© 2011-2020 Microchip Technology Inc.

表36-41. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{ADC}	A/D変換ｸﾛｯｸ周波数	最大は周辺機能ｸﾛｯｸ周波数の1/4	100		2000	kHz
		内部信号測定	100		125	
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	100		2000	ksps
		電流制限(CURRLIMIT)=低(LOW)	100		1500	
		電流制限(CURRLIMIT)=中(MEDIUM)	100		1000	
		電流制限(CURRLIMIT)=高(HIGH)	100		500	
	採取時間	1/2clk_{ADC}周期	0.25		5	µs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN･･･計算式 (RES=8または12,GAIN=0以外)	5		8	clk_{ADC} 周期
	始動時間	A/D変換ｸﾛｯｸ周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	
		ADC破棄後		1	1	

表36-42. 精度特性

ｼﾝﾎﾞﾙ	項目	条件 (注2)		最小	代表	最大	単位
RES	分解能	8または12ﾋﾞｯﾄ設定可能		8	12	12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注1)	500ksps	VCC-1.0V<VREF<VCC-0.6V		±1.2	±2.0	LSB
			全VREF		±1.5	±3.0	
		2Msps	VCC-1.0V<VREF<VCC-0.6V		±1.0	±2.0	
			全VREF		±1.5	±3.0	
DNL	微分非直線性誤差 (注1)	単調性保証			<±0.8	<±1.0	
	変位(ｵﾌｾｯﾄ)誤差				-1.0		mV
		温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
	利得誤差	差動動作	外部基準電圧		-1.0		mV
			AVCC/1.6		10		
			AVCC/2.0		8.0		
			ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ		±5.0		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音	差動動作,短絡入力,2Msps, VCC=3.6V,clk_{PER}=16MHz			0.4		mV (RMS)

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の入力範囲に対して有効です。
注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表36-43. 利得段特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		pF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度			1.0		clk_{ADC} 周期
	採取速度	ADCと同じ		100		1000	kHz
INL	積分非直線性誤差 (注)	500ksps,全利得設定			±1.5	±4	LSB
	利得誤差	1倍、標準動作			-0.8		%
		8倍、標準動作			-2.5		
		64倍、標準動作			-3.5		
	(入力基準での)変位(ｵﾌｾｯﾄ)誤差	1倍、標準動作			-2.0		mV
		8倍、標準動作			-5.0		
		64倍、標準動作			-4.0		
	雑音	1倍、標準動作	VCC=3.6V, 外部VREF		0.5		mV (RMS)
		8倍、標準動作			1.5		
		64倍、標準動作			11		

注: 最大値は特性付けに基づき、製造で検査されず、5～95%の入力電圧範囲に対して有効です。

36.2.7. D/A変換器特性

表36-44. 電源、基準電圧と出力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
AVREF	外部基準電圧		1.0		VCC-0.6	
Rchannel	DC出力ｲﾝﾋﾟｰﾀﾞﾝｽ				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
RAREF	基準電圧入力抵抗			>10		MΩ
CAREF	基準電圧入力容量			7.0		pF
	最小抵抗性負荷		1.0			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	仕様内での動作			AVCC/1000	mA
		安全動作			10	

表36-45. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Fclk	変換速度	Cload=100pF, 最大段階量	標準動作	0		1000	ksps
			低電力動作			500	

© 2011-2020 Microchip Technology Inc.

表36-46. 精度特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
RES	入力分解能					12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注)	VREF=外部1.0V	VCC=1.6V		±2.0	±3.0	
			VCC=3.6V		±1.5	±2.5	
		VREF=AVCC	VCC=1.6V		±2.0	±4.0	
			VCC=3.6V		±1.5	±4.0	
		VREF=内部1.0V	VCC=1.6V		±5.0		
			VCC=3.6V		±5.0		
DNL	微分非直線性誤差 (注)	VREF=外部1.0V, 単調性保証	VCC=1.6V		±1.5	3.0	LSB
			VCC=3.6V		±0.6	1.5	
		VREF=AVCC, 単調性保証	VCC=1.6V		±1.0	3.5	
			VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V	VCC=1.6V		±4.5		
			VCC=3.6V		±4.5		
	利得誤差	校正後			<4.0		
	利得校正段階量				4.0		
	利得校正変動	VREF=外部1.0V			<0.2		mV/K
	変位(ｵﾌｾｯﾄ)誤差	校正後			<1.0		LSB
	変位(ｵﾌｾｯﾄ)校正段階量				1.0		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の出力電圧範囲に対して有効です。

36.2.8. ｱﾅﾛｸﾞ比較器特性

表36-47. ｱﾅﾛｸﾞ比較器特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Voff	入力変位(ｵﾌｾｯﾄ)電圧				<±10		mV
Ilk	入力漏れ電流				<1.0		nA
	入力電圧範囲			-0.1		AVCC	V
	始動時間				100		µs
Vhyst1	ﾋｽﾃﾘｼｽ(なし設定時)				0		
Vhyst2	ﾋｽﾃﾘｼｽ(小設定時)	高速動作(HS)			13		mV
		低電力動作(LP)			30		
Vhyst3	ﾋｽﾃﾘｼｽ(大設定時)	高速動作(HS)			30		
		低電力動作(LP)			60		
tdelay	伝播遅延	高速動作(HS)	VCC=3.0V,T=85℃		30	90	ns
					30		
		低電力動作(LP)	VCC=3.0V,T=85℃		130	500	
					130		
	64ﾚﾍﾞﾙ分圧器積分非直線性(INL)				0.3	0.5	LSB

36.2.9. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

表36-48. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		$1clk_{PER}+2.5µs$		µs
		ADCまたはACの入力電圧として		1.5		
	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1.0	1.01	
	電圧と温度での変動	T=85℃,VCC=3.0Vに対する相対		±1.5		%

36.2.10. 低電圧検出(Brownout Detection)特性

表36-49. 低電圧検出特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VCC降下検出ﾚﾍﾞﾙ0		1.60	1.62	1.72	
	VCC降下検出ﾚﾍﾞﾙ1			1.8		
	VCC降下検出ﾚﾍﾞﾙ2			2.0		
	VCC降下検出ﾚﾍﾞﾙ3			2.2		V
	VCC降下検出ﾚﾍﾞﾙ4			2.4		
	VCC降下検出ﾚﾍﾞﾙ5			2.6		
	VCC降下検出ﾚﾍﾞﾙ6			2.8		
	VCC降下検出ﾚﾍﾞﾙ7			3.0		
t_{BOD}	検出時間	継続動作		0.4		µs
		採取動作		1000		
V_{HYST}	ﾋｽﾃﾘｼｽ			1.2		%

36.2.11. 外部ﾘｾｯﾄ特性

表36-50. 外部ﾘｾｯﾄ特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{EXT}	最小ﾘｾｯﾄ ﾊﾟﾙｽ幅			95	1000	ns
V_{RST}	ﾘｾｯﾄ閾値電圧(VIH)	VCC=2.7～3.6V		0.60VCC		
		VCC=1.6～2.7V		0.60VCC		V
	ﾘｾｯﾄ閾値電圧(VIL)	VCC=2.7～3.6V		0.50VCC		
		VCC=1.6～2.7V		0.40VCC		
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			25		kΩ

36.2.12. 電源ONﾘｾｯﾄ特性

表36-51. 電源ONﾘｾｯﾄ(POR)特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{POT-}	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
		1V/msまたはより遅いVCC下降	0.8	1.0		V
V_{POT+}	VCC上昇POR閾値電圧			1.3	1.59	

注: V_{POT-}値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はV_{POT-}=V_{POT+}です。

36.2.13. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの特性

表36-52. 耐久性とﾃﾞｰﾀ保持力

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	ﾌﾗｯｼｭ ﾒﾓﾘ耐久性能	書き込み/消去繰り返し	25℃	10,000			回
			85℃	10,000			
			105℃	2000			
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			
	EEPROM耐久性能	書き込み/消去繰り返し	25℃	100,000			回
			85℃	100,000			
			105℃	30,000			
	EEPROMﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			

© 2011-2020 Microchip Technology Inc.

表36-53. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表(注1)	最大	単位
	ﾁｯﾌﾟ消去時間	32KBﾌﾗｯｼｭとEEPROM(注2)の消去		50		
	応用領域消去時間	領域消去		6		
	フラッシュ メモリ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		ms
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		
	EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		

注1: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは内部2MHz発振器から計時されます。
注2: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMは消去されません。

36.2.14. クロックと発振器の特性

36.2.14.1. 校正付き32.768kHz内部発振器特性

表36-54. 校正付き32.768kHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

36.2.14.2. 校正付き2MHz内部発振器特性

表36-55. 2MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.21		

36.2.14.3. 校正付き32MHz内部発振器特性

表36-56. 32MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

36.2.14.4. 32kHz内部ULP発振器特性

表36-57. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	出力周波数			32		kHz
	精度		-30		30	%

© 2011-2020 Microchip Technology Inc.

36.2.14.5. 内部位相固定化閉路(PLL)特性

表36-58. 内部PLL特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数はf_{OUT}以内	0.4		64	
f_{OUT}	出力周波数 (注)	VCC=1.6～1.8V	20		48	MHz
		VCC=2.7～3.6V	20		128	
	始動時間			25		μs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

36.2.14.6. 外部ｸﾛｯｸ特性

図36-10. 外部ｸﾛｯｸ駆動波形

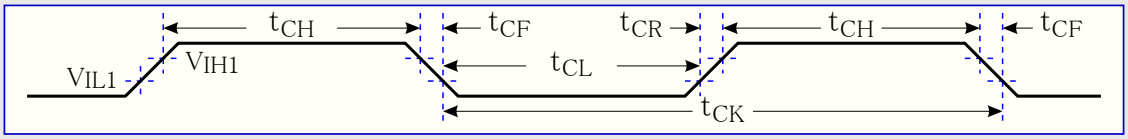


表36-59. 前置分周なしでｼｽﾃﾑ ｸﾛｯｸとして使われる外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	ｸﾛｯｸ周波数 (注)	VCC=1.6～1.8V	0		12	MHz
		VCC=2.7～3.6V	0		32	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	83.3			
		VCC=2.7～3.6V	31.5			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	30.0			ns
		VCC=2.7～3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

表36-60. ｼｽﾃﾑ ｸﾛｯｸ用に前置分周器(注1)を持つ外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	ｸﾛｯｸ周波数 (注2)	VCC=1.6～1.8V	0		90	MHz
		VCC=2.7～3.6V	0		142	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	11			
		VCC=2.7～3.6V	7			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	4.5			ns
		VCC=2.7～3.6V	2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: ｼｽﾃﾑ ｸﾛｯｸ前置分周器はﾃﾞﾊﾞｲｽに対する最大CPUｸﾛｯｸ周波数を超えないように設定されなければなりません。
注2: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

36.2.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表36-61. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件		最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0			<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3			<1.0		
		XOSCPWR=1			<1.0		
	長期間微動	XOSCPWR=0,FRQRANGE=0			<6.0		
		XOSCPWR=0,FRQRANGE=1,2,3			<0.5		
		XOSCPWR=1			<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0			<0.1		%
		XOSCPWR=0,FRQRANGE=1			<0.05		
		XOSCPWR=0,FRQRANGE=2,3			<0.005		
		XOSCPWR=1			<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0			40		
		XOSCPWR=0,FRQRANGE=1			42		
		XOSCPWR=0,FRQRANGE=2,3			45		
		XOSCPWR=1			48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF	2.4k			Ω
			1MHzクリスタル,CL=20pF	8.7k			
			2MHzクリスタル,CL=20pF	2.1k			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル	4.2k			
			8MHzクリスタル	250			
			9MHzクリスタル	195			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル	360			
			9MHzクリスタル	285			
			12MHzクリスタル	155			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル	365			
			12MHzクリスタル	200			
			16MHzクリスタル	105			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル	435			
			12MHzクリスタル	235			
			16MHzクリスタル	125			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル	495			
			12MHzクリスタル	270			
			16MHzクリスタル	145			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル	305			
			16MHzクリスタル	160			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル	380			
			16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数				min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量				5.4		pF
CXTAL2	XTAL2ピン寄生容量				7.1		
CLOAD	寄生容量性負荷				3.07		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

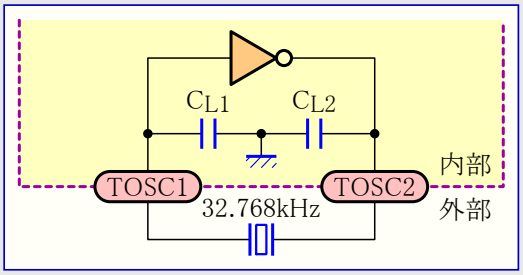
36.2.14.8. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

表36-62. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
ESR/R1	推奨ｸﾘｽﾀﾙ等価直列抵抗(ESR)	ｸﾘｽﾀﾙ負荷容量6.5pF			60	kΩ
		ｸﾘｽﾀﾙ負荷容量9.0pF			35	
C_{TOSC1}	TOSC1ﾋﾟﾝ寄生容量			5.4		pF
		代替TOSC位置		4.0		
C_{TOSC2}	TOSC2ﾋﾟﾝ寄生容量			7.1		
		代替TOSC位置		4.0		
	推奨安全係数	ｸﾘｽﾀﾙ特性に合わせた容量性負荷	3.0			

注: 定義については図36-11.をご覧ください。

図36-11. TOSC入力容量



TOSCﾋﾟﾝ間の寄生容量は、外部容量なし発振時にｸﾘｽﾀﾙから見えるように直列でC_{L1}+C_{L2}です。

© 2011-2020 Microchip Technology Inc.

36.2.15. SPIﾀｲﾐﾝｸﾞ特性

図36-12. 主装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

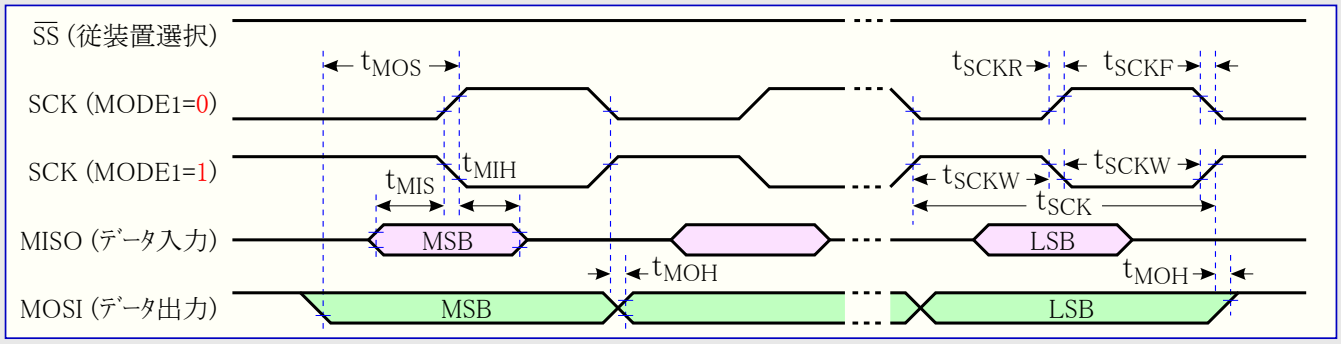


図36-13. 従装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

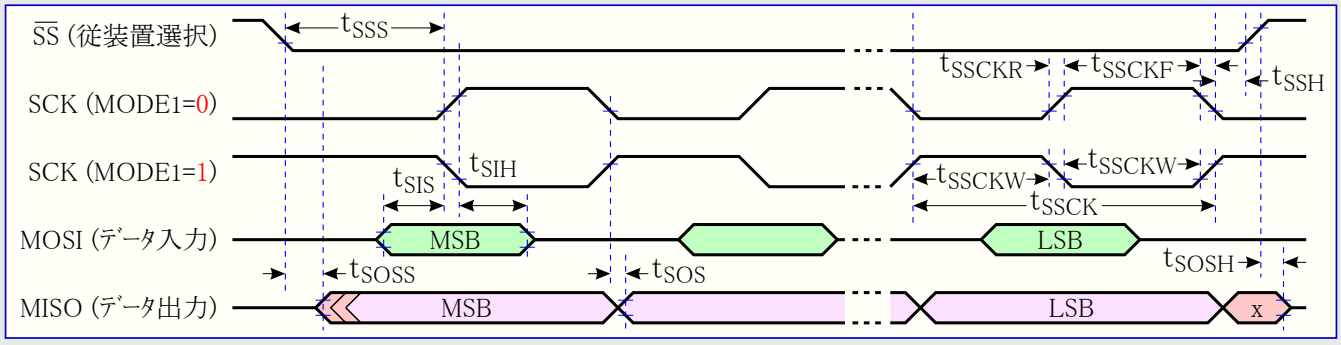


表36-63. SPI ﾀｲﾐﾝｸﾞ特性と必要条件

ｼﾝﾎﾞﾙ	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA AU手引書の表22-3.をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		0.5×SCK		
t_{SCKR}	SCK上昇時間	主装置		2.7		
t_{SCKF}	SCK下降時間	主装置		2.7		
t_{MIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		10		
t_{MIH}	入力ﾃﾞｰﾀ 保持時間	主装置		10		
t_{MOS}	SCK先行端対、出力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		0.5×SCK		
t_{MOH}	SCKからの出力遅延時間	主装置		1.0		
t_{SSCK}	SCK周期	従装置	4×t clk_{PER}			
t_{SSCKW}	SCK High/Low期間	従装置	2×t clk_{PER}			ns
t_{SSCKR}	SCK上昇時間	従装置			1600	
t_{SSCKF}	SCK下降時間	従装置			1600	
t_{SIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	従装置	3.0			
t_{SIH}	入力ﾃﾞｰﾀ 保持時間	従装置	t clk_{PER}			
t_{SSS}	SCK先行端に対するSS↓ｾｯﾄｱｯﾌﾟ時間	従装置	21			
t_{SSH}	SCK後行端からのSS Low保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8.0		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	SS↓からの出力ｾｯﾄｱｯﾌﾟ時間	従装置		11		
t_{SOSH}	SS↑からの出力保持時間	従装置		8.0		

(訳注) 表36-63.のt_{SOH}は図36-13.で対応するｼﾝﾎﾞﾙ記載がありません。

36.2.16. 2線インターフェース特性

表36-64.は2線直列バスに接続した装置に対する必要条件を記述します。Microchip AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図36-14.を参照してください。

図36-14. 2線インターフェース バス タイミング

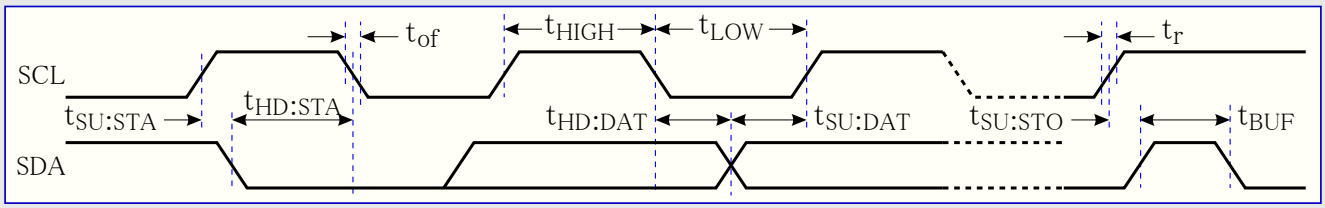


表36-64. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		-0.5		0.3VCC	
V_{hys}	シュミット トリガ 入力ヒステリシス電圧		① 0.05VCC			
V_{OL}	Lowレベル出力電圧	I_{OL}=3mA	0		0.4	
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb②		300	ns
t_{of}	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb②<400pF	① 20+0.1Cb②		250	
t_{SP}	入力濾波による尖頭雑音消去		0		50	
I_i	入力電流(ピン単位)	0.1VCC<V_i<0.9VCC	-10		10	µA
C_i	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	f_{PER}③>max(16f_{SCL},250kHz)	0		400	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{3mA}$		$\frac{100ns}{Cb}$	Ω
		f_{SCL}>100kHz			$\frac{300ns}{Cb}$	
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0			
		f_{SCL}>100kHz	0.6			
$t_{SU:STA}$	再送開始条件セットアップ時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	0.6			
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0		3.5	ns
		f_{SCL}>100kHz	0		0.9	
$t_{SU:DAT}$	データ セットアップ時間	f_{SCL}≦100kHz	250			
		f_{SCL}>100kHz	100			
$t_{SU:STO}$	停止条件セットアップ時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			

① f_{SCL}>100kHzについてのみ必要とされます。
② Cbは1つのバス信号線の容量(pF)です。
③ f_{PER}は周辺機能クロック周波数です。

36.3. ATxmega64A4U

36.3.1. 絶対最大定格

下の表36-65.で一覧にされるそれらを超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

表36-65. 絶対最大定格

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4.0	V
I_{VCC}	VCCﾋﾟﾝへの電流				200	mA
I_{GND}	GNDﾋﾟﾝの電流出力				200	
V_{PIN}	GNDとVCCに対するﾋﾟﾝ電圧		-0.5		VCC+0.5	V
I_{PIN}	入出力ﾋﾟﾝ吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	℃
Tj	接合部温度				150	

36.3.2. 全般動作定格

ﾃﾞﾊﾞｲｽは保証されて有効であるべきﾃﾞﾊﾞｲｽの他の全ての電気的特性と代表特性のために、表36-66.で一覧にされる定格内で動作しなければなりません。

表36-66. 全般動作条件

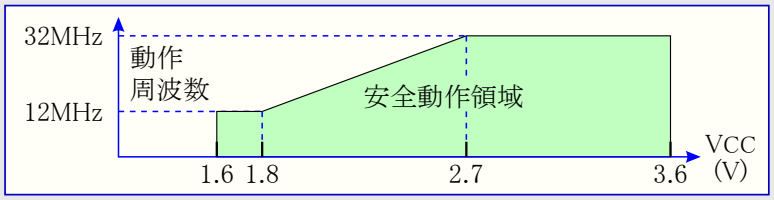
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	ｱﾅﾛｸﾞ供給電圧		1.60		3.6	
TA	保存温度		-40		85	℃
Tj	接合部温度		-40		105	

表36-67. 動作電圧と周波数

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{CPU}	CPUｸﾛｯｸ周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高ｼｽﾃﾑ周波数は動作電圧に依存します。図36-15.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図36-15. 最高周波数 対 VCC



36.3.3. 消費電流

表36-68. 活動動作と休止動作の消費電流

シンボル	項目	条件			最小	代表	最大	単位
	活動動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		52		µA
				VCC=3.0V		132		
		1MHz外部クロック		VCC=1.8V		223		
				VCC=3.0V		476		
		2MHz外部クロック		VCC=1.8V		400	600	
				VCC=3.0V		0.8	1.4	mA
		32MHz外部クロック		VCC=3.0V		8.2	12	
	アイドル動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		2.4		µA
				VCC=3.0V		3.5		
		1MHz外部クロック		VCC=1.8V		57		
				VCC=3.0V		110		
		2MHz外部クロック		VCC=1.8V		115	225	
				VCC=3.0V		216	350	
ICC		32MHz外部クロック		VCC=3.0V		3.5	5.5	mA
	パワーダウン動作消費電流	T=25℃		VCC=3.0V		0.1	1.0	µA
		T=85℃				1.2	4.5	
		T=105℃				2.4	6.0	
		採取動作BODとWDTを許可	T=25℃			1.4	3.0	
			T=85℃			2.4	6.0	
			T=105℃			3.5	8.0	
	パワーセーブ動作消費電流 (注2)	ULPクロックでのRTC、採取動作BODとWDTを許可、T=25℃		VCC=1.8V		1.2		
				VCC=3.0V		1.5		
		低電力32.768kHz TOSCの1.024kHzでのRTC、T=25℃		VCC=1.8V		0.6	2.0	
				VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからのRTC、T=25℃		VCC=1.8V		0.8	3.0	
				VCC=3.0V		1.0	3.0	
	リセット消費電流	基台の$\overline{\text{RESET}}$ピンを通る電流		VCC=3.0V		140		

注1: 全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表36-69. 単位部と周辺機能に関する消費電流

シンボル	項目	条件 (注1)			最小	代表	最大	単位
ICC	超低電力(ULP)発振器					1.0		µA
	32.768kHz内部発振器					29		
	2MHz内部発振器					85		
		基準として32.768kHz内部発振器でDFLL許可				120		
	32MHz内部発振器					300		
		基準として32.768kHz内部発振器でDFLL許可				465		
	PLL	逓倍率=20倍,32MHz内部,基準としてDIV4				320		
	ｳｫｯﾁﾄﾞｯｸﾞﾀｲﾏ					1.0		
	低電圧検出器(BOD)	継続動作				138		
		採取動作,ULP発振器を含む				1.0		
	1.00V内部基準電圧					103		
	温度感知器					100		
	A/D変換器(ADC)	250k採取/秒, VREF=外部基準				3.0		mA
			電流制限(CURRLIMIT)=低			2.6		
			電流制限(CURRLIMIT)=中			2.1		
			電流制限(CURRLIMIT)=高			1.6		
	D/A変換器(DAC)	250k採取/秒,VREF=外部基準, 無負荷		標準動作		1.9		
				低電力動作		1.1		
	ｱﾅﾛｸﾞ比較器(AC)	高速動作				330		µA
		低電力動作				130		
	DMA	I/OﾚｼﾞｽﾀとSRAM間、615Kﾊﾞｲﾄ/s				108		
	ﾀｲﾏ/ｶｳﾝﾀ					16		
	USART	9600bps,送受信許可				2.5		
	ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ					8.0		mA

注1: 全て項目は周辺機能/単位部の許可/禁止間の消費電力差としての測定です。他の条件が与えられない限り、全てはVCC=3.0V、前置分周なしでのclk$_{SYS}$=外部1MHzｸﾛｯｸ、T=25℃でのﾃﾞｰﾀです。

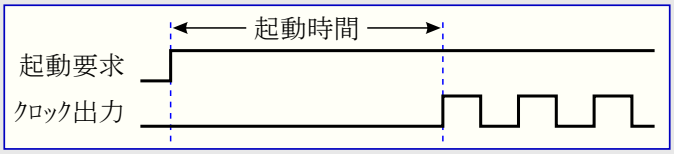
36.3.4. 休止形態からの起動時間

表36-70. 様々なｼｽﾃﾑｸﾛｯｸ元での休止形態からのﾃﾞﾊﾞｲｽ起動時間

シンボル	項目	条件	最小	代表	最大	単位
t_{wakeup}	ｱｲﾄﾞﾙ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲからの起動時間	外部2MHzｸﾛｯｸ		2.0		µs
		32.768KHz内部発振器		120		
		2MHz内部発振器		2.0		
		32MHz内部発振器		0.2		
	ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝからの起動時間	外部2MHzｸﾛｯｸ		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9.0		
		32MHz内部発振器		4.0		

注: 起動時間は起動要求が与えられてからﾋﾟﾝで周辺機能ｸﾛｯｸが利用可能になるまでで、図36-16.をご覧ください。全ての周辺機能と単位部はﾌﾟﾛｸﾞﾗﾑ実行開始に先立って4ｸﾛｯｸ周期間停止されるCPUを除き、最初のｸﾛｯｸ周期から実行を開始します。

図36-16. 起動時間定義



36.3.5. 入出力ﾋﾟﾝ特性

入出力ﾋﾟﾝはJEDEC LVTTLとLVCSMOS仕様に従い、Hﾚﾍﾞﾙ とLﾚﾍﾞﾙの入力と出力の電圧限度はこの仕様を反映または超えます。

表36-71. 入出力ﾋﾟﾝ特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
I_{OH} (注1) I_{OL} (注2)	I/Oﾋﾟﾝ吐き出し/吸い込み電流			-20		20	mA
V_{IH}	Highﾚﾍﾞﾙ入力電圧	VCC=2.7～3.6V		2.0		VCC+0.3	
		VCC=2.0～2.7V		0.7VCC		VCC+0.3	
		VCC=1.6～2.0V		0.8VCC		VCC+0.3	
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	VCC=3.0～3.6V		-0.3		0.8	
		VCC=2.3～2.7V		-0.3		0.3VCC	
		VCC=1.6～2.3V		-0.3		0.2VCC	
V_{OH}	Highﾚﾍﾞﾙ出力電圧	VCC=3.0～3.6V	I_{OH}=-2mA	2.4	0.94VCC		V
		VCC=2.3～2.7V	I_{OH}=-1mA	2.0	0.96VCC		
			I_{OH}=-2mA	1.7	0.92VCC		
		VCC=3.3V	I_{OH}=-8mA	2.6	2.9		
		VCC=3.0V	I_{OH}=-6mA	2.1	2.6		
		VCC=1.8V	I_{OH}=-2mA	1.4	1.6		
V_{OL}	Lowﾚﾍﾞﾙ出力電圧	VCC=3.0～3.6V	I_{OL}=2mA		0.02VCC	0.4	
		VCC=2.3～2.7V	I_{OL}=1mA		0.01VCC	0.4	
			I_{OL}=2mA		0.02VCC	0.7	
		VCC=3.3V	I_{OL}=15mA		0.4	0.76	
		VCC=3.0V	I_{OL}=10mA		0.3	0.64	
		VCC=1.8V	I_{OL}=5mA		0.2	0.46	
I_{IN}	I/Oﾋﾟﾝ入力漏れ電流	T=25℃			<0.01	0.1	µA
		XOSCとTOSCﾋﾟﾝ			<0.02	1.1	
R_P	I/Oﾋﾟﾝ ﾌﾟﾙ/ﾊﾞｽ保持 抵抗				24		kΩ
t_r	上昇時間	無負荷			4.0		ns
			ｽﾘｭｰﾚｰﾄ制限		7.0		

注1: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOHの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOLの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

36.3.6. A/D変換器特性

表36-72. 電源、基準電圧と入力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
C_{AREF}	基準電圧入力容量	静止負荷		7.0		pF
Vin	入力範囲		-0.1		AVCC+0.1	V
	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	
		符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作、Vinp	-⊿V		VREF-⊿V	
⊿V	固定変位(ｵﾌｾｯﾄ)電圧			190		LSB

© 2011-2020 Microchip Technology Inc.

表36-73. クロックとタイミング

シンボル	項目	条件	最小	代表	最大	単位
clk_{ADC}	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		2000	kHz
		内部信号測定	100		125	
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	100		2000	ksps
		電流制限(CURRLIMIT)=低(LOW)	100		1500	
		電流制限(CURRLIMIT)=中(MEDIUM)	100		1000	
		電流制限(CURRLIMIT)=高(HIGH)	100		500	
	採取時間	1/2clk_{ADC}周期	0.25		5	µs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN・・・計算式 (RES=8または12,GAIN=0以外)	5		8	clk_{ADC} 周期
	始動時間	A/D変換クロック周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	
		ADC破棄後		1	1	

表36-74. 精度特性

シンボル	項目	条件 (注2)		最小	代表	最大	単位
RES	分解能	8または12ビット設定可能		8	12	12	ビット
INL	積分非直線性誤差 (注1)	500ksps	VCC-1.0V<VREF<VCC-0.6V		±1.2	±2.0	LSB
			全VREF		±1.5	±3.0	
		2Msps	VCC-1.0V<VREF<VCC-0.6V		±1.0	±2.0	
			全VREF		±1.5	±3.0	
DNL	微分非直線性誤差 (注1)	単調性保証			<±0.8	<±1.0	
	変位(オフセット)誤差				-1.0		mV
		温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
	利得誤差	差動動作	外部基準電圧		-1.0		mV
			AVCC/1.6		10		
			AVCC/2.0		8.0		
			バンドギャップ		±5.0		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音	差動動作,短絡入力,2Msps, VCC=3.6V,clk_{PER}=16MHz			0.4		mV (RMS)

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の入力範囲に対して有効です。
注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表36-75. 利得段特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		pF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度			1.0		clk_{ADC} 周期
	採取速度	ADCと同じ		100		1000	kHz
INL	積分非直線性誤差 (注)	500ksps,全利得設定			±1.5	±4	LSB
	利得誤差	1倍、標準動作			-0.8		%
		8倍、標準動作			-2.5		
		64倍、標準動作			-3.5		
	(入力基準での)変位(ｵﾌｾｯﾄ)誤差	1倍、標準動作			-2.0		mV
		8倍、標準動作			-5.0		
		64倍、標準動作			-4.0		
	雑音	1倍、標準動作	VCC=3.6V, 外部VREF		0.5		mV (RMS)
		8倍、標準動作			1.5		
		64倍、標準動作			11		

注: 最大値は特性付けに基づき、製造で検査されず、5～95%の入力電圧範囲に対して有効です。

36.3.7. D/A変換器特性

表36-76. 電源、基準電圧と出力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
AVREF	外部基準電圧		1.0		VCC-0.6	
Rchannel	DC出力ｲﾝﾋﾟｰﾀﾞﾝｽ				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
RAREF	基準電圧入力抵抗			>10		MΩ
CAREF	基準電圧入力容量			7.0		pF
	最小抵抗性負荷		1.0			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	仕様内での動作			AVCC/1000	mA
		安全動作			10	

表36-77. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	出力周波数			32		kHz
	精度		-30		30	%

© 2011-2020 Microchip Technology Inc.

表36-78. 精度特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
RES	入力分解能					12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注)	VREF=外部1.0V	VCC=1.6V		±2.0	±3.0	
			VCC=3.6V		±1.5	±2.5	
		VREF=AVCC	VCC=1.6V		±2.0	±4.0	
			VCC=3.6V		±1.5	±4.0	
		VREF=内部1.0V	VCC=1.6V		±5.0		
			VCC=3.6V		±5.0		
DNL	微分非直線性誤差 (注)	VREF=外部1.0V, 単調性保証	VCC=1.6V		±1.5	3.0	LSB
			VCC=3.6V		±0.6	1.5	
		VREF=AVCC, 単調性保証	VCC=1.6V		±1.0	3.5	
			VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V	VCC=1.6V		±4.5		
			VCC=3.6V		±4.5		
	利得誤差	校正後			<4.0		
	利得校正段階量				4.0		
	利得校正変動	VREF=外部1.0V			<0.2		mV/K
	変位(ｵﾌｾｯﾄ)誤差	校正後			<1.0		LSB
	変位(ｵﾌｾｯﾄ)校正段階量				1.0		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の出力電圧範囲に対して有効です。

36.3.8. ｱﾅﾛｸﾞ比較器特性

表36-79. ｱﾅﾛｸﾞ比較器特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
V_{off}	入力変位(ｵﾌｾｯﾄ)電圧				<±10		mV
I_{lk}	入力漏れ電流				<1.0		nA
	入力電圧範囲			-0.1		AVCC	V
	始動時間				100		µs
Vhyst1	ﾋｽﾃﾘｼｽ(なし設定時)				0		
Vhyst2	ﾋｽﾃﾘｼｽ(小設定時)	高速動作(HS)			20		mV
		低電力動作(LP)			30		
Vhyst3	ﾋｽﾃﾘｼｽ(大設定時)	高速動作(HS)			35		
		低電力動作(LP)			60		
t_{delay}	伝播遅延	高速動作(HS)	VCC=3.0V,T=85℃		30	90	ns
					30		
		低電力動作(LP)	VCC=3.0V,T=85℃		130	500	
					130		
	64ﾚﾍﾞﾙ分圧器積分非直線性(INL)				0.3	0.5	LSB

36.3.9. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

表36-80. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		$1clk_{PER}+2.5µs$		µs
		ADCまたはACの入力電圧として		1.5		
	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1.0	1.01	
	電圧と温度での変動	T=85℃,VCC=3.0Vに対する相対		±1.5		%

36.3.10. 低電圧検出(Brownout Detection)特性

表36-81. 低電圧検出特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VCC降下検出ﾚﾍﾞﾙ0		1.50	1.62	1.72	
	VCC降下検出ﾚﾍﾞﾙ1			1.8		
	VCC降下検出ﾚﾍﾞﾙ2			2.0		
	VCC降下検出ﾚﾍﾞﾙ3			2.2		V
	VCC降下検出ﾚﾍﾞﾙ4			2.4		
	VCC降下検出ﾚﾍﾞﾙ5			2.6		
	VCC降下検出ﾚﾍﾞﾙ6			2.8		
	VCC降下検出ﾚﾍﾞﾙ7			3.0		
t_{BOD}	検出時間	継続動作		0.4		µs
		採取動作		1000		
V_{HYST}	ﾋｽﾃﾘｼｽ			1.2		%

36.3.11. 外部ﾘｾｯﾄ特性

表36-82. 外部ﾘｾｯﾄ特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{EXT}	最小ﾘｾｯﾄ ﾊﾟﾙｽ幅			95	1000	ns
V_{RST}	ﾘｾｯﾄ閾値電圧(VIH)	VCC=2.7～3.6V		0.60VCC		
		VCC=1.6～2.7V		0.60VCC		V
	ﾘｾｯﾄ閾値電圧(VIL)	VCC=2.7～3.6V		0.50VCC		
		VCC=1.6～2.7V		0.40VCC		
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			25		kΩ

36.3.12. 電源ONﾘｾｯﾄ特性

表36-83. 電源ONﾘｾｯﾄ(POR)特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{POT-}	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
		1V/msまたはより遅いVCC下降	0.8	1.0		V
V_{POT+}	VCC上昇POR閾値電圧			1.3	1.59	

注: V_{POT-}値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はV_{POT-}=V_{POT+}です。

36.3.13. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの特性

表36-84. 耐久性とﾃﾞｰﾀ保持力

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	ﾌﾗｯｼｭ ﾒﾓﾘ耐久性能	書き込み/消去繰り返し	25℃	10,000			回
			85℃	10,000			
			105℃	2000			
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			
	EEPROM耐久性能	書き込み/消去繰り返し	25℃	100,000			回
			85℃	100,000			
			105℃	30,000			
	EEPROMﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			

© 2011-2020 Microchip Technology Inc.

表36-85. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表(注1)	最大	単位
	ﾁｯﾌﾟ消去時間	64KBﾌﾗｯｼｭとEEPROM(注2)の消去		55		
	応用領域消去時間	領域消去		6		
	フラッシュ メモリ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		ms
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		
	EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		

注1: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは内部2MHz発振器から計時されます。
注2: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMは消去されません。

36.3.14. クロックと発振器の特性

36.3.14.1. 校正付き32.768kHz内部発振器特性

表36-86. 校正付き32.768kHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

36.3.14.2. 校正付き2MHz内部発振器特性

表36-87. 2MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.21		

36.3.14.3. 校正付き32MHz内部発振器特性

表36-88. 32MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

36.3.14.4. 32kHz内部ULP発振器特性

表36-89. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V,T=85℃	-12		12	%
	精度		-30		30	

© 2011-2020 Microchip Technology Inc.

36.3.14.5. 内部位相固定化閉路(PLL)特性

表36-90. 内部PLL特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数はf_{OUT}以内	0.4		64	
f_{OUT}	出力周波数 (注)	VCC=1.6～1.8V	20		48	MHz
		VCC=2.7～3.6V	20		128	
	始動時間			25		µs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

36.3.14.6. 外部ｸﾛｯｸ特性

図36-17. 外部ｸﾛｯｸ駆動波形

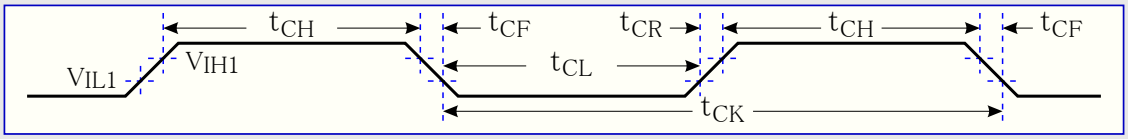


表36-91. 前置分周なしでｼｽﾃﾑ ｸﾛｯｸとして使われる外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	ｸﾛｯｸ周波数 (注)	VCC=1.6～1.8V	0		12	MHz
		VCC=2.7～3.6V	0		32	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	83.3			ns
		VCC=2.7～3.6V	31.5			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

表36-92. ｼｽﾃﾑ ｸﾛｯｸ用に前置分周器(注1)を持つ外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	ｸﾛｯｸ周波数 (注2)	VCC=1.6～1.8V	0		90	MHz
		VCC=2.7～3.6V	0		142	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	11			ns
		VCC=2.7～3.6V	7			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: ｼｽﾃﾑ ｸﾛｯｸ前置分周器はﾃﾞﾊﾞｲｽに対する最大CPUｸﾛｯｸ周波数を超えないように設定されなければなりません。
注2: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

36.3.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表36-93. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件		最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0			<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3			<1.0		
		XOSCPWR=1			<1.0		
	長期間微動	XOSCPWR=0,FRQRANGE=0			<6.0		
		XOSCPWR=0,FRQRANGE=1,2,3			<0.5		
		XOSCPWR=1			<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0			<0.1		%
		XOSCPWR=0,FRQRANGE=1			<0.05		
		XOSCPWR=0,FRQRANGE=2,3			<0.005		
		XOSCPWR=1			<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0			40		
		XOSCPWR=0,FRQRANGE=1			42		
		XOSCPWR=0,FRQRANGE=2,3			45		
		XOSCPWR=1			48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF	2.4k			Ω
			1MHzクリスタル,CL=20pF	8.7k			
			2MHzクリスタル,CL=20pF	2.1k			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル	4.2k			
			8MHzクリスタル	250			
			9MHzクリスタル	195			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル	360			
			9MHzクリスタル	285			
			12MHzクリスタル	155			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル	365			
			12MHzクリスタル	200			
			16MHzクリスタル	105			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル	435			
			12MHzクリスタル	235			
			16MHzクリスタル	125			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル	495			
			12MHzクリスタル	270			
			16MHzクリスタル	145			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル	305			
			16MHzクリスタル	160			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル	380			
			16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数				min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量				5.45		pF
CXTAL2	XTAL2ピン寄生容量				7.51		
CLOAD	寄生容量性負荷				3.16		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

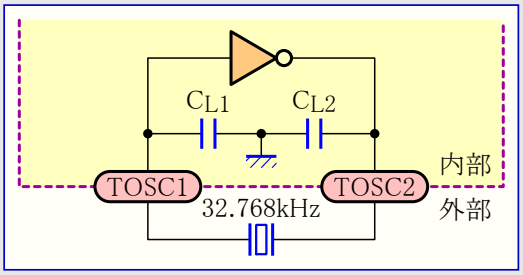
36.3.14.8. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

表36-94. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
ESR/R1	推奨ｸﾘｽﾀﾙ等価直列抵抗(ESR)	ｸﾘｽﾀﾙ負荷容量6.5pF			60	kΩ
		ｸﾘｽﾀﾙ負荷容量9.0pF			35	
C_{TOSC1}	TOSC1ﾋﾟﾝ寄生容量			5.4		pF
		代替TOSC位置		4.0		
C_{TOSC2}	TOSC2ﾋﾟﾝ寄生容量			7.1		
		代替TOSC位置		4.0		
	推奨安全係数	ｸﾘｽﾀﾙ特性に合わせた容量性負荷	3.0			

注: 定義については図36-18.をご覧ください。

図36-18. TOSC入力容量



TOSCﾋﾟﾝ間の寄生容量は、外部容量なし発振時にｸﾘｽﾀﾙから見えるように直列でC_{L1}+C_{L2}です。

36.3.15. SPIﾀｲﾐﾝｸﾞ特性

図36-19. 主装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

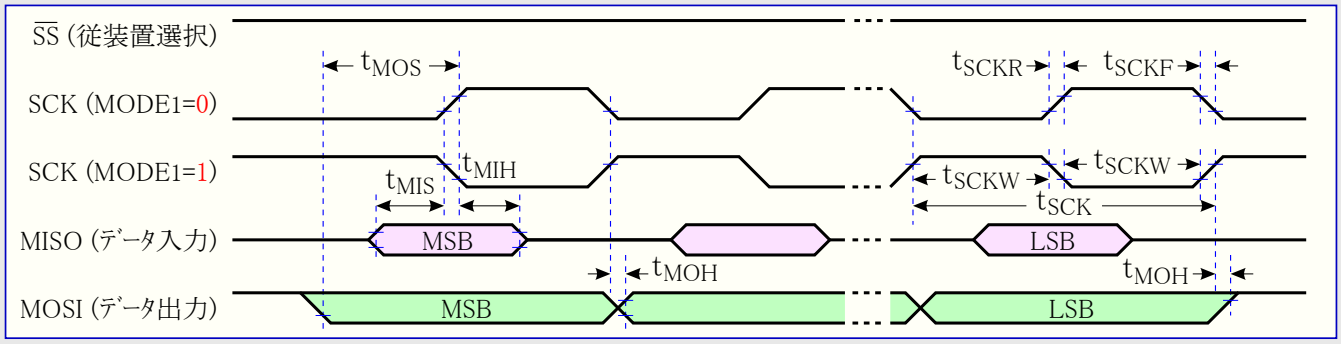


図36-20. 従装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

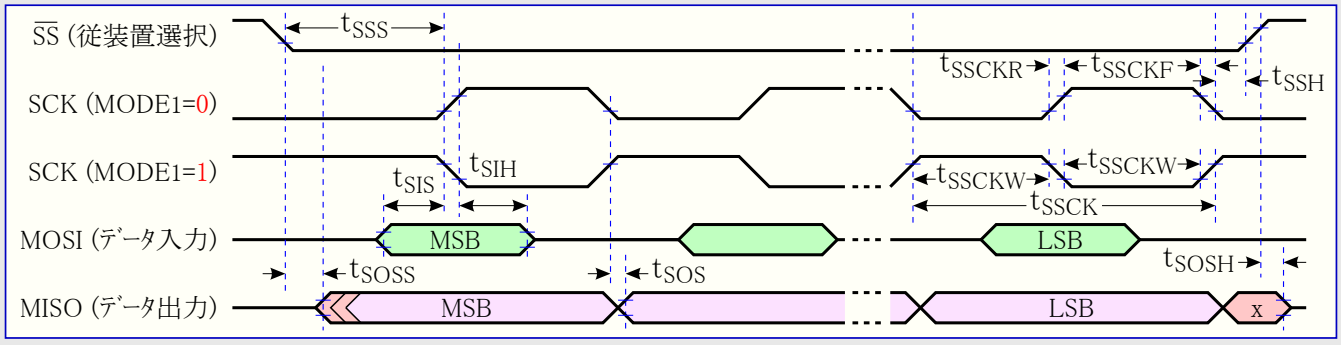


表36-95. SPI ﾀｲﾐﾝｸﾞ特性と必要条件

ｼﾝﾎﾞﾙ	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA AU手引書の表22-3.をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		0.5×SCK		
t_{SCKR}	SCK上昇時間	主装置		2.7		
t_{SCKF}	SCK下降時間	主装置		2.7		
t_{MIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		11		
t_{MIH}	入力ﾃﾞｰﾀ 保持時間	主装置		0		
t_{MOS}	SCK先行端対、出力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		0.5×SCK		
t_{MOH}	SCKからの出力遅延時間	主装置		1.0		
t_{SSCK}	SCK周期	従装置	4×t clk_{PER}			
t_{SSCKW}	SCK High/Low期間	従装置	2×t clk_{PER}			ns
t_{SSCKR}	SCK上昇時間	従装置			1600	
t_{SSCKF}	SCK下降時間	従装置			1600	
t_{SIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	従装置	3.0			
t_{SIH}	入力ﾃﾞｰﾀ 保持時間	従装置	t clk_{PER}			
t_{SSS}	SCK先行端に対するSS↓ｾｯﾄｱｯﾌﾟ時間	従装置	20			
t_{SSH}	SCK後行端からのSS Low保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8.0		
t_{SOH}	SCKからの出力保持時間	従装置		13.0		
t_{SOSS}	SS↓からの出力ｾｯﾄｱｯﾌﾟ時間	従装置		11.0		
t_{SOSH}	SS↑からの出力保持時間	従装置		8.0		

(訳注) 表36-95.のt_{SOH}は図36-20.で対応するｼﾝﾎﾞﾙ記載がありません。

36.3.16. 2線インターフェース特性

表36-96.は2線直列バスに接続した装置に対する必要条件を記述します。Microchip AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図36-21.を参照してください。

図36-21. 2線インターフェース バス タイミング

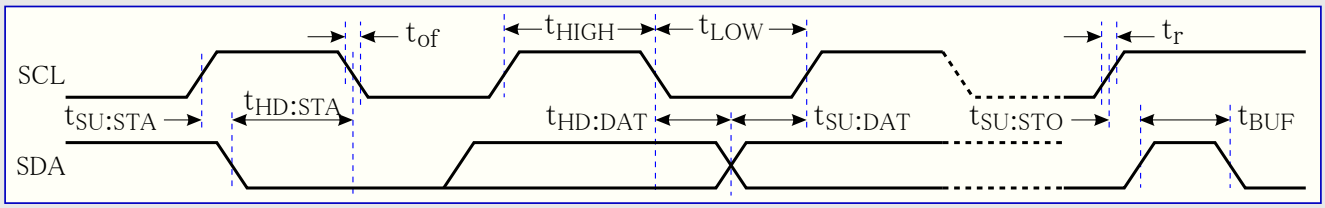


表36-96. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		-0.5		0.3VCC	
V_{hys}	シュミット トリガ 入力ヒステリシス電圧		① 0.05VCC			
V_{OL}	Lowレベル出力電圧	I_{OL}=3mA	0		0.4	
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb②		0	ns
t_{of}	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb②<400pF	① 20+0.1Cb②		300	
t_{SP}	入力濾波による尖頭雑音消去		0		50	
I_i	入力電流(ピン単位)	0.1VCC<V_i<0.9VCC	-10		10	µA
C_i	ピン入力容量		0		10	pF
f_{SCL}	SCLクロック周波数	f_{PER}③>max(16f_{SCL},250kHz)	0		400	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{3mA}$		$\frac{100ns}{Cb}$	Ω
		f_{SCL}>100kHz			$\frac{300ns}{Cb}$	
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0			
		f_{SCL}>100kHz	0.6			
$t_{SU:STA}$	再送開始条件セットアップ時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	0.6			
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0		3.5	ns
		f_{SCL}>100kHz	0		0.9	
$t_{SU:DAT}$	データ セットアップ時間	f_{SCL}≦100kHz	250			
		f_{SCL}>100kHz	100			
$t_{SU:STO}$	停止条件セットアップ時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			

① f_{SCL}>100kHzについてのみ必要とされます。
② Cbは1つのバス信号線の容量(pF)です。
③ f_{PER}は周辺機能クロック周波数です。

36.4. ATxmega128A4U

36.4.1. 絶対最大定格

下の表36-97.で一覧にされるそれらを超える負担はﾃﾞﾊﾞｲｽに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はﾃﾞﾊﾞｲｽの信頼性を損なう場合があります。

表36-97. 絶対最大定格

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4.0	V
I_{VCC}	VCCﾋﾟﾝへの電流				200	mA
I_{GND}	GNDﾋﾟﾝの電流出力				200	
V_{PIN}	GNDとVCCに対するﾋﾟﾝ電圧		-0.5		VCC+0.5	V
I_{PIN}	入出力ﾋﾟﾝ吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	℃
Tj	接合部温度				150	

36.4.2. 全般動作定格

ﾃﾞﾊﾞｲｽは保証されて有効であるべきﾃﾞﾊﾞｲｽの他の全ての電気的特性と代表特性のために、表36-98.で一覧にされる定格内で動作しなければなりません。

表36-98. 全般動作条件

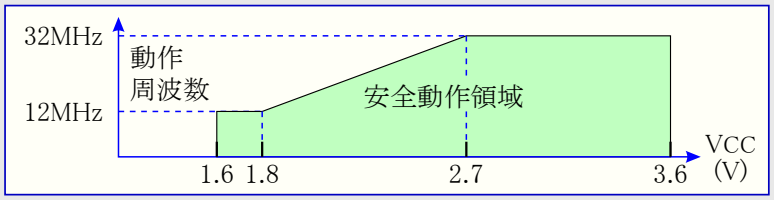
ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	ｱﾅﾛｸﾞ供給電圧		1.60		3.6	
TA	保存温度		-40		85	℃
Tj	接合部温度		-40		105	

表36-99. 動作電圧と周波数

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{CPU}	CPUｸﾛｯｸ周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

最高ｼｽﾃﾑ周波数は動作電圧に依存します。図36-22.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図36-22. 最高周波数 対 VCC



36.4.3. 消費電流

表36-100. 活動動作と休止動作の消費電流

シンボル	項目	条件			最小	代表	最大	単位
	活動動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		55		µA
				VCC=3.0V		135		
		1MHz外部クロック		VCC=1.8V		255		
				VCC=3.0V		535		
		2MHz外部クロック		VCC=1.8V		480	600	
				VCC=3.0V		1.0	1.4	mA
		32MHz外部クロック		VCC=3.0V		9.5	12	
	アイドル動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V		2.9		µA
				VCC=3.0V		3.9		
		1MHz外部クロック		VCC=1.8V		62		
				VCC=3.0V		118		
		2MHz外部クロック		VCC=1.8V		125	225	
				VCC=3.0V		240	350	
ICC		32MHz外部クロック		VCC=3.0V		3.8	5.5	mA
	パワーダウン動作消費電流	T=25℃		VCC=3.0V		0.1	1.0	µA
		T=85℃				1.5	4.5	
		T=105℃				0.1	8.6	
		採取動作BODとWDTを許可	T=25℃			1.4	3.0	
			T=85℃			2.8	6.0	
			T=105℃			1.4	8.8	
	パワーセーブ動作消費電流 (注2)	ULPクロックでのRTC、採取動作BODとWDTを許可、T=25℃		VCC=1.8V		1.2		µA
				VCC=3.0V		1.5		
		低電力32.768kHz TOSCの1.024kHzでのRTC、T=25℃		VCC=1.8V		0.6	2.0	
				VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからのRTC、T=25℃		VCC=1.8V		0.8	3.0	
				VCC=3.0V		1.0	3.0	
	リセット消費電流	基台の$\overline{\text{RESET}}$ピンを通る電流		VCC=3.0V		300		

注1: 全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表36-101. 単位部と周辺機能に関する消費電流

ｼﾝﾎﾞﾙ	項目	条件 (注1)			最小	代表	最大	単位
ICC	超低電力(ULP)発振器					1.0		µA
	32.768kHz内部発振器					29		
	2MHz内部発振器					85		
		基準として32.768kHz内部発振器でDFLL許可				115		
	32MHz内部発振器					270		
		基準として32.768kHz内部発振器でDFLL許可				440		
	PLL	逓倍率=20倍,32MHz内部,基準としてDIV4				320		
	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ					1.0		
	低電圧検出器(BOD)	継続動作				138		
		採取動作,ULP発振器を含む				1.2		
	1.00V内部基準電圧					260		
	温度感知器					250		
	A/D変換器(ADC)	250k採取/秒, VREF=外部基準				3.0		mA
			電流制限(CURRLIMIT)=低			2.6		
			電流制限(CURRLIMIT)=中			2.1		
			電流制限(CURRLIMIT)=高			1.6		
	D/A変換器(DAC)	250k採取/秒,VREF=外部基準, 無負荷		標準動作		1.9		
				低電力動作		1.1		
	ｱﾅﾛｸﾞ比較器(AC)	高速動作				330		µA
		低電力動作				130		
	DMA	I/OﾚｼﾞｽﾀとSRAM間、615Kﾊﾞｲﾄ/s				108		
	ﾀｲﾏ/ｶｳﾝﾀ					16		
	USART	9600bps,送受信許可				2.5		
	ﾌﾗｯｼｭ ﾒﾓﾘ/EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ					4.0	8.0	mA

注1: 全て項目は周辺機能/単位部の許可/禁止間の消費電力差としての測定です。他の条件が与えられない限り、全てはVCC=3.0V、前置分周なしでのclk$_{SYS}$=外部1MHzｸﾛｯｸ、T=25℃でのﾃﾞｰﾀです。

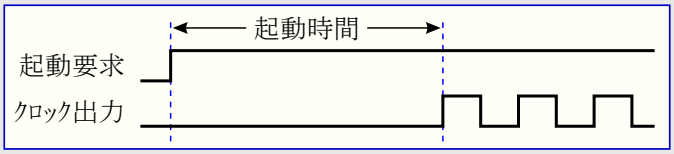
36.4.4. 休止形態からの起動時間

表36-102. 様々なｼｽﾃﾑｸﾛｯｸ元での休止形態からのﾃﾞﾊﾞｲｽ起動時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
twakeup	ｱｲﾄﾞﾙ、ｽﾀﾝﾊﾞｲ、拡張ｽﾀﾝﾊﾞｲからの起動時間	外部2MHzｸﾛｯｸ		2.0		µs
		32.768KHz内部発振器		120		
		2MHz内部発振器		2.0		
		32MHz内部発振器		0.2		
	ﾊﾟﾜｰｾｰﾌﾞ、ﾊﾟﾜｰﾀﾞｳﾝからの起動時間	外部2MHzｸﾛｯｸ		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからﾋﾟﾝで周辺機能ｸﾛｯｸが利用可能になるまでで、図36-23.をご覧ください。全ての周辺機能と単位部はﾌﾟﾛｸﾞﾗﾑ実行開始に先立って4ｸﾛｯｸ周期間停止されるCPUを除き、最初のｸﾛｯｸ周期から実行を開始します。

図36-23. 起動時間定義



36.4.5. 入出力ﾋﾟﾝ特性

入出力ﾋﾟﾝはJEDEC LVTTLとLVCSMOS仕様に従い、Hﾚﾍﾞﾙ とLﾚﾍﾞﾙの入力と出力の電圧限度はこの仕様を反映または超えます。

表36-103. 入出力ﾋﾟﾝ特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
I_{OH} (注1) I_{OL} (注2)	I/Oﾋﾟﾝ吐き出し/吸い込み電流			-20		20	mA
		VCC=2.7～3.6V		2.0		VCC+0.3	
V_{IH}	Highﾚﾍﾞﾙ入力電圧	VCC=2.0～2.7V		0.7VCC		VCC+0.3	
		VCC=1.6～2.0V		0.8VCC		VCC+0.3	
		VCC=3.0～3.6V		-0.3		0.8	
V_{IL}	Lowﾚﾍﾞﾙ入力電圧	VCC=2.3～2.7V		-0.3		0.3VCC	
		VCC=1.6～2.3V		-0.3		0.2VCC	
		VCC=3.0～3.6V	I_{OH}=-2mA	2.4	0.94VCC		
		VCC=2.3～2.7V	I_{OH}=-1mA	2.0	0.96VCC		
V_{OH}	Highﾚﾍﾞﾙ出力電圧		I_{OH}=-2mA	1.7	0.92VCC		V
		VCC=3.3V	I_{OH}=-8mA	2.6	2.8		
		VCC=3.0V	I_{OH}=-6mA	2.1	2.6		
		VCC=1.8V	I_{OH}=-2mA	1.4	1.6		
		VCC=3.0～3.6V	I_{OL}=2mA		0.05VCC	0.4	
		VCC=2.3～2.7V	I_{OL}=1mA		0.03VCC	0.4	
V_{OL}	Lowﾚﾍﾞﾙ出力電圧		I_{OL}=2mA		0.06VCC	0.7	
		VCC=3.3V	I_{OL}=15mA		0.4	0.76	
		VCC=3.0V	I_{OL}=10mA		0.3	0.64	
		VCC=1.8V	I_{OL}=5mA		0.2	0.46	
I_{IN}	I/Oﾋﾟﾝ入力漏れ電流	T=25℃			<0.01	0.1	µA
R_P	I/Oﾋﾟﾝ ﾌﾟﾙ/ﾊﾞｽ保持 抵抗				24		kΩ
t_r	上昇時間	無負荷			4.0		ns
			ｽﾘｭｰﾚｰﾄ制限		7.0		

注1: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOHの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ﾎﾟｰﾄAとﾎﾟｰﾄBに対する全てのIOLの合計は100mAを超えてはなりません。
ﾎﾟｰﾄCに対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄDとﾎﾟｰﾄEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。
ﾎﾟｰﾄEのPE2,3とﾎﾟｰﾄRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

36.4.6. A/D変換器特性

表36-104. 電源、基準電圧と入力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
R_{AREF}	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
C_{AREF}	基準電圧入力容量	静止負荷		7.0		pF
	入力範囲		-0.1		AVCC+0.1	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
		符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作、Vinp	-⊿V		VREF-⊿V	
⊿V	固定変位(ｵﾌｾｯﾄ)電圧			190		LSB

表36-105. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
clk_{ADC}	A/D変換ｸﾛｯｸ周波数	最大は周辺機能ｸﾛｯｸ周波数の1/4	100		2000	kHz
		内部信号測定	100		125	
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	100		2000	ksps
		電流制限(CURRLIMIT)=低(LOW)	100		1500	
		電流制限(CURRLIMIT)=中(MEDIUM)	100		1000	
		電流制限(CURRLIMIT)=高(HIGH)	100		500	
	採取時間	1/2clk_{ADC}周期	0.25		5	µs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN･･･計算式 (RES=8または12,GAIN=0以外)	5		8	clk_{ADC} 周期
	始動時間	A/D変換ｸﾛｯｸ周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	
		ADC破棄後		1	1	

表36-106. 精度特性

ｼﾝﾎﾞﾙ	項目	条件 (注2)		最小	代表	最大	単位
RES	分解能	8または12ﾋﾞｯﾄ設定可能		8	12	12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注1)	500ksps	VCC-1.0V<VREF<VCC-0.6V		±1.2	±2.0	LSB
			全VREF		±1.5	±3.0	
		2Msps	VCC-1.0V<VREF<VCC-0.6V		±1.0	±2.0	
			全VREF		±1.5	±3.0	
DNL	微分非直線性誤差 (注1)	単調性保証			<±0.8	<±1.0	
	変位(ｵﾌｾｯﾄ)誤差				-1.0		mV
		温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
	利得誤差	差動動作	外部基準電圧		-1.0		mV
			AVCC/1.6		10		
			AVCC/2.0		8.0		
			ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ		±5.0		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音	差動動作,短絡入力,2Msps, VCC=3.6V,clk_{PER}=16MHz			0.4		mV (RMS)

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の入力範囲に対して有効です。
注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表36-107. 利得段特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		pF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度			1.0		clk_{ADC} 周期
	採取速度	ADCと同じ		100		1000	kHz
INL	積分非直線性誤差 (注)	500ksps,全利得設定			±1.5	±4	LSB
	利得誤差	1倍、標準動作			-0.8		%
		8倍、標準動作			-2.5		
		64倍、標準動作			-3.5		
	(入力基準での)変位(ｵﾌｾｯﾄ)誤差	1倍、標準動作			-2.0		mV
		8倍、標準動作			-5.0		
		64倍、標準動作			-4.0		
	雑音	1倍、標準動作	VCC=3.6V, 外部VREF		0.5		mV (RMS)
		8倍、標準動作			1.5		
		64倍、標準動作			11		

注: 最大値は特性付けに基づき、製造で検査されず、5～95%の入力電圧範囲に対して有効です。

36.4.7. D/A変換器特性

表36-108. 電源、基準電圧と出力範囲

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
AVCC	ｱﾅﾛｸﾞ供給電圧		VCC-0.3		VCC+0.3	V
AVREF	外部基準電圧		1.0		VCC-0.6	
Rchannel	DC出力ｲﾝﾋﾟｰﾀﾞﾝｽ				50	Ω
	直線出力電圧範囲		0.15		AVCC-0.15	V
RAREF	基準電圧入力抵抗			>10		MΩ
CAREF	基準電圧入力容量			7.0		pF
	最小抵抗性負荷		1.0			kΩ
	最大容量性負荷				100	pF
		1kΩ直列抵抗			1000	
	出力吐き出し/引き込み電流	仕様内での動作			AVCC/1000	mA
		安全動作			10	

表36-109. ｸﾛｯｸとﾀｲﾐﾝｸﾞ

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Fclk	変換速度	Cload=100pF, 最大段階量	標準動作	0		1000	ksps
			低電力動作			500	

表36-110. 精度特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
RES	入力分解能					12	ﾋﾞｯﾄ
INL	積分非直線性誤差 (注)	VREF=外部1.0V	VCC=1.6V		±2.0	±3.0	
			VCC=3.6V		±1.5	±2.5	
		VREF=AVCC	VCC=1.6V		±2.0	±4.0	
			VCC=3.6V		±1.5	±4.0	
		VREF=内部1.0V	VCC=1.6V		±5.0		
			VCC=3.6V		±5.0		
DNL	微分非直線性誤差 (注)	VREF=外部1.0V, 単調性保証	VCC=1.6V		±1.5	3.0	LSB
			VCC=3.6V		±0.6	1.5	
		VREF=AVCC, 単調性保証	VCC=1.6V		±1.0	3.5	
			VCC=3.6V		±0.6	1.5	
		VREF=内部1.0V	VCC=1.6V		±4.5		
			VCC=3.6V		±4.5		
	利得誤差	校正後			<4.0		
	利得校正段階量				4.0		
	利得校正変動	VREF=外部1.0V			<0.2		mV/K
	変位(ｵﾌｾｯﾄ)誤差	校正後			<1.0		LSB
	変位(ｵﾌｾｯﾄ)校正段階量				1.0		

注: 最大値は特性付けに基づき、製造に於いて検査されず、5～95%の出力電圧範囲に対して有効です。

36.4.8. ｱﾅﾛｸﾞ比較器特性

表36-111. ｱﾅﾛｸﾞ比較器特性

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
Voff	入力変位(ｵﾌｾｯﾄ)電圧				<±10		mV
Ilk	入力漏れ電流				<1.0		nA
	入力電圧範囲			-0.1		AVCC	V
	始動時間				100		µs
Vhyst1	ﾋｽﾃﾘｼｽ(なし設定時)				0		
Vhyst2	ﾋｽﾃﾘｼｽ(小設定時)	高速動作(HS)			13		mV
		低電力動作(LP)			30		
Vhyst3	ﾋｽﾃﾘｼｽ(大設定時)	高速動作(HS)			30		
		低電力動作(LP)			60		
t_{delay}	伝播遅延	高速動作(HS)	VCC=3.0V,T=85℃		30	90	ns
					30		
		低電力動作(LP)	VCC=3.0V,T=85℃		130	500	
					130		
	64ﾚﾍﾞﾙ分圧器積分非直線性(INL)				0.3	0.5	LSB

36.4.9. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

表36-112. ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟと内部1.0V基準電圧特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として		$1clk_{PER}+2.5µs$		µs
		ADCまたはACの入力電圧として		1.5		
	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1.0	1.01	
	電圧と温度での変動	T=85℃,VCC=3.0Vに対する相対		±1.5		%

36.4.10. 低電圧検出(Brownout Detection)特性

表36-113. 低電圧検出特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	VCC降下検出ﾚﾍﾞﾙ0		1.50	1.62	1.72	
	VCC降下検出ﾚﾍﾞﾙ1			1.8		
	VCC降下検出ﾚﾍﾞﾙ2			2.0		
	VCC降下検出ﾚﾍﾞﾙ3			2.2		V
	VCC降下検出ﾚﾍﾞﾙ4			2.4		
	VCC降下検出ﾚﾍﾞﾙ5			2.6		
	VCC降下検出ﾚﾍﾞﾙ6			2.8		
	VCC降下検出ﾚﾍﾞﾙ7			3.0		
t_{BOD}	検出時間	継続動作		0.4		µs
		採取動作		1000		
V_{HYST}	ﾋｽﾃﾘｼｽ			1.2		%

36.4.11. 外部ﾘｾｯﾄ特性

表36-114. 外部ﾘｾｯﾄ特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
t_{EXT}	最小ﾘｾｯﾄ ﾊﾟﾙｽ幅			95	1000	ns
V_{RST}	ﾘｾｯﾄ閾値電圧(VIH)	VCC=2.7～3.6V	0.60VCC			V
		VCC=1.6～2.7V	0.60VCC			
	ﾘｾｯﾄ閾値電圧(VIL)	VCC=2.7～3.6V			0.50VCC	
		VCC=1.6～2.7V			0.40VCC	
R_{RST}	ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗			25		kΩ

36.4.12. 電源ONﾘｾｯﾄ特性

表36-115. 電源ONﾘｾｯﾄ(POR)特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
V_{POT-}	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		V
		1V/msまたはより遅いVCC下降	0.8	1.0		
V_{POT+}	VCC上昇POR閾値電圧			1.3	1.59	

注: V_{POT-}値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はV_{POT-}=V_{POT+}です。

36.4.13. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの特性

表36-116. 耐久性とﾃﾞｰﾀ保持力

ｼﾝﾎﾞﾙ	項目	条件		最小	代表	最大	単位
	ﾌﾗｯｼｭ ﾒﾓﾘ耐久性能	書き込み/消去繰り返し	25℃	10,000			回
			85℃	10,000			
			105℃	2000			
	ﾌﾗｯｼｭ ﾒﾓﾘ ﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			
	EEPROM耐久性能	書き込み/消去繰り返し	25℃	100,000			回
			85℃	100,000			
			105℃	30,000			
	EEPROMﾃﾞｰﾀ保持力		25℃	100			年
			85℃	25			
			105℃	10			

© 2011-2020 Microchip Technology Inc.

表36-85. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間

ｼﾝﾎﾞﾙ	項目	条件	最小	代表(注1)	最大	単位
	ﾁｯﾌﾟ消去時間	128KBﾌﾗｯｼｭとEEPROM(注2)の消去		75		
	応用領域消去時間	領域消去		6		
	フラッシュ メモリ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		ms
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		
	EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ時間	ﾍﾟｰｼﾞ消去		4		
		ﾍﾟｰｼﾞ書き込み		4		
		非分断ﾍﾟｰｼﾞ消去/ﾍﾟｰｼﾞ書き込み		8		

注1: ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは内部2MHz発振器から計時されます。
注2: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMは消去されません。

36.4.14. クロックと発振器の特性

36.4.14.1. 校正付き32.768kHz内部発振器特性

表36-118. 校正付き32.768kHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

36.4.14.2. 校正付き2MHz内部発振器特性

表36-119. 2MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.21		

36.4.14.3. 校正付き32MHz内部発振器特性

表36-120. 32MHz内部発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

36.4.14.4. 32kHz内部ULP発振器特性

表36-121. 32kHz内部ULP発振器特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
	出力周波数			32		kHz
	精度		-30		30	%

© 2011-2020 Microchip Technology Inc.

36.4.14.5. 内部位相固定化閉路(PLL)特性

表36-122. 内部PLL特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数はf_{OUT}以内	0.4		64	
f_{OUT}	出力周波数 (注)	VCC=1.6～1.8V	20		48	MHz
		VCC=2.7～3.6V	20		128	
	始動時間			25		µs
	再固定化時間			25		

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

36.4.14.6. 外部ｸﾛｯｸ特性

図36-24. 外部ｸﾛｯｸ駆動波形

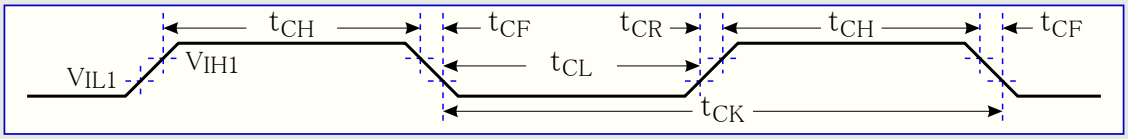


表36-123. 前置分周なしでｼｽﾃﾑ ｸﾛｯｸとして使われる外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
1/t_{CK}	ｸﾛｯｸ周波数 (注)	VCC=1.6～1.8V	0		12	MHz
		VCC=2.7～3.6V	0		32	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	83.3			ns
		VCC=2.7～3.6V	31.5			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	30.0			
		VCC=2.7～3.6V	12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			10	
		VCC=2.7～3.6V			3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

表36-124. ｼｽﾃﾑ ｸﾛｯｸ用に前置分周器(注1)を持つ外部ｸﾛｯｸ

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
1/t_{CK}	ｸﾛｯｸ周波数 (注2)	VCC=1.6～1.8V	0		90	MHz
		VCC=2.7～3.6V	0		142	
t_{CK}	ｸﾛｯｸ周期	VCC=1.6～1.8V	11			ns
		VCC=2.7～3.6V	7			
t_{CH}	ｸﾛｯｸHigh時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CL}	ｸﾛｯｸLow時間	VCC=1.6～1.8V	4.5			
		VCC=2.7～3.6V	2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6～1.8V			1.5	
		VCC=2.7～3.6V			1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: ｼｽﾃﾑ ｸﾛｯｸ前置分周器はﾃﾞﾊﾞｲｽに対する最大CPUｸﾛｯｸ周波数を超えないように設定されなければなりません。
注2: 最大出力周波数対供給電圧は1.8～2.7V間で直線状で、供給電圧条件を伴う他の全てのﾊﾟﾗﾒｰﾀにも同じく適用します。

36.4.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表36-125. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件		最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0			<10		ns
		XOSCPWR=0,FRQRANGE=1,2,3			<1.0		
		XOSCPWR=1			<1.0		
	長期間微動	XOSCPWR=0,FRQRANGE=0			<6.0		
		XOSCPWR=0,FRQRANGE=1,2,3			<0.5		
		XOSCPWR=1			<0.5		
	周波数誤差	XOSCPWR=0,FRQRANGE=0			<0.1		%
		XOSCPWR=0,FRQRANGE=1			<0.05		
		XOSCPWR=0,FRQRANGE=2,3			<0.005		
		XOSCPWR=1			<0.005		
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0			40		
		XOSCPWR=0,FRQRANGE=1			42		
		XOSCPWR=0,FRQRANGE=2,3			45		
		XOSCPWR=1			48		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF	2.4k			Ω
			1MHzクリスタル,CL=20pF	8.7k			
			2MHzクリスタル,CL=20pF	2.1k			
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル	4.2k			
			8MHzクリスタル	250			
			9MHzクリスタル	195			
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル	360			
			9MHzクリスタル	285			
			12MHzクリスタル	155			
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル	365			
			12MHzクリスタル	200			
			16MHzクリスタル	105			
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル	435			
			12MHzクリスタル	235			
			16MHzクリスタル	125			
		XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル	495			
			12MHzクリスタル	270			
			16MHzクリスタル	145			
		XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル	305			
			16MHzクリスタル	160			
		XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル	380			
			16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数				min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量				5.45		pF
CXTAL2	XTAL2ピン寄生容量				7.51		
CLOAD	寄生容量性負荷				3.16		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

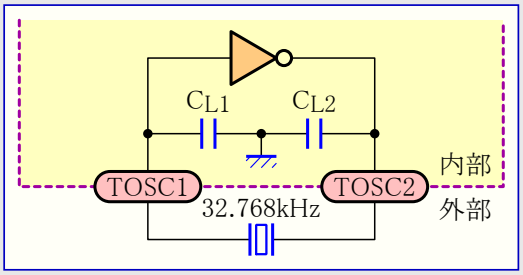
36.4.14.8. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

表36-126. 外部32.768kHzｸﾘｽﾀﾙ用発振器とTOSCの特性

ｼﾝﾎﾞﾙ	項目	条件	最小	代表	最大	単位
ESR/R1	推奨ｸﾘｽﾀﾙ等価直列抵抗(ESR)	ｸﾘｽﾀﾙ負荷容量6.5pF			60	kΩ
		ｸﾘｽﾀﾙ負荷容量9.0pF			35	
C_{TOSC1}	TOSC1ﾋﾟﾝ寄生容量			5.4		pF
		代替TOSC位置		4.0		
C_{TOSC2}	TOSC2ﾋﾟﾝ寄生容量			7.1		
		代替TOSC位置		4.0		
	推奨安全係数	ｸﾘｽﾀﾙ特性に合わせた容量性負荷	3.0			

注: 定義については図36-25.をご覧ください。

図36-25. TOSC入力容量



TOSCﾋﾟﾝ間の寄生容量は、外部容量なし発振時にｸﾘｽﾀﾙから見えるように直列でC_{L1}+C_{L2}です。

36.4.15. SPIﾀｲﾐﾝｸﾞ特性

図36-26. 主装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

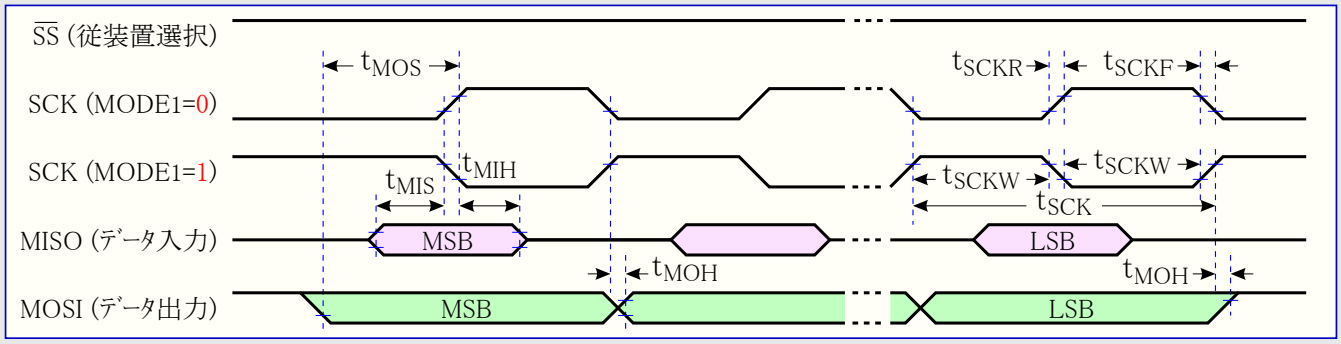


図36-27. 従装置動作でのSPI ﾀｲﾐﾝｸﾞ必要条件

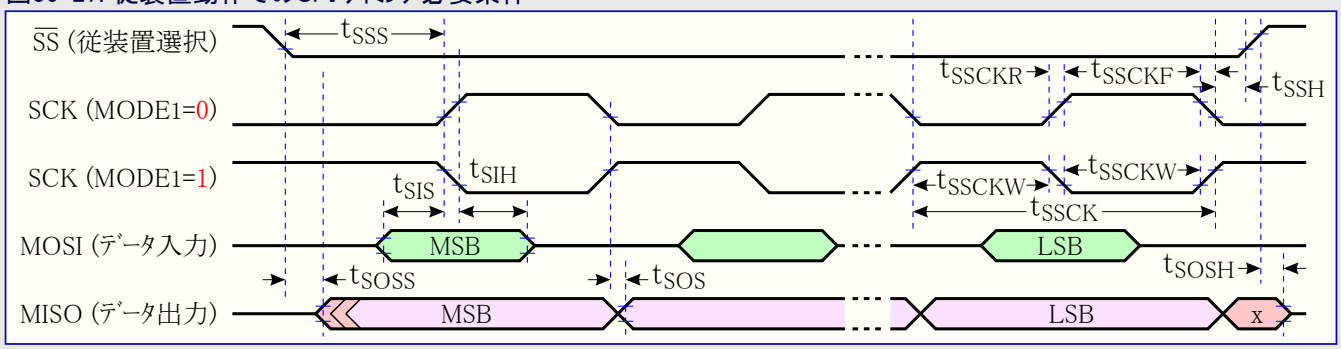


表36-127. SPI ﾀｲﾐﾝｸﾞ特性と必要条件

ｼﾝﾎﾞﾙ	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA AU手引書の表22-3.をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		0.5×SCK		
t_{SCKR}	SCK上昇時間	主装置		2.7		
t_{SCKF}	SCK下降時間	主装置		2.7		
t_{MIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		10		
t_{MIH}	入力ﾃﾞｰﾀ 保持時間	主装置		10		
t_{MOS}	SCK先行端対、出力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	主装置		0.5×SCK		
t_{MOH}	SCKからの出力遅延時間	主装置		1.0		
t_{SSCK}	SCK周期	従装置	4×t clk_{PER}			
t_{SSCKW}	SCK High/Low期間	従装置	2×t clk_{PER}			ns
t_{SSCKR}	SCK上昇時間	従装置			1600	
t_{SSCKF}	SCK下降時間	従装置			1600	
t_{SIS}	入力ﾃﾞｰﾀ ｾｯﾄｱｯﾌﾟ時間	従装置	3.0			
t_{SIH}	入力ﾃﾞｰﾀ 保持時間	従装置	t clk_{PER}			
t_{SSS}	SCK先行端に対するSS↓ｾｯﾄｱｯﾌﾟ時間	従装置	21			
t_{SSH}	SCK後行端からのSS Low保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8.0		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	SS↓からの出力ｾｯﾄｱｯﾌﾟ時間	従装置		11		
t_{SOSH}	SS↑からの出力保持時間	従装置		8.0		

(訳注) 表36-127.のt_{SOH}は図36-27.で対応するｼﾝﾎﾞﾙ記載がありません。

36.4.16. 2線インターフェース特性

表36-128.は2線直列バスに接続した装置に対する必要条件を記述します。Microchip AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイミング シンボルは図36-28.を参照してください。

図36-28. 2線インターフェース バス タイミング

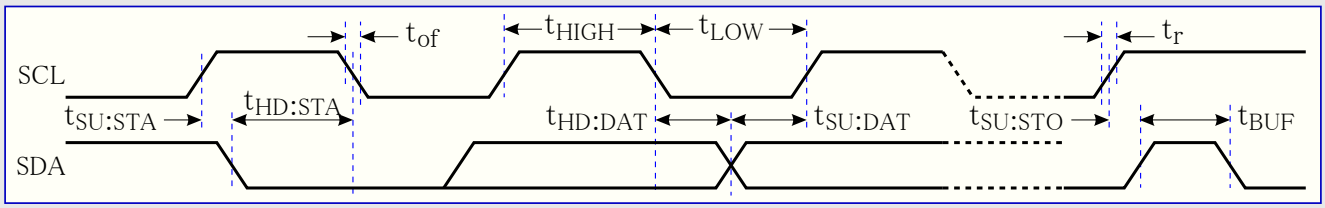


表36-128. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		-0.5		0.3VCC	
V_{hys}	シュミット トリガ 入力ヒステリシス電圧		① 0.05VCC			
V_{OL}	Lowレベル出力電圧	I_{OL}=3mA	0		0.4	
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb②		300	ns
t_{of}	出力下降時間(V_{IHmin}→V_{ILmax})	10pF<Cb②<400pF	① 20+0.1Cb②		250	
t_{SP}	入力濾波による尖頭雑音消去		0		50	
I_i	入力電流(ピン単位)	0.1VCC<V_i<0.9VCC	-10		10	µA
C_i	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	f_{PER}③>max(16f_{SCL},250kHz)	0		400	kHz
R_p	プルアップ抵抗値	f_{SCL}≦100kHz	$\frac{(VCC-0.4V)}{3mA}$		$\frac{100ns}{Cb}$	Ω
		f_{SCL}>100kHz			$\frac{300ns}{Cb}$	
$t_{HD:STA}$	(再送)開始条件保持時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{LOW}	SCLクロックLowレベル時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			
t_{HIGH}	SCLクロックHighレベル時間	f_{SCL}≦100kHz	4.0			
		f_{SCL}>100kHz	0.6			
$t_{SU:STA}$	再送開始条件セットアップ時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	0.6			
$t_{HD:DAT}$	データ保持時間	f_{SCL}≦100kHz	0		3.5	
		f_{SCL}>100kHz	0		0.9	
$t_{SU:DAT}$	データ セットアップ時間	f_{SCL}≦100kHz	250			ns
		f_{SCL}>100kHz	100			
$t_{SU:STO}$	停止条件セットアップ時間	f_{SCL}≦100kHz	4.0			µs
		f_{SCL}>100kHz	0.6			
t_{BUF}	停止条件→開始条件間バス開放時間	f_{SCL}≦100kHz	4.7			
		f_{SCL}>100kHz	1.3			

① f_{SCL}>100kHzについてのみ必要とされます。
② Cbは1つのバス信号線の容量(pF)です。
③ f_{PER}は周辺機能クロック周波数です。

37. 代表特性

37.1. ATxmega16A4U

37.1.1. 消費電流

37.1.1.1. 活動動作消費電流

図37-1. 活動動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部クロック,T=25℃)

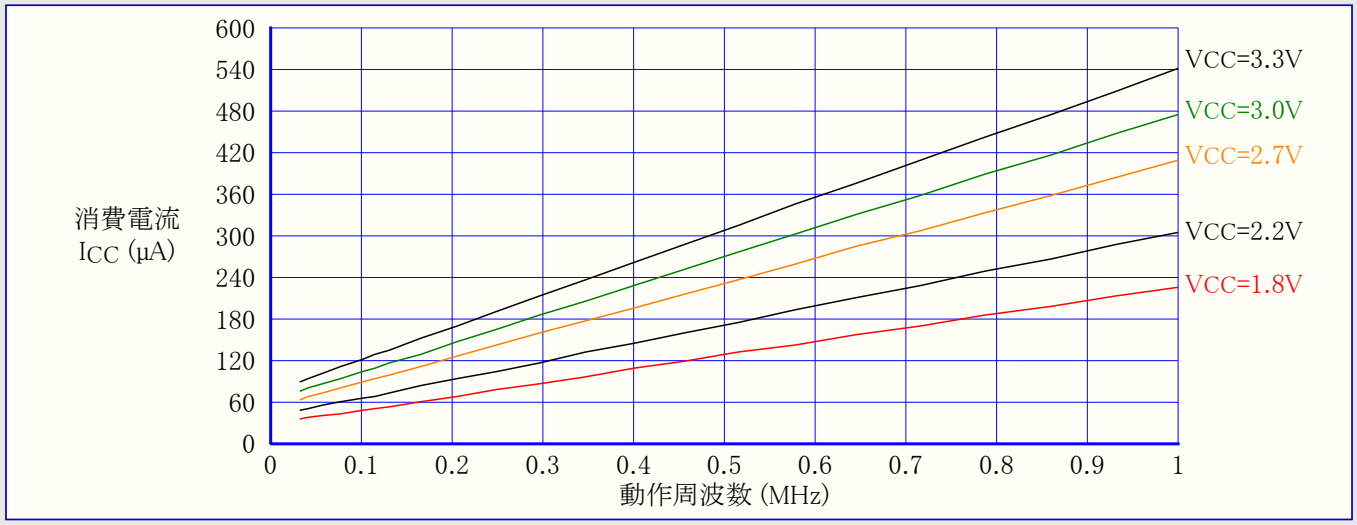


図37-2. 活動動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部クロック,T=25℃)

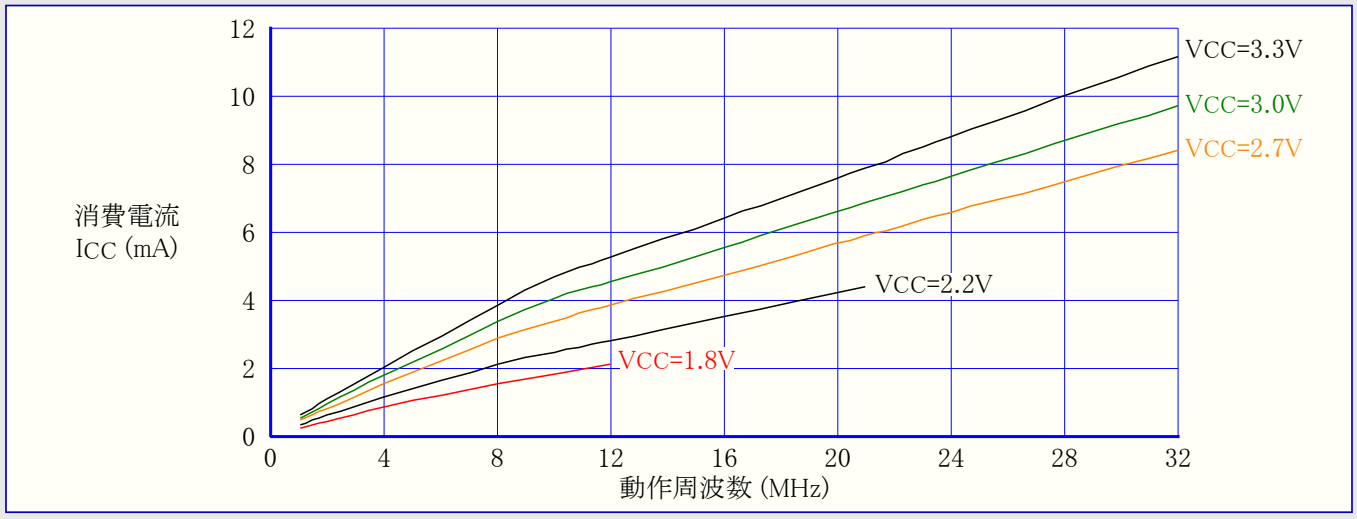
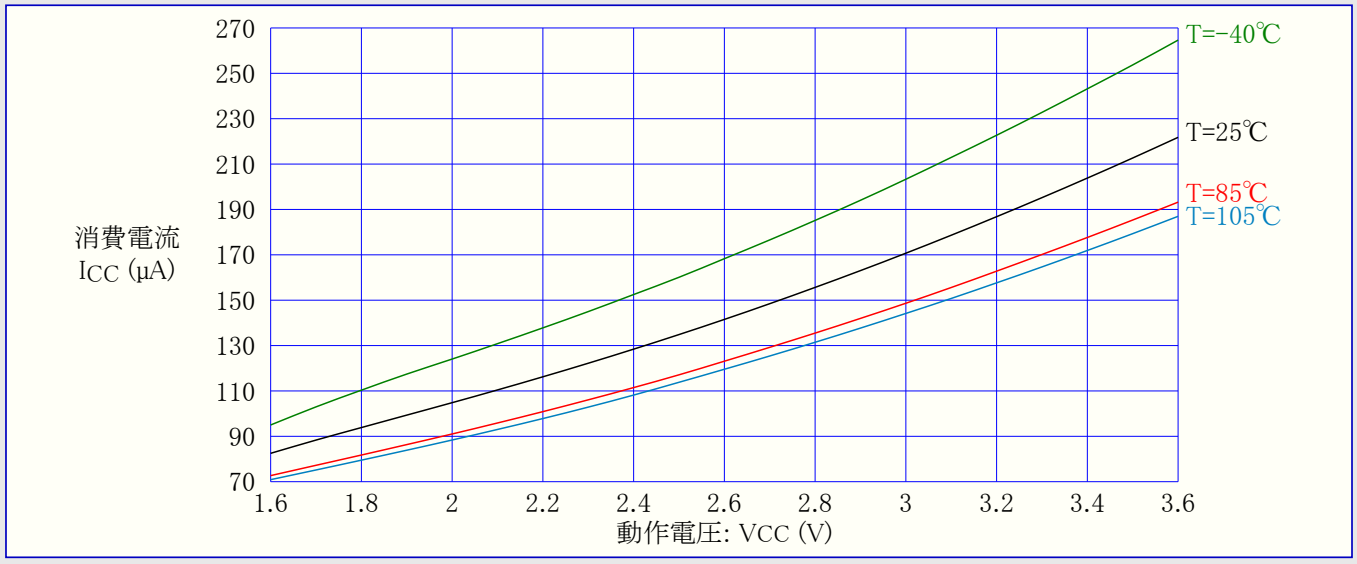


図37-3. 活動動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-4. 活動動作消費電流 対 動作電圧 (f_{SYS}=1MHz外部クロック)

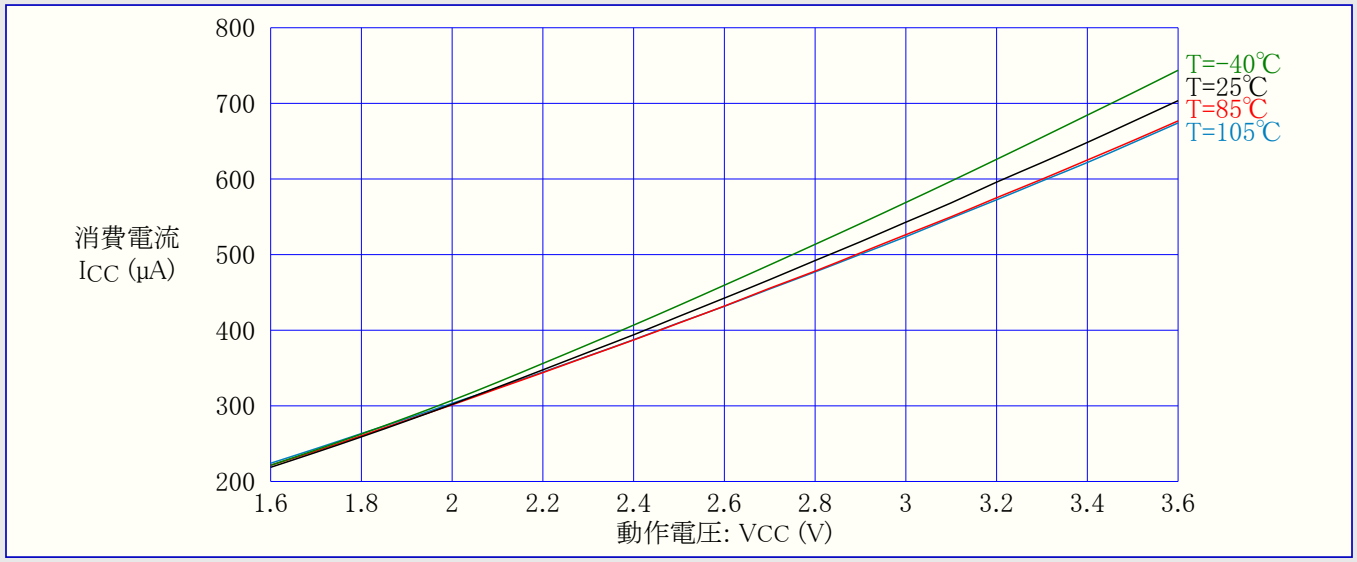


図37-5. 活動動作消費電流 対 動作電圧 (f_{SYS}=2MHz内部発振器)

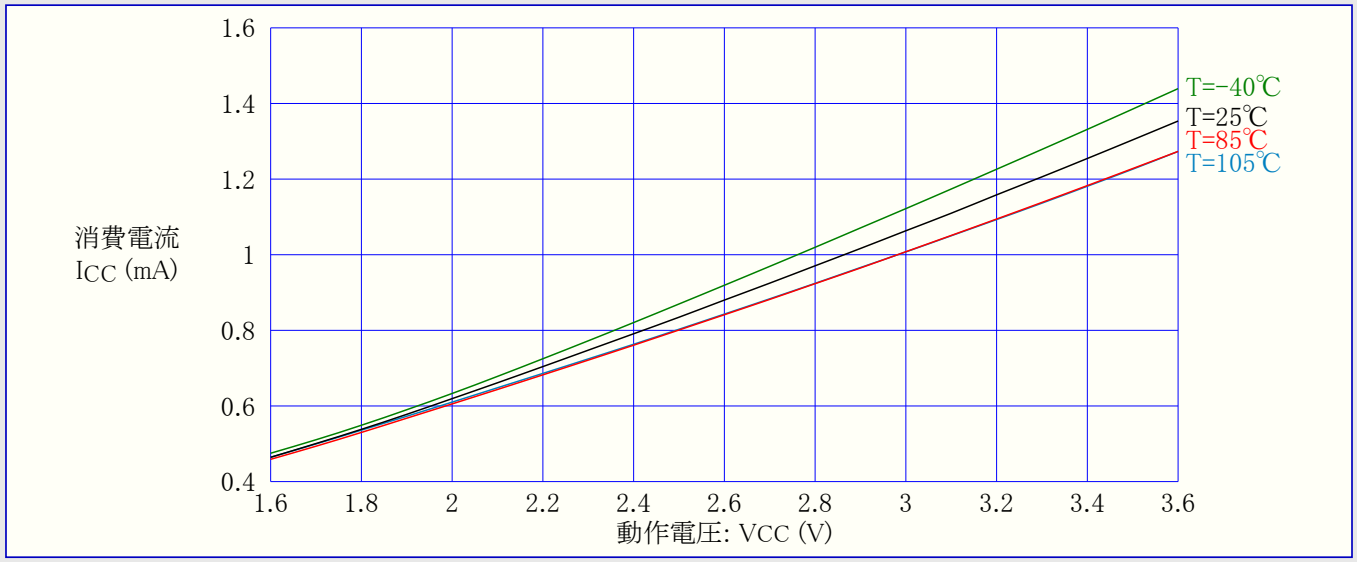


図37-6. 活動動作消費電流 対 動作電圧 (f_{SYS}=8MHzに前置分周した32MHz内部発振器)

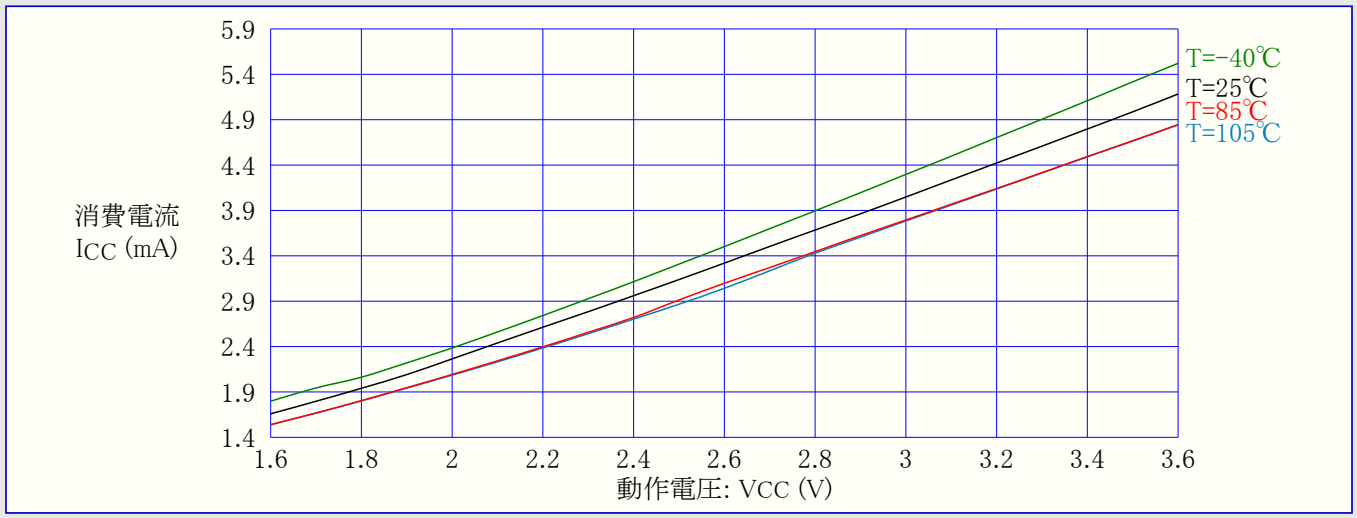
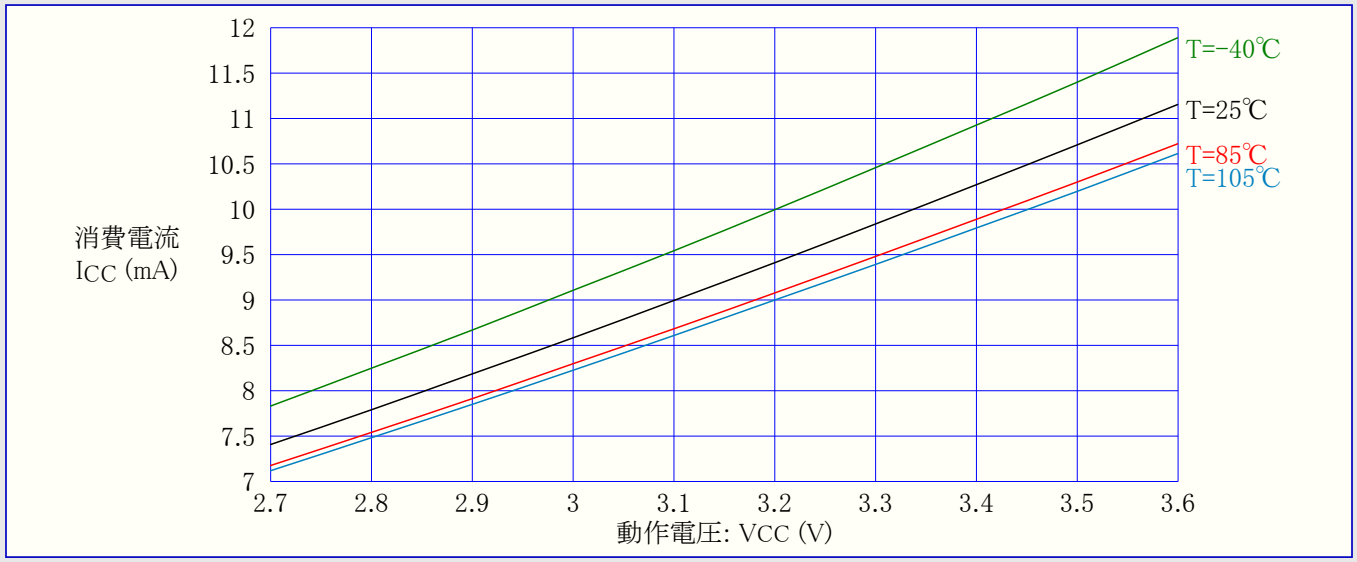


図37-7. 活動動作消費電流 対 動作電圧 (f_{SYS}=32MHz内部発振器)



37.1.1.2. ｱｲﾄﾞﾙ動作消費電流

図37-8. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部ｸﾛｯｸ,T=25℃)

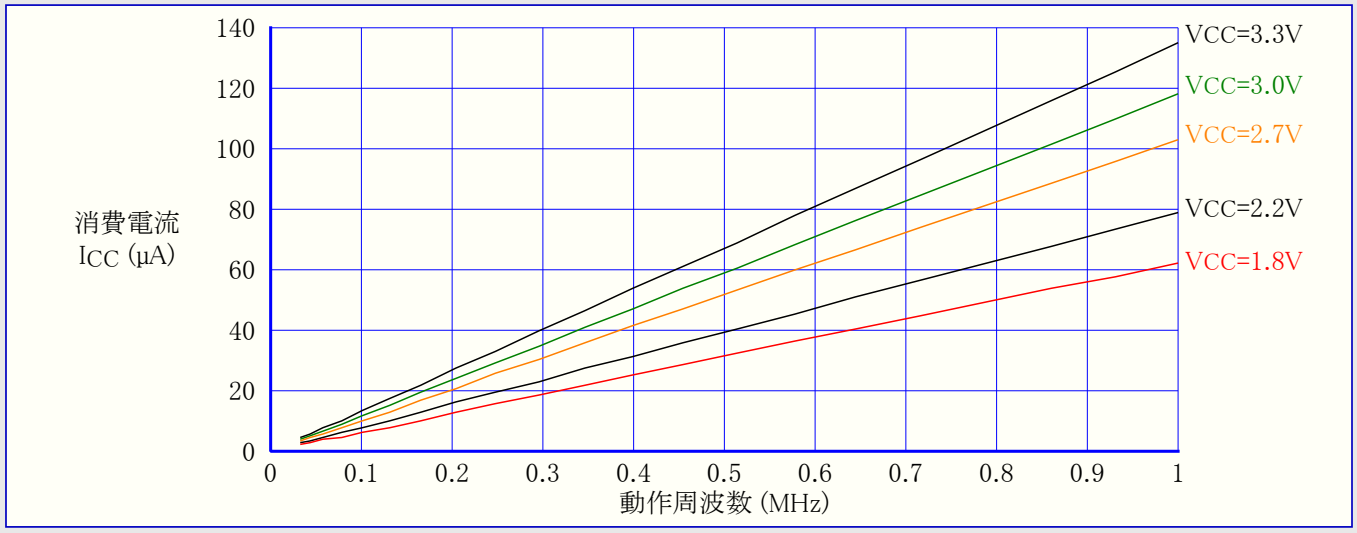
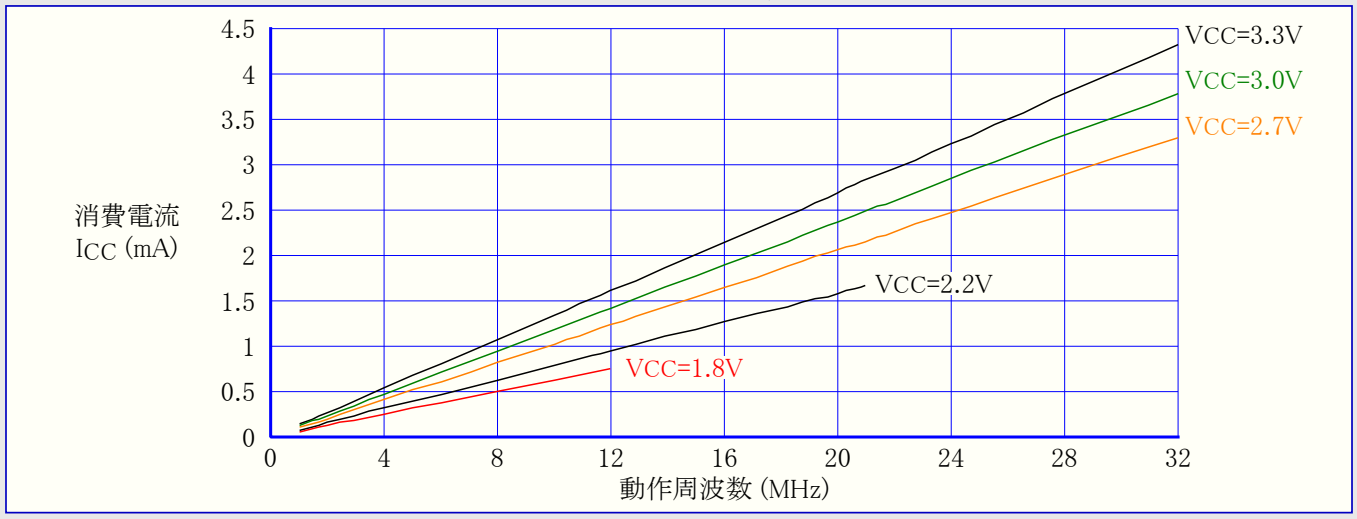


図37-9. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部ｸﾛｯｸ,T=25℃)



(**訳注**) 原書の**図37-7.**は誤って**図37-14.**が使われているため、参考用にATxmega64A4Uの同図(**図37-175.**)に差し替えました。

図37-10. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)

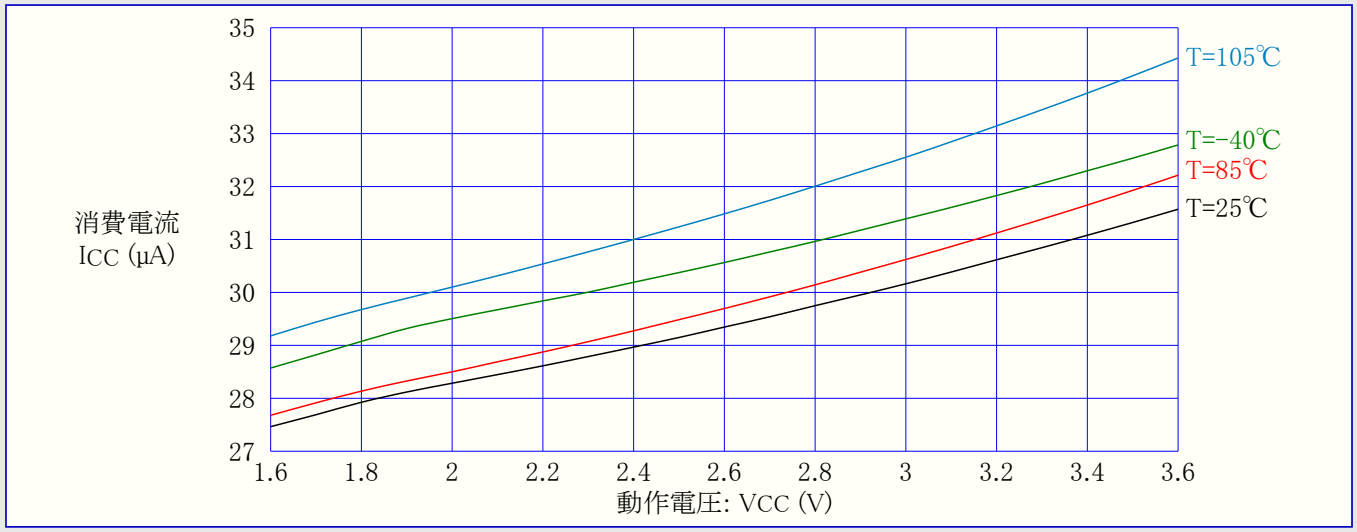


図37-11. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=1MHz外部ｸﾛｯｸ)

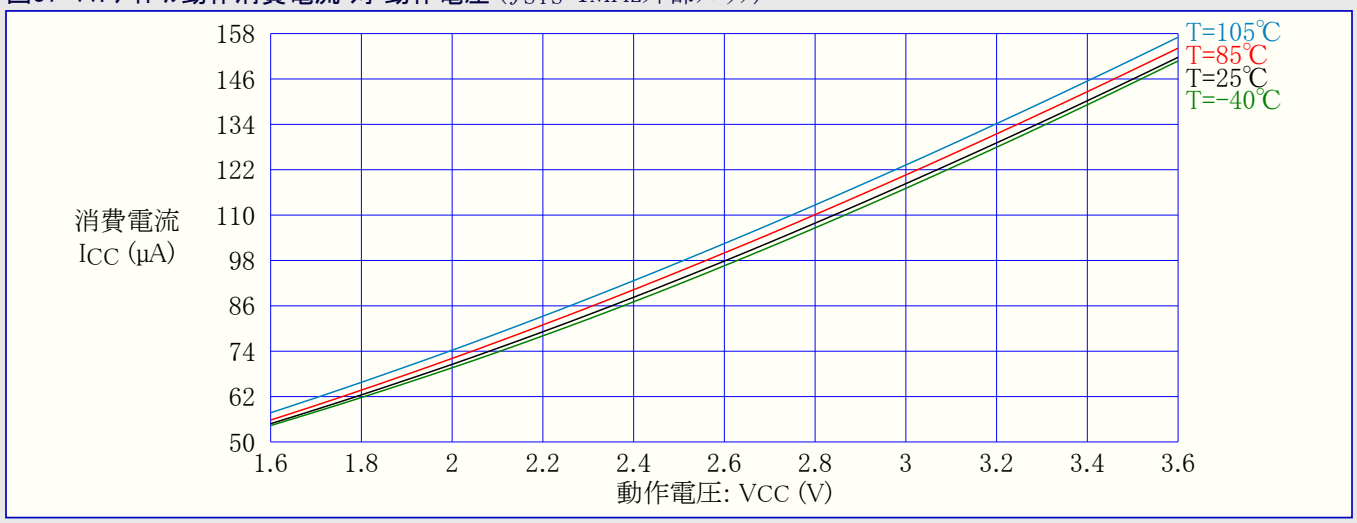
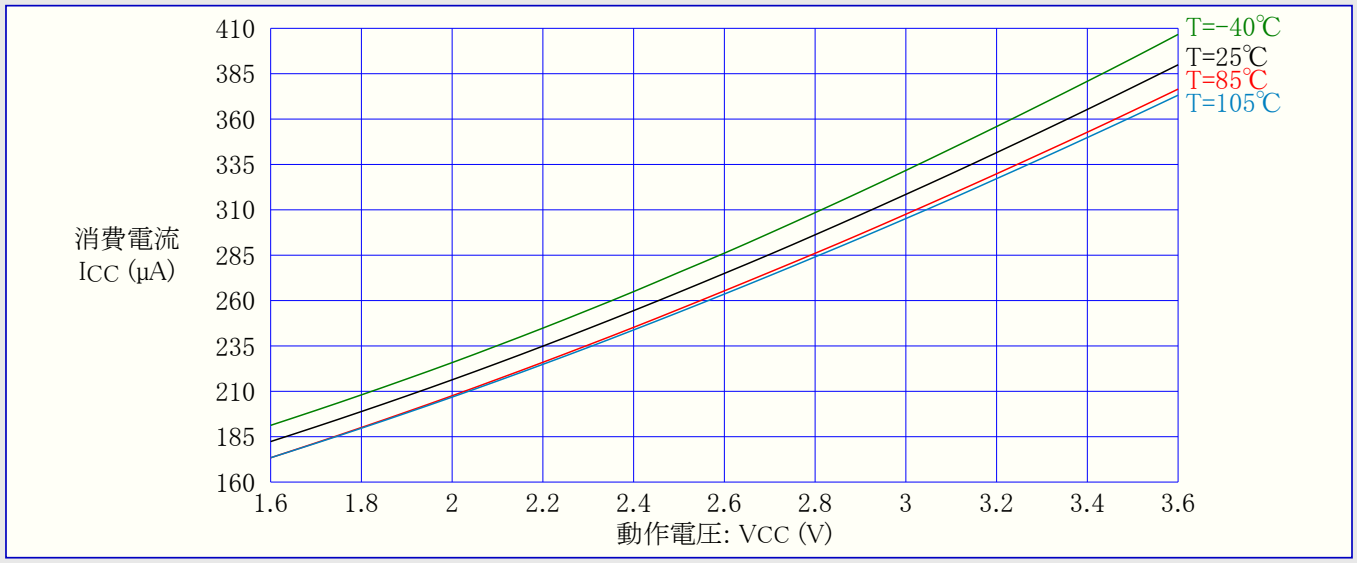


図37-12. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=2MHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-13. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=8MHzへ前置分周された32MHz内部発振器)

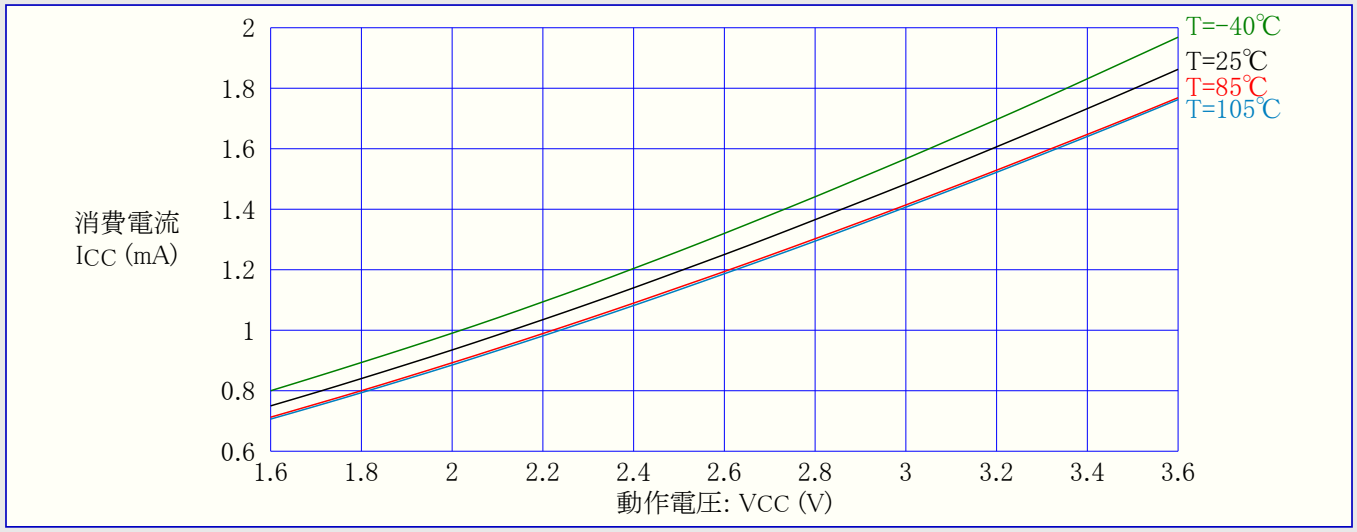
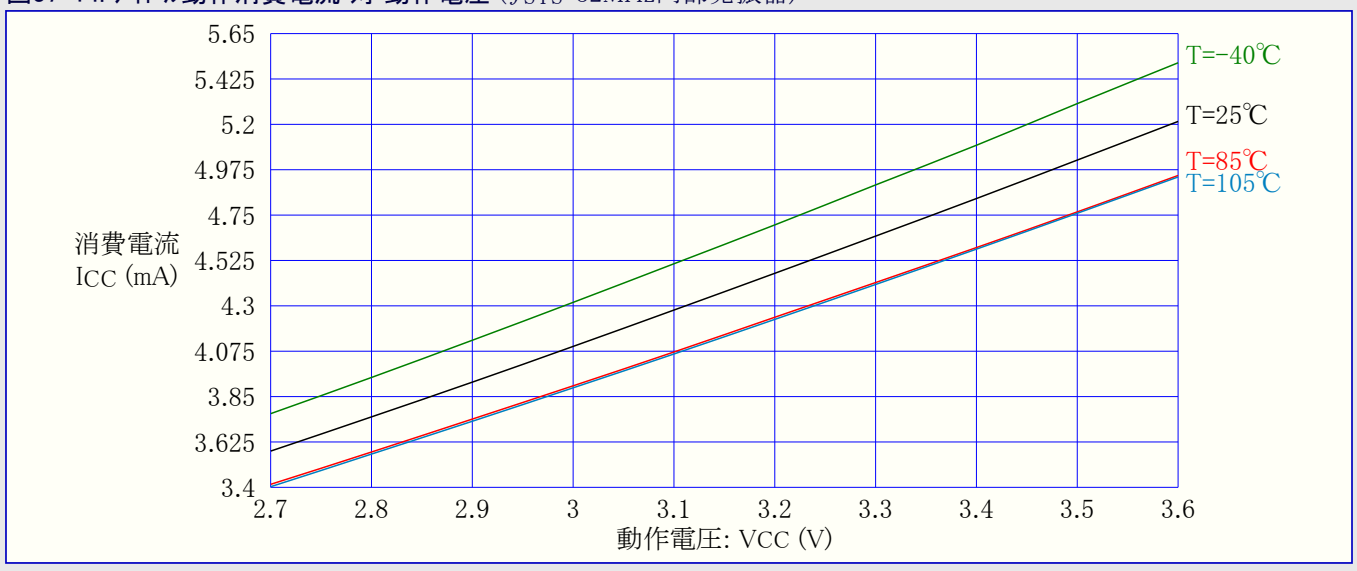


図37-14. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.1.1.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図37-15. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作温度 (全機能禁止)

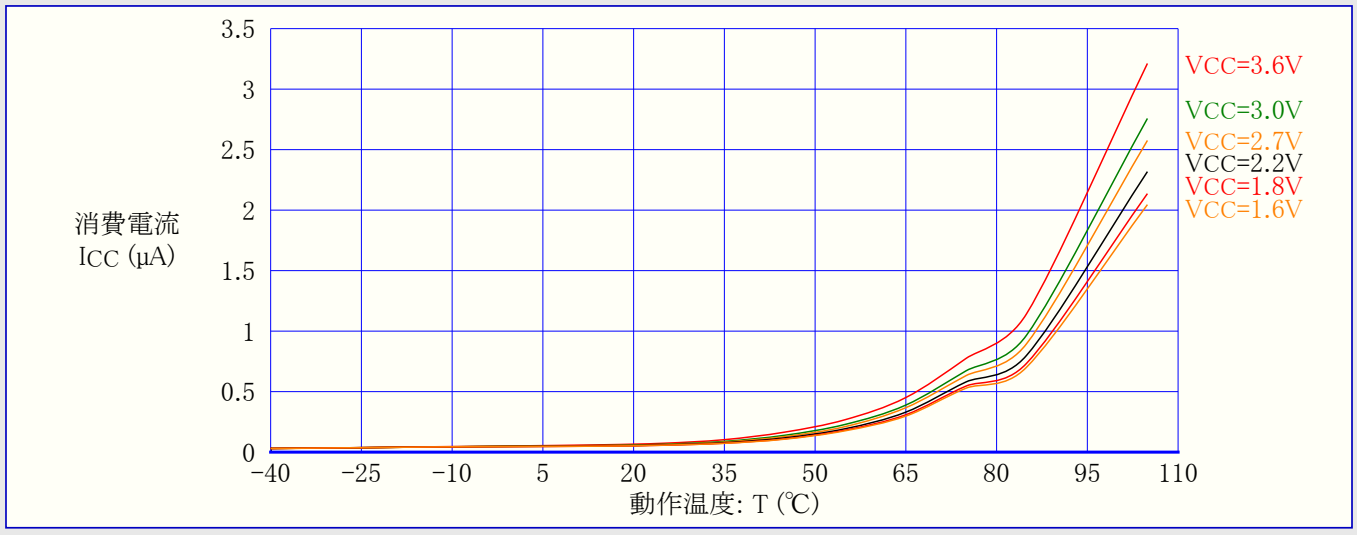


図37-16. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (全機能禁止)

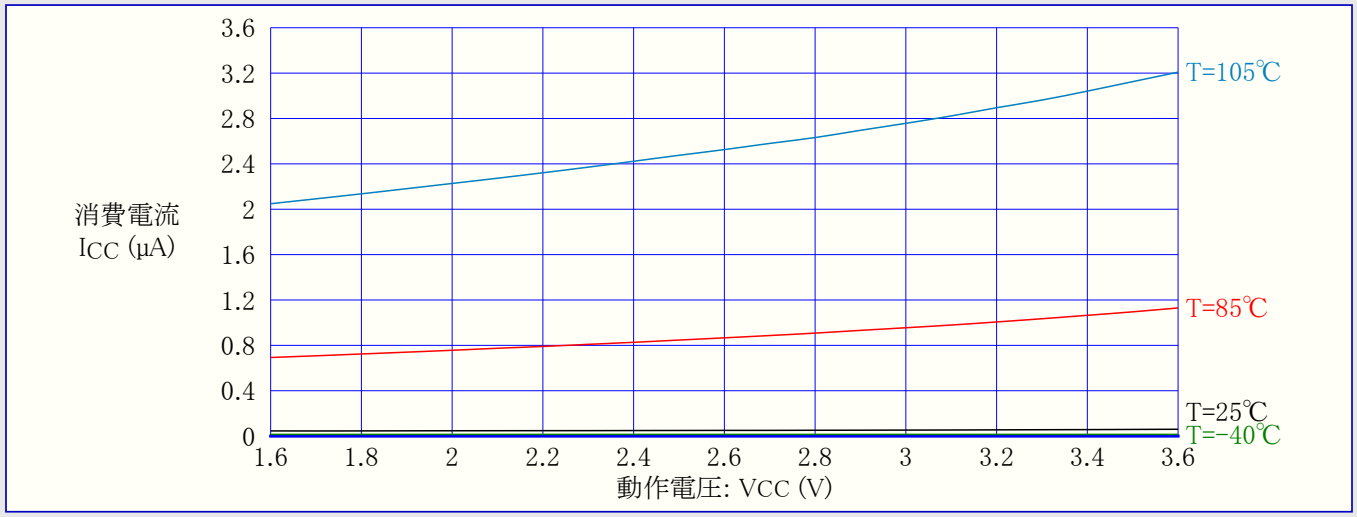
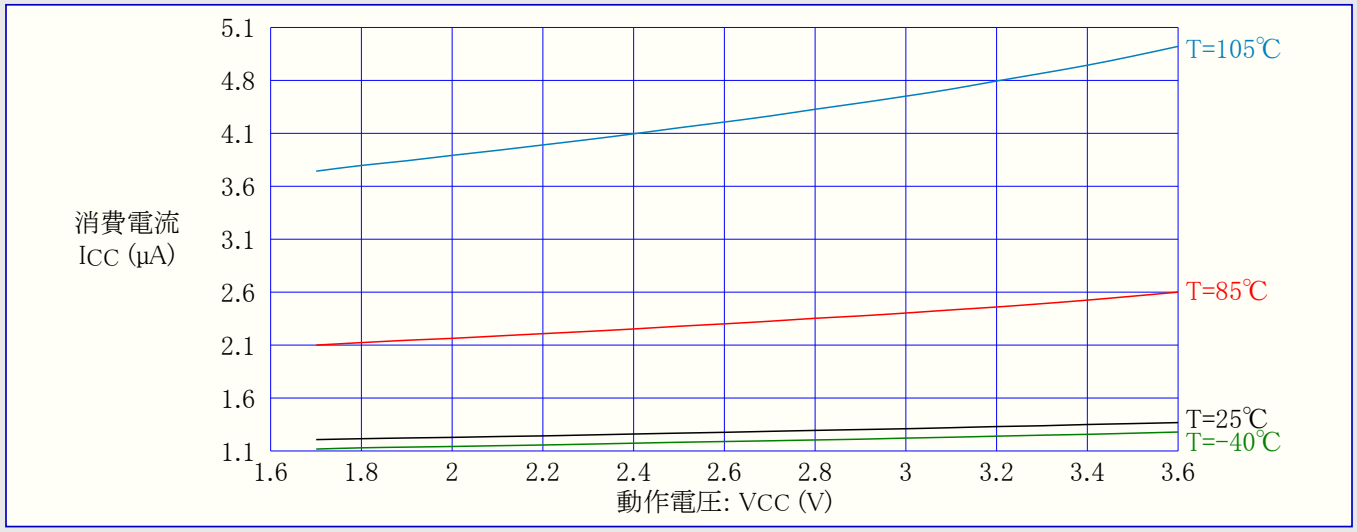
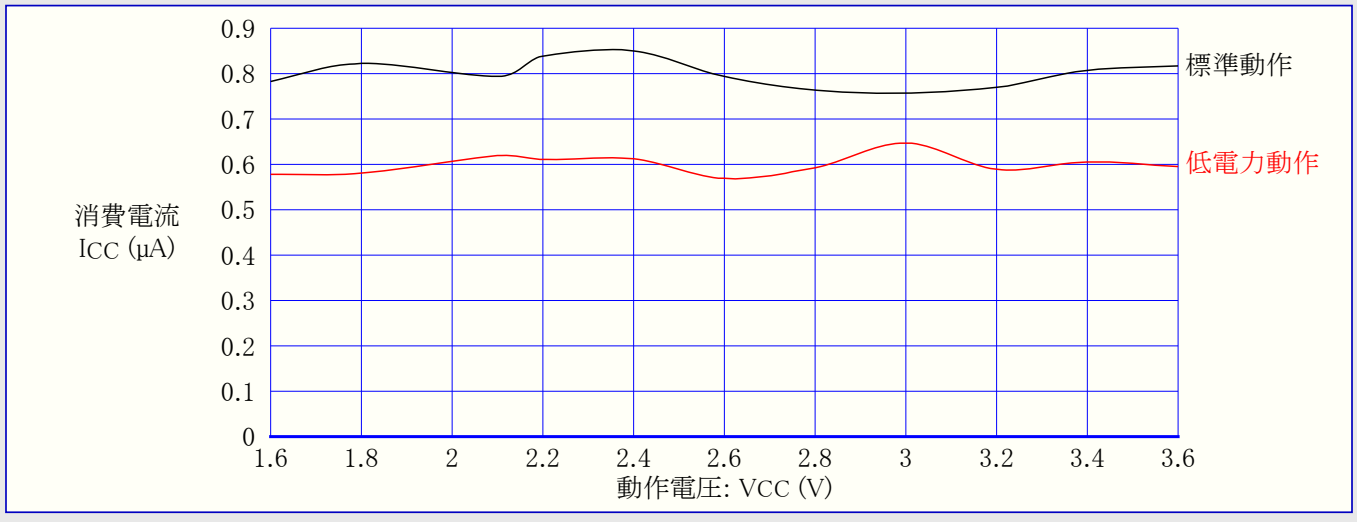


図37-17. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (採取動作BOD,WDT許可)



37.1.1.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図37-18. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



37.1.1.5. スタンバイ動作消費電流

図37-19. スタンバイ動作消費電流 対 動作電圧 (f_{SYS}=1MHz)

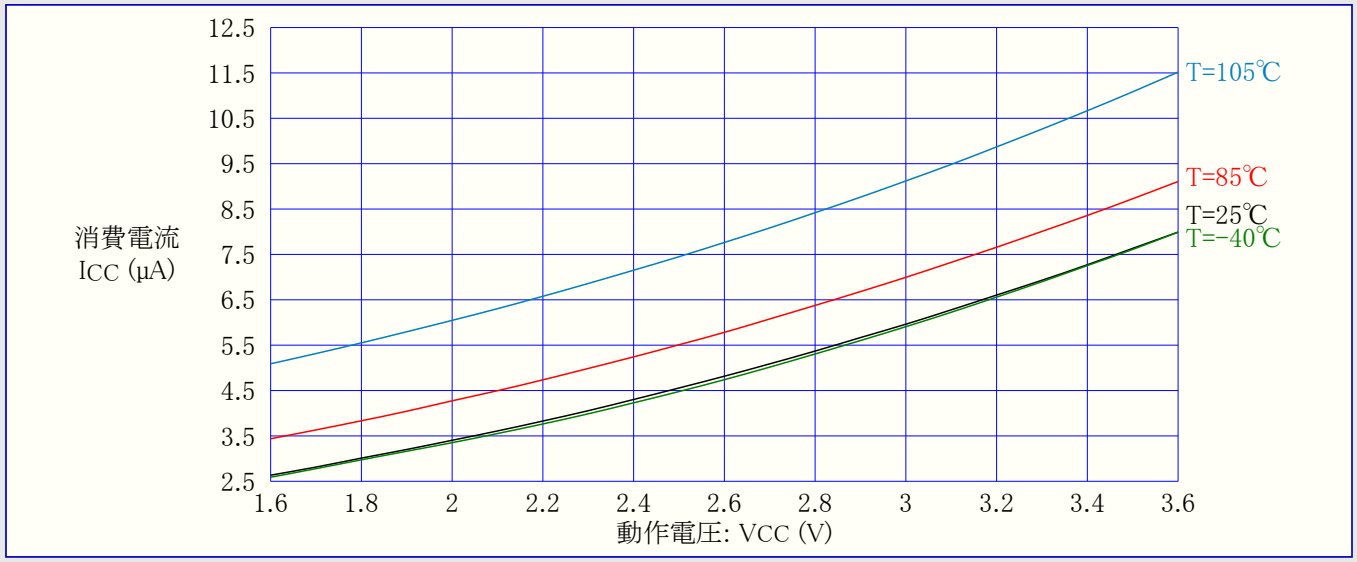
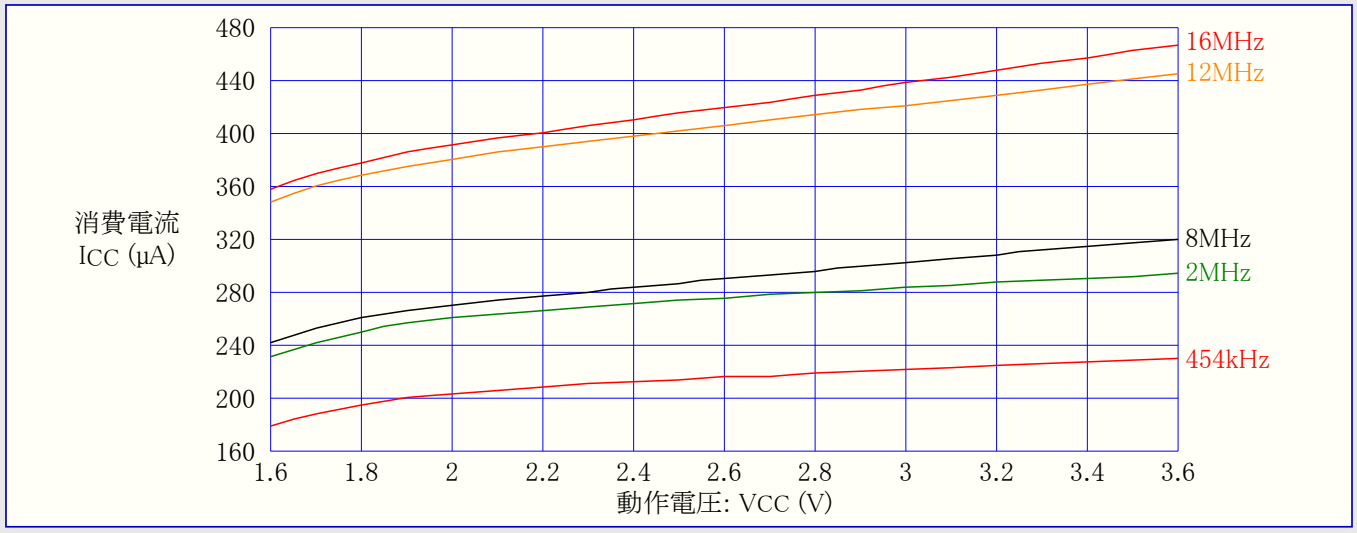


図37-20. スタンバイ動作消費電流 対 動作電圧 (各種クリスタル用発振器での走行,T=25℃)



37.1.2. 入出力ピン特性

37.1.2.1. プルアップ

図37-21. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

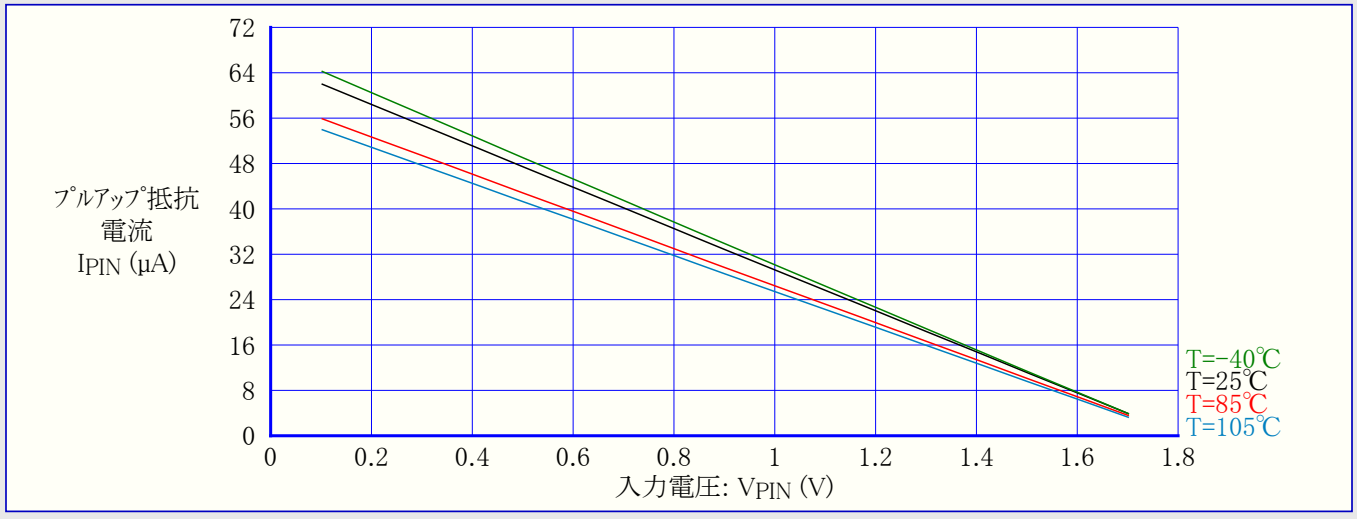


図37-22. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=3.0V)

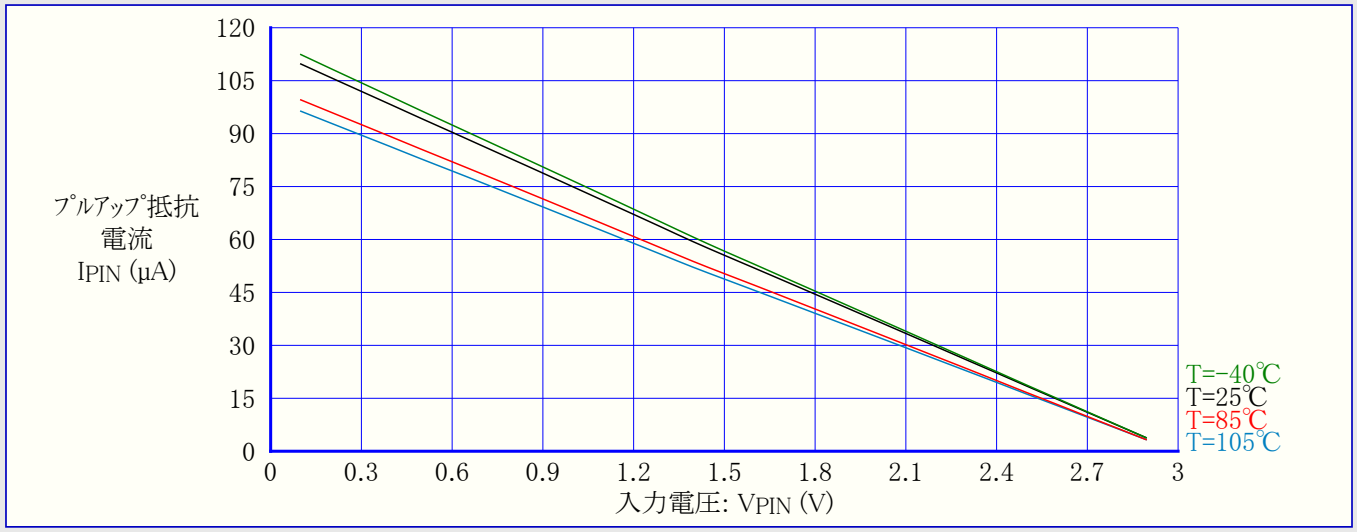
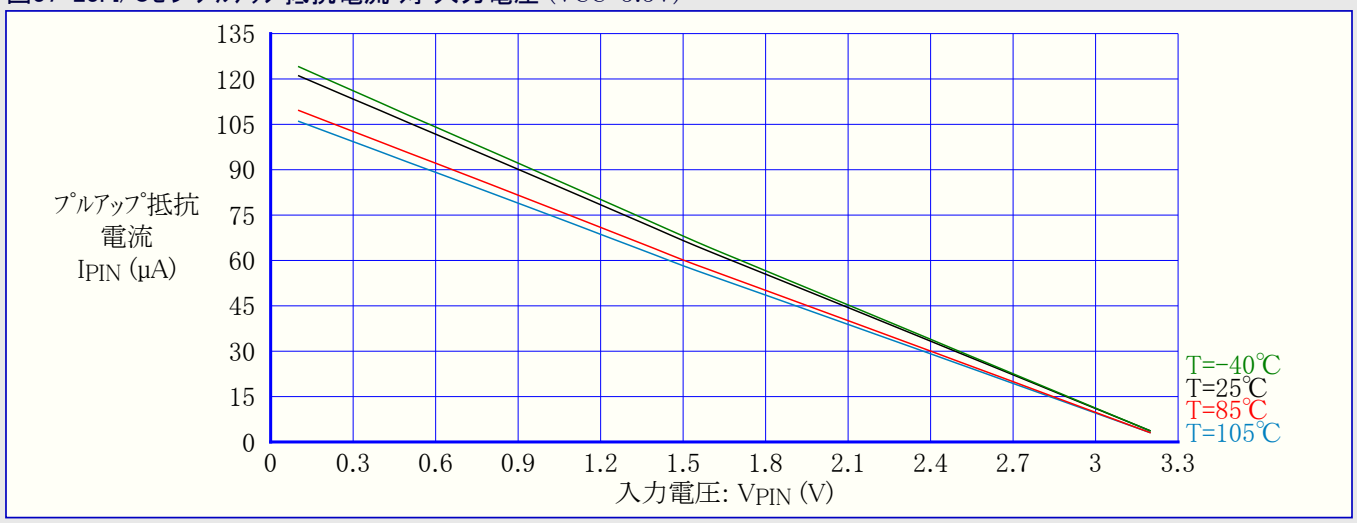


図37-23. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



37.1.2.2. 出力電圧 対 吸い込み/吐き出し電流

図37-24. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

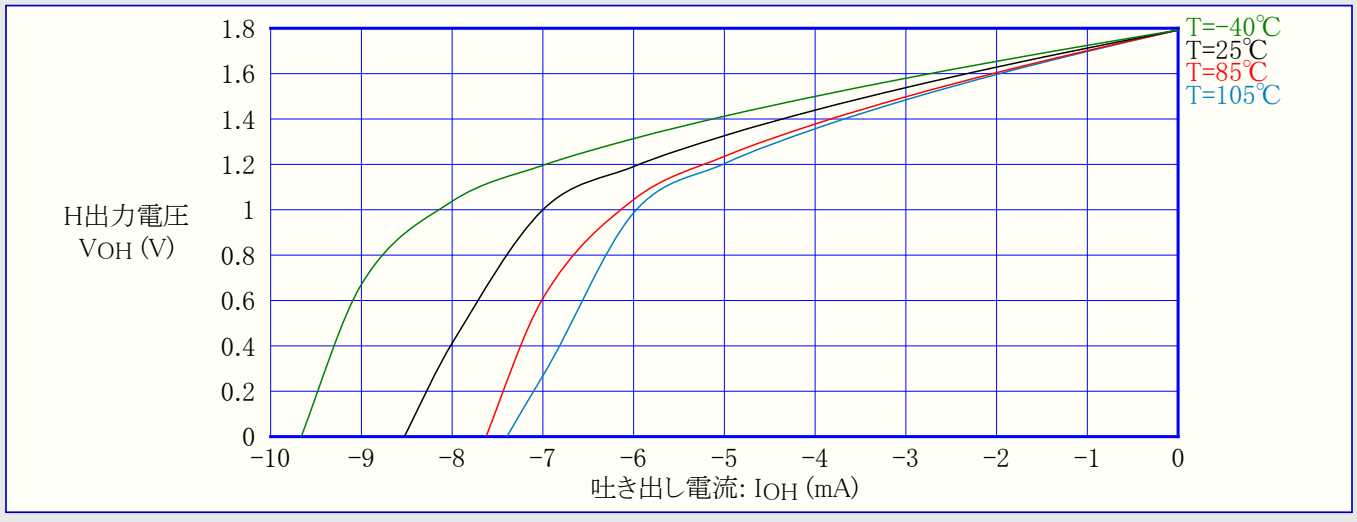


図37-25. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

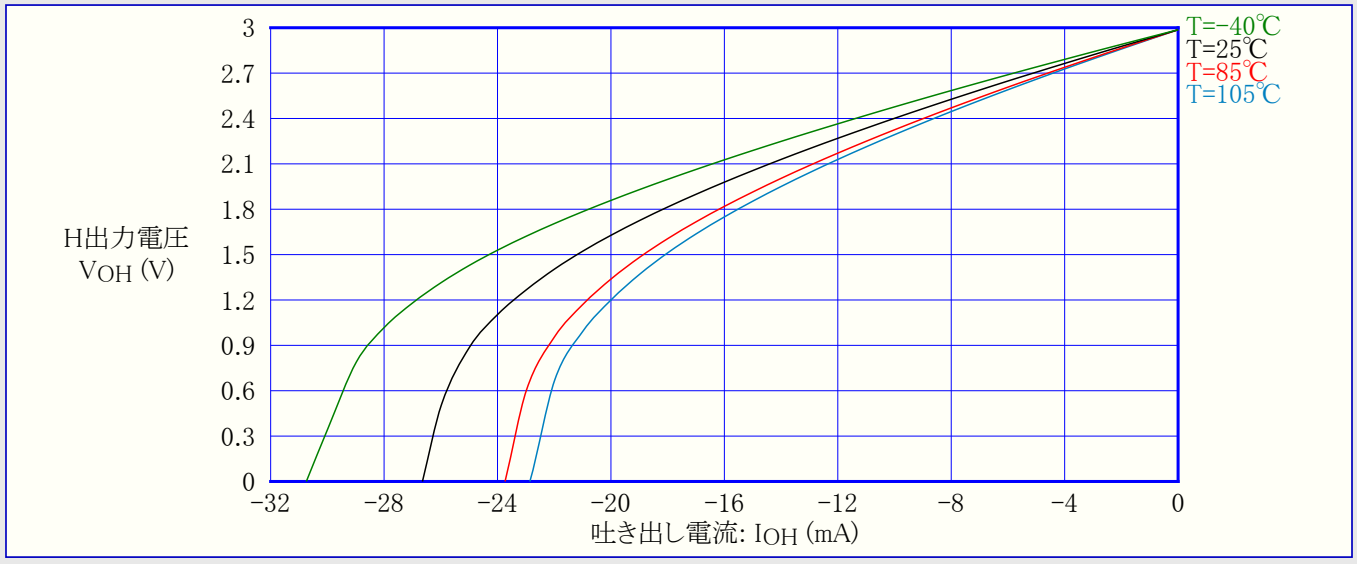


図37-26. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

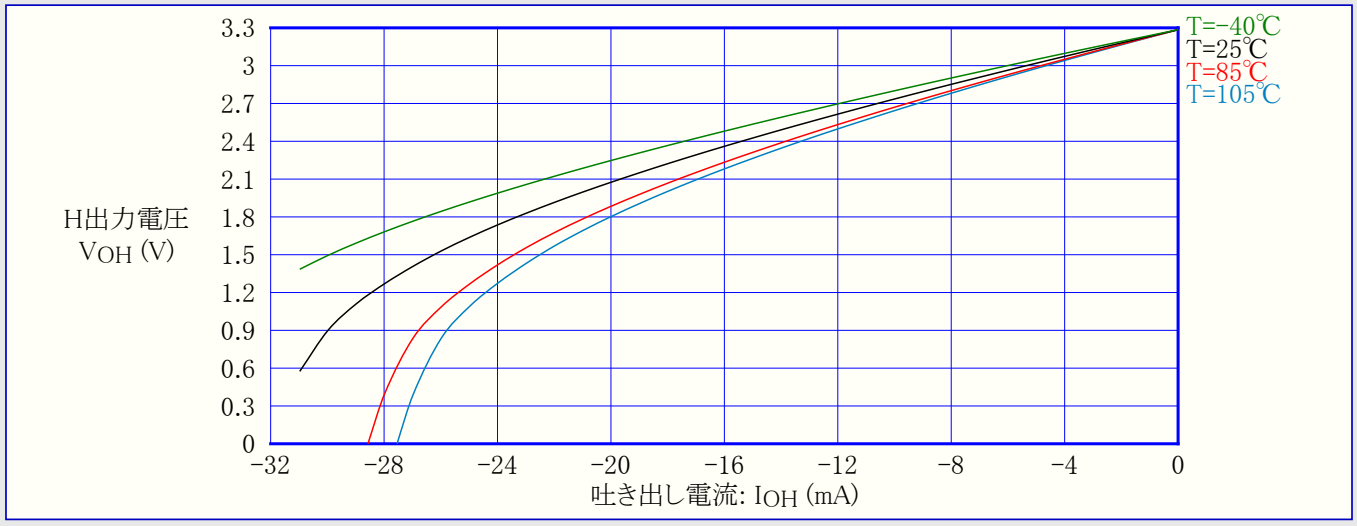


図37-27. I/Oピン出力電圧 対 吐き出し電流 (T=25℃)

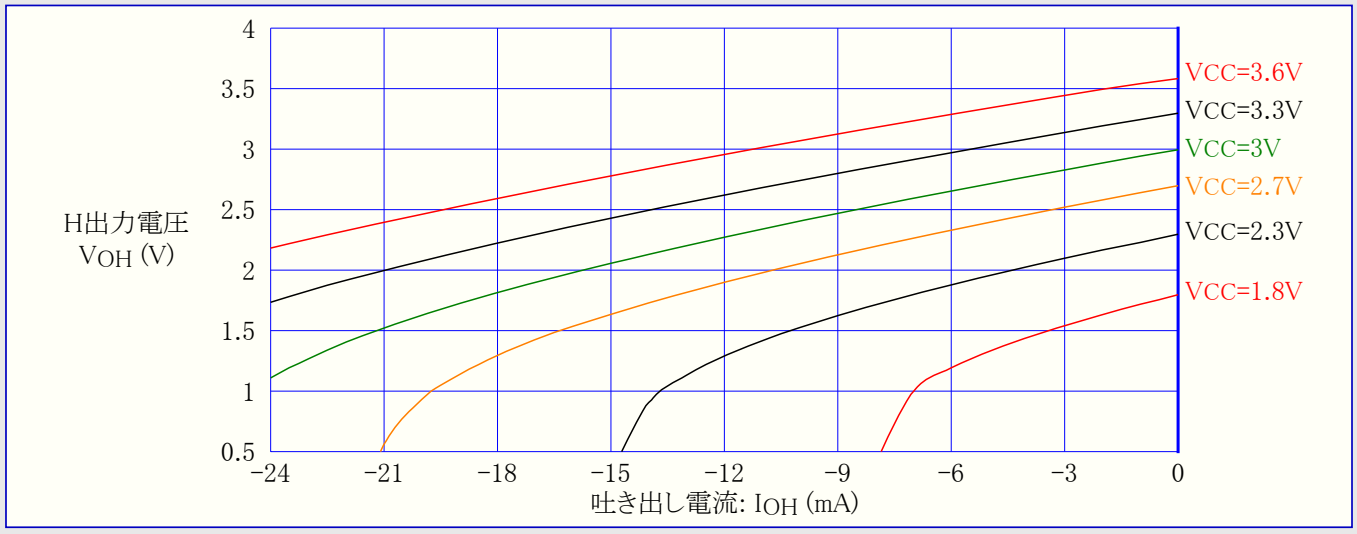


図37-28. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=1.8V)

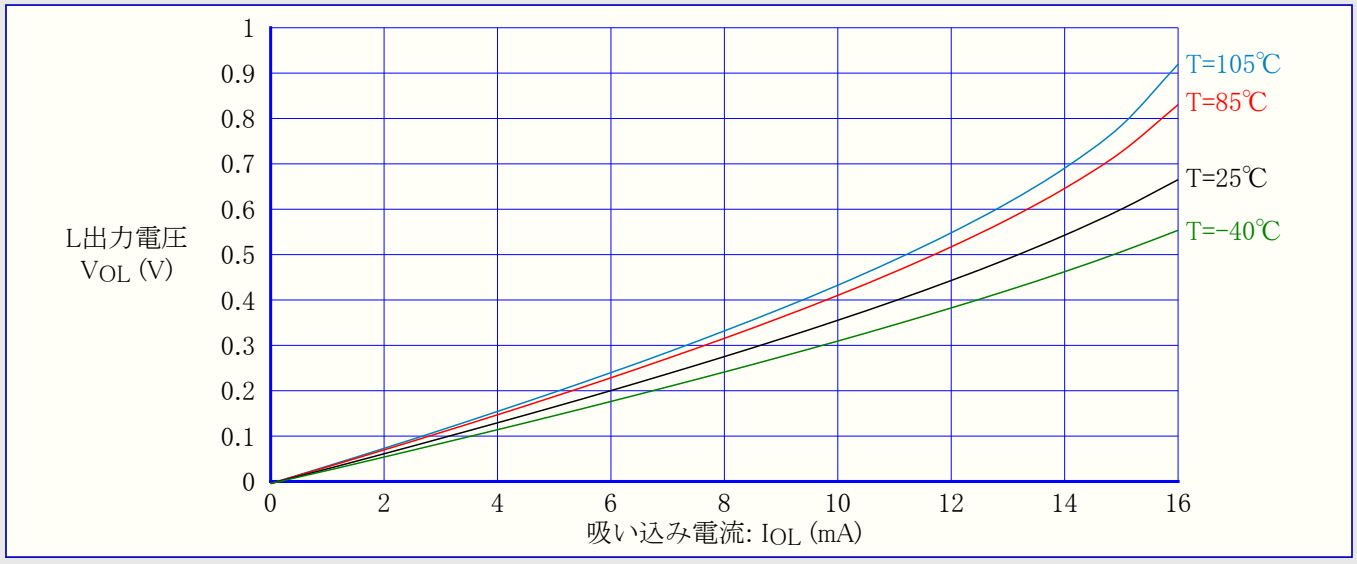


図37-29. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.0V)

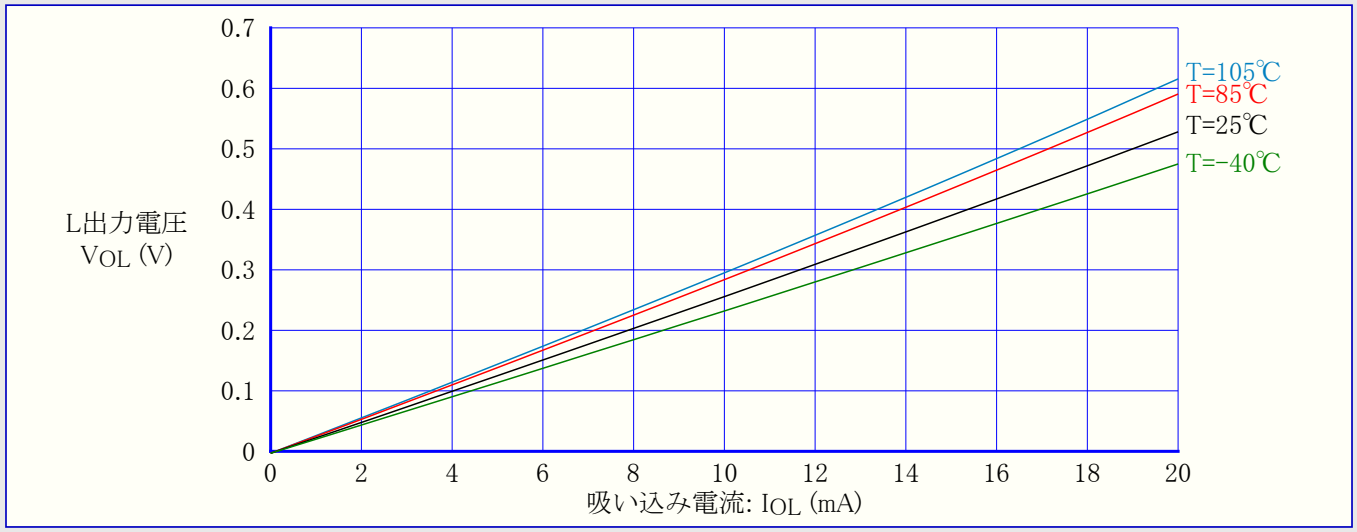
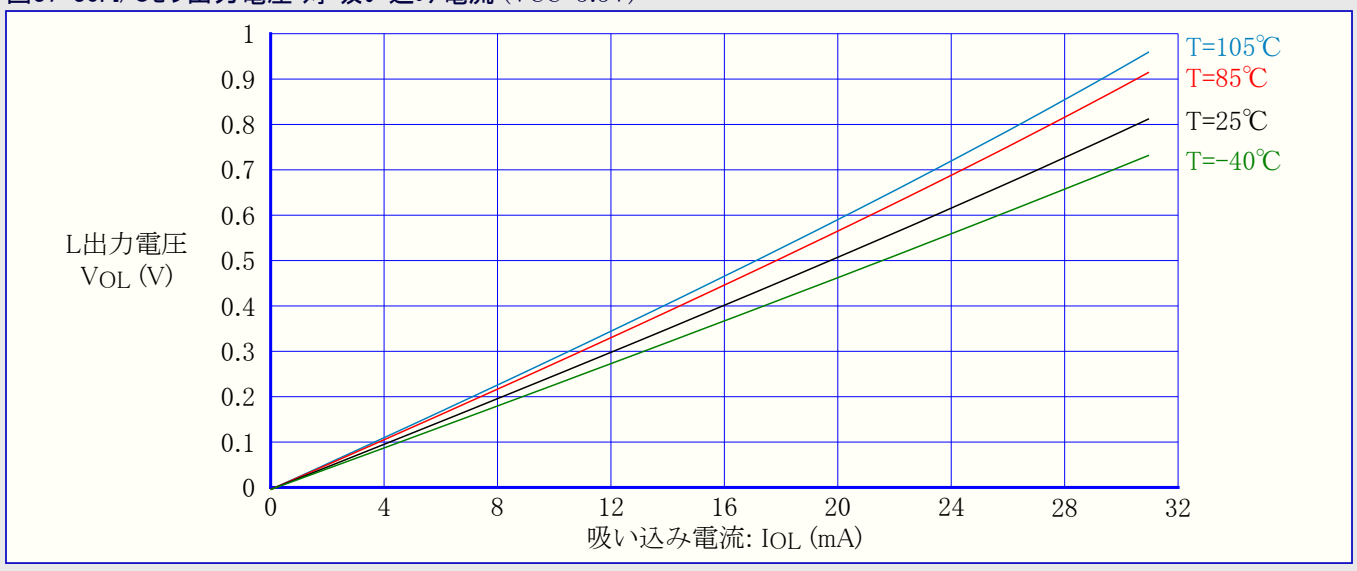
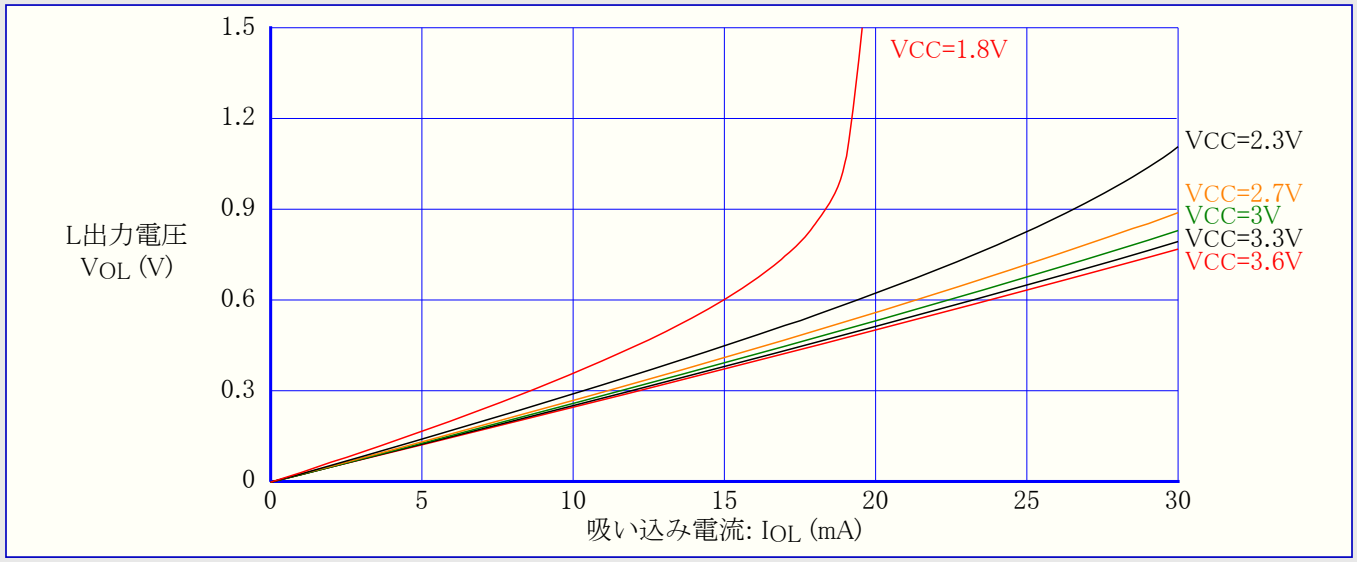


図37-30. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.3V)



© 2011-2020 Microchip Technology Inc.

図37-31. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (T=25℃)



37.1.2.3. 閾値とﾋｽﾃﾘｼｽ

図37-32. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (T=25℃)

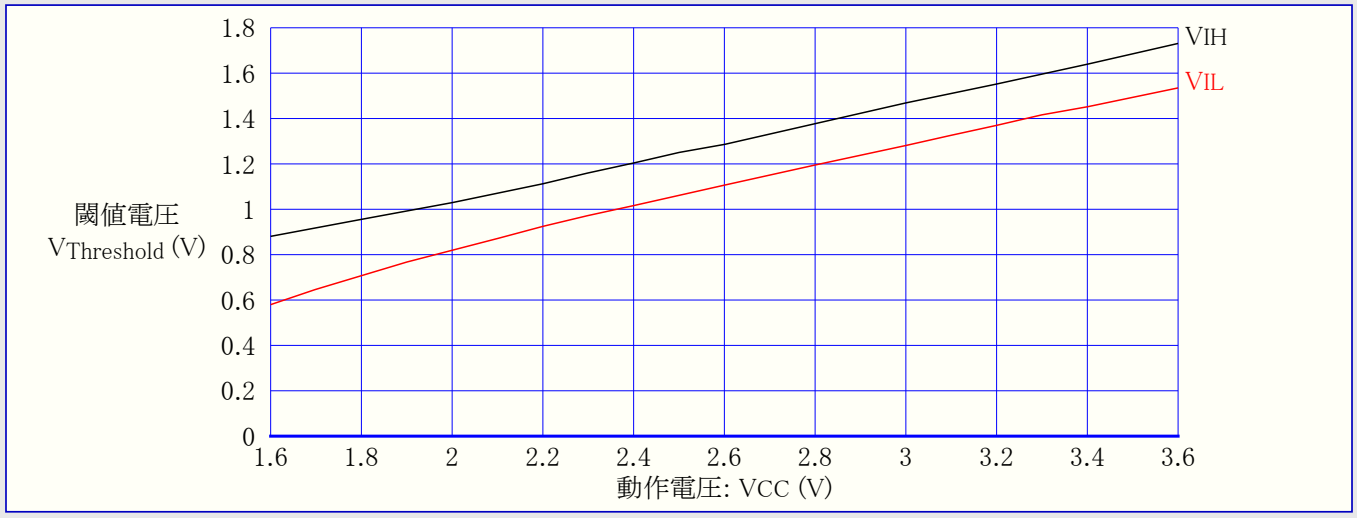


図37-33. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)

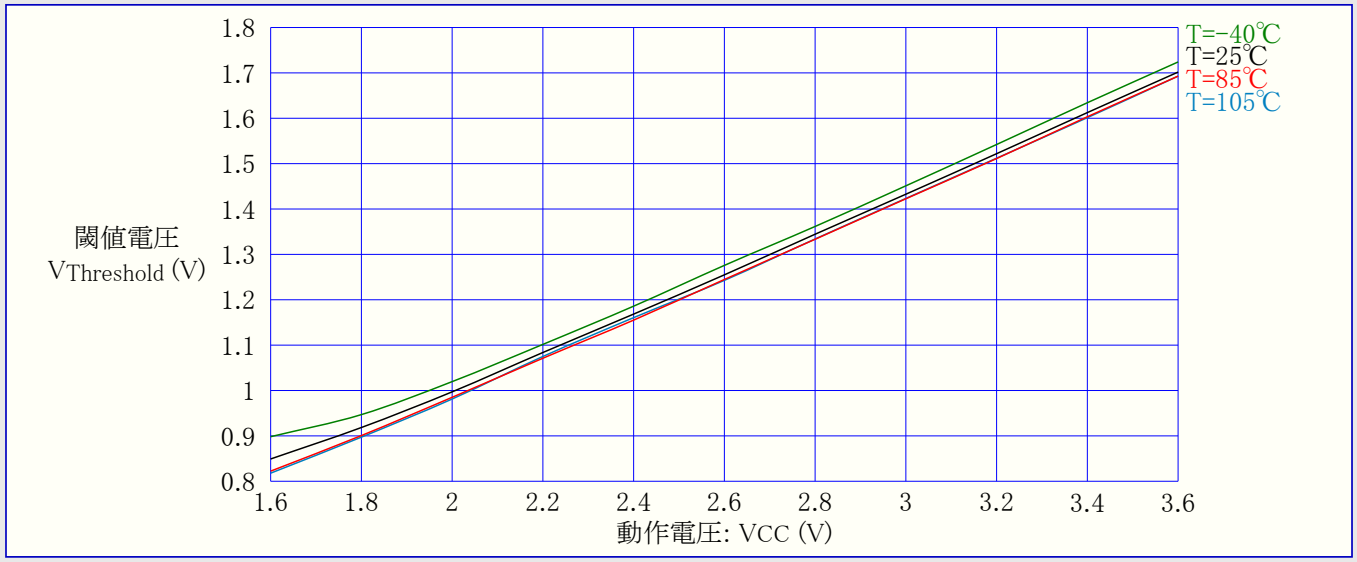


図37-34. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)

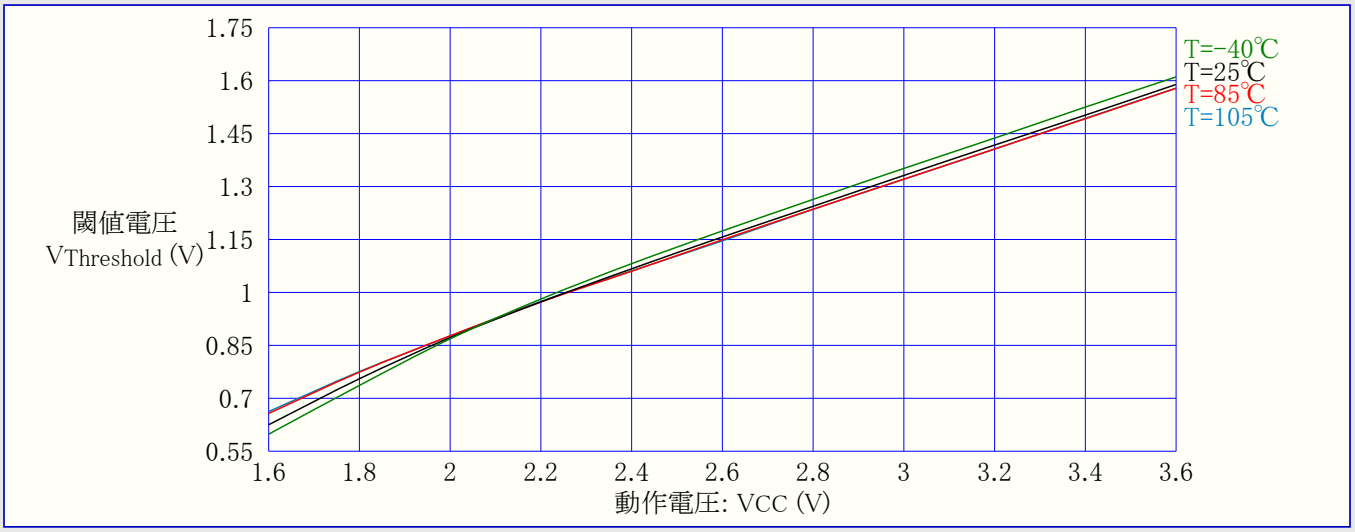
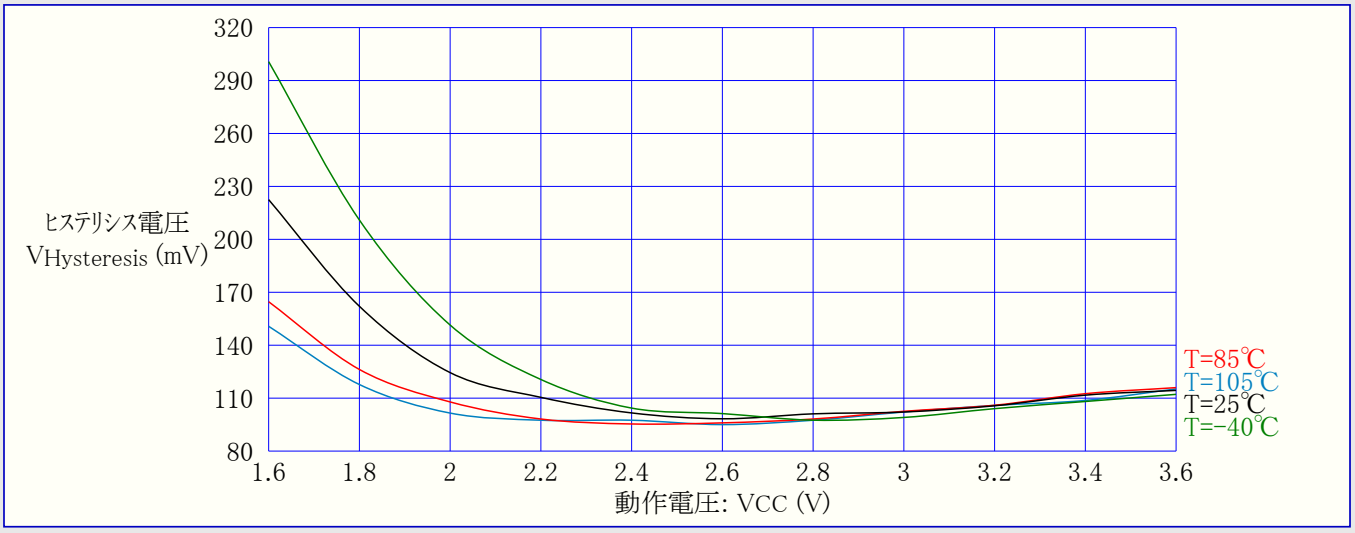


図37-35. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



37.1.3. A/D変換器(ADC)特性

図37-36. ADC積分性誤差(INL) 対 外部VREF (T=25℃、VCC=3.6V)

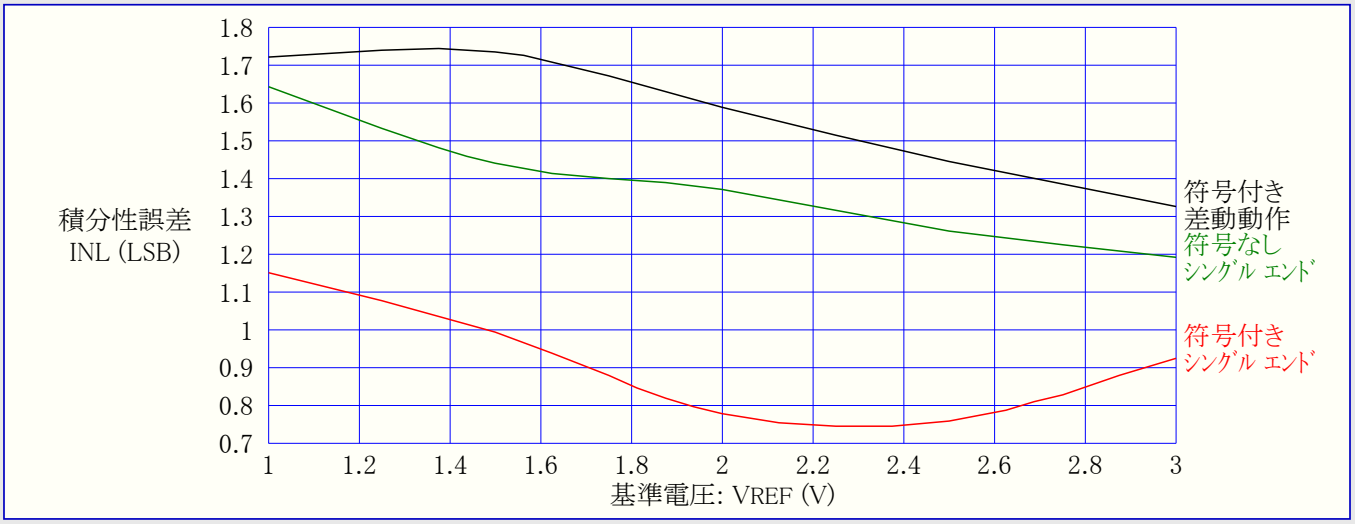


図37-37. ADC積分性誤差(INL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

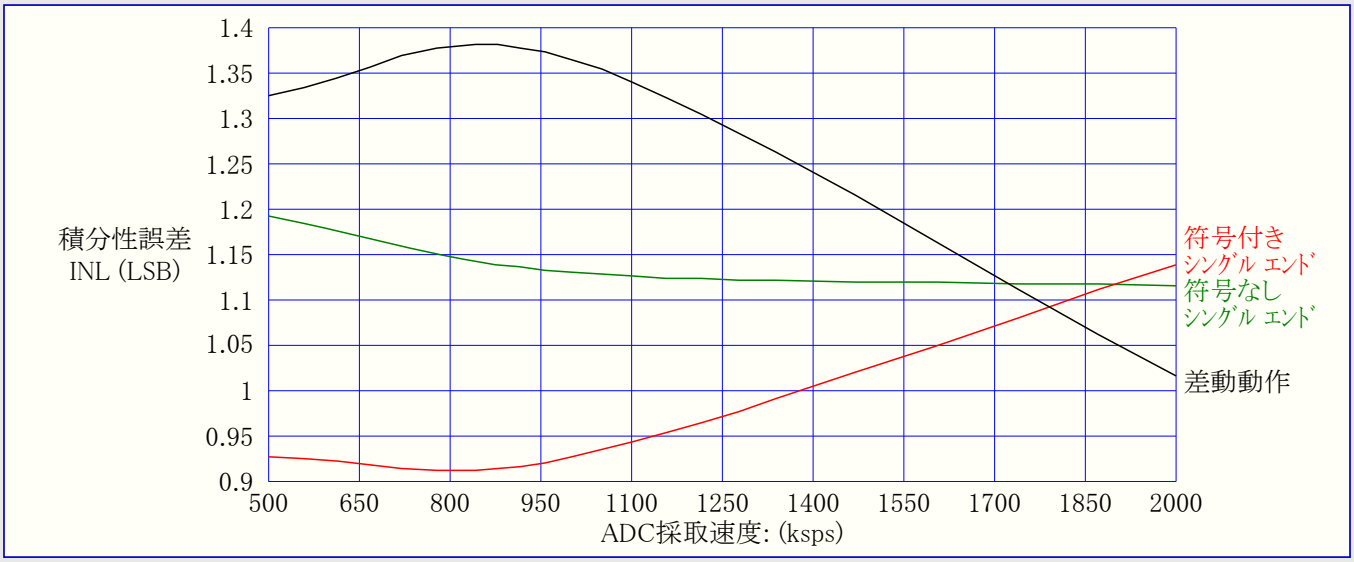


図37-38. ADC積分性誤差(INL) 対 入力符号

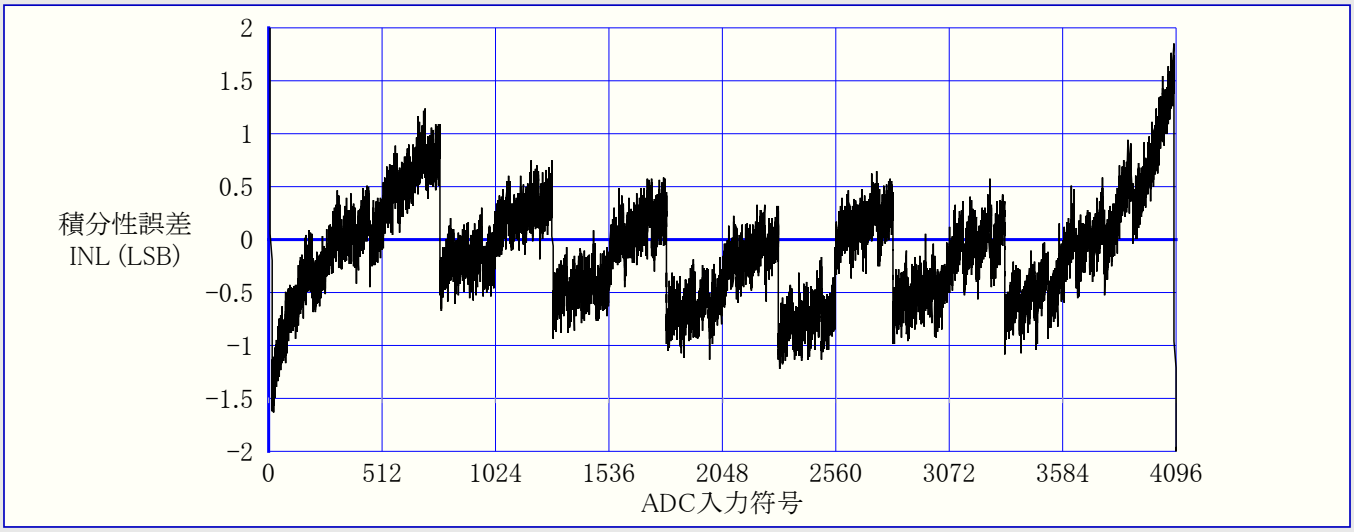


図37-39. ADC微分性誤差(DNL) 対 外部VREF (T=25℃、VCC=3.6V)

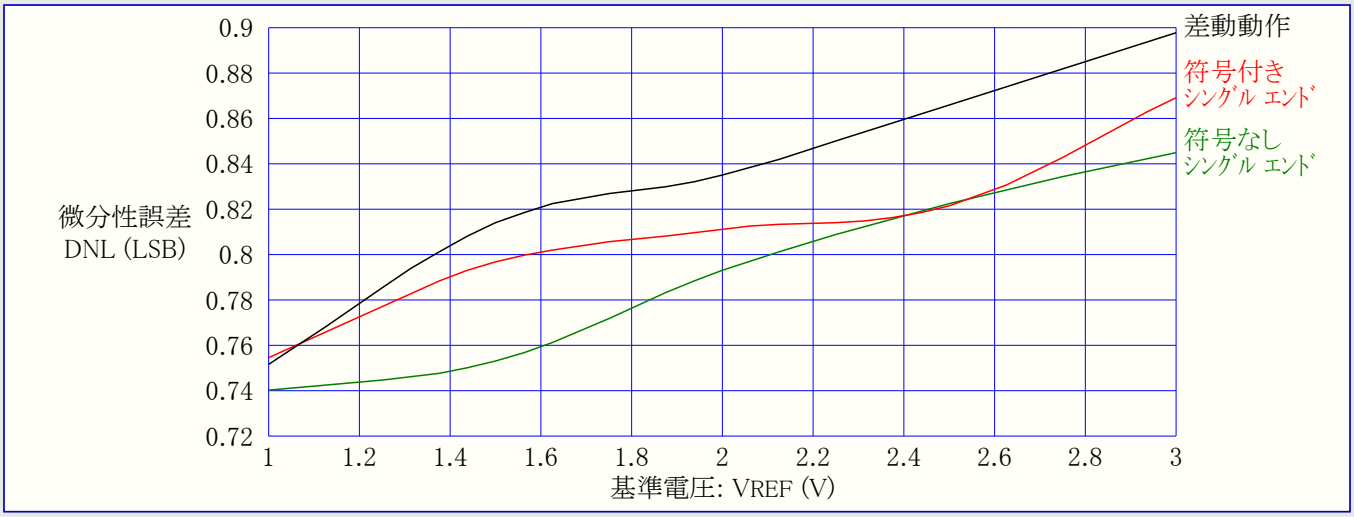


図37-40. ADC微分性誤差(DNL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

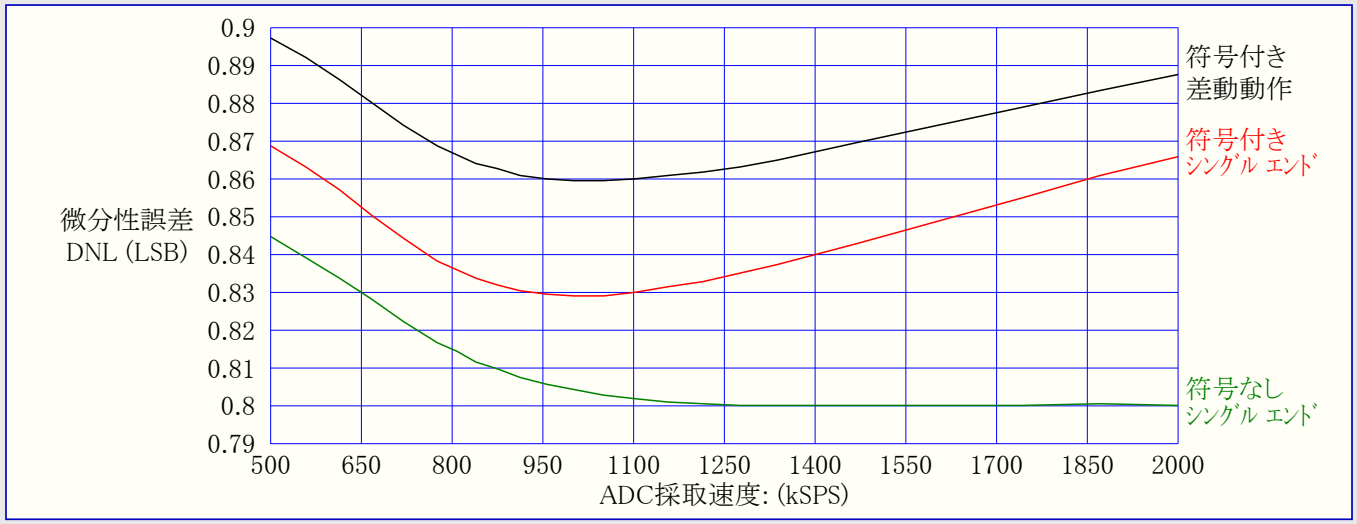


図37-41. ADC微分性誤差(DNL) 対 入力符号

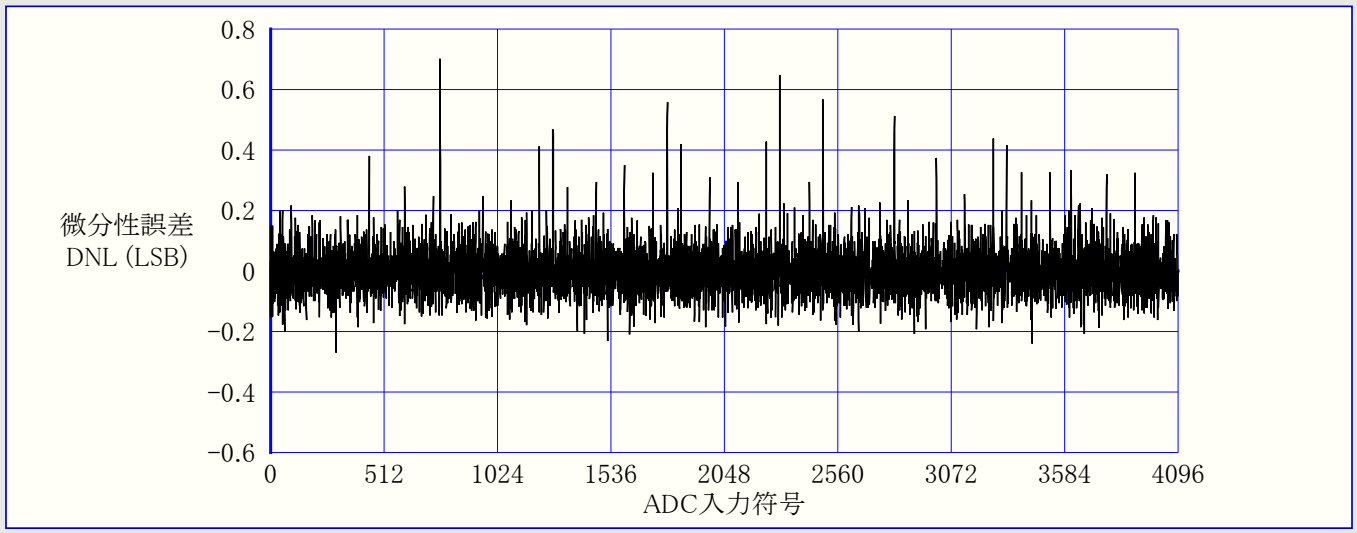


図37-42. ADC利得誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

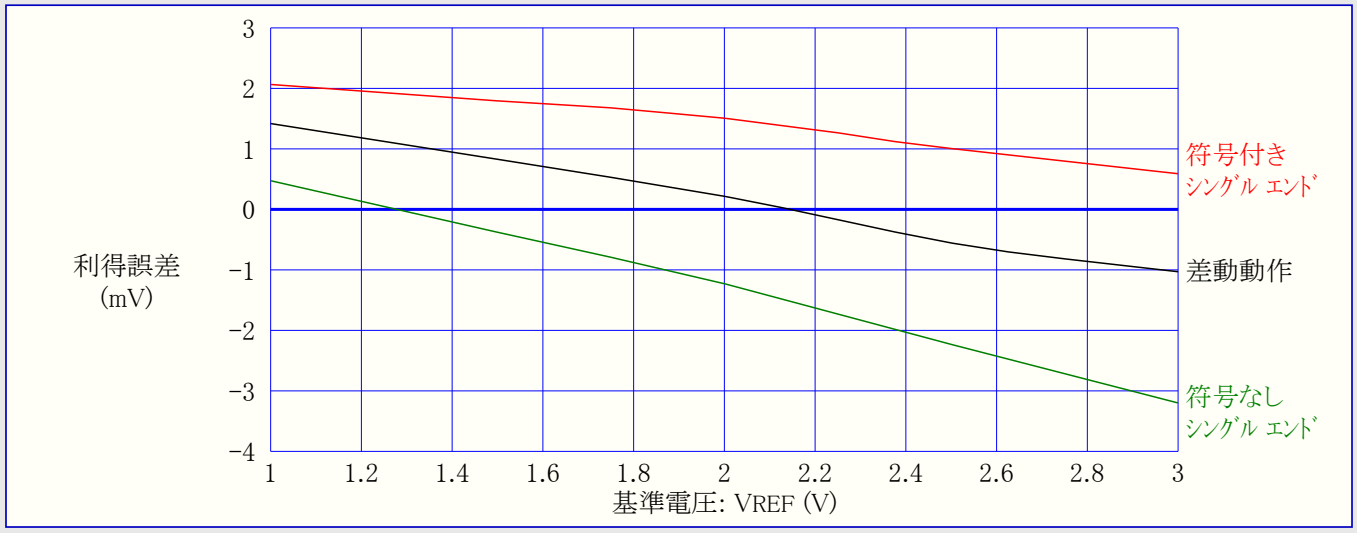


図37-43. ADC利得誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

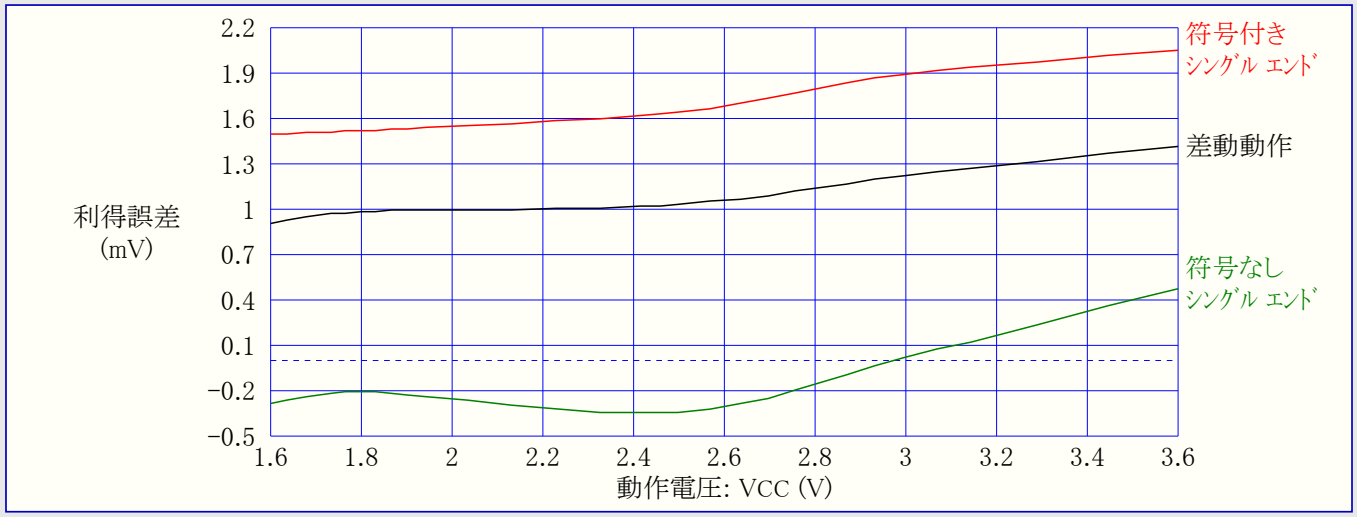


図37-44. ADC変位(ｵﾌｾｯﾄ)誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

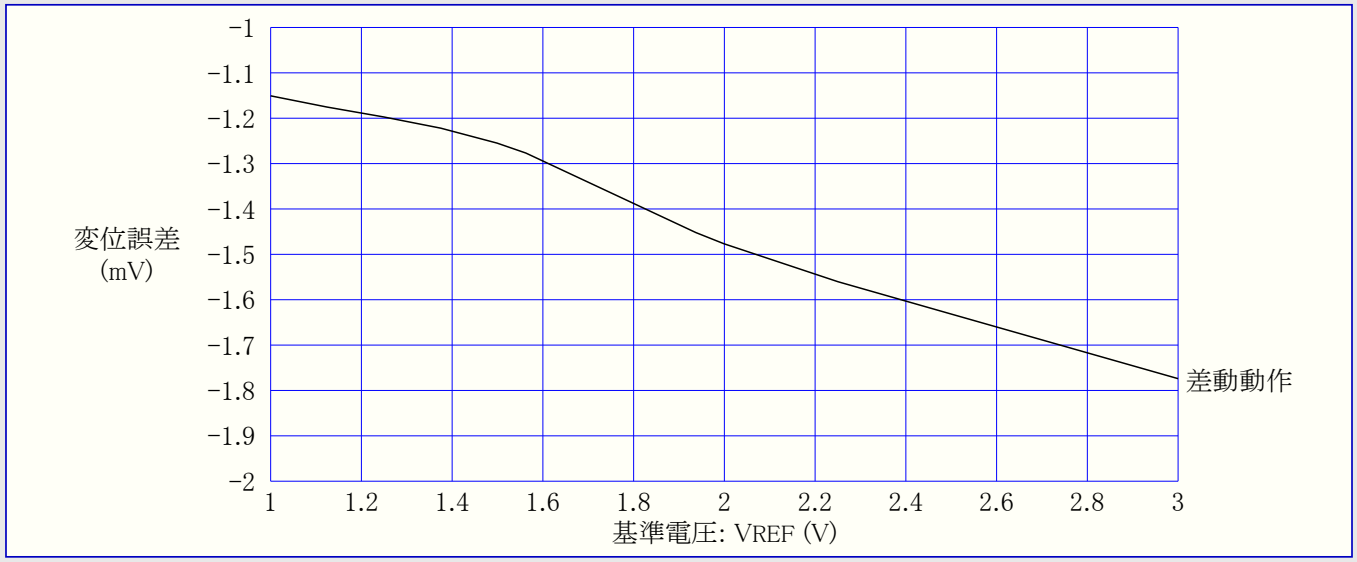
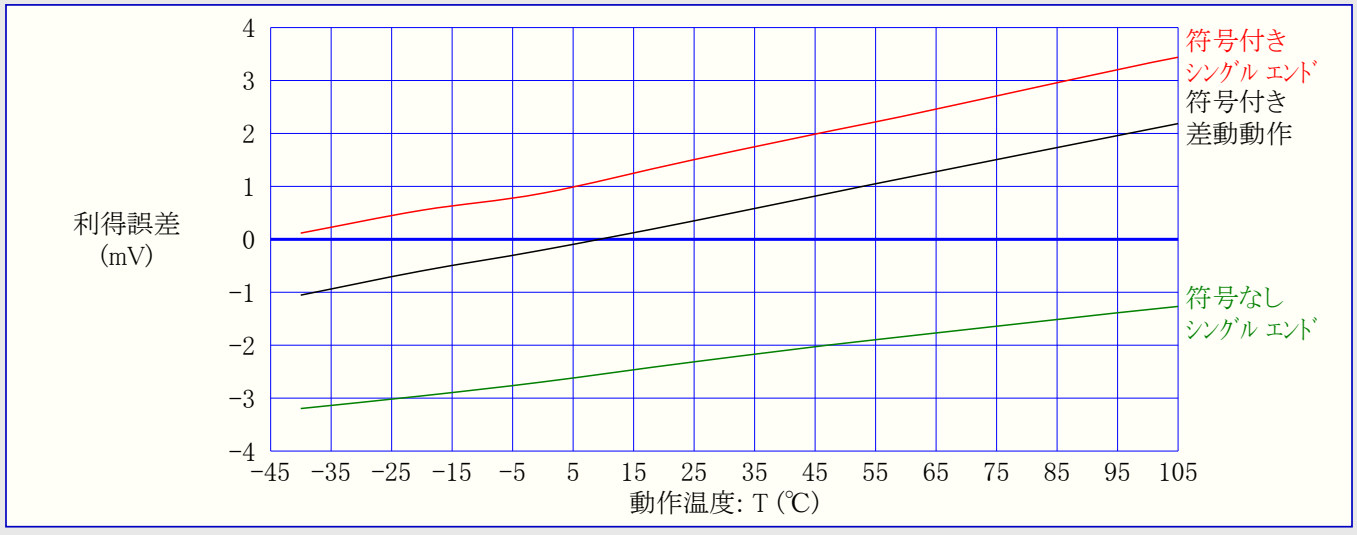


図37-45. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部2.0V)



© 2011-2020 Microchip Technology Inc.

図37-46. ADC変位(オフセット)誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

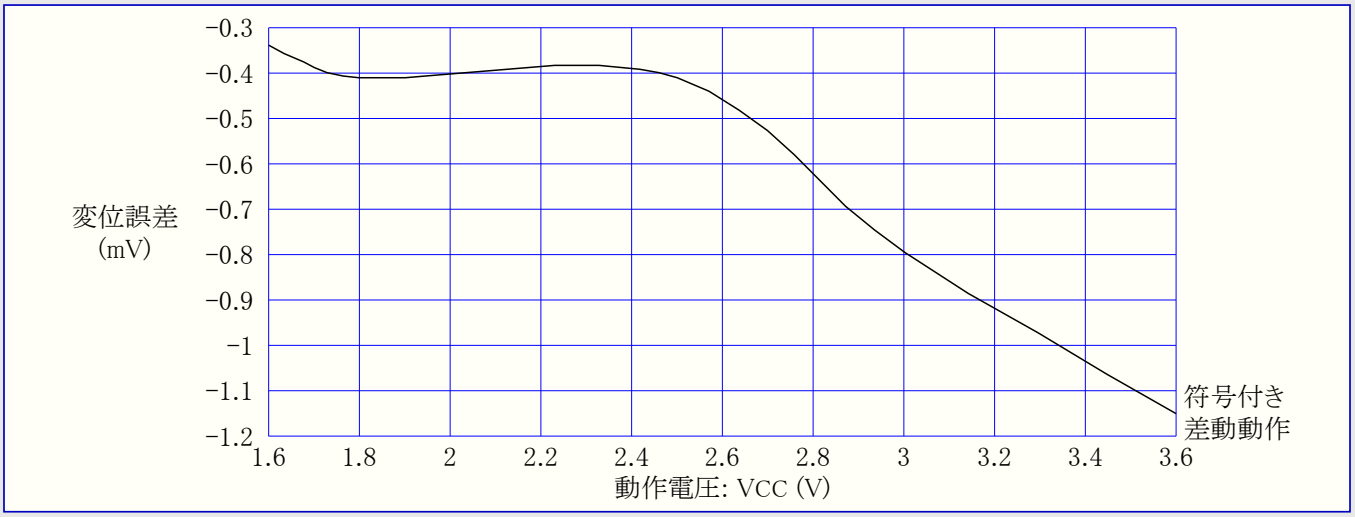


図37-47. ADC雑音 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

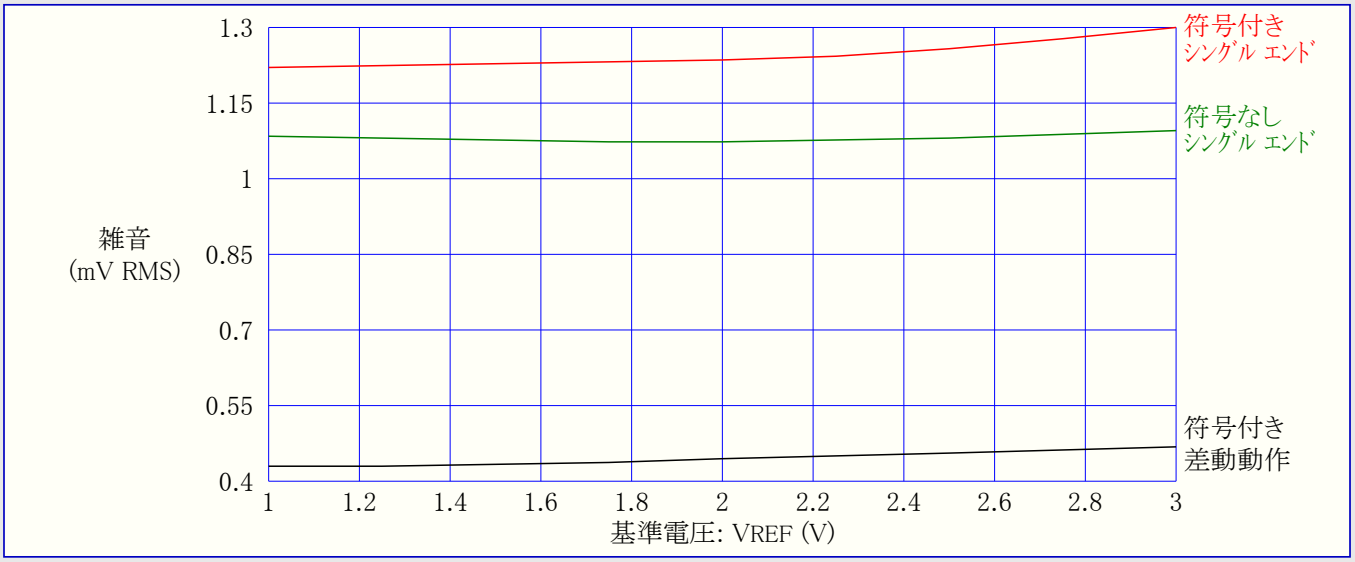
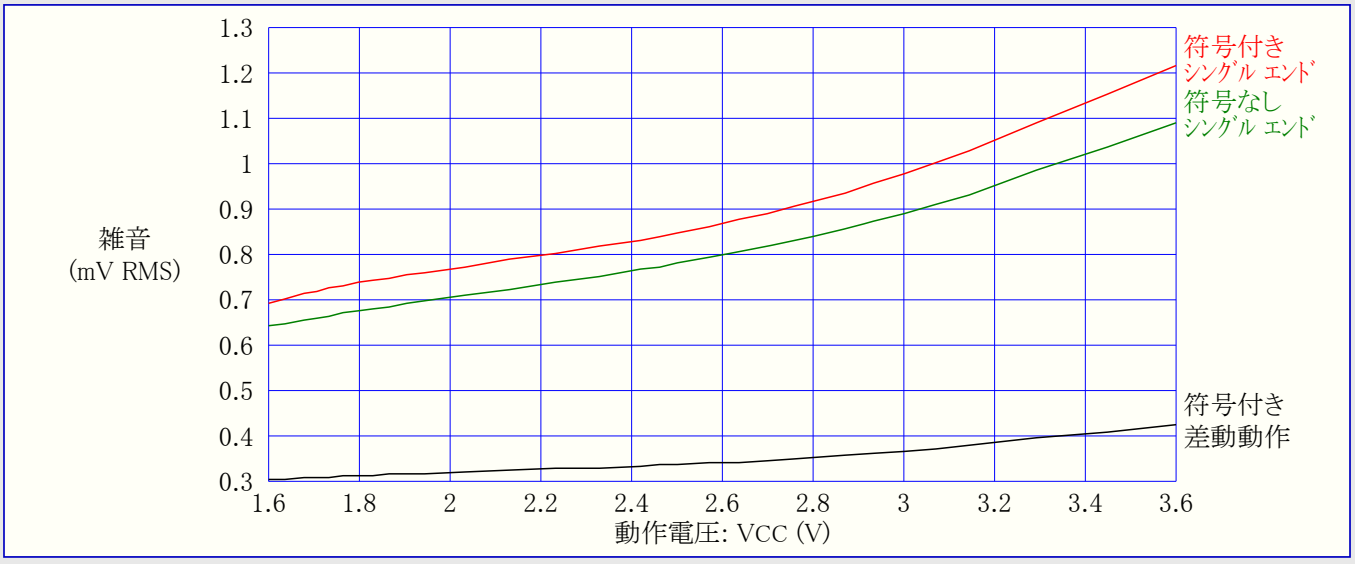


図37-48. ADC雑音 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)



37.1.4. D/A変換器(DAC)特性

図37-49. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)

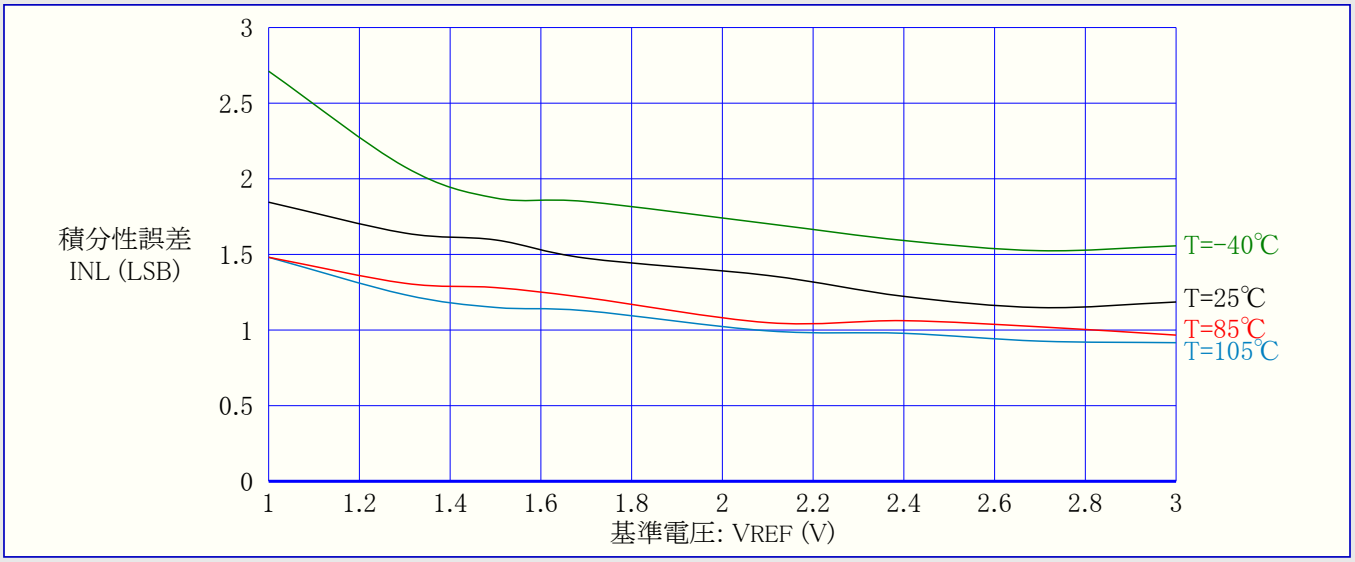


図37-50. DAC微分性誤差(DNL) 対 外部VREF (VCC=3.6V)

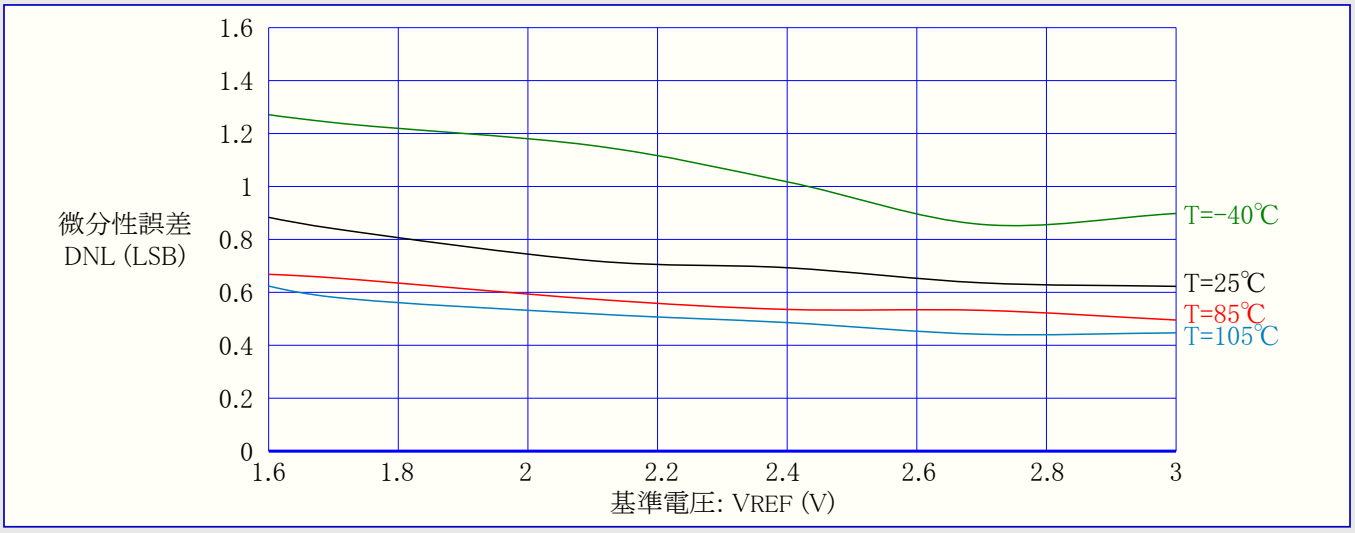
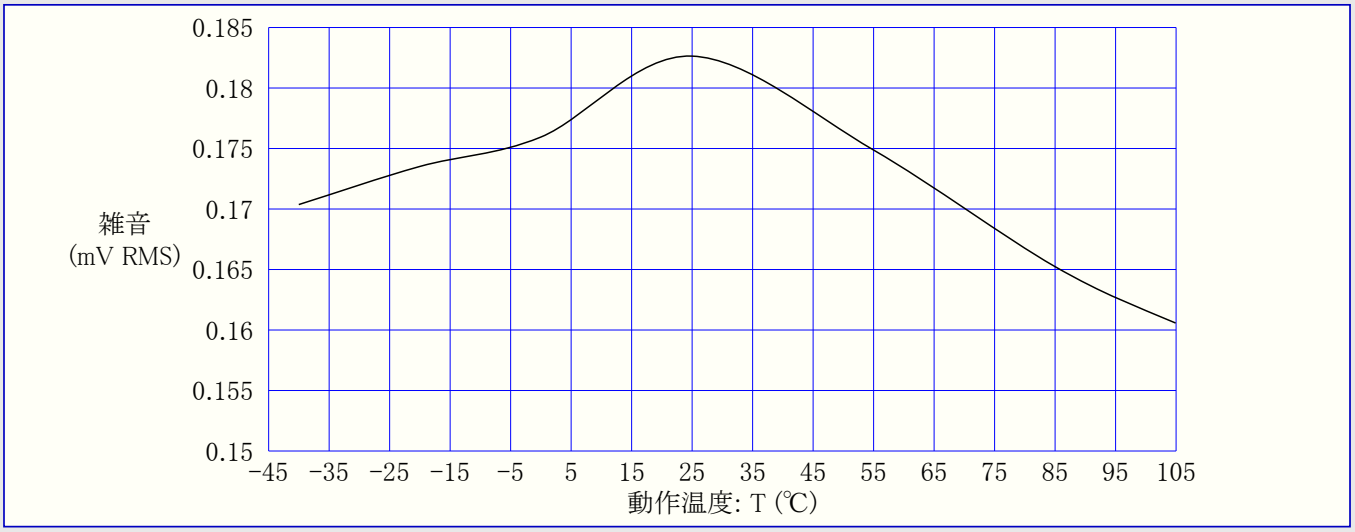


図37-51. DAC雑音 対 動作温度 (VCC=3.0V、VREF=2.4V)



37.1.5. アナログ比較器特性

図37-52. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

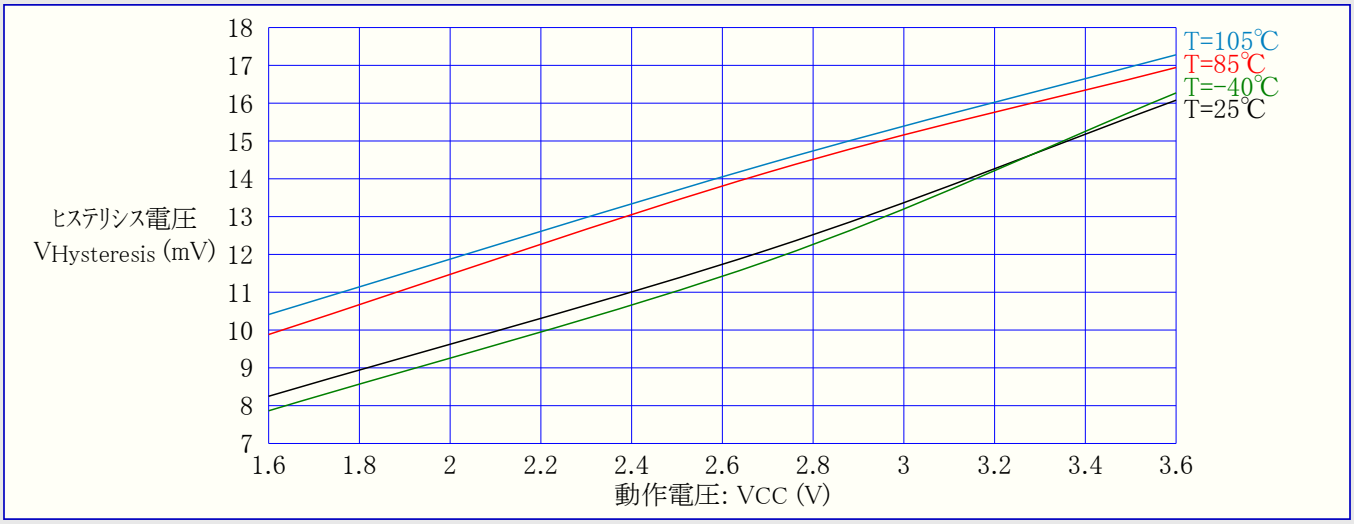


図37-53. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=小)

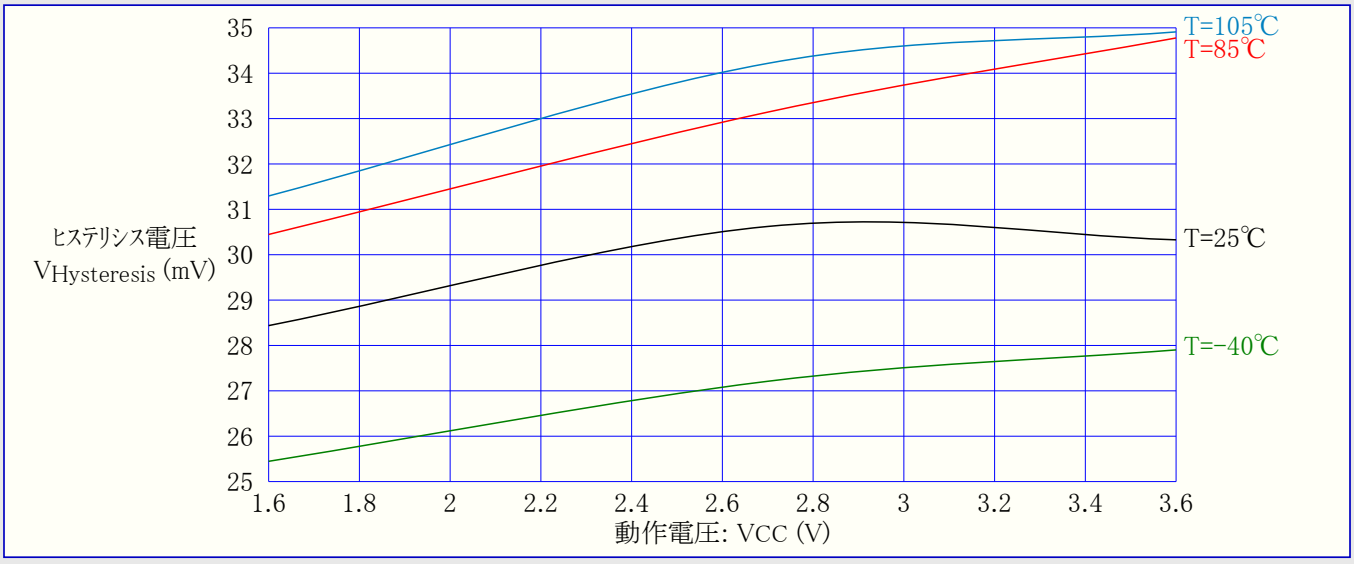


図37-54. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=大)

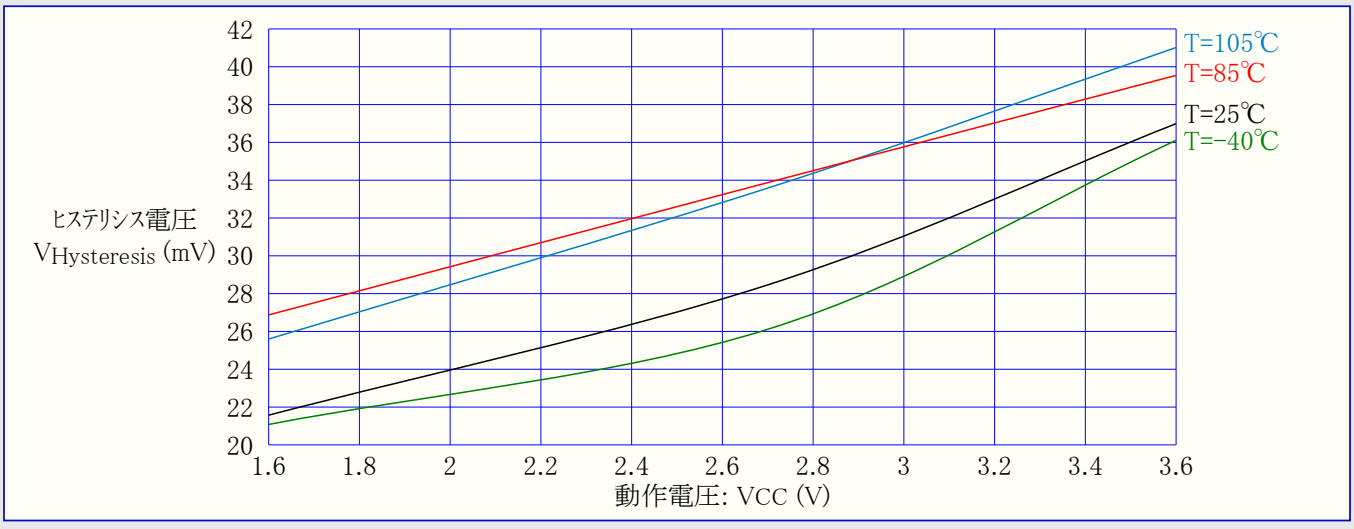


図37-55. ｱﾅﾛｸﾞ比較器(AC)ﾋｽﾃﾘｼｽ 対 動作電圧 (低電力動作、ﾋｽﾃﾘｼｽ=大)

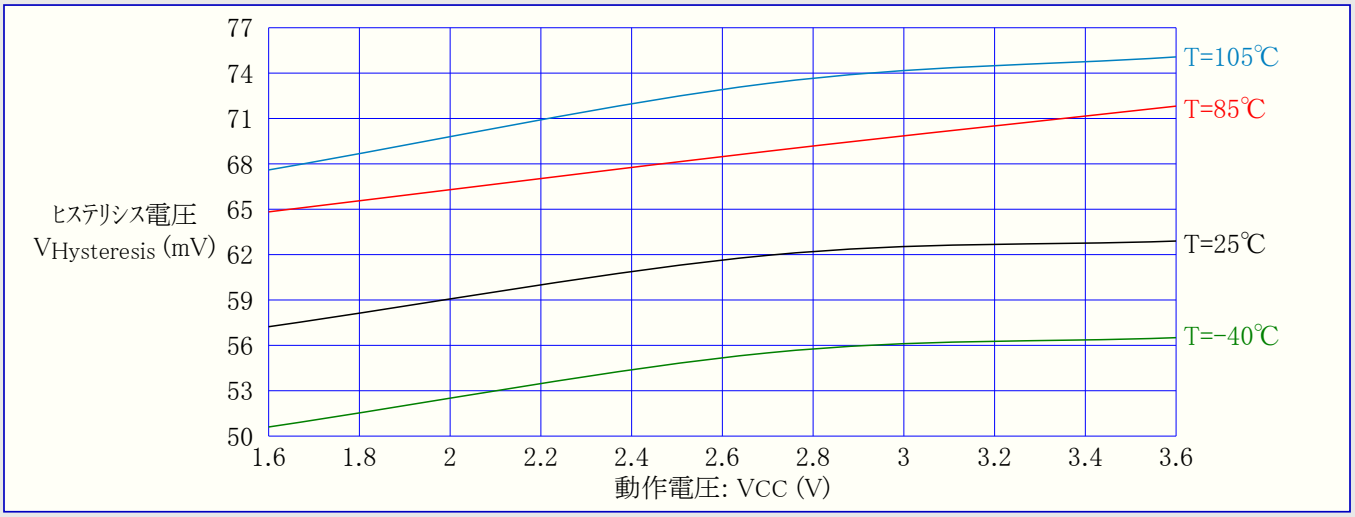


図37-56. ｱﾅﾛｸﾞ比較器(AC)電流源 対 校正値 (T=25℃)

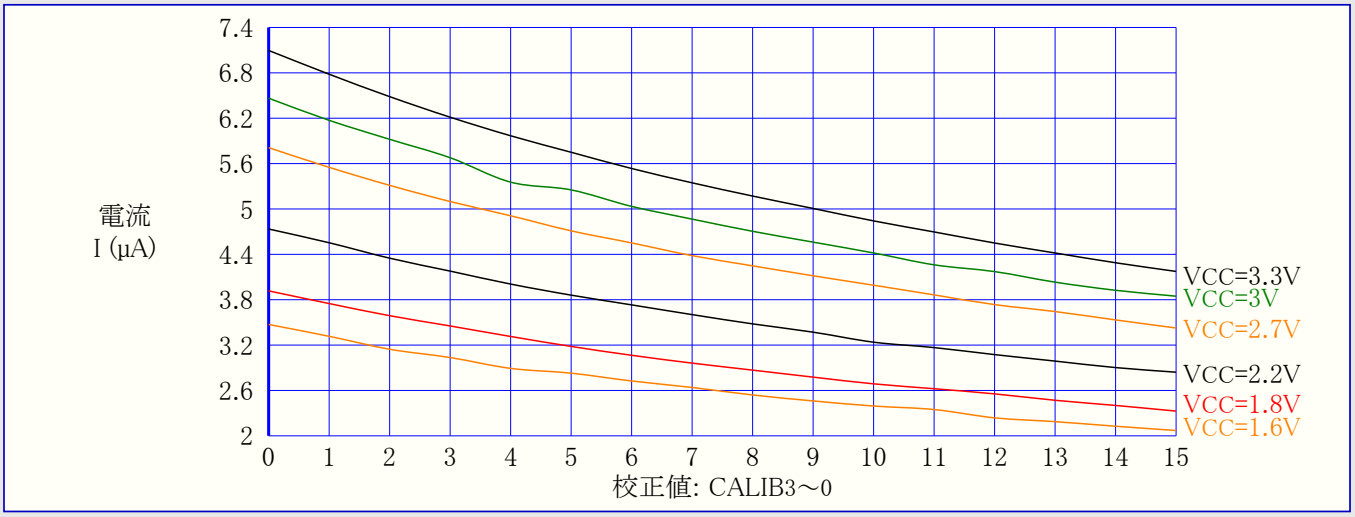


図37-57. ｱﾅﾛｸﾞ比較器(AC)電流源 対 校正値 (VCC=3.0V)

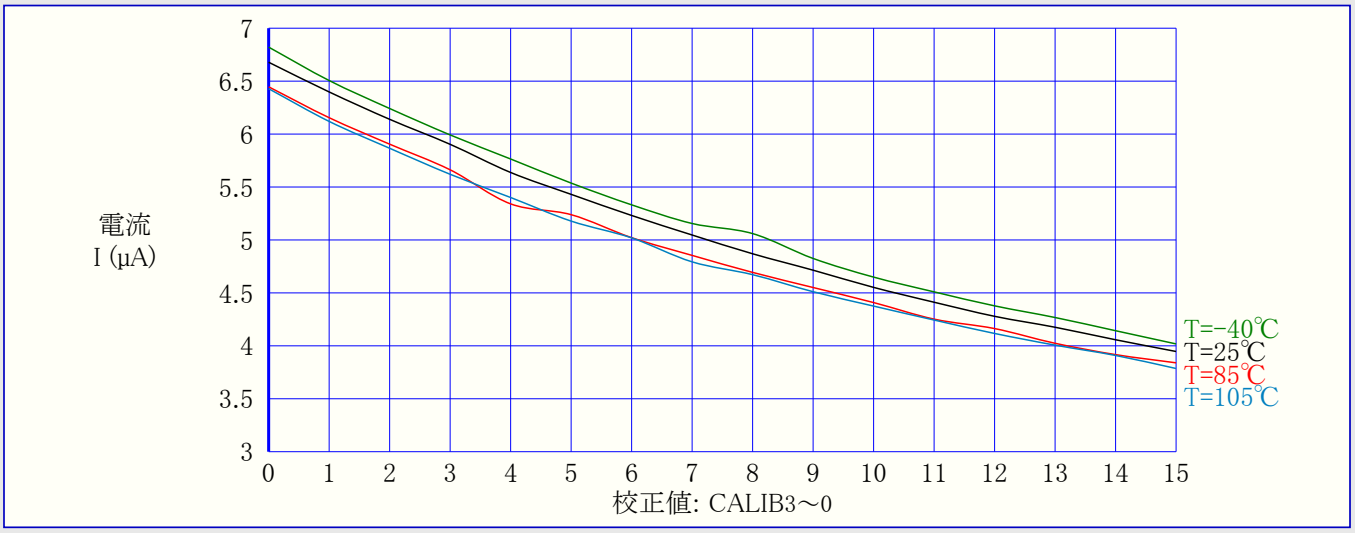
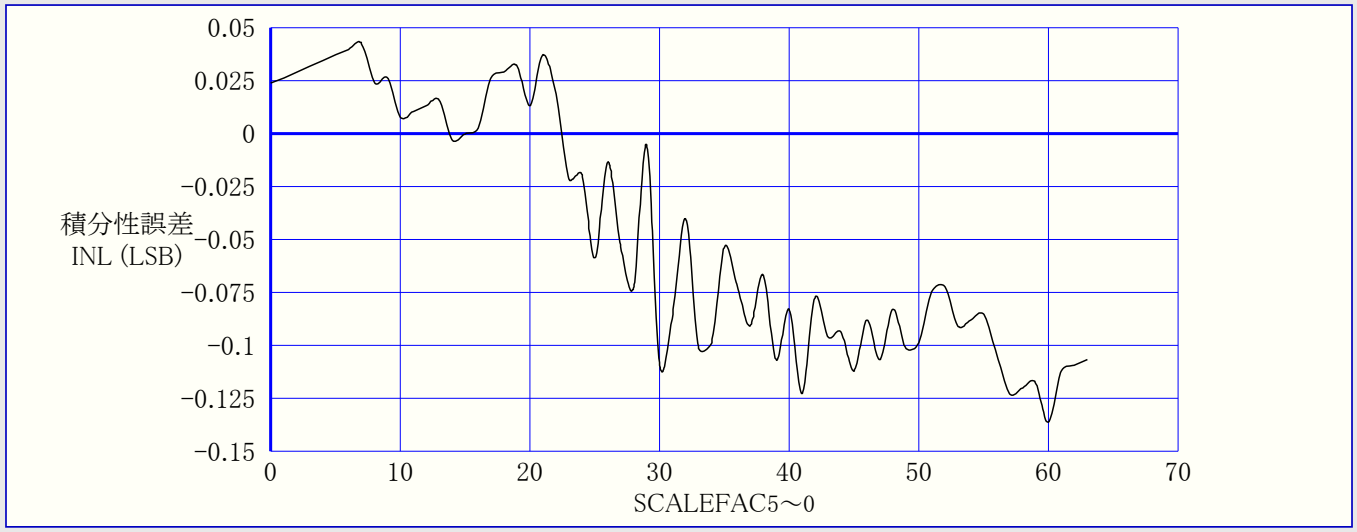
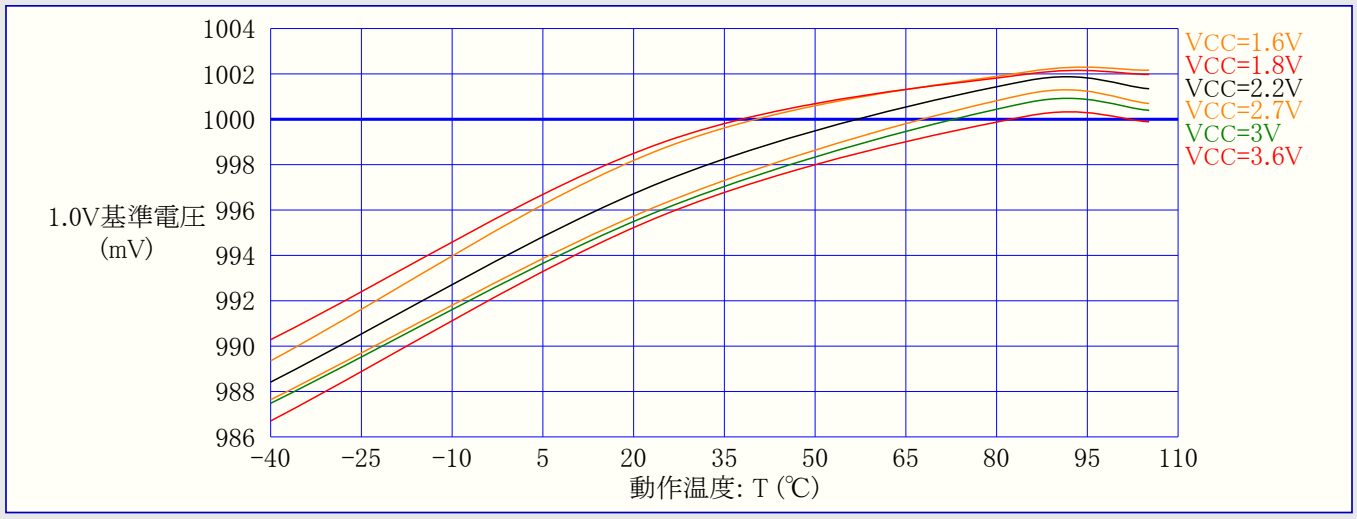


図37-58. 分圧器積分直線性(INL) 対 SCALEFAC (T=25℃、VCC=3.0V)



37.1.6. 内部1.0V基準電圧特性

図37-59. ADC/DAC内部1.0V基準電圧 対 動作温度



37.1.7. 低電圧検出器(BOD)特性

図37-60. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=1.6V)

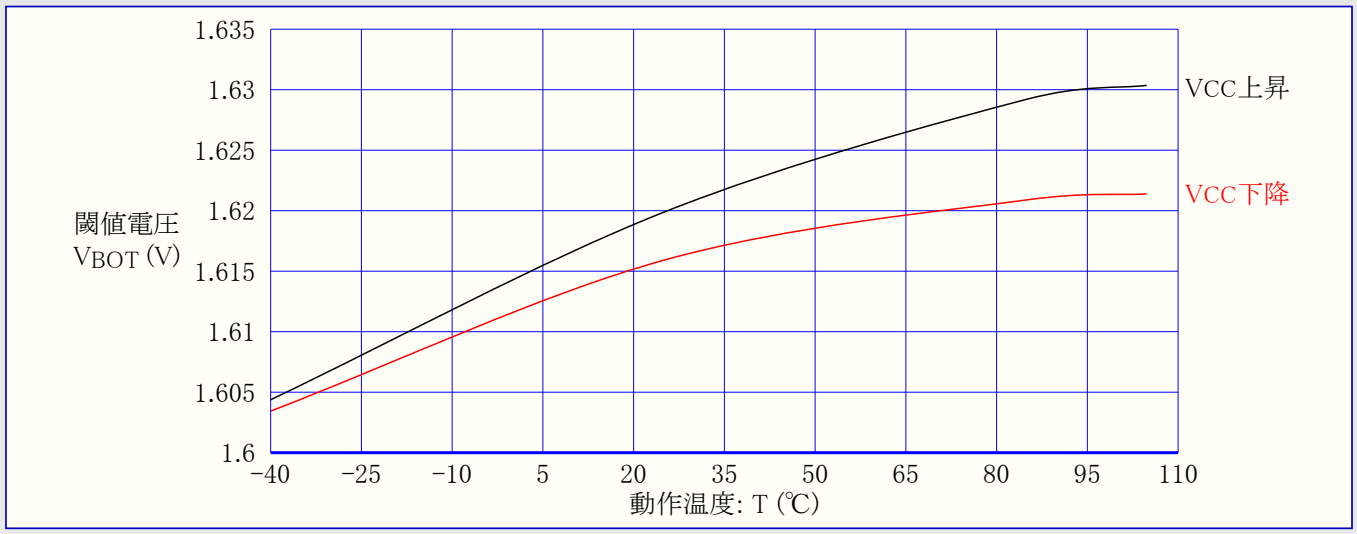
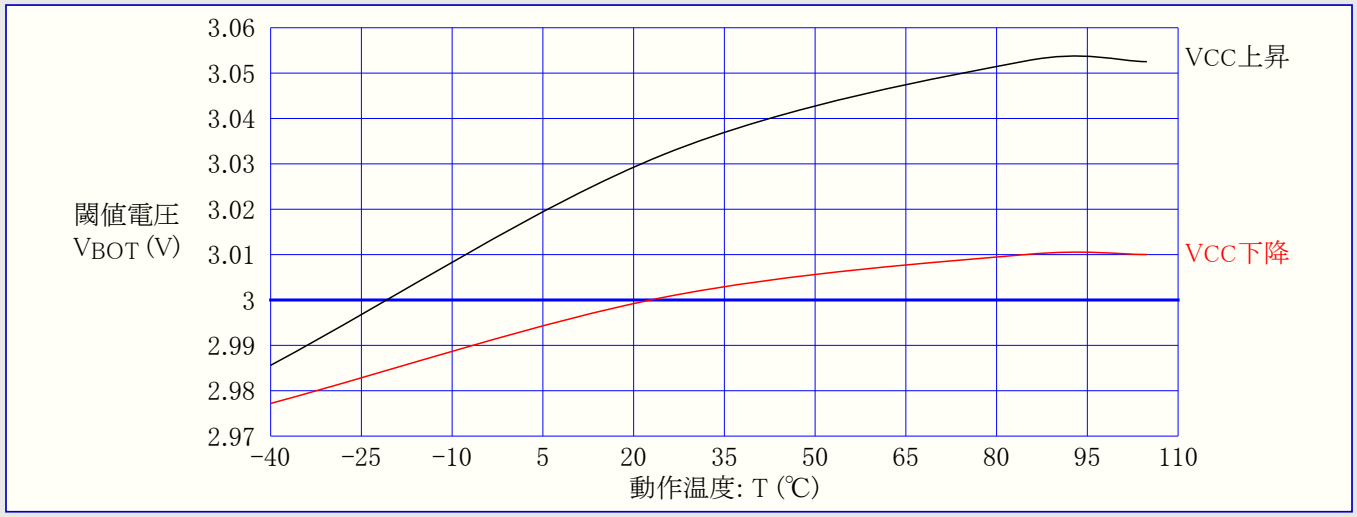


図37-61. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=3.0V)



37.1.8. 外部リセット特性

図37-62. 最小ﾘｾｯﾄ ﾊﾟﾙｽ幅 対 動作電圧

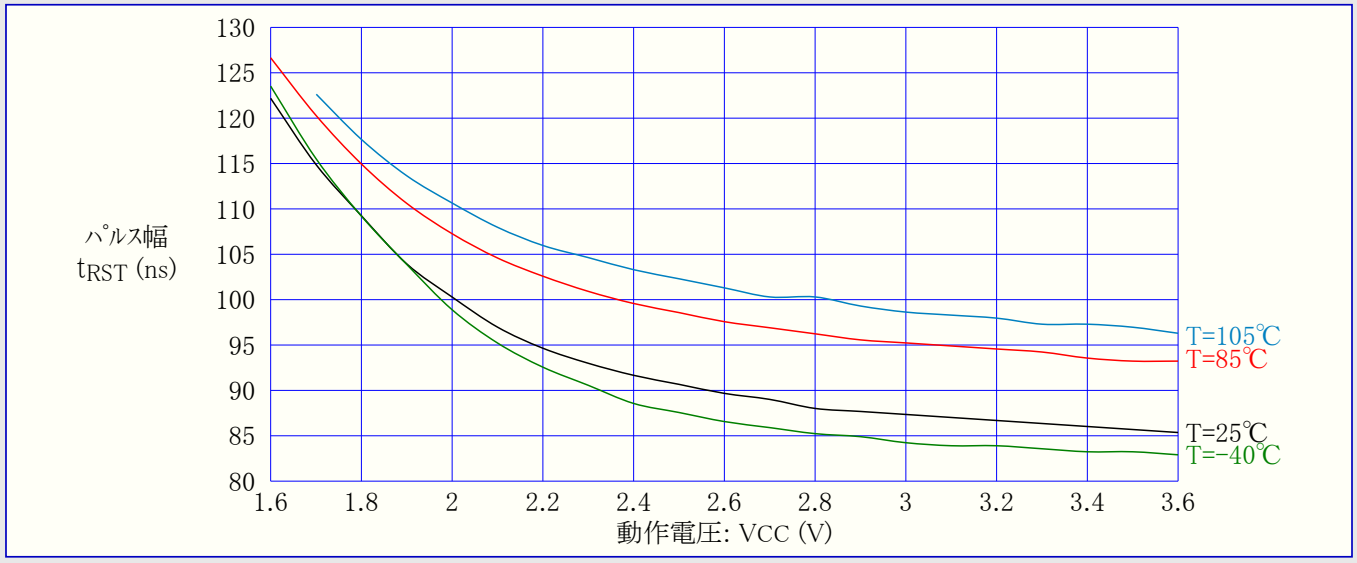


図37-63. ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 RESETﾋﾟﾝ入力電圧 (VCC=1.8V)

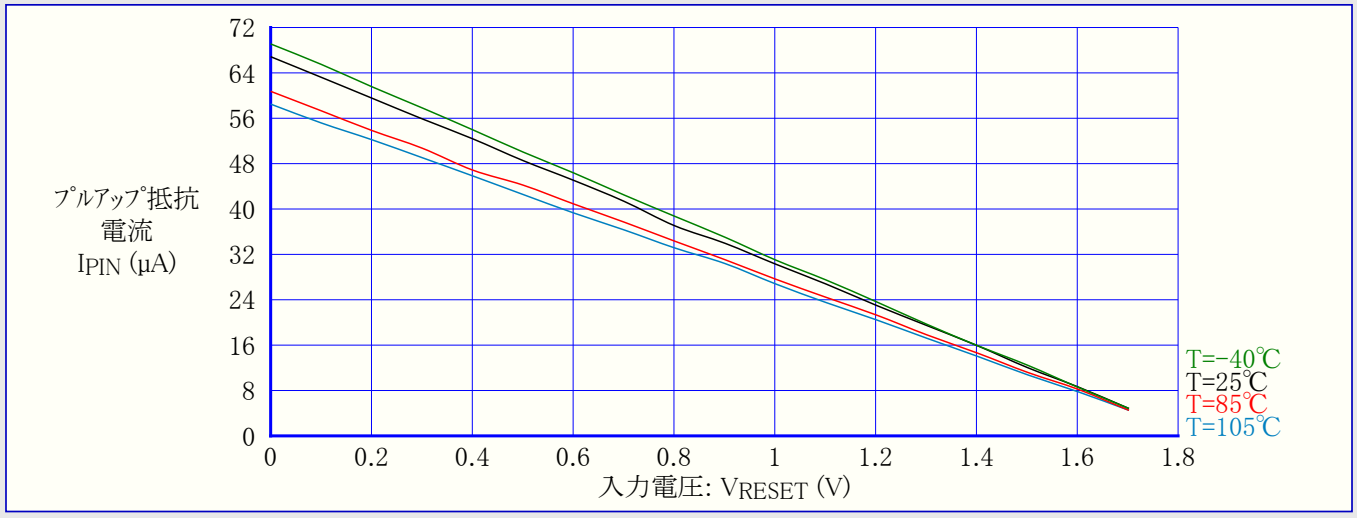


図37-64. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

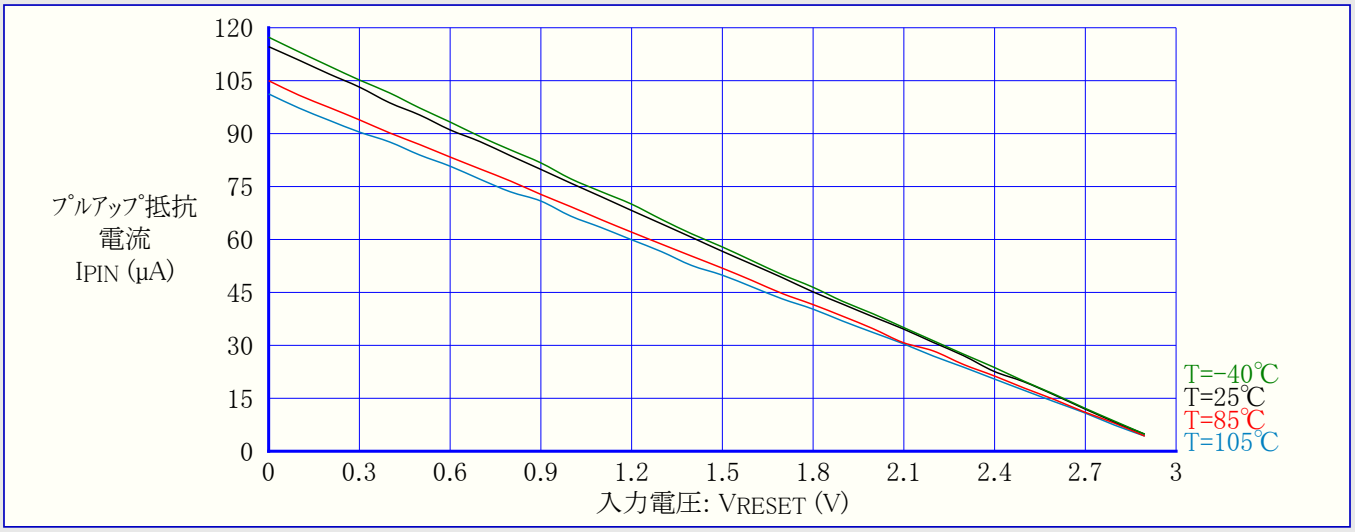


図37-65. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

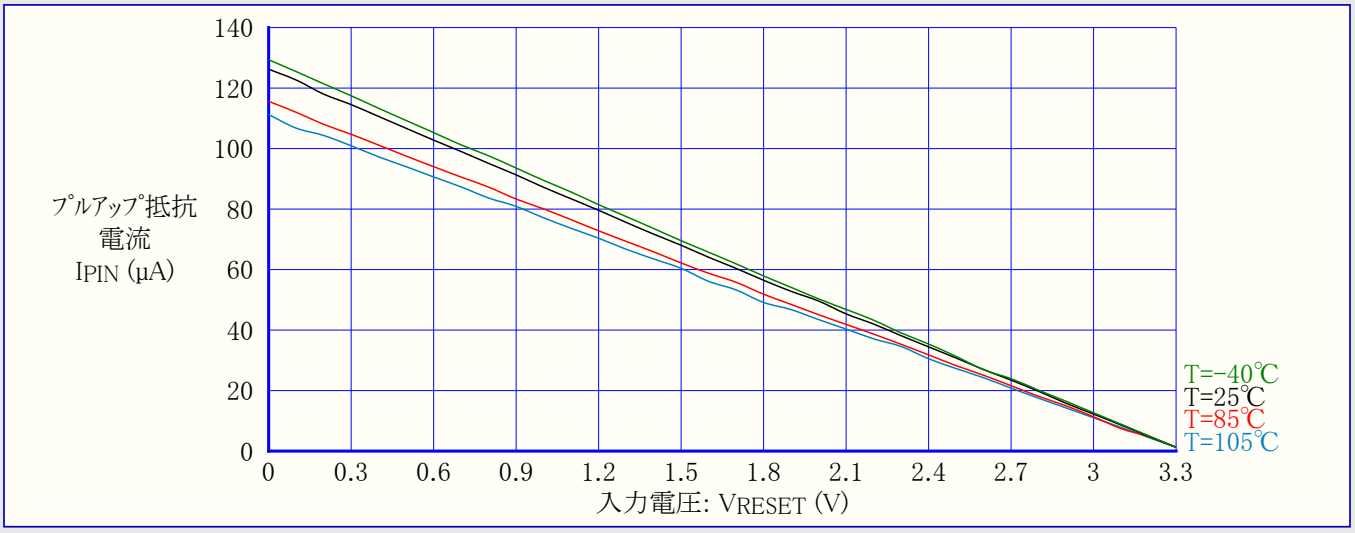


図37-66. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

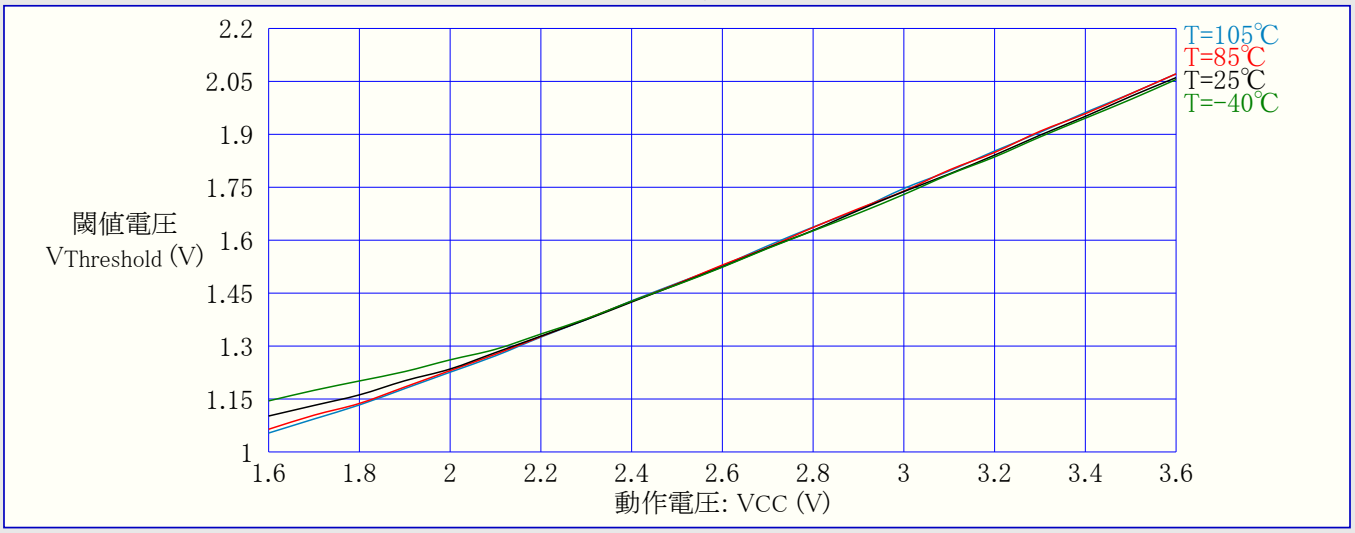
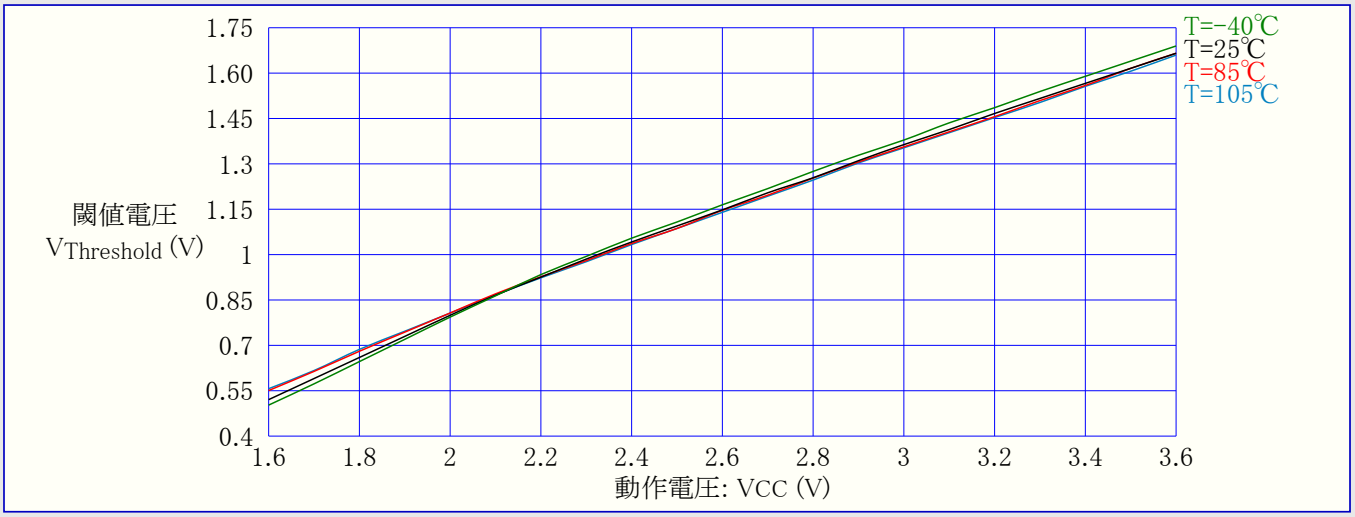


図37-67. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)



37.1.9. 電源ONリセット特性

図37-68. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)

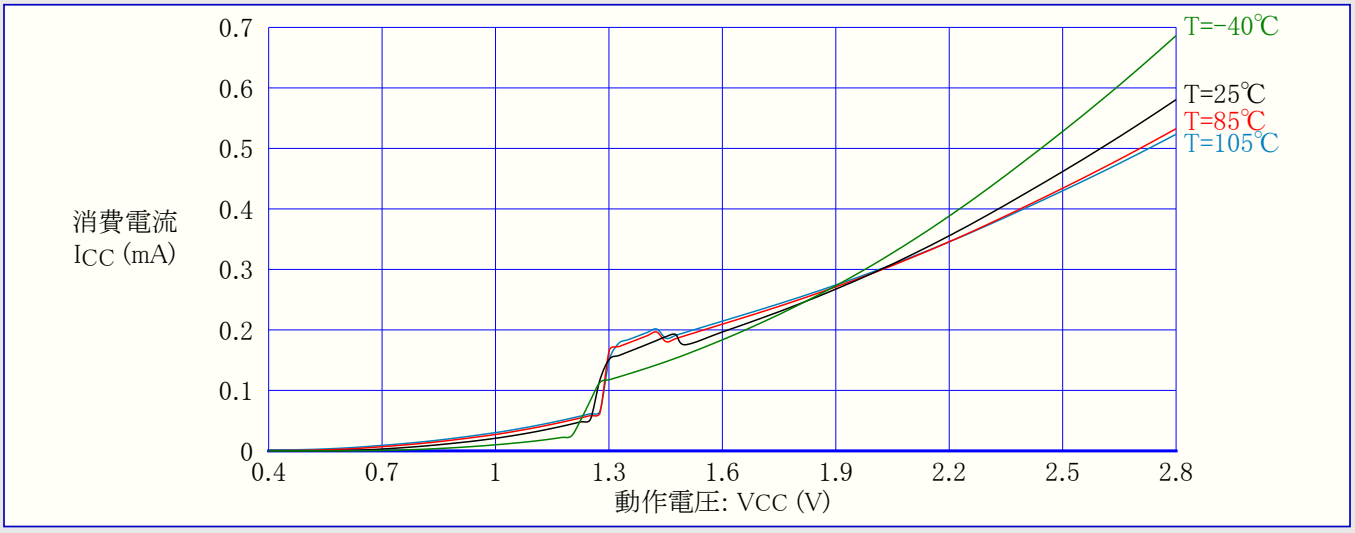
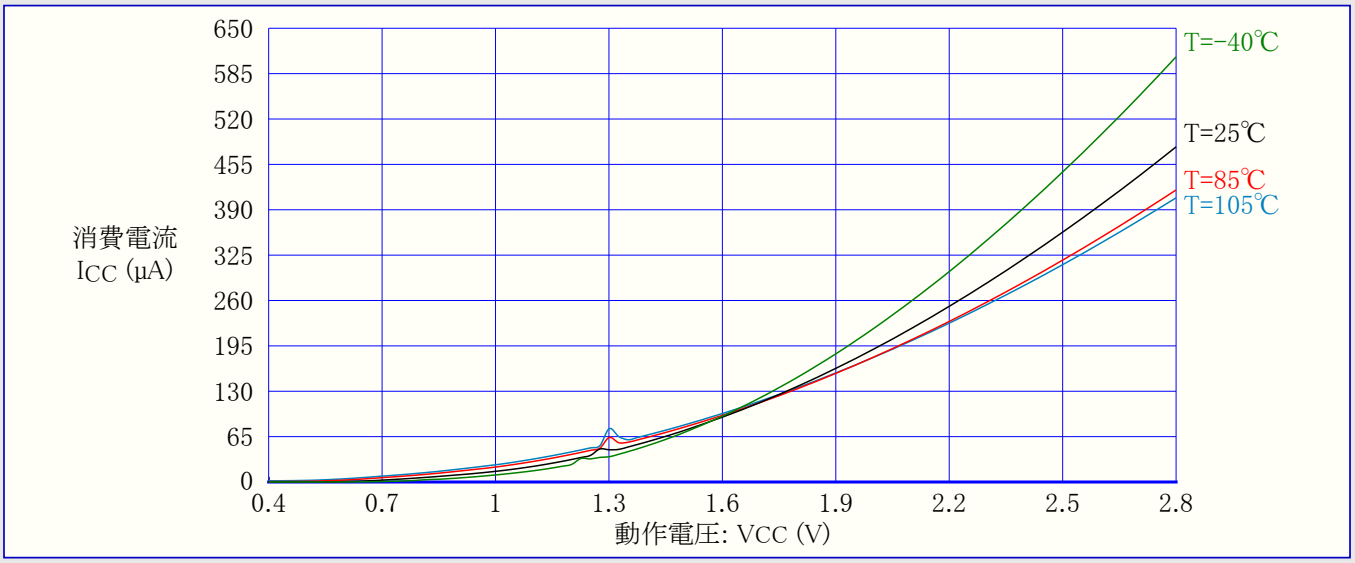


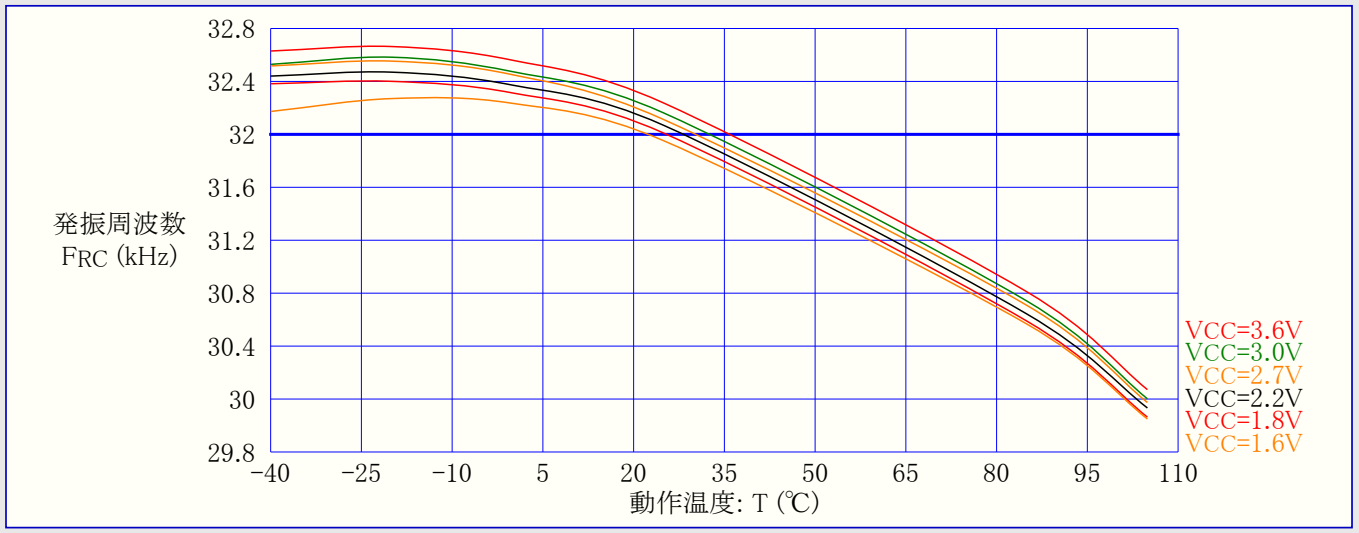
図37-69. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの採取動作で許可)



37.1.10. 発振器特性

37.1.10.1. 超低電力内部発振器

図37-70. 超低電力内部発振器周波数 対 動作温度



37.1.10.2. 32.768kHz内部発振器

図37-71. 32.768kHz内部発振器周波数 対 動作温度

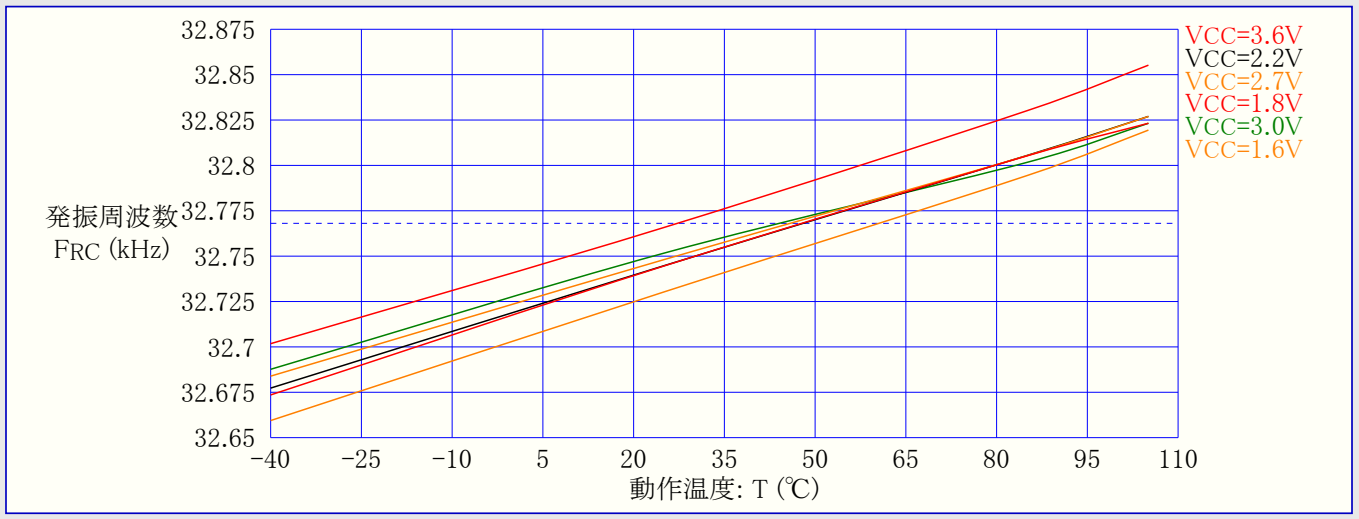
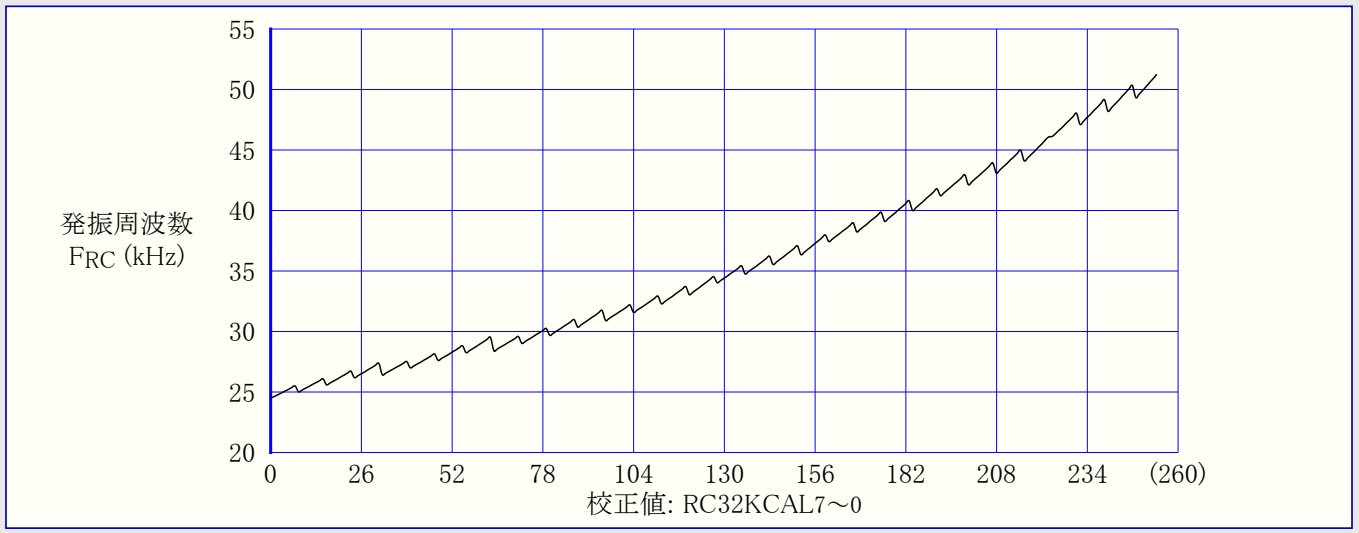


図37-72. 32.768kHz内部発振器周波数 対 校正値 (T=25℃、VCC=3.0V)



37.1.10.3. 2MHz内部発振器

図37-73. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

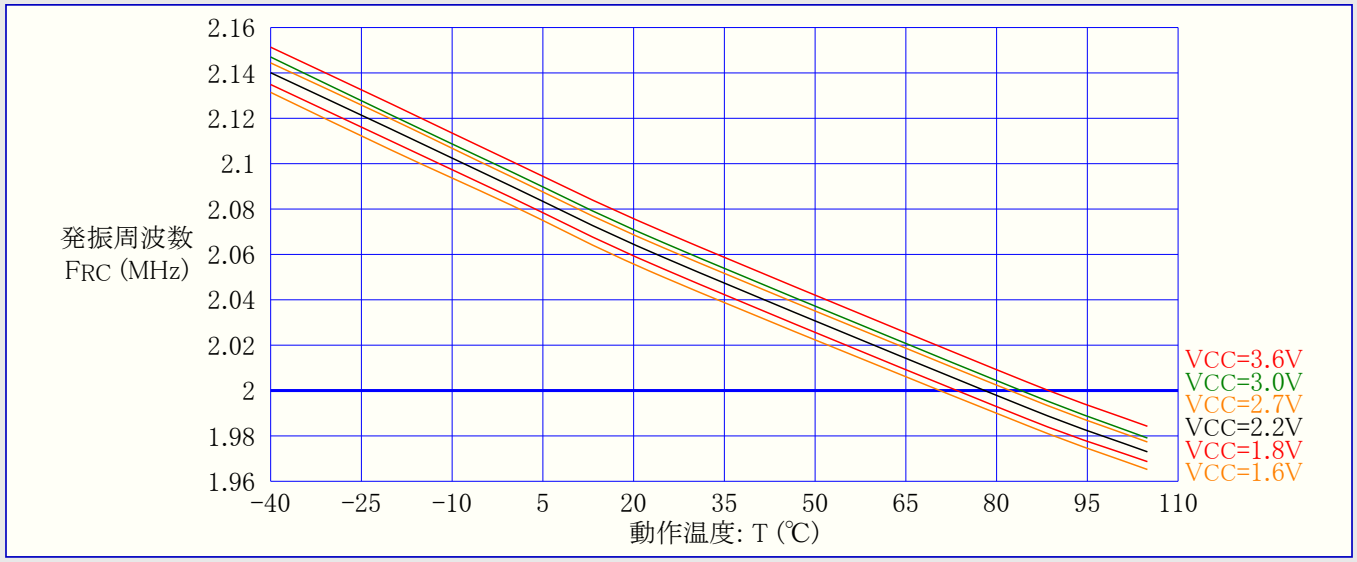


図37-74. 2MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

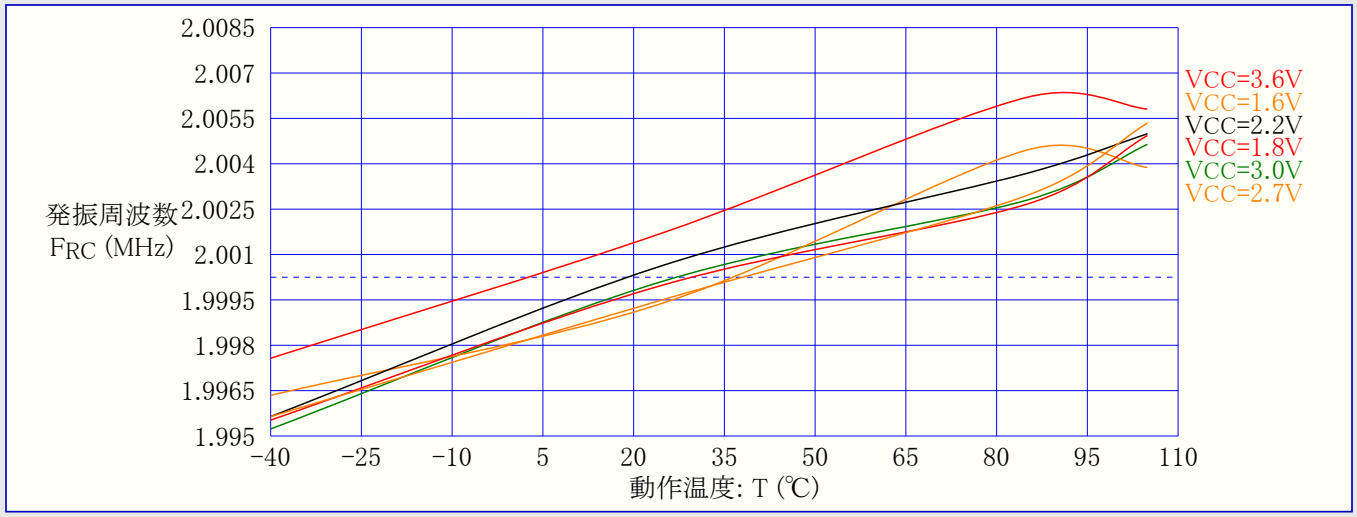
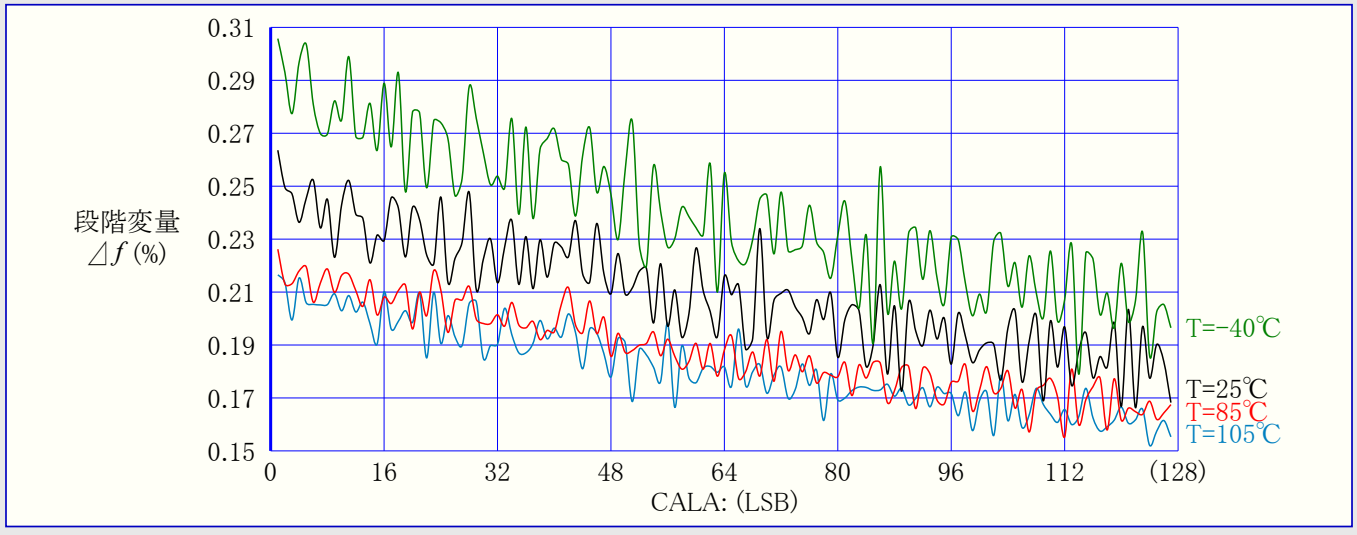


図37-75. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)



37.1.10.4. 32MHz内部発振器

図37-76. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

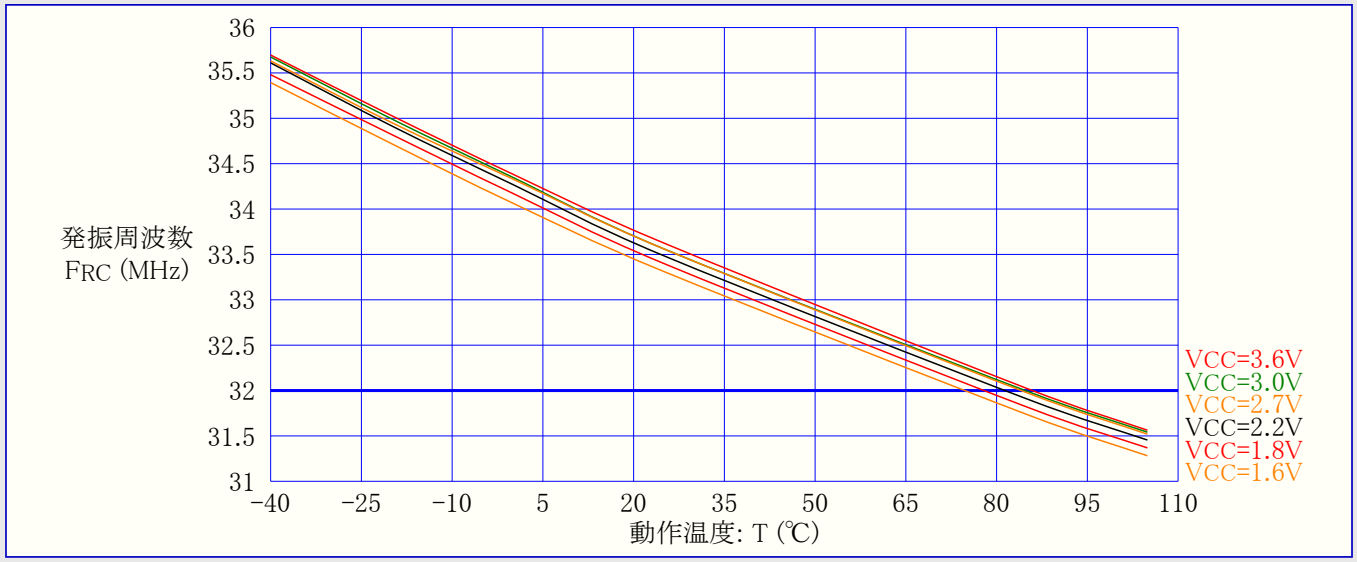


図37-77. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

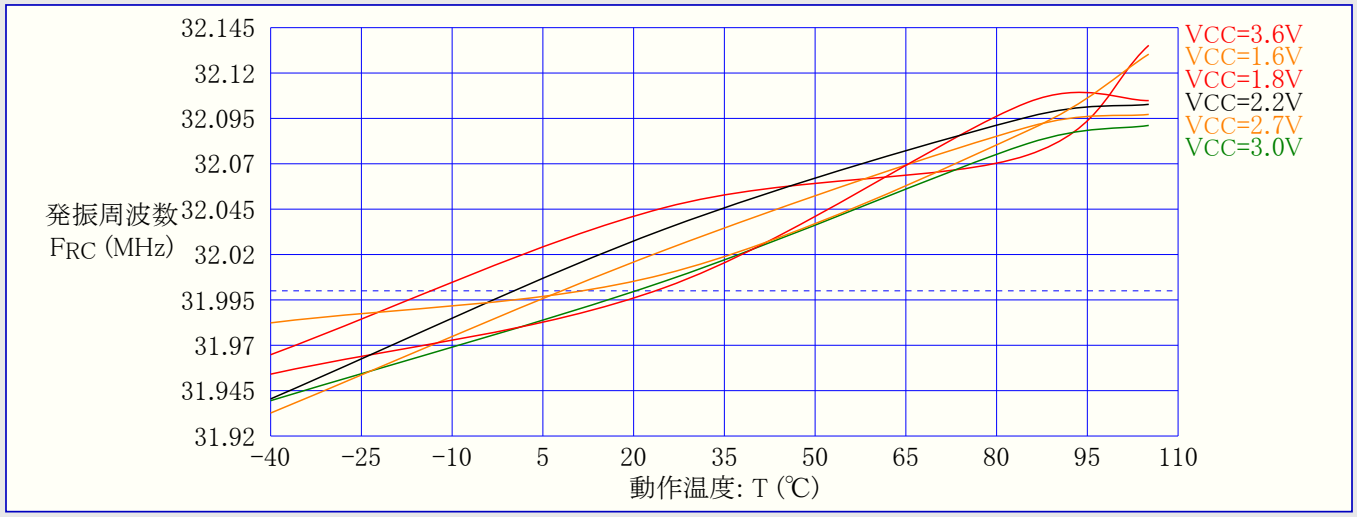


図37-78. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

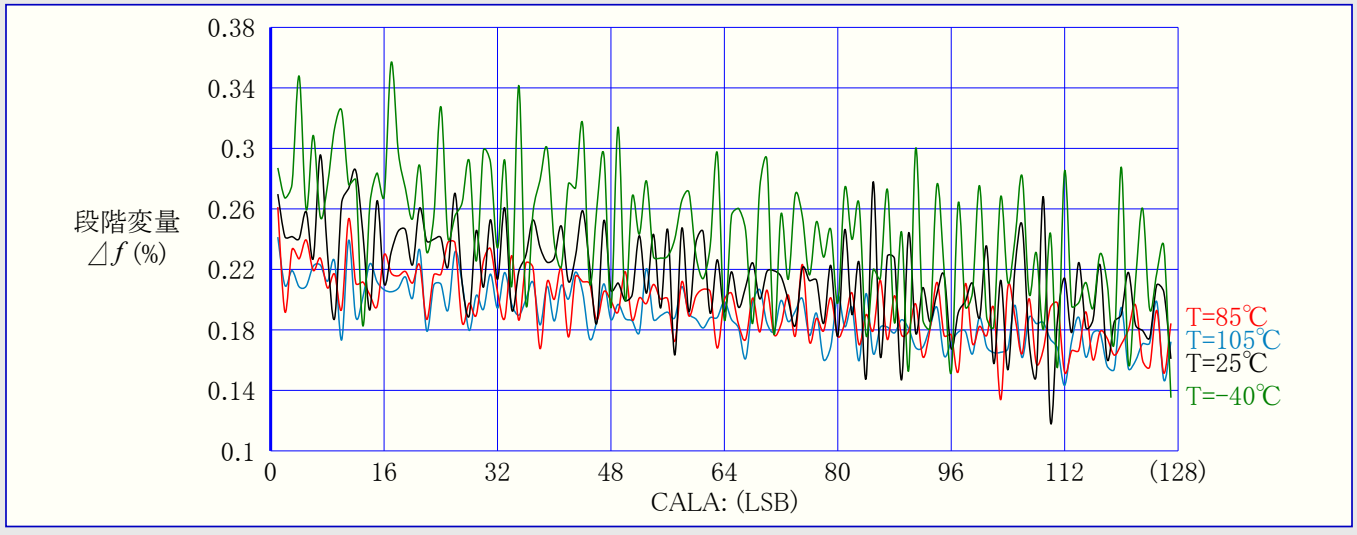
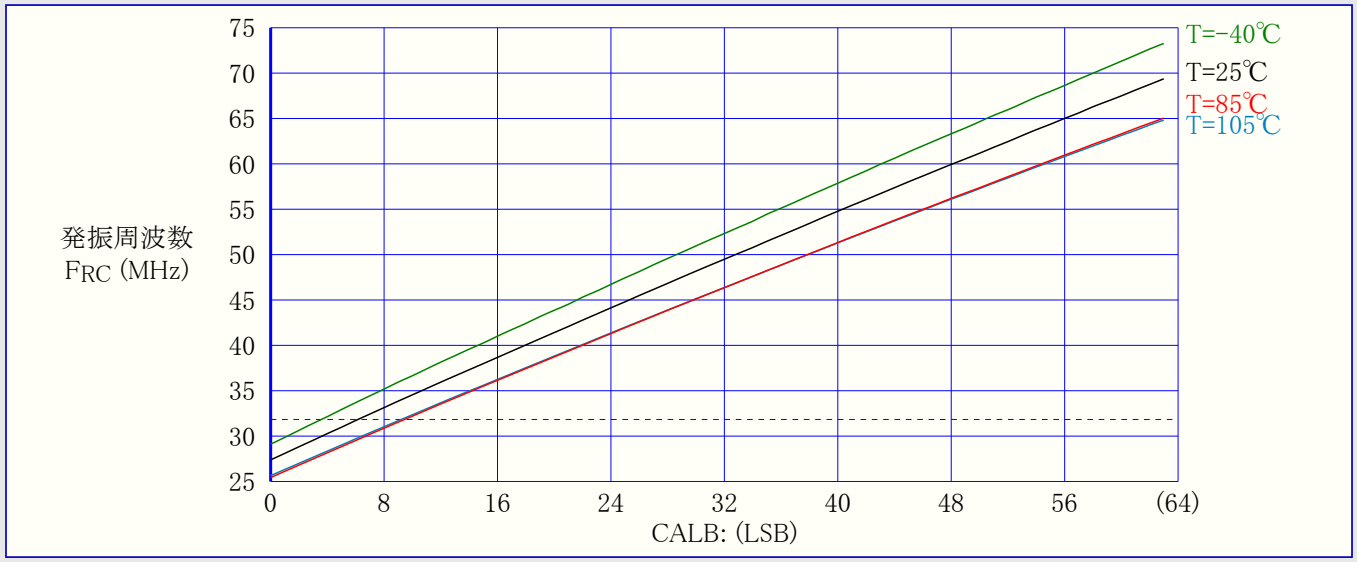


図37-79. 32MHz内部発振器周波数 対 CALB校正値 (VCC=3.0V)



37.1.10.5. 48MHzに校正された32MHz内部発振器

図37-80. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

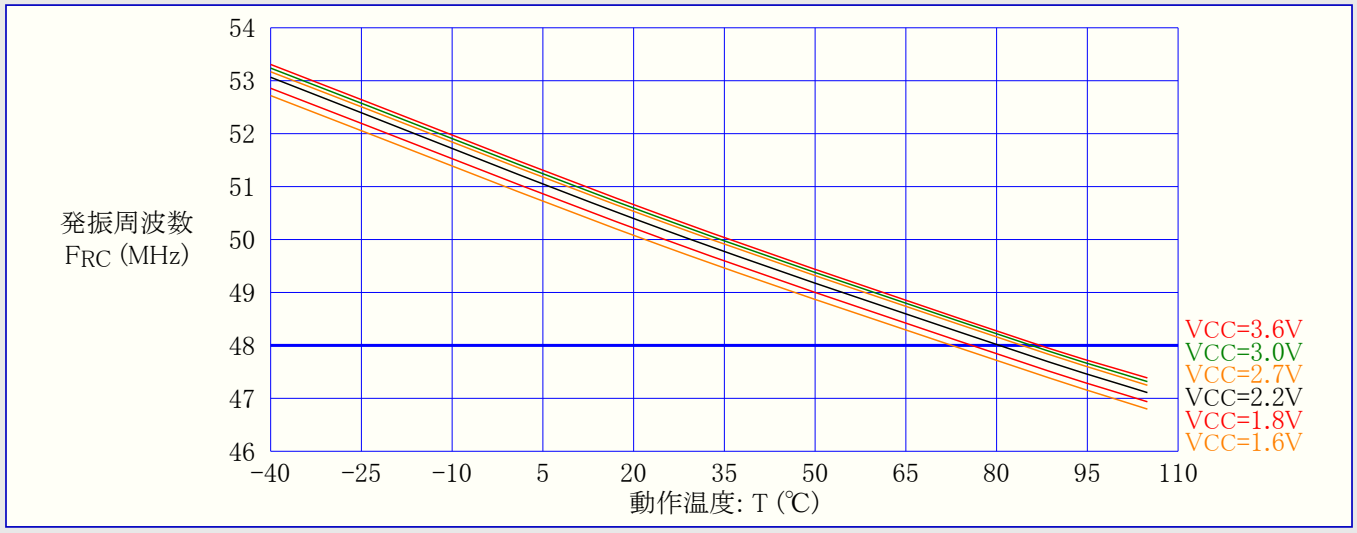
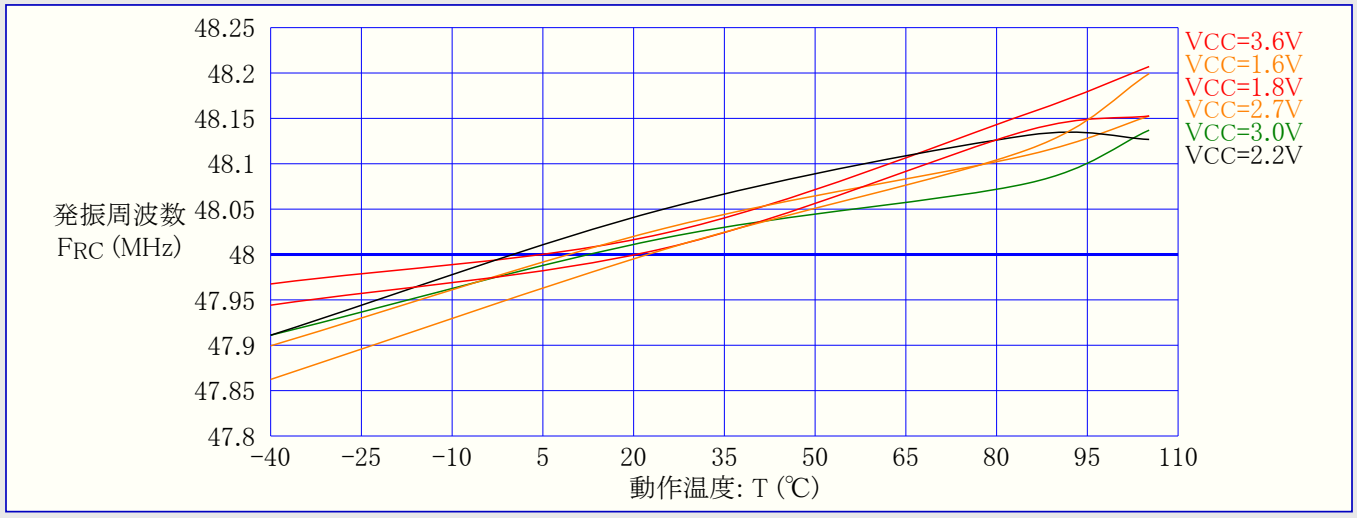
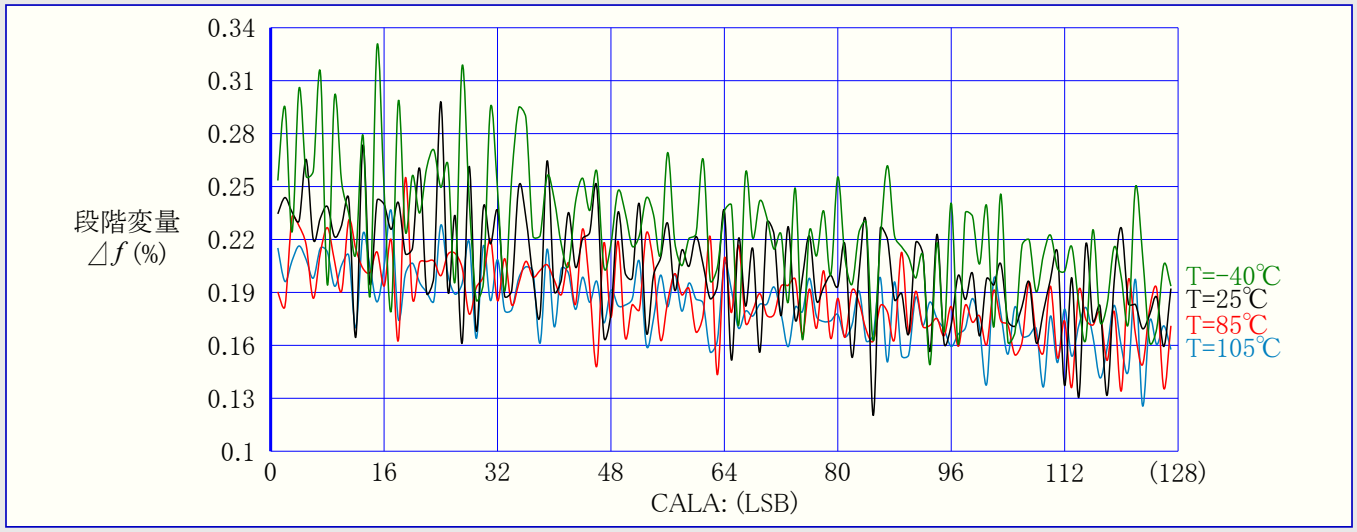


図37-81. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)



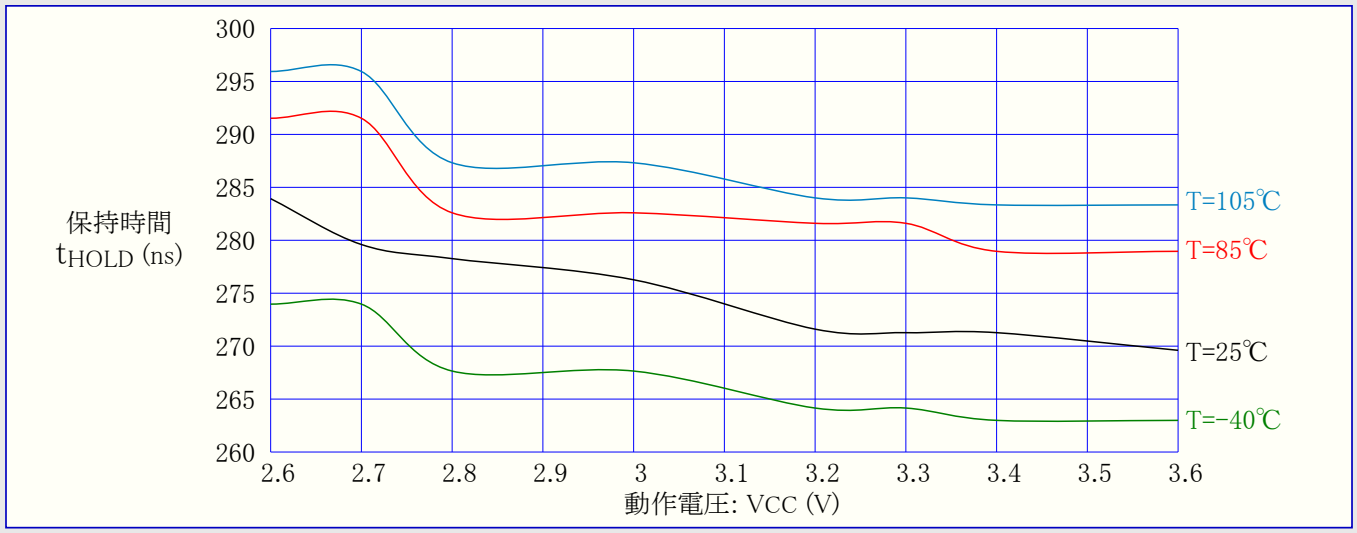
© 2011-2020 Microchip Technology Inc.

図37-82. 48MHz内部発振器CALA校正段階変量 (VCC=3.0V)



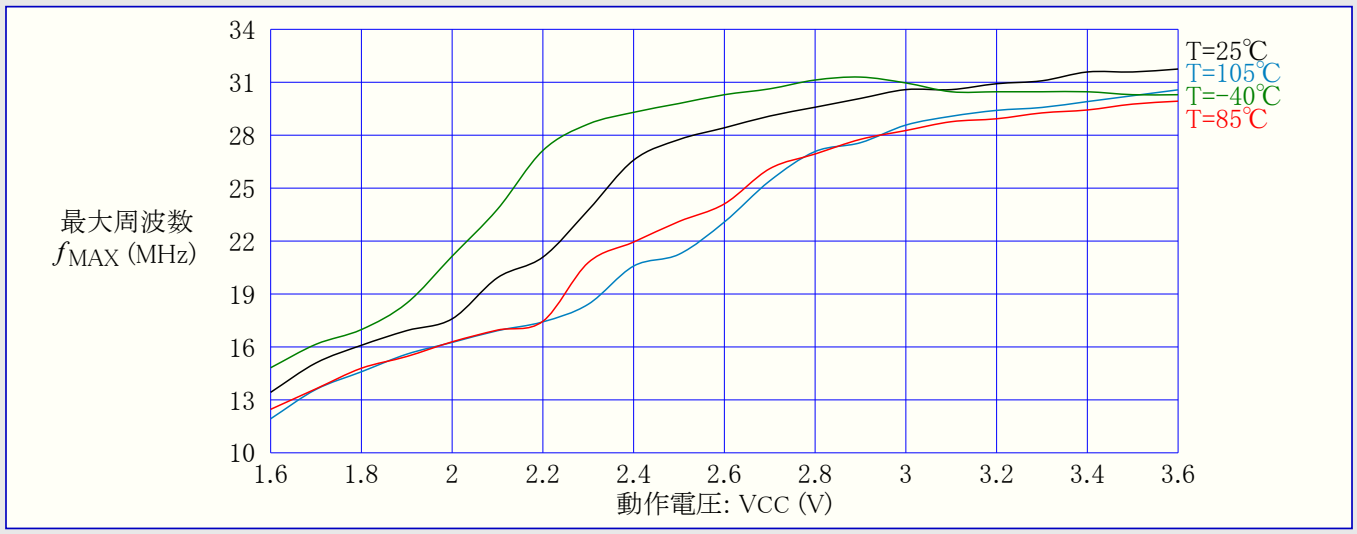
37.1.11. 2線インターフェース特性

図37-83. SDA保持時間 対 動作電圧



37.1.12. PDI特性

図37-84. 最大PDI周波数 対 動作電圧



© 2011-2020 Microchip Technology Inc.

37.2. ATxmega32A4U

37.2.1. 消費電流

37.2.1.1. 活動動作消費電流

図37-85. 活動動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部クロック,T=25℃)

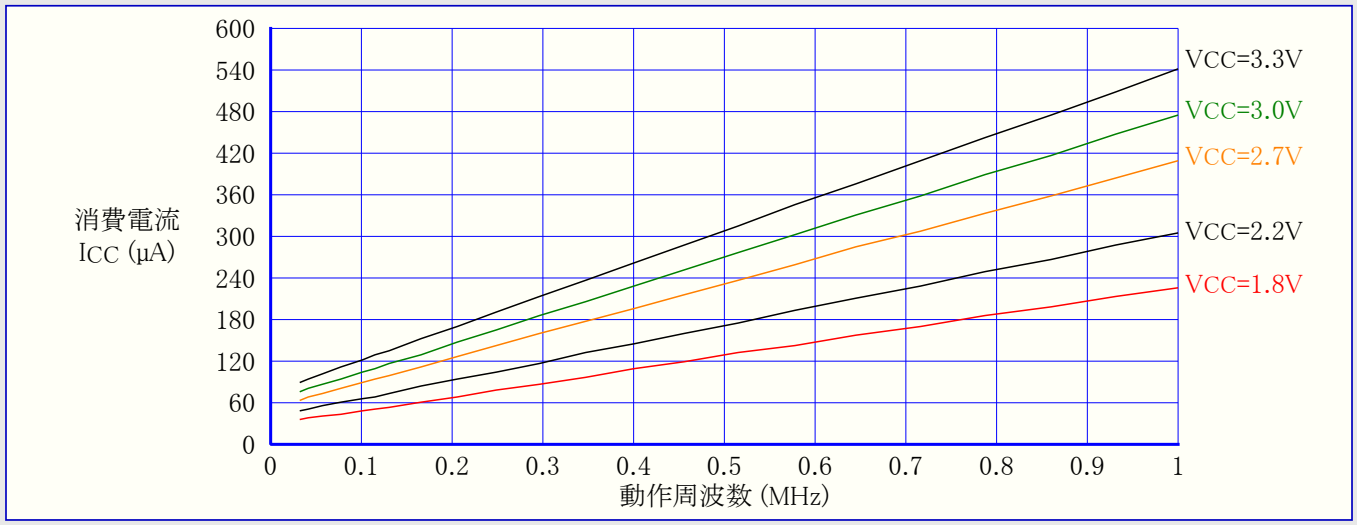


図37-86. 活動動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部クロック,T=25℃)

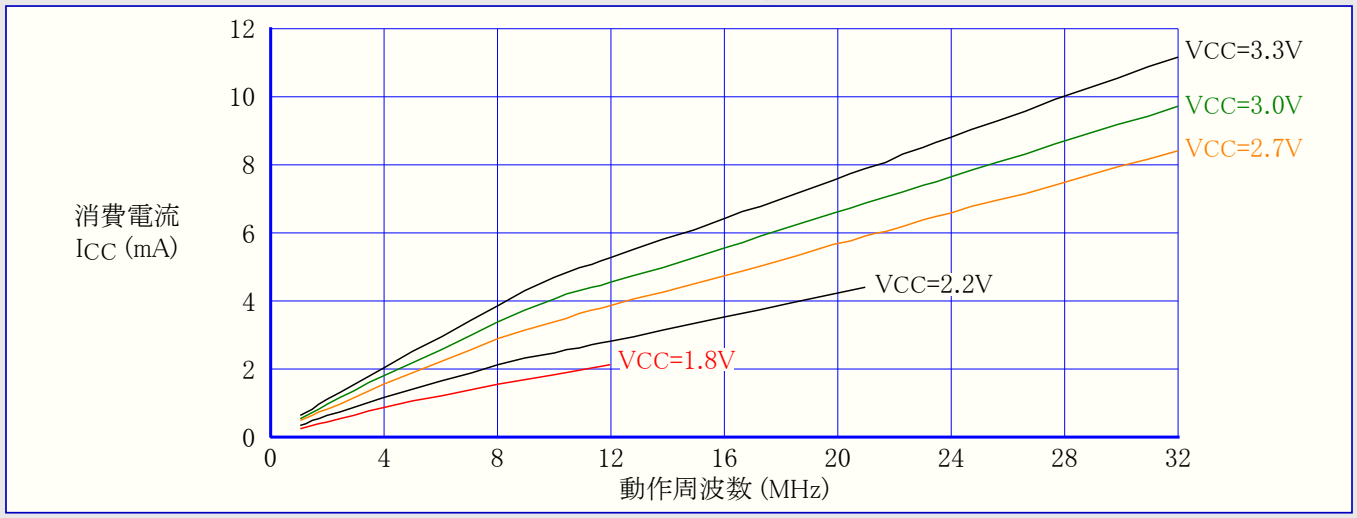


図37-87. 活動動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)

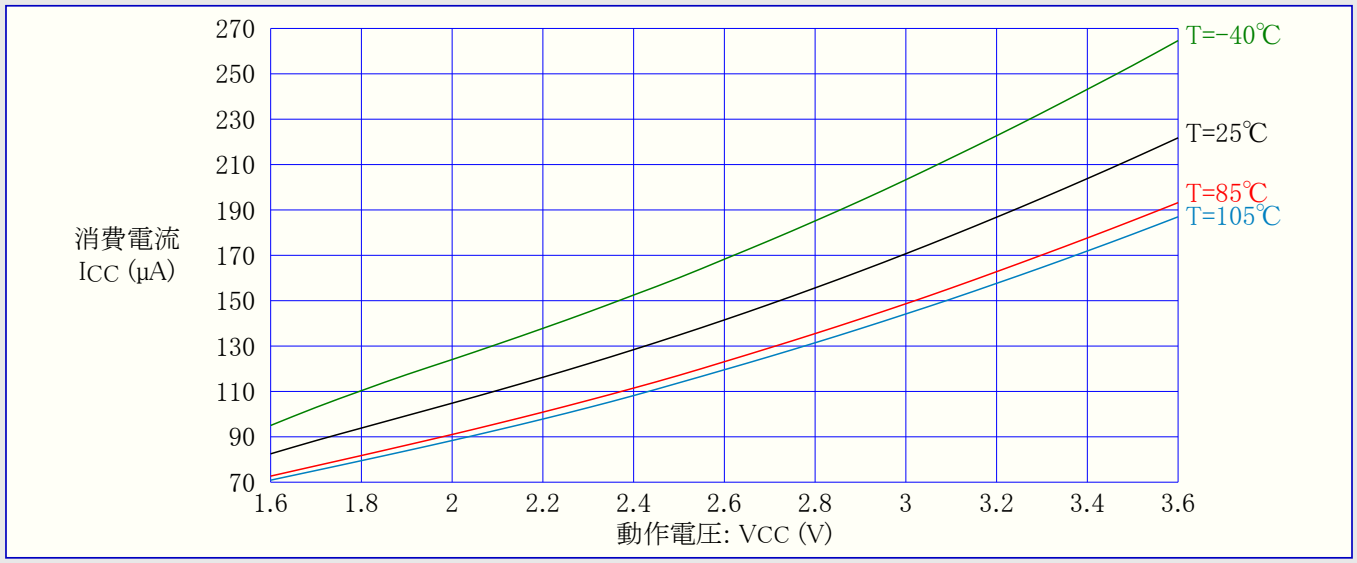


図37-88. 活動動作消費電流 対 動作電圧 (*f*SYS=1MHz外部クロック)

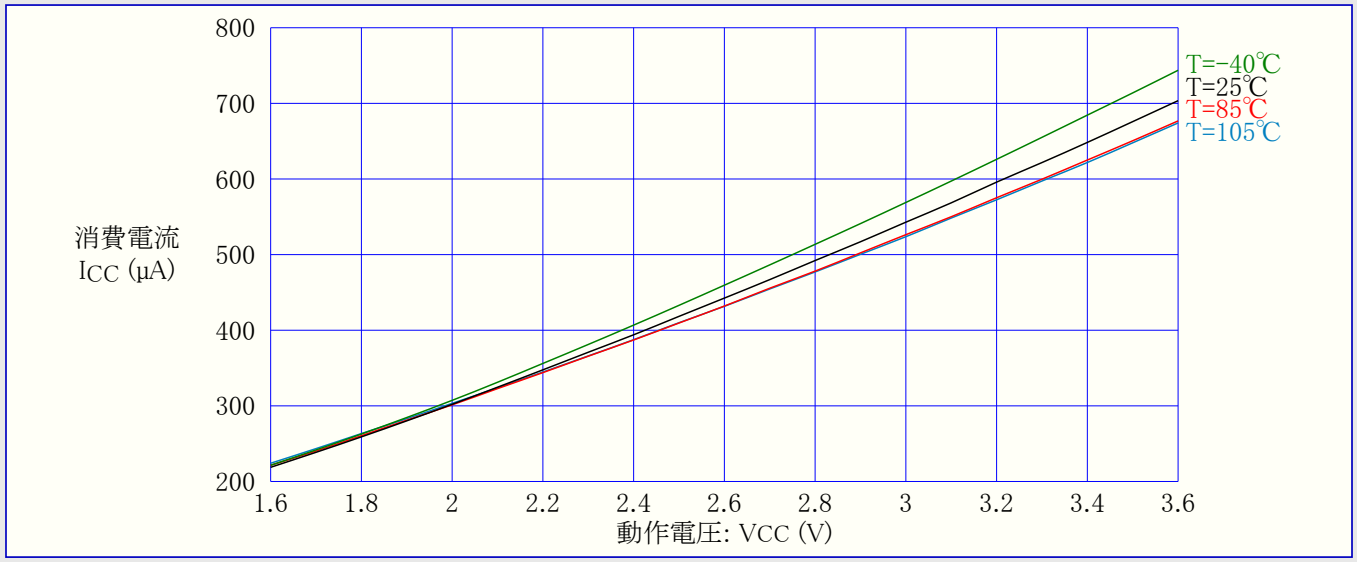


図37-89. 活動動作消費電流 対 動作電圧 (*f*SYS=2MHz内部発振器)

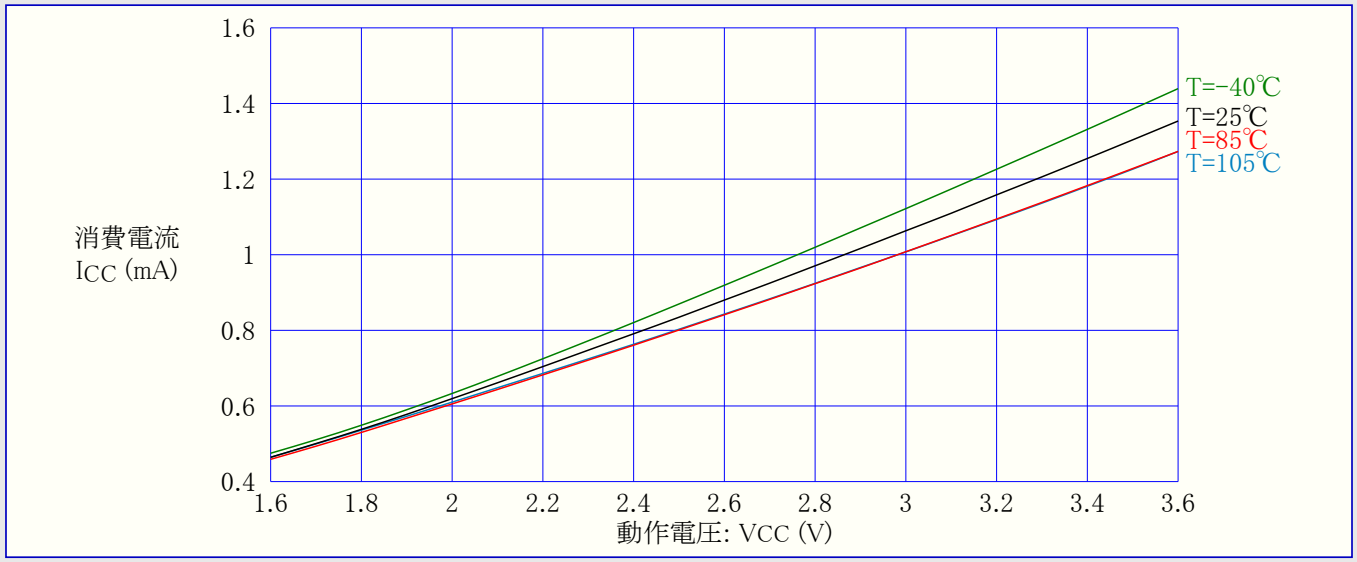
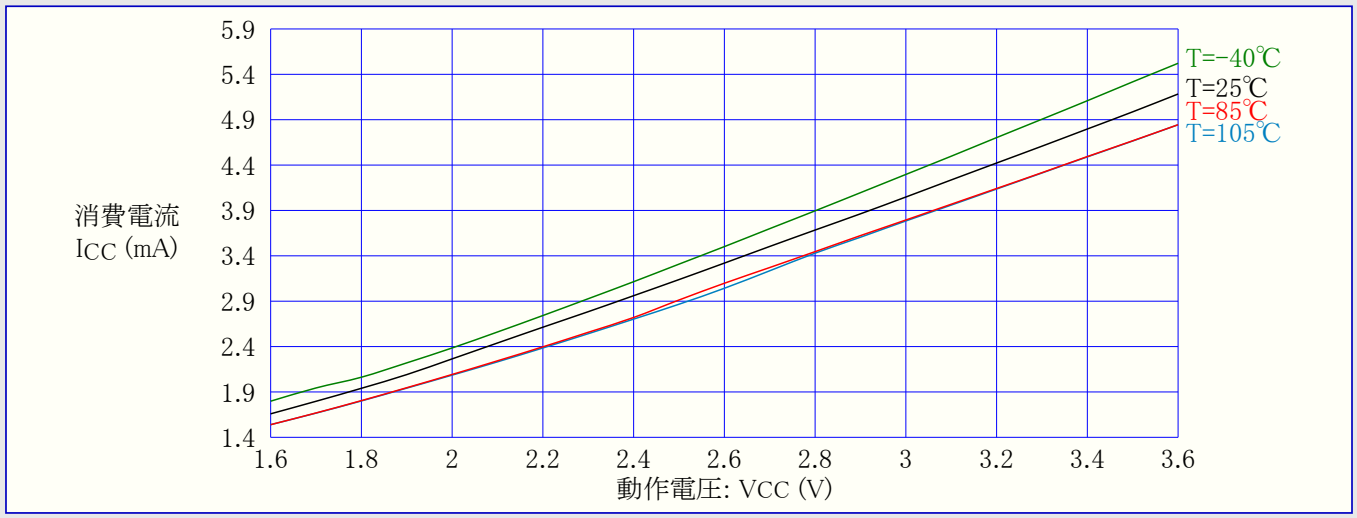
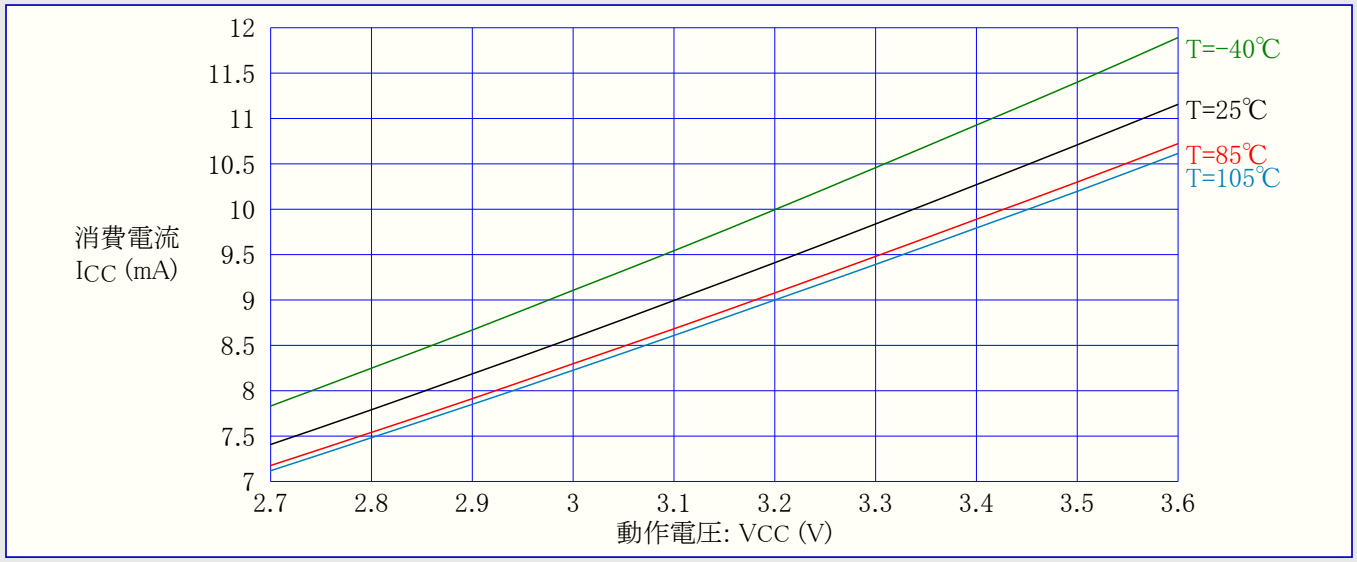


図37-90. 活動動作消費電流 対 動作電圧 (*f*SYS=8MHzに前置分周した32MHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-91. 活動動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.2.1.2. ｱｲﾄﾞﾙ動作消費電流

図37-92. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (*f*SYS=0～1.0MHz外部ｸﾛｯｸ,T=25℃)

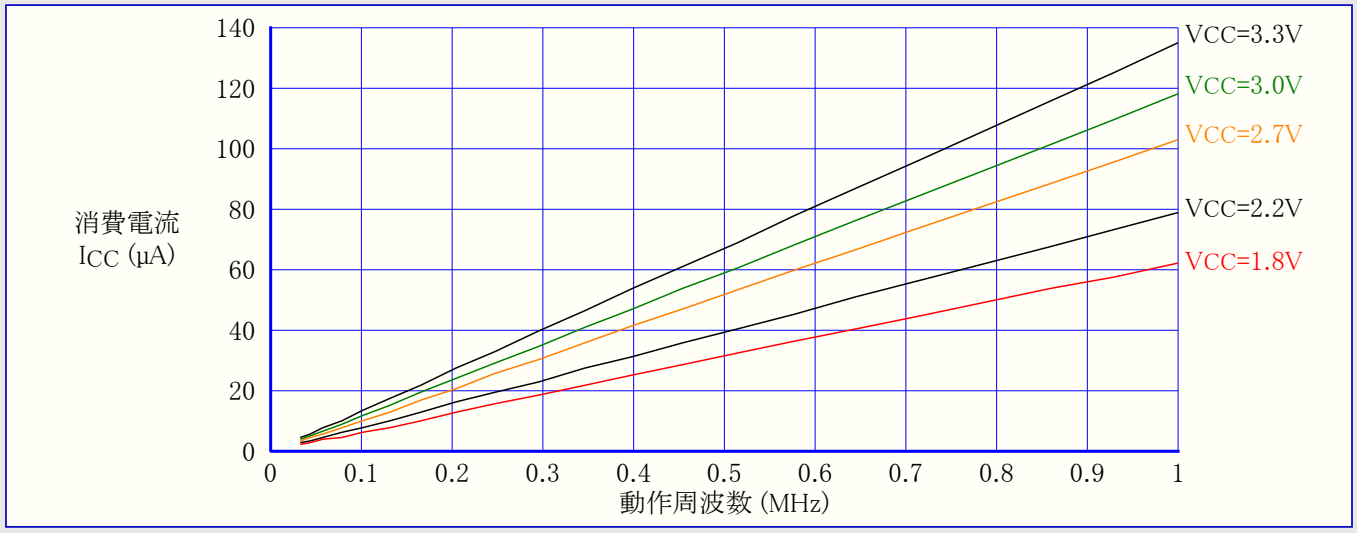
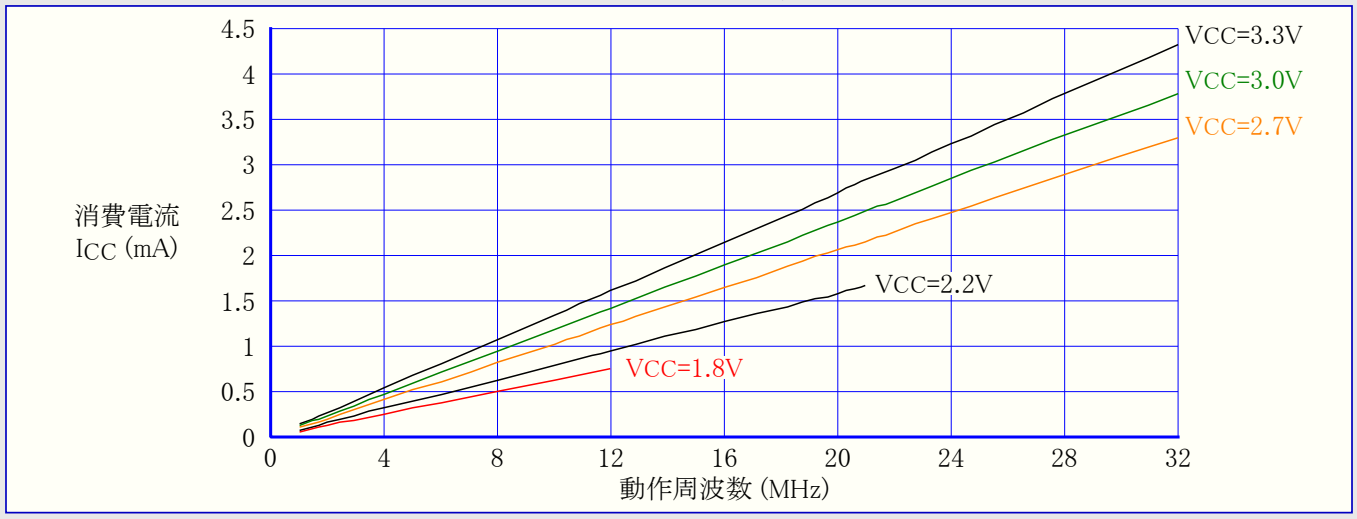


図37-93. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (*f*SYS=1～32MHz外部ｸﾛｯｸ,T=25℃)



(**訳注**) 原書の**図37-91.**は誤って**図37-98.**が使われているため、参考用にATxmega64A4Uの同図(**図37-175.**)に差し替えました。

図37-94. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)

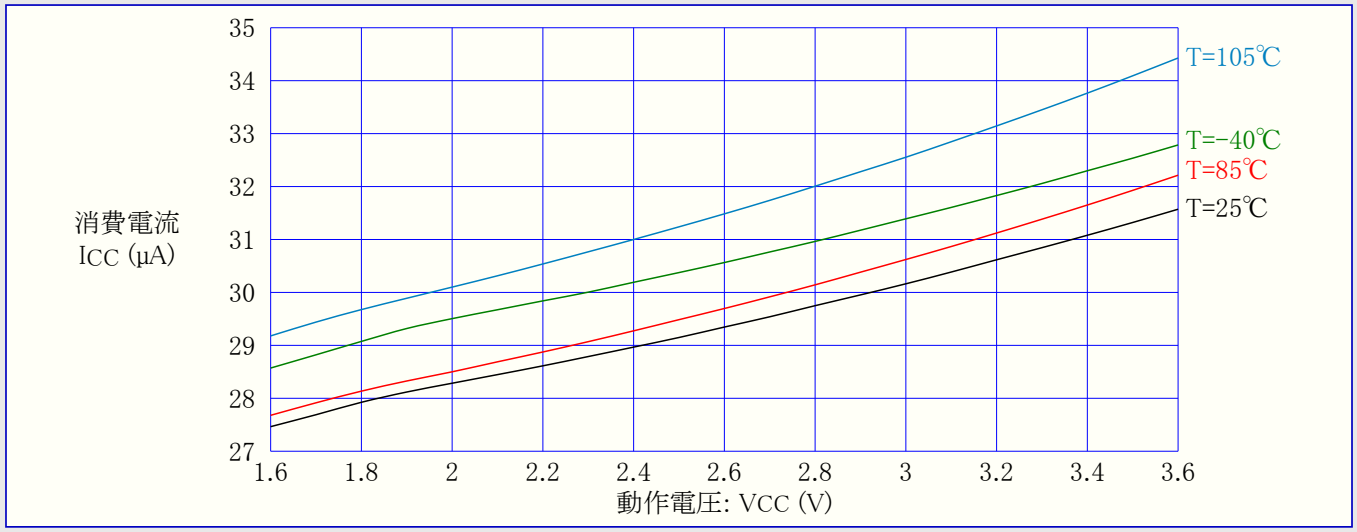


図37-95. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=1MHz外部ｸﾛｯｸ)

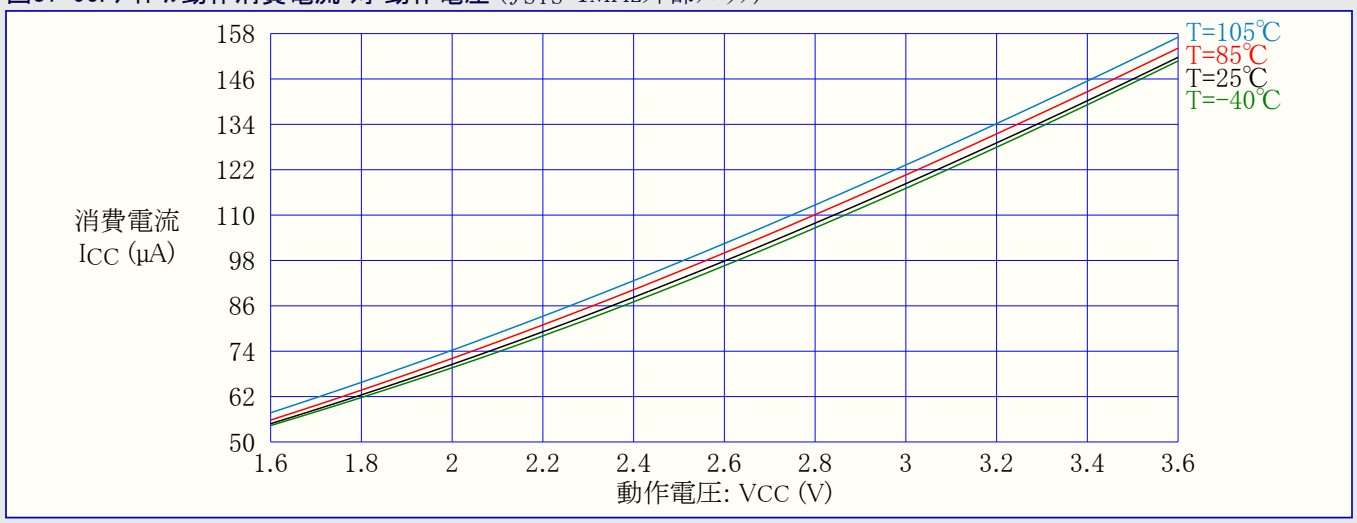
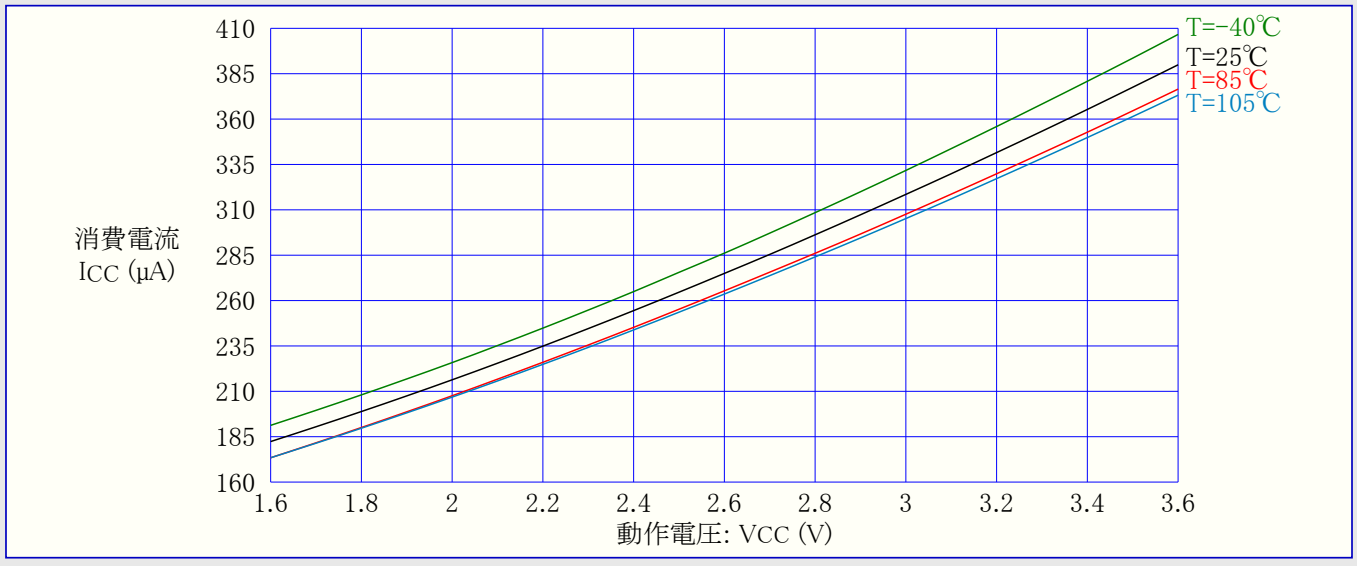


図37-96. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (f_{SYS}=2MHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-97. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=8MHzへ前置分周された32MHz内部発振器)

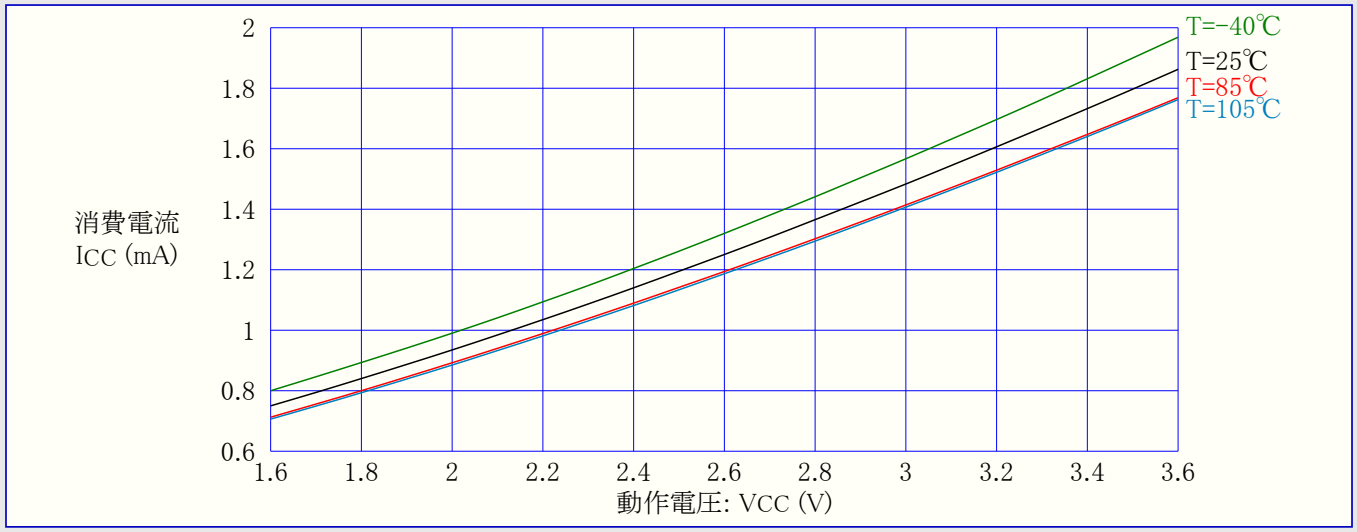
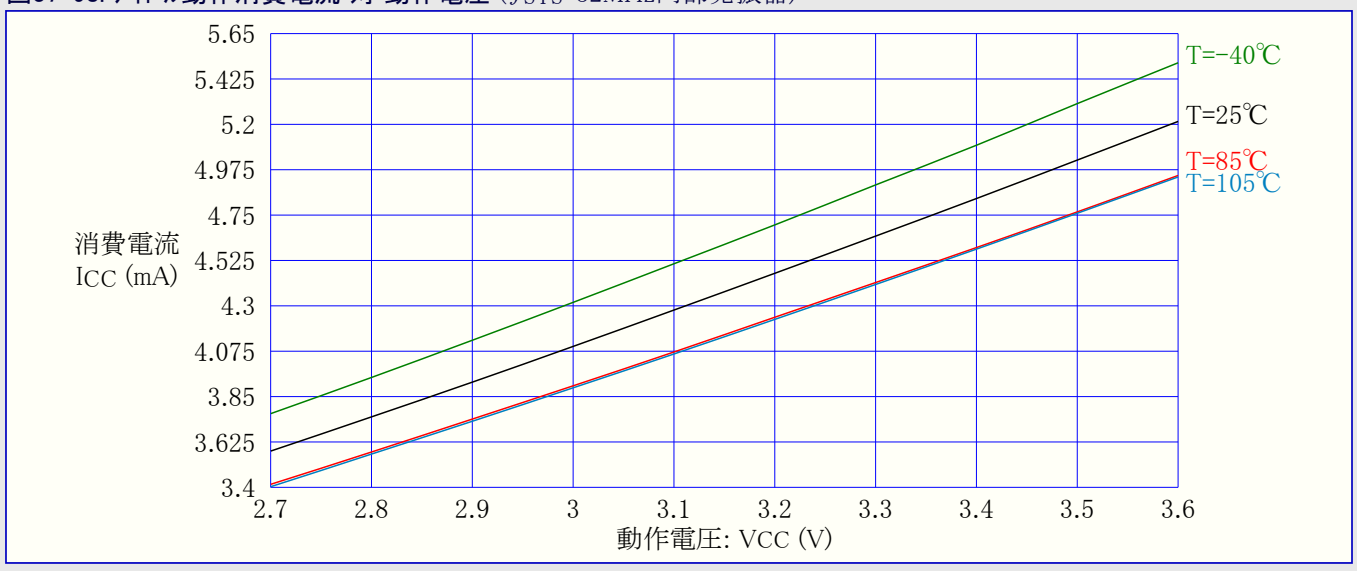


図37-98. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.2.1.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図37-99. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作温度 (全機能禁止)

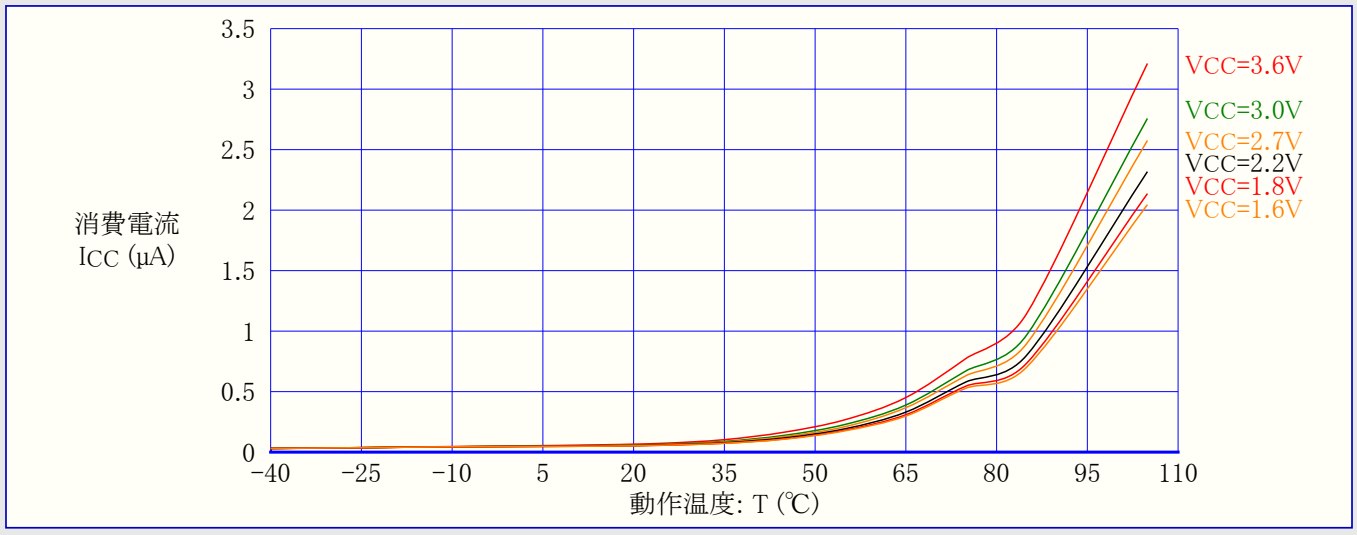


図37-100. パワーダウン動作消費電流 対 動作電圧 (全機能禁止)

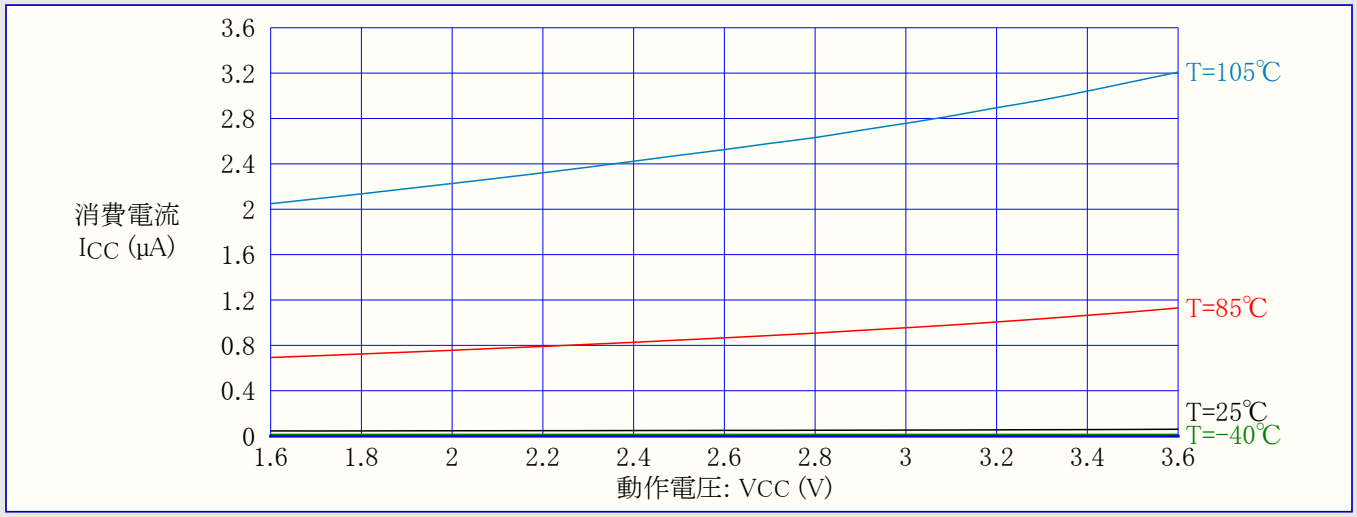
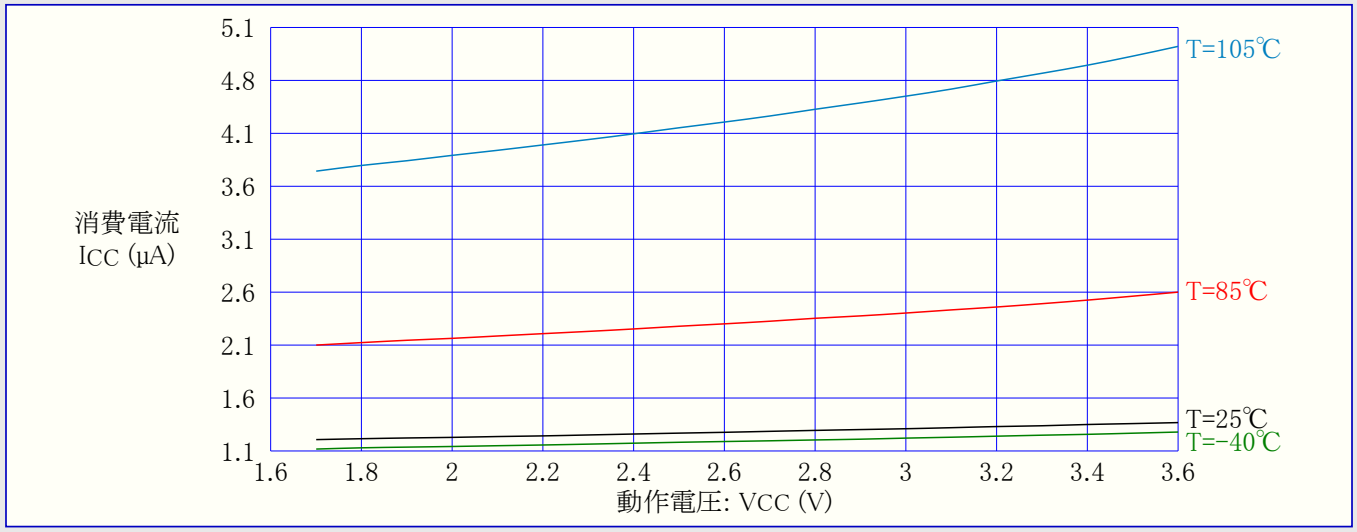
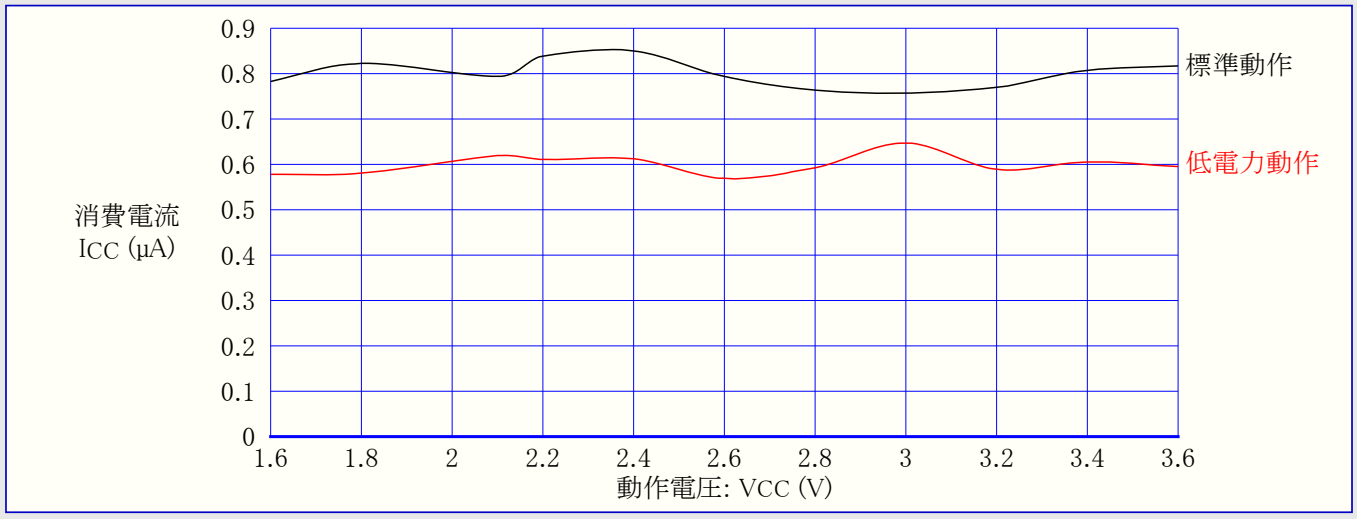


図37-101. パワーダウン動作消費電流 対 動作電圧 (採取動作BOD,WDT許可)



37.2.1.4. パワーセーブ動作消費電流

図37-102. パワーセーブ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



© 2011-2020 Microchip Technology Inc.

37.2.1.5. スタンバイ動作消費電流

図37-103. スタンバイ動作消費電流 対 動作電圧 (f_{SYS}=1MHz)

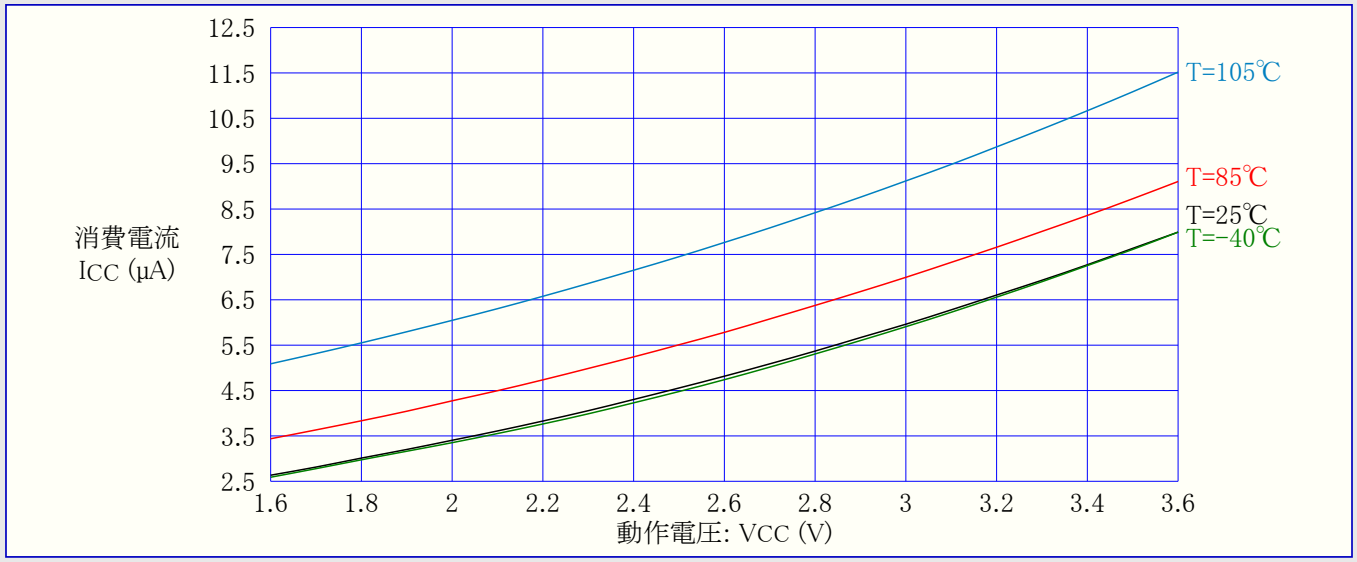
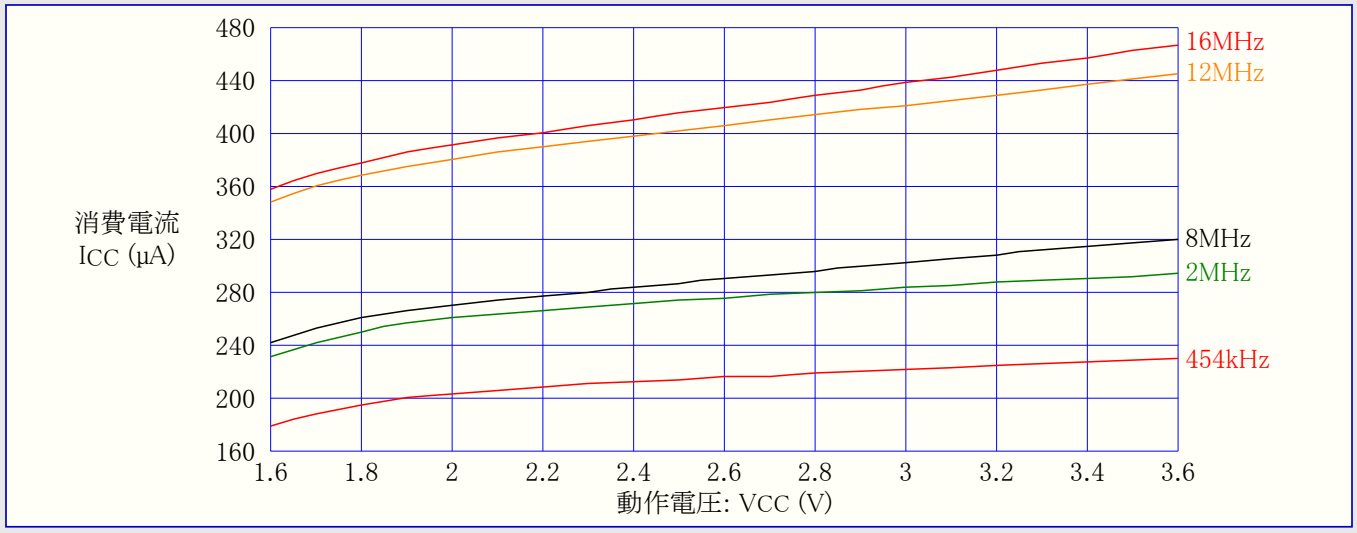


図37-104. スタンバイ動作消費電流 対 動作電圧 (各種クリスタル用発振器での走行,T=25℃)



37.2.2. 入出力ピン特性

37.2.2.1. プルアップ

図37-105. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

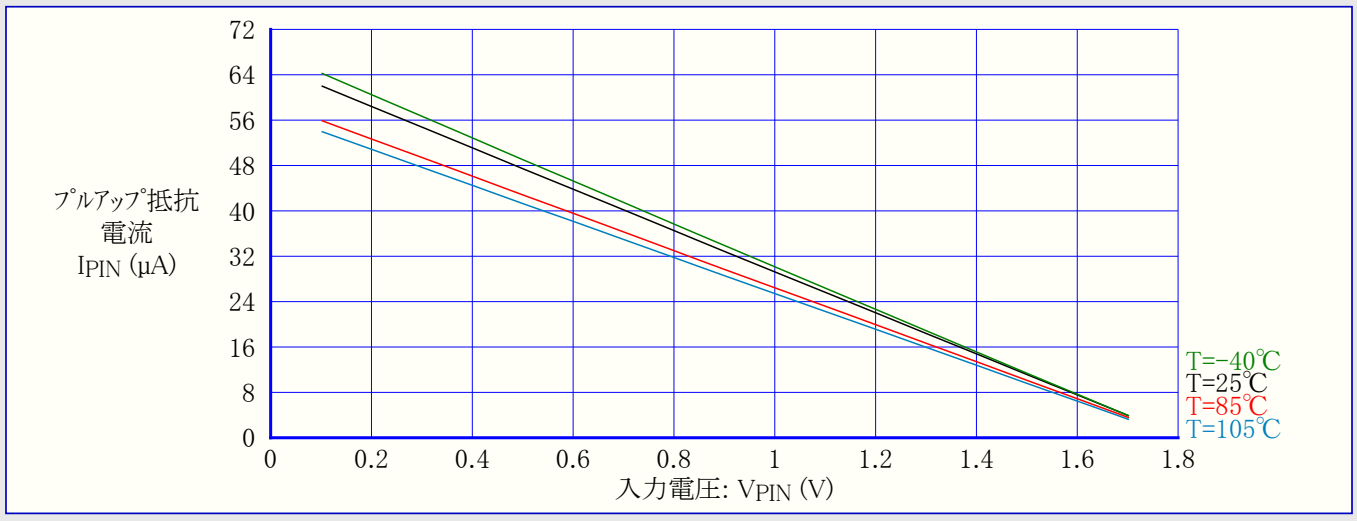


図37-106. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.0V)

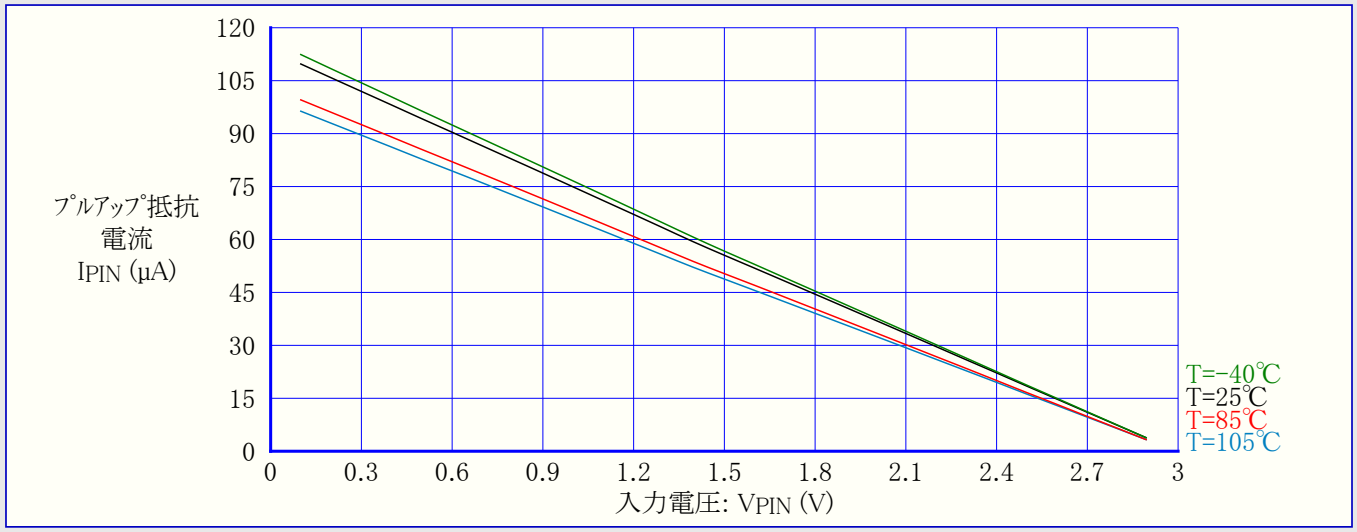
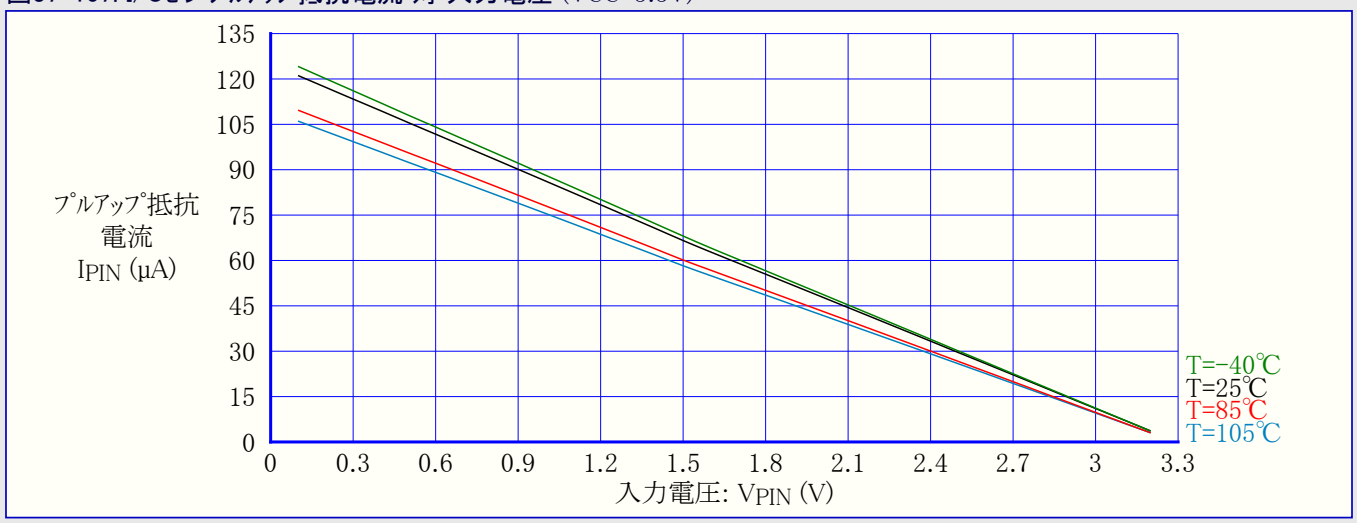


図37-107. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.3V)



37.2.2.2. 出力電圧 対 吸い込み/吐き出し電流

図37-108. I/Oﾋﾟﾝ出力電圧 対 吐き出し電流 (VCC=1.8V)

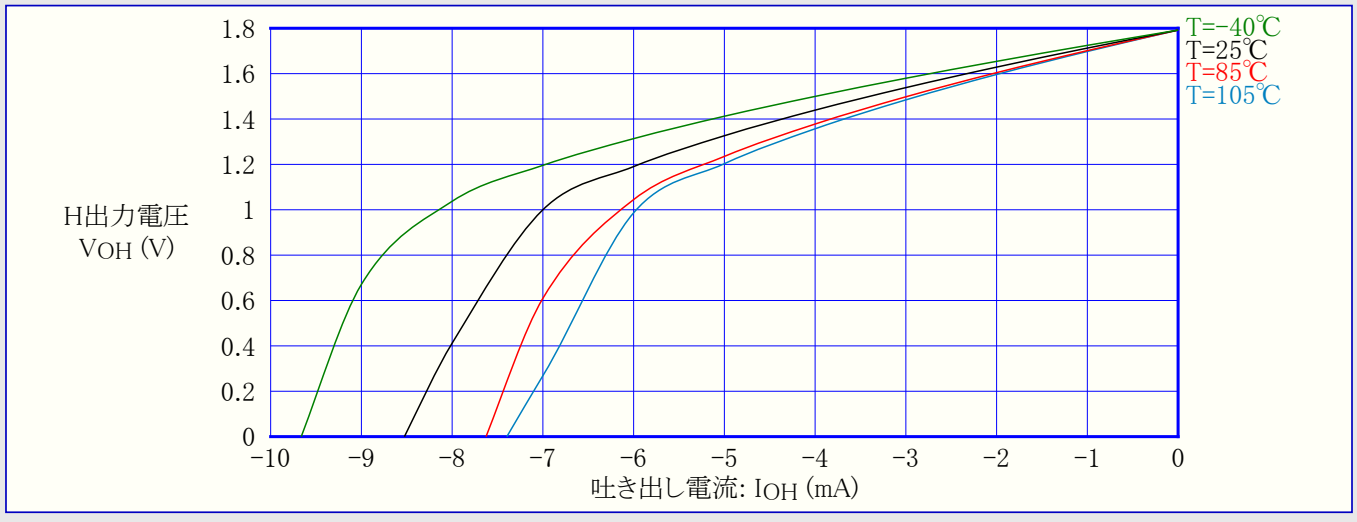


図37-109. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

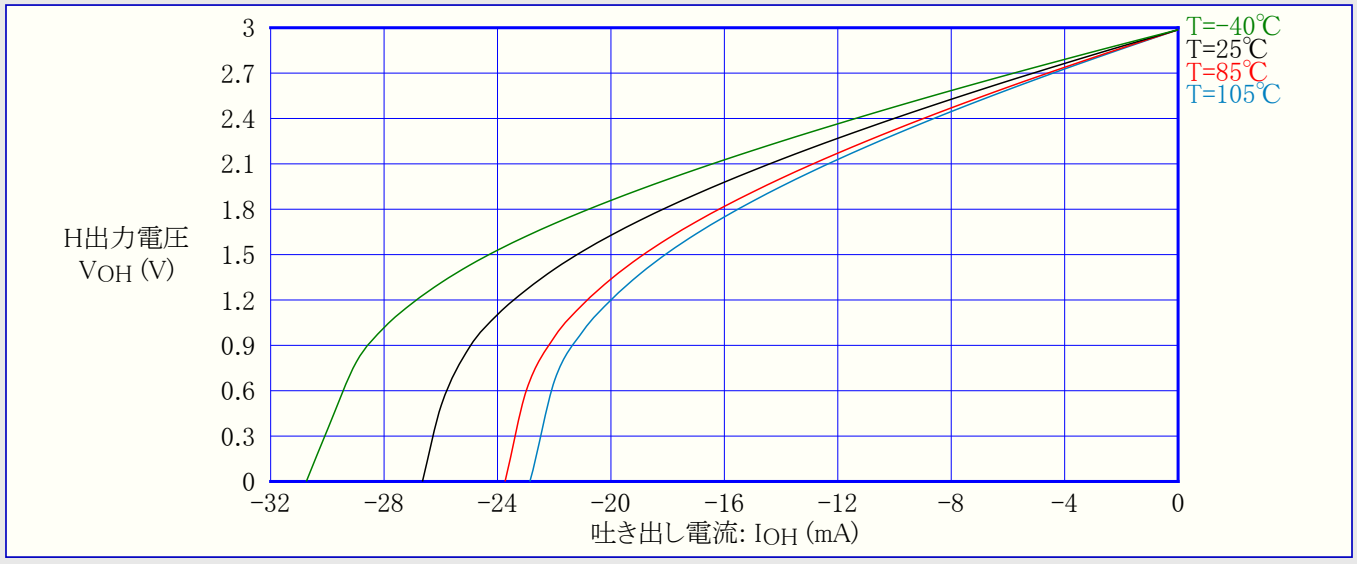


図37-110. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

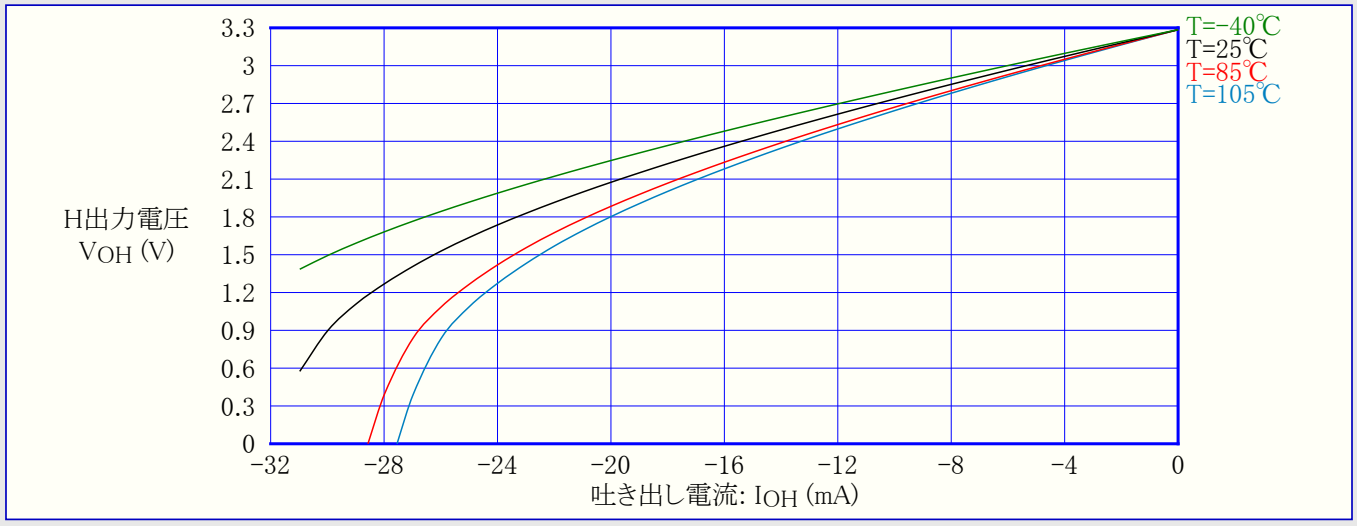


図37-111. I/Oピン出力電圧 対 吐き出し電流 (T=25℃)

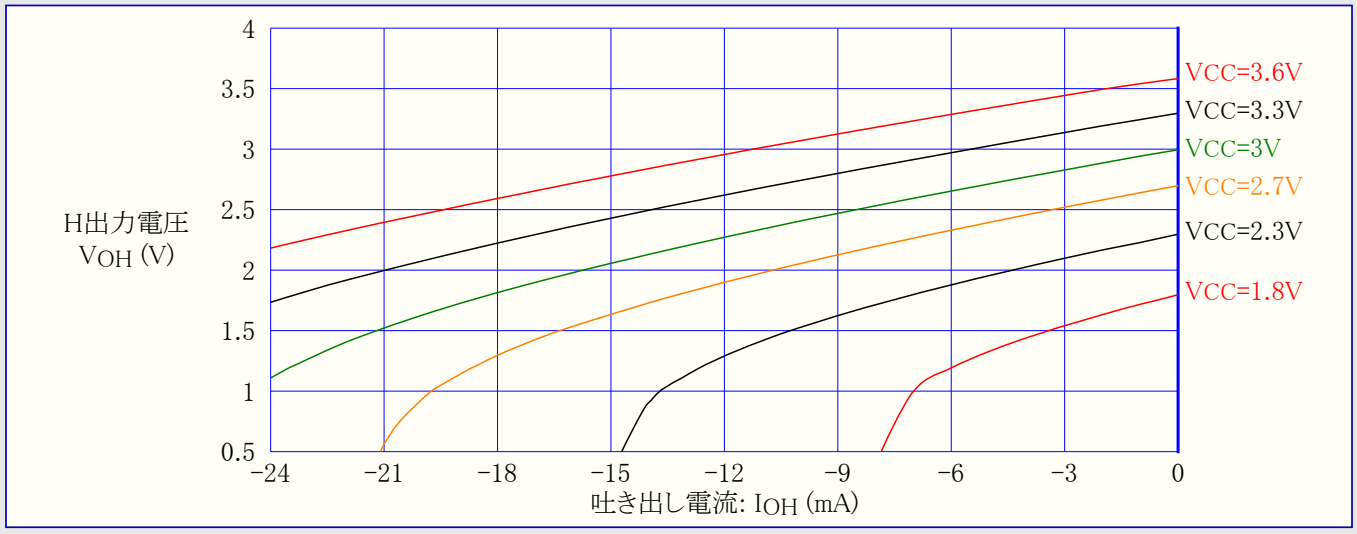


図37-112. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=1.8V)

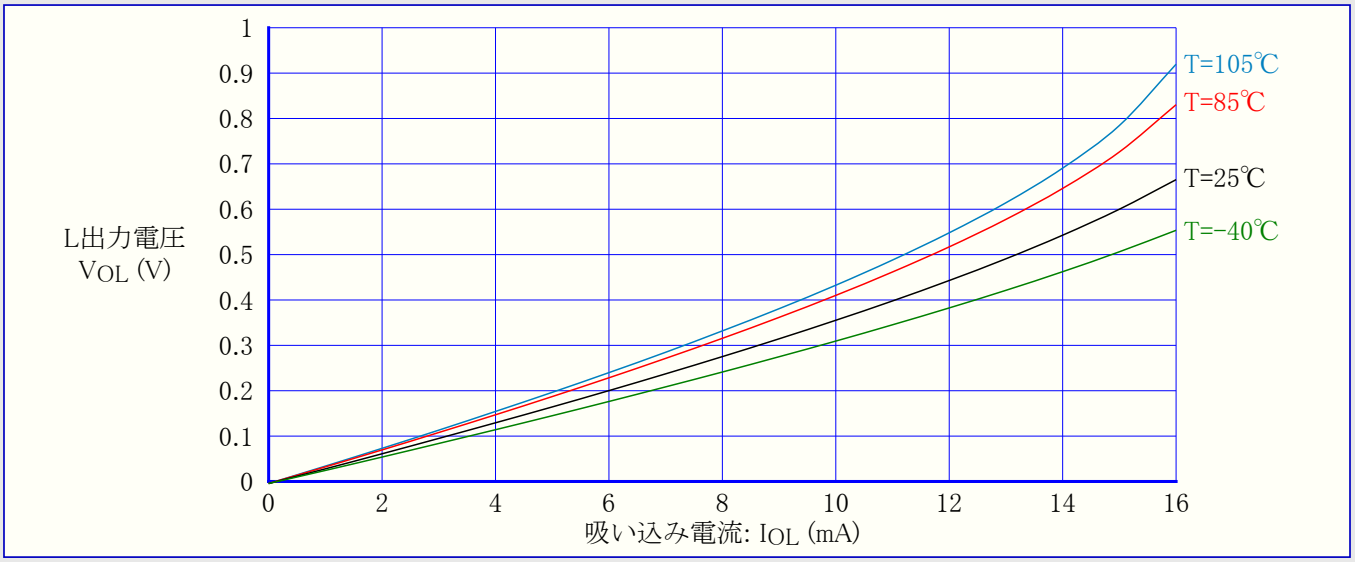


図37-113. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.0V)

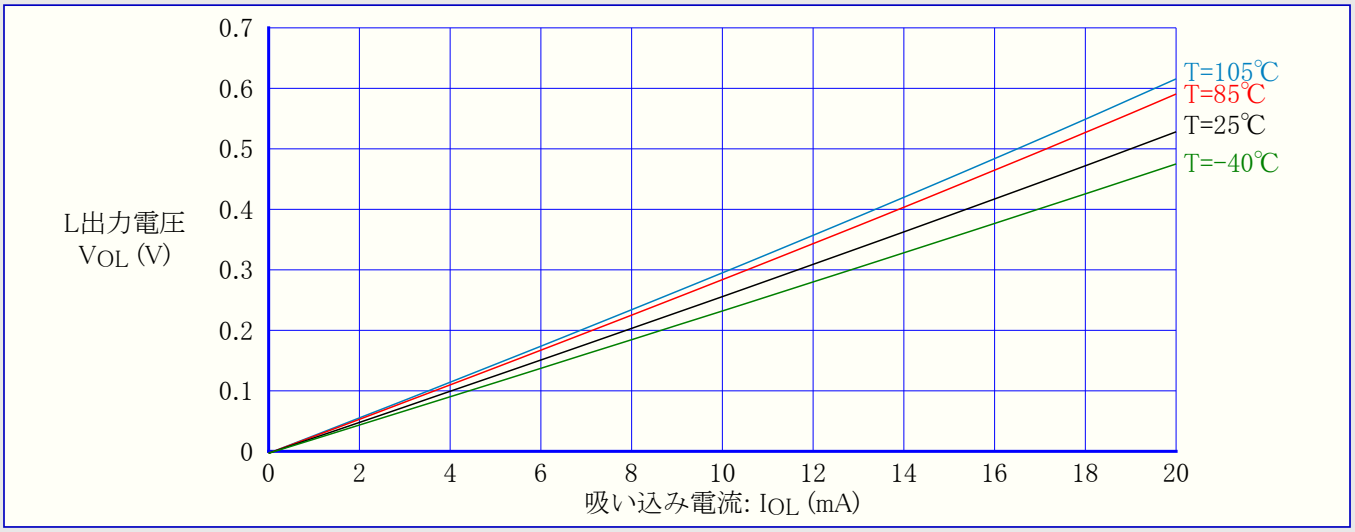
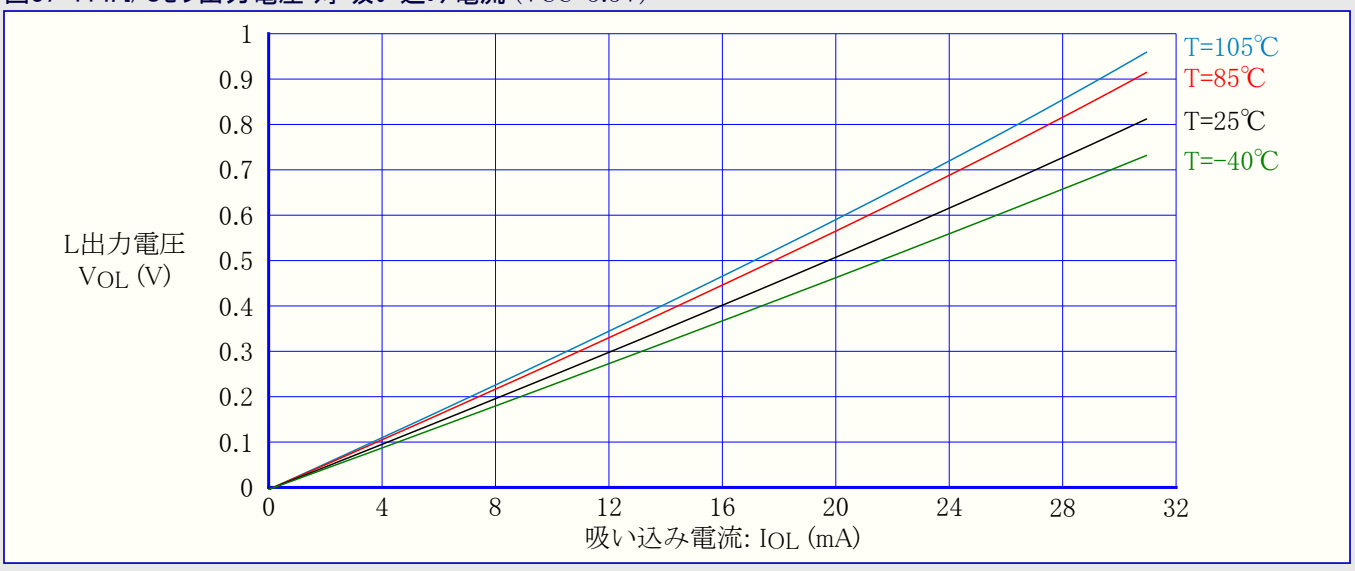
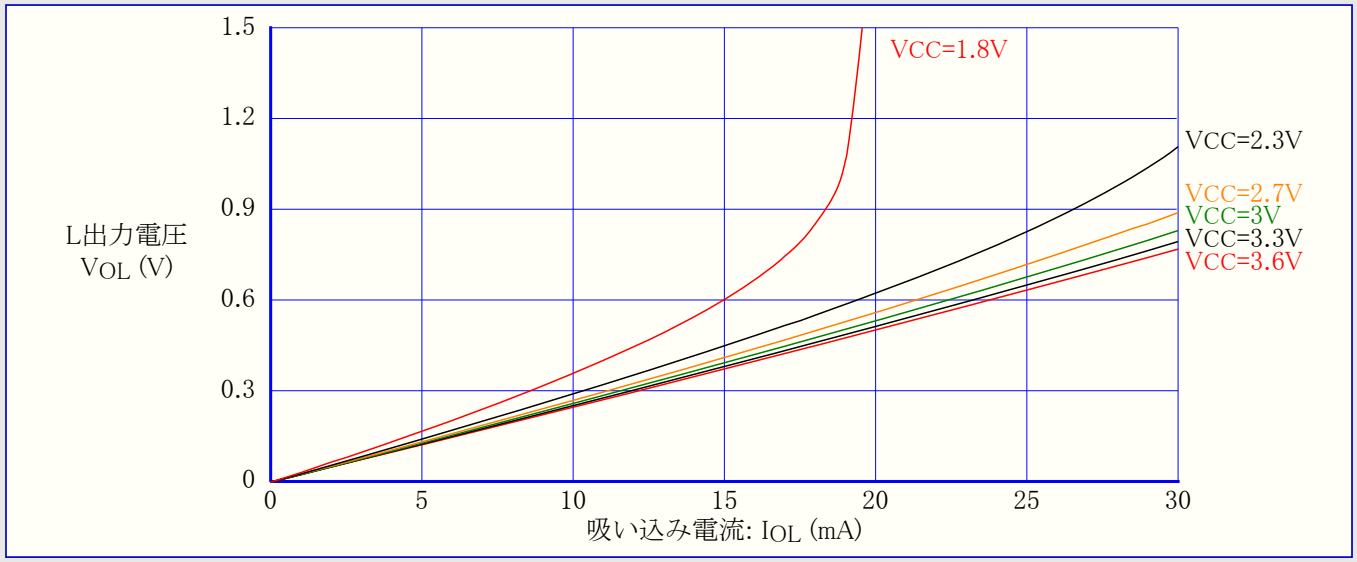


図37-114. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.3V)



© 2011-2020 Microchip Technology Inc.

図37-115. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (T=25℃)



37.2.2.3. 閾値とﾋｽﾃﾘｼｽ

図37-116. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (T=25℃)

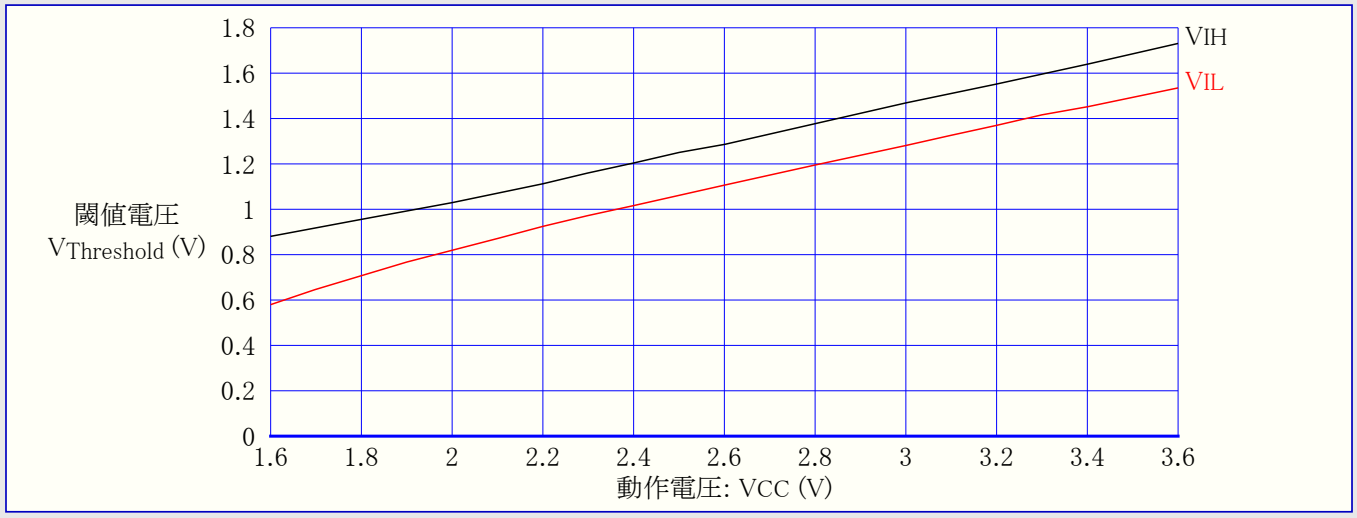


図37-117. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)

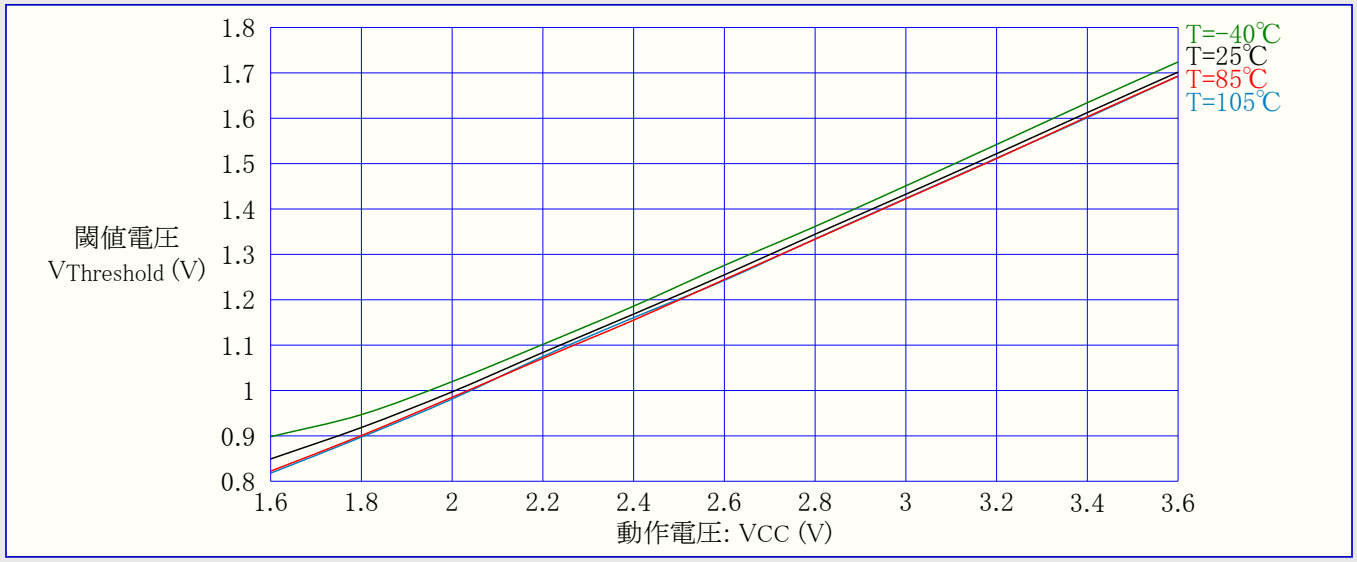


図37-118. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)

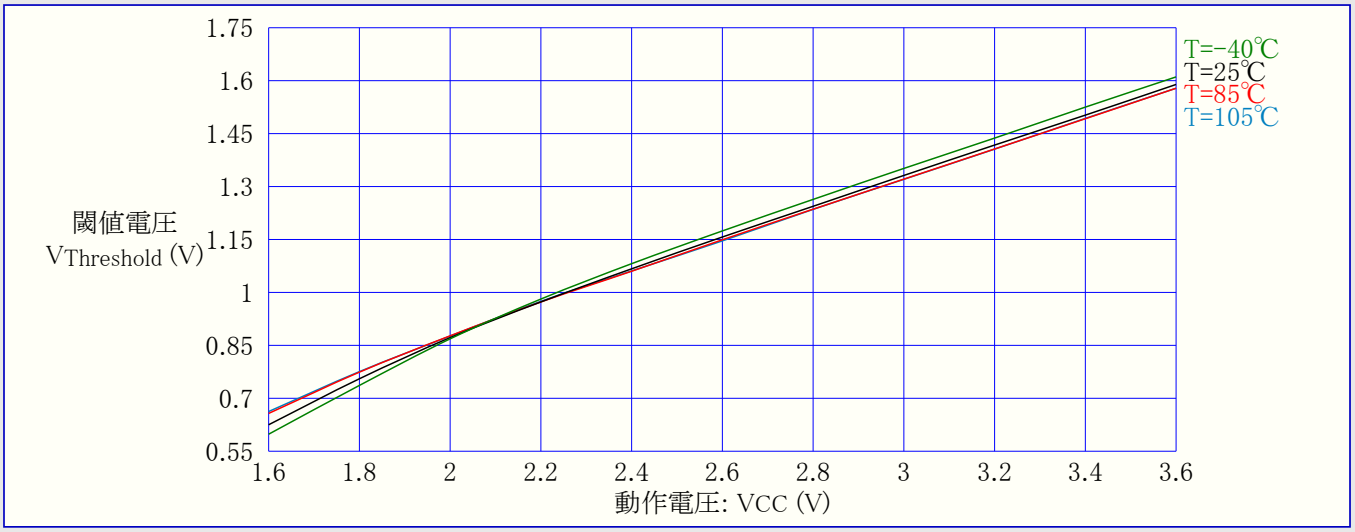
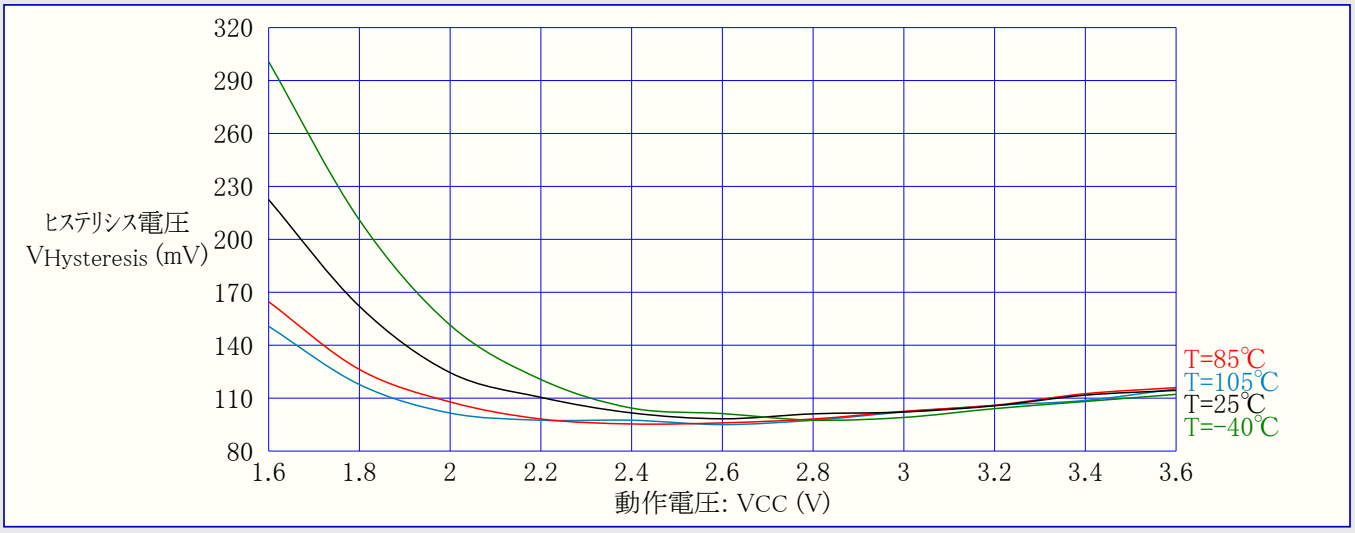


図37-119. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



37.2.3. A/D変換器(ADC)特性

図37-120. ADC積分性誤差(INL) 対 外部VREF (T=25℃、VCC=3.6V)

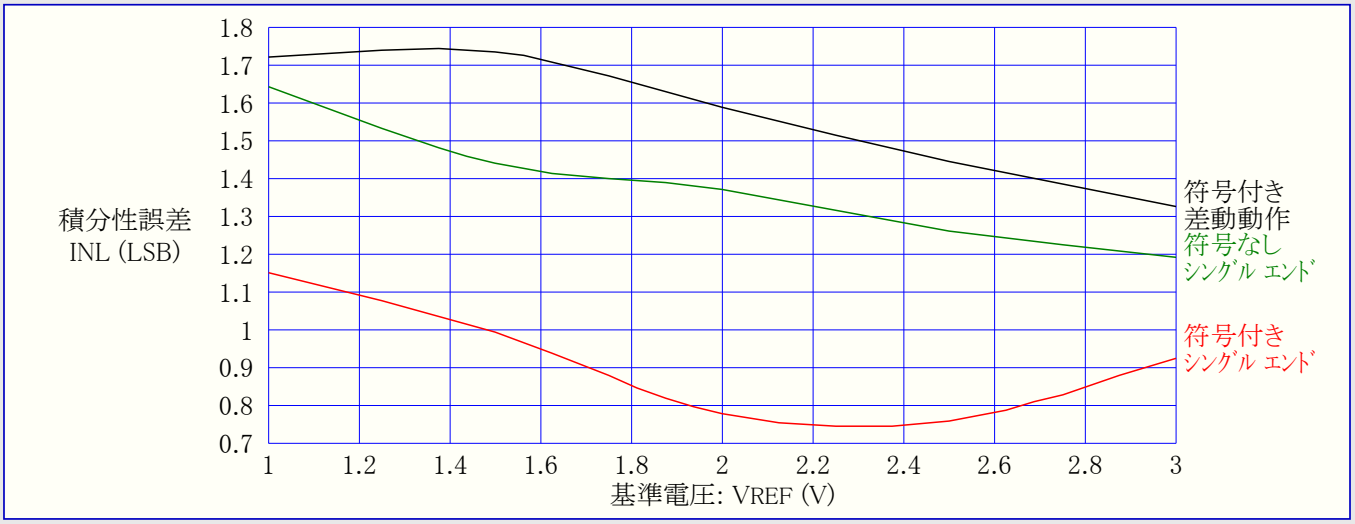


図37-121. ADC積分性誤差(INL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

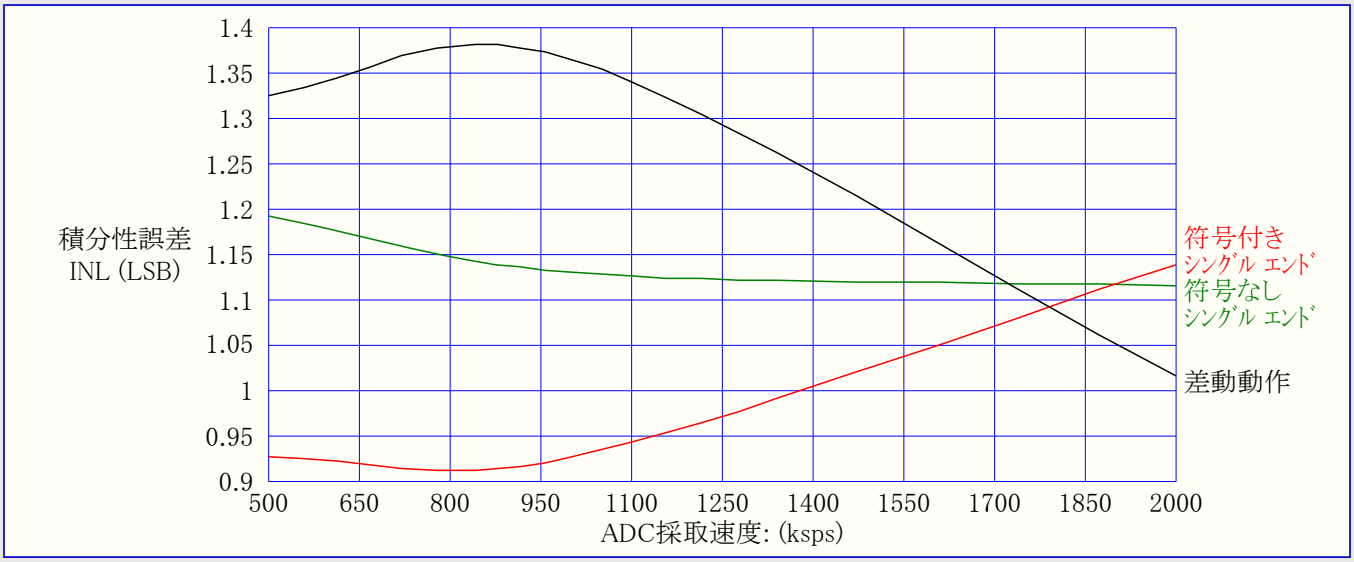


図37-122. ADC積分性誤差(INL) 対 入力符号

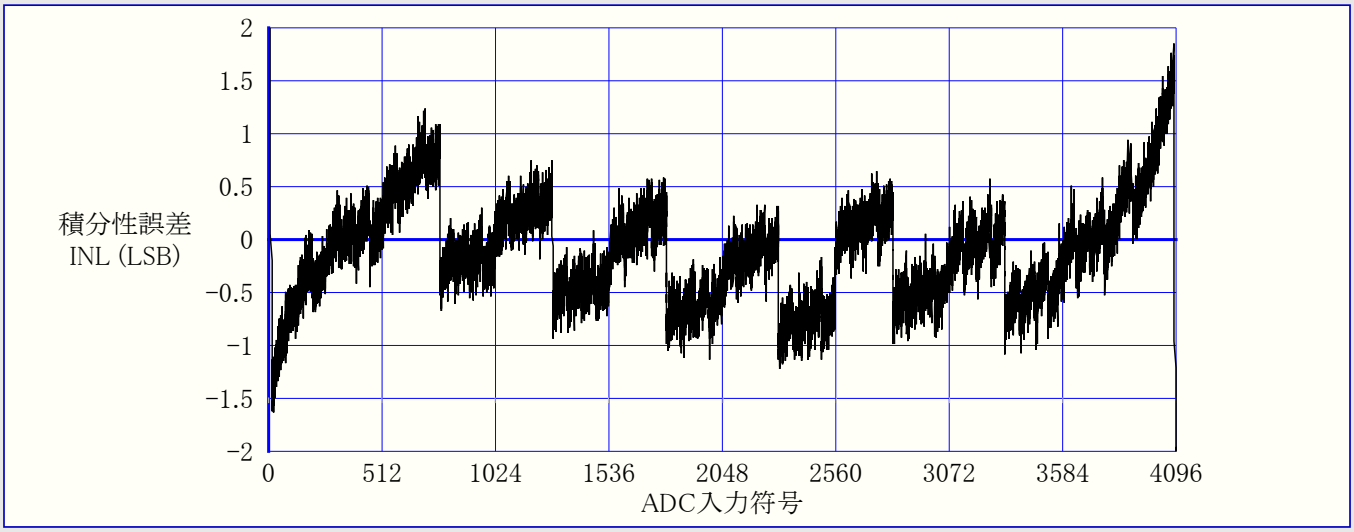


図37-123. ADC微分性誤差(DNL) 対 外部VREF (T=25℃、VCC=3.6V)

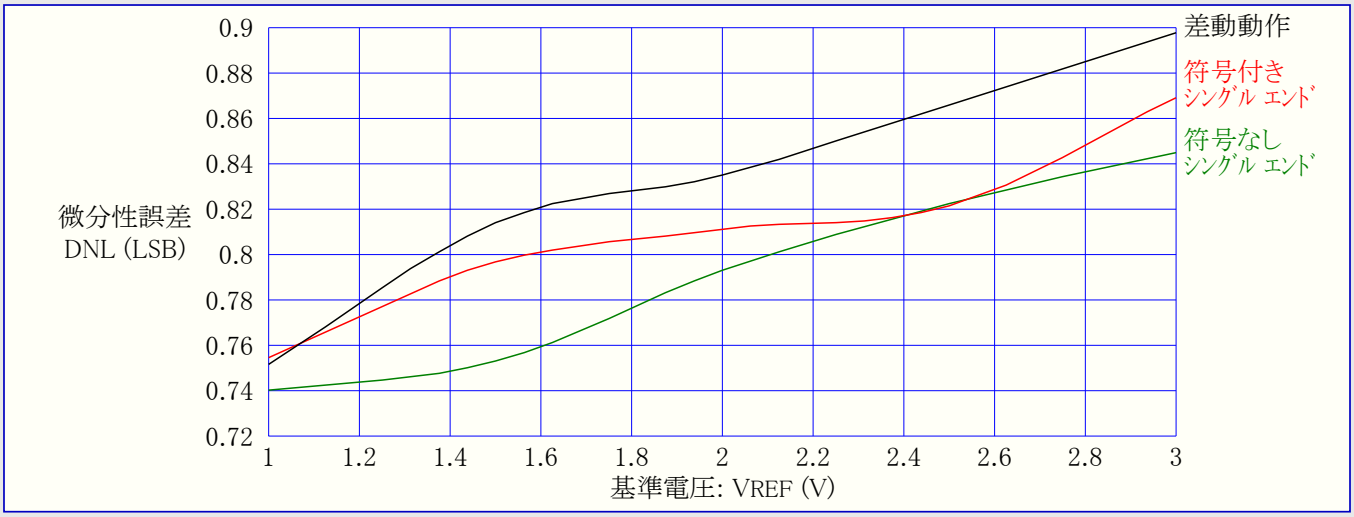


図37-124. ADC微分性誤差(DNL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

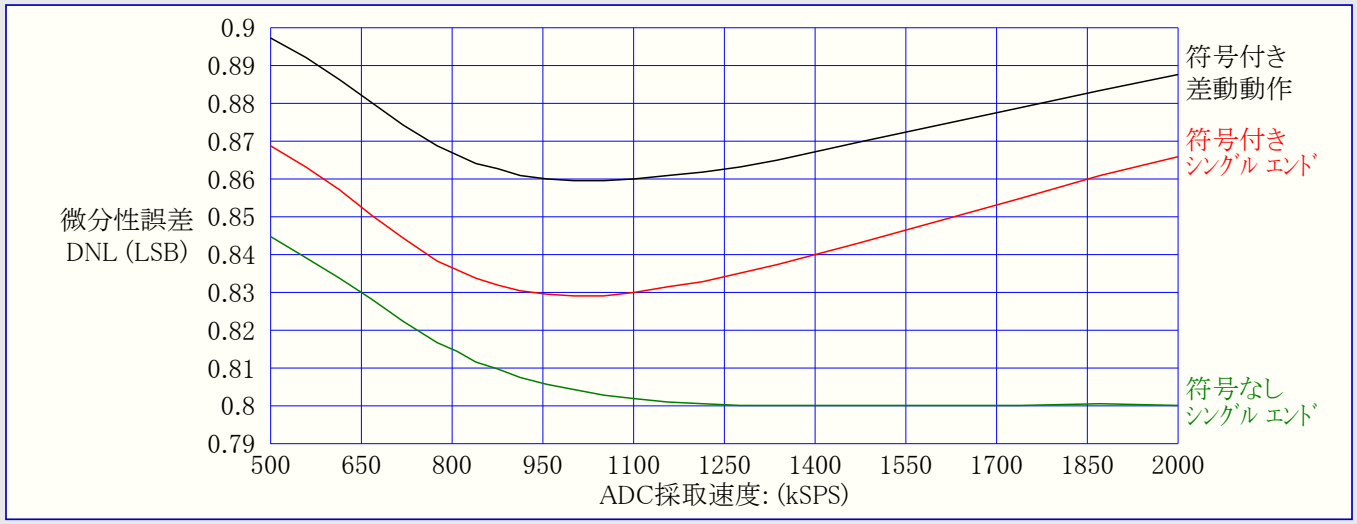


図37-125. ADC微分性誤差(DNL) 対 入力符号

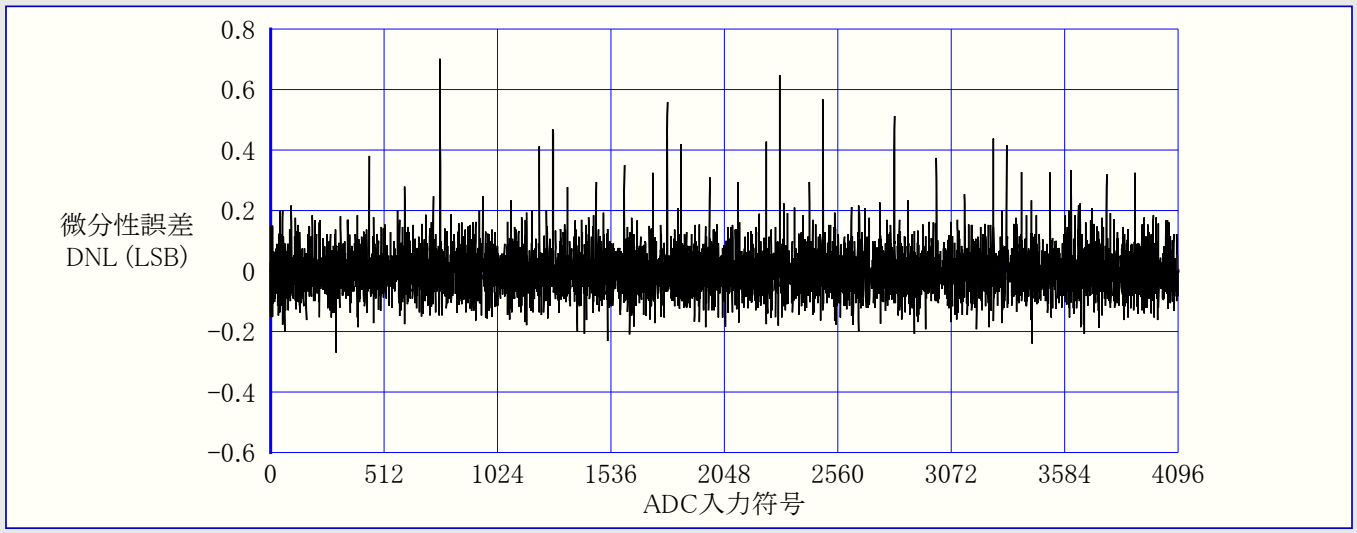


図37-126. ADC利得誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

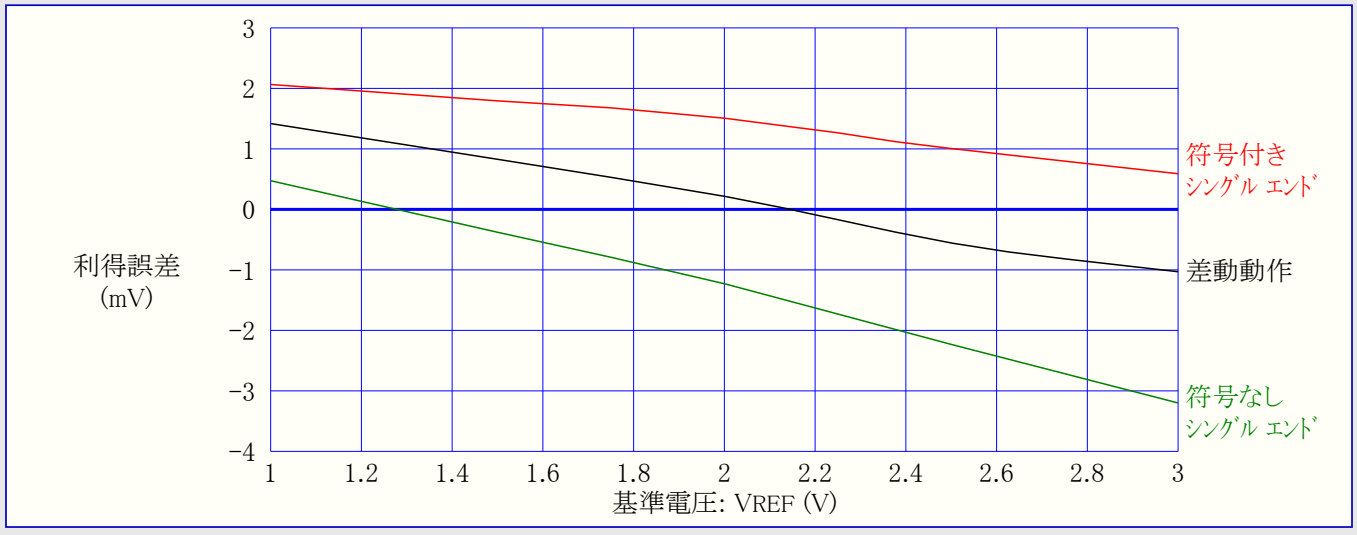


図37-127. ADC利得誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

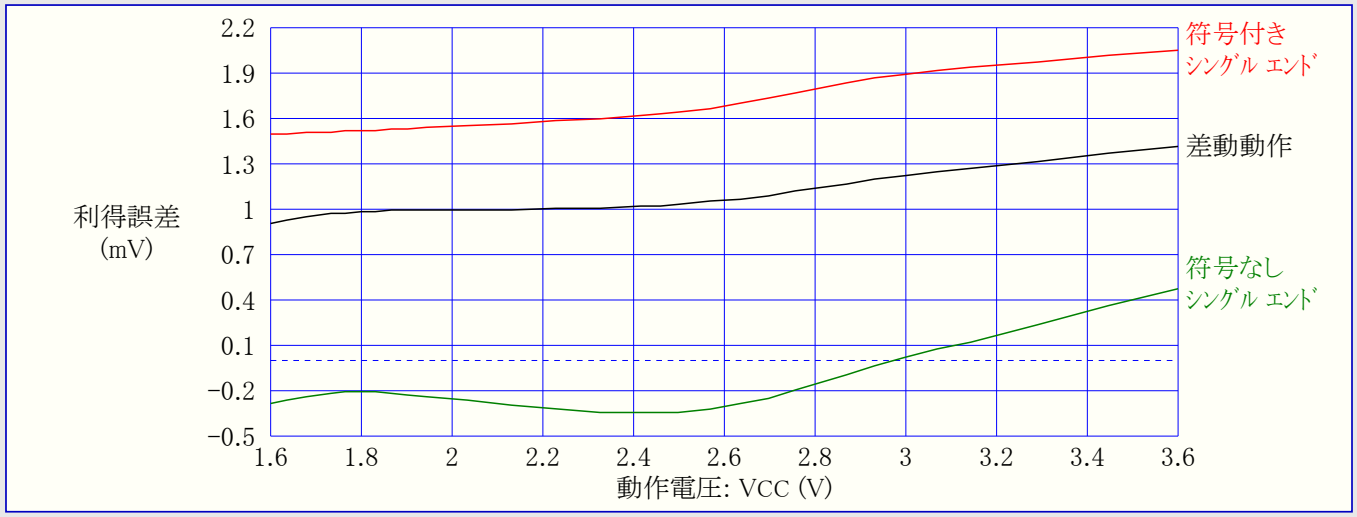


図37-128. ADC変位(ｵﾌｾｯﾄ)誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

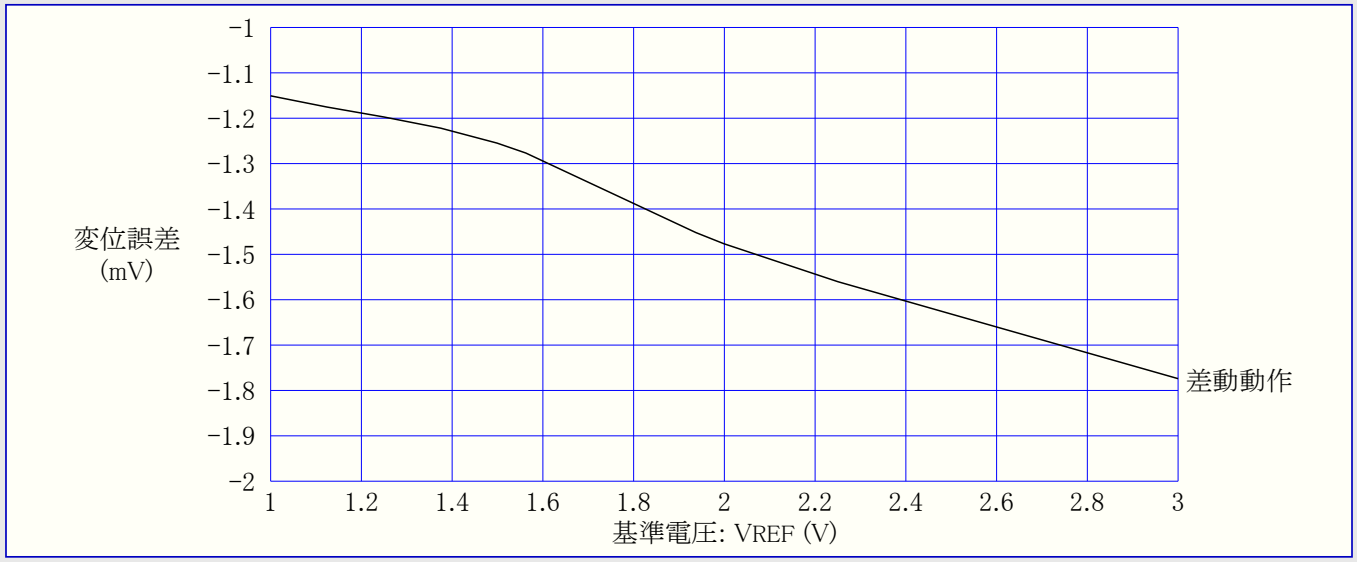
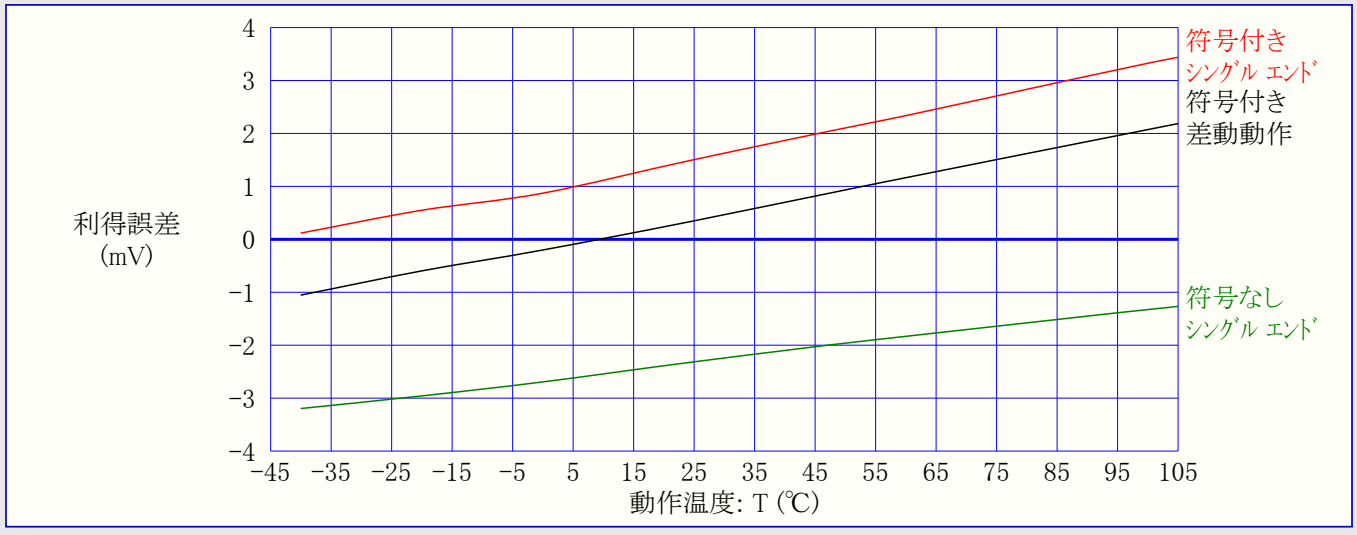


図37-129. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部2.0V)



© 2011-2020 Microchip Technology Inc.

図37-130. ADC変位(ｵﾌｾｯﾄ)誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

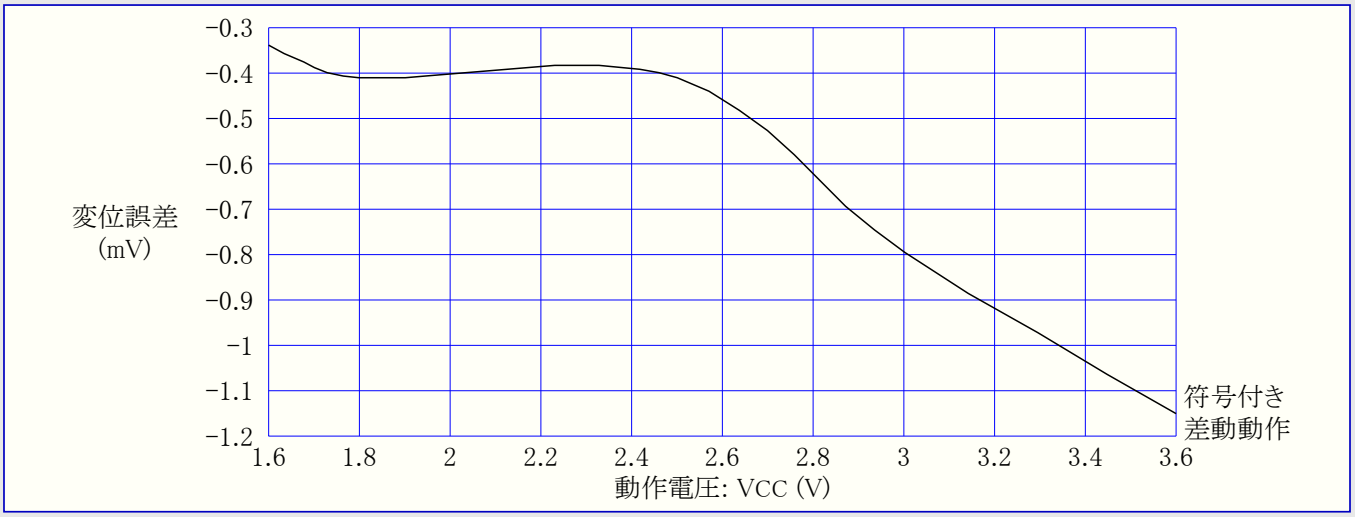


図37-131. ADC雑音 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

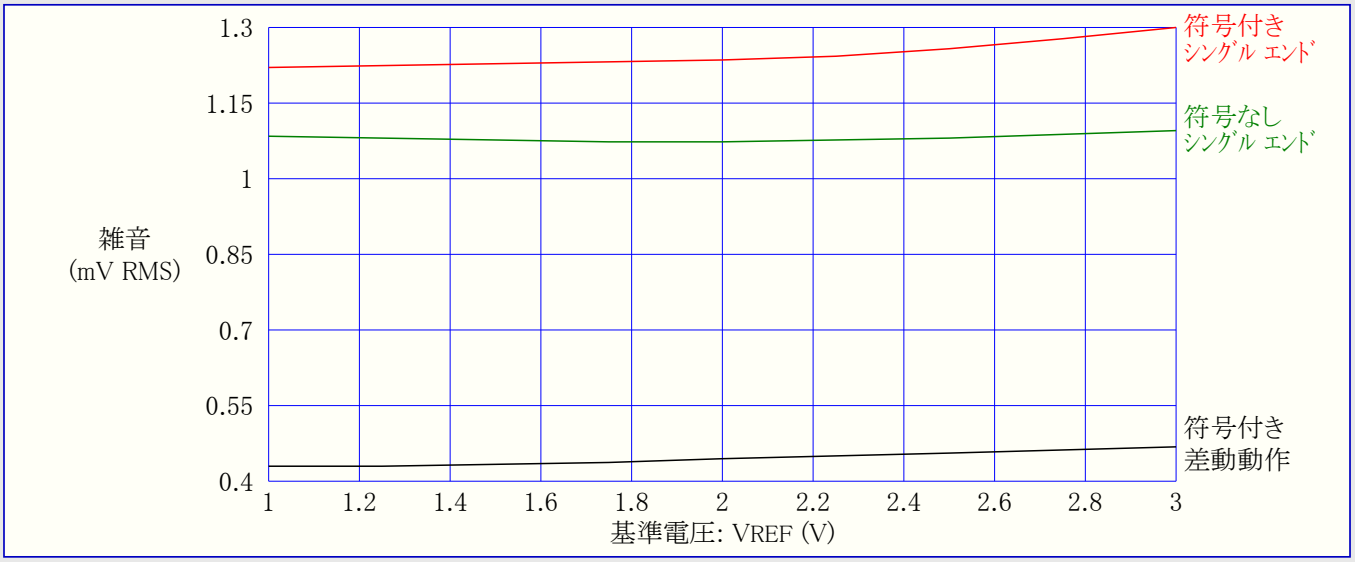
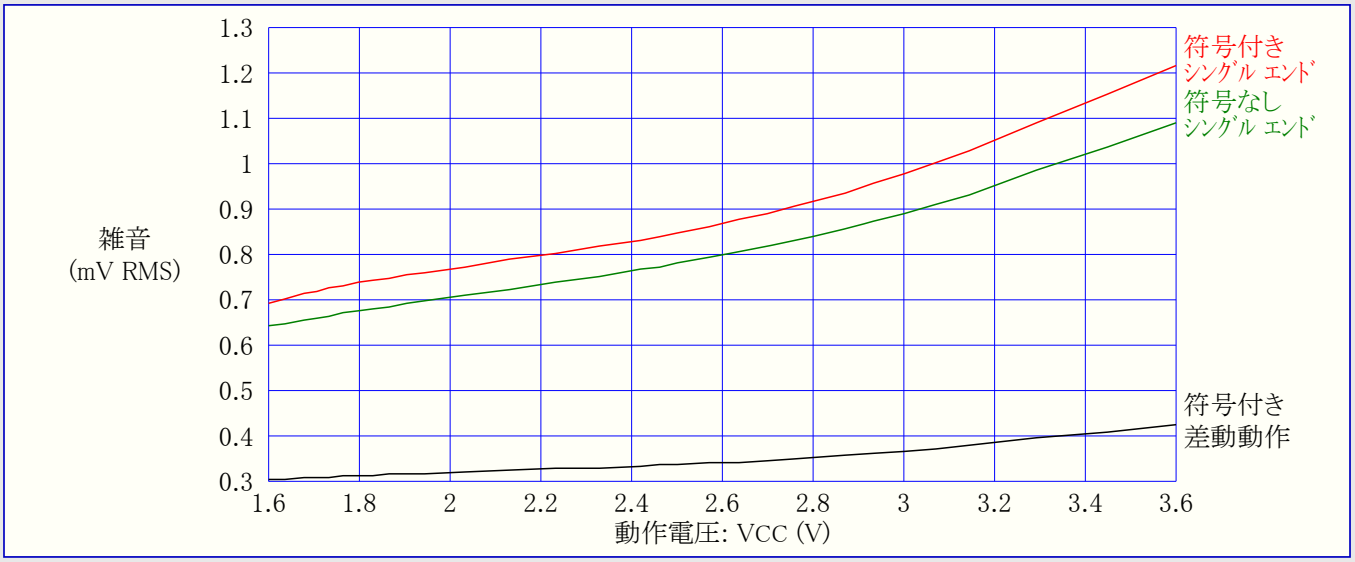


図37-132. ADC雑音 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)



37.2.4. D/A変換器(DAC)特性

図37-133. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)

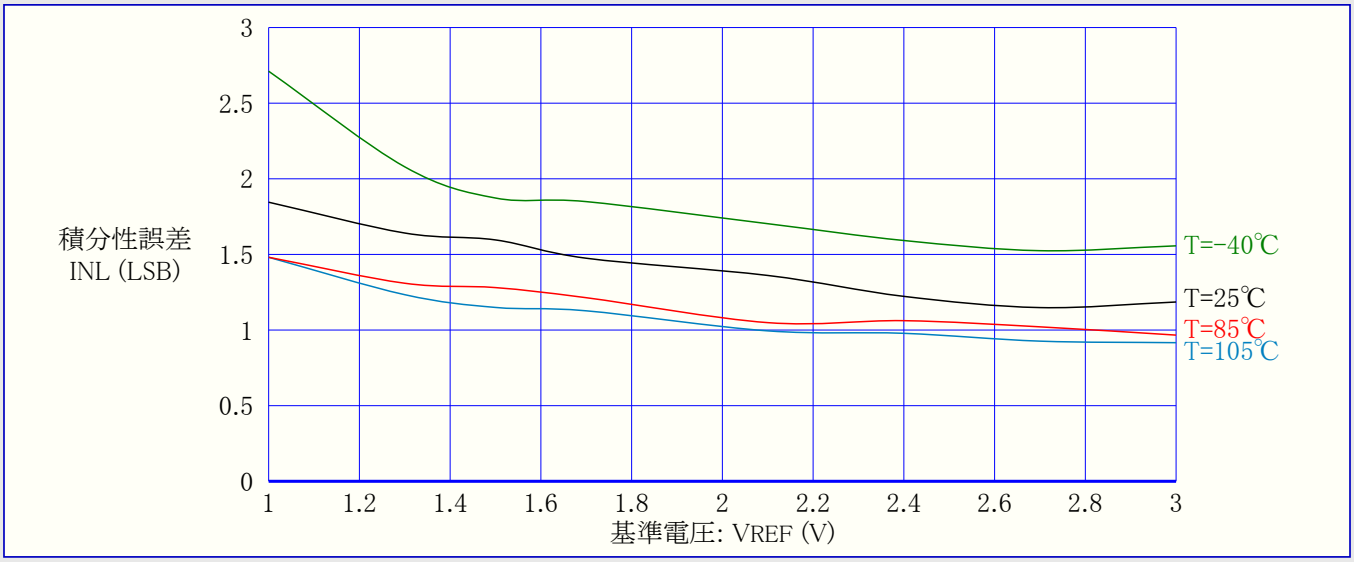


図37-134. DAC微分性誤差(DNL) 対 外部VREF (VCC=3.6V)

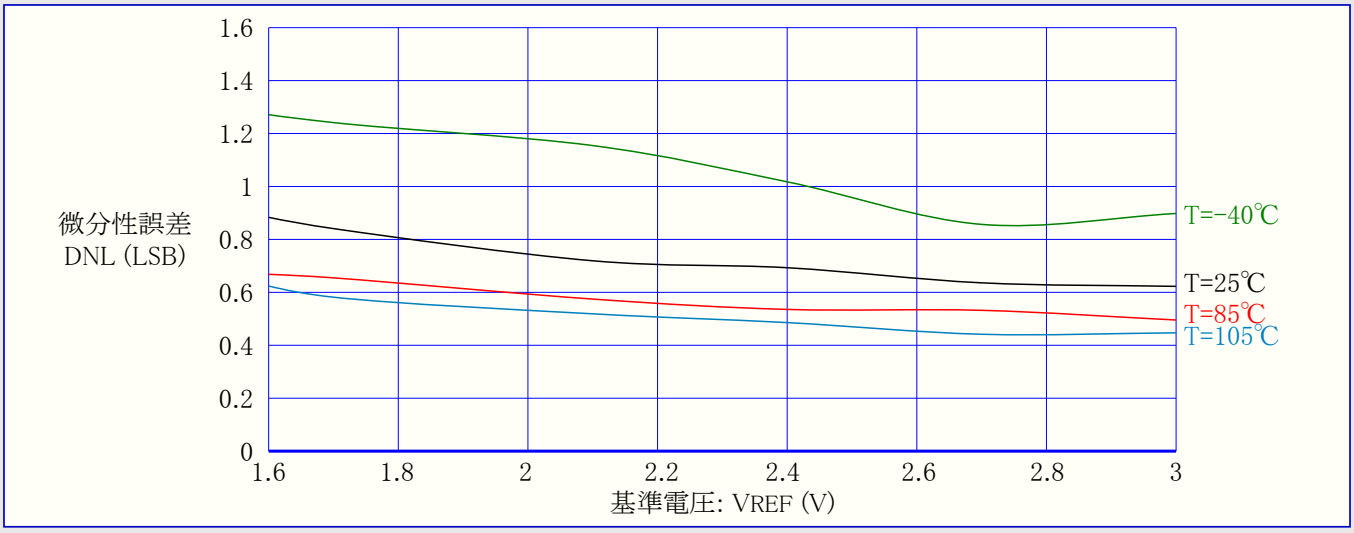
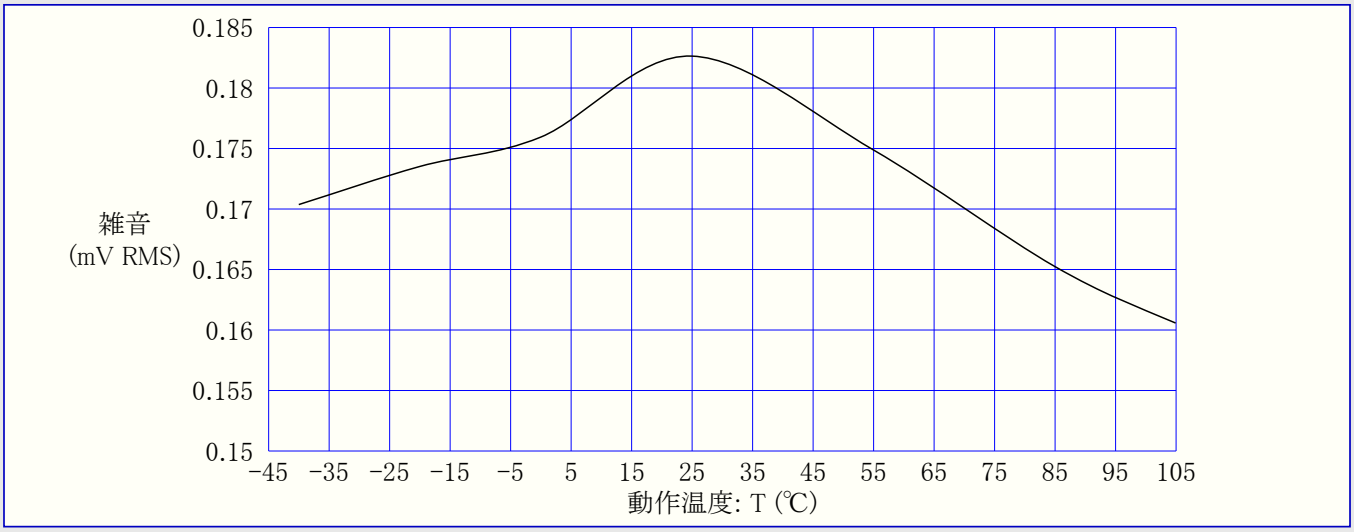


図37-135. DAC雑音 対 動作温度 (VCC=3.0V、VREF=2.4V)



37.2.5. アナログ比較器特性

図37-136. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

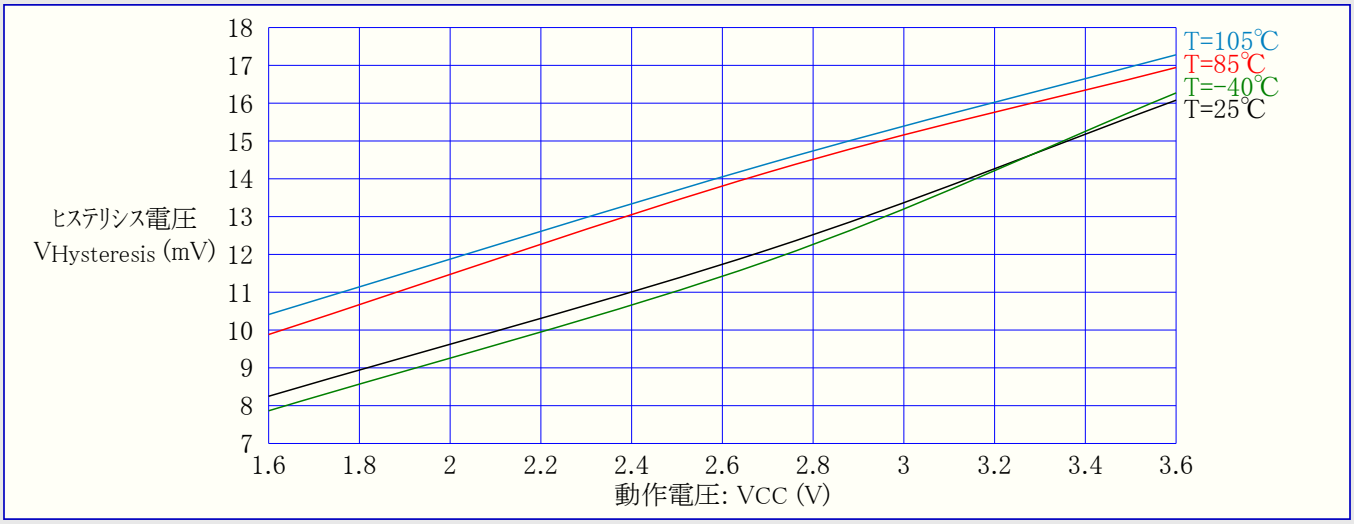


図37-137. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=小)

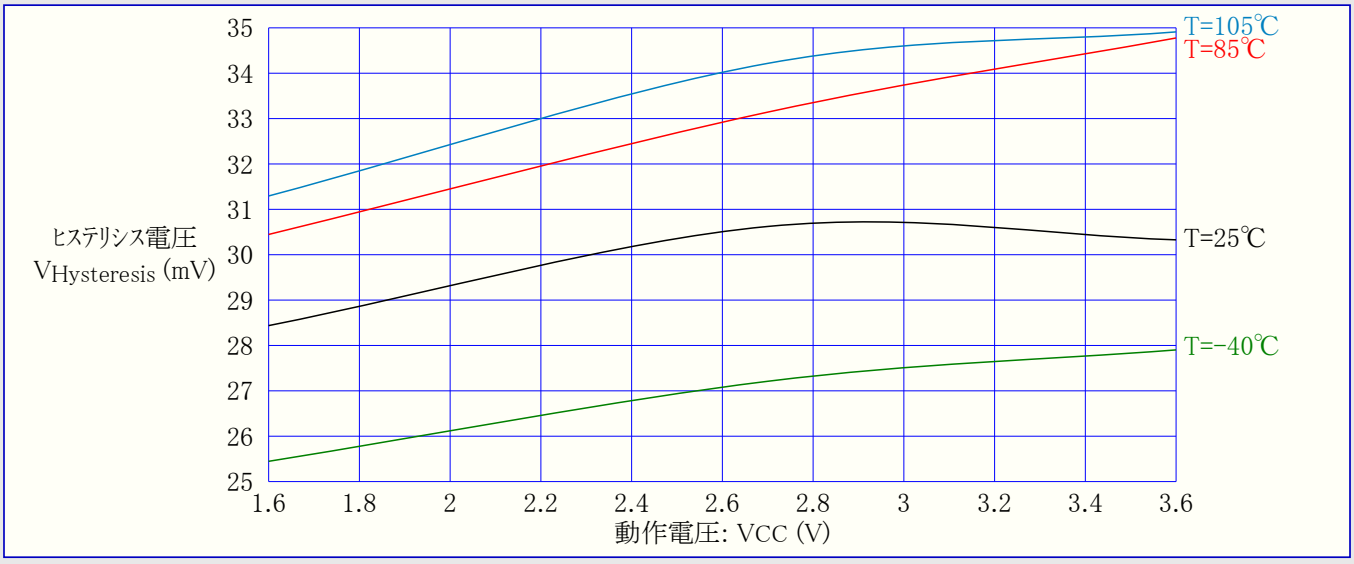


図37-138. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=大)

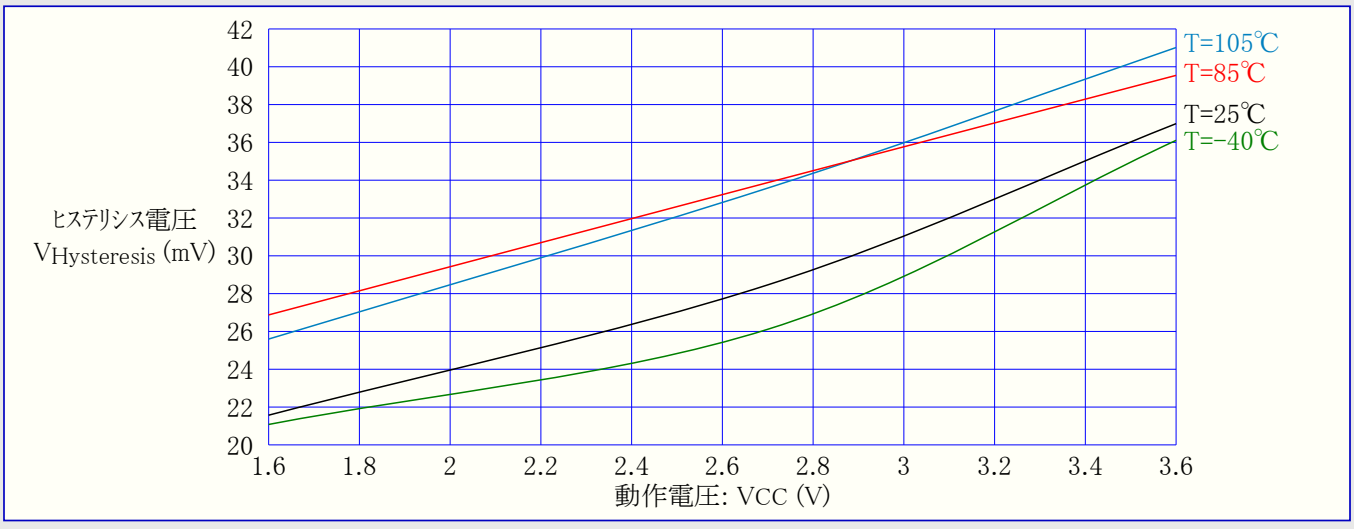


図37-139. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=大)

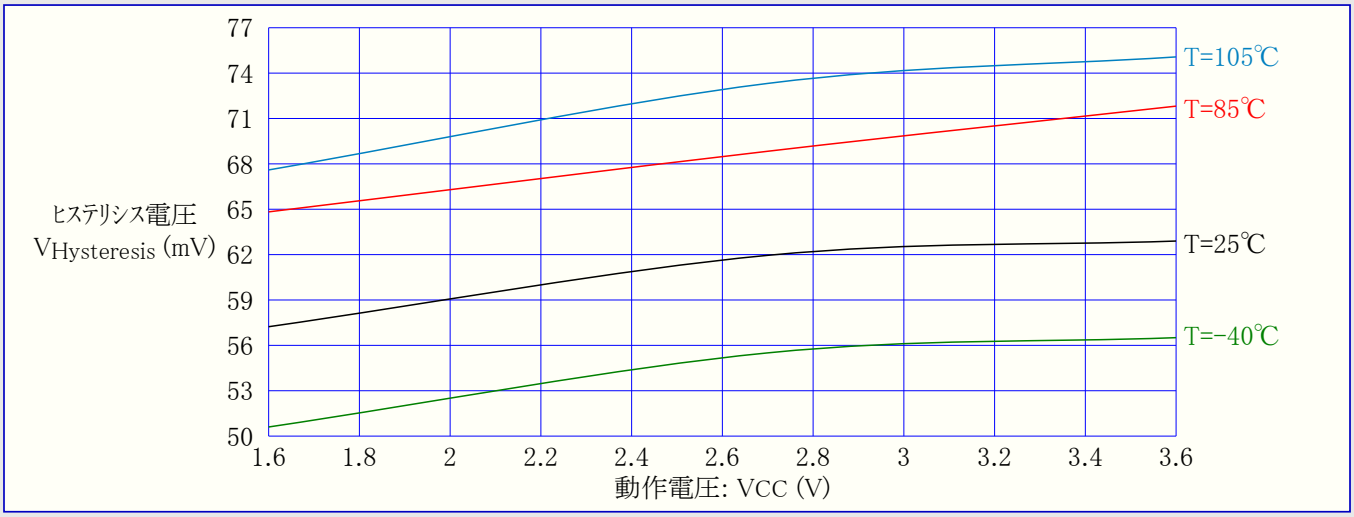


図37-140. アナログ比較器(AC)電流源 対 校正値 (T=25℃)

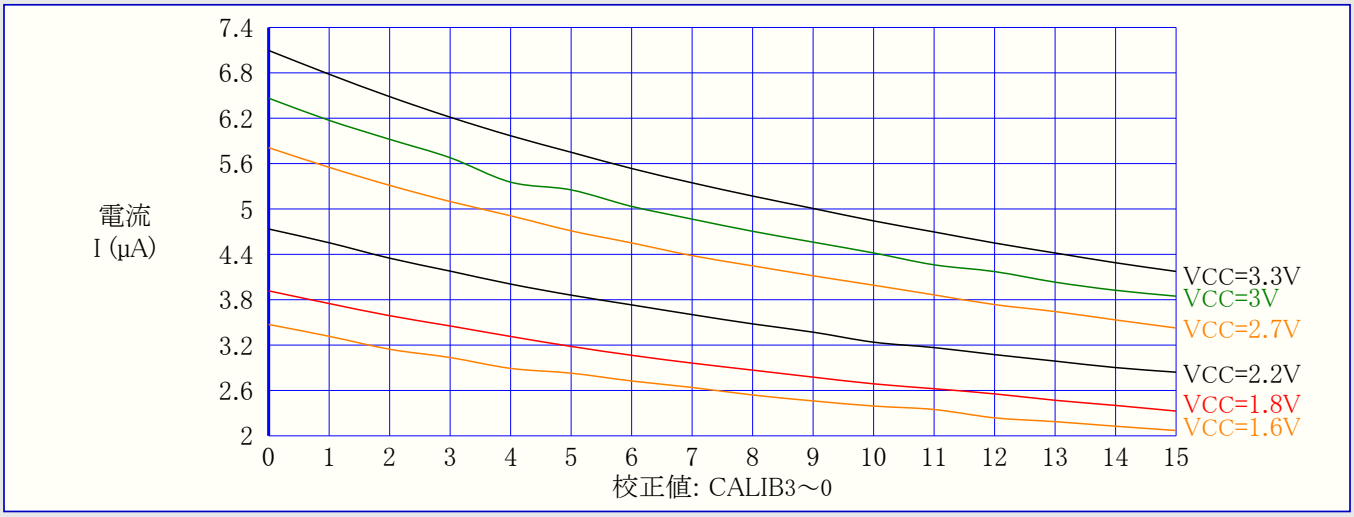


図37-141. アナログ比較器(AC)電流源 対 校正値 (VCC=3.0V)

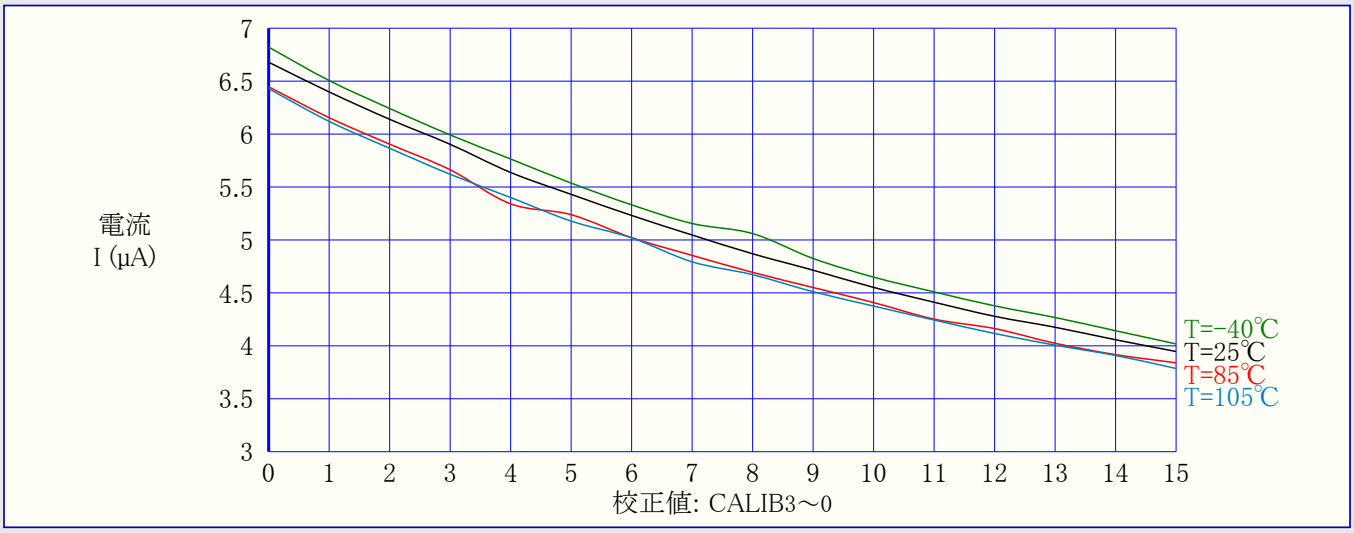
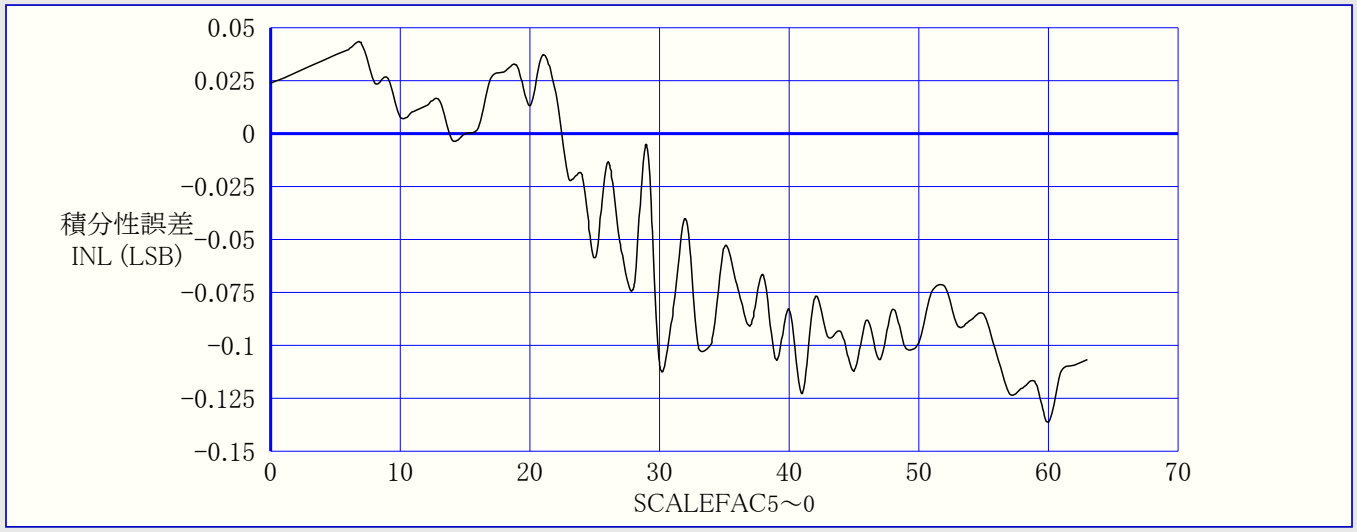
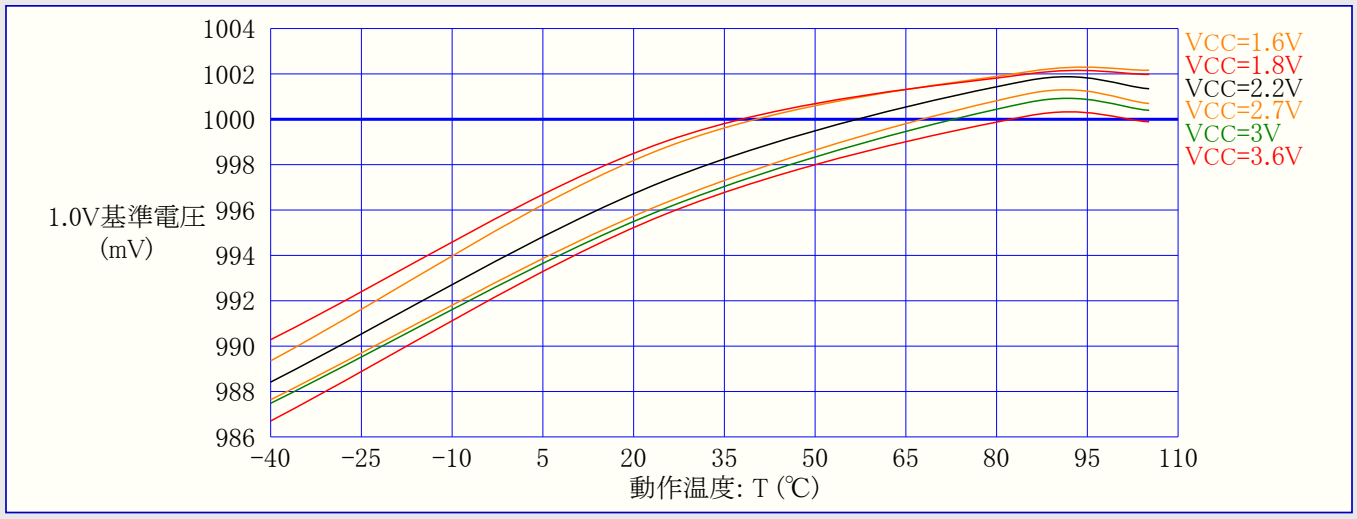


図37-142. 分圧器積分直線性(INL) 対 SCALEFAC (T=25℃、VCC=3.0V)



37.2.6. 内部1.0V基準電圧特性

図37-143. ADC/DAC内部1.0V基準電圧 対 動作温度



37.2.7. 低電圧検出器(BOD)特性

図37-144. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=1.6V)

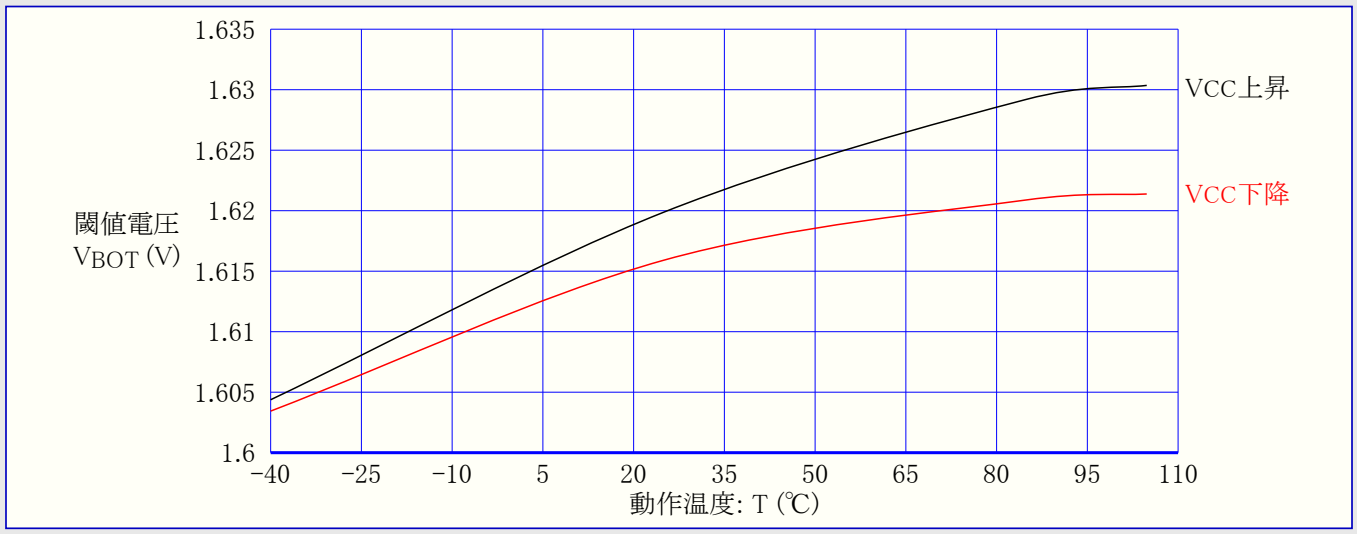
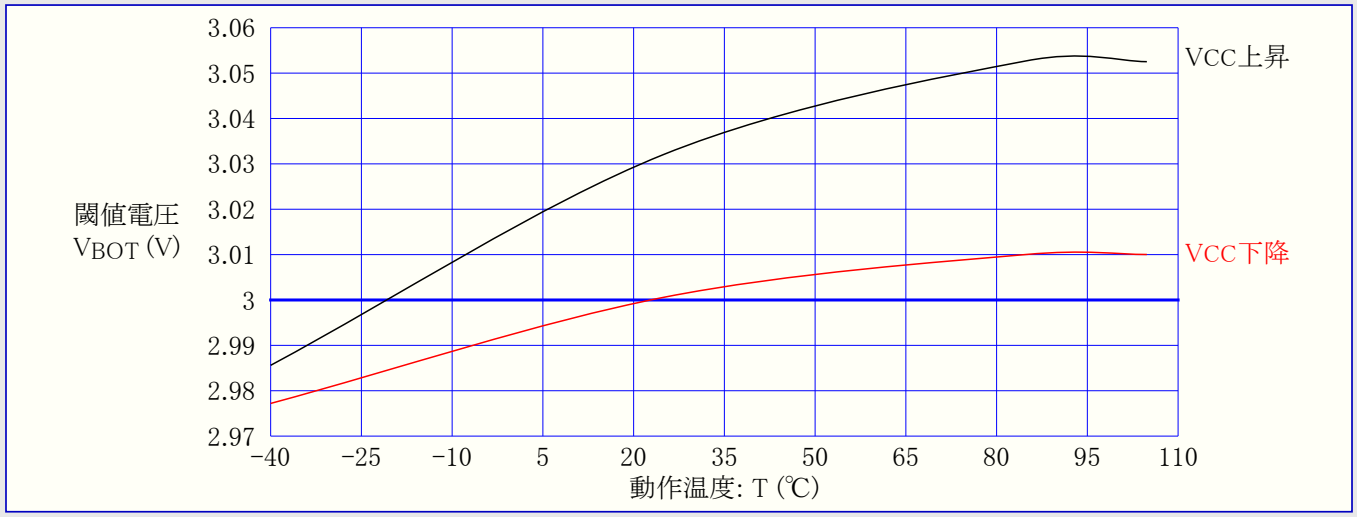


図37-145. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=3.0V)



37.2.8. 外部リセット特性

図37-146. 最小ﾘｾｯﾄ ﾊﾟﾙｽ幅 対 動作電圧

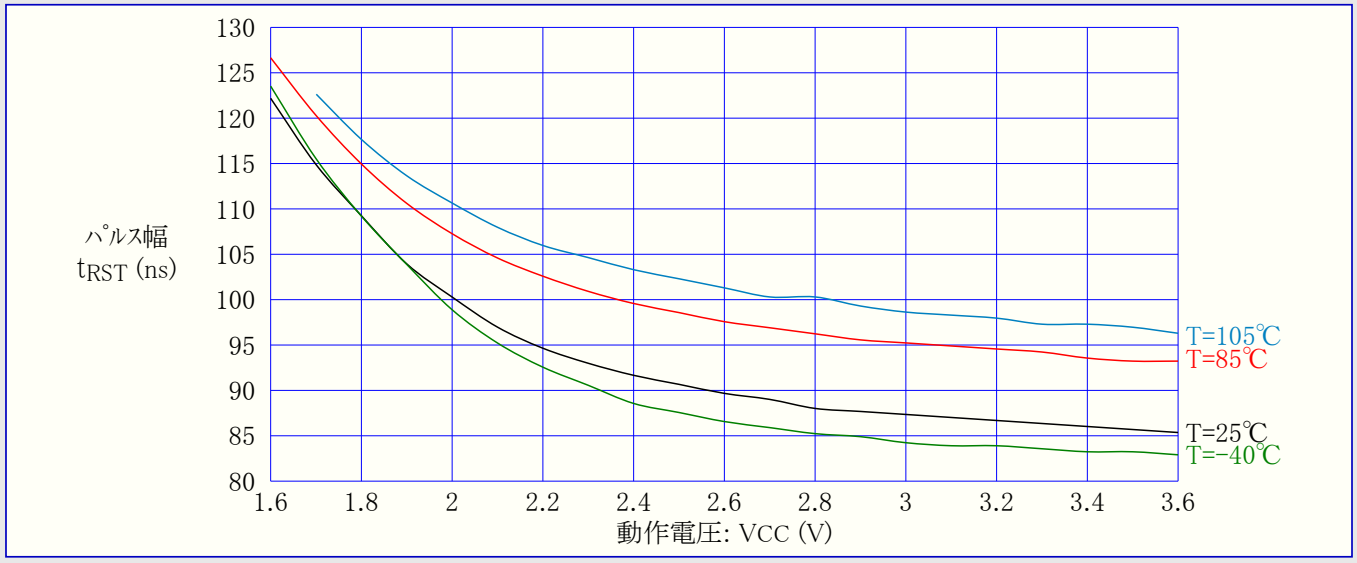
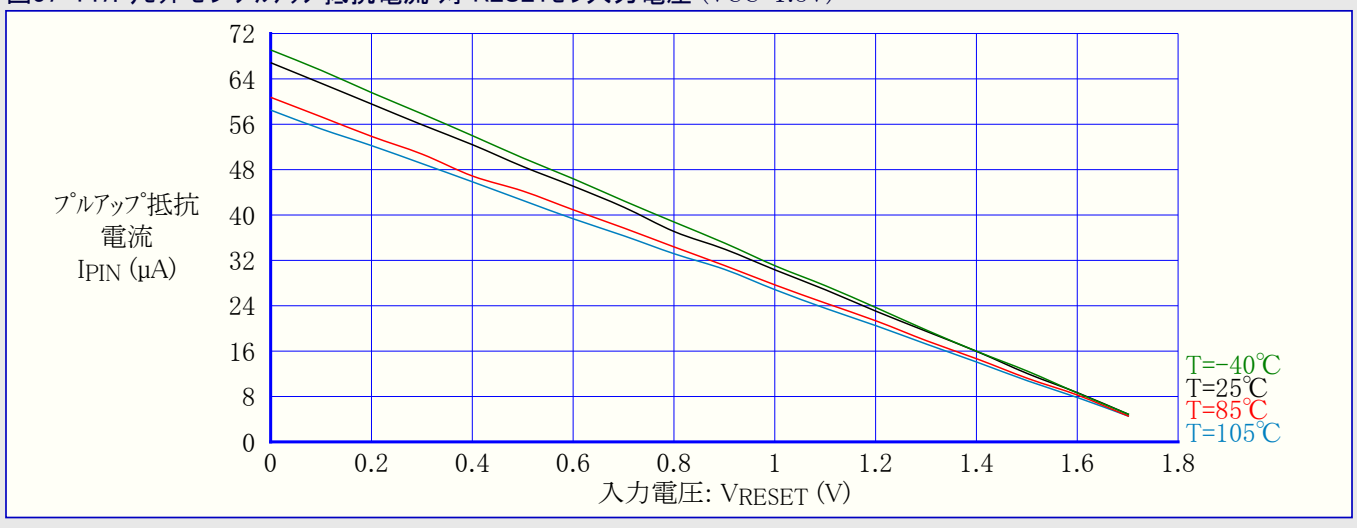


図37-147. ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 RESETﾋﾟﾝ入力電圧 (VCC=1.8V)



© 2011-2020 Microchip Technology Inc.

図37-148 リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

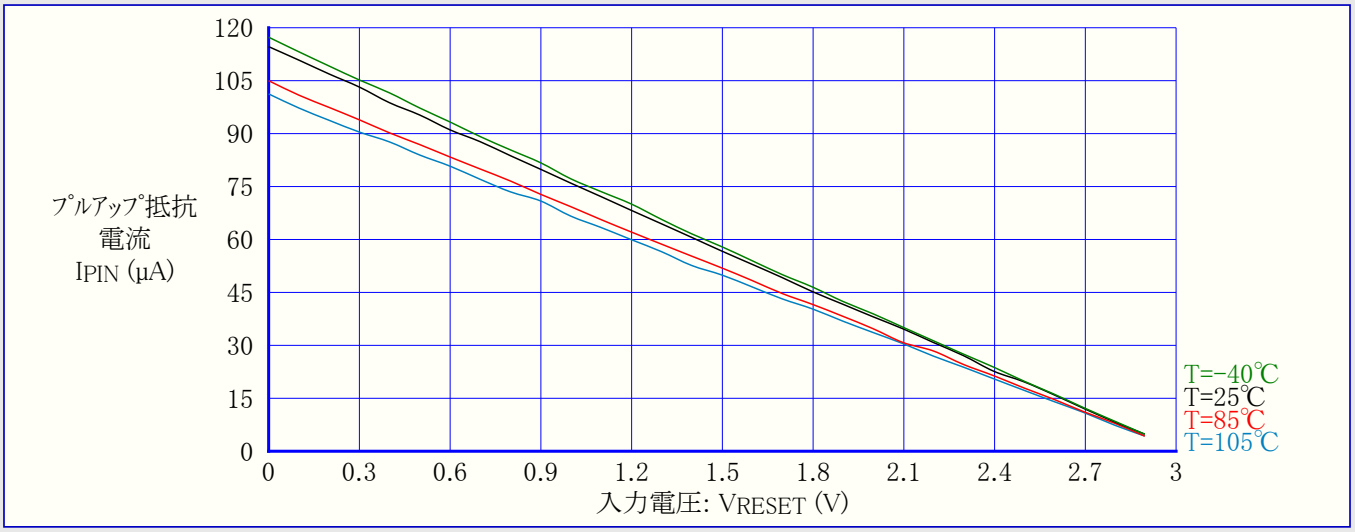


図37-149. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

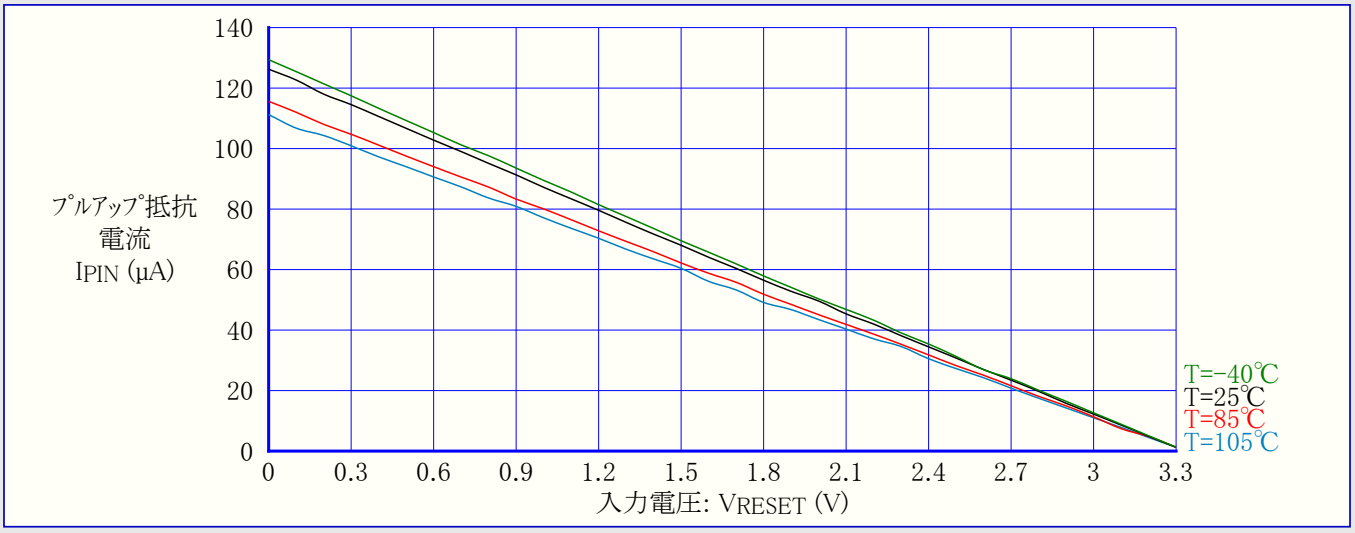
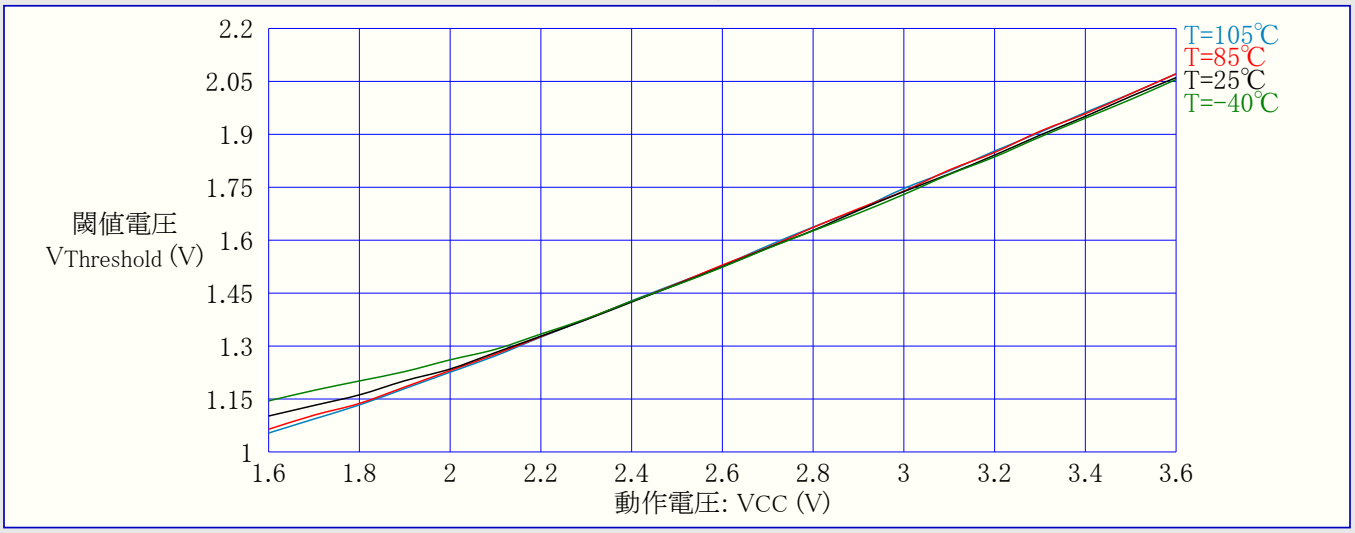
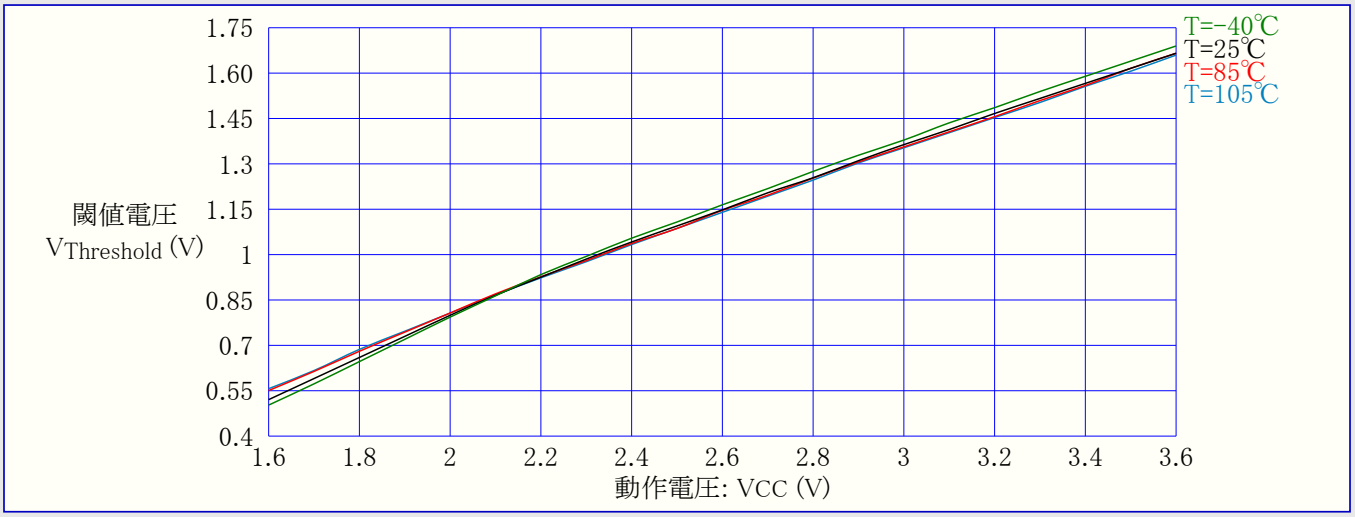


図37-150. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)



© 2011-2020 Microchip Technology Inc.

図37-151. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)



37.2.9. 電源ONリセット特性

図37-152. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)

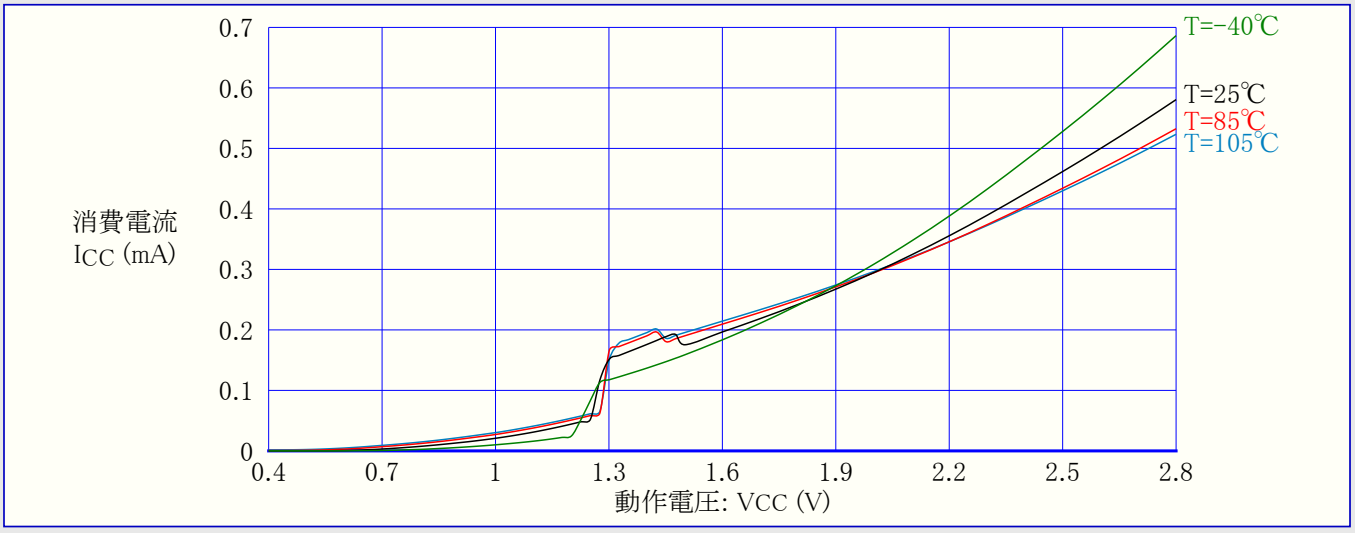
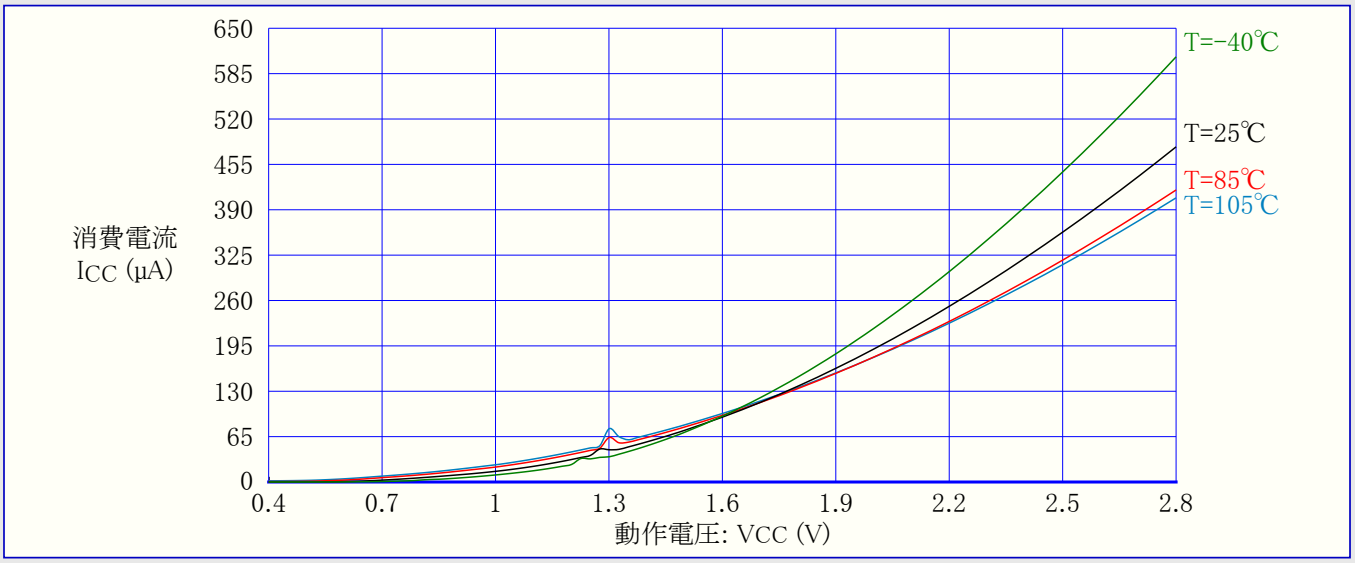


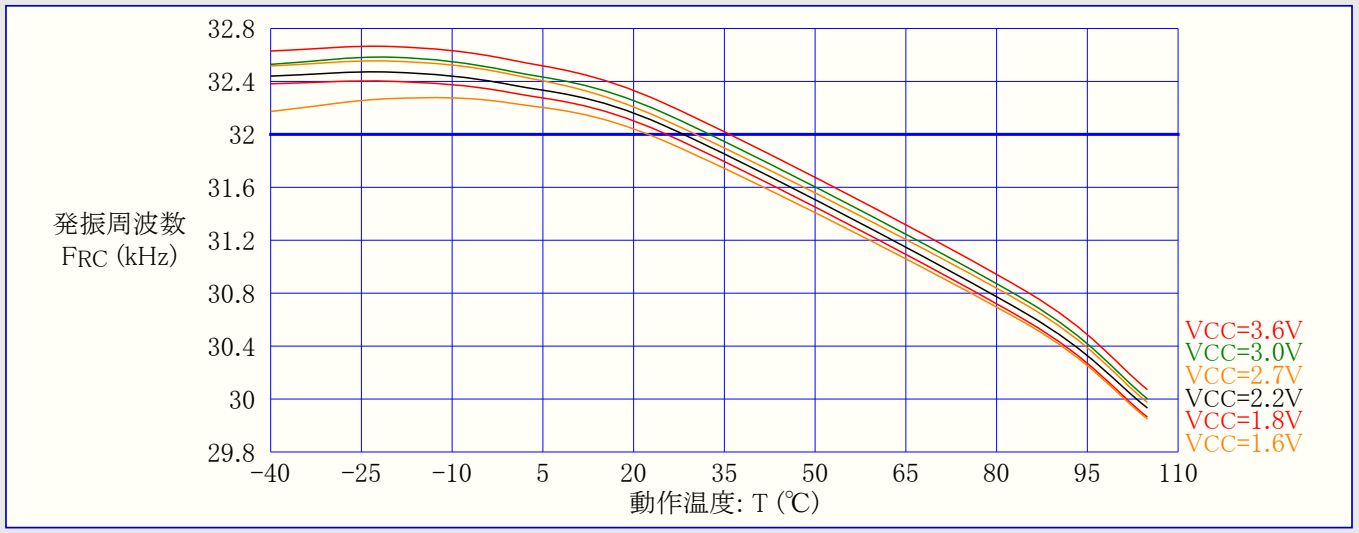
図37-153. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの採取動作で許可)



37.2.10. 発振器特性

37.2.10.1. 超低電力内部発振器

図37-154. 超低電力内部発振器周波数 対 動作温度



37.2.10.2. 32.768kHz内部発振器

図37-155. 32.768kHz内部発振器周波数 対 動作温度

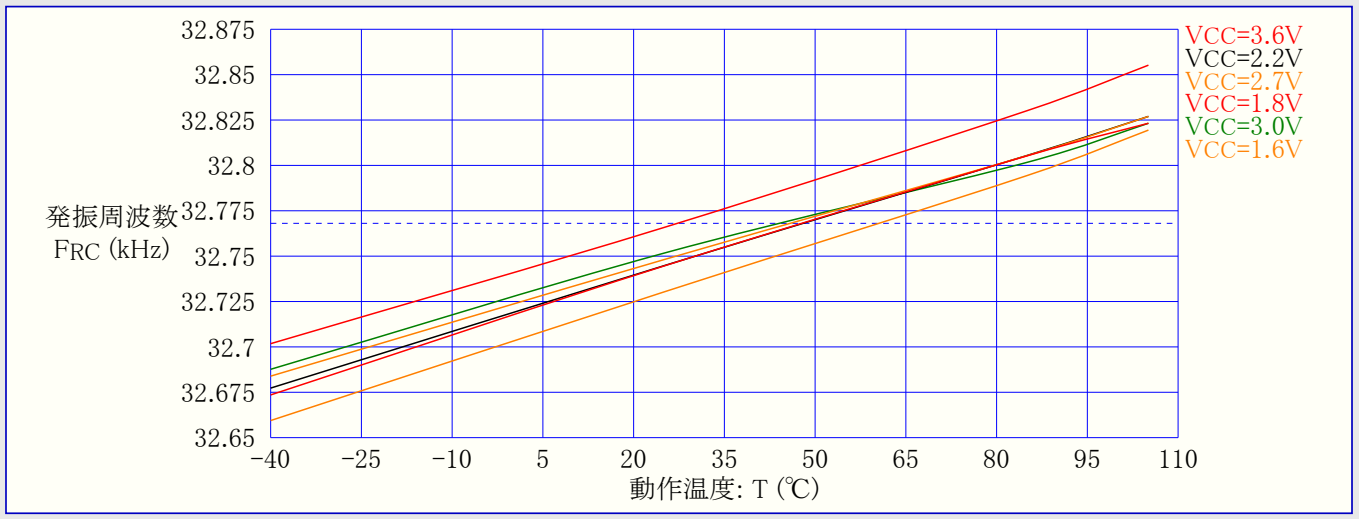
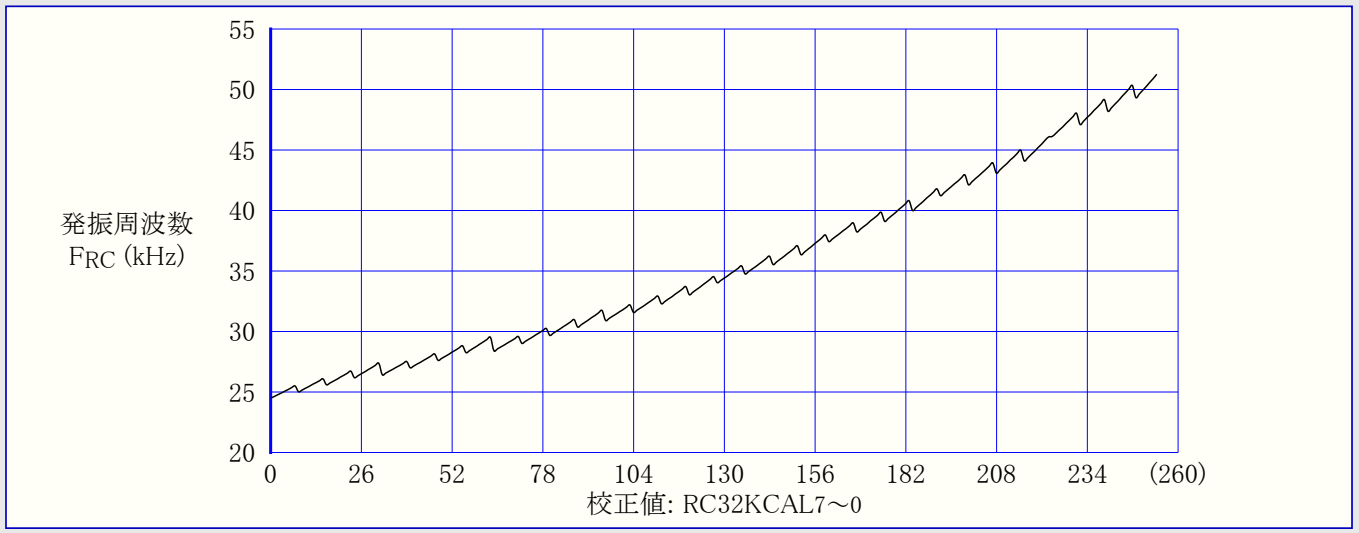


図37-156. 32.768kHz内部発振器周波数 対 校正値 (T=25℃、VCC=3.0V)



© 2011-2020 Microchip Technology Inc.

37.2.10.3. 2MHz内部発振器

図37-157. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

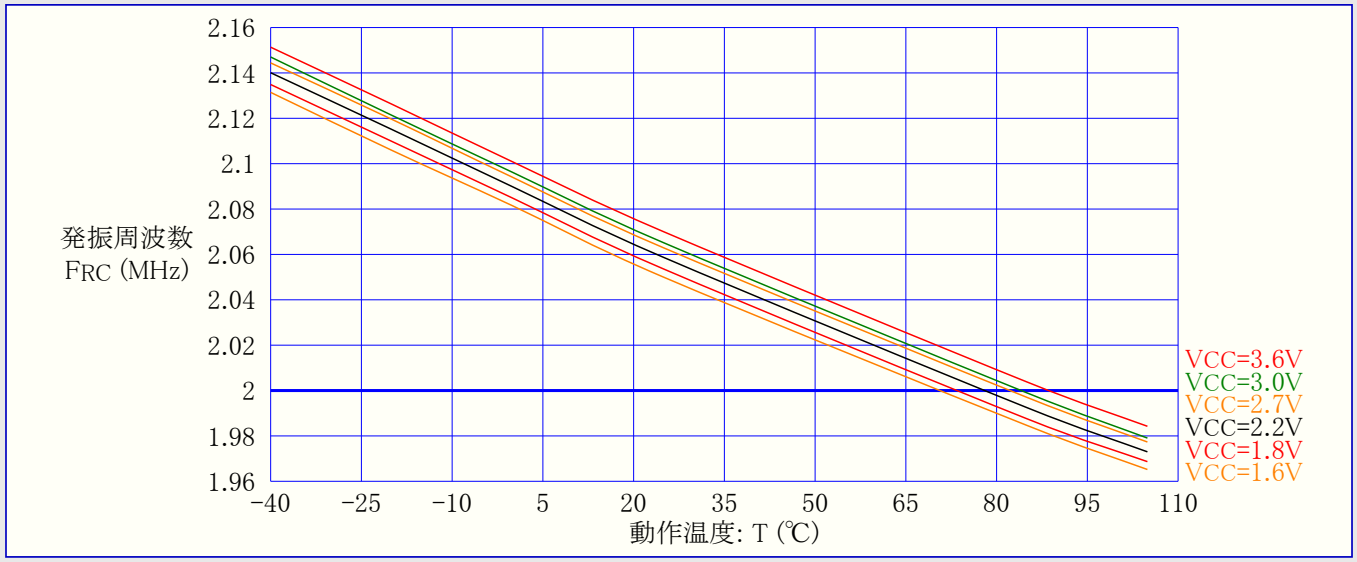


図37-158. 2MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

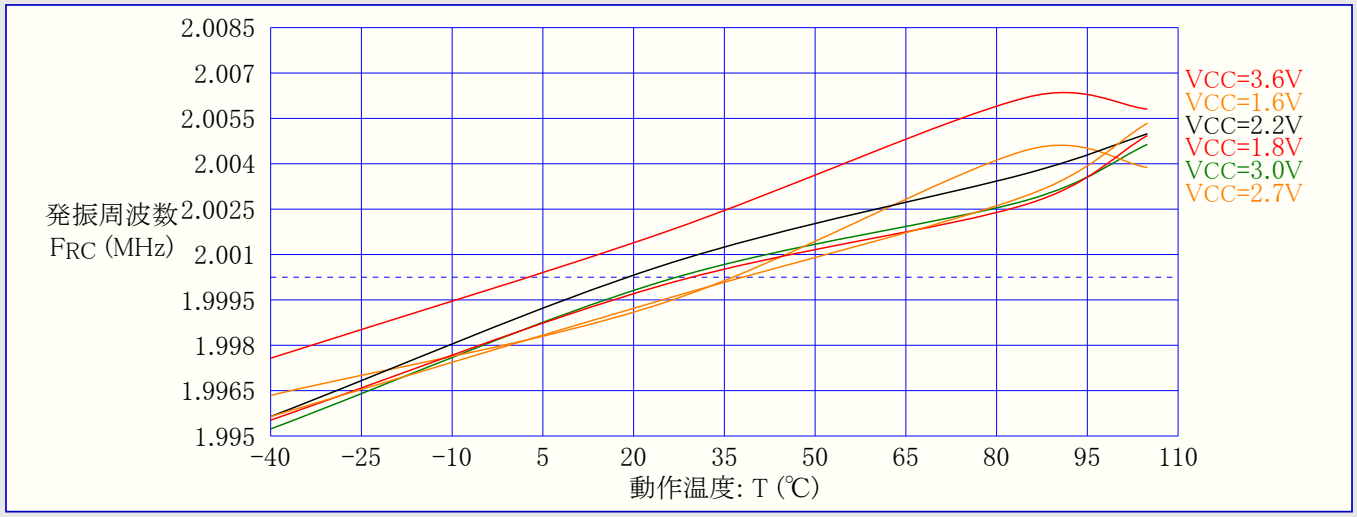
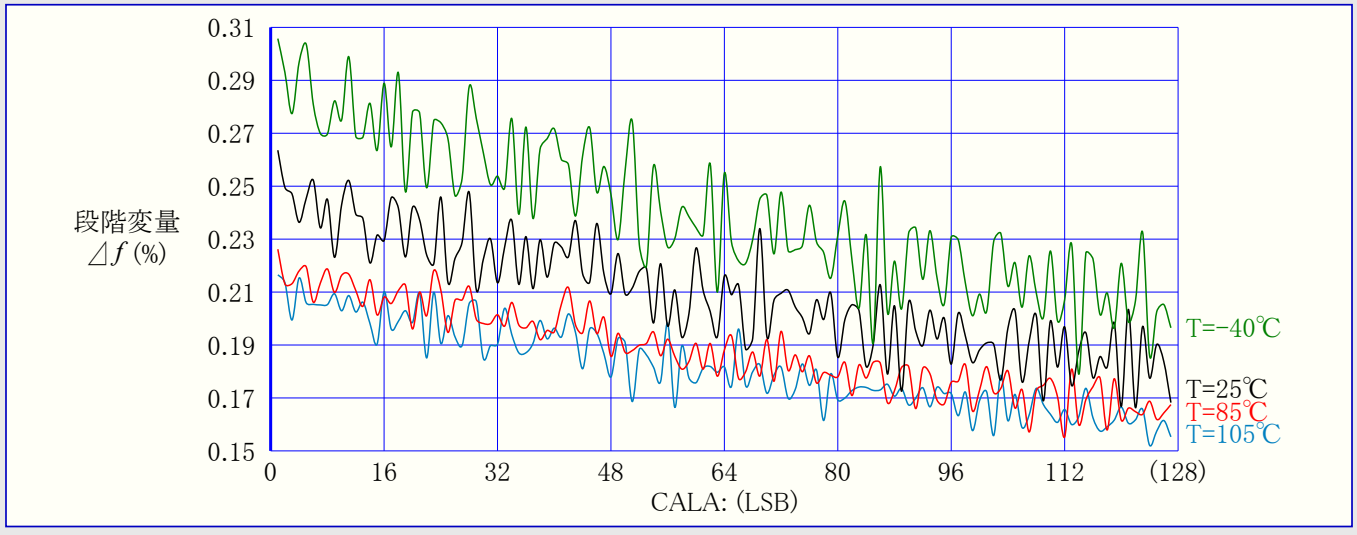


図37-159. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)



© 2011-2020 Microchip Technology Inc.

37.2.10.4. 32MHz内部発振器

図37-160. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

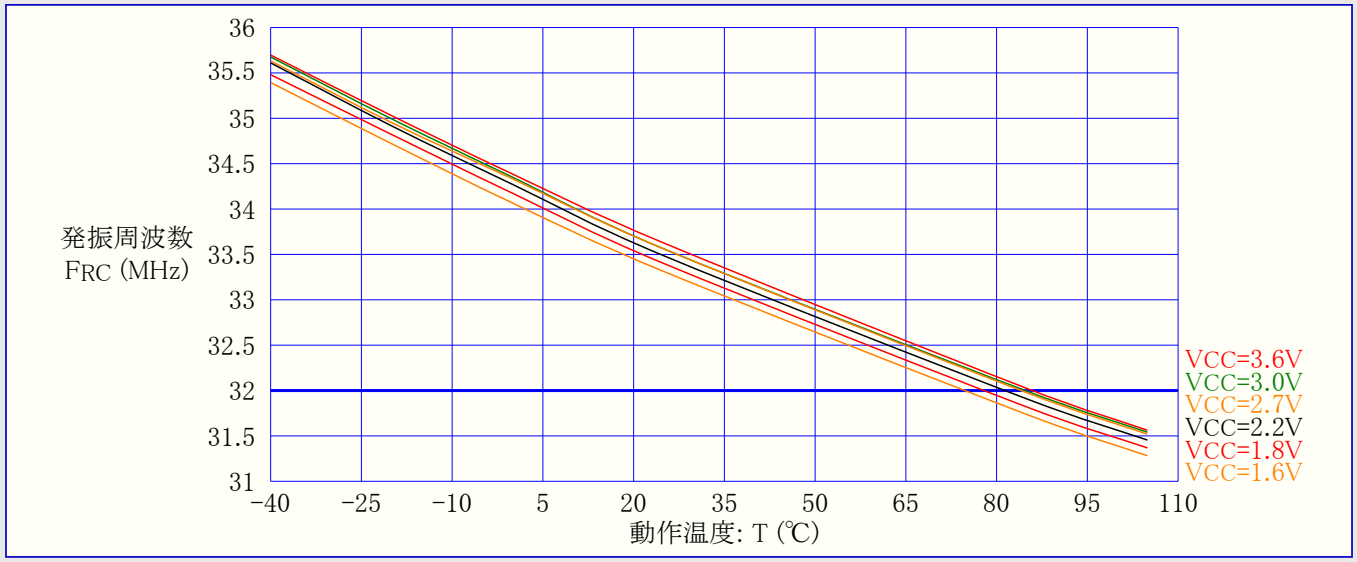


図37-161. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

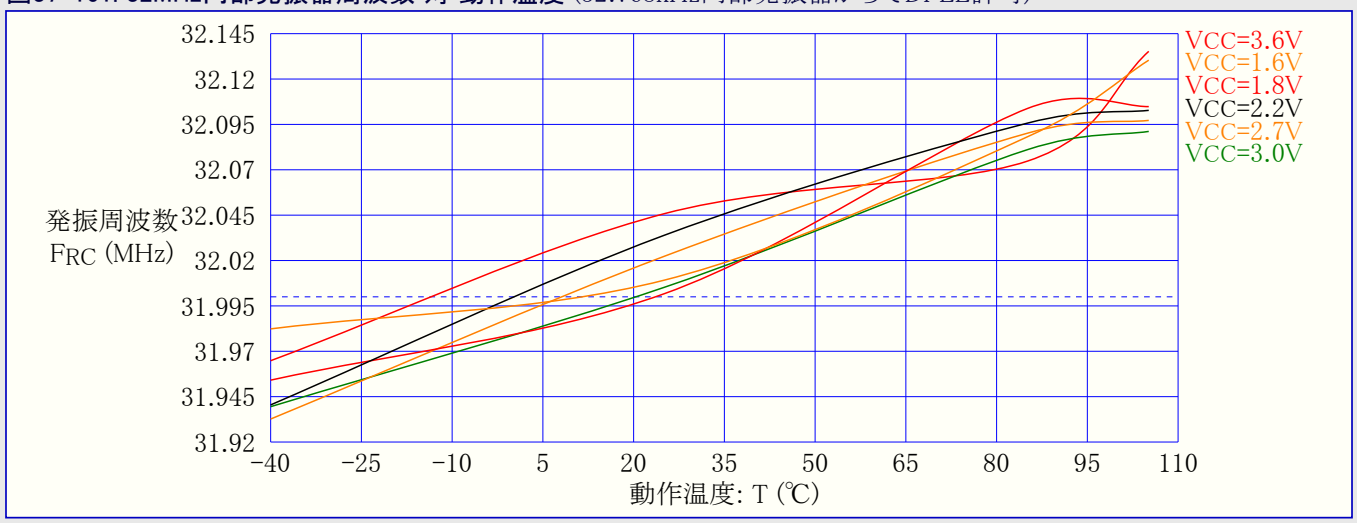


図37-162. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

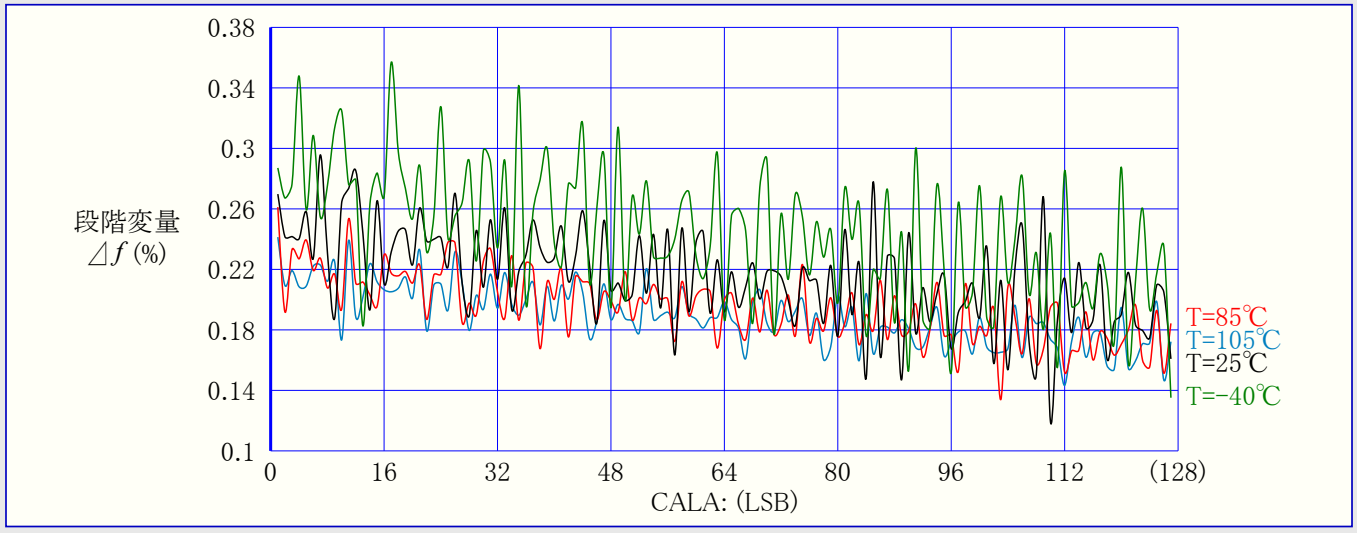
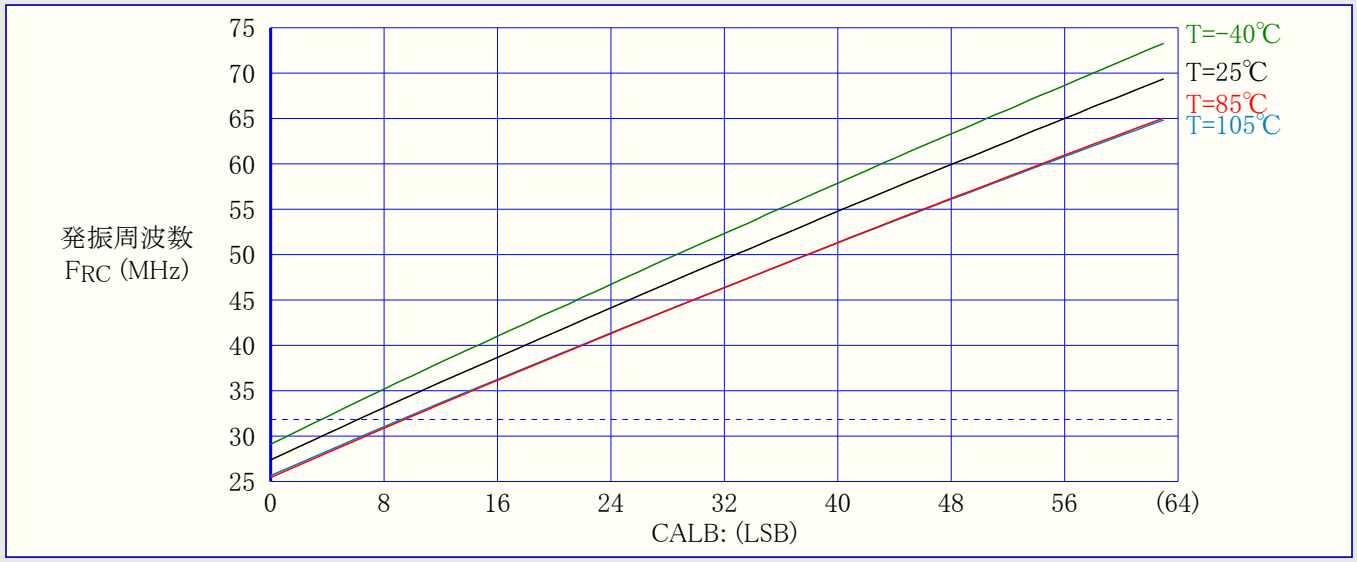


図37-163. 32MHz内部発振器周波数 対 CALB校正値 (VCC=3.0V)



37.2.10.5. 48MHzに校正された32MHz内部発振器

図37-164. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

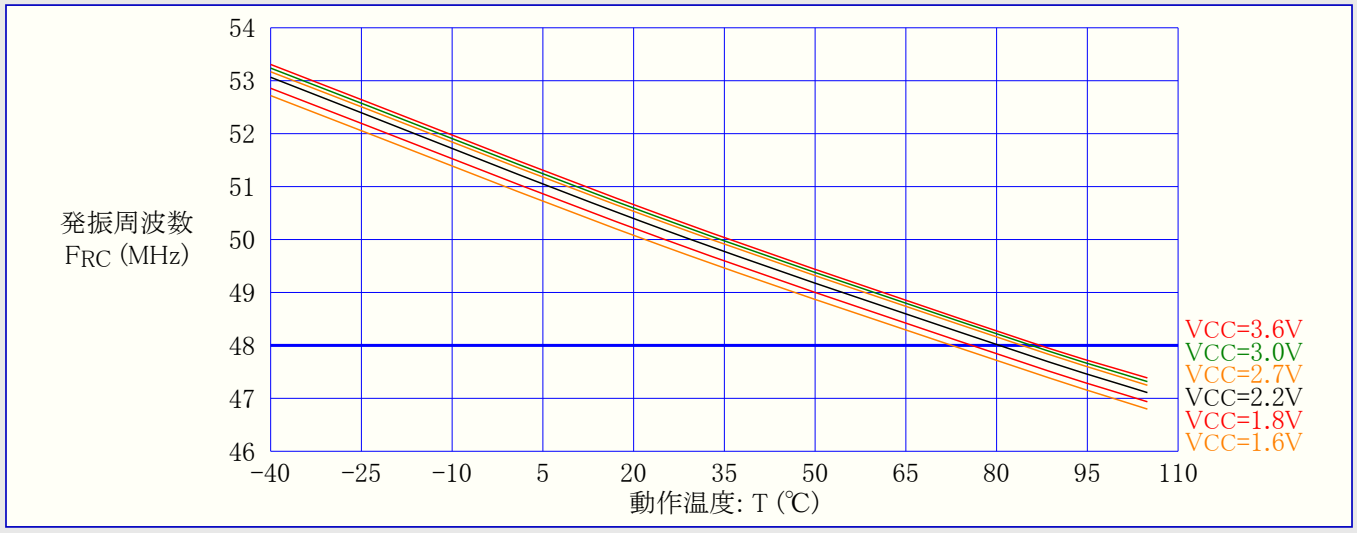


図37-165. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

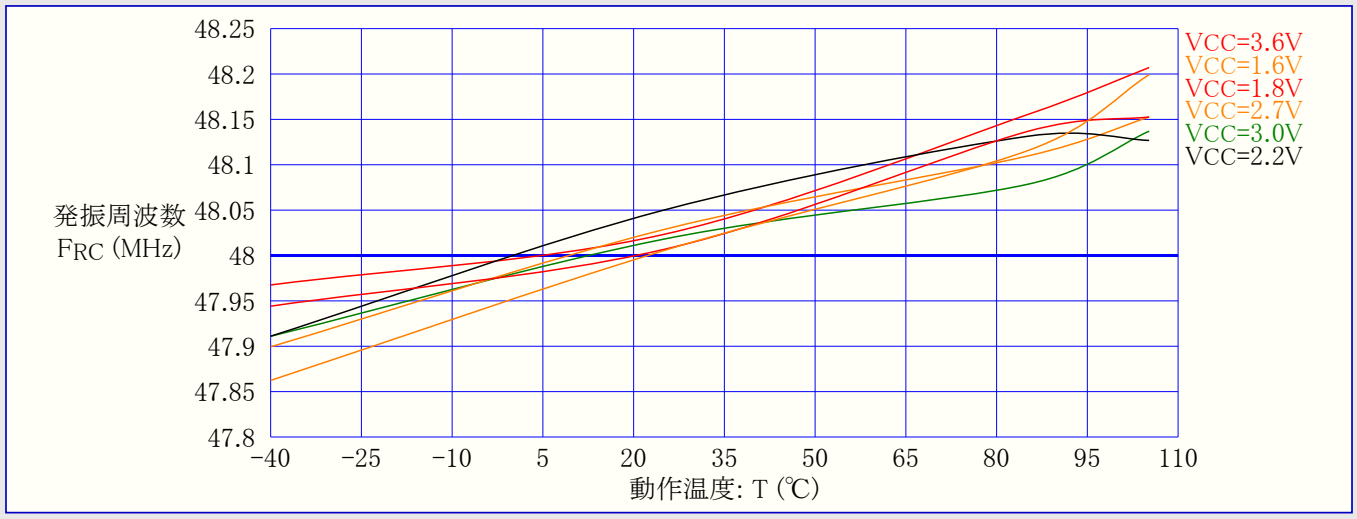
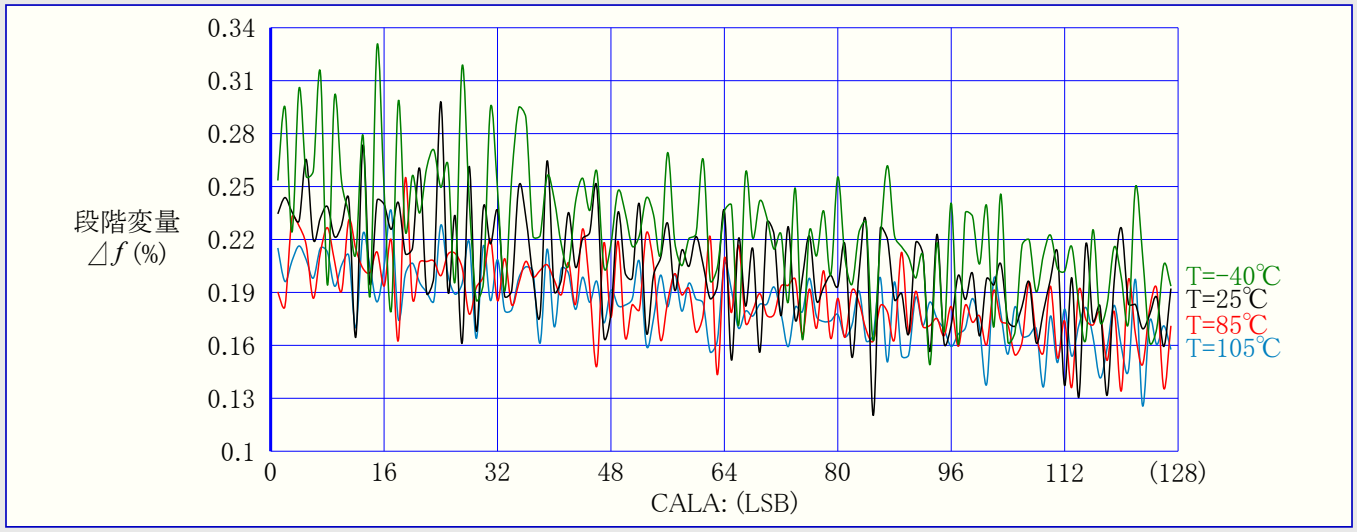
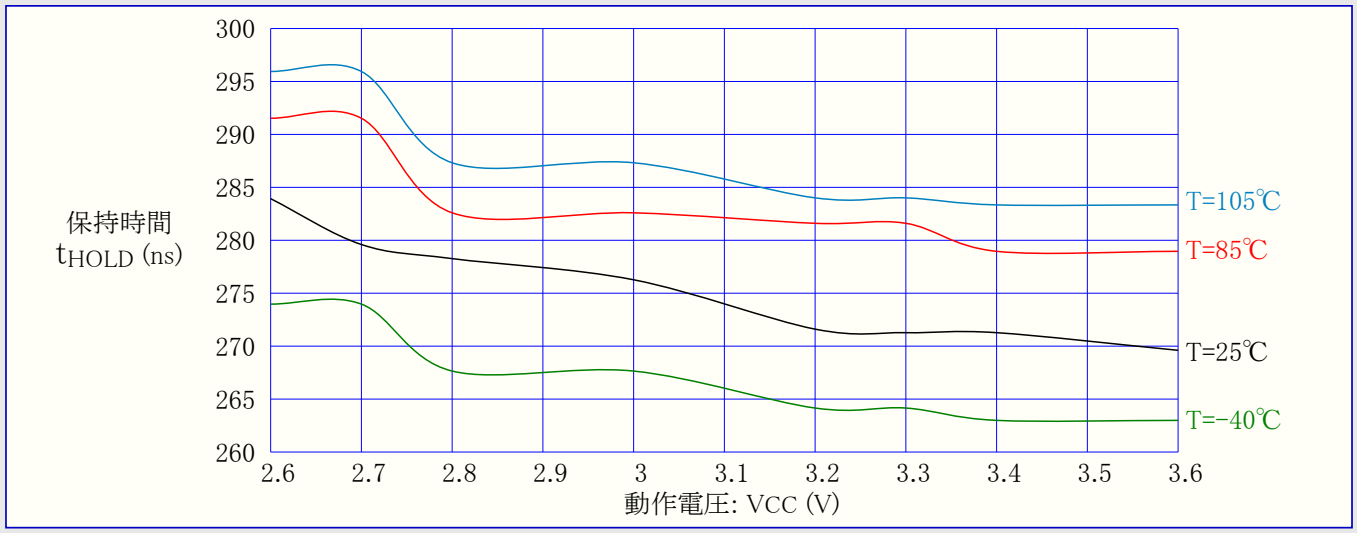


図37-166. 48MHz内部発振器CALA校正段階変量 (VCC=3.0V)



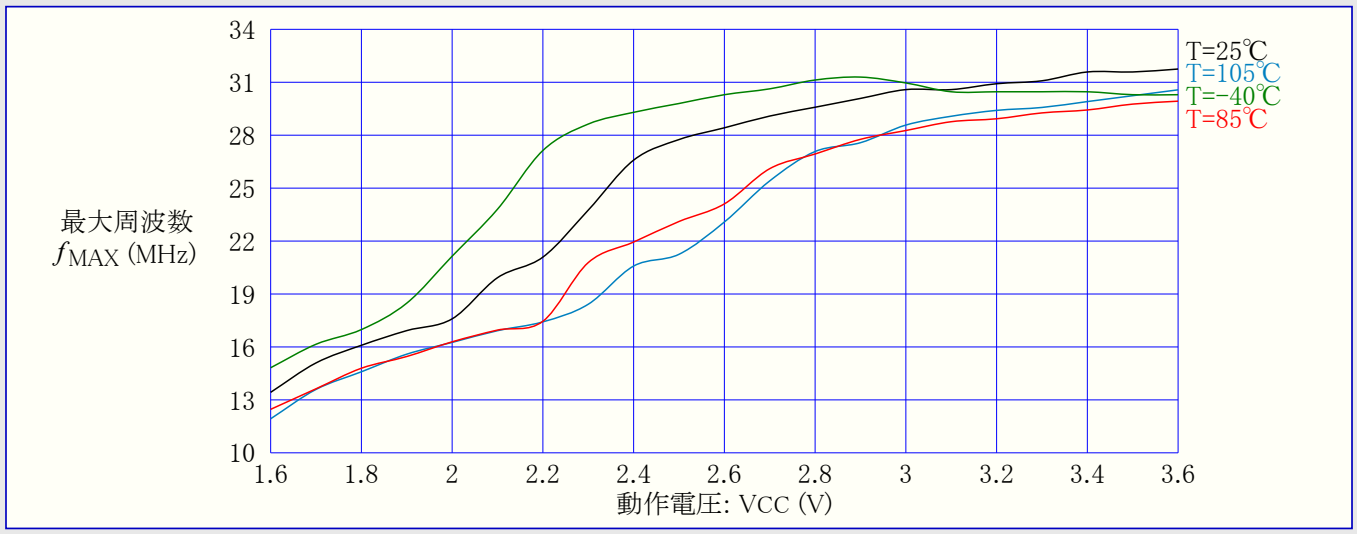
37.2.11. 2線インターフェース特性

図37-167. SDA保持時間 対 動作電圧



37.2.12. PDI特性

図37-168. 最大PDI周波数 対 動作電圧



© 2011-2020 Microchip Technology Inc.

37.3. ATxmega64A4U

37.3.1. 消費電流

37.3.1.1. 活動動作消費電流

図37-169. 活動動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部クロック,T=25℃)

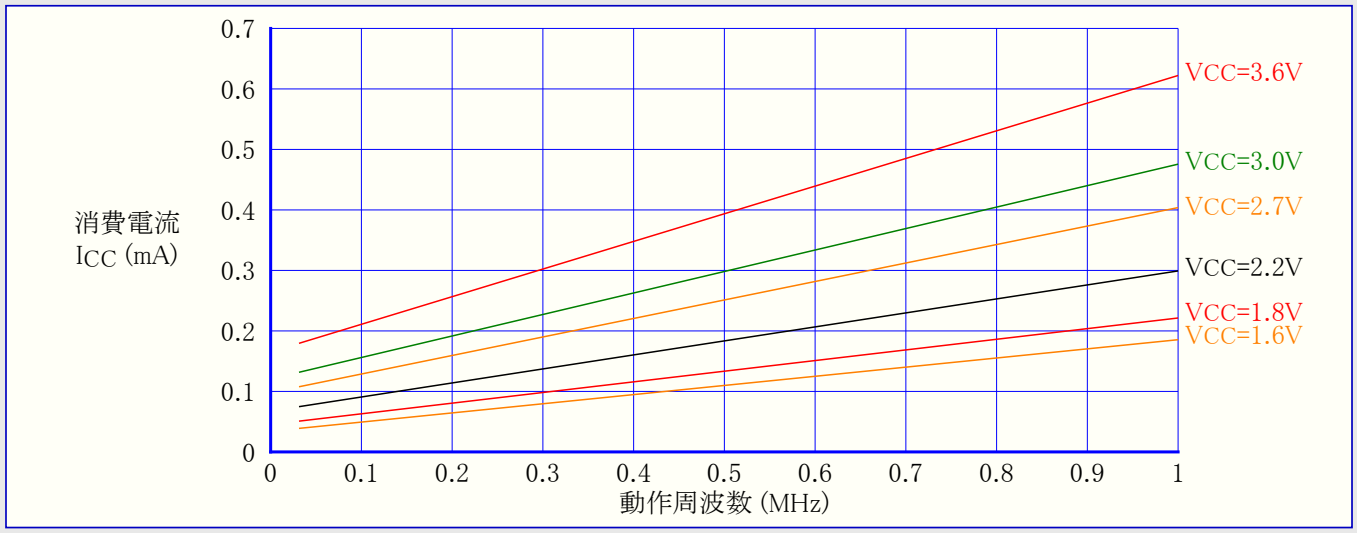


図37-170. 活動動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部クロック,T=25℃)

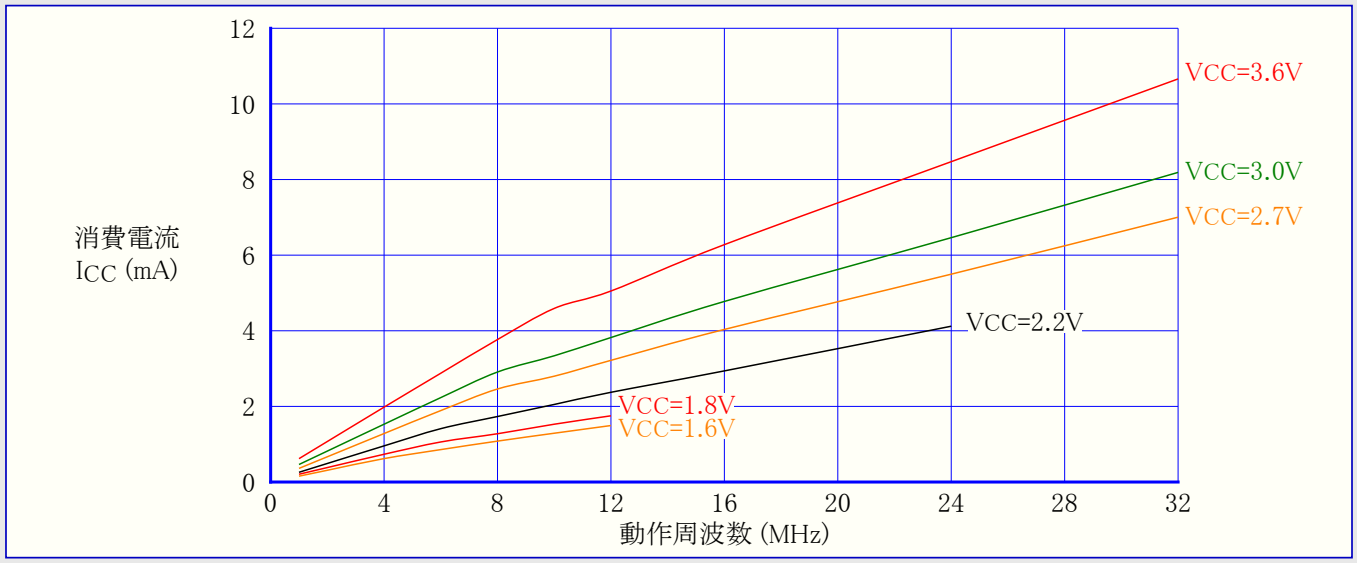


図37-171. 活動動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)

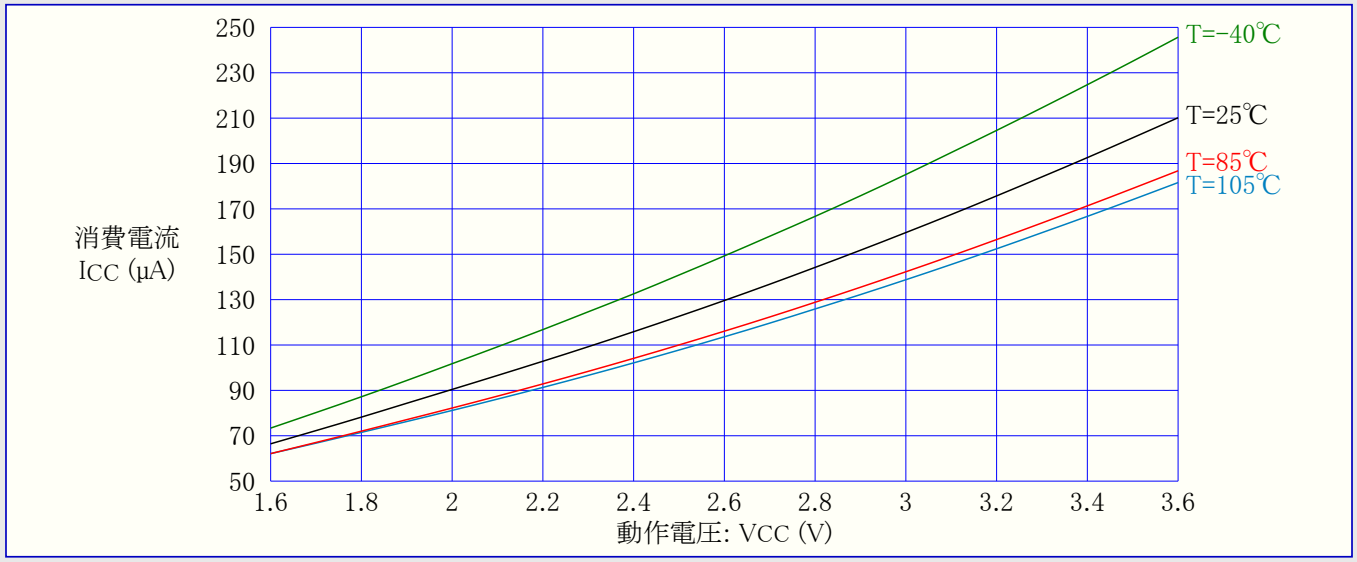


図37-172. 活動動作消費電流 対 動作電圧 (f_{SYS}=1MHz外部クロック)

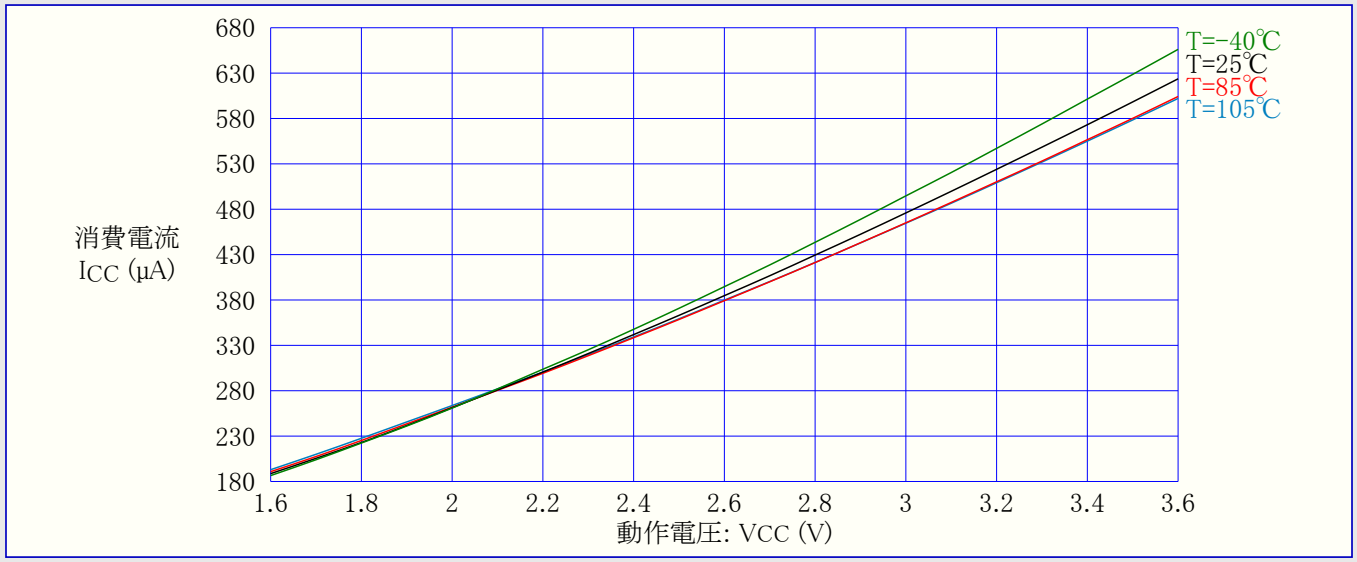


図37-173. 活動動作消費電流 対 動作電圧 (f_{SYS}=2MHz内部発振器)

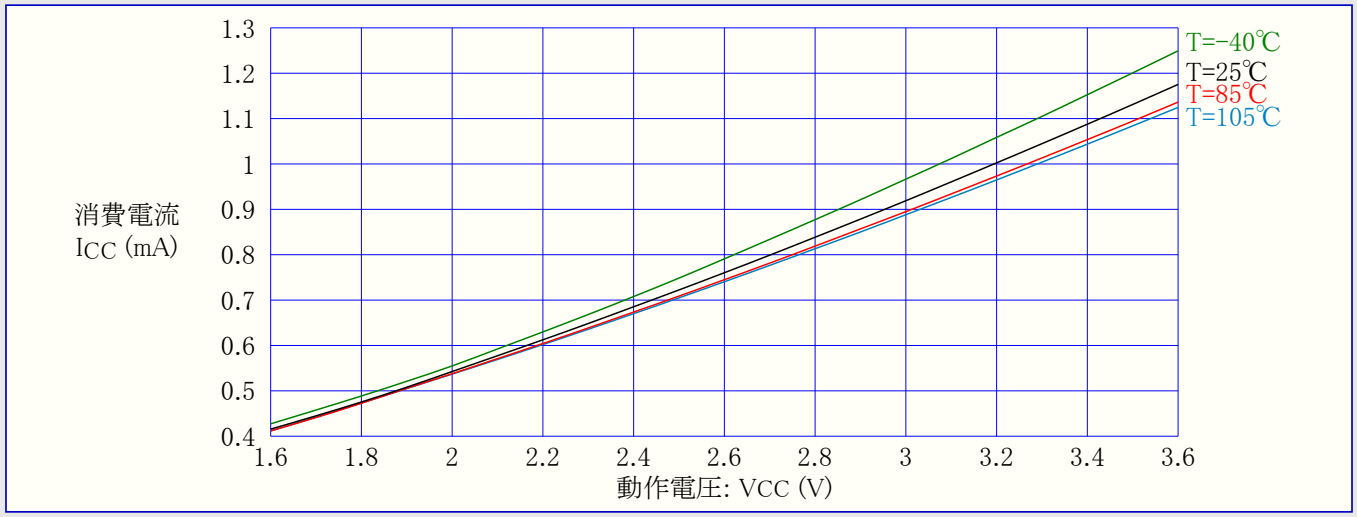


図37-174. 活動動作消費電流 対 動作電圧 (f_{SYS}=8MHzに前置分周した32MHz内部発振器)

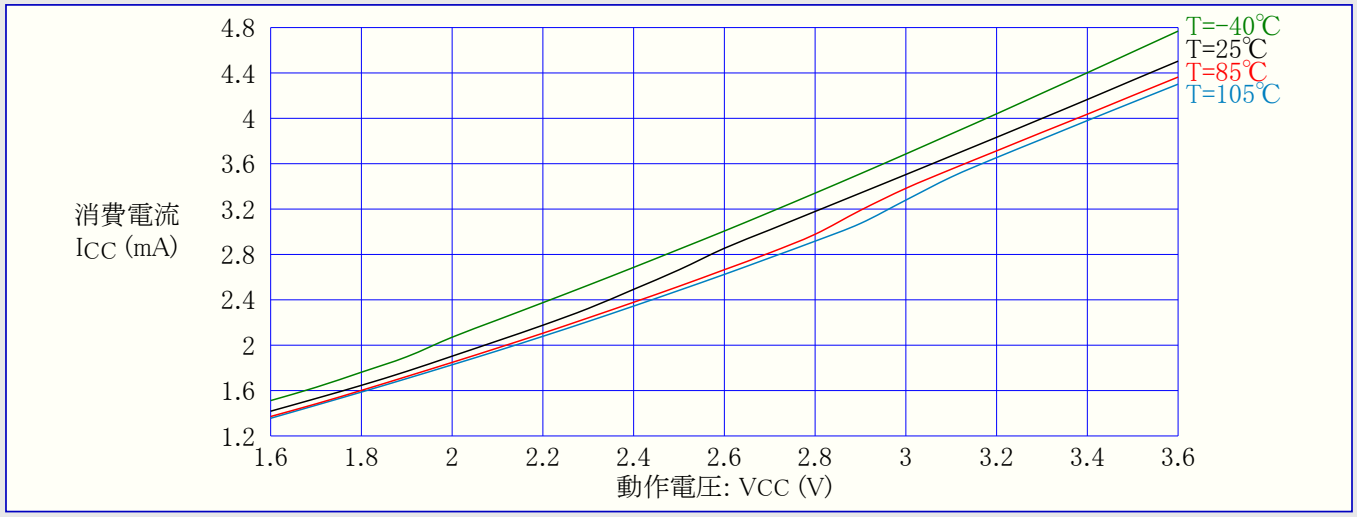
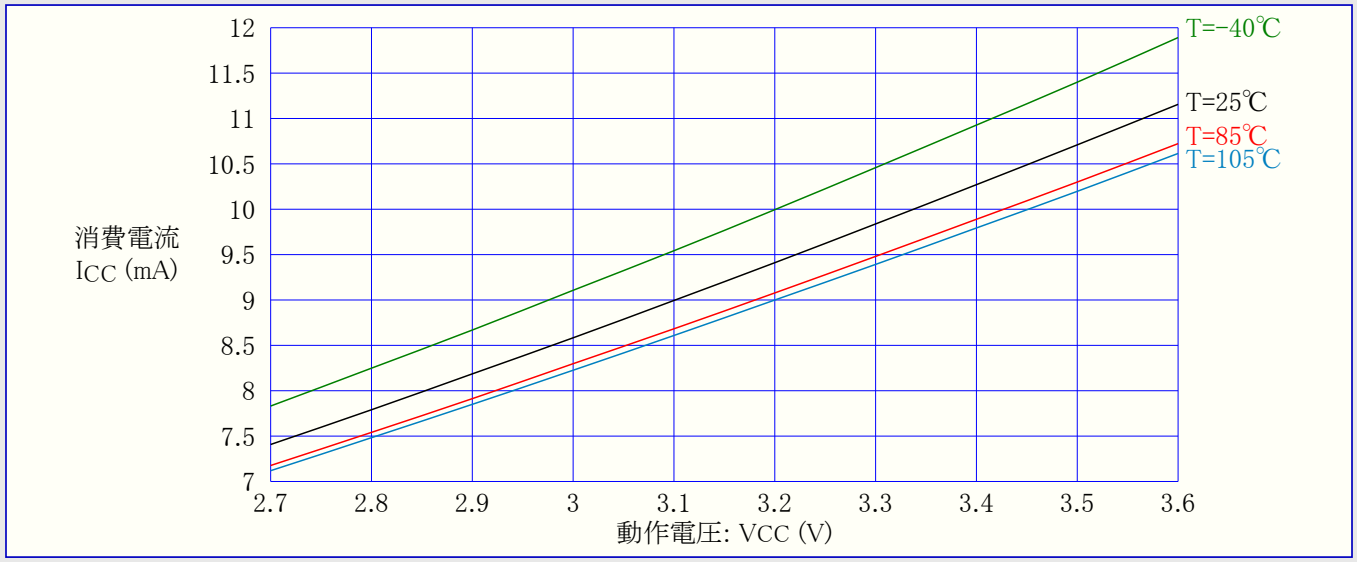


図37-175. 活動動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.3.1.2. ｱｲﾄﾞﾙ動作消費電流

図37-176. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (*f*SYS=0～1.0MHz外部ｸﾛｯｸ,T=25℃)

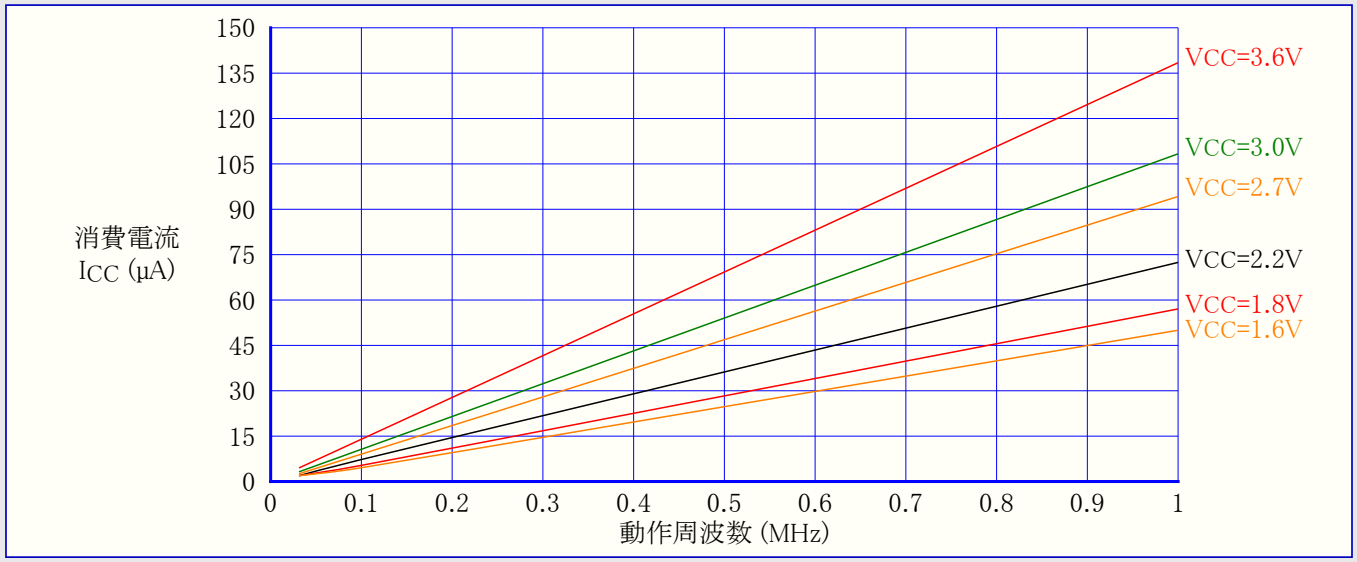


図37-177. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (*f*SYS=1～32MHz外部ｸﾛｯｸ,T=25℃)

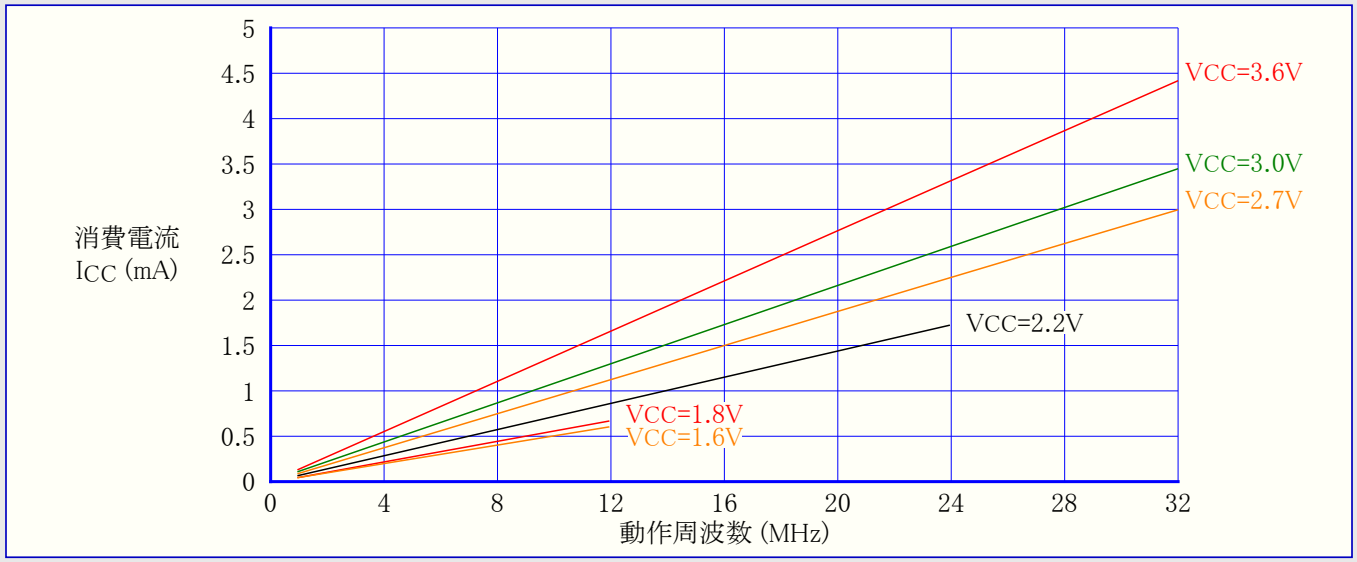


図37-178. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32.768kHz内部発振器)

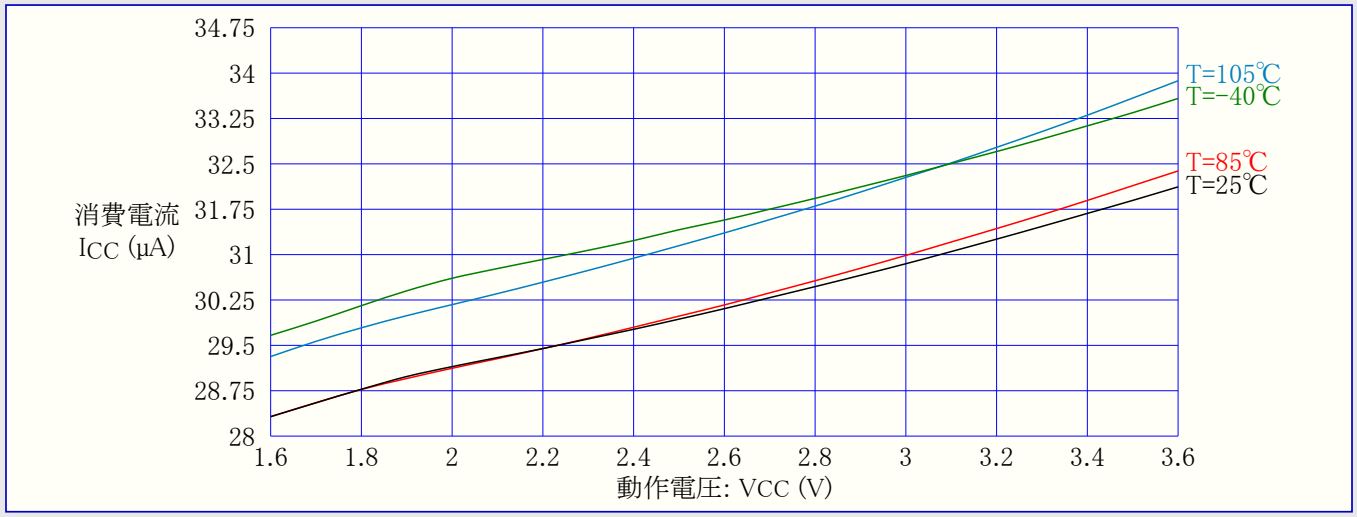


図37-179. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=1MHz外部ｸﾛｯｸ)

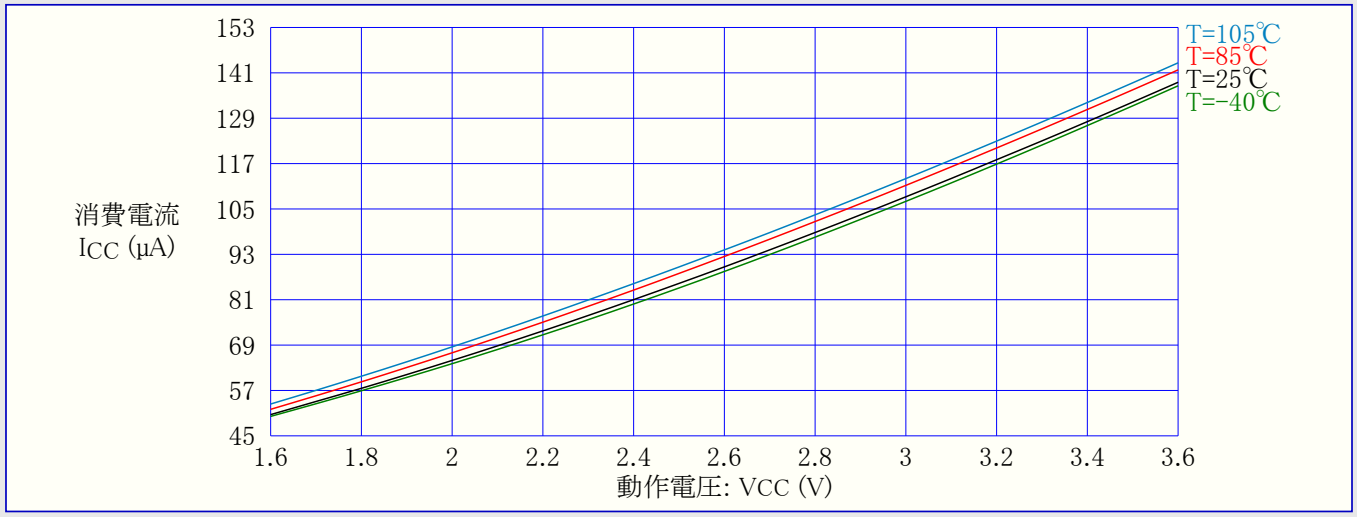
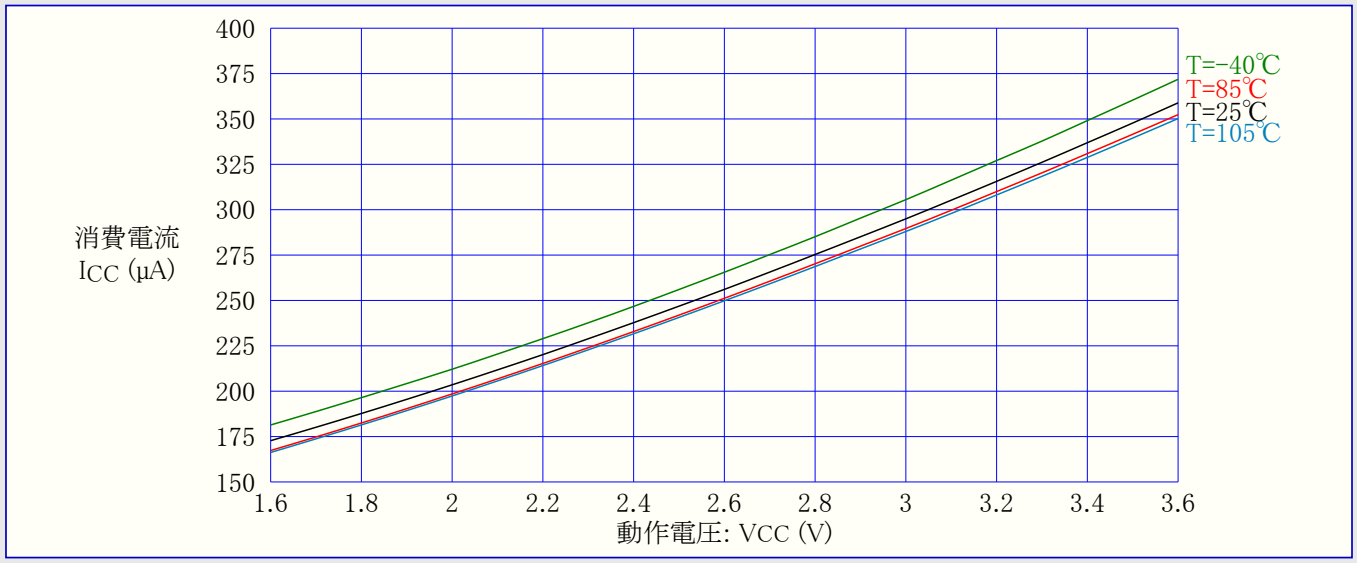


図37-180. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=2MHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-181. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=8MHzへ前置分周された32MHz内部発振器)

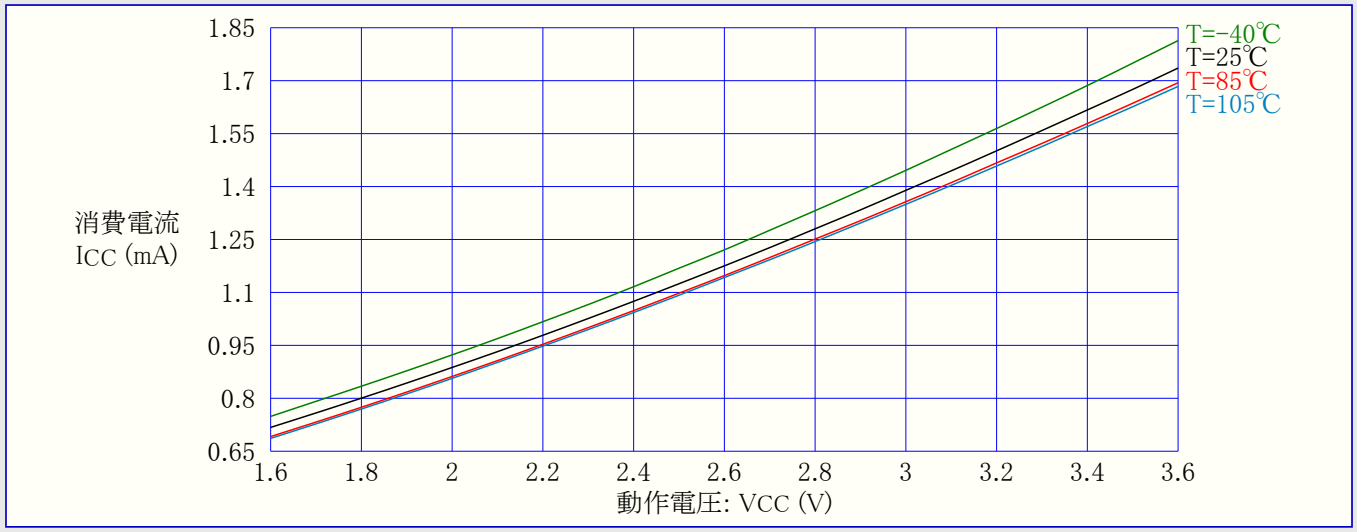
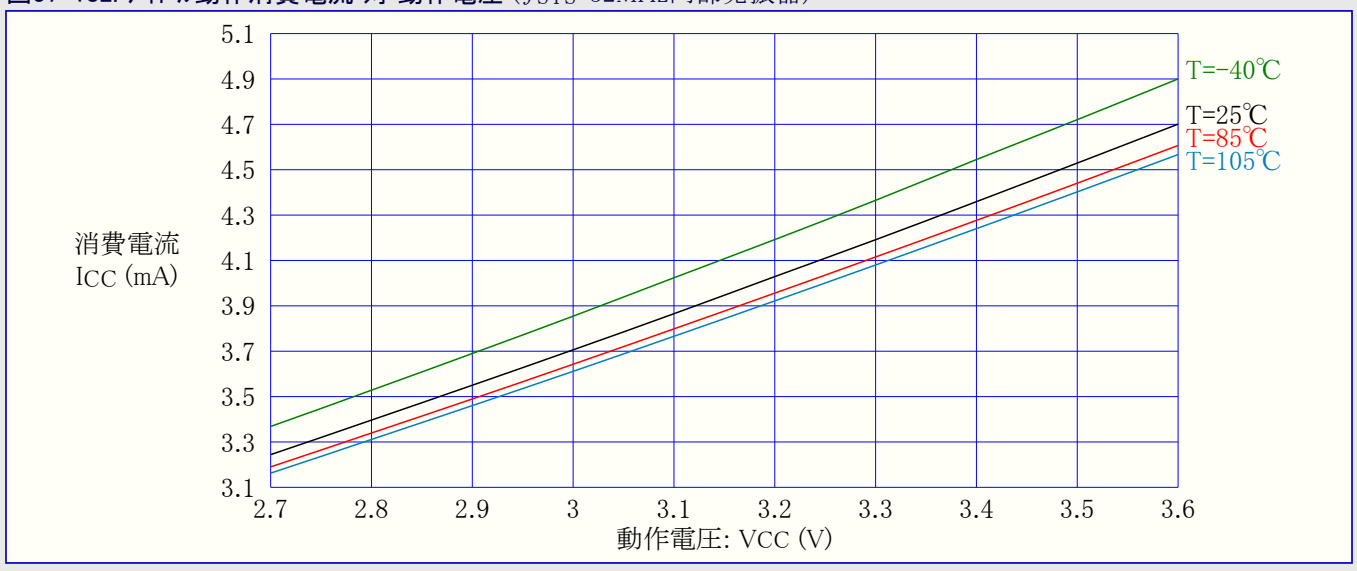


図37-182. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.3.1.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図37-183. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作温度 (全機能禁止)

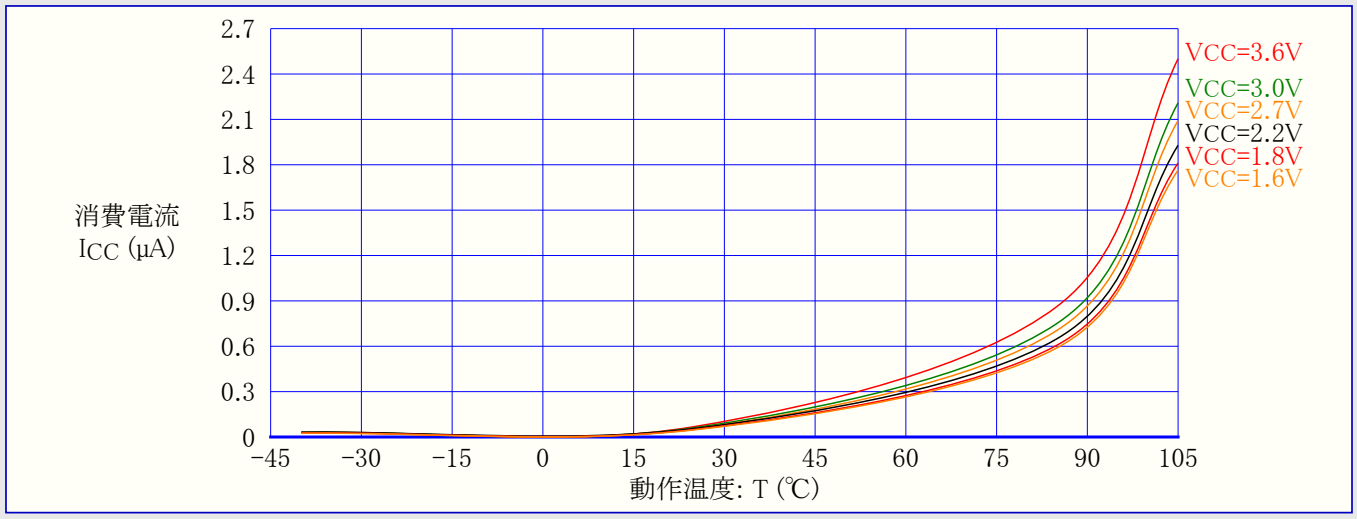


図37-184. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (全機能禁止)

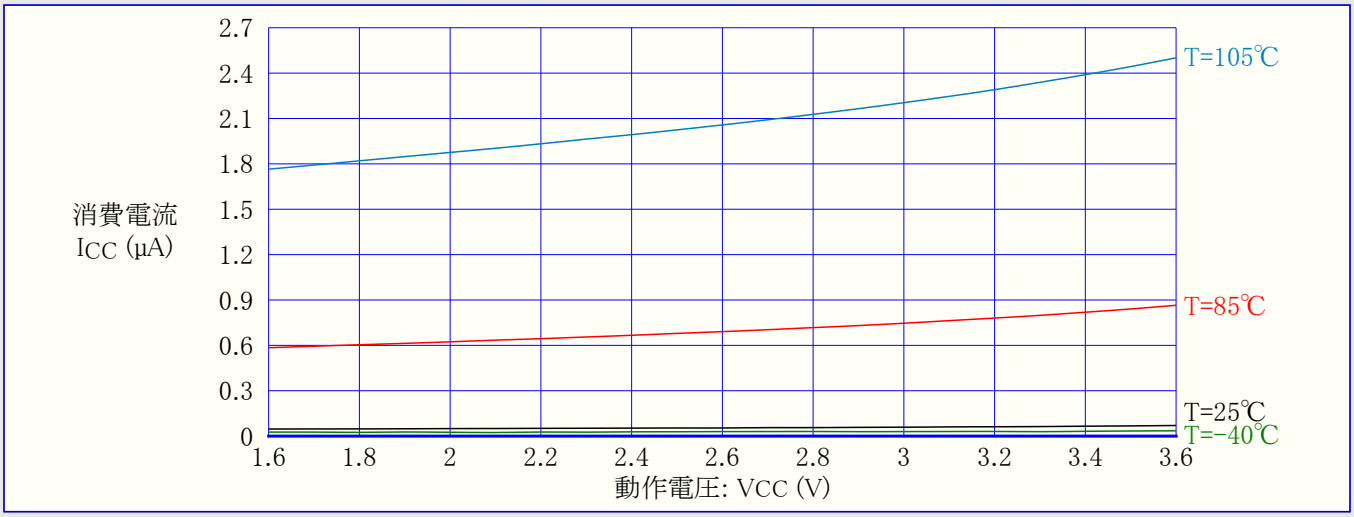
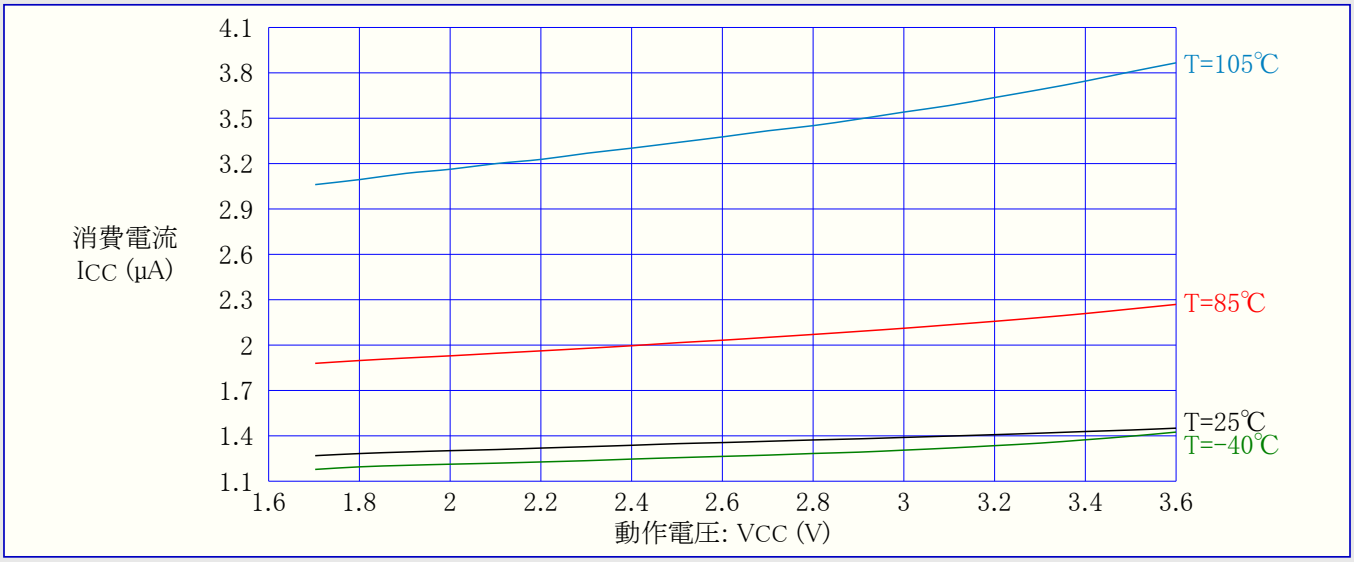
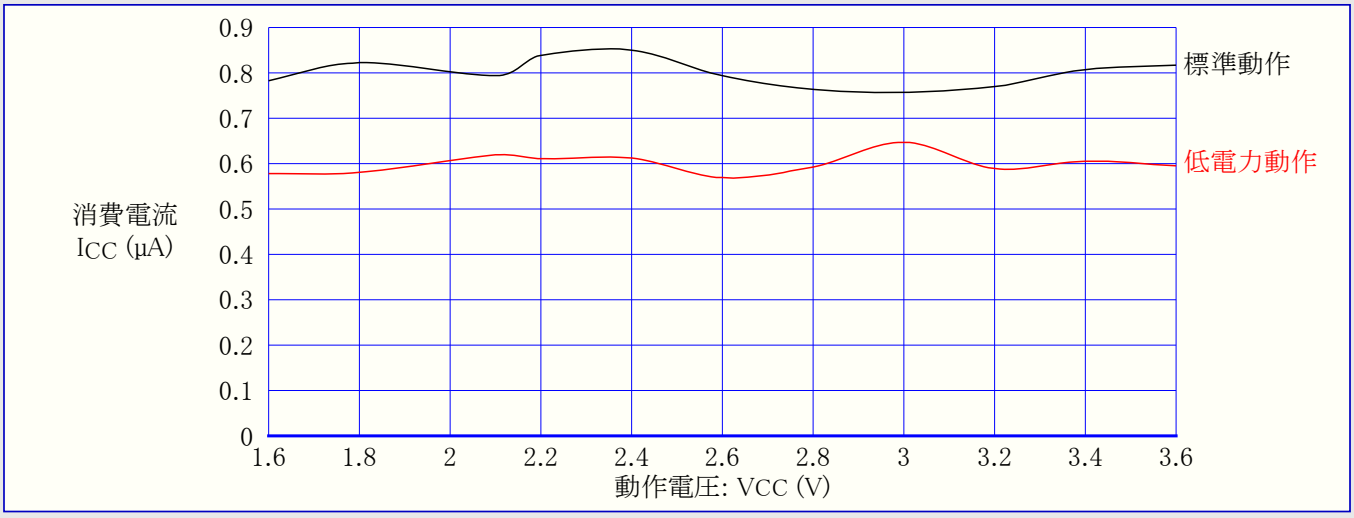


図37-185. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作電圧 (採取動作BOD,WDT許可)



37.3.1.4. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流

図37-186. ﾊﾟﾜｰｾｰﾌﾞ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



37.3.1.5. スタンバイ動作消費電流

図37-187. スタンバイ動作消費電流 対 動作電圧 (*f*SYS=1MHz)

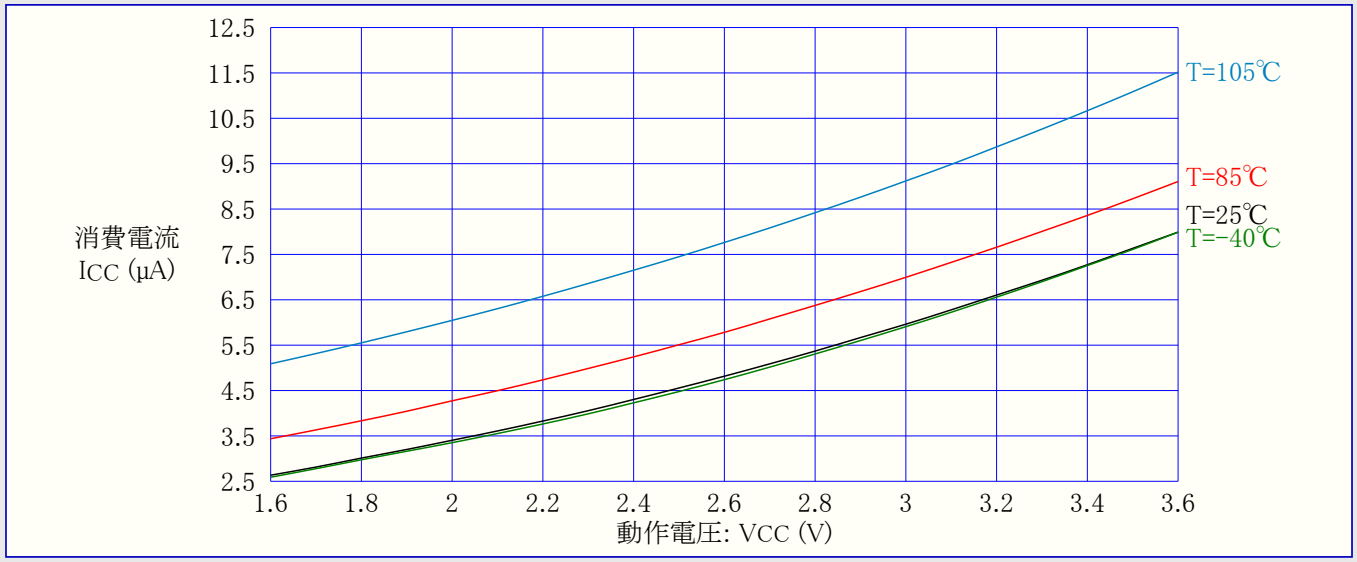
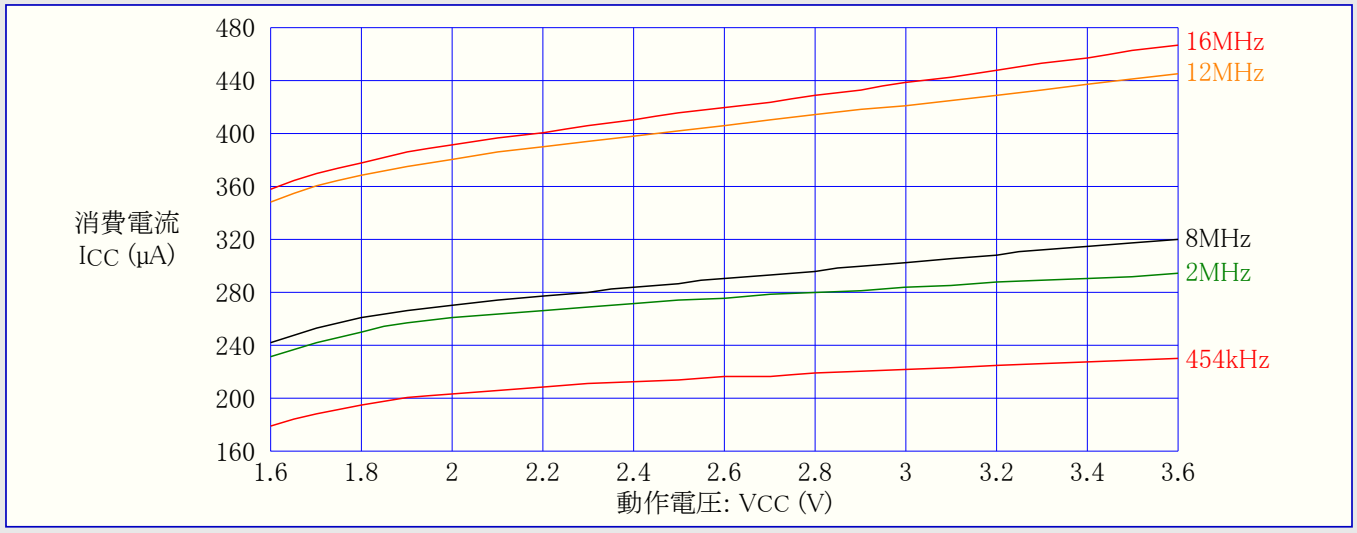


図37-188. スタンバイ動作消費電流 対 動作電圧 (各種クリスタル用発振器での走行,T=25℃)



37.3.2. 入出力ピン特性

37.3.2.1. プルアップ

図37-189. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

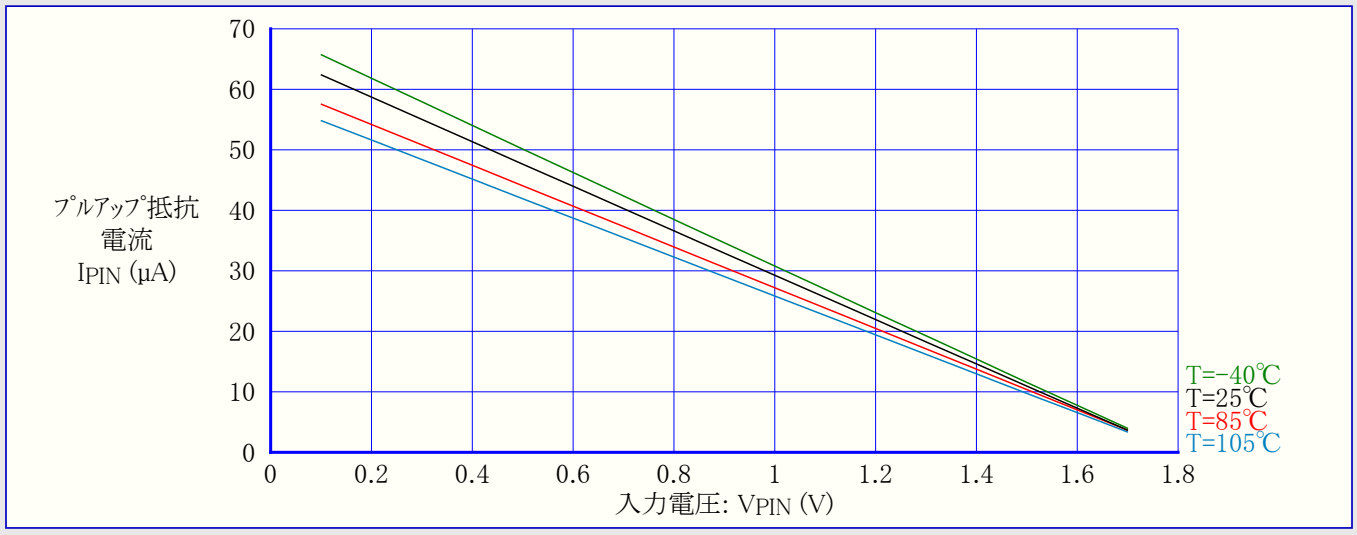


図37-190. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.0V)

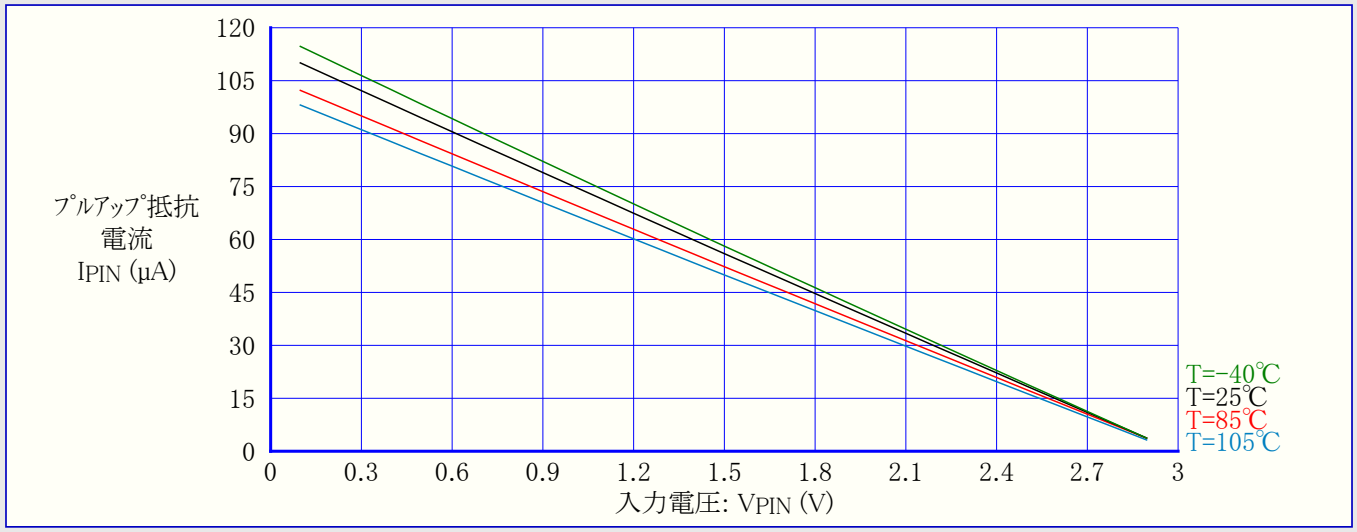
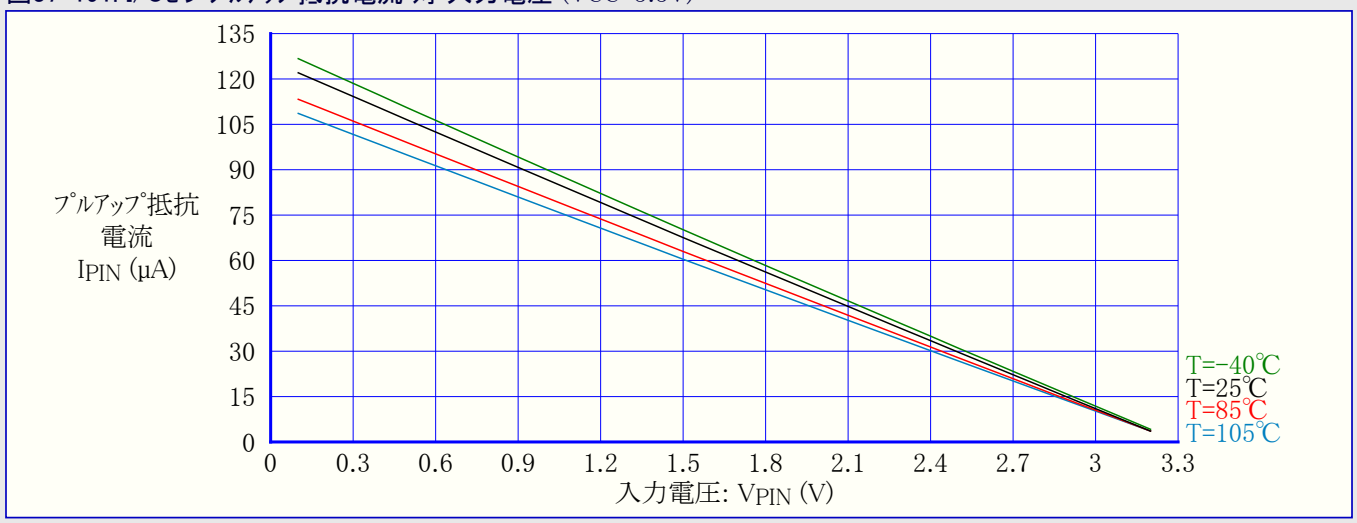


図37-191. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.3V)



37.3.2.2. 出力電圧 対 吸い込み/吐き出し電流

図37-192. I/Oﾋﾟﾝ出力電圧 対 吐き出し電流 (VCC=1.8V)

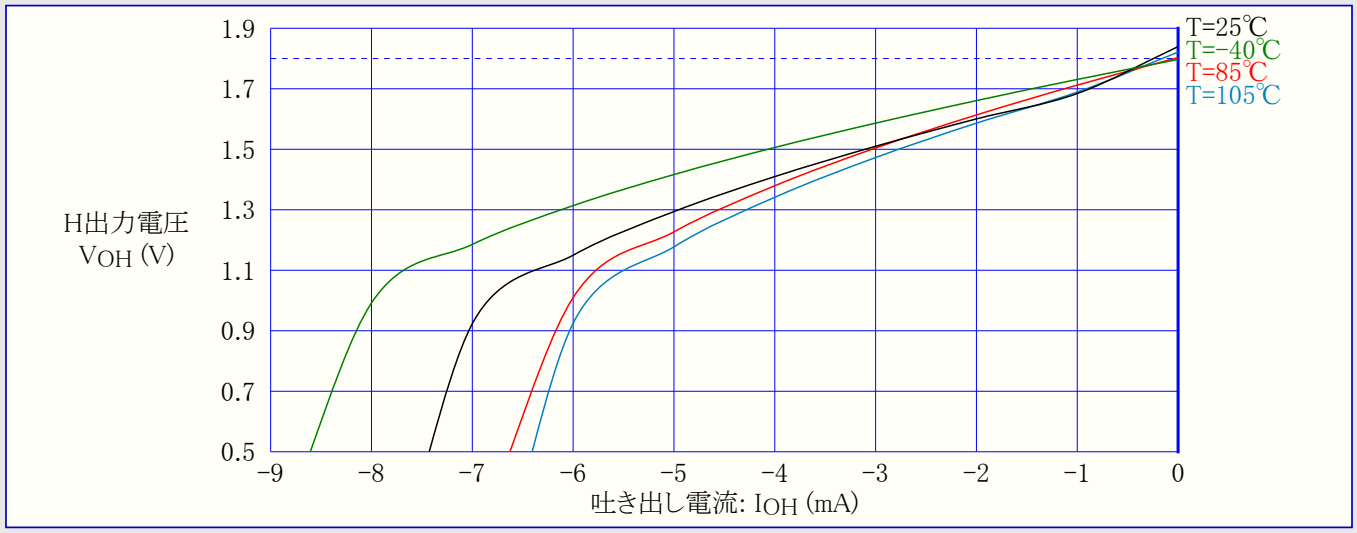


図37-193. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

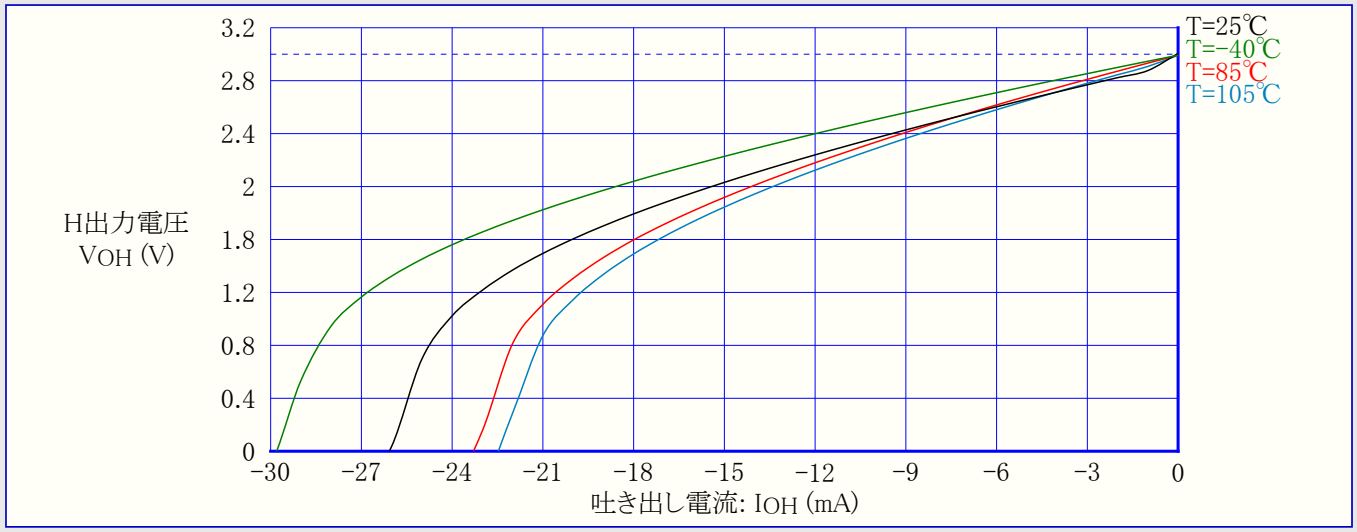


図37-194. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

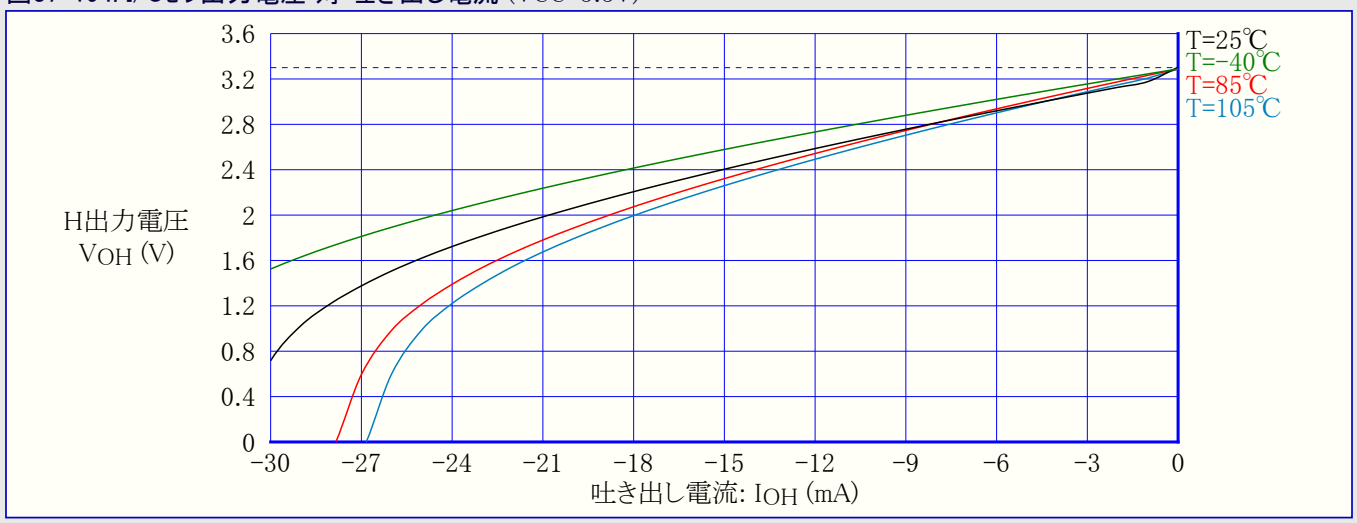
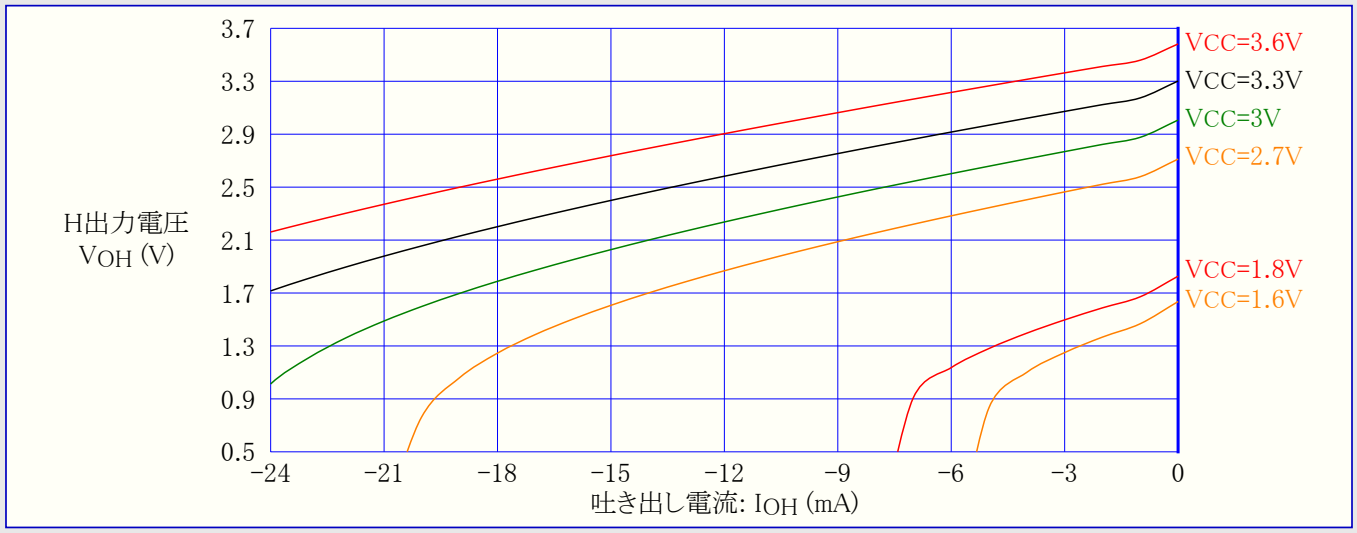


図37-195. I/Oピン出力電圧 対 吐き出し電流 (T=25℃)



© 2011-2020 Microchip Technology Inc.

図37-196. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=1.8V)

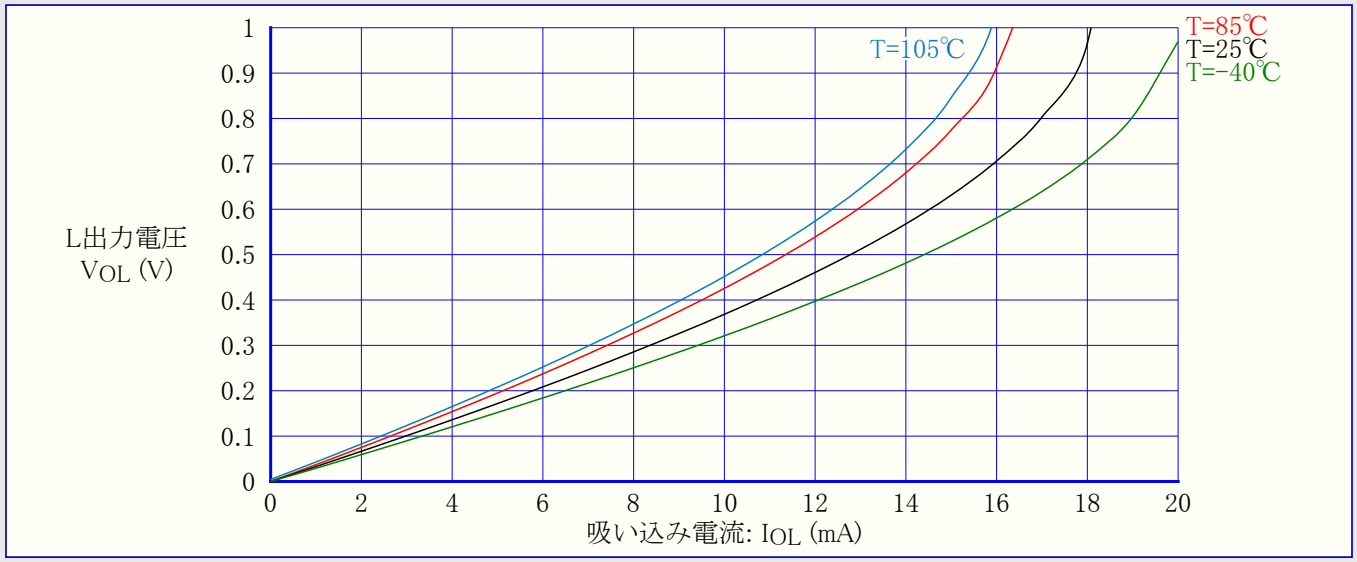


図37-197. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.0V)

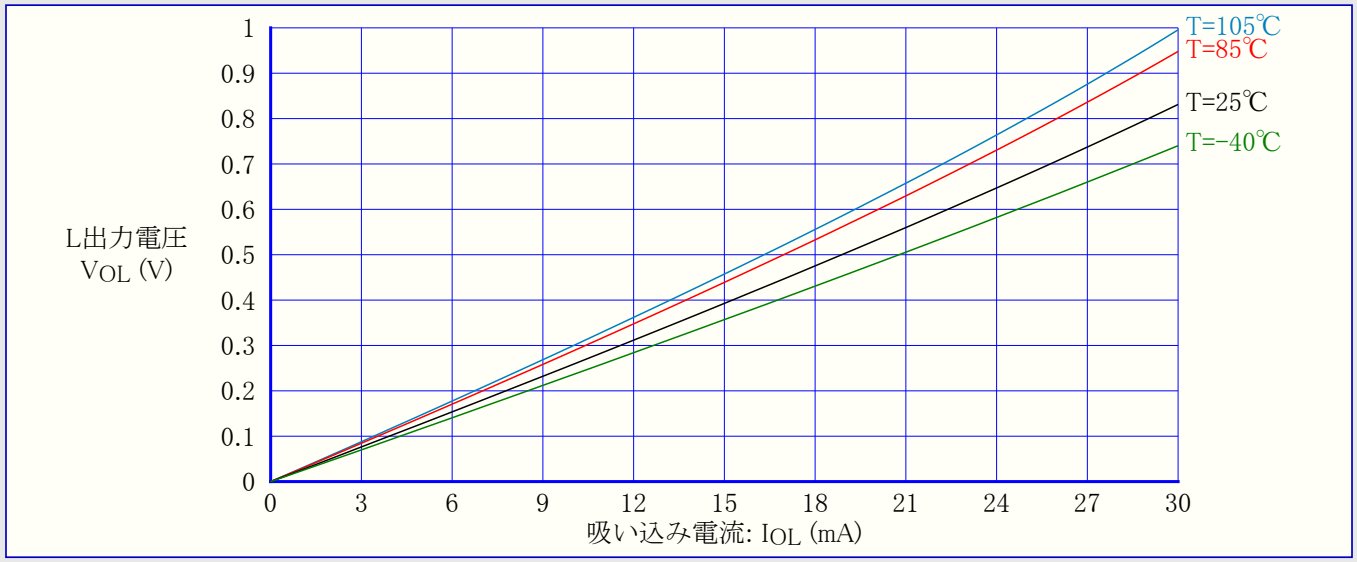
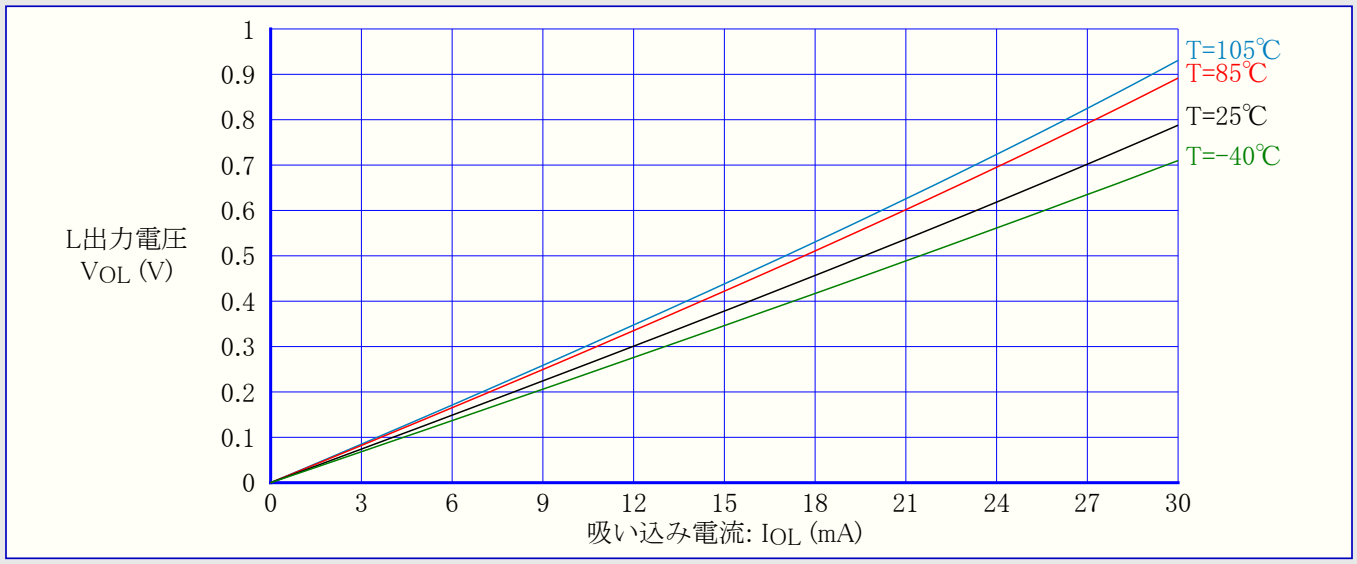
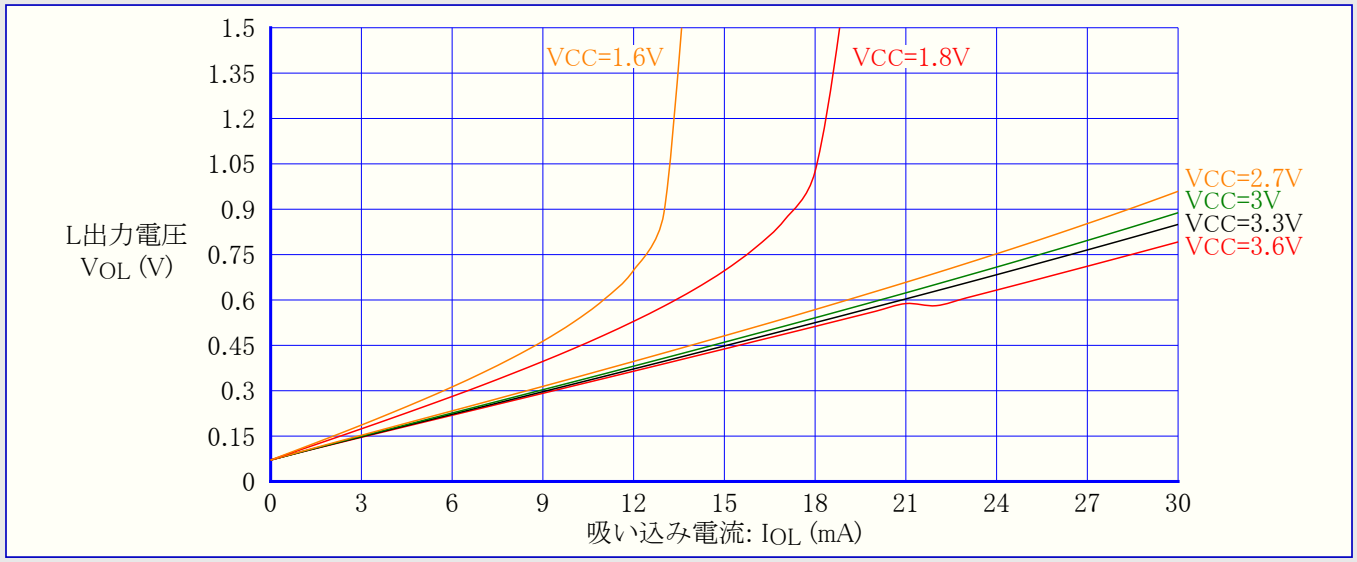


図37-198. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (VCC=3.3V)



© 2011-2020 Microchip Technology Inc.

図37-199. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (T=25℃)



37.3.2.3. 閾値とﾋｽﾃﾘｼｽ

図37-200. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (T=25℃)

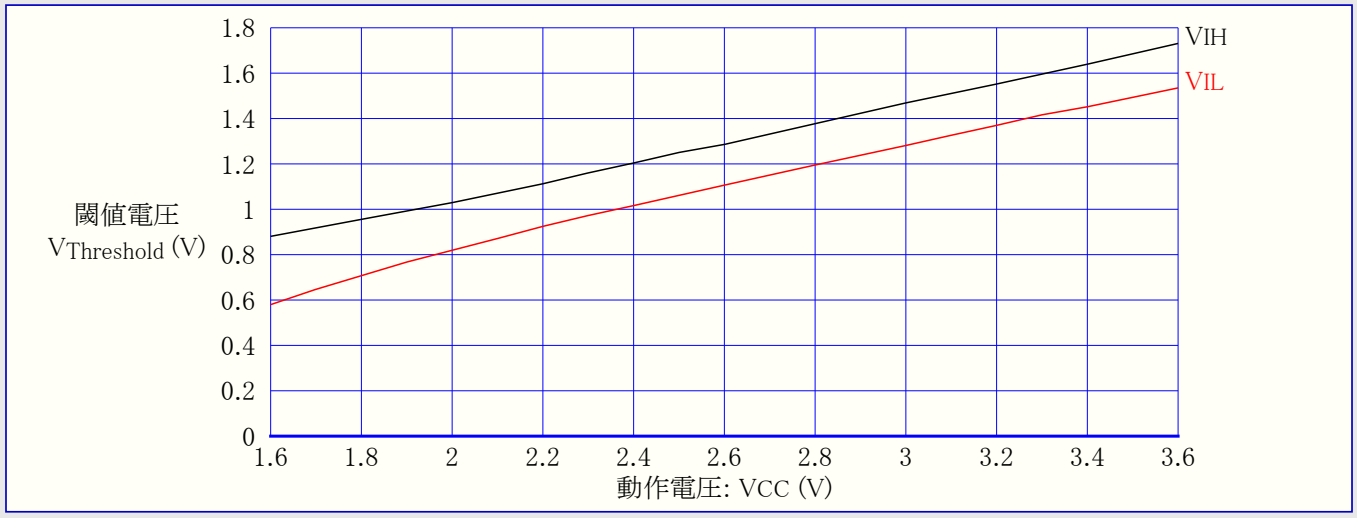
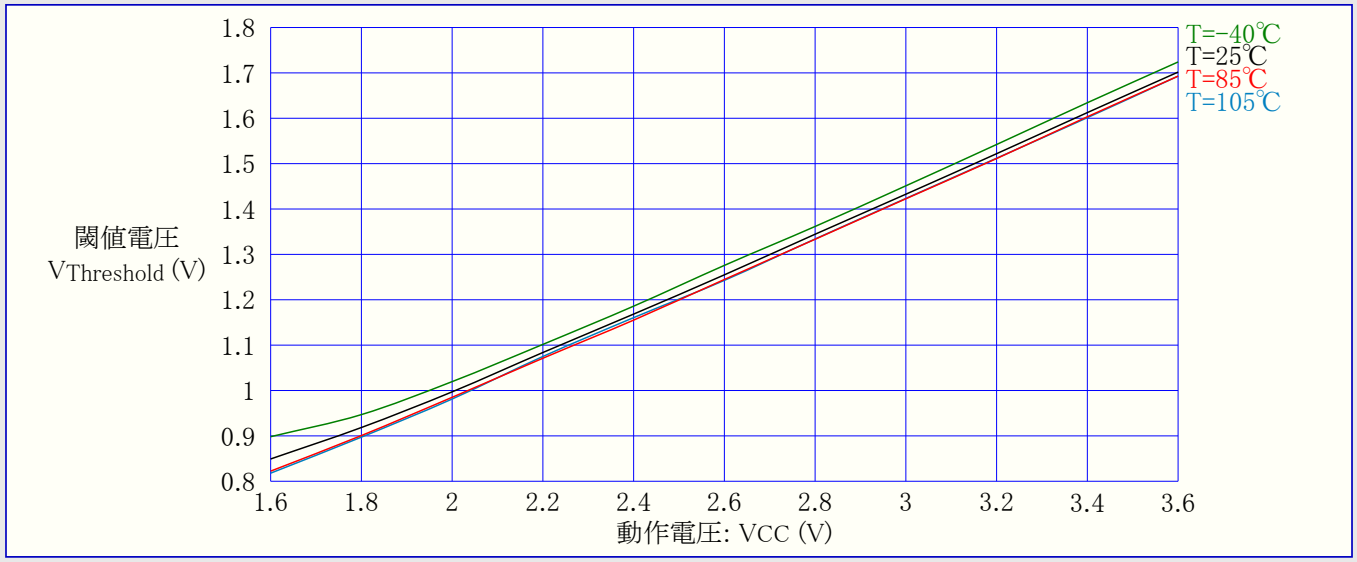


図37-201. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)



© 2011-2020 Microchip Technology Inc.

図37-202. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)

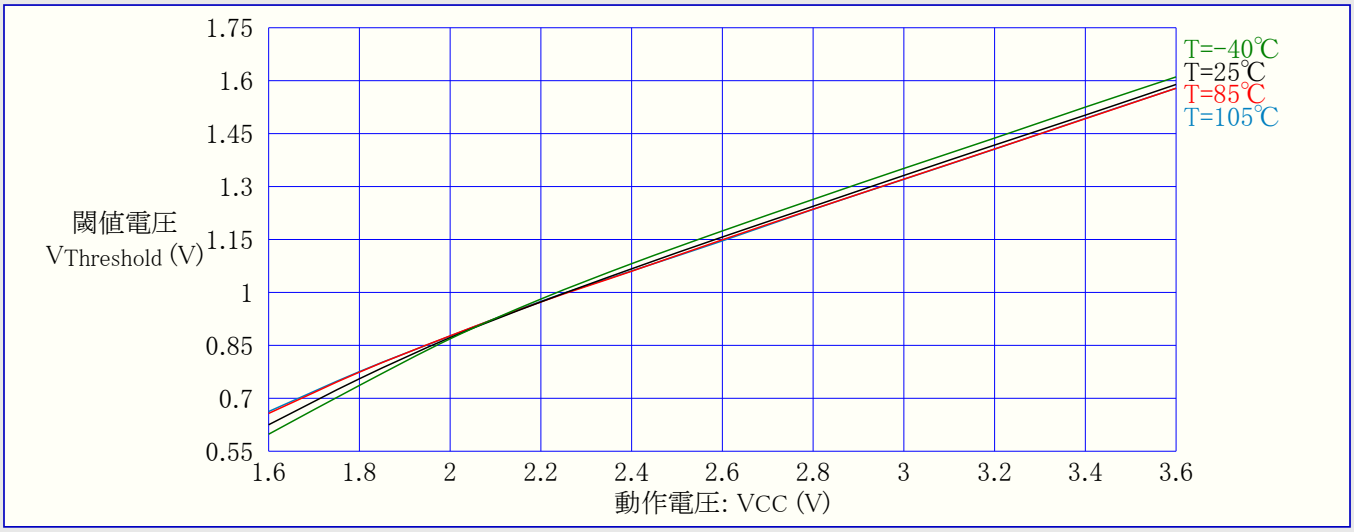
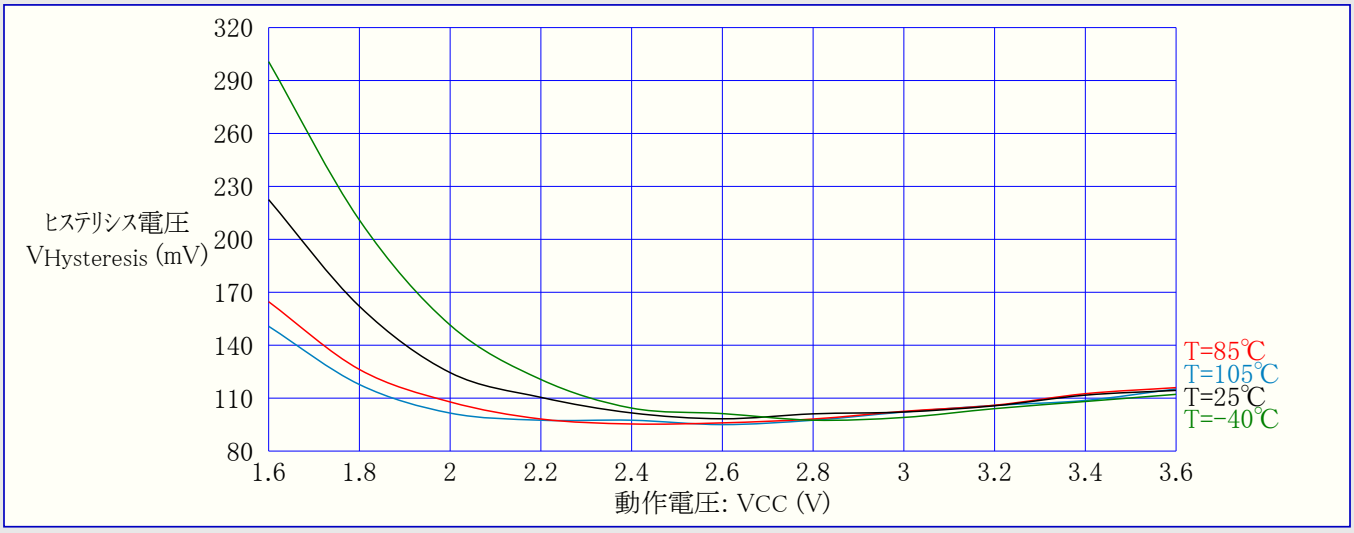


図37-203. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



37.3.3. A/D変換器(ADC)特性

図37-204. ADC積分性誤差(INL) 対 外部VREF (T=25℃、VCC=3.6V)

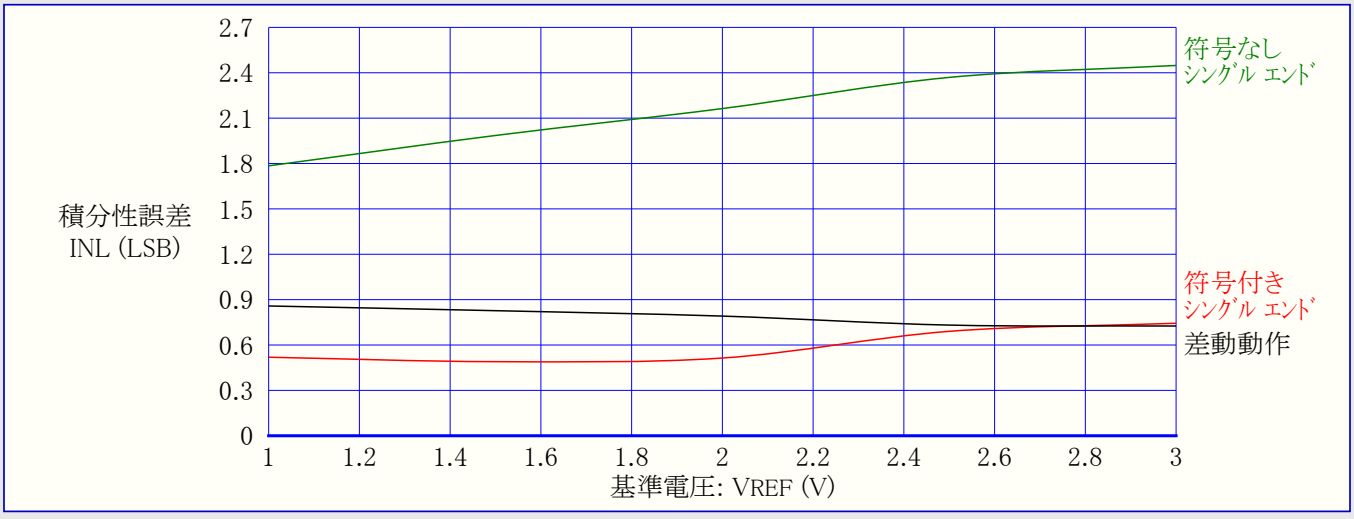


図37-205. ADC積分性誤差(INL) 対 採取速度 (T=25℃、VCC=2.7V、VREF=外部1.0V)

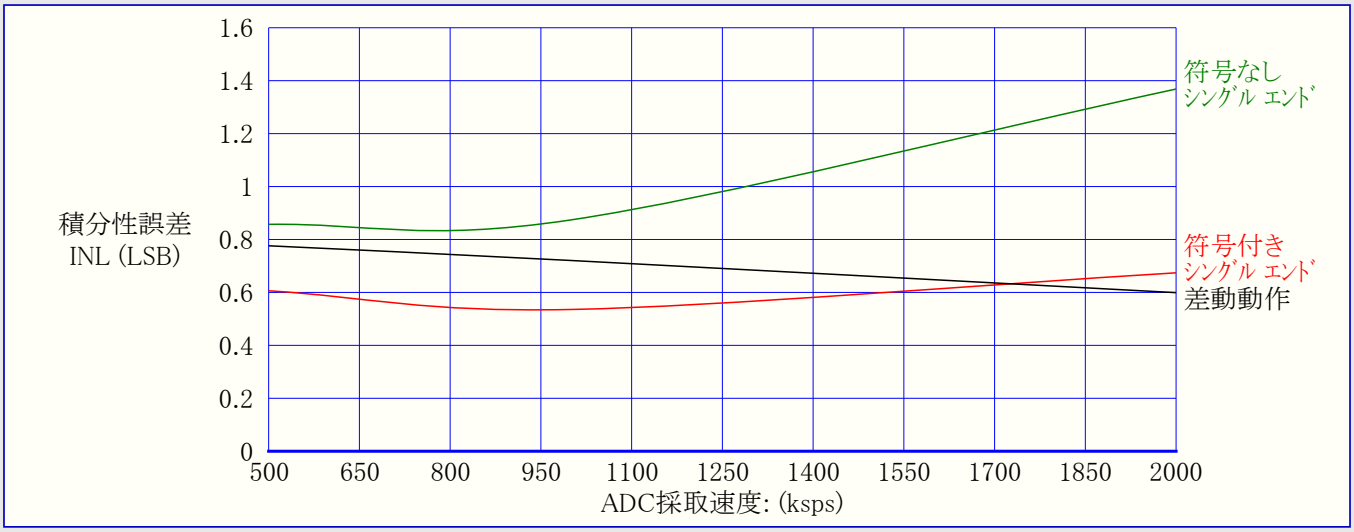


図37-206. ADC積分性誤差(INL) 対 入力符号

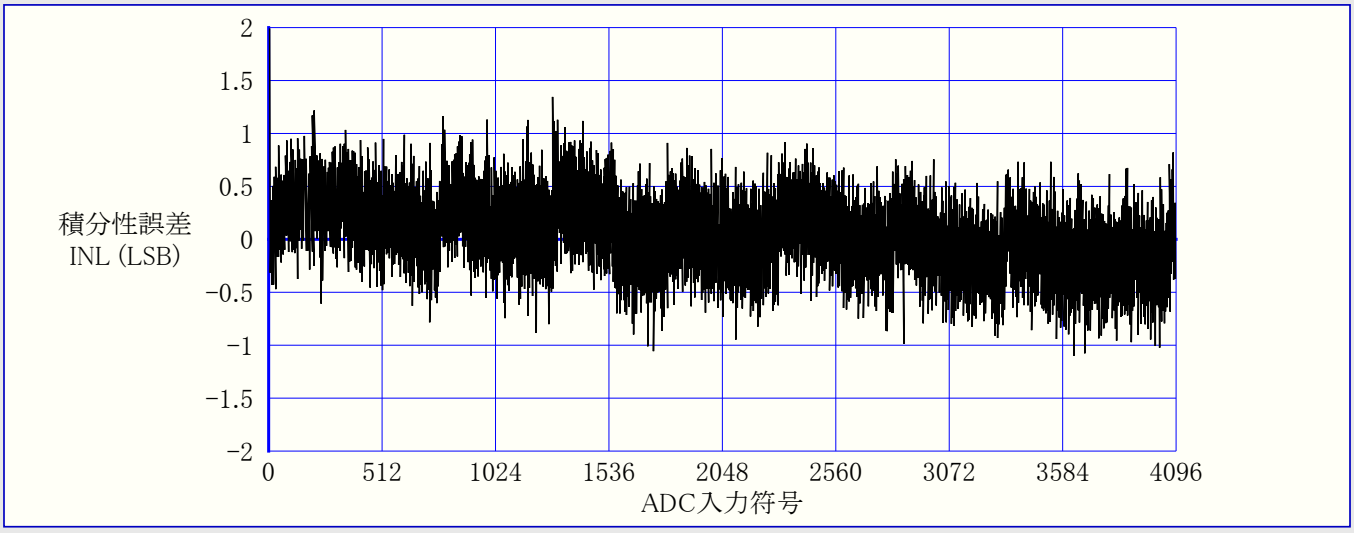


図37-207. ADC微分性誤差(DNL) 対 外部VREF (T=25℃、VCC=3.6V)

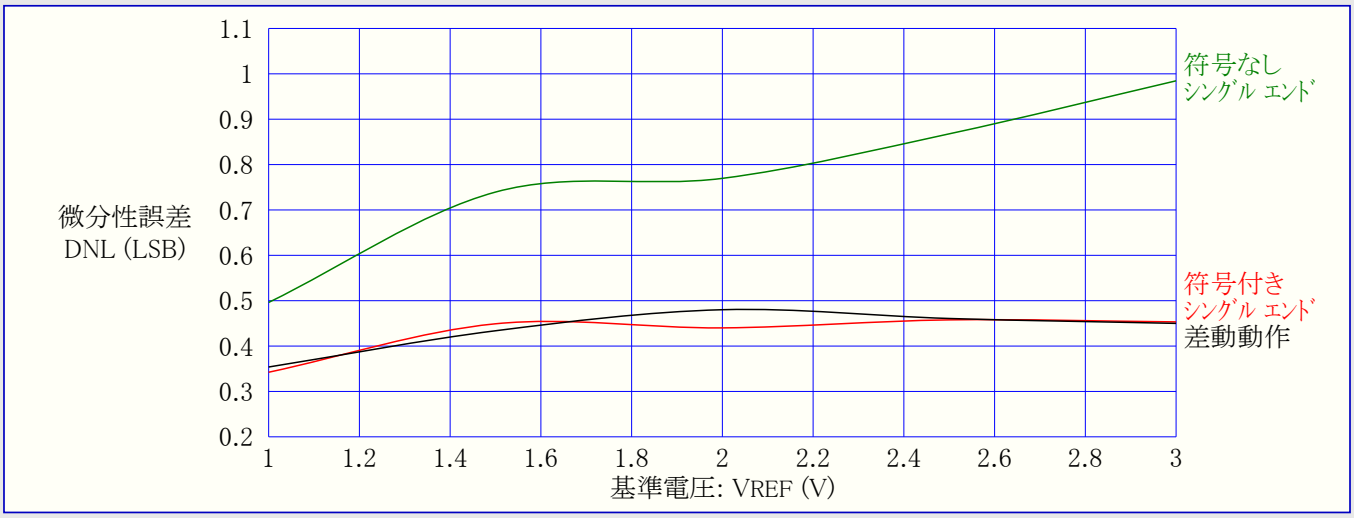


図37-208. ADC微分性誤差(DNL) 対 採取速度 (T=25℃、VCC=2.7V、VREF=外部1.0V)

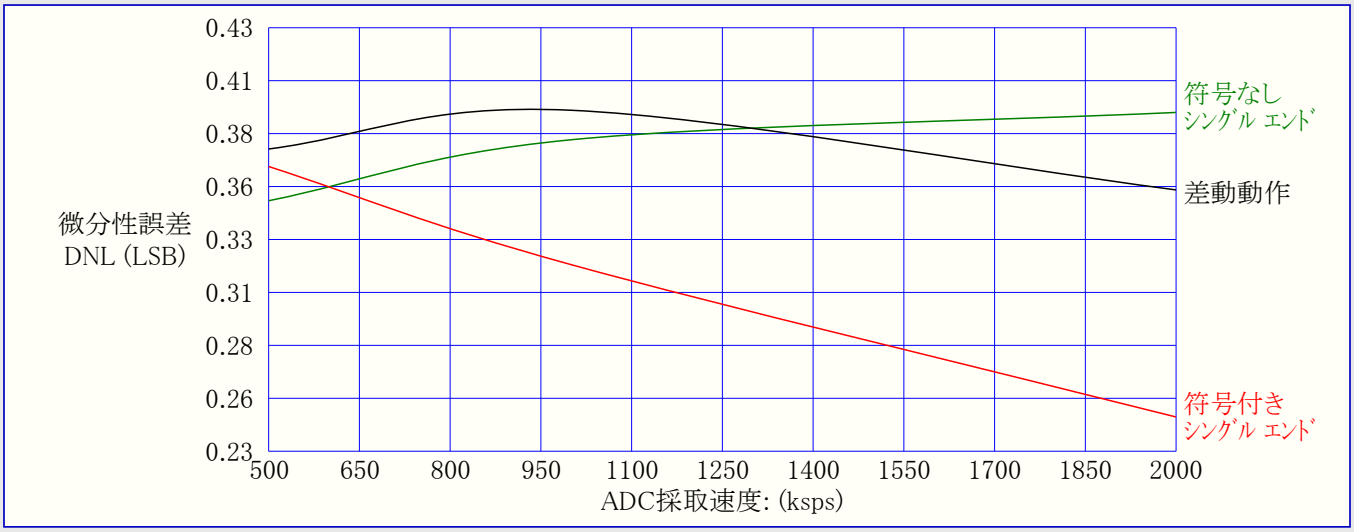


図37-209. ADC微分性誤差(DNL) 対 入力符号

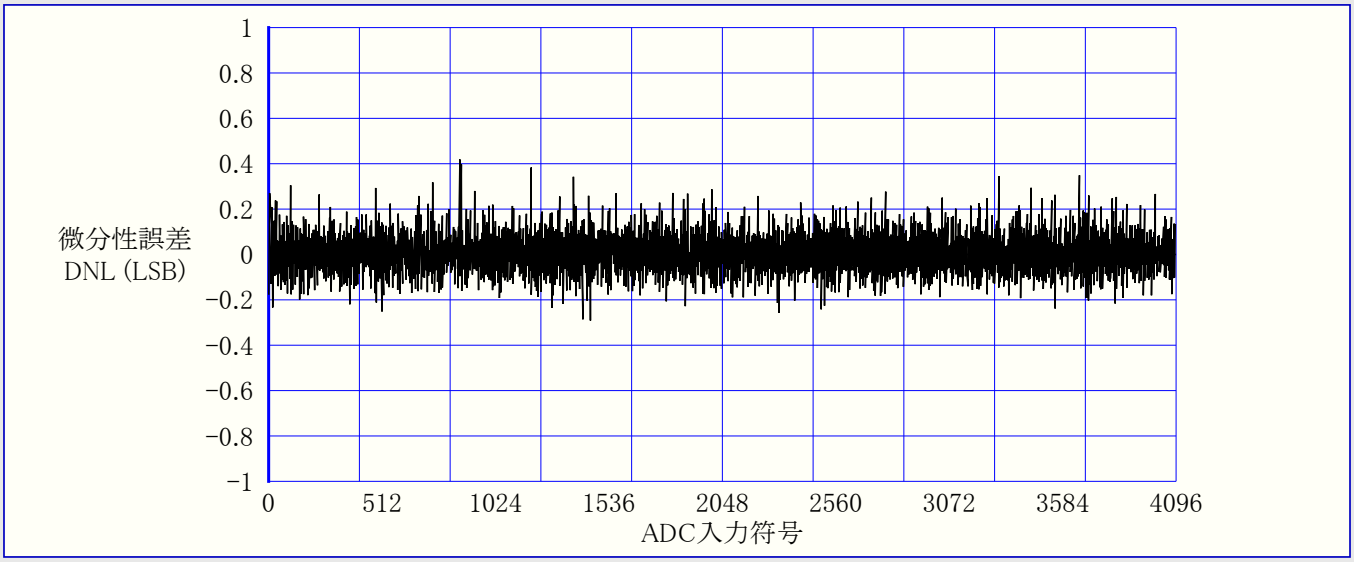
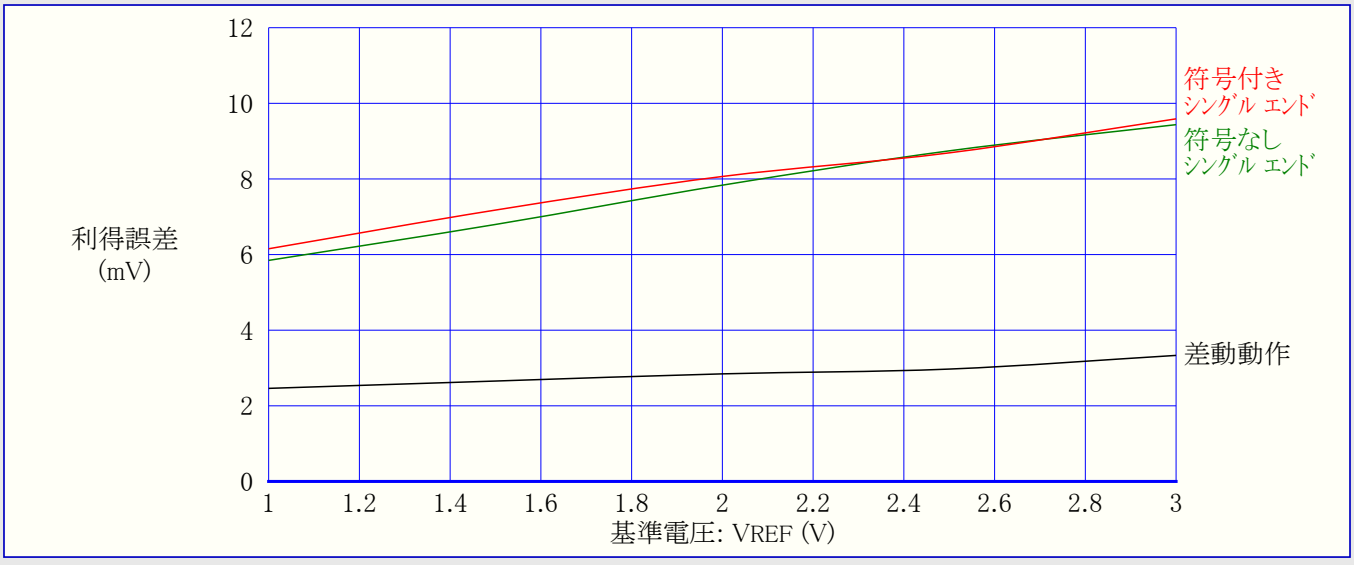


図37-210. ADC利得誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)



© 2011-2020 Microchip Technology Inc.

図37-211. ADC利得誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

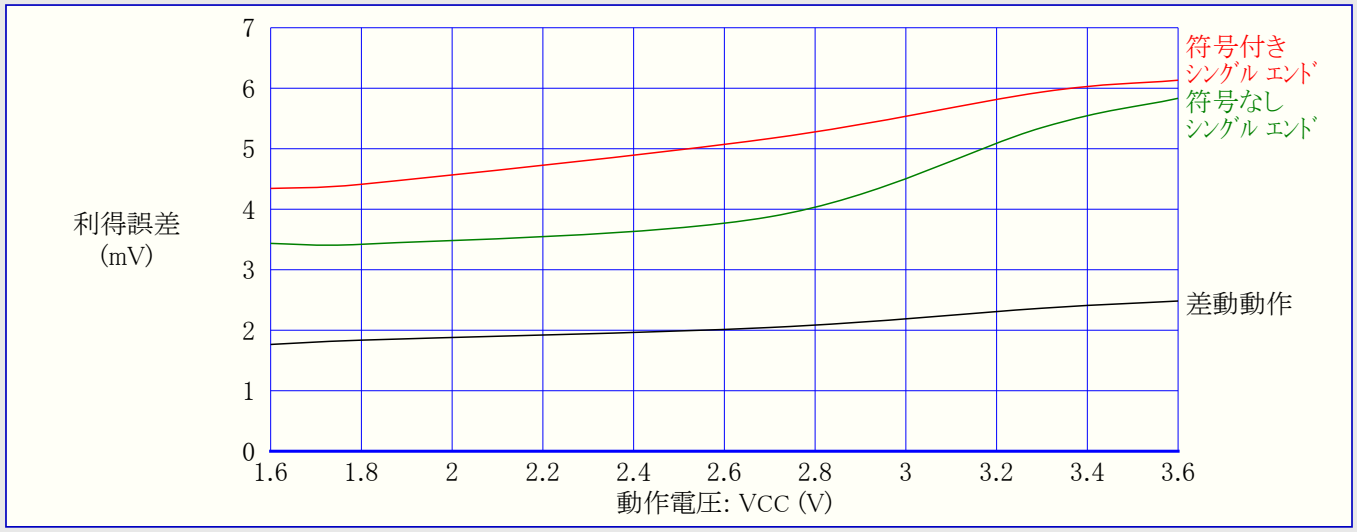


図37-212. ADC変位(ｵﾌｾｯﾄ)誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

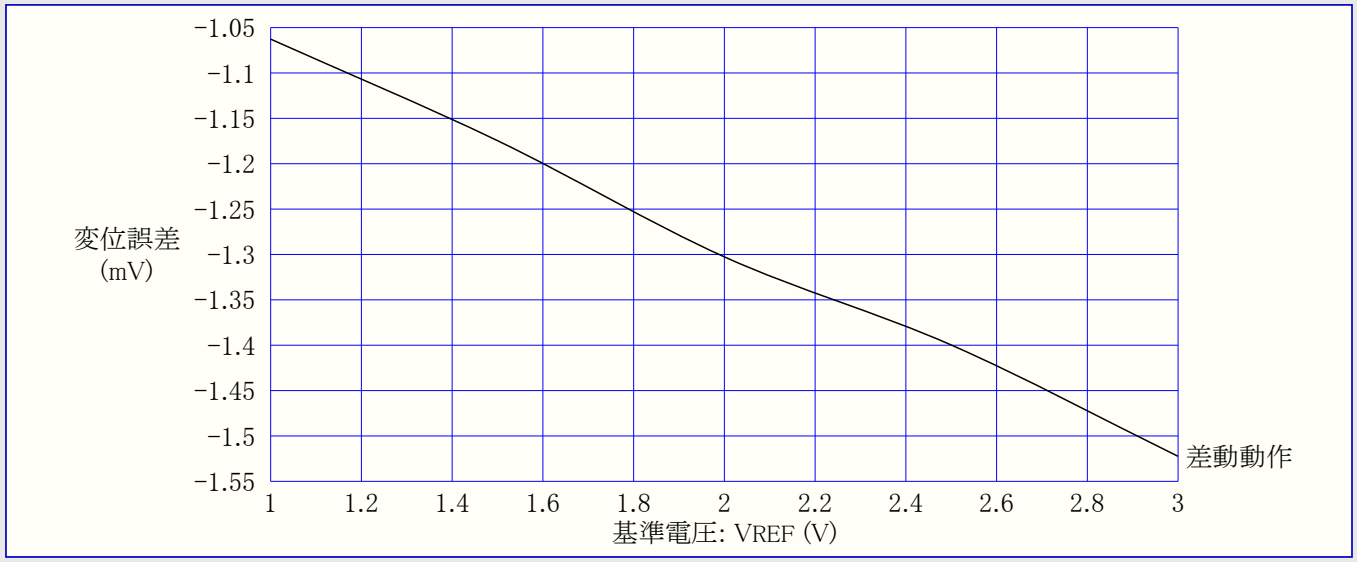
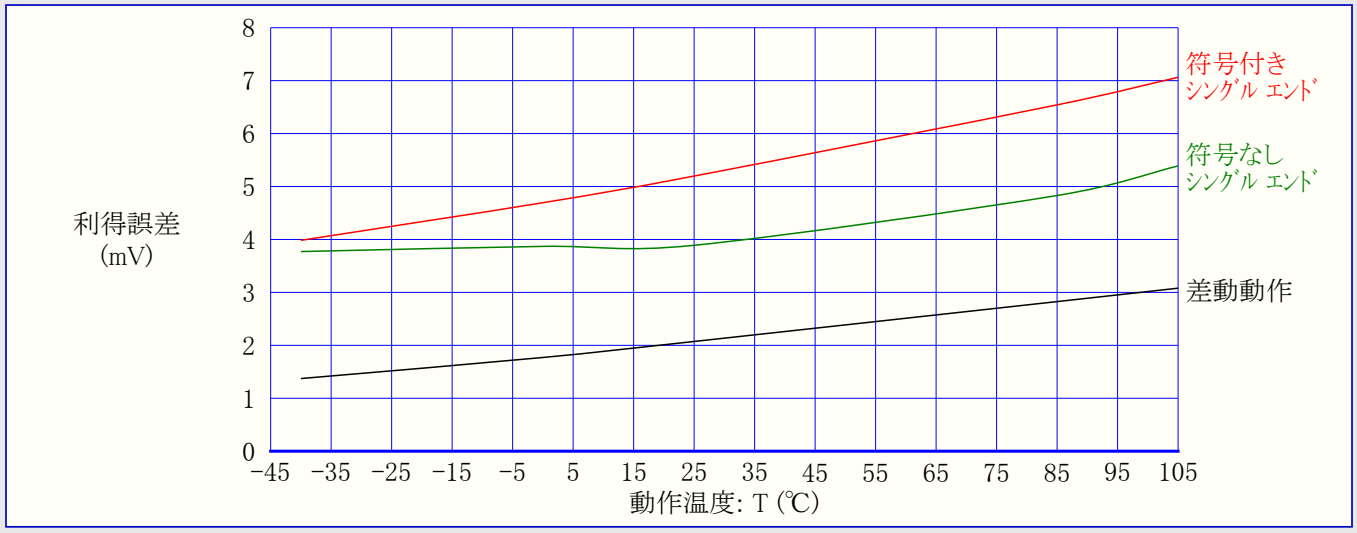


図37-213. ADC利得誤差 対 動作温度 (VCC=2.7V、VREF=外部1.0V)



© 2011-2020 Microchip Technology Inc.

図37-214. ADC変位(ｵﾌｾｯﾄ)誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

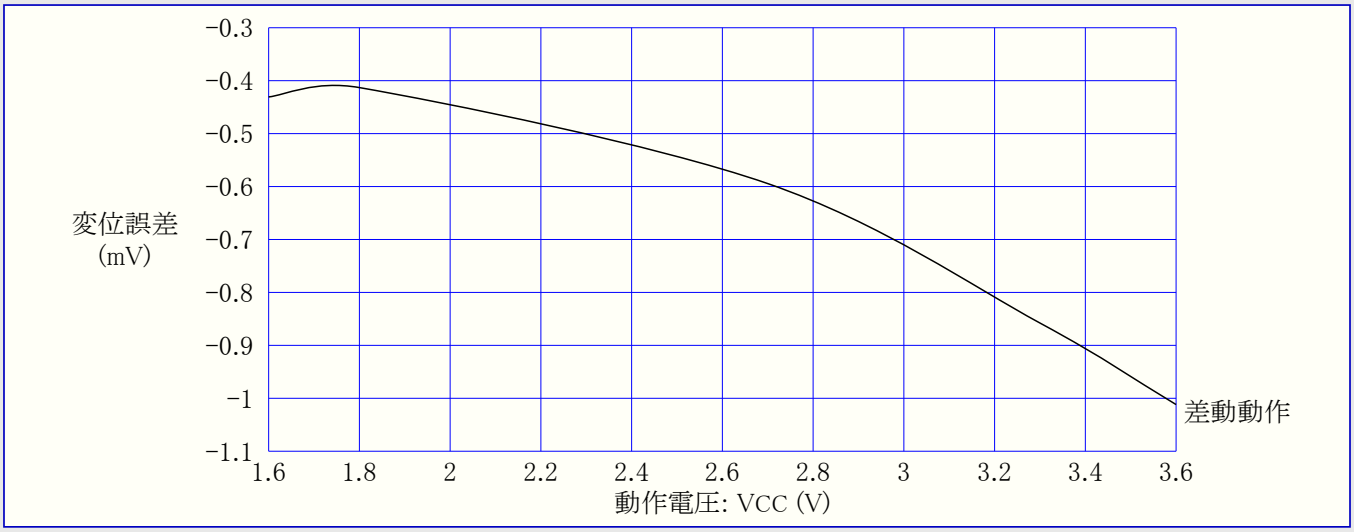


図37-215. ADC雑音 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

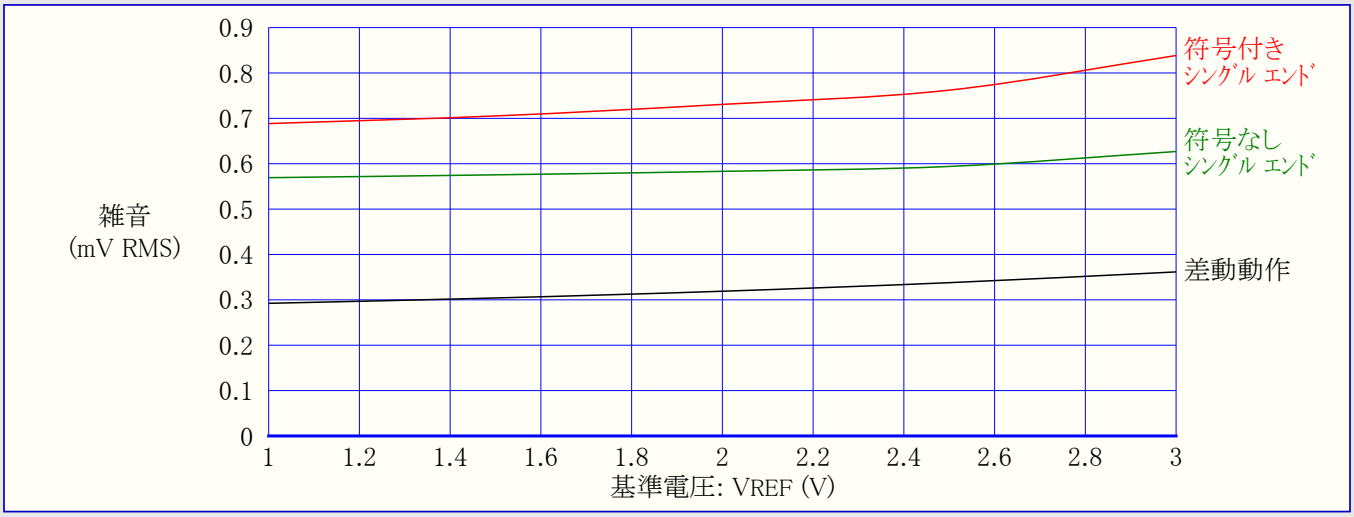
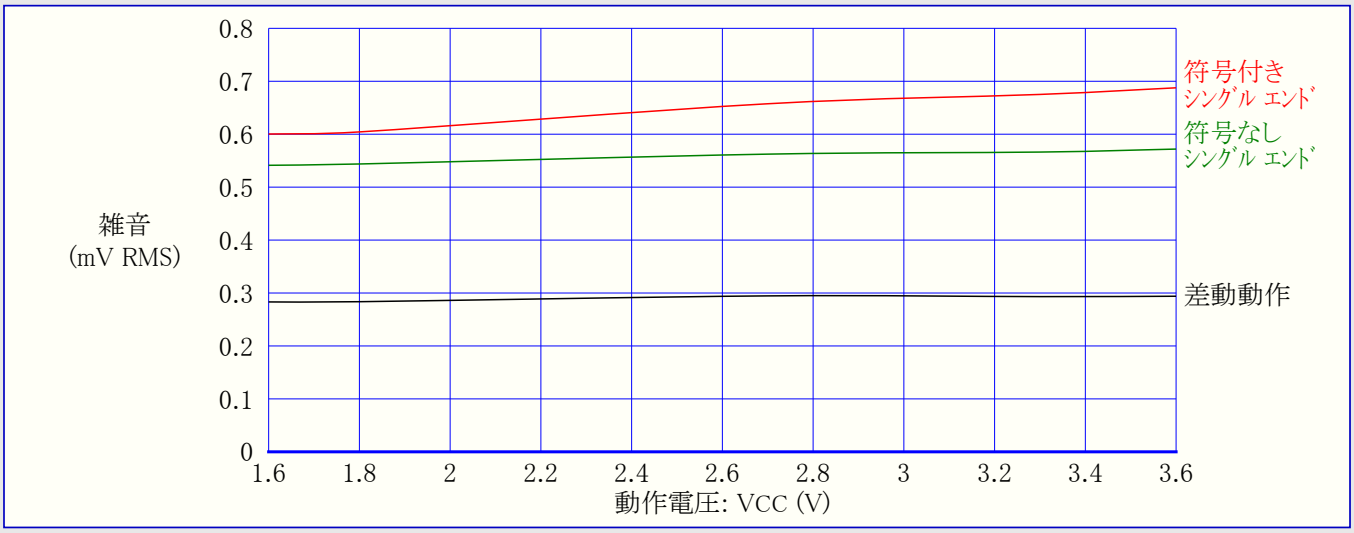


図37-216. ADC雑音 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)



© 2011-2020 Microchip Technology Inc.

37.3.4. D/A変換器(DAC)特性

図37-217. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)

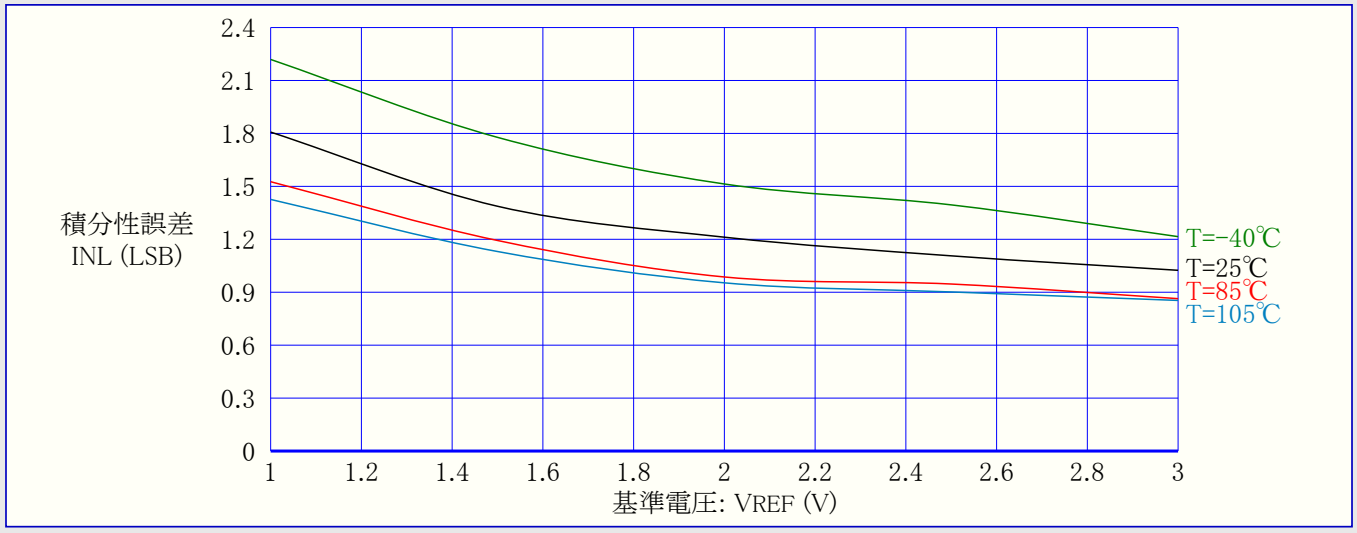


図37-218. DAC微分性誤差(DNL) 対 外部VREF (VCC=3.6V)

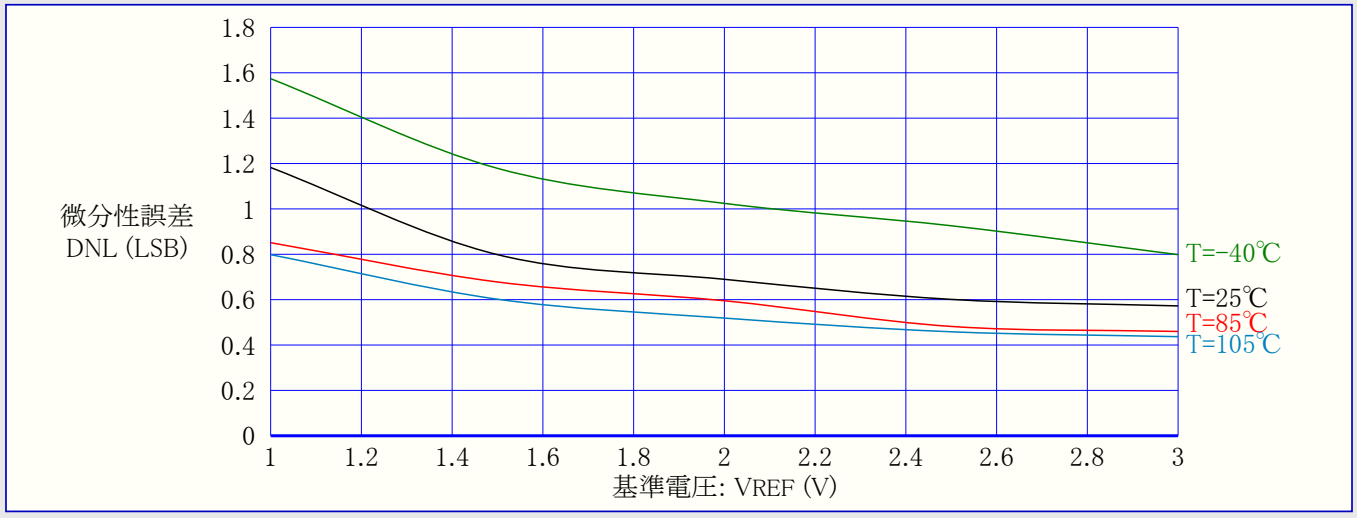
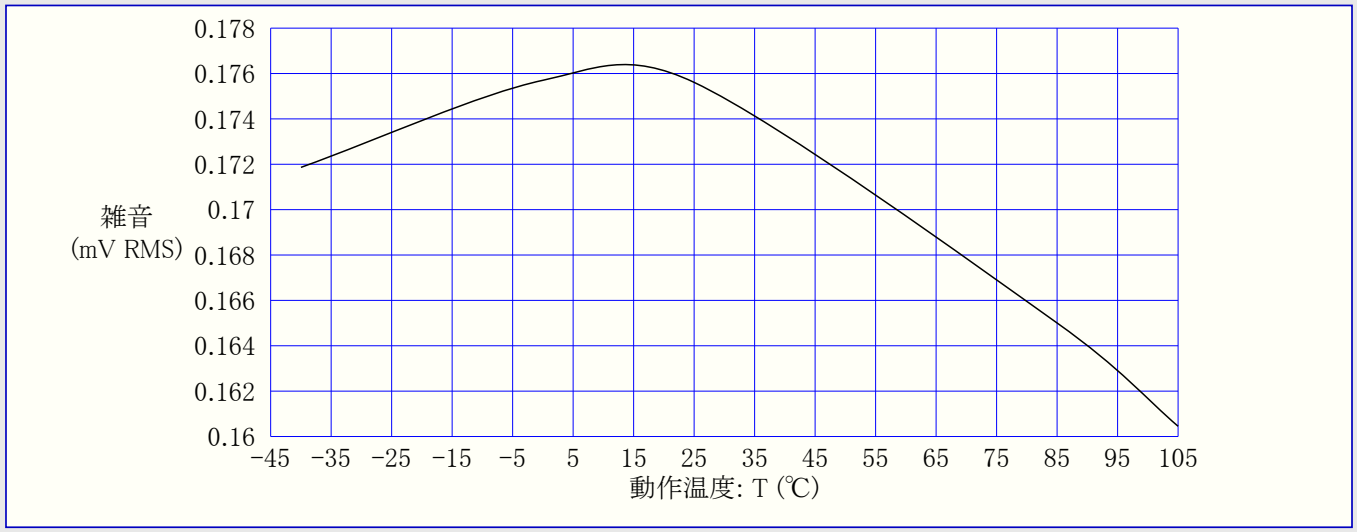


図37-219. DAC雑音 対 動作温度 (VCC=2.7V、VREF=1.0V)



37.3.5. アナログ比較器特性

図37-220. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

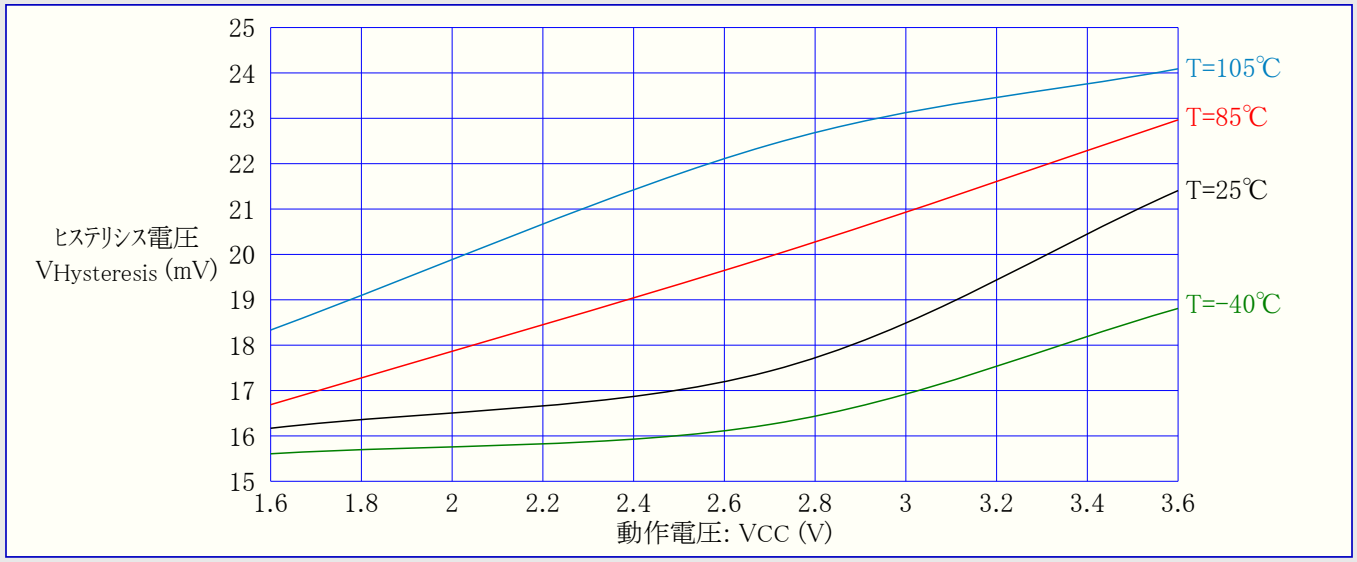


図37-221. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=小)

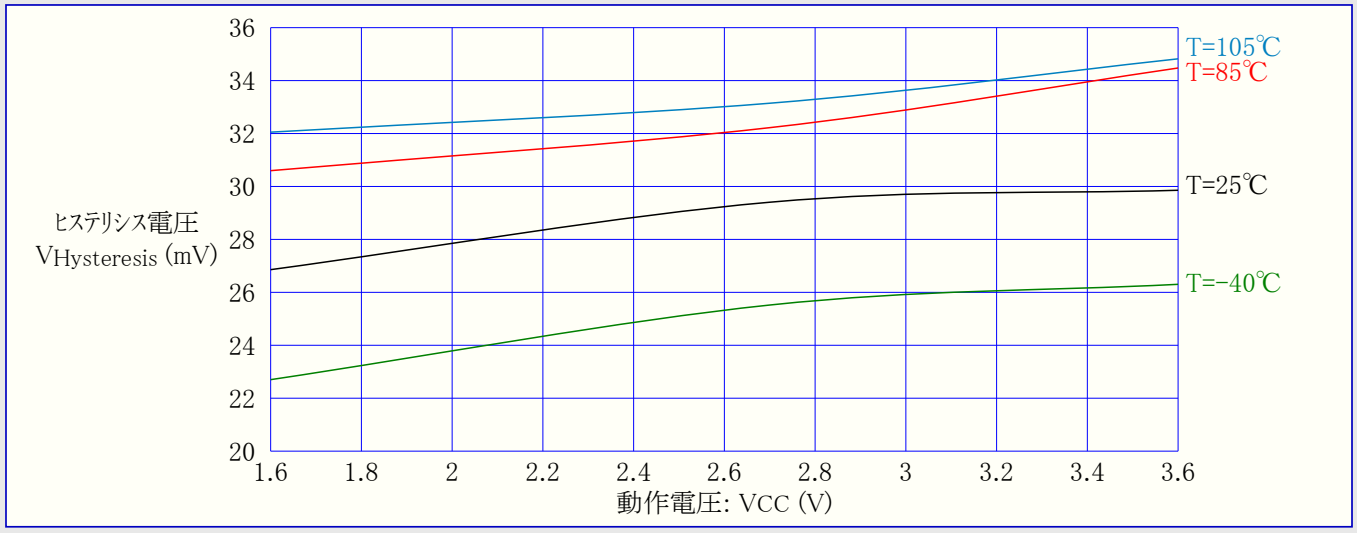


図37-222. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=大)

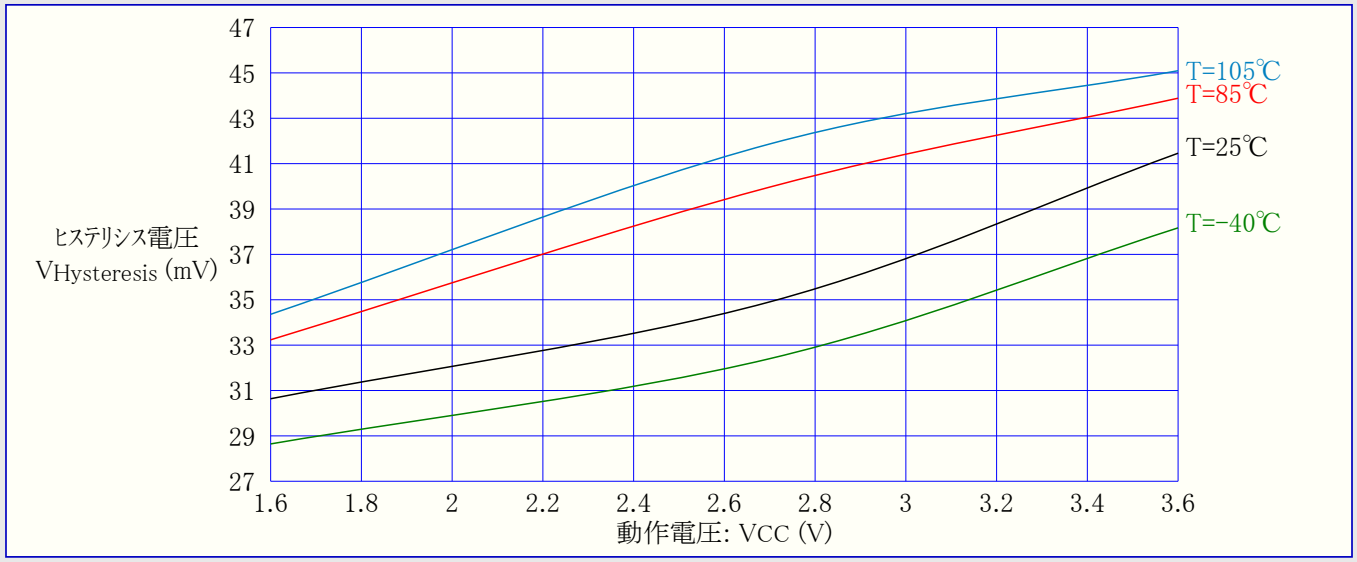


図37-223. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=大)

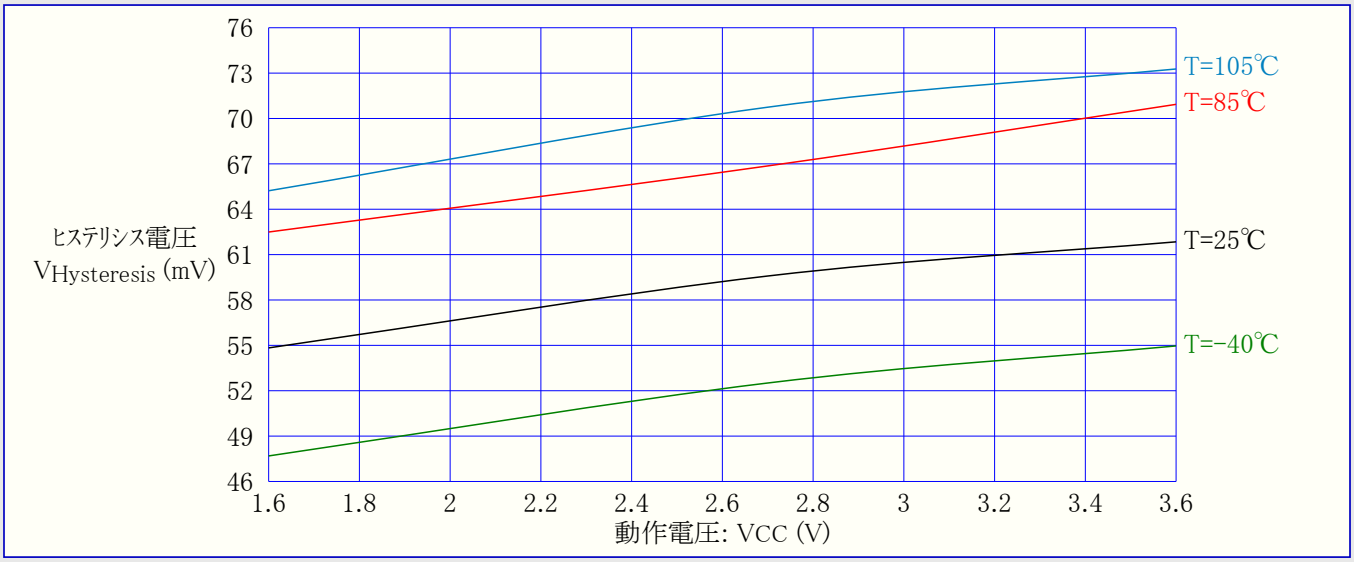


図37-224. アナログ比較器(AC)電流源 対 校正値 (T=25℃)

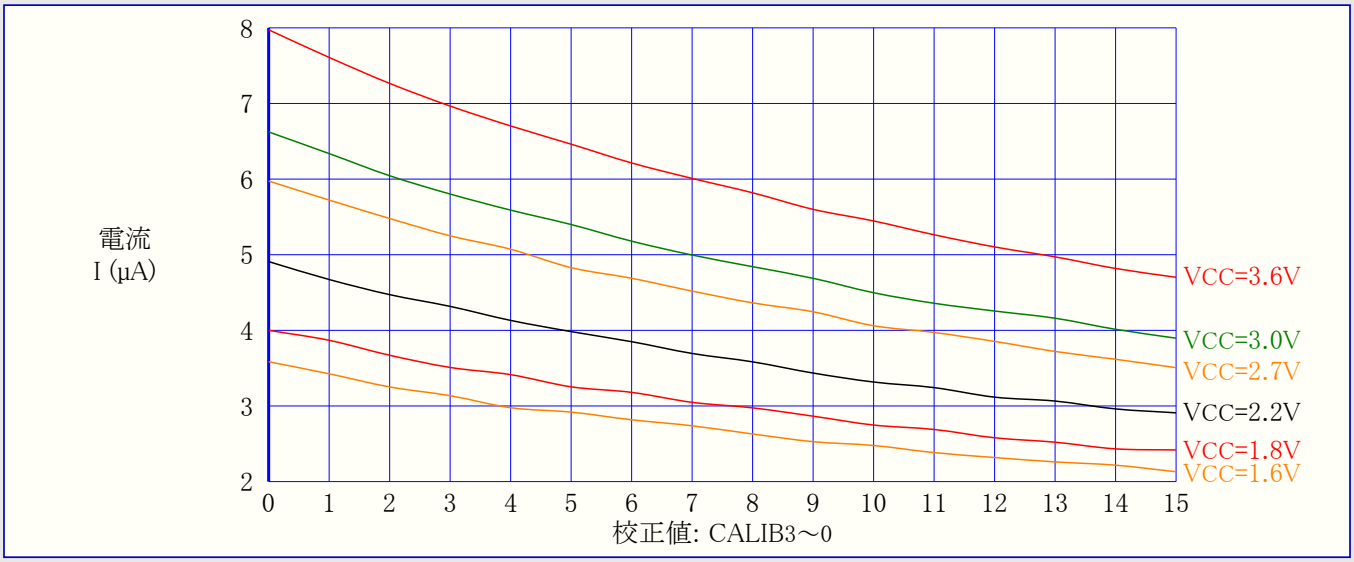


図37-225. アナログ比較器(AC)電流源 対 校正値 (VCC=3.0V)

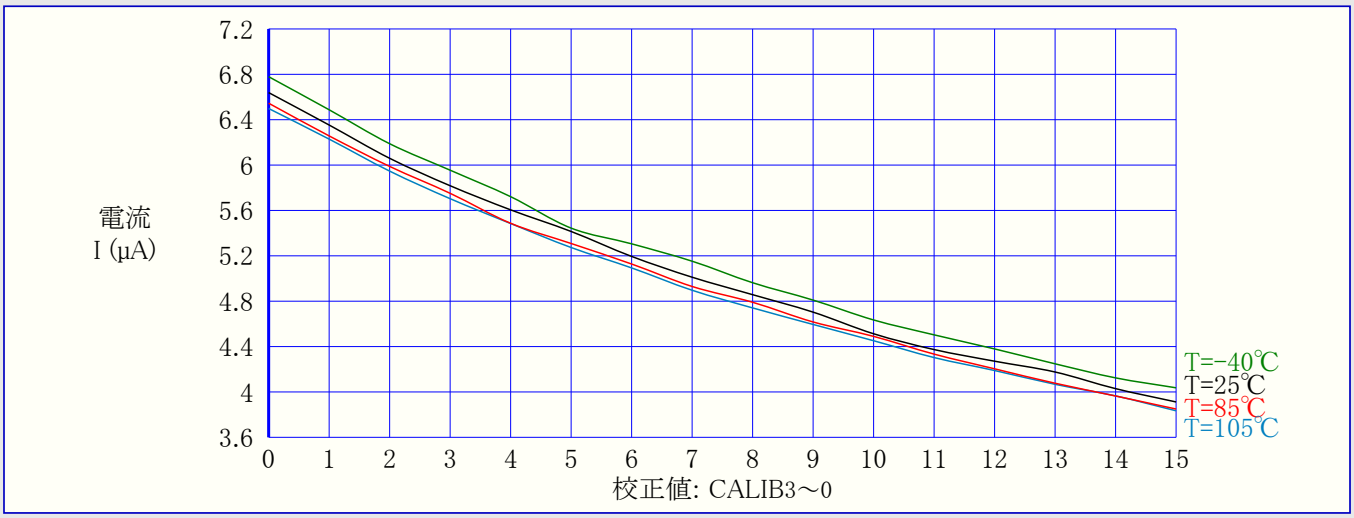
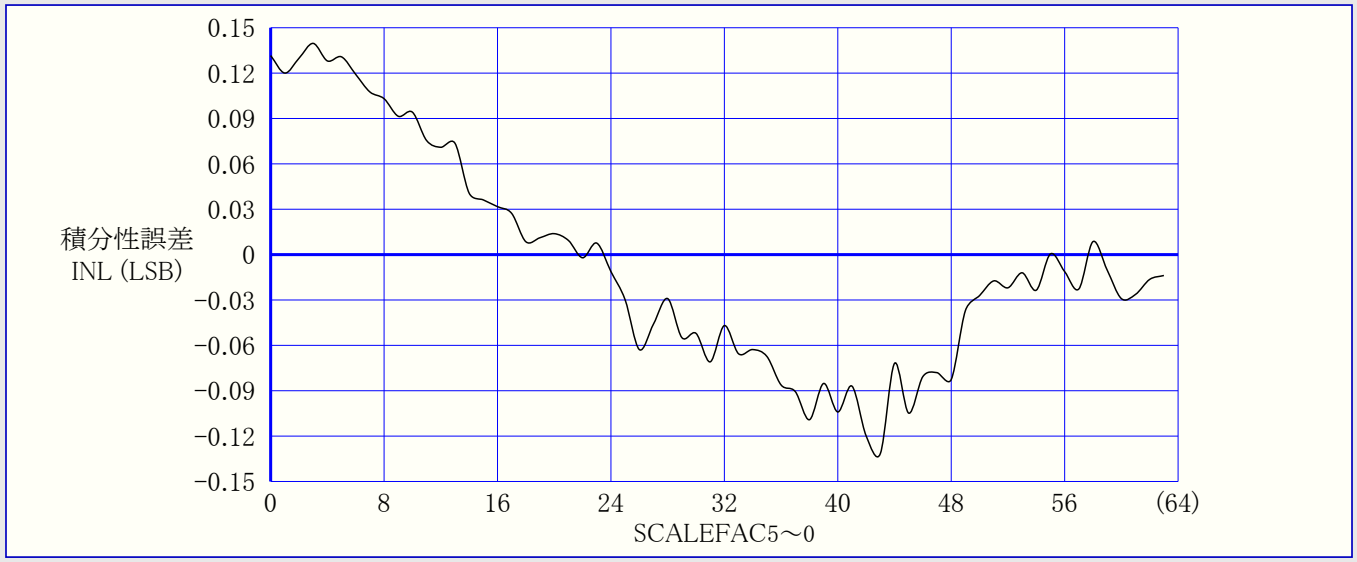
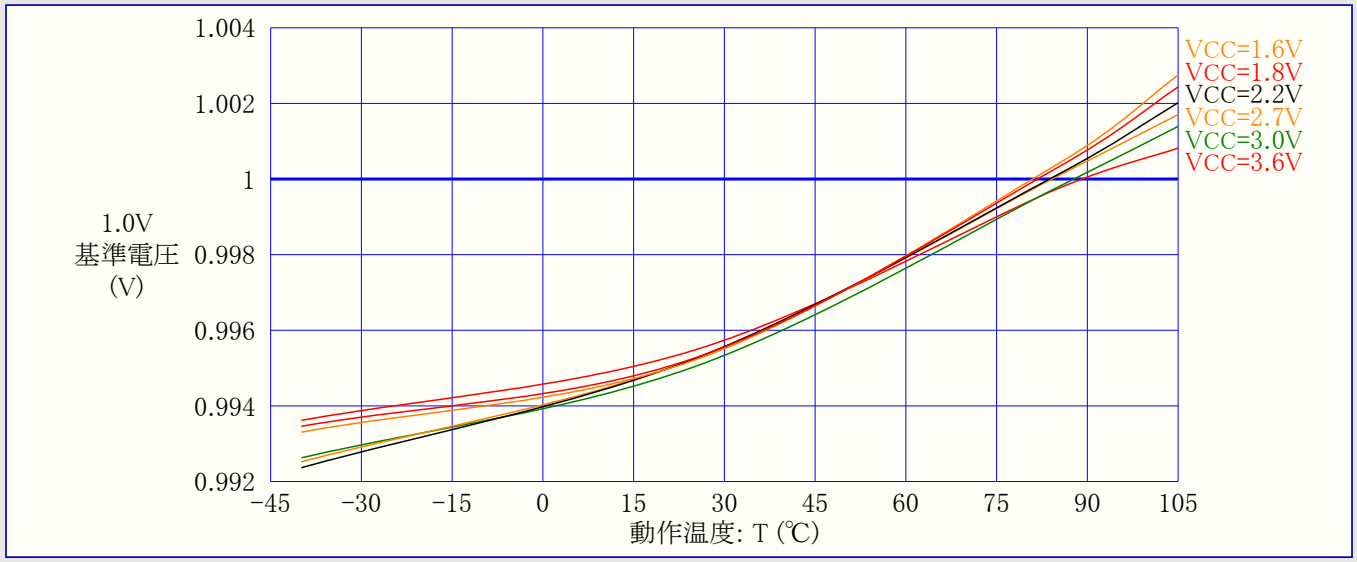


図37-226. 分圧器積分直線性(INL) 対 SCALEFAC (T=25℃、VCC=3.0V)



37.3.6. 内部1.0V基準電圧特性

図37-227. ADC/DAC内部1.0V基準電圧 対 動作温度



37.3.7. 低電圧検出器(BOD)特性

図37-228. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=1.6V)

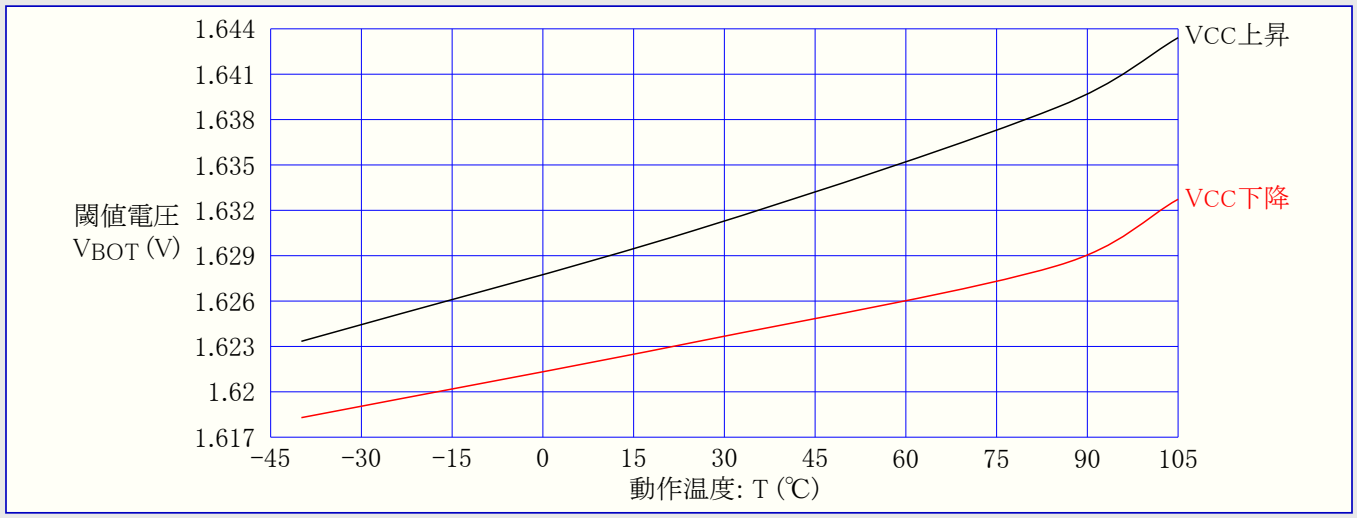
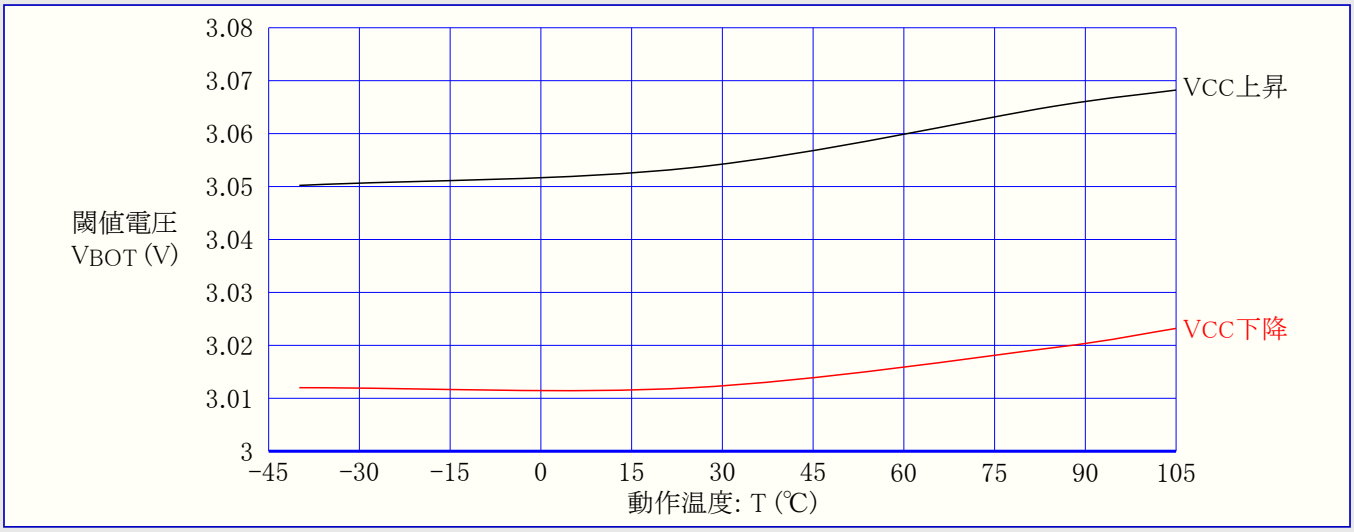


図37-229. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=3.0V)



37.3.8. 外部リセット特性

図37-230. 最小ﾘｾｯﾄ ﾊﾟﾙｽ幅 対 動作電圧

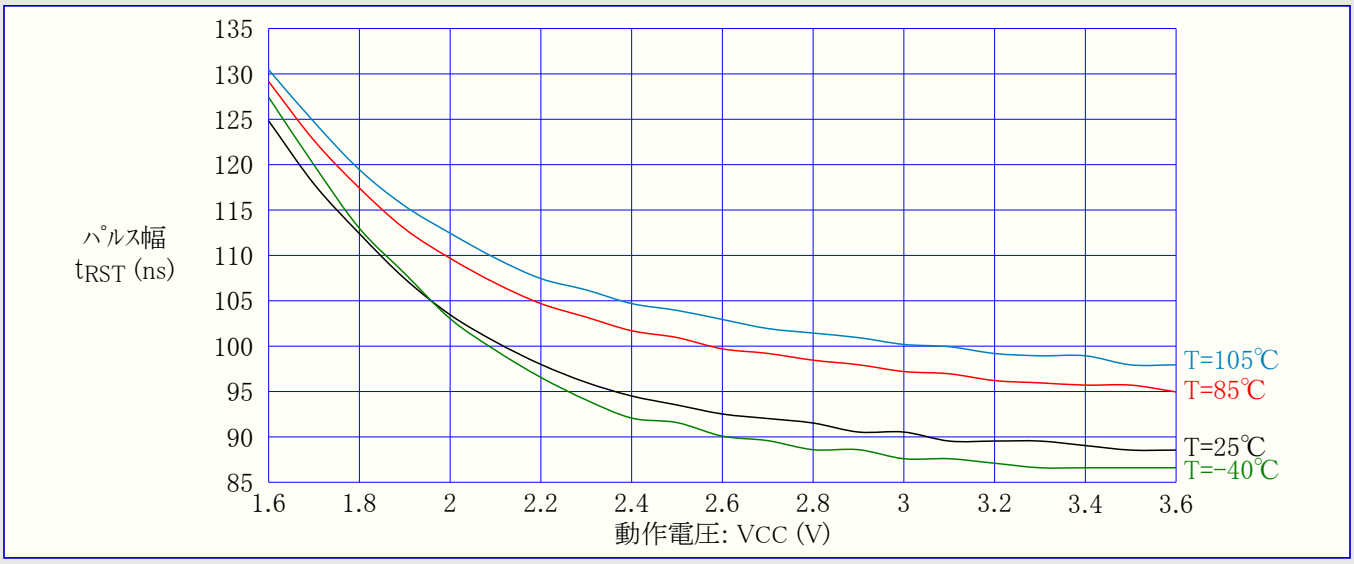


図37-231. ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 RESETﾋﾟﾝ入力電圧 (VCC=1.8V)

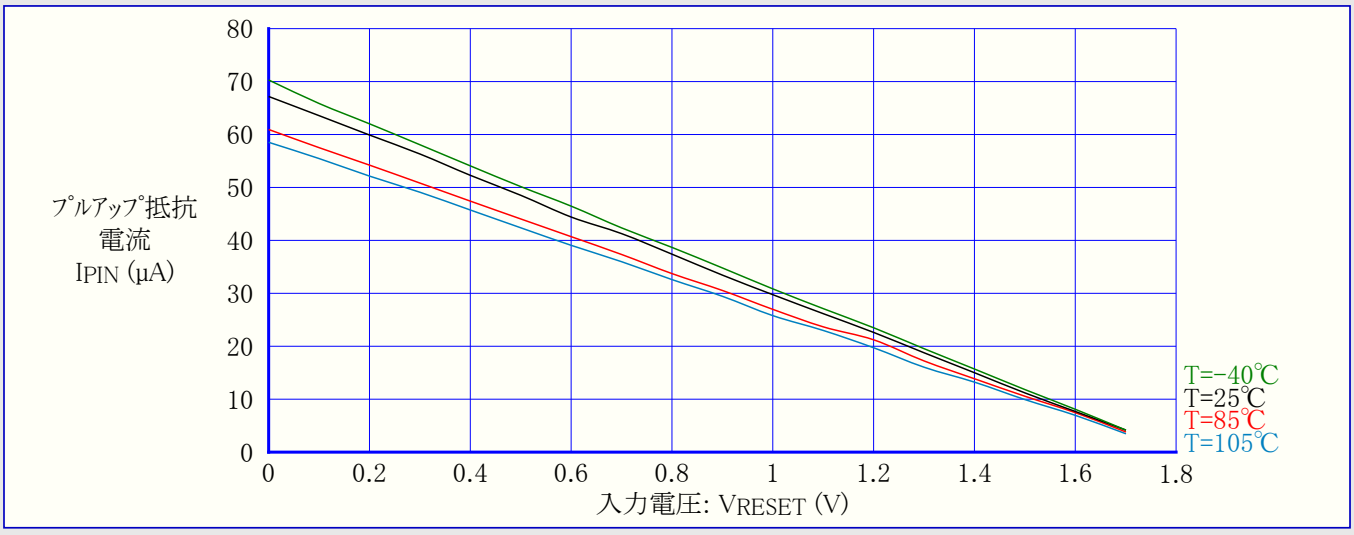


図37-232. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

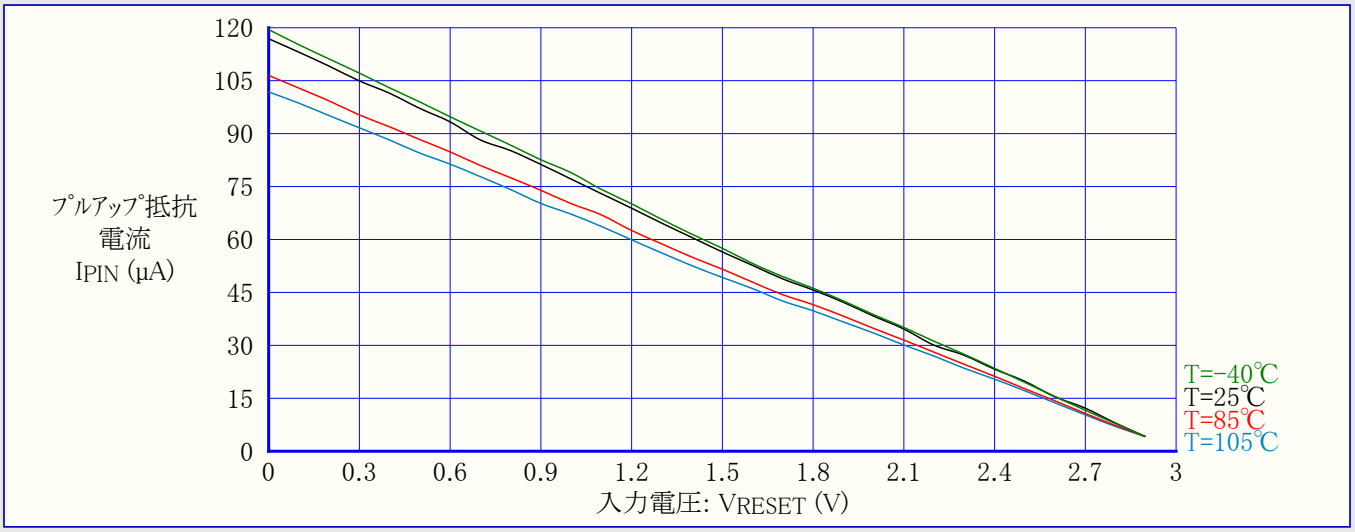


図37-233. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

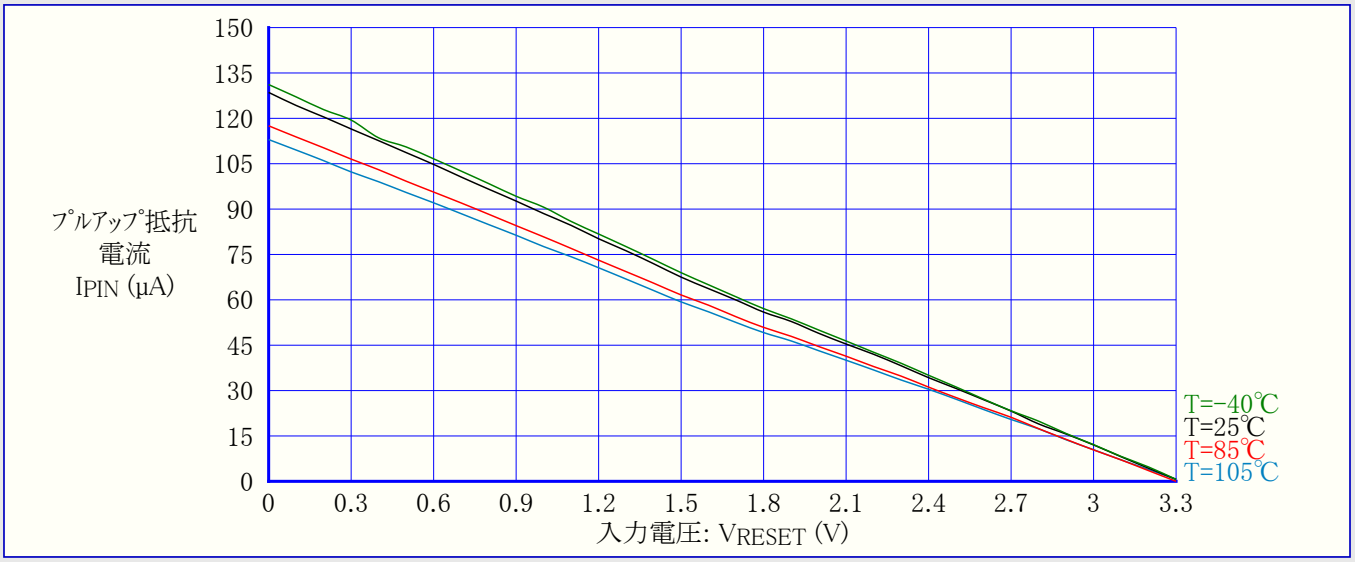


図37-234. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)

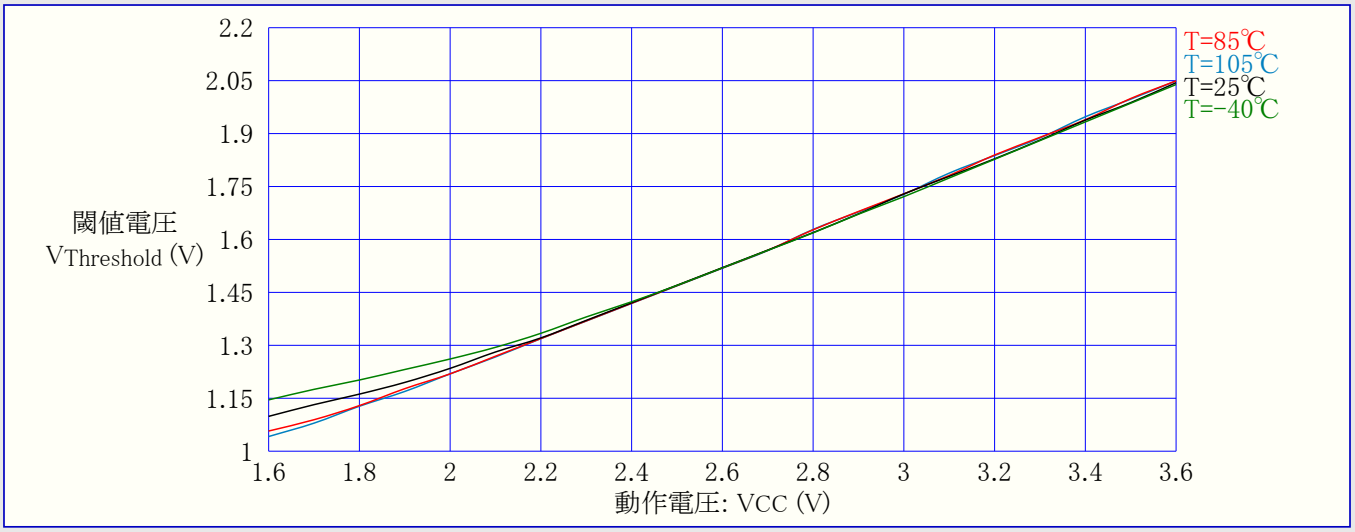
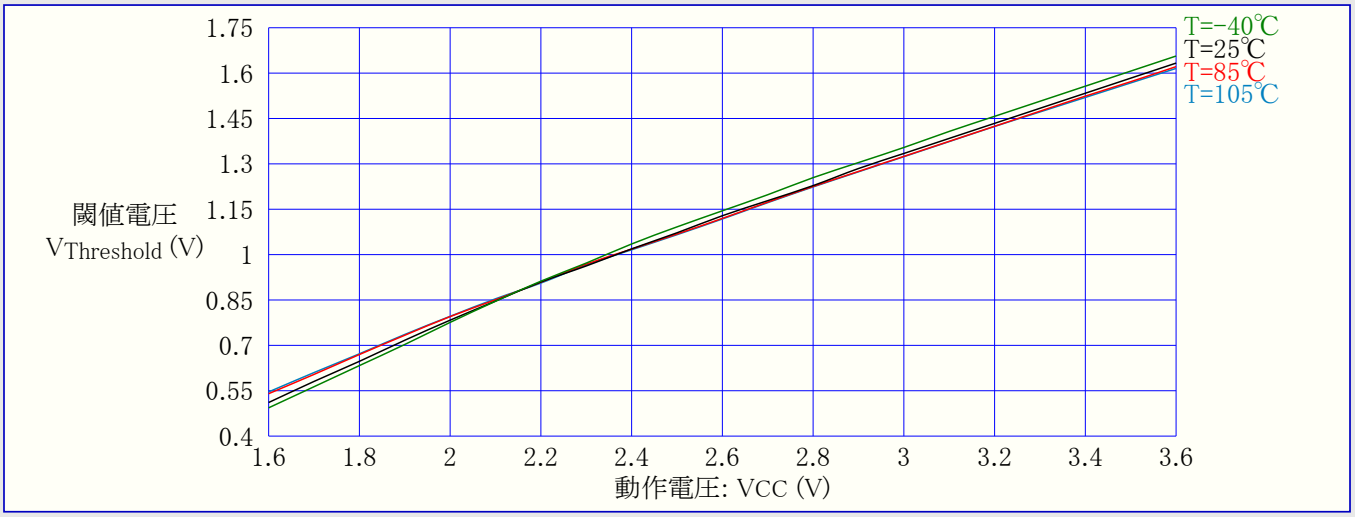


図37-235. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)



37.3.9. 電源ONリセット特性

図37-236. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)

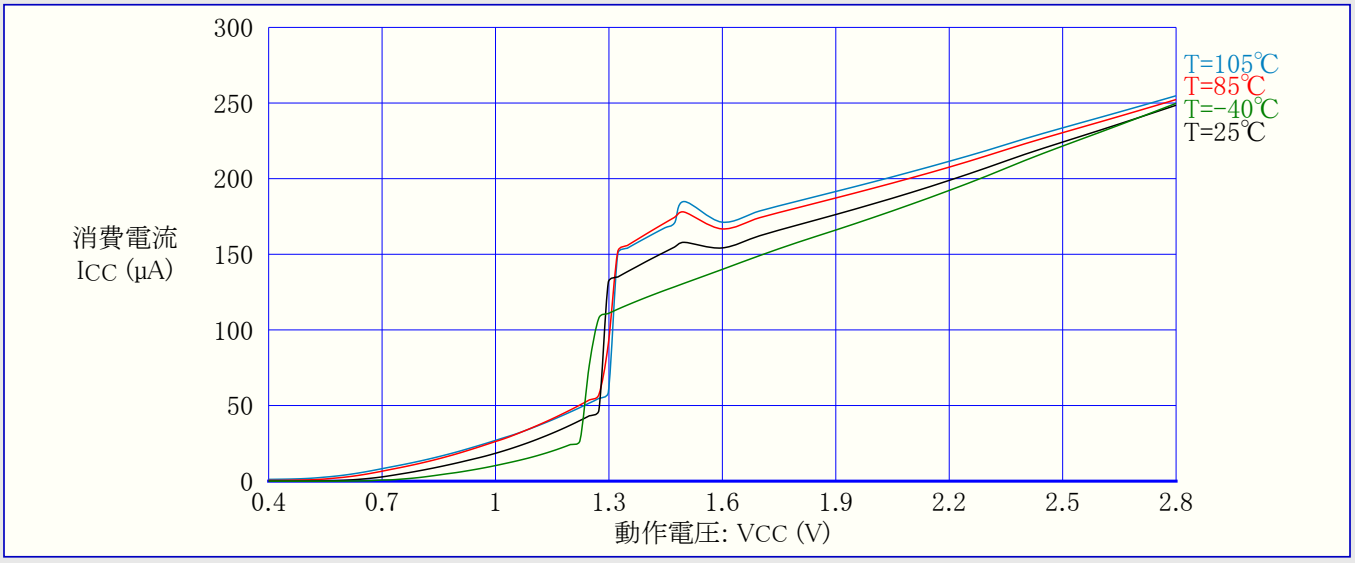
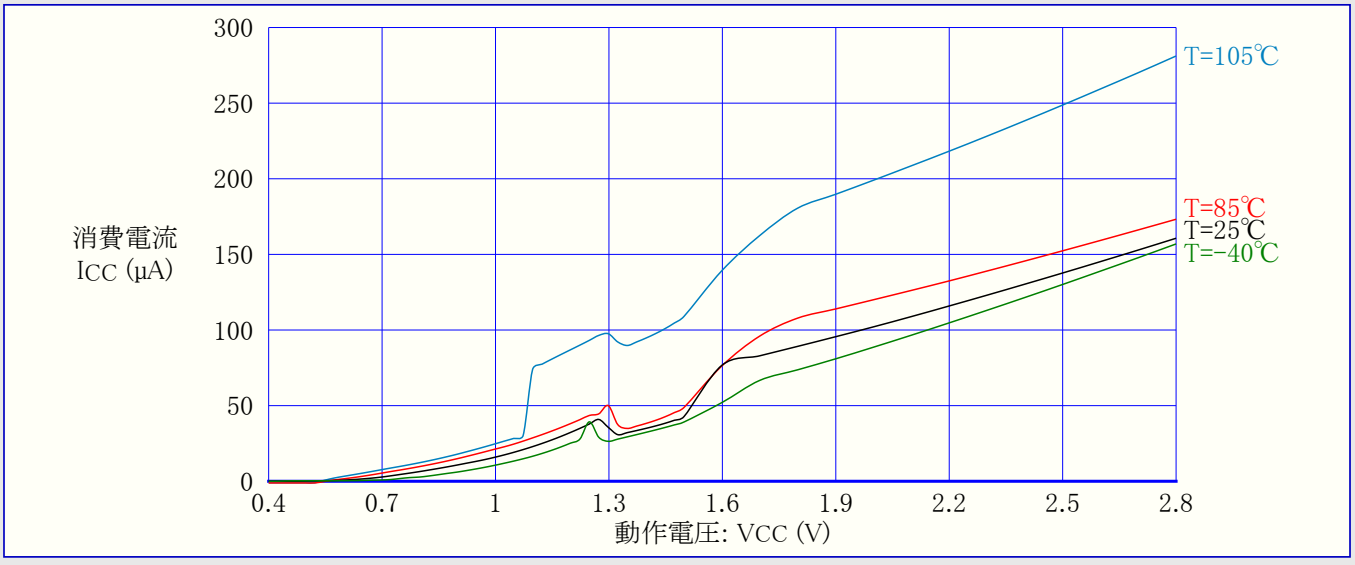


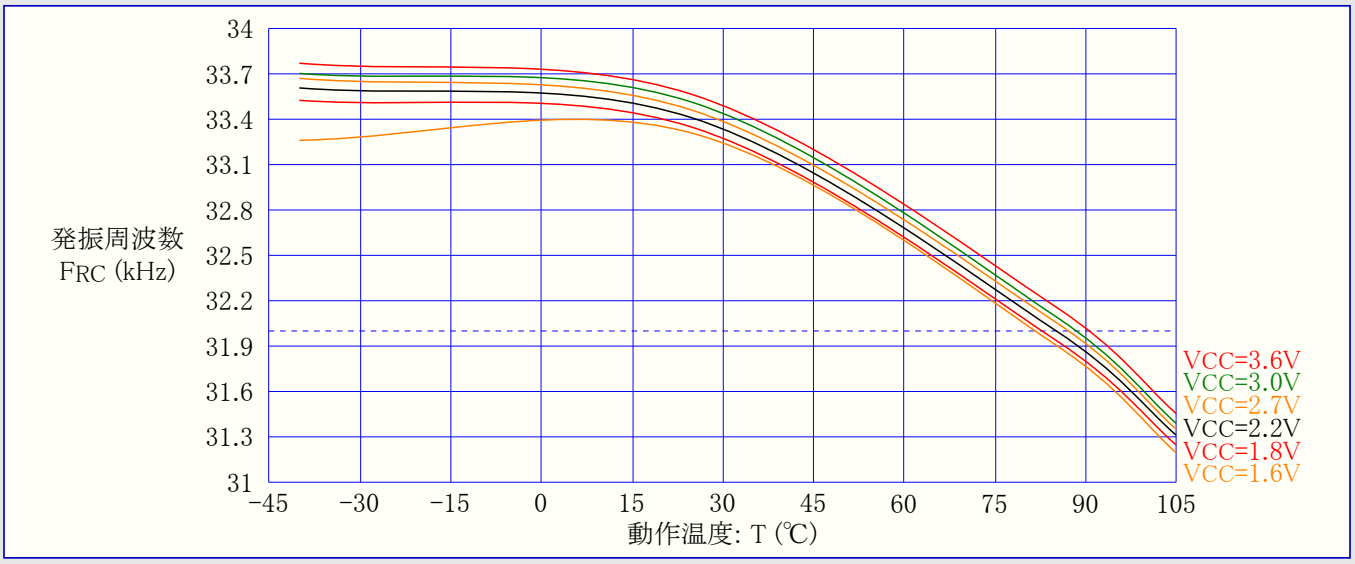
図37-237. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの採取動作で許可)



37.3.10. 発振器特性

37.3.10.1. 超低電力内部発振器

図37-238. 超低電力内部発振器周波数 対 動作温度



37.3.10.2. 32.768kHz内部発振器

図37-239. 32.768kHz内部発振器周波数 対 動作温度

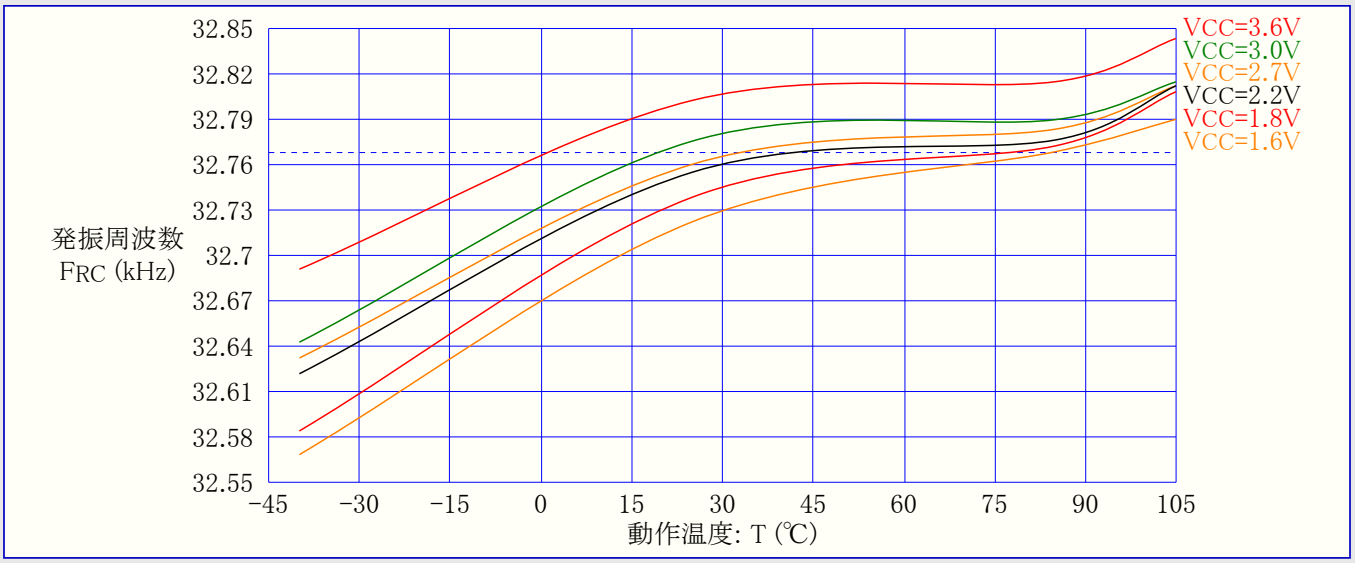
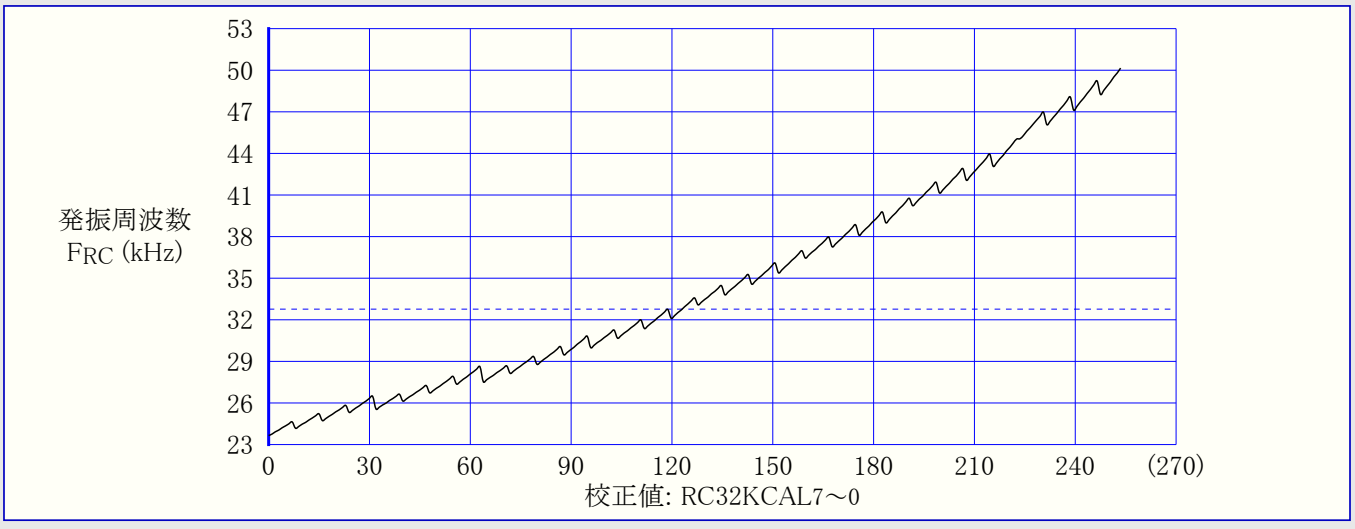


図37-240. 32.768kHz内部発振器周波数 対 校正値 (T=25℃、VCC=3.0V)



37.3.10.3. 2MHz内部発振器

図37-241. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

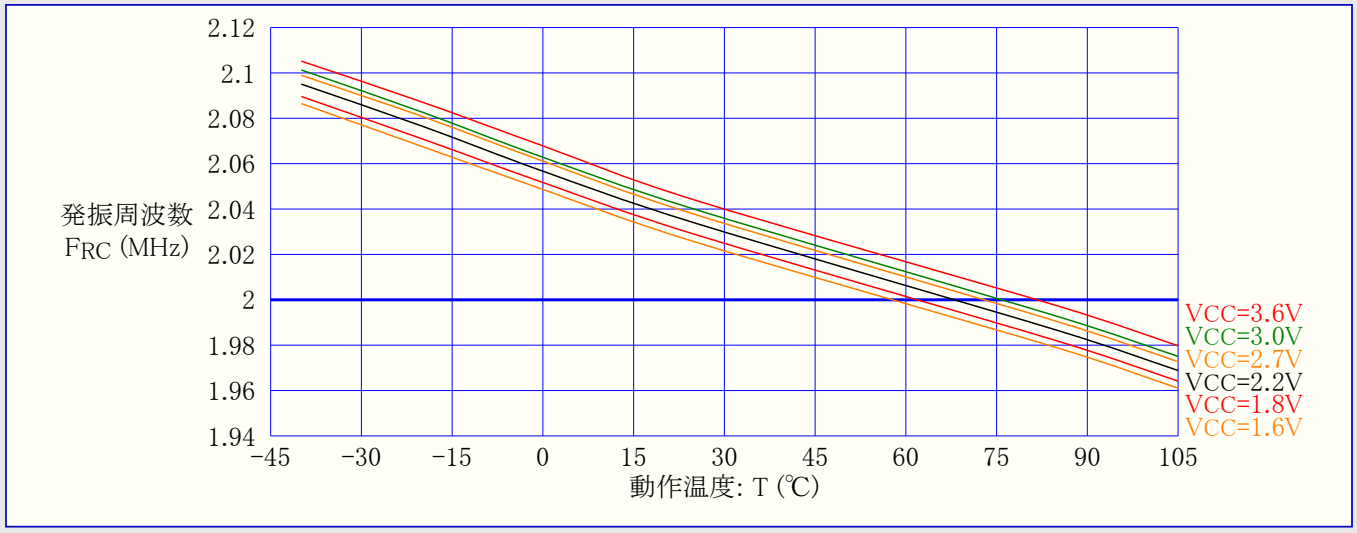


図37-242. 2MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

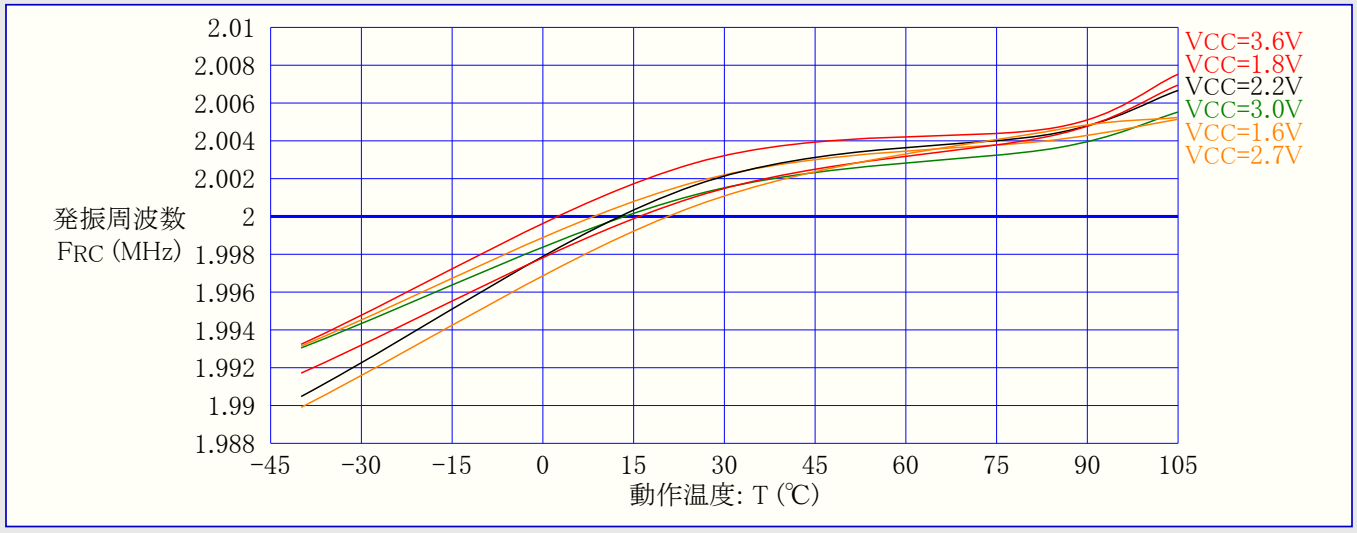
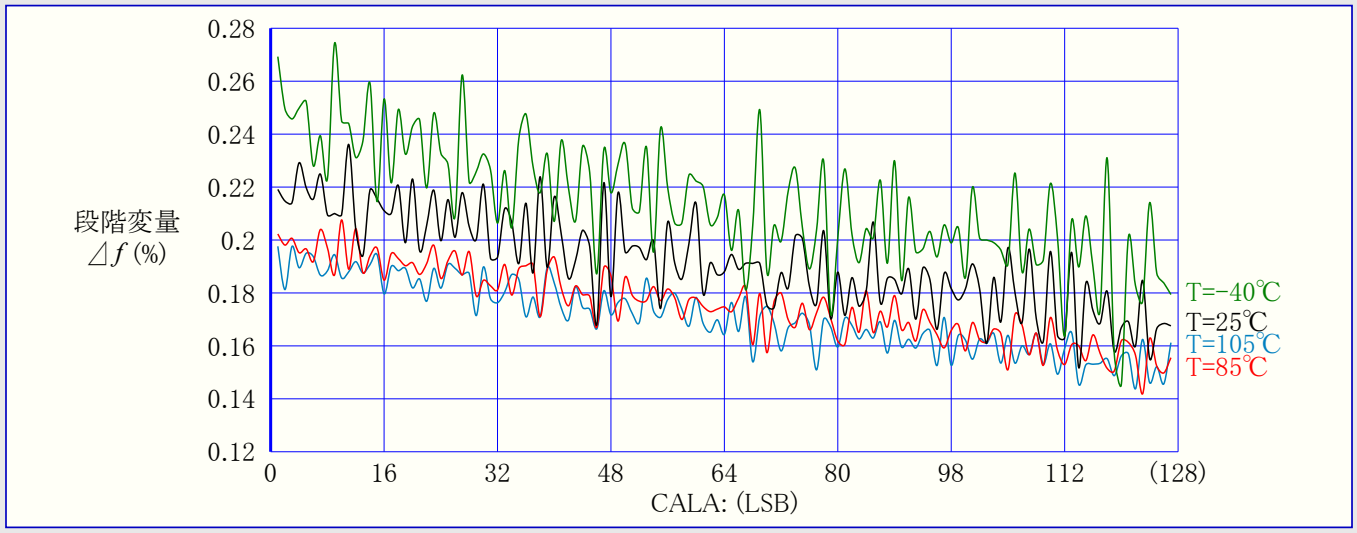


図37-243. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)



37.3.10.4. 32MHz内部発振器

図37-244. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

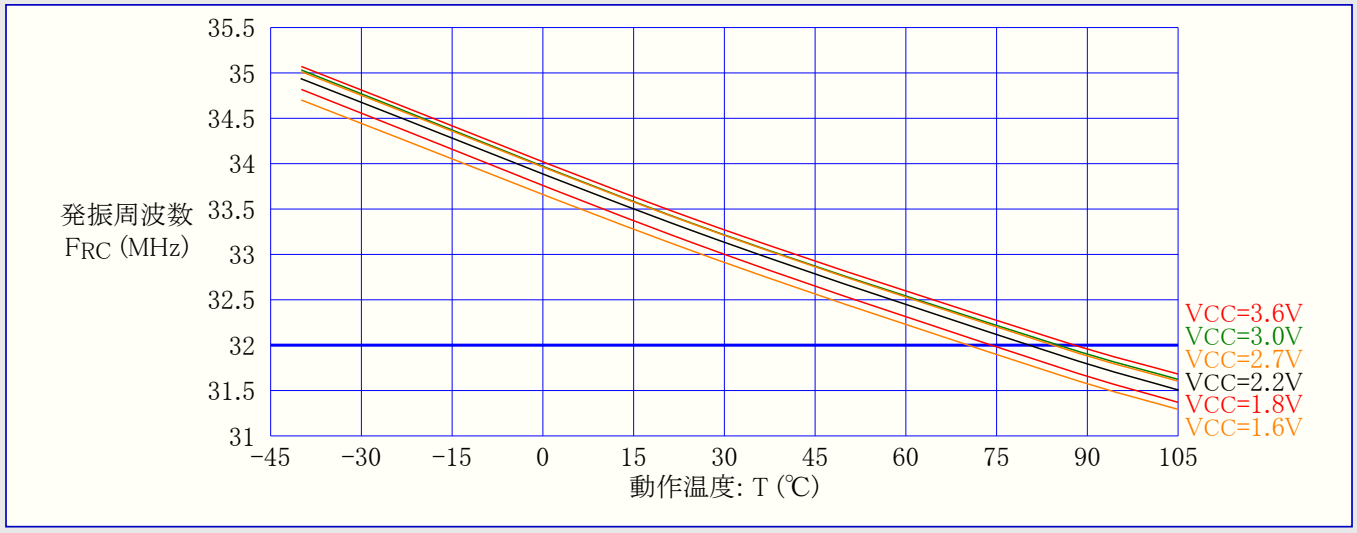


図37-245. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

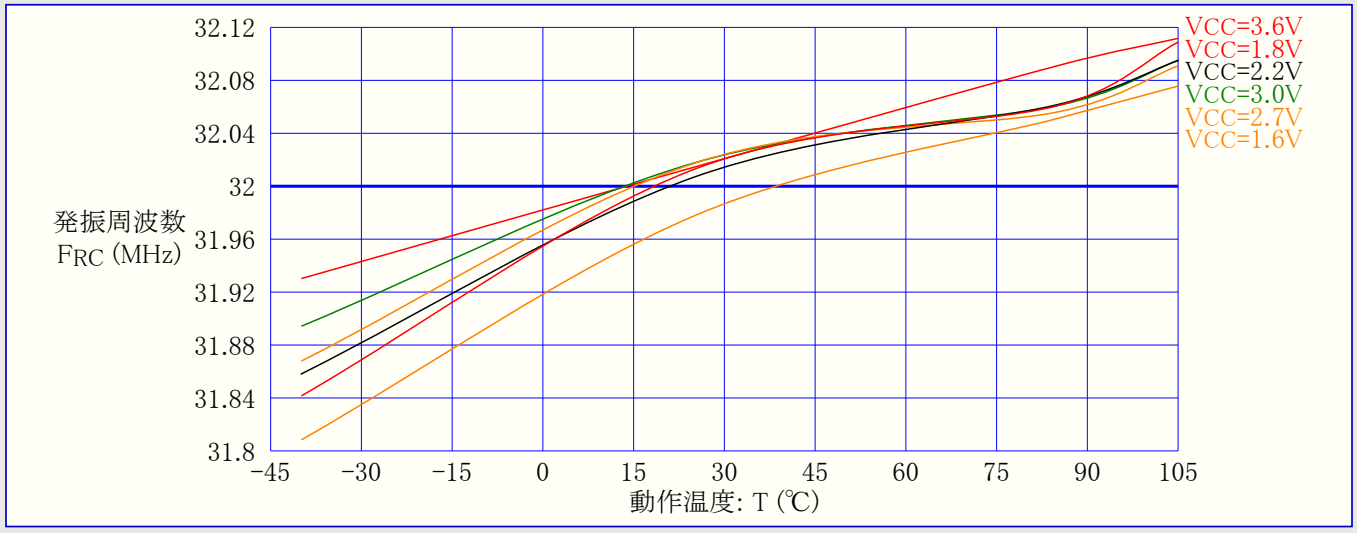


図37-246. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

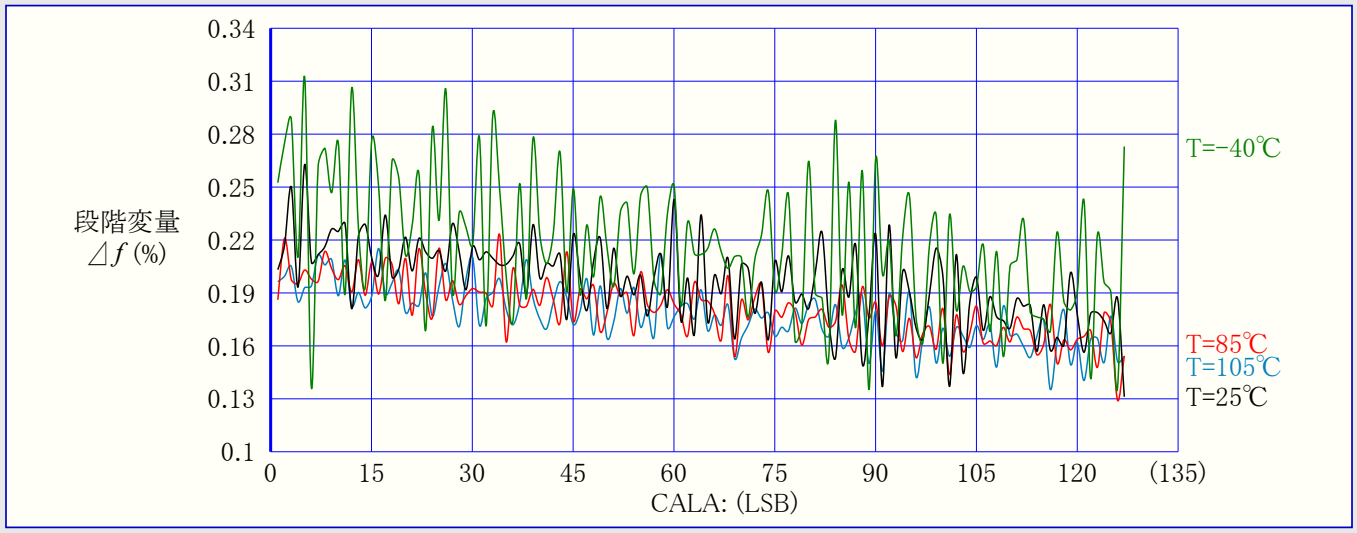
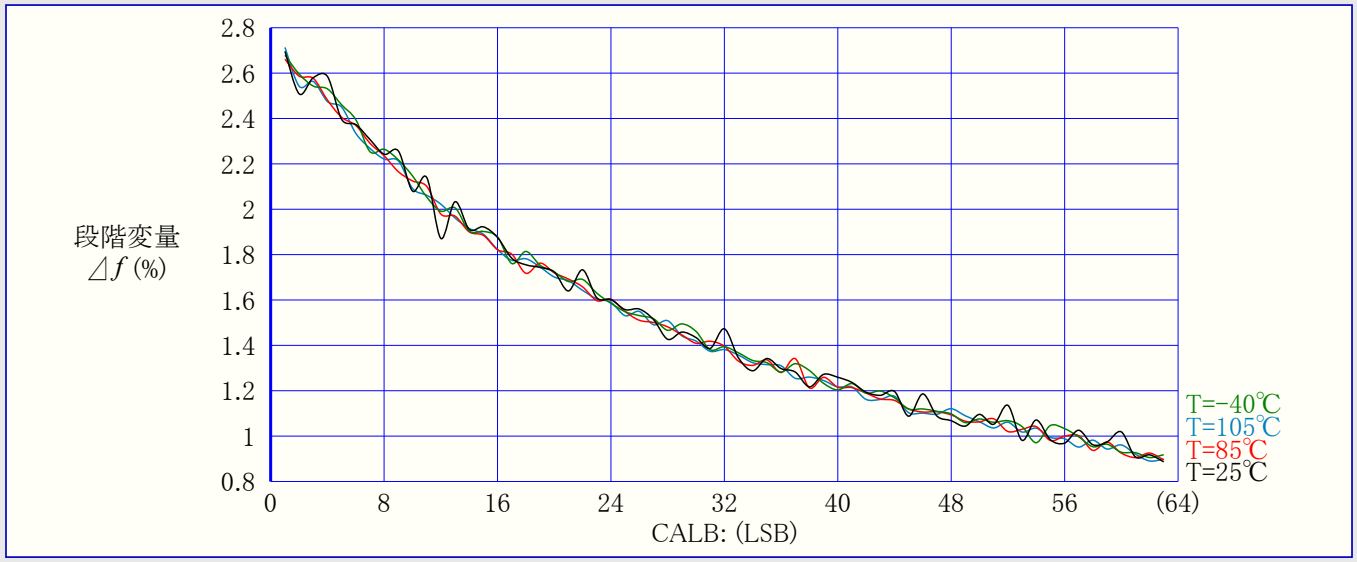


図37-247. 32MHz内部発振器CALB校正段階変量 (VCC=3.0V)



37.3.10.5. 48MHzに校正された32MHz内部発振器

図37-248. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

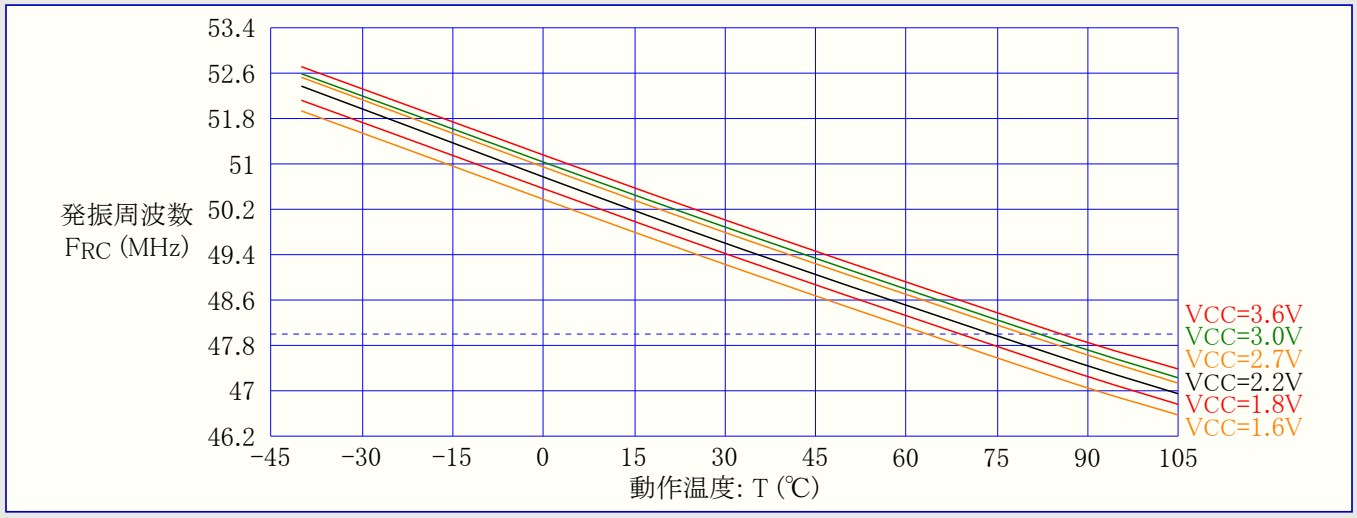


図37-249. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

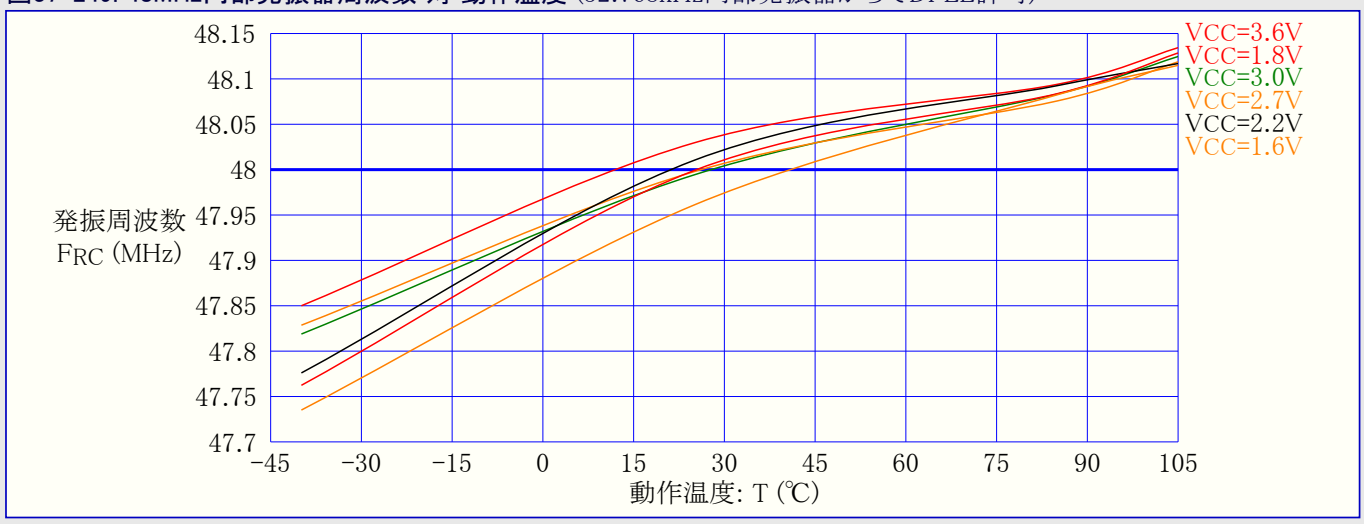
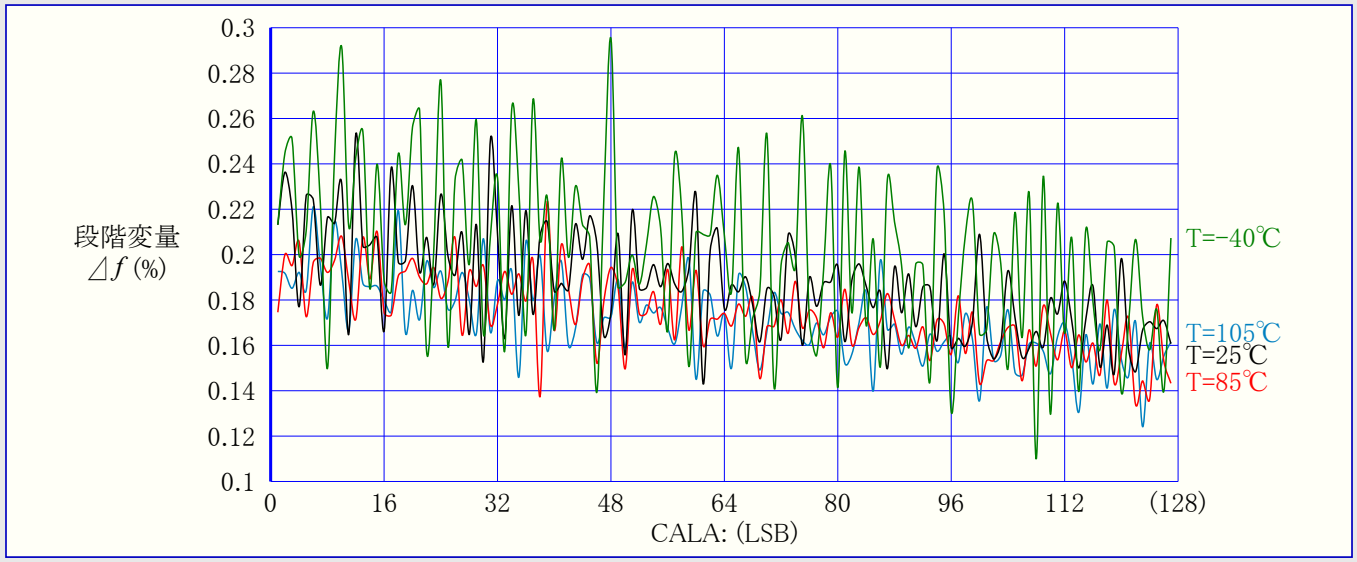
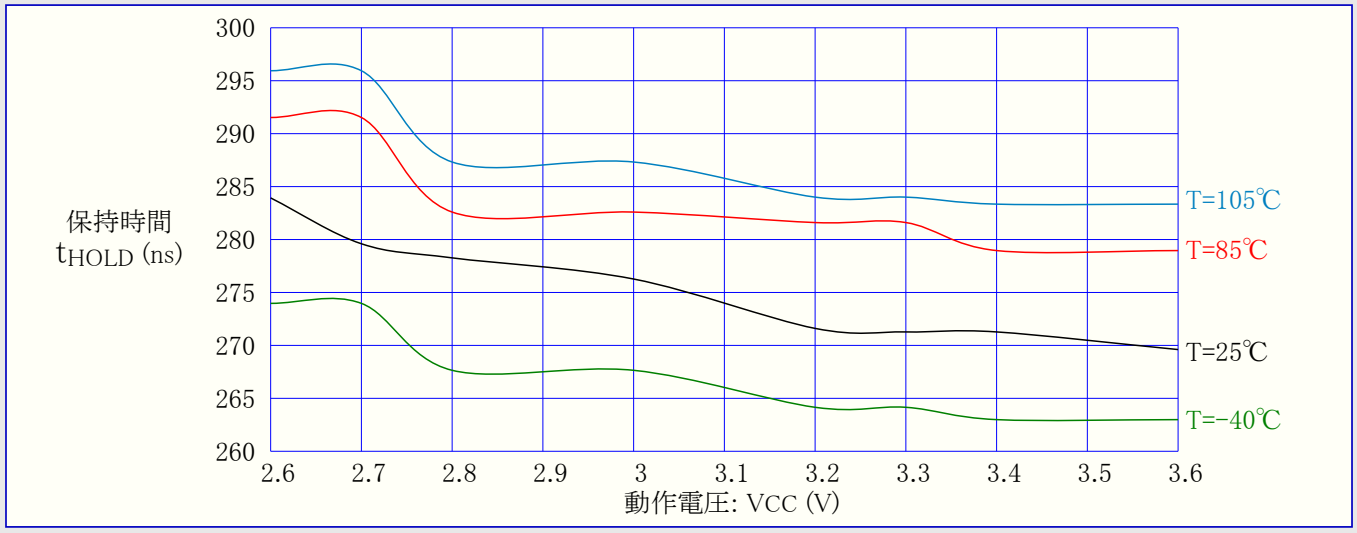


図37-250. 48MHz内部発振器CALA校正段階変量 (VCC=3.0V)



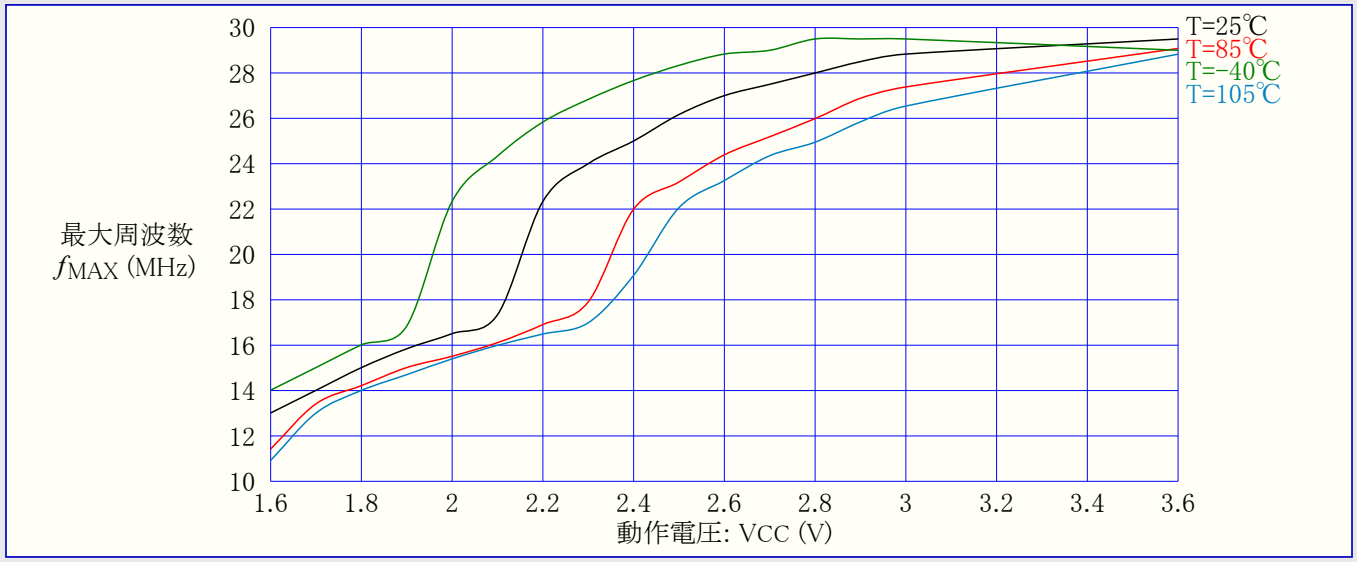
37.3.11. 2線インターフェース特性

図37-251. SDA保持時間 対 動作電圧



37.3.12. PDI特性

図37-252. 最大PDI周波数 対 動作電圧



37.4. ATxmega128A4U

37.4.1. 消費電流

37.4.1.1. 活動動作消費電流

図37-253. 活動動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部クロック,T=25℃)

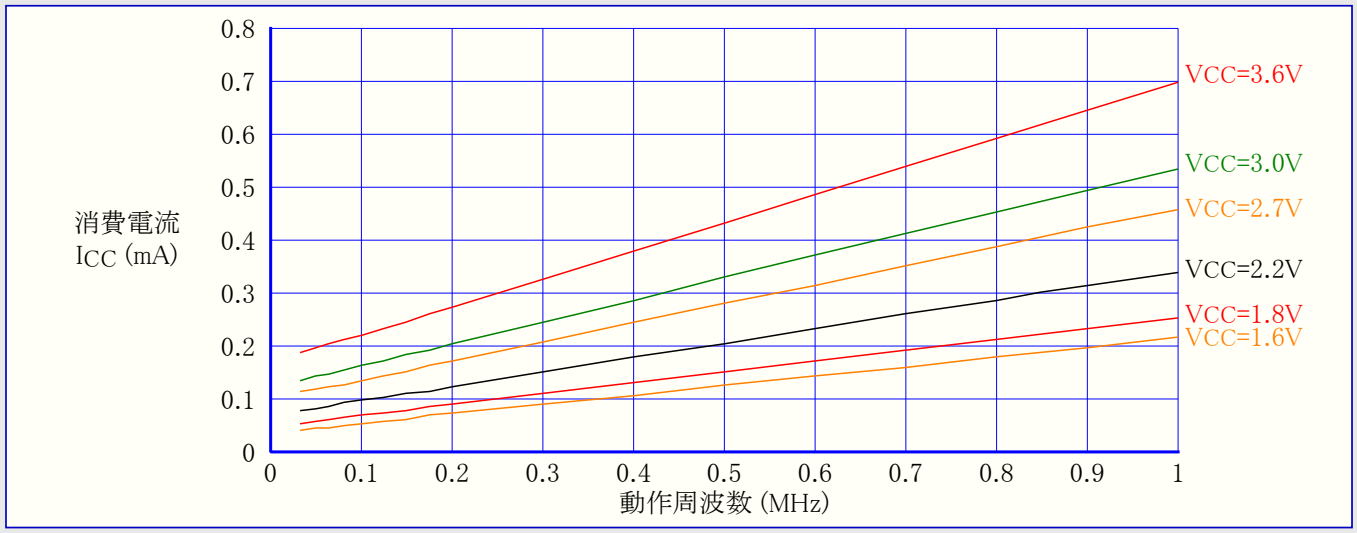


図37-254. 活動動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部クロック,T=25℃)

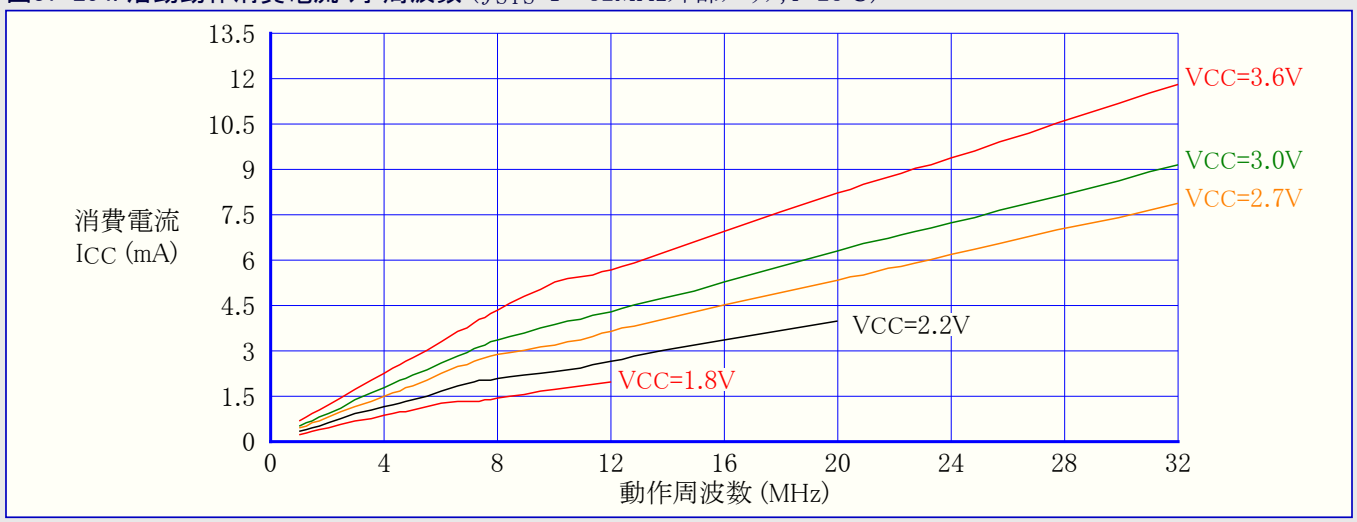


図37-255 活動動作消費電流 対 動作電圧 (f_{SYS}=32.768kHz内部発振器)

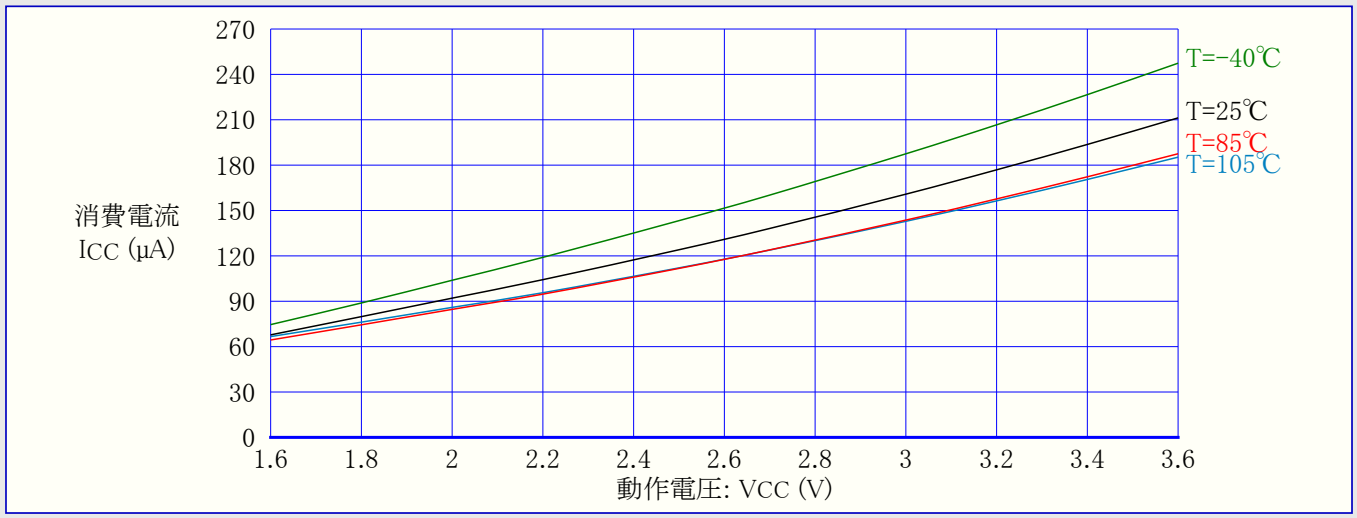


図37-256. 活動動作消費電流 対 動作電圧 (f_{SYS}=1MHz外部クロック)

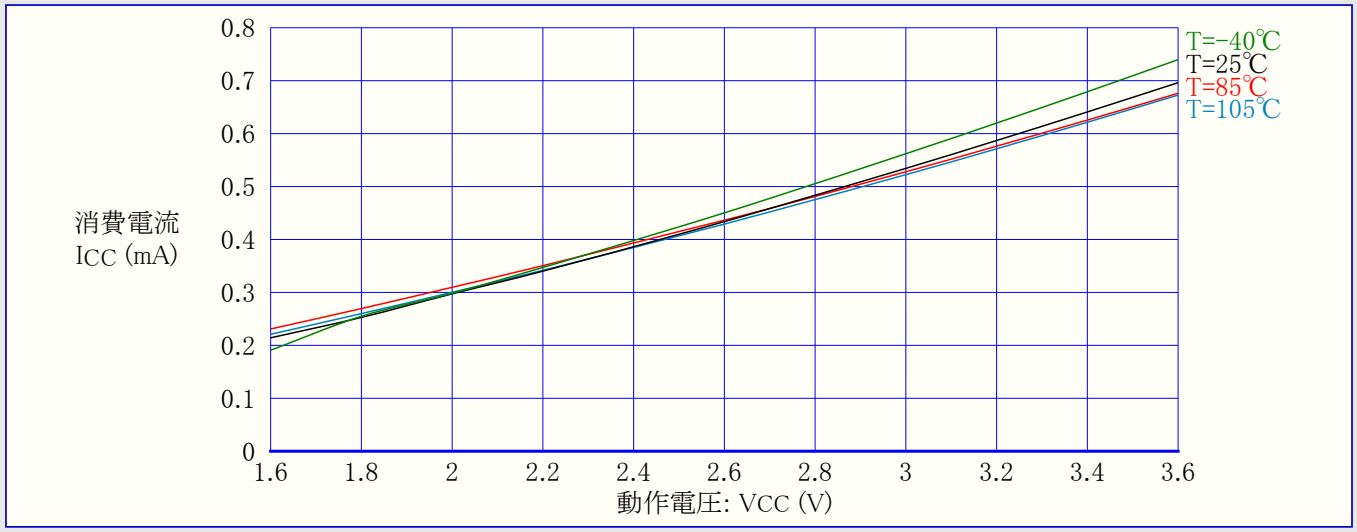


図37-257. 活動動作消費電流 対 動作電圧 (f_{SYS}=2MHz内部発振器)

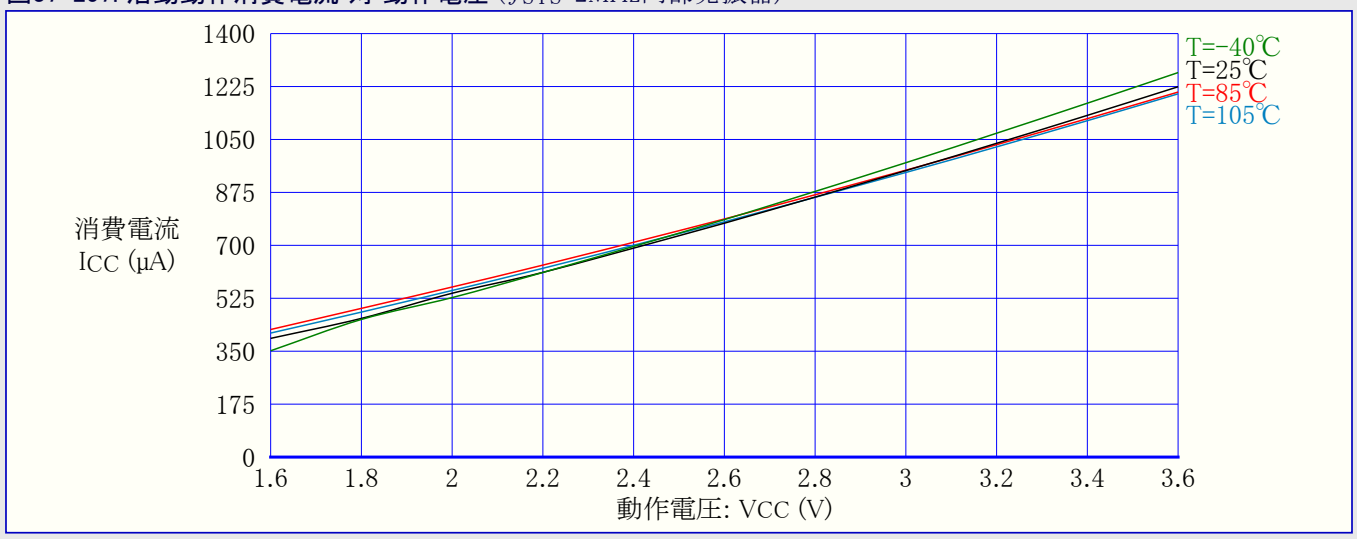
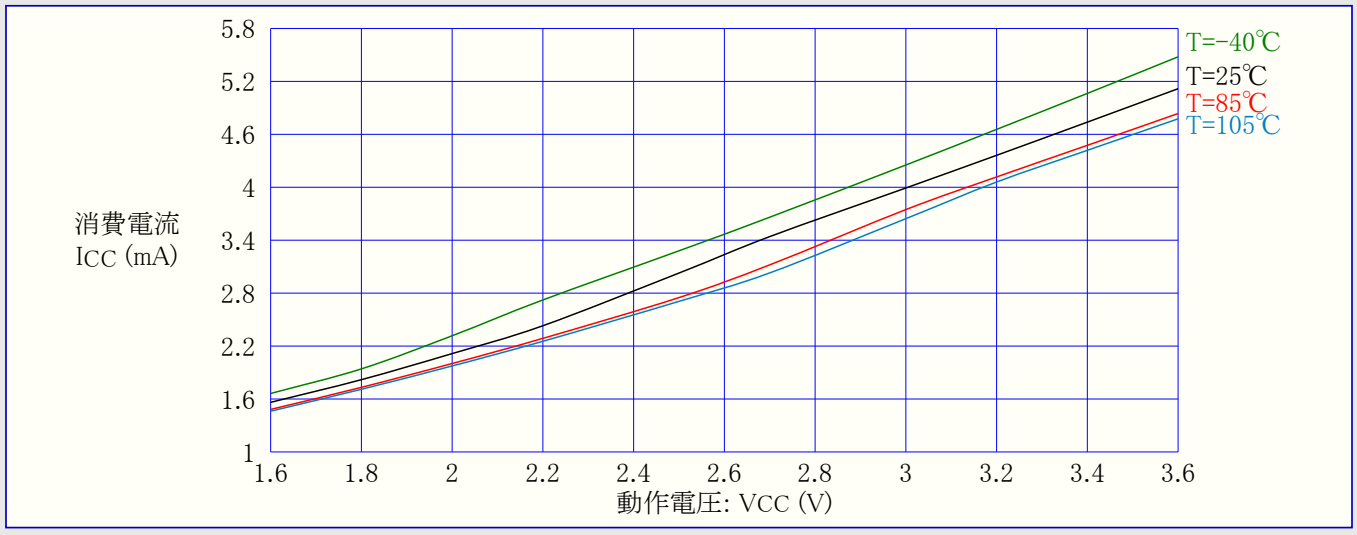
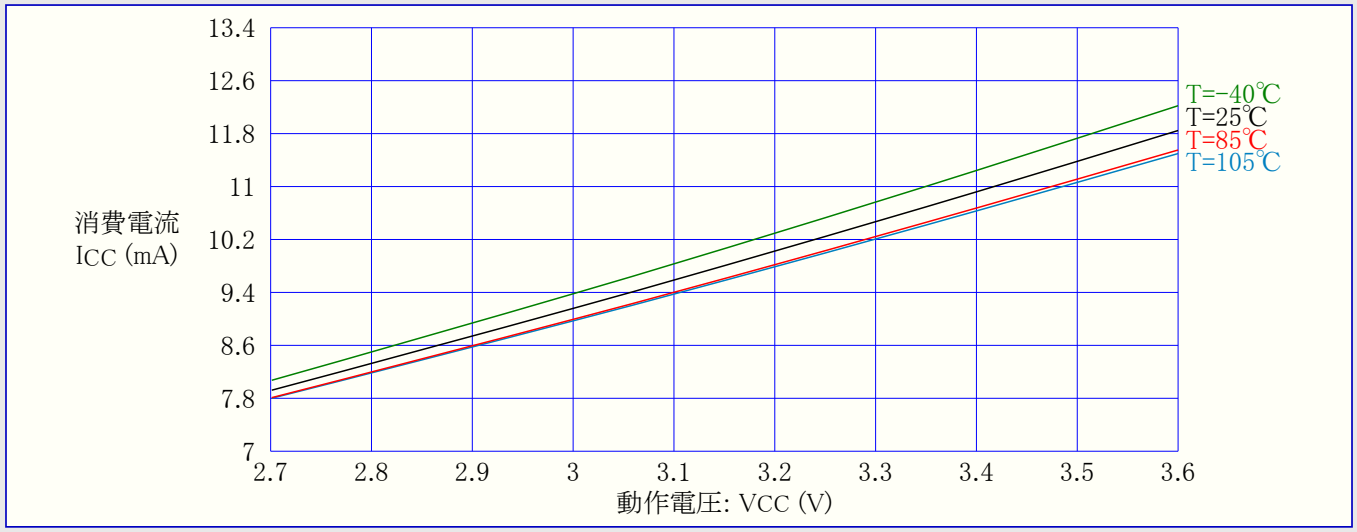


図37-258. 活動動作消費電流 対 動作電圧 (f_{SYS}=8MHzに前置分周した32MHz内部発振器)



© 2011-2020 Microchip Technology Inc.

図37-259. 活動動作消費電流 対 動作電圧 (f_{SYS}=32MHz内部発振器)



37.4.1.2. ｱｲﾄﾞﾙ動作消費電流

図37-260. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (f_{SYS}=0～1.0MHz外部ｸﾛｯｸ,T=25℃)

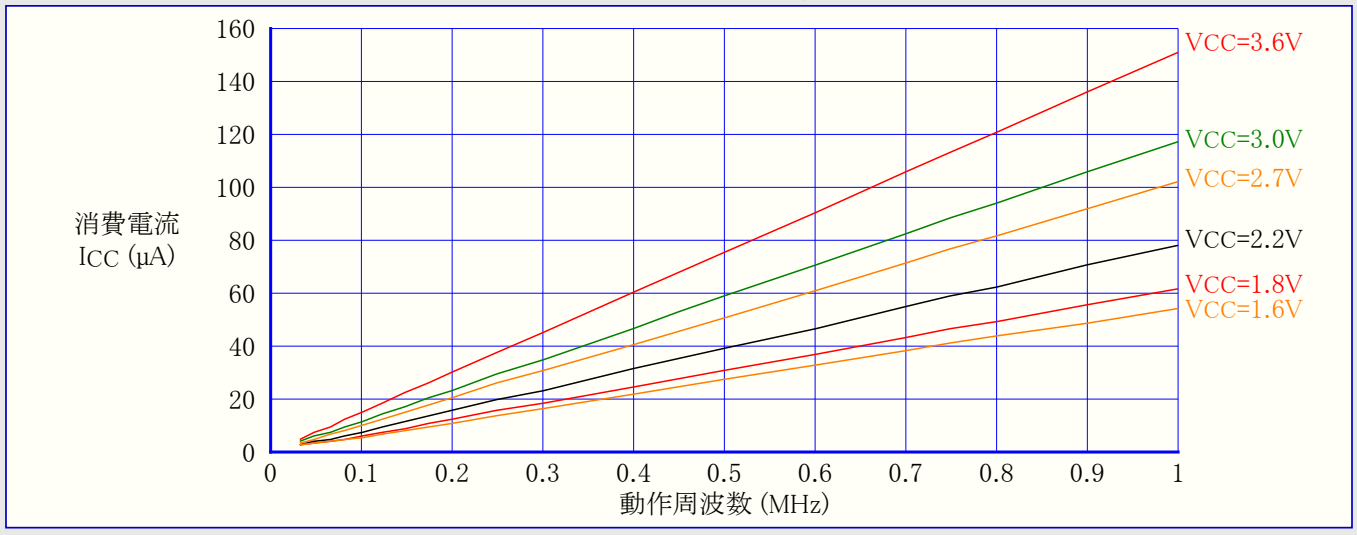


図37-261. ｱｲﾄﾞﾙ動作消費電流 対 周波数 (f_{SYS}=1～32MHz外部ｸﾛｯｸ,T=25℃)

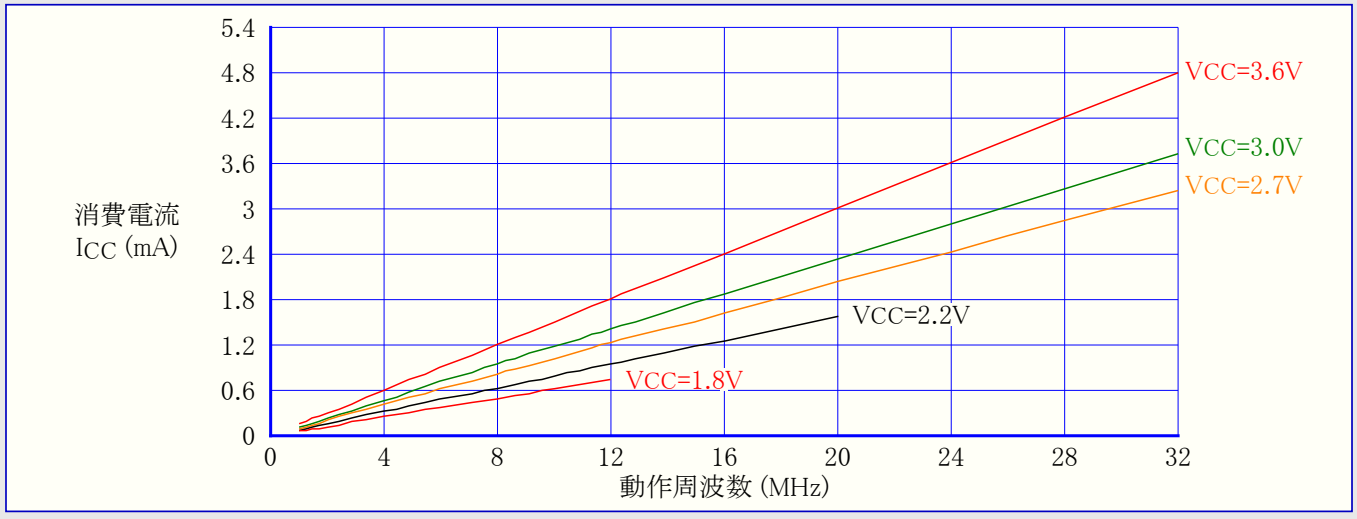


図37-262. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32.768kHz内部発振器)

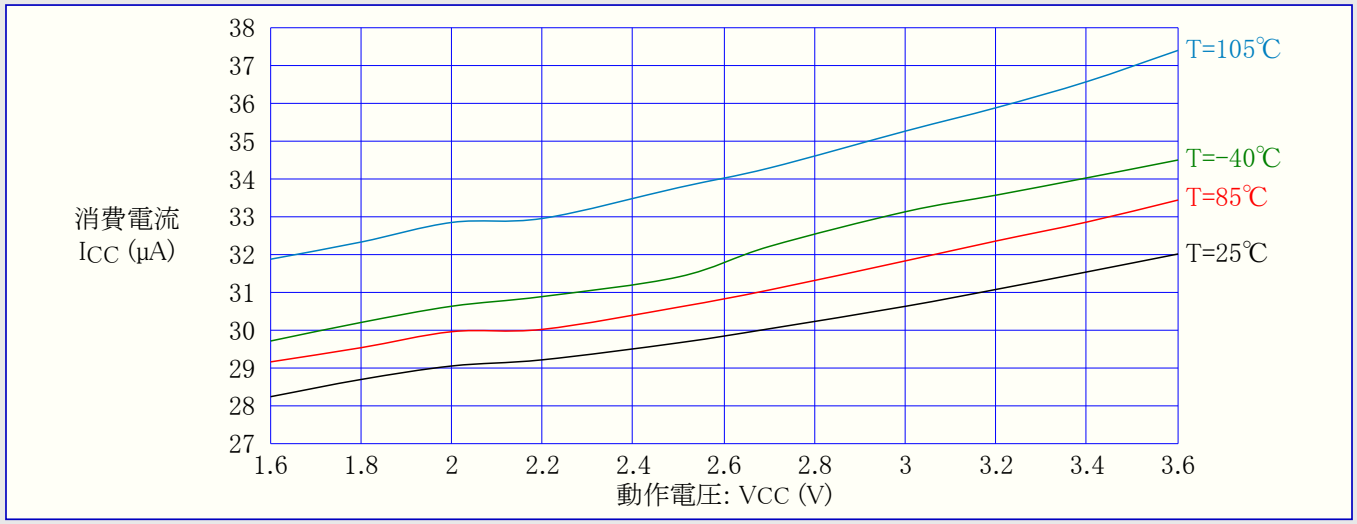


図37-263. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=1MHz外部ｸﾛｯｸ)

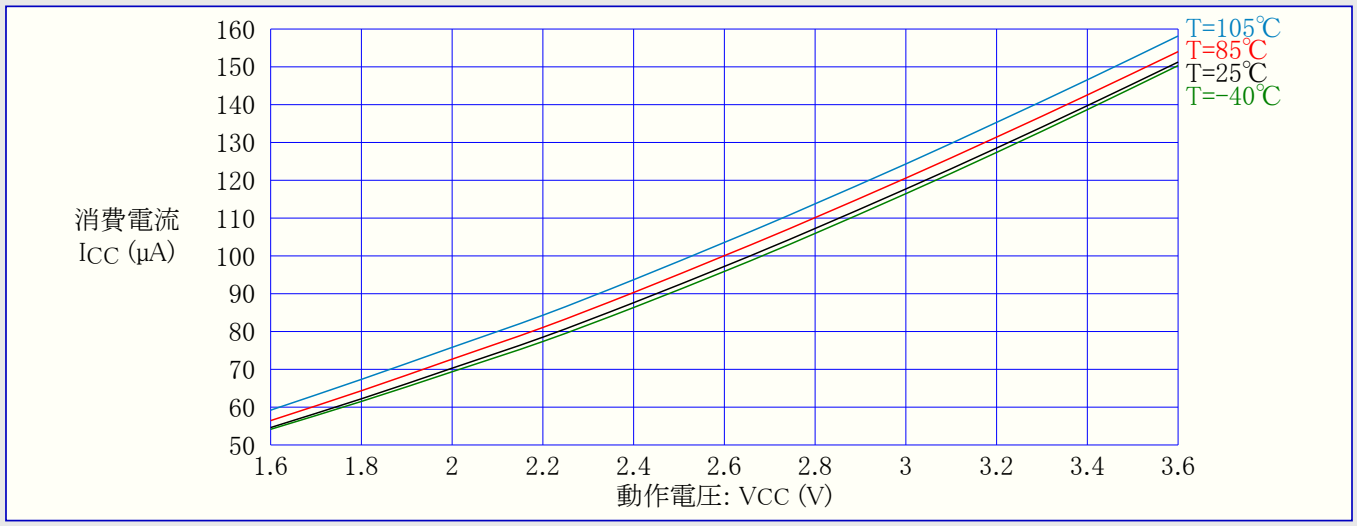


図37-264. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=2MHz内部発振器)

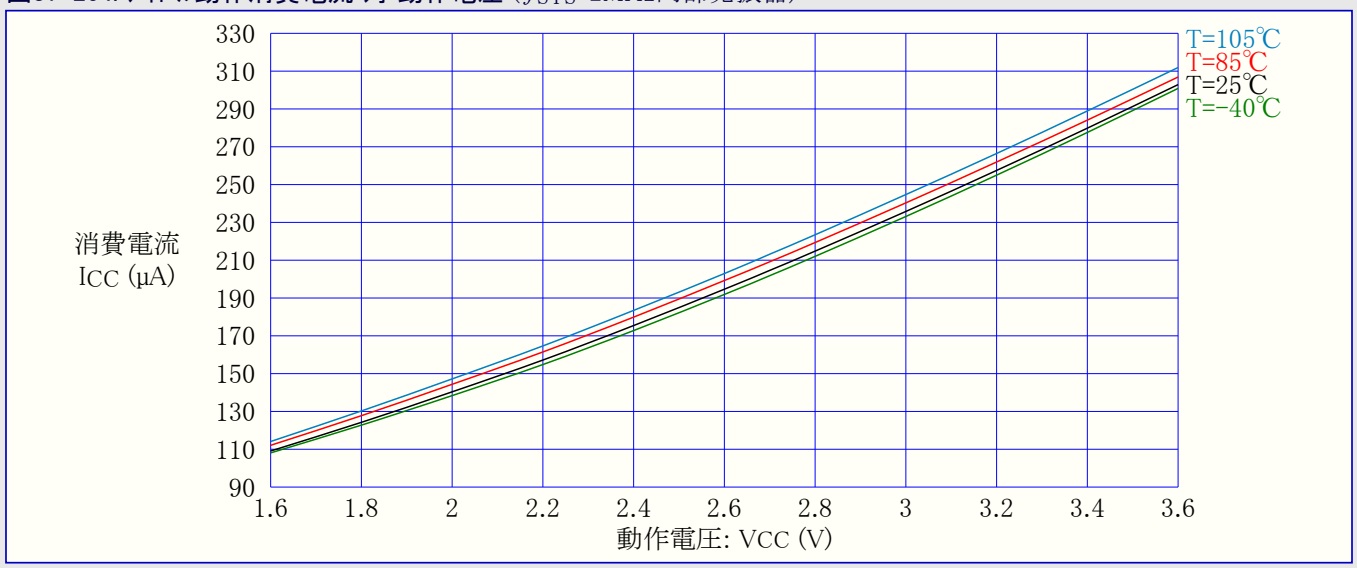


図37-265. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=8MHzへ前置分周された32MHz内部発振器)

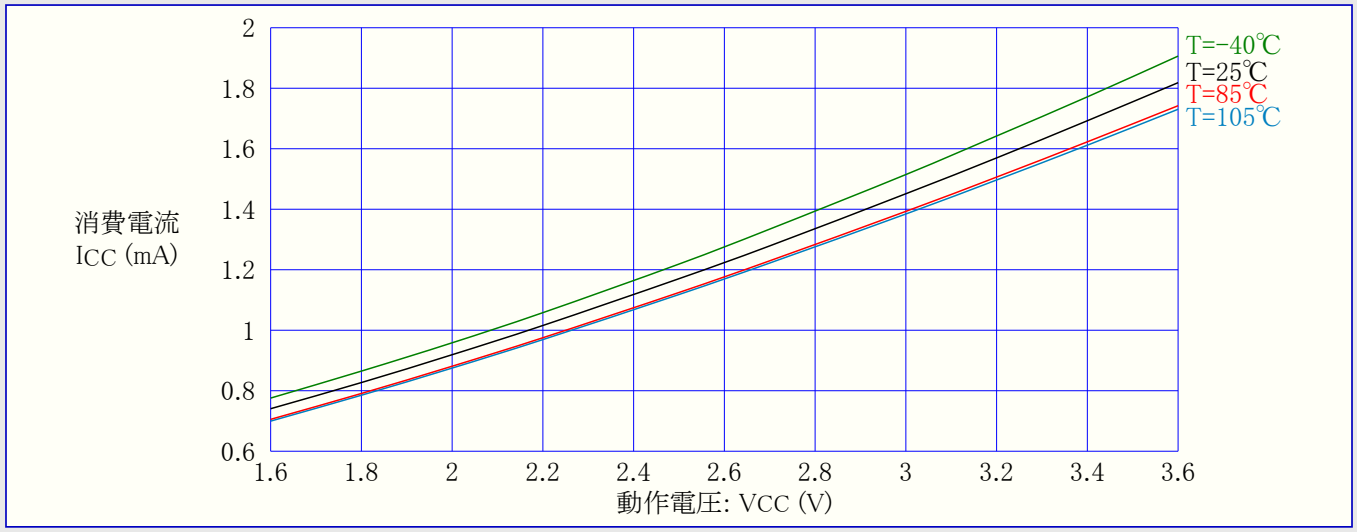
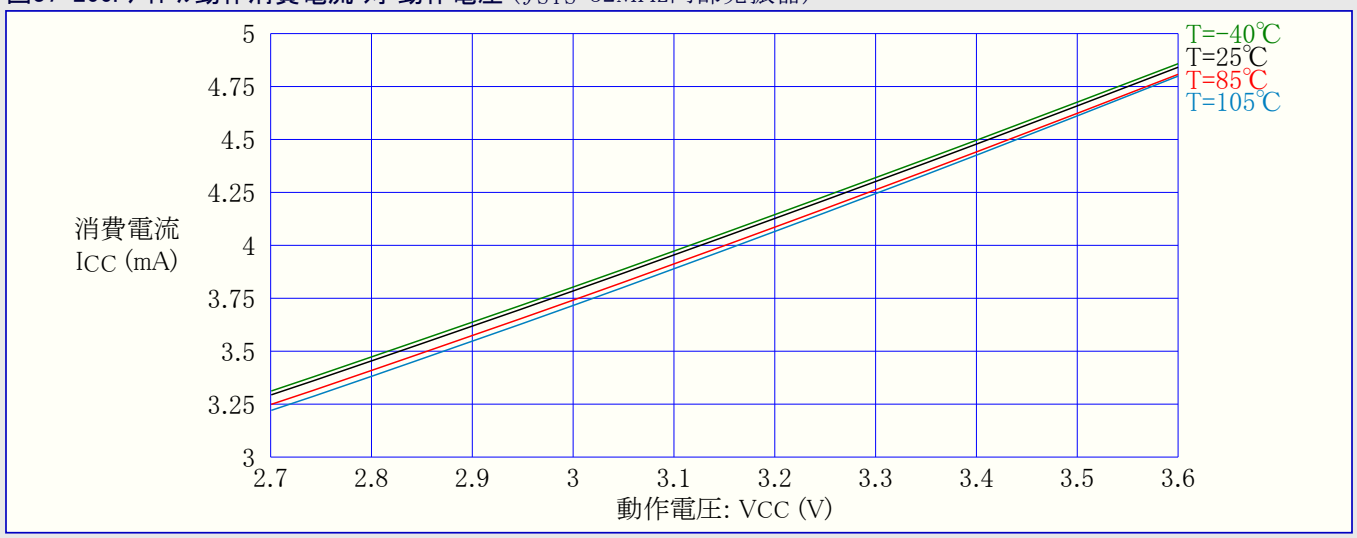
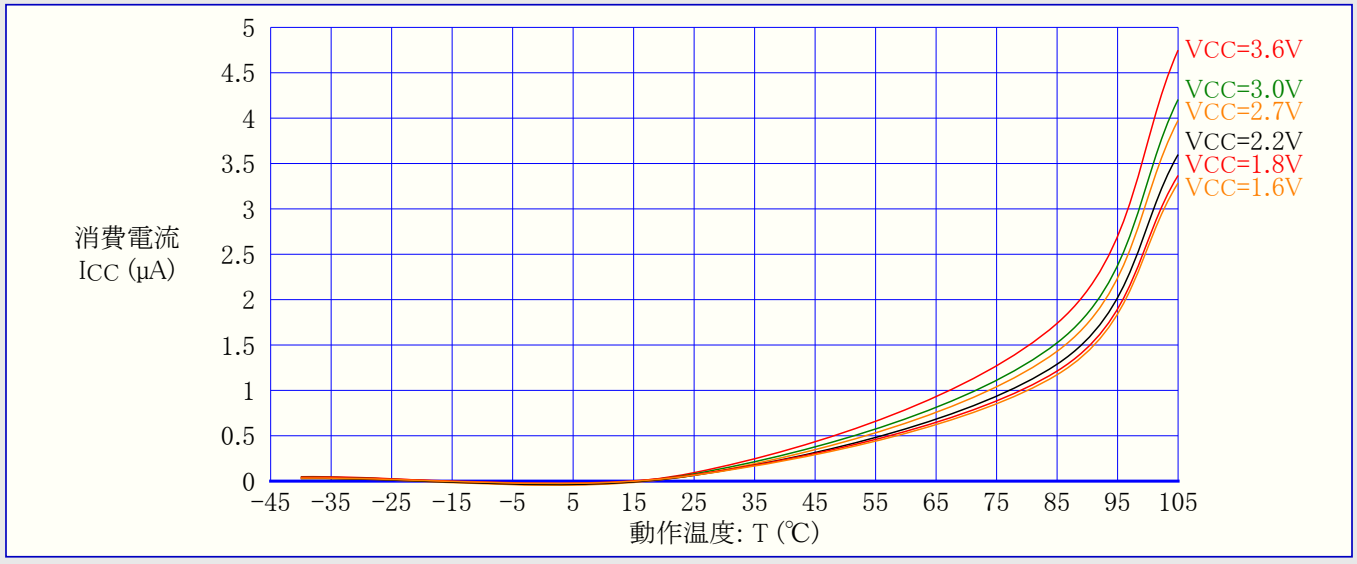


図37-266. ｱｲﾄﾞﾙ動作消費電流 対 動作電圧 (*f*SYS=32MHz内部発振器)



37.4.1.3. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流

図37-267. ﾊﾟﾜｰﾀﾞｳﾝ動作消費電流 対 動作温度 (全機能禁止)



© 2011-2020 Microchip Technology Inc.

図37-268. パワーダウン動作消費電流 対 動作電圧 (全機能禁止)

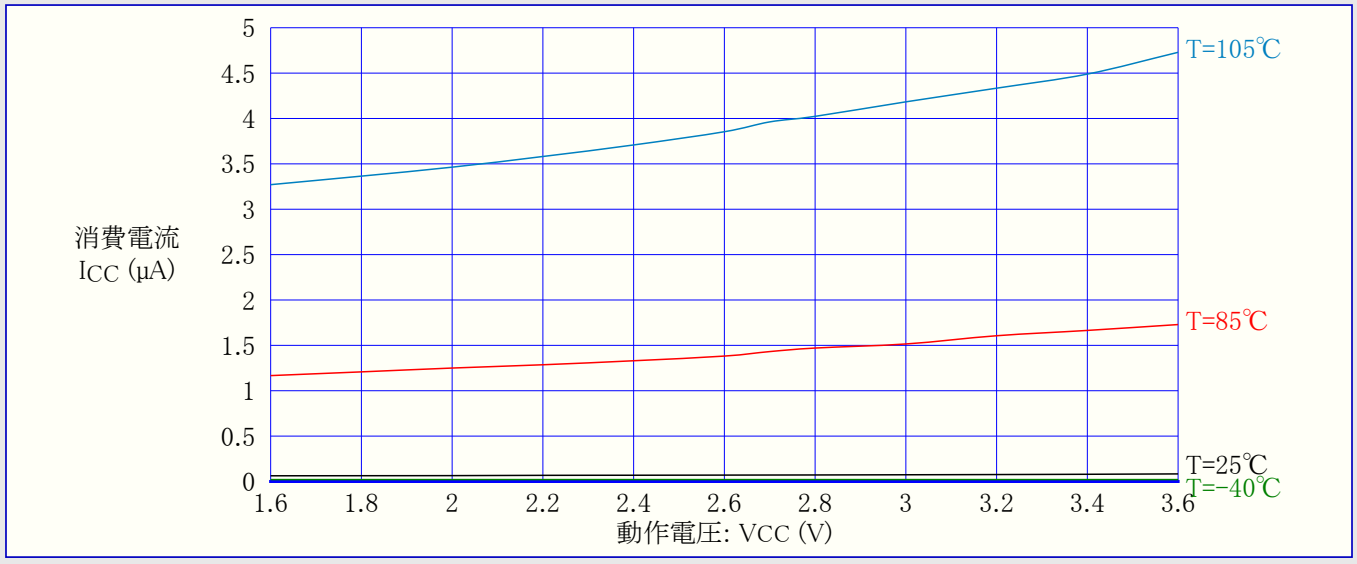
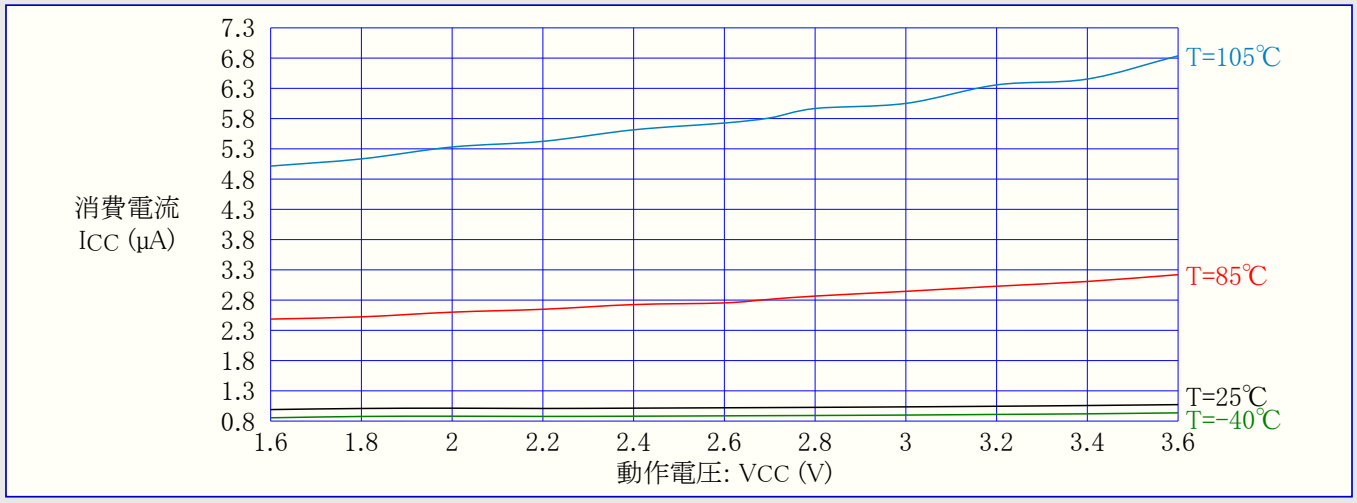
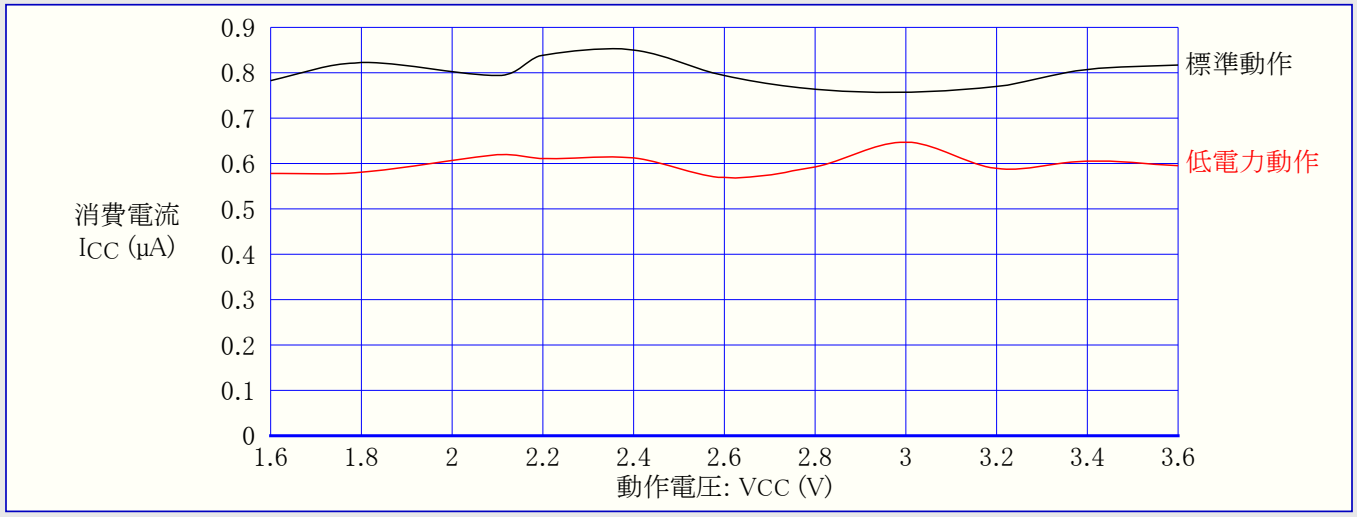


図37-269. パワーダウン動作消費電流 対 動作電圧 (採取動作BOD,WDT許可)



37.4.1.4. パワーセーブ動作消費電流

図37-270. パワーセーブ動作消費電流 対 動作電圧 (32.768kHz TOSCの1.024kHz出力で走行する実時間計数器許可)



37.4.1.5. スタンバイ動作消費電流

図37-271. スタンバイ動作消費電流 対 動作電圧 (f_{SYS}=1MHz)

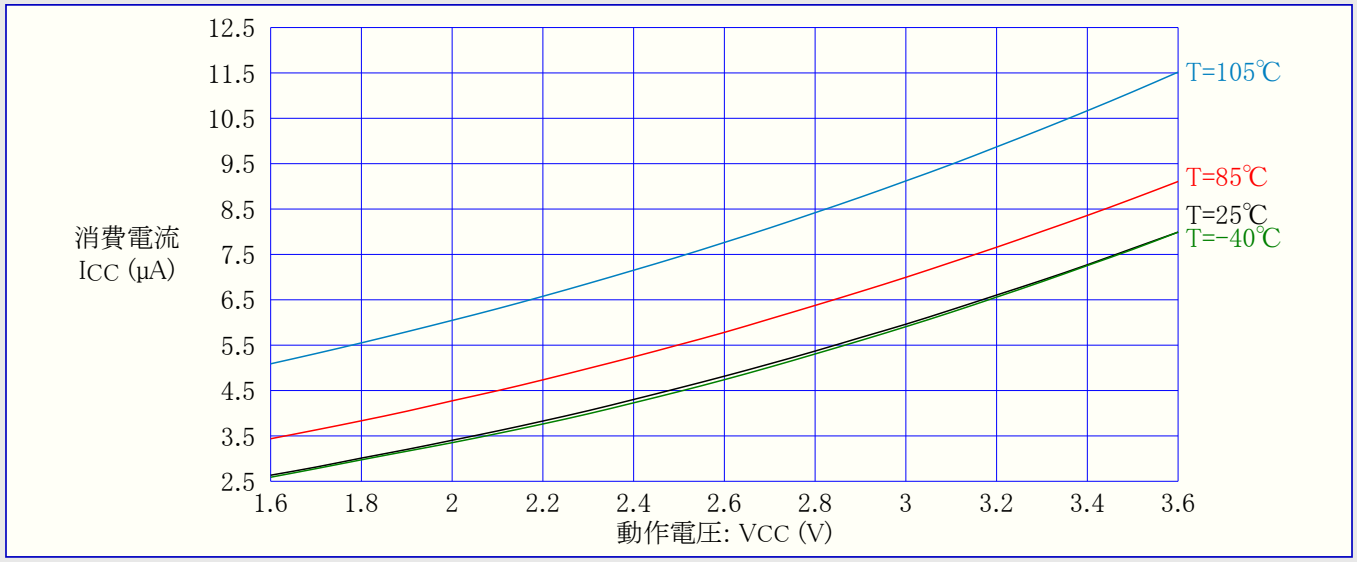
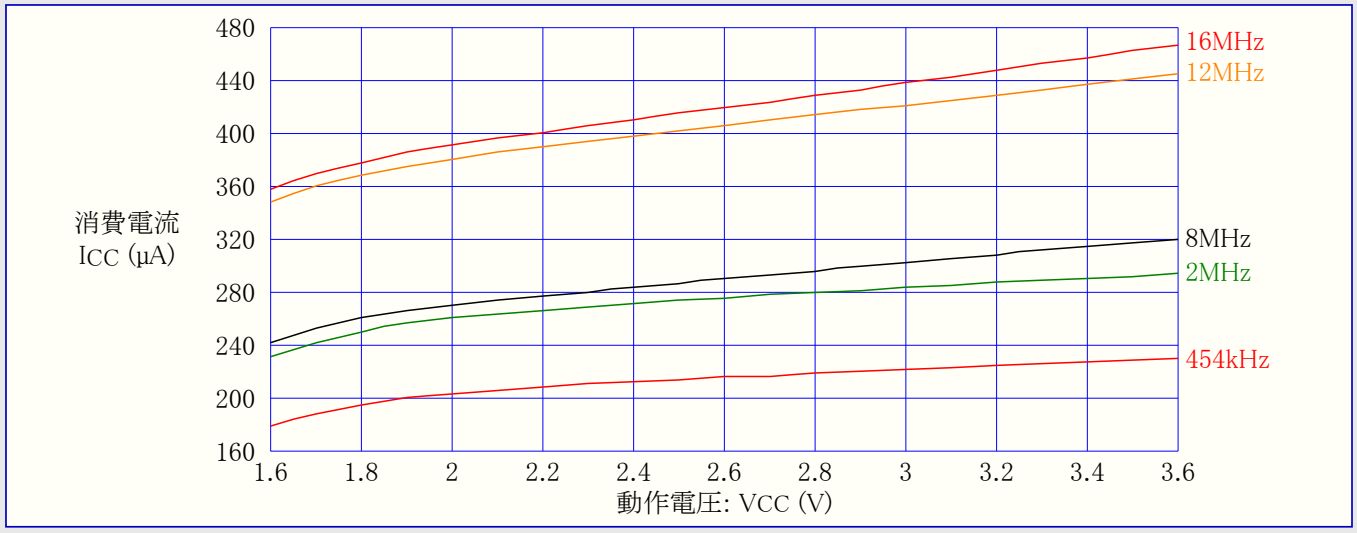


図37-272. スタンバイ動作消費電流 対 動作電圧 (各種クリスタル用発振器での走行,T=25℃)



37.4.2. 入出力ピン特性

37.4.2.1. プルアップ

図37-273. I/Oピン プルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

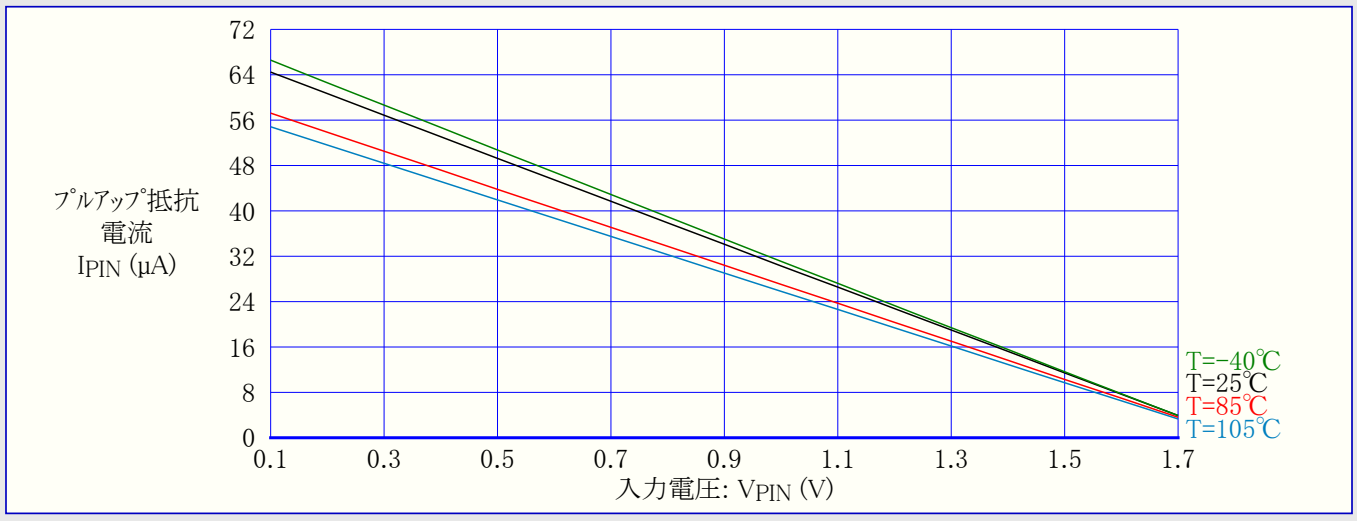


図37-274. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.0V)

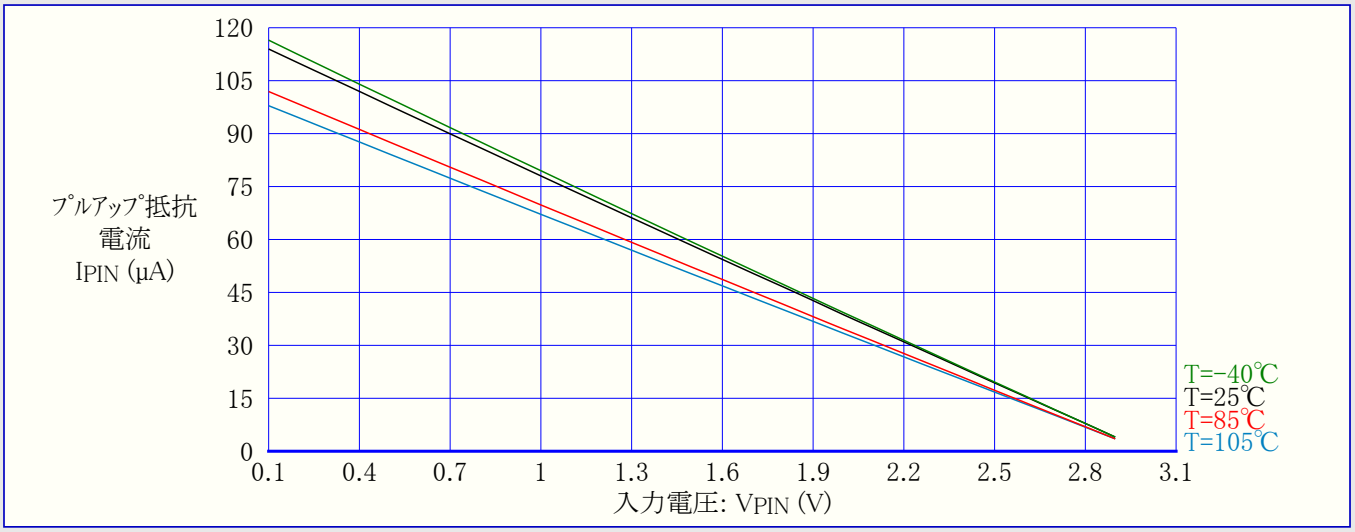
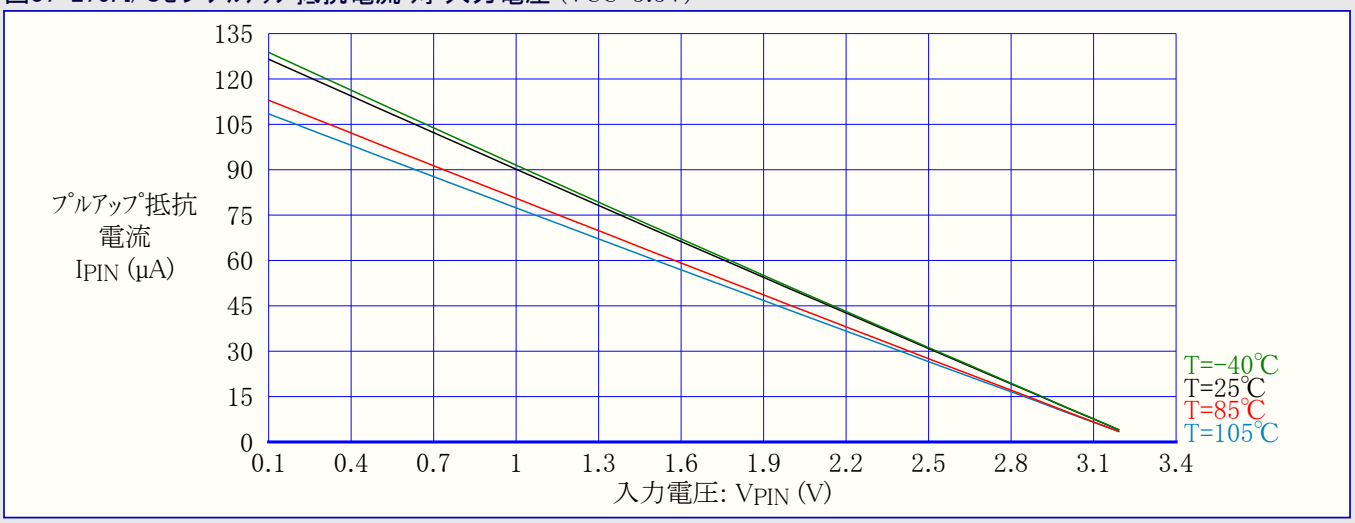


図37-275. I/Oﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 入力電圧 (VCC=3.3V)



37.4.2.2. 出力電圧 対 吸い込み/吐き出し電流

図37-276. I/Oﾋﾟﾝ出力電圧 対 吐き出し電流 (VCC=1.8V)

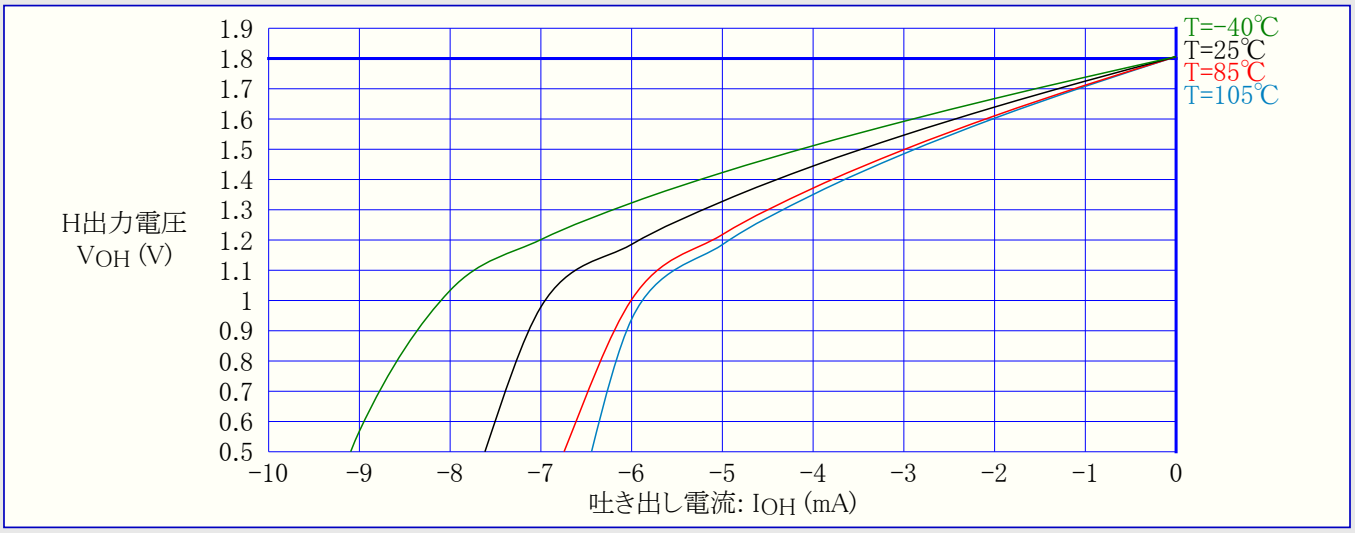


図37-277. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

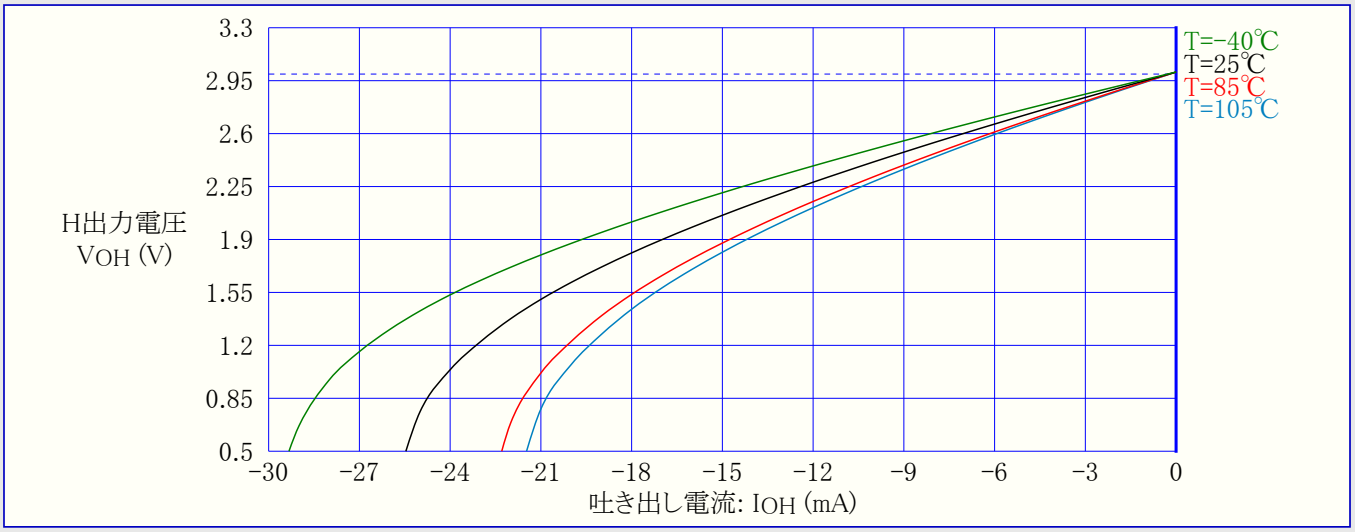


図37-278. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

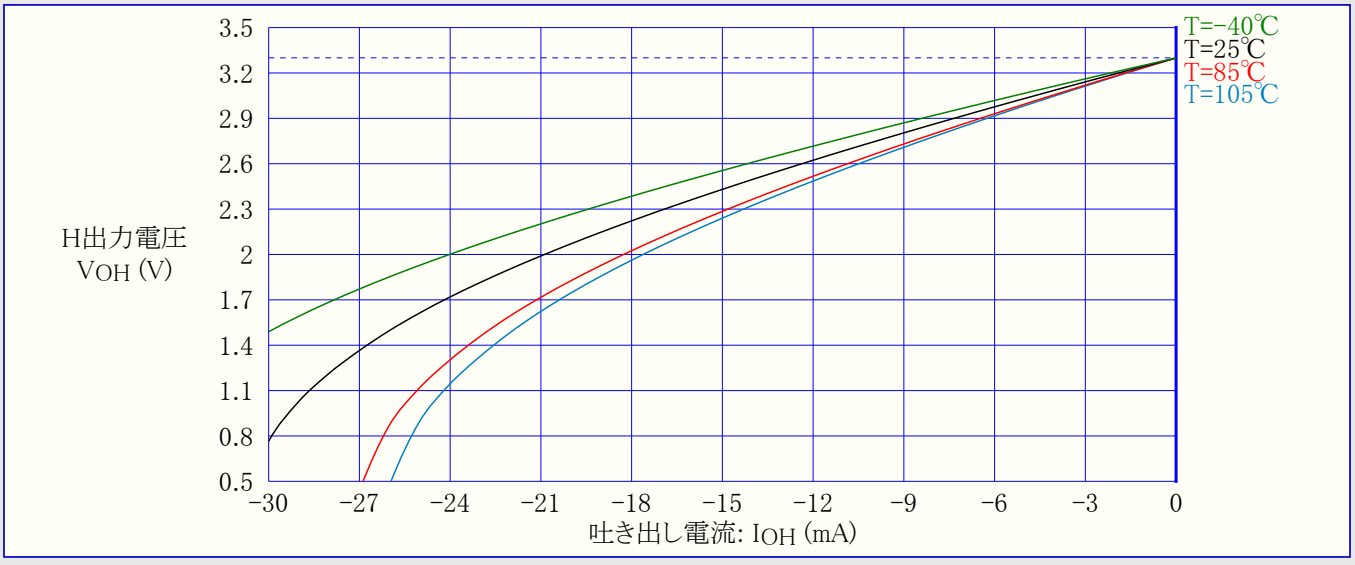
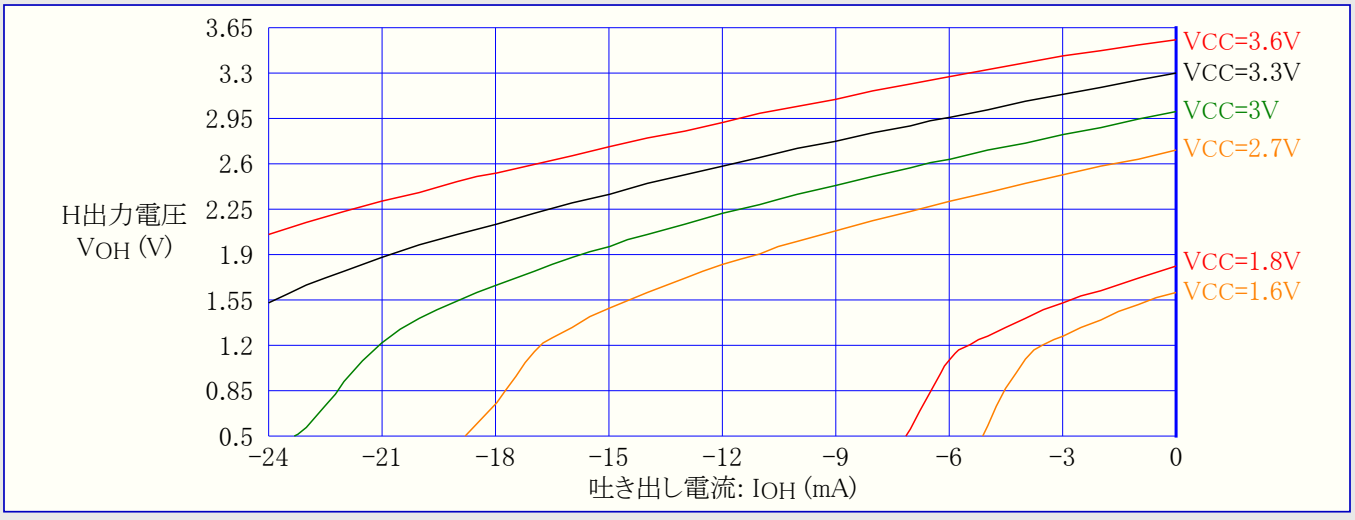


図37-279. I/Oピン出力電圧 対 吐き出し電流 (T=25℃)



© 2011-2020 Microchip Technology Inc.

図37-280. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

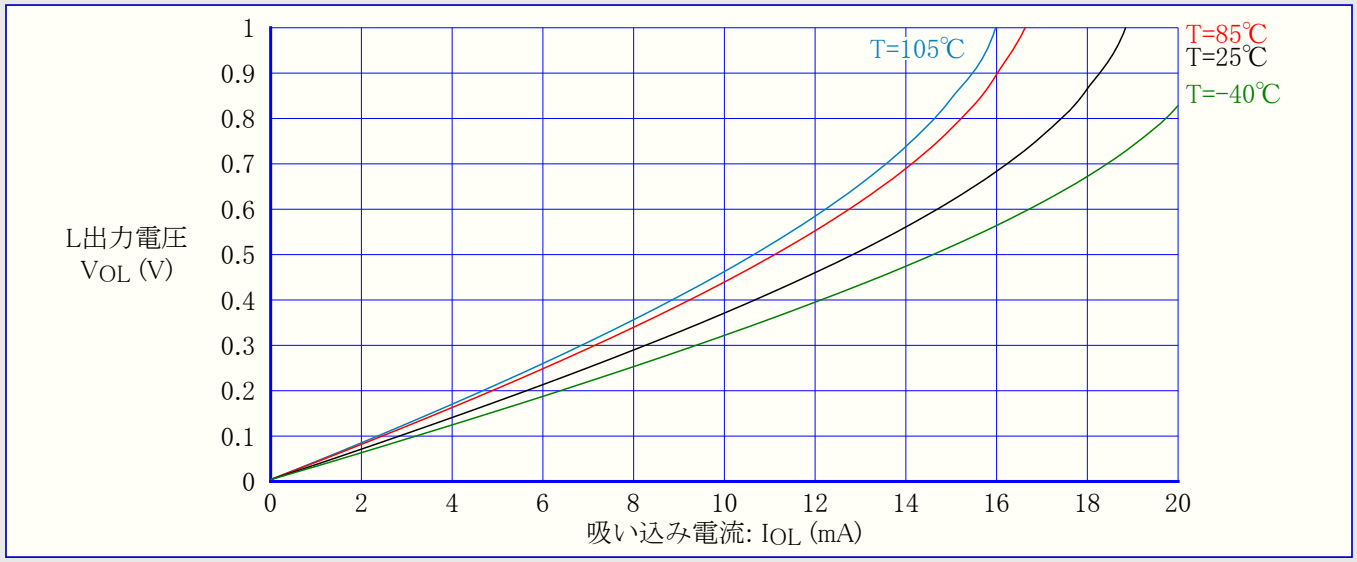


図37-281. I/Oピン出力電圧 対 吸い込み電流 (VCC=3.0V)

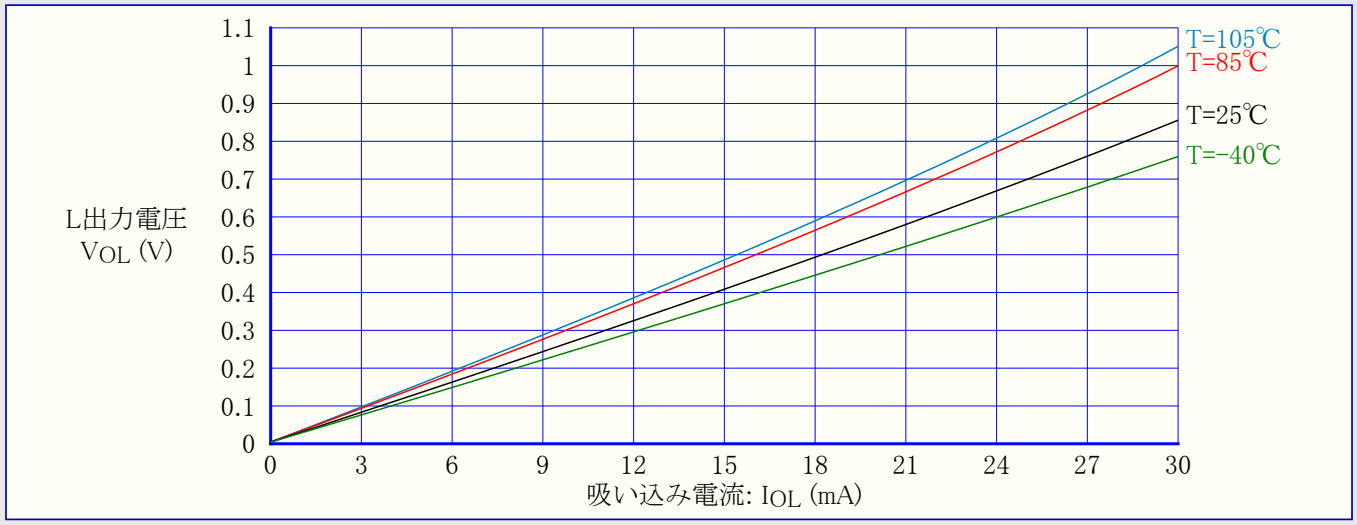
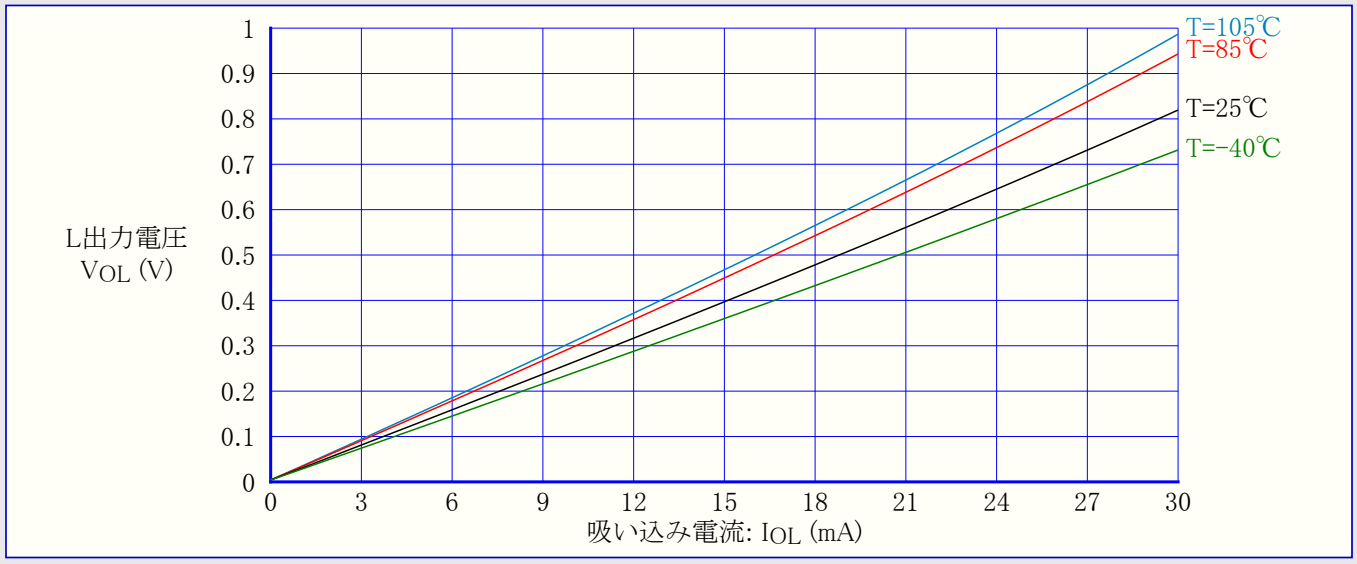
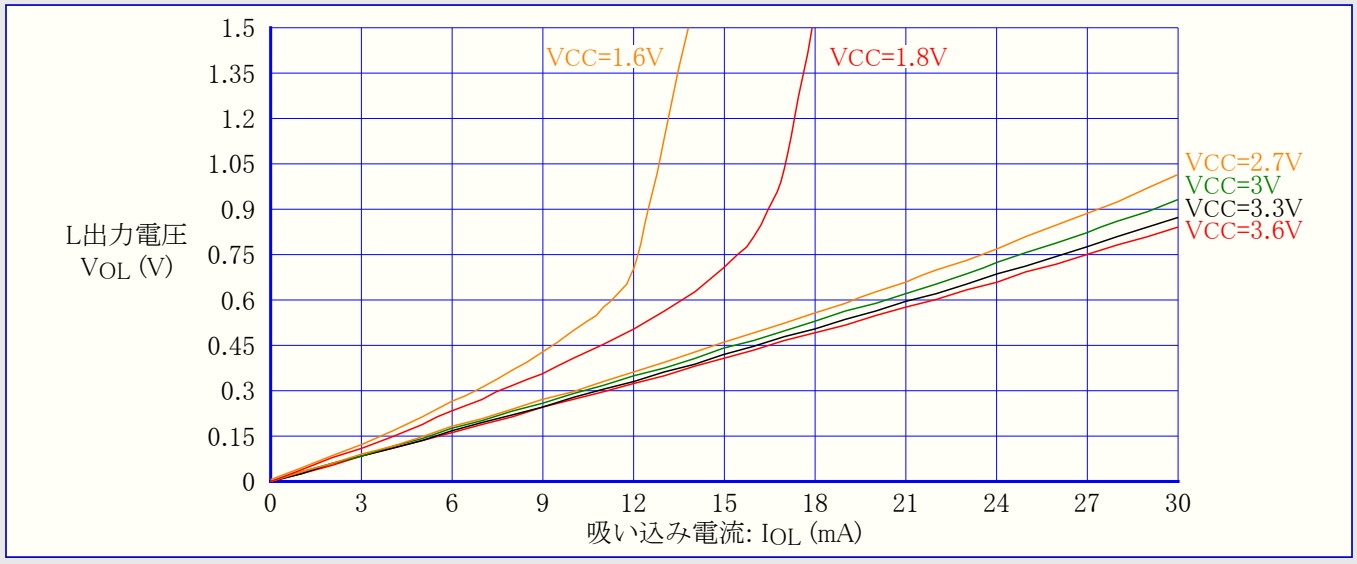


図37-282. I/Oピン出力電圧 対 吸い込み電流 (VCC=3.3V)



© 2011-2020 Microchip Technology Inc.

図37-283. I/Oﾋﾟﾝ出力電圧 対 吸い込み電流 (T=25℃)



37.4.2.3. 閾値とﾋｽﾃﾘｼｽ

図37-284. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (T=25℃)

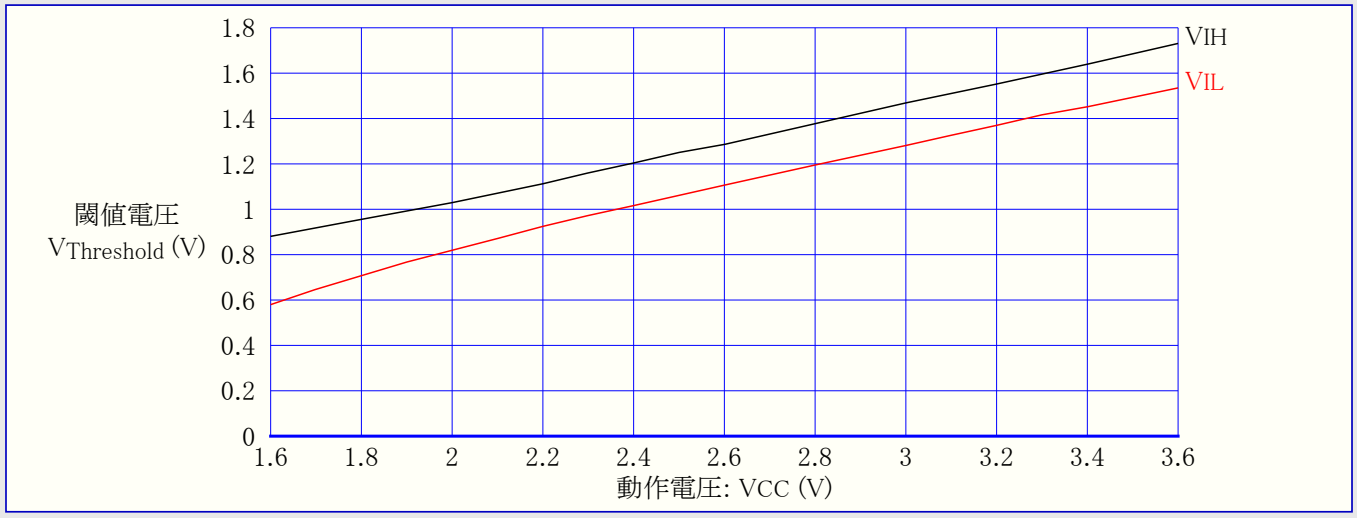


図37-285. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIH,1読み値)

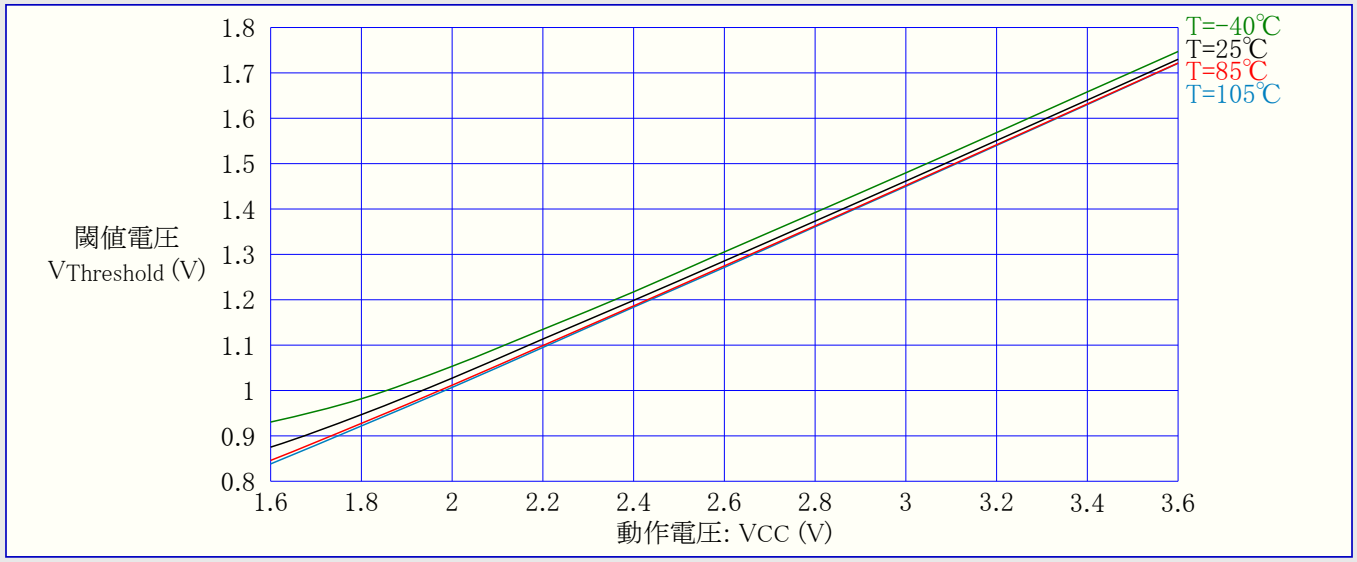


図37-286. I/Oﾋﾟﾝ入力閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作電圧 (VIL,0読み値)

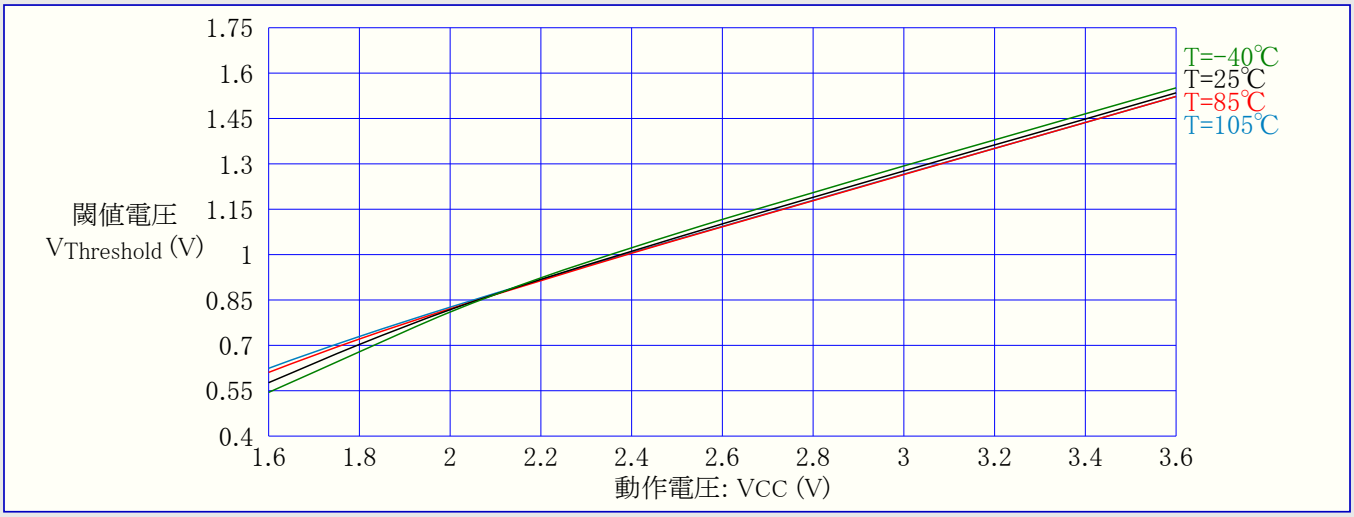
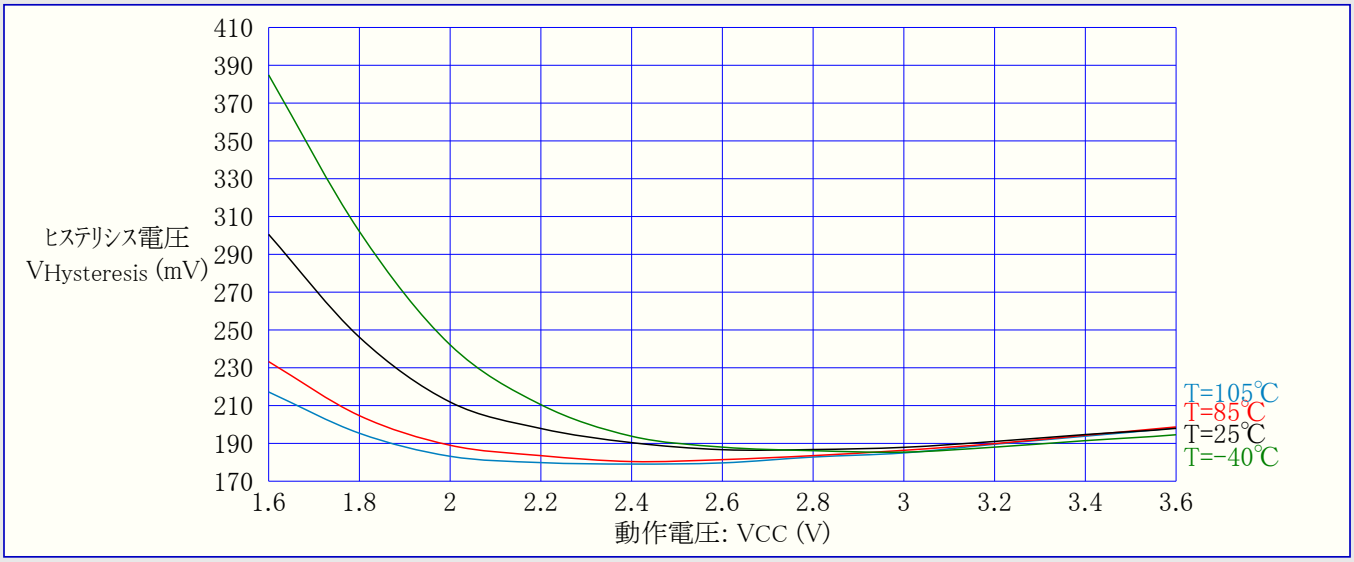


図37-287. I/Oﾋﾟﾝ入力ﾋｽﾃﾘｼｽ電圧 対 動作電圧



37.4.3. A/D変換器(ADC)特性

図37-288. ADC積分性誤差(INL) 対 外部VREF (T=25℃、VCC=3.6V)

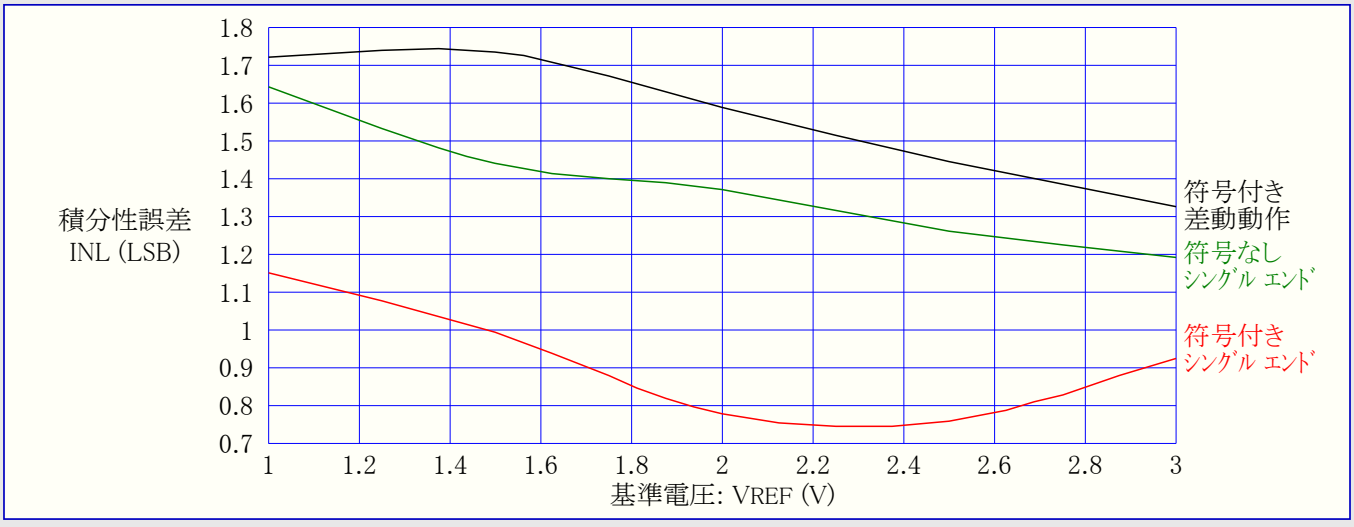


図37-289. ADC積分性誤差(INL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

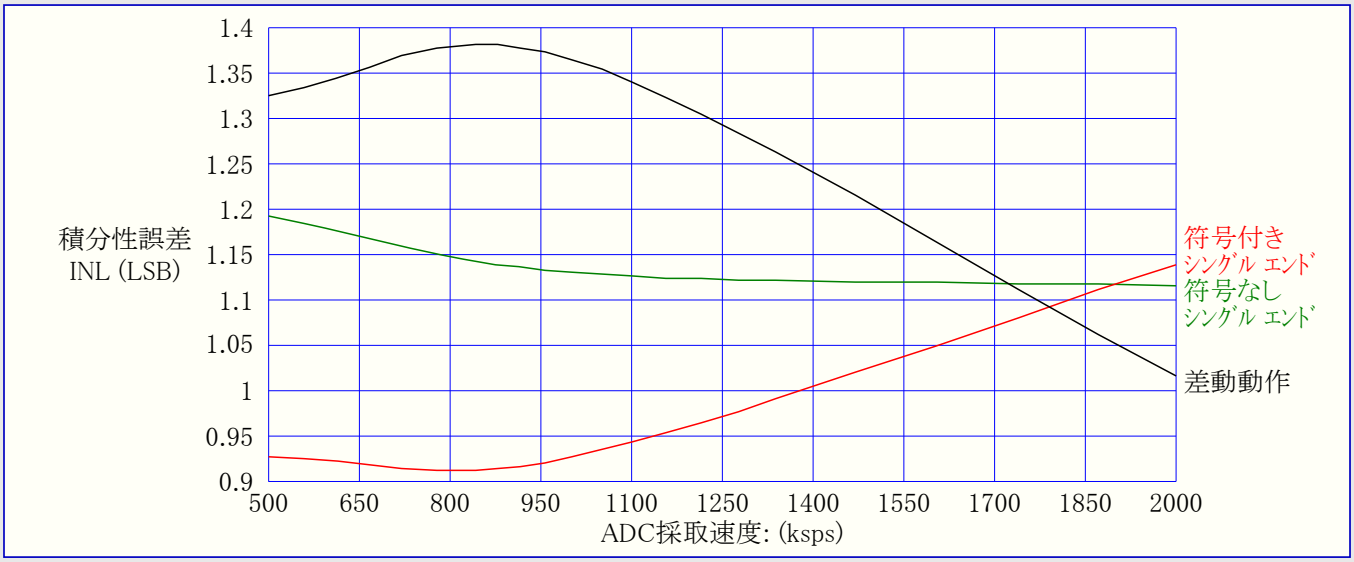


図37-290. ADC積分性誤差(INL) 対 入力符号

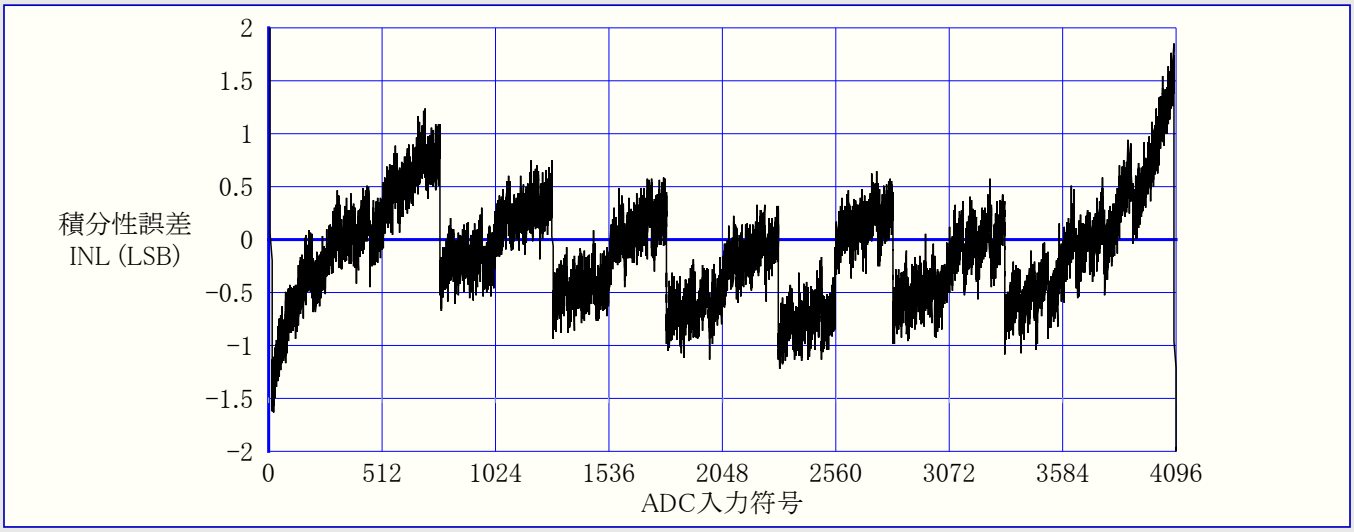


図37-291. ADC微分性誤差(DNL) 対 外部VREF (T=25℃、VCC=3.6V)

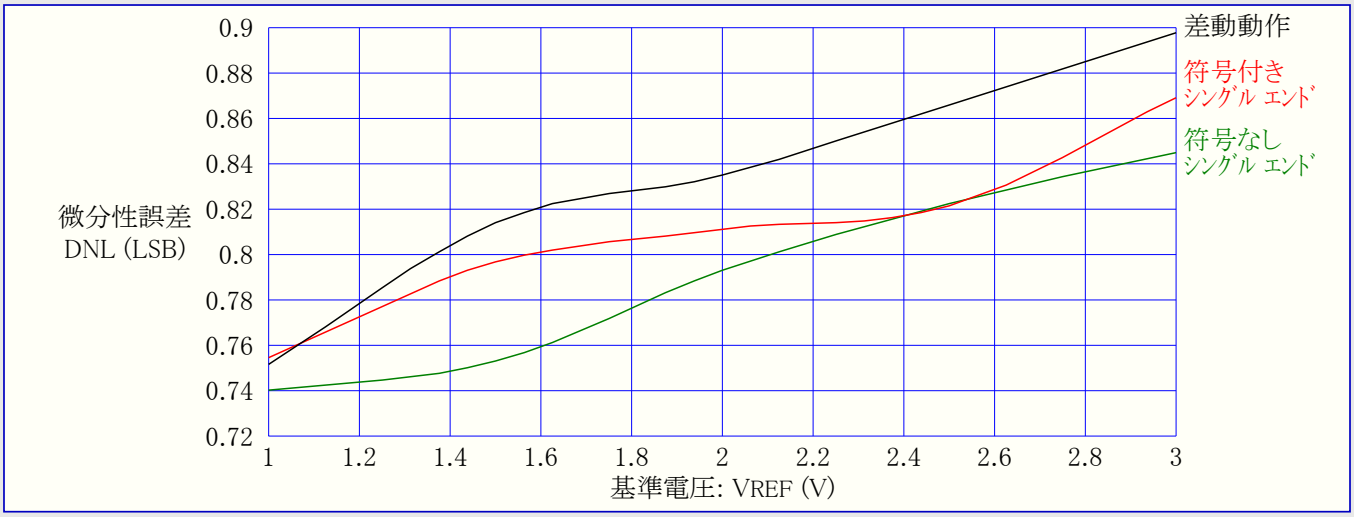


図37-292. ADC微分性誤差(DNL) 対 採取速度 (T=25℃、VCC=3.6V、VREF=外部3.0V)

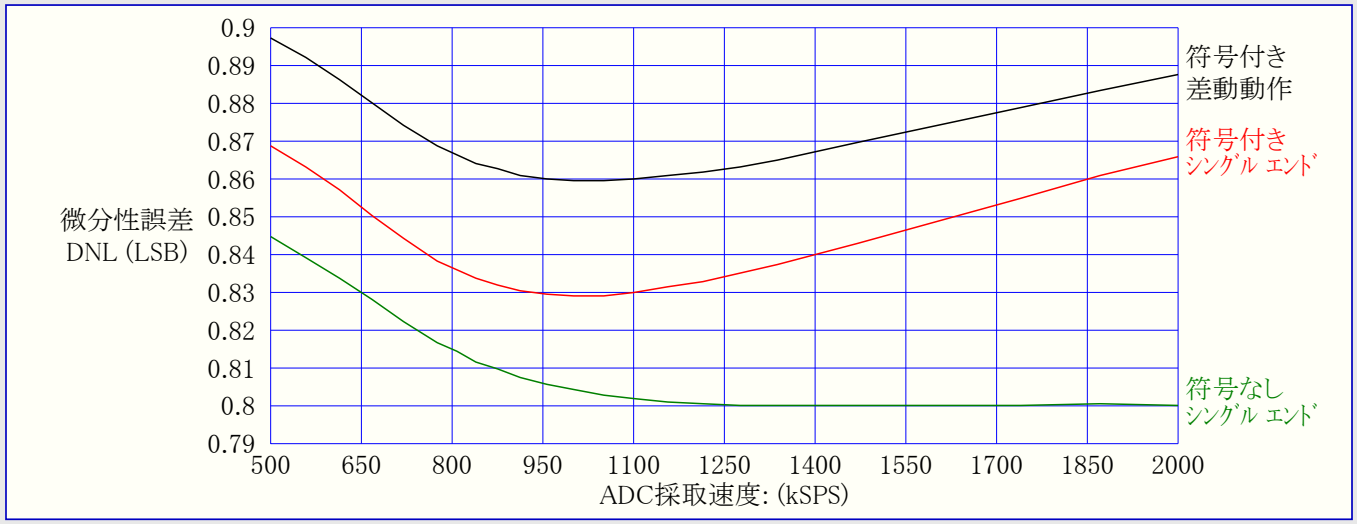


図37-293. ADC微分性誤差(DNL) 対 入力符号

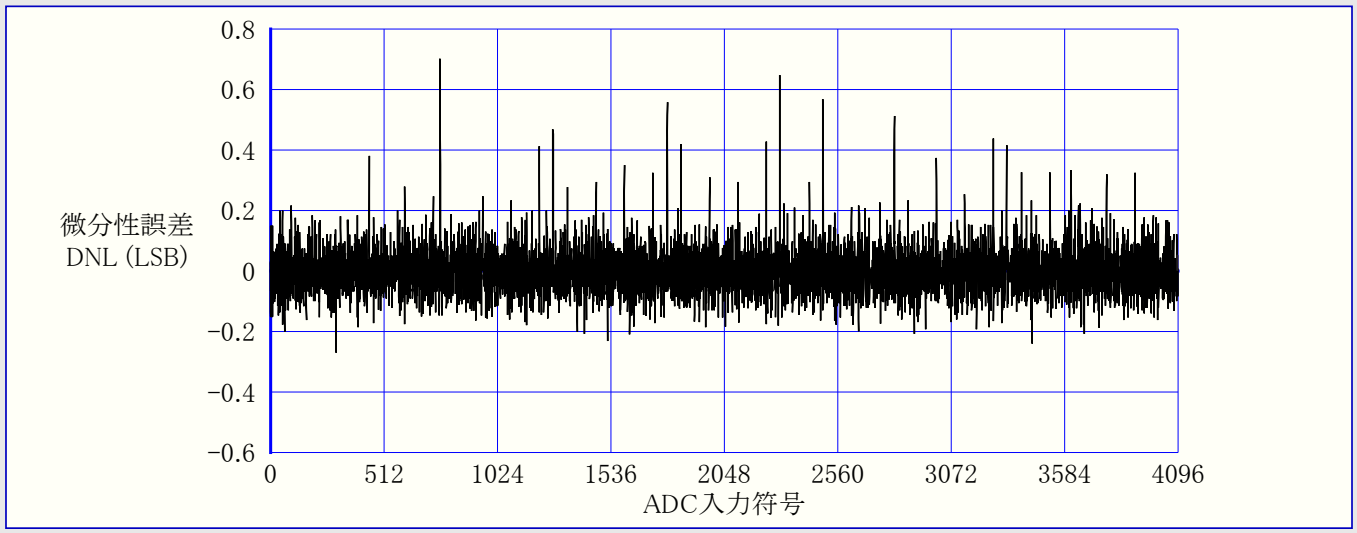


図37-294. ADC利得誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

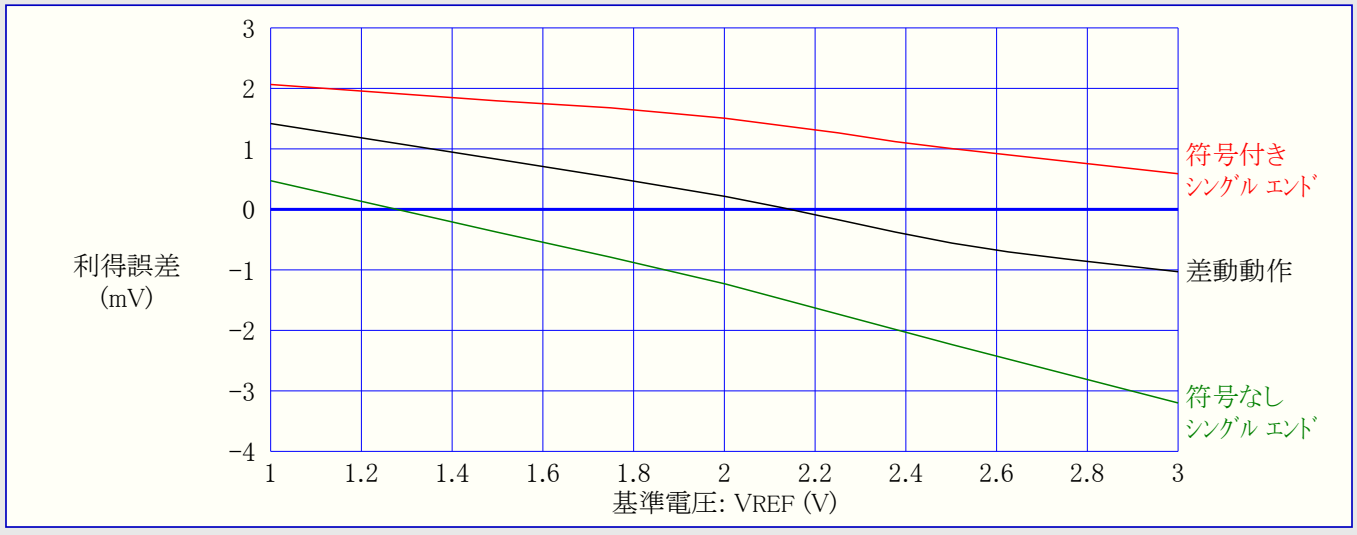


図37-295. ADC利得誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

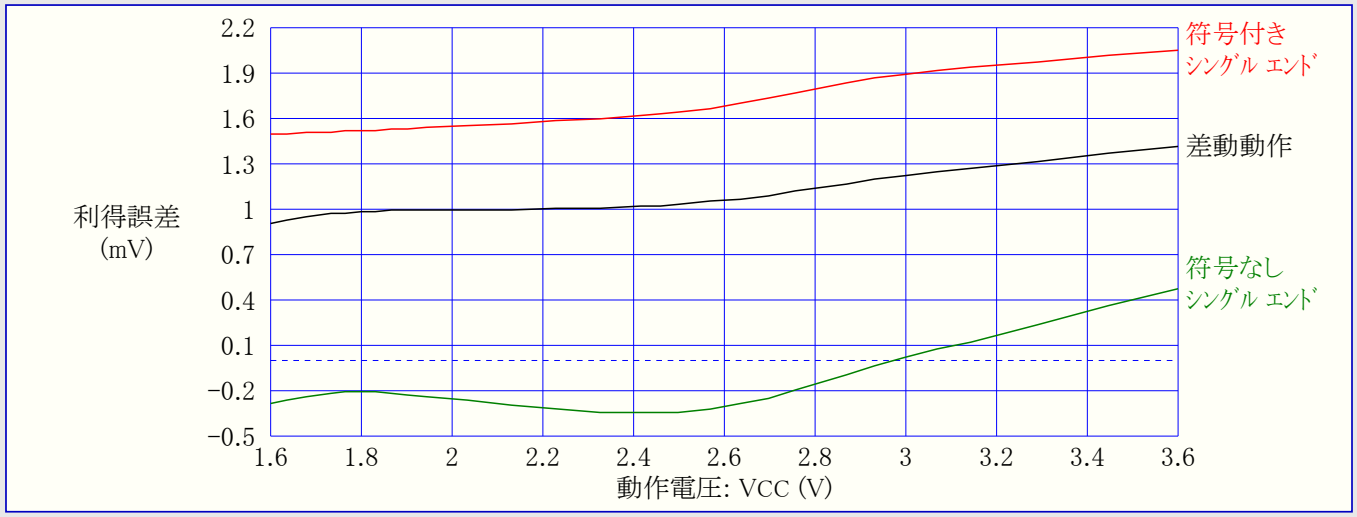


図37-296. ADC変位(ｵﾌｾｯﾄ)誤差 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

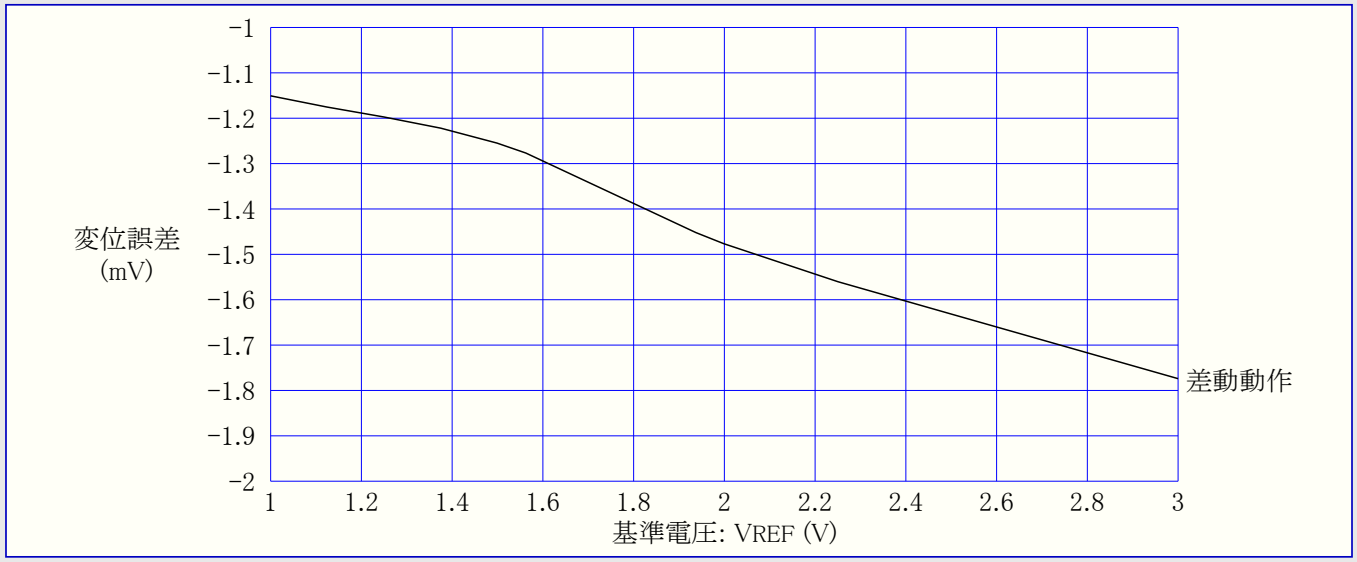
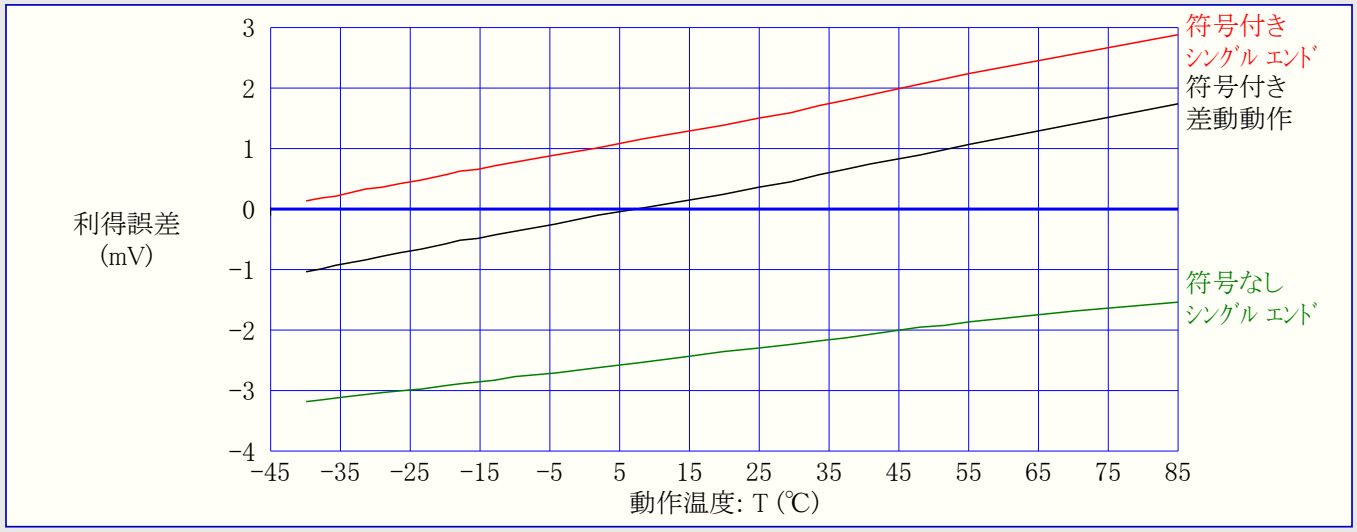


図37-297. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部2.0V)



© 2011-2020 Microchip Technology Inc.

図37-298. ADC変位(ｵﾌｾｯﾄ)誤差 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)

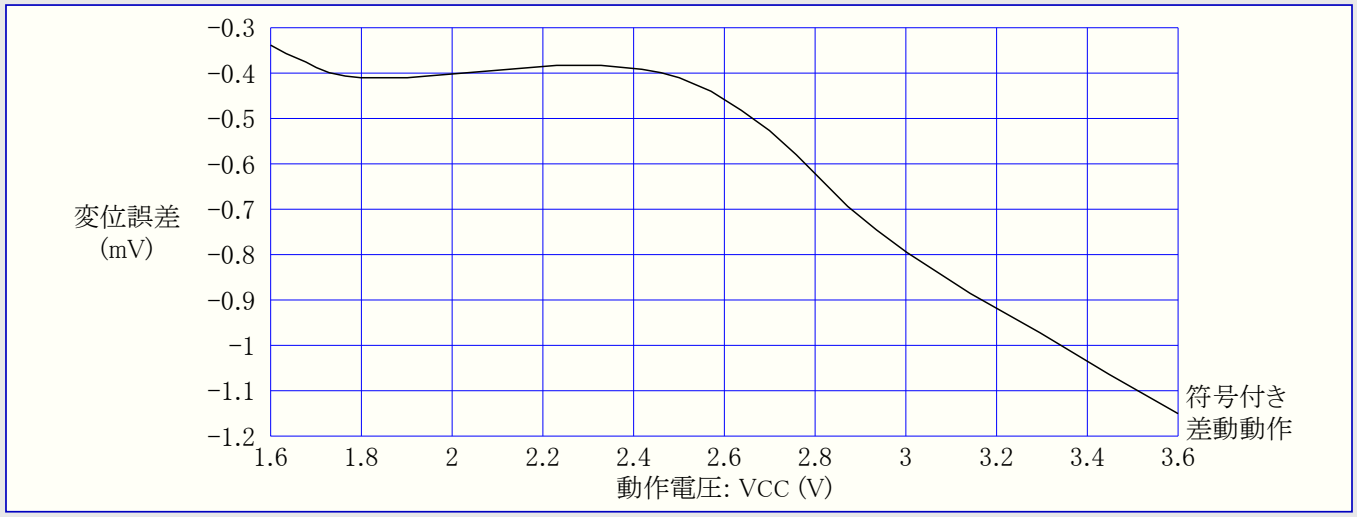


図37-299. ADC雑音 対 外部VREF (T=25℃、VCC=3.6V、A/D変換速度=500ksps)

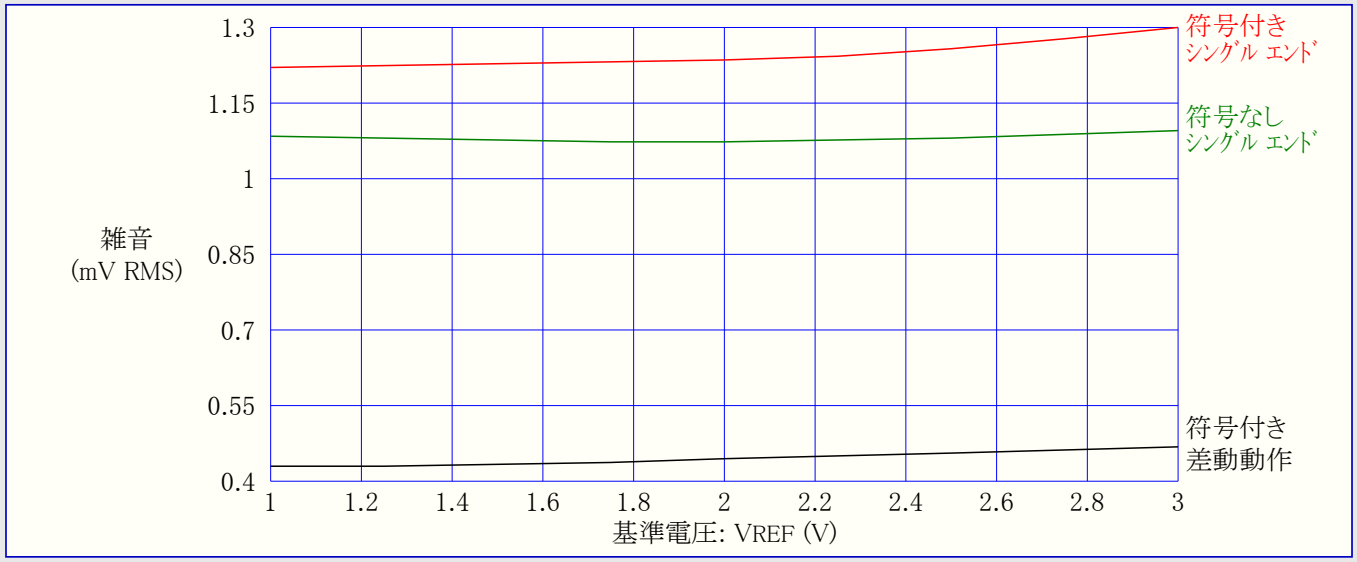
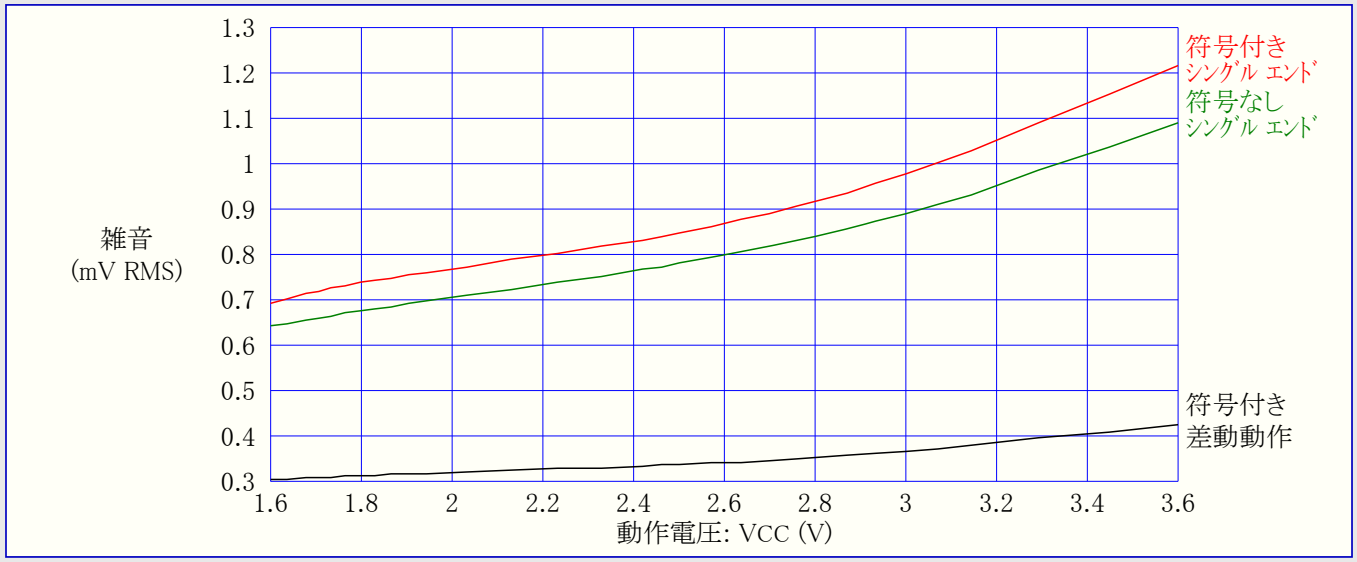


図37-300. ADC雑音 対 動作電圧 (T=25℃、VREF=外部1.0V、A/D変換速度=500ksps)



© 2011-2020 Microchip Technology Inc.

37.4.4. D/A変換器(DAC)特性

図37-301. DAC積分性誤差(INL) 対 外部VREF (VCC=3.6V)

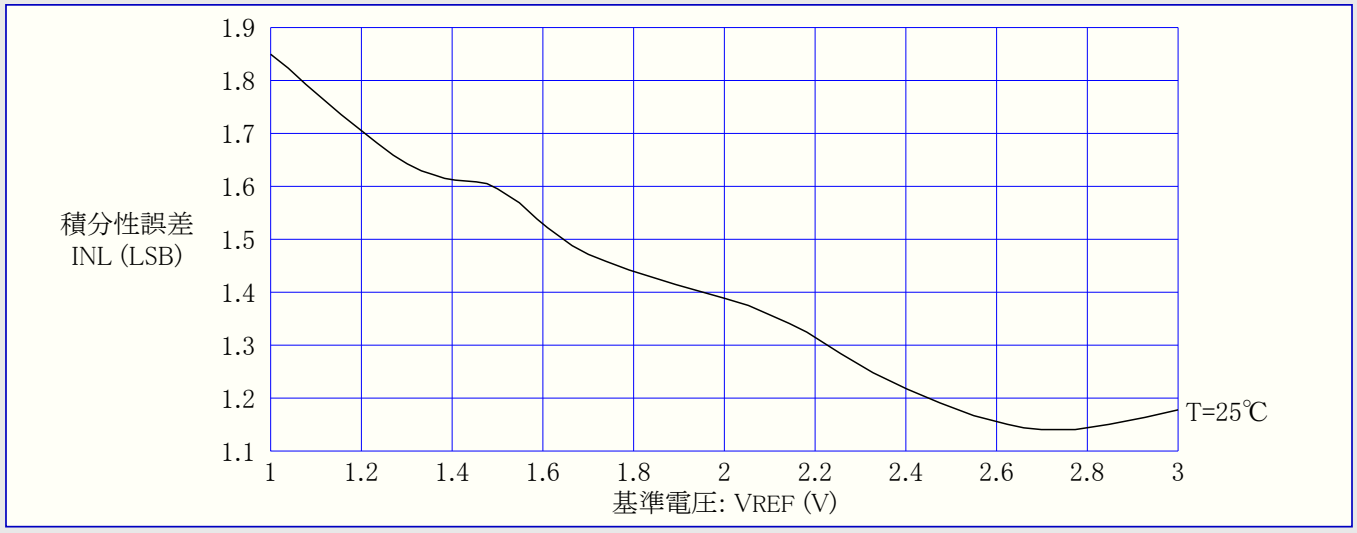


図37-302. DAC微分性誤差(DNL) 対 外部VREF (VCC=3.6V)

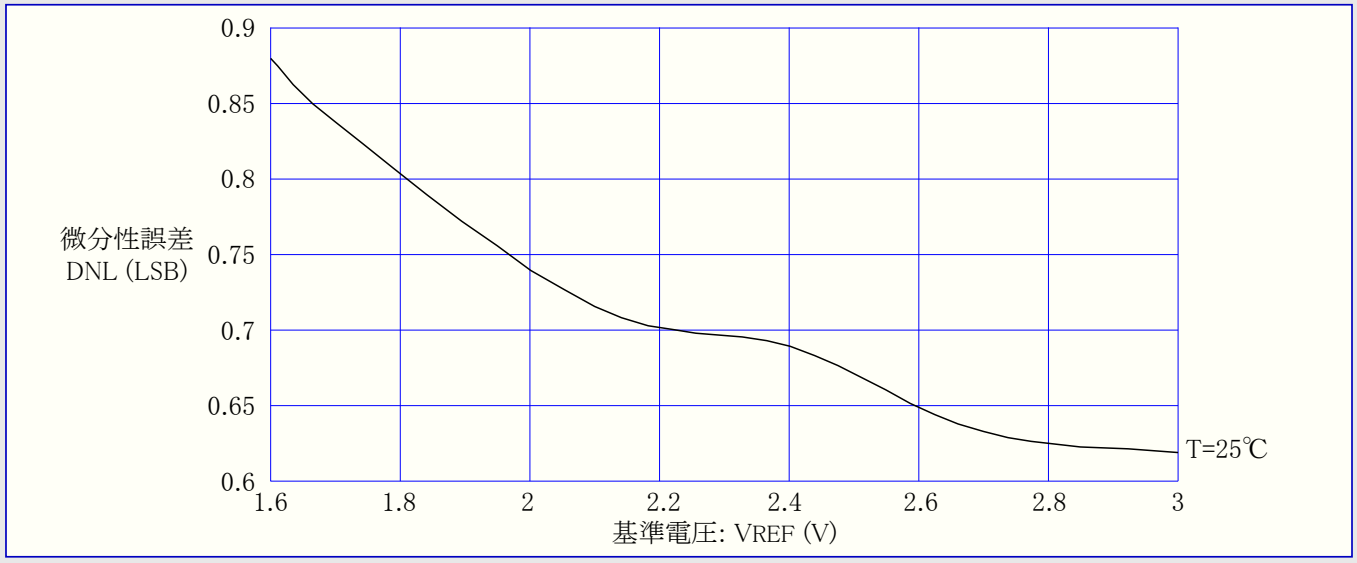
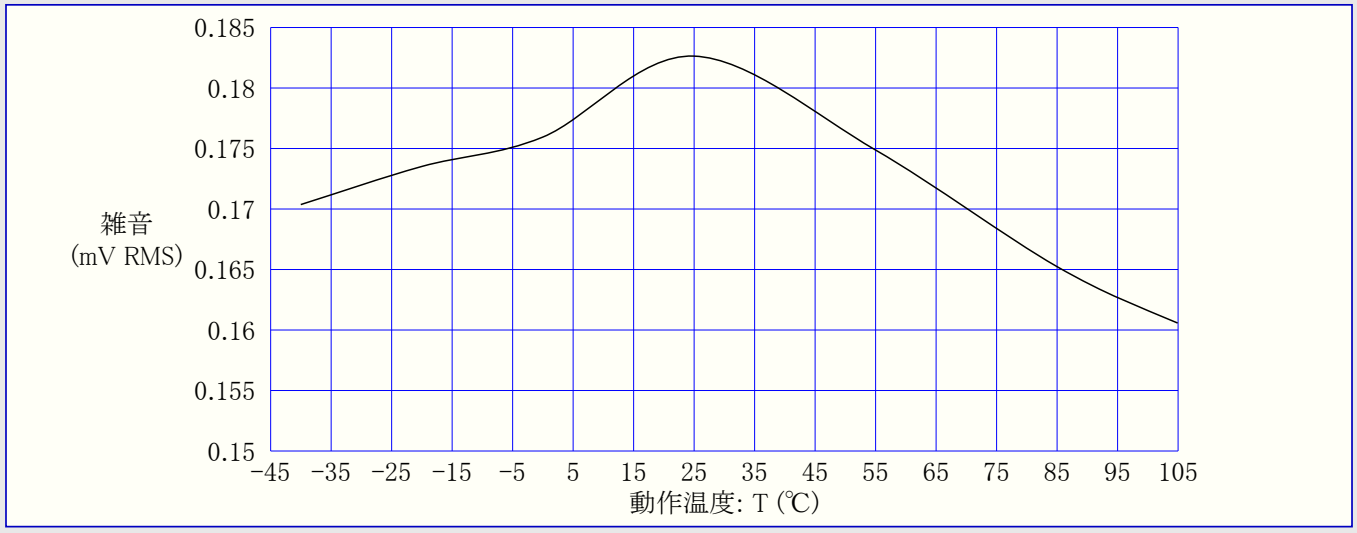


図37-303. DAC雑音 対 動作温度 (VCC=3.0V、VREF=2.4V)



37.4.5. アナログ比較器特性

図37-304. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

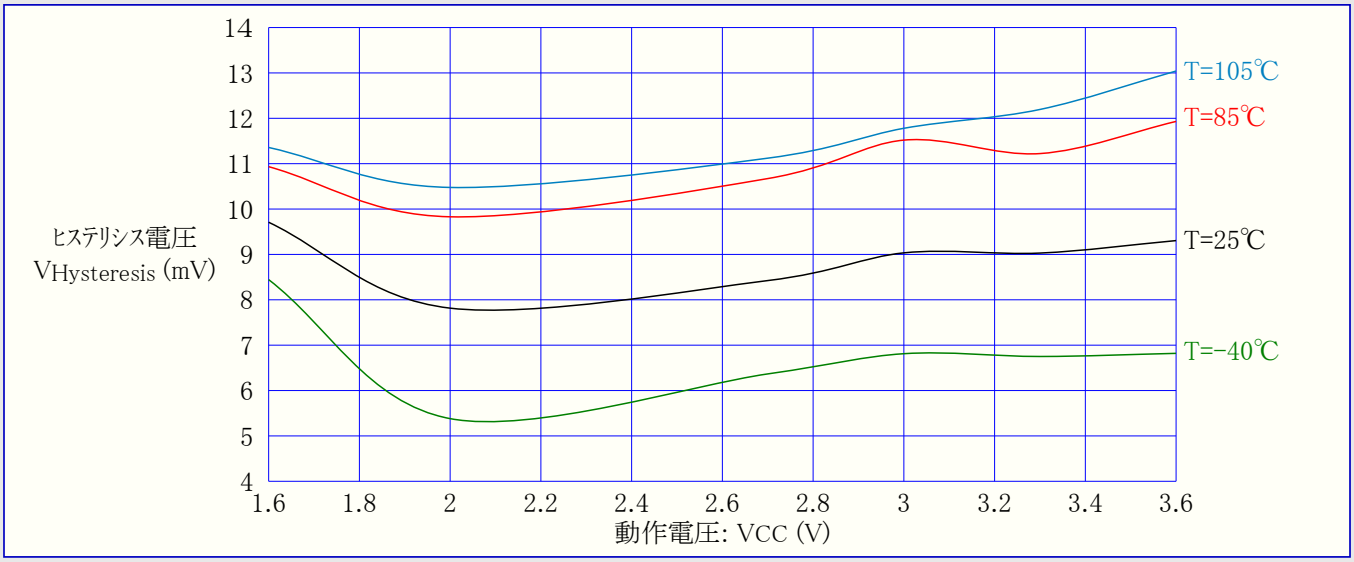


図37-305. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=小)

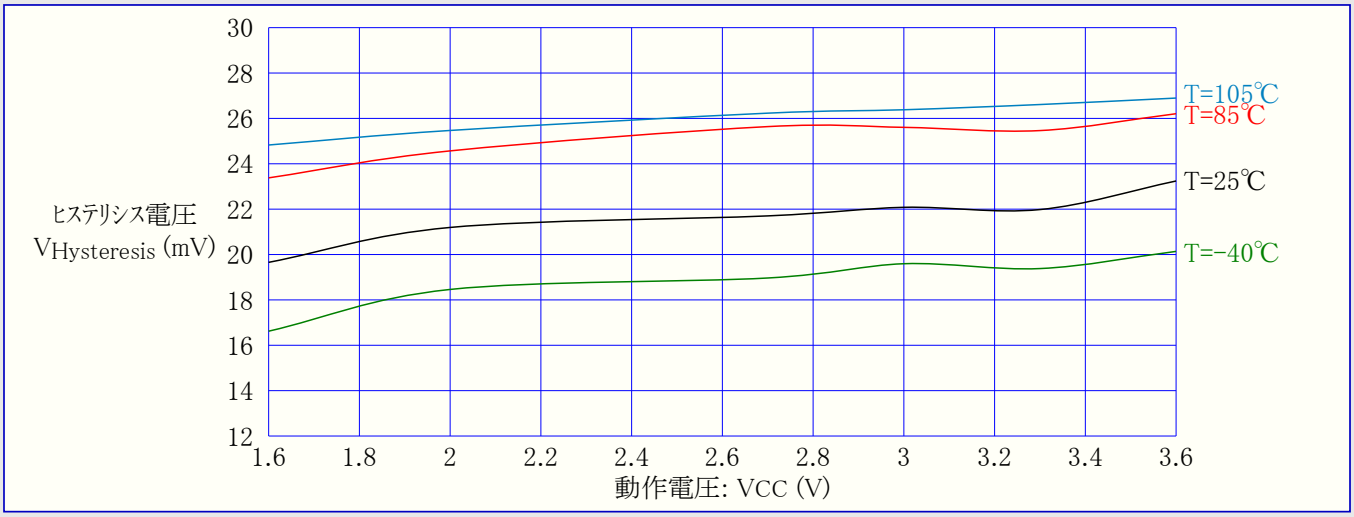
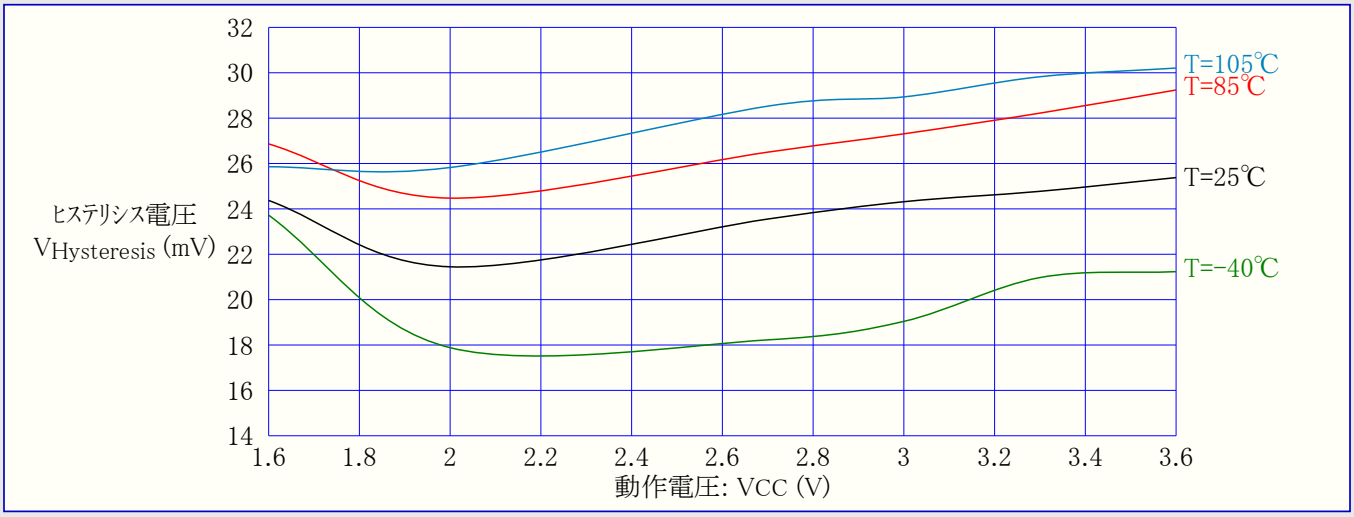


図37-306. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=大)



© 2011-2020 Microchip Technology Inc.

図37-307. アナログ比較器(AC)ヒステリシス 対 動作電圧 (低電力動作、ヒステリシス=大)

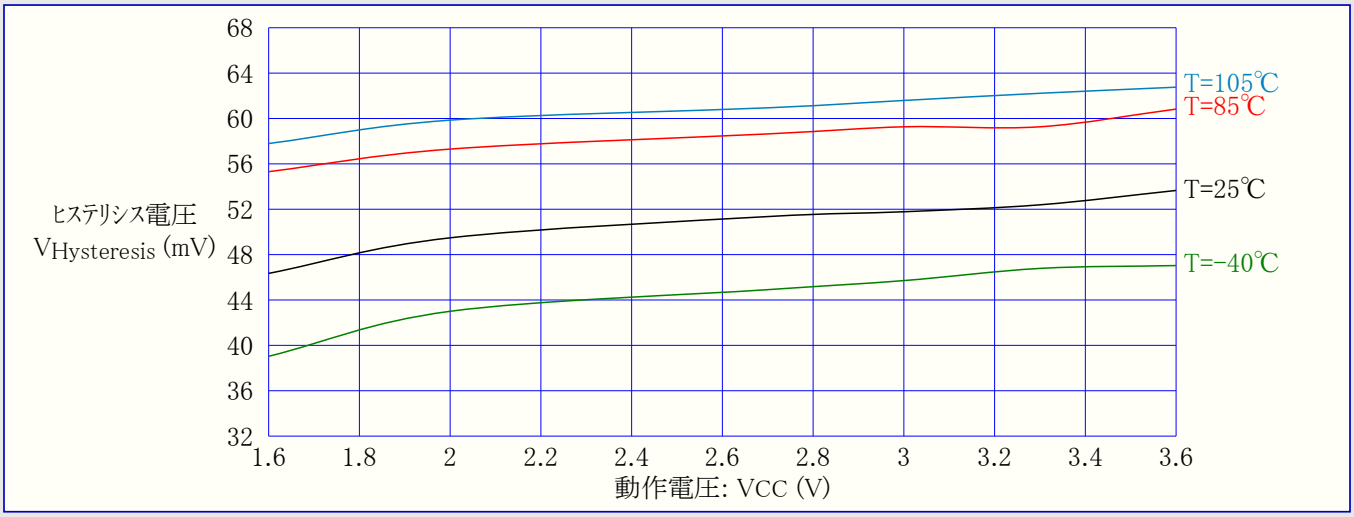


図37-308. アナログ比較器(AC)電流源 対 校正値 (T=25℃)

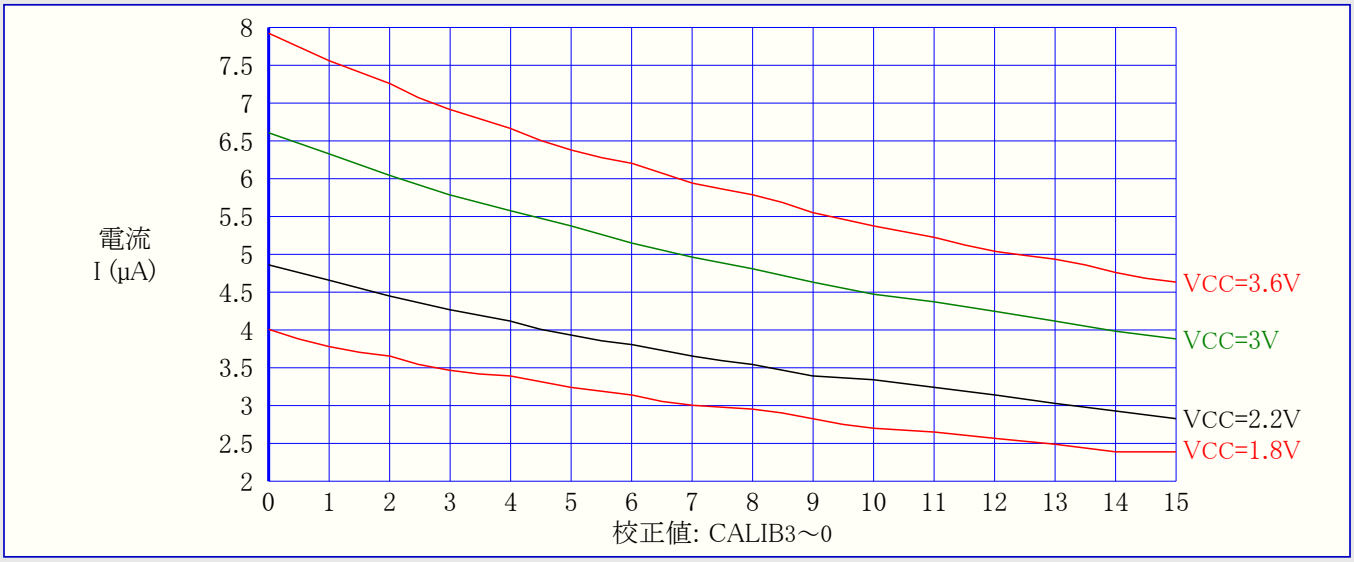
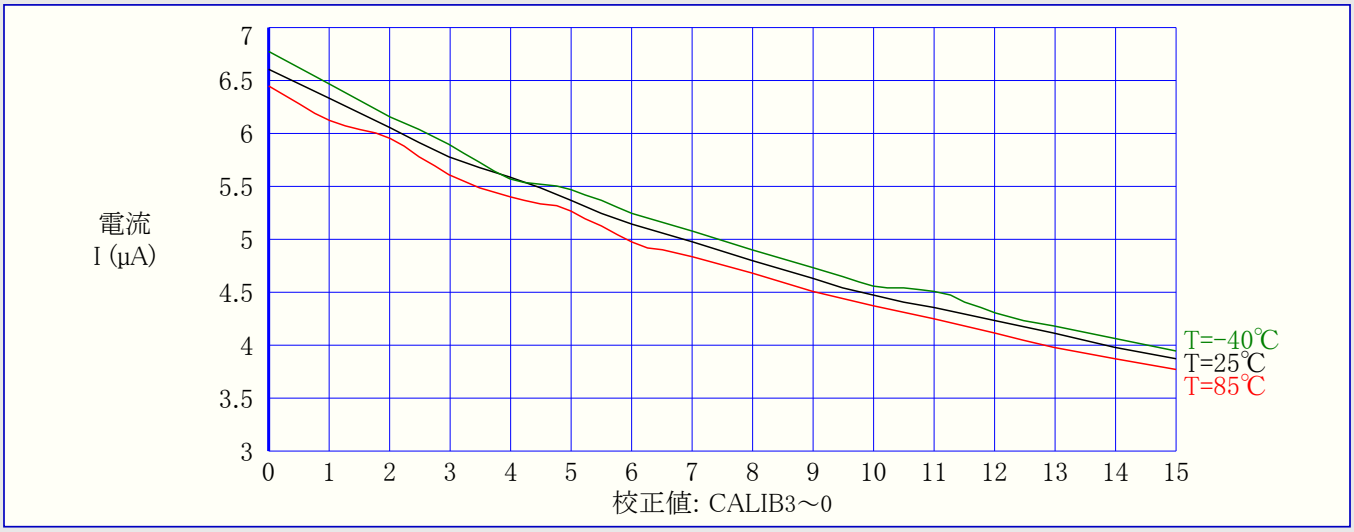
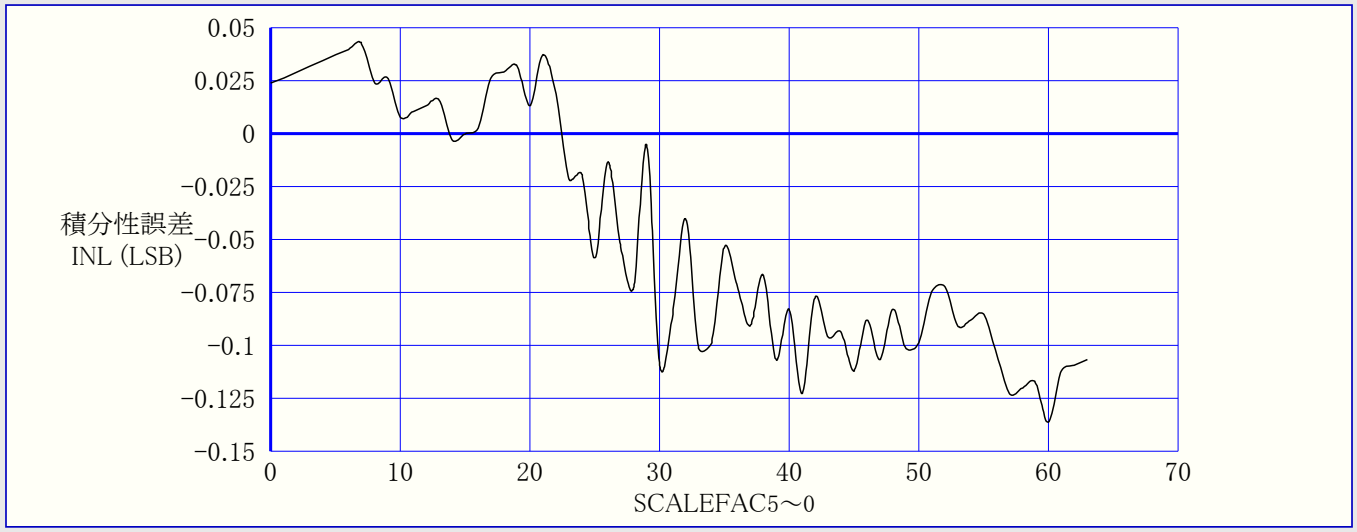


図37-309. アナログ比較器(AC)電流源 対 校正値 (VCC=3.0V)



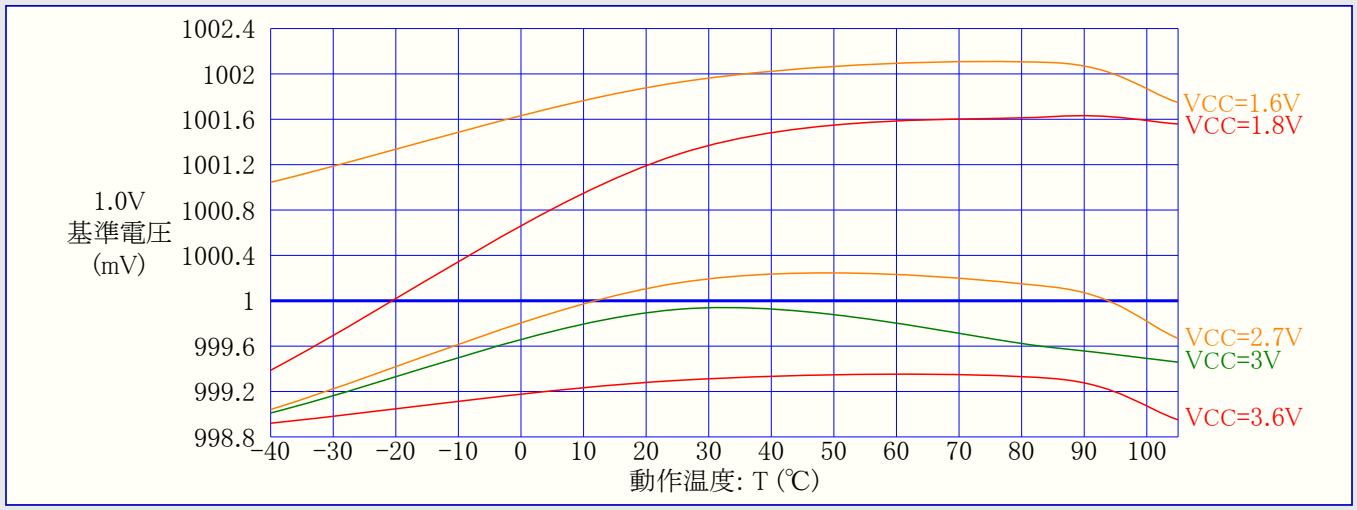
© 2011-2020 Microchip Technology Inc.

図37-310. 分圧器積分直線性(INL) 対 SCALEFAC (T=25℃、VCC=3.0V)



37.4.6. 内部1.0V基準電圧特性

図37-311. ADC/DAC内部1.0V基準電圧 対 動作温度



37.4.7. 低電圧検出器(BOD)特性

図37-312. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=1.6V)

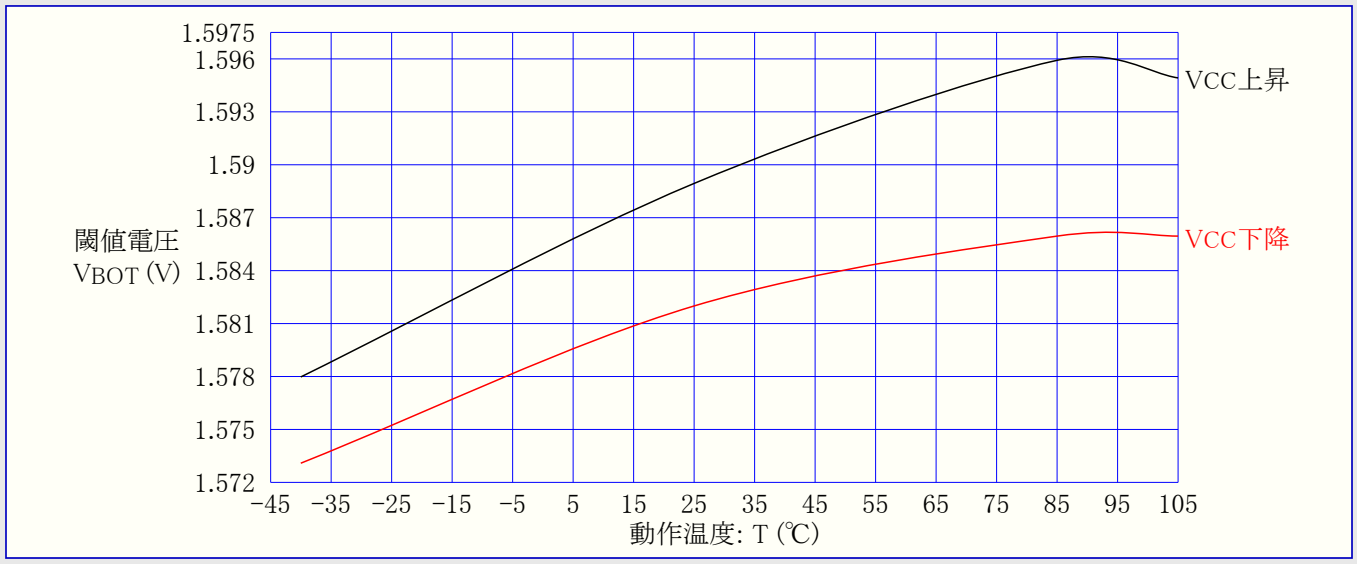
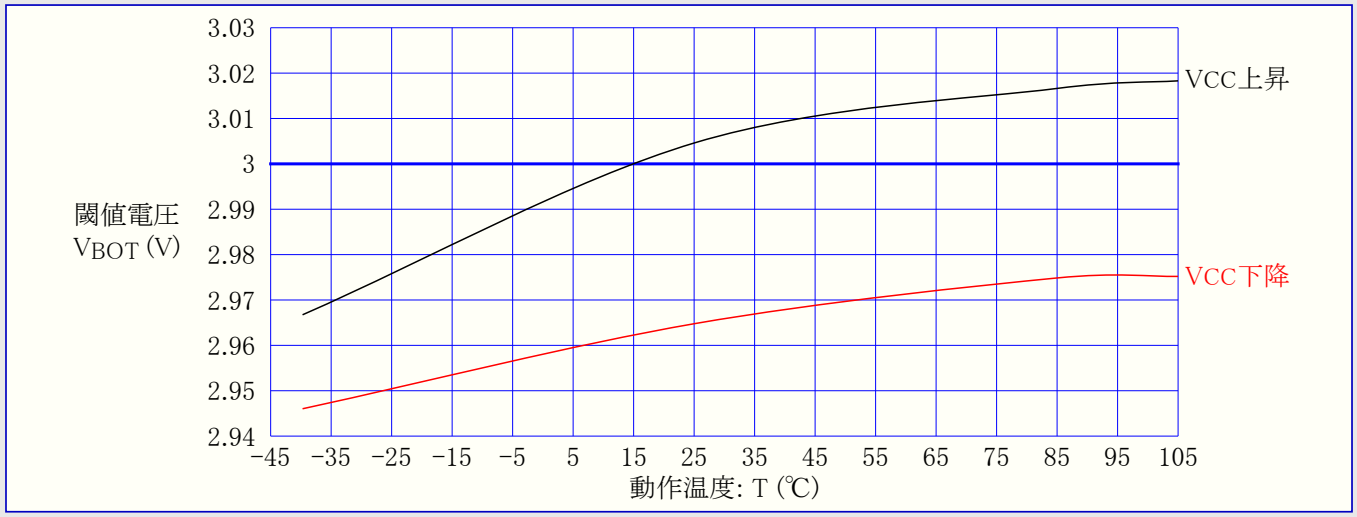


図37-313. 低電圧検出器(BOD)閾値(ｽﾚｯｼｮｰﾙﾄﾞ)電圧 対 動作温度 (検出電圧=3.0V)



37.4.8. 外部リセット特性

図37-314. 最小ﾘｾｯﾄ ﾊﾟﾙｽ幅 対 動作電圧

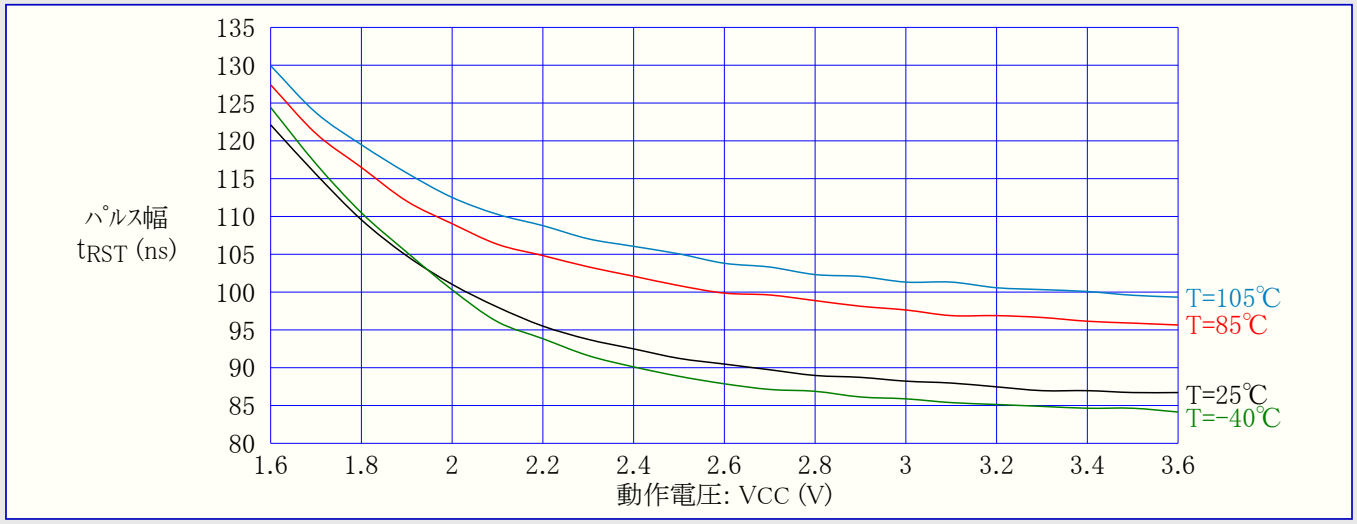


図37-315. ﾘｾｯﾄ ﾋﾟﾝ ﾌﾟﾙｱｯﾌﾟ抵抗電流 対 RESETﾋﾟﾝ入力電圧 (VCC=1.8V)

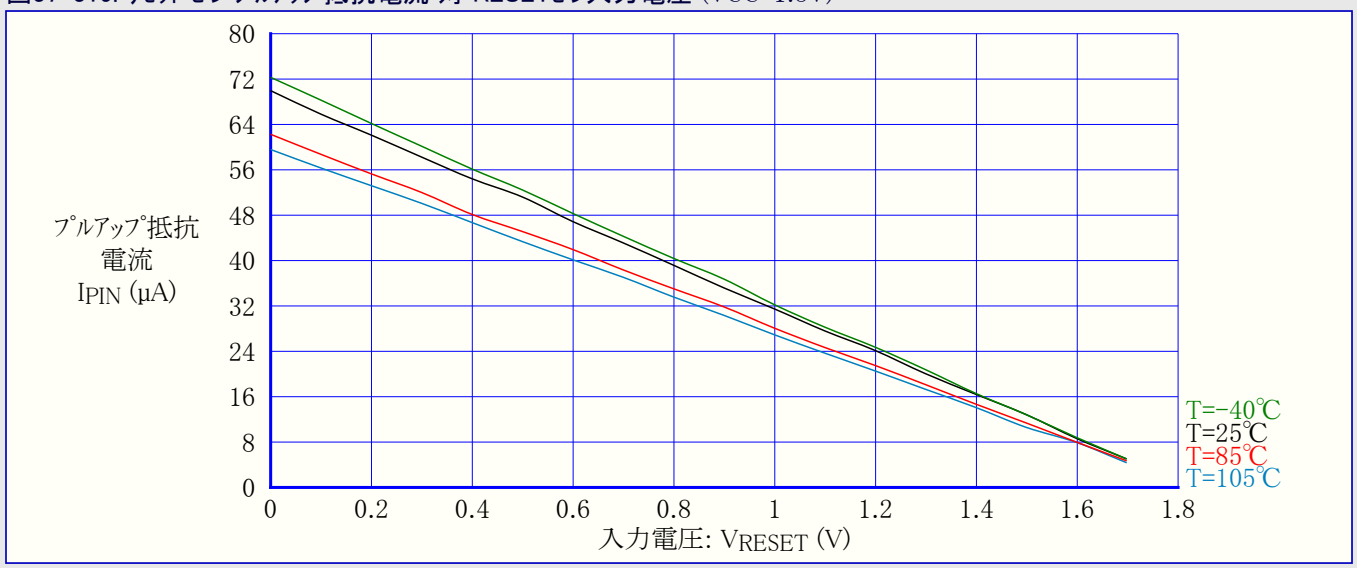


図37-316. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

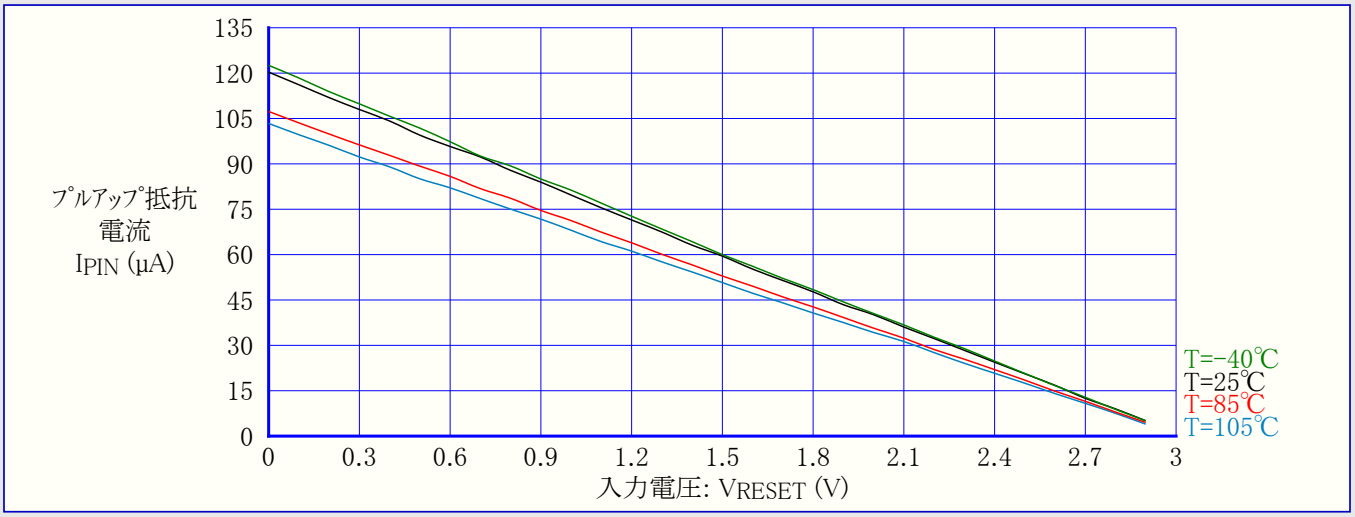


図37-317. リセット ピン プルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

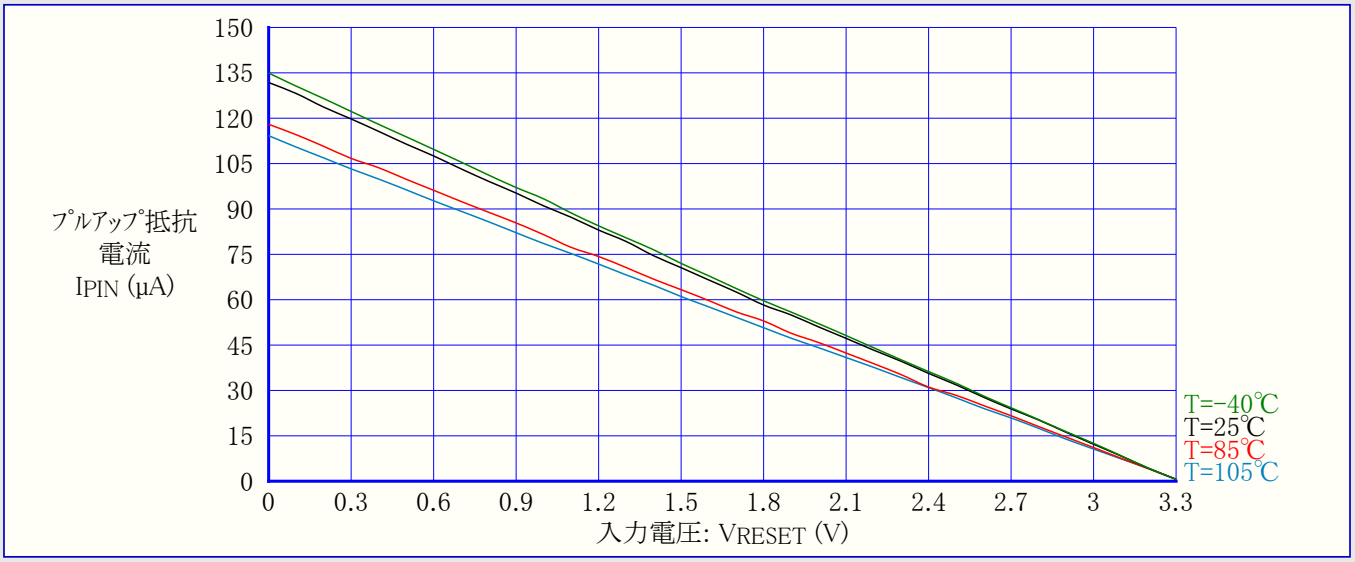
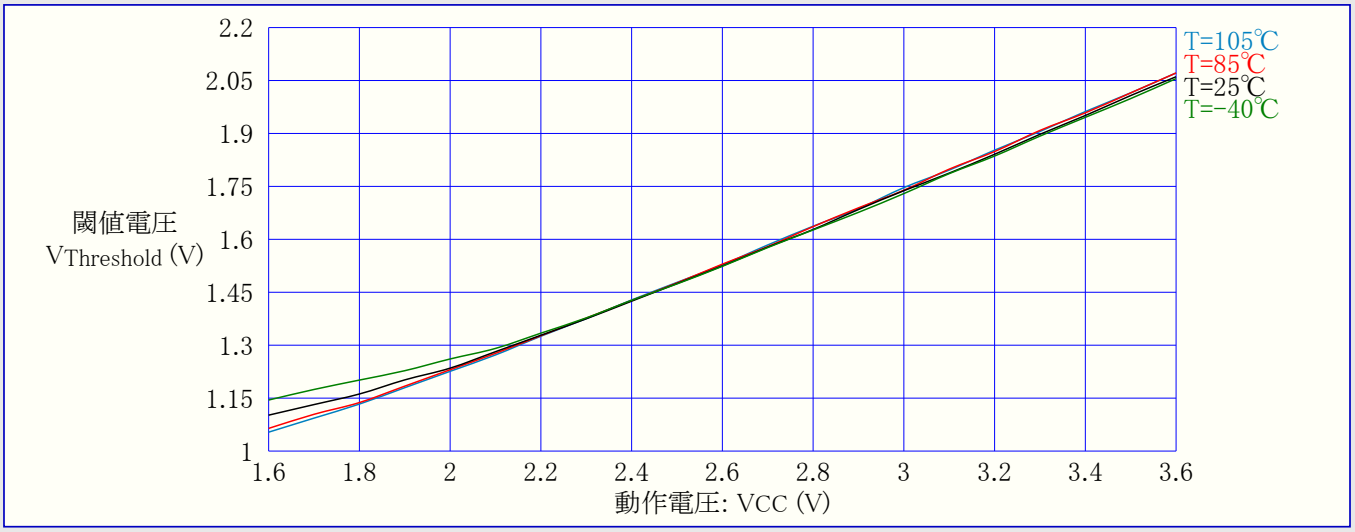
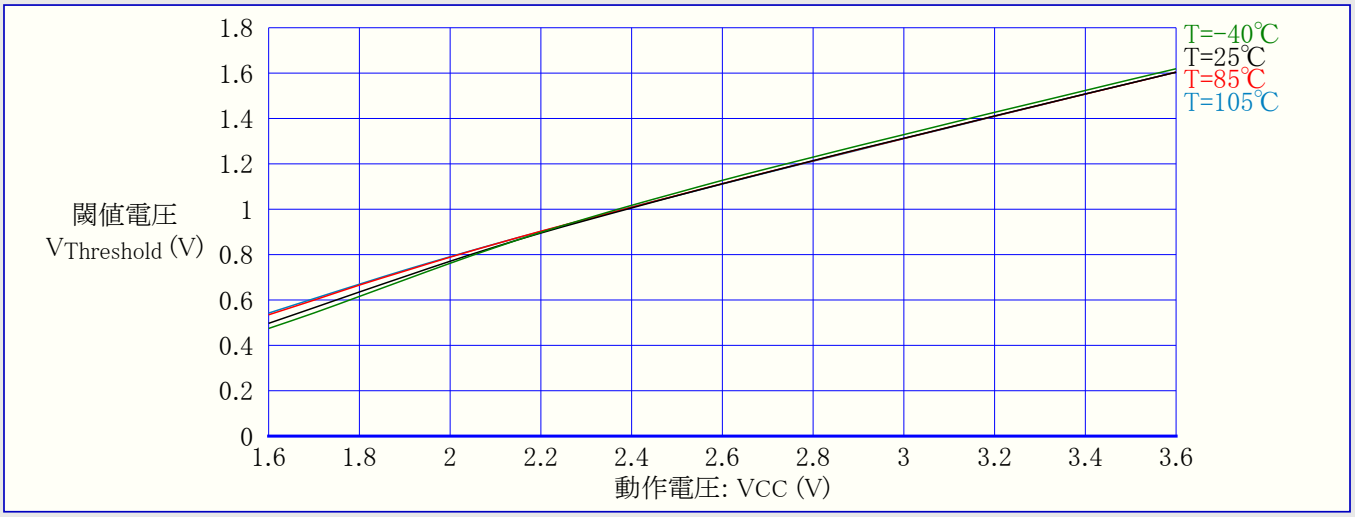


図37-318. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIH,1読み値)



© 2011-2020 Microchip Technology Inc.

図37-319. RESET入力閾値(スレッショールド)電圧 対 動作電圧 (VIL,0読み値)



37.4.9. 電源ONリセット特性

図37-320. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの継続動作で許可)

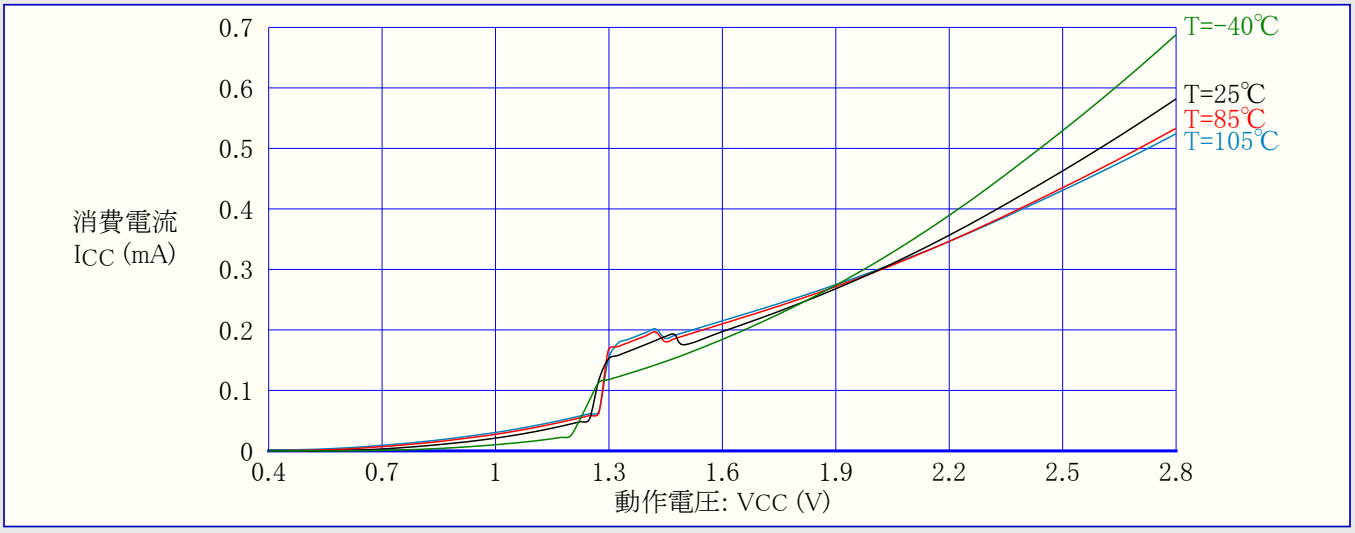
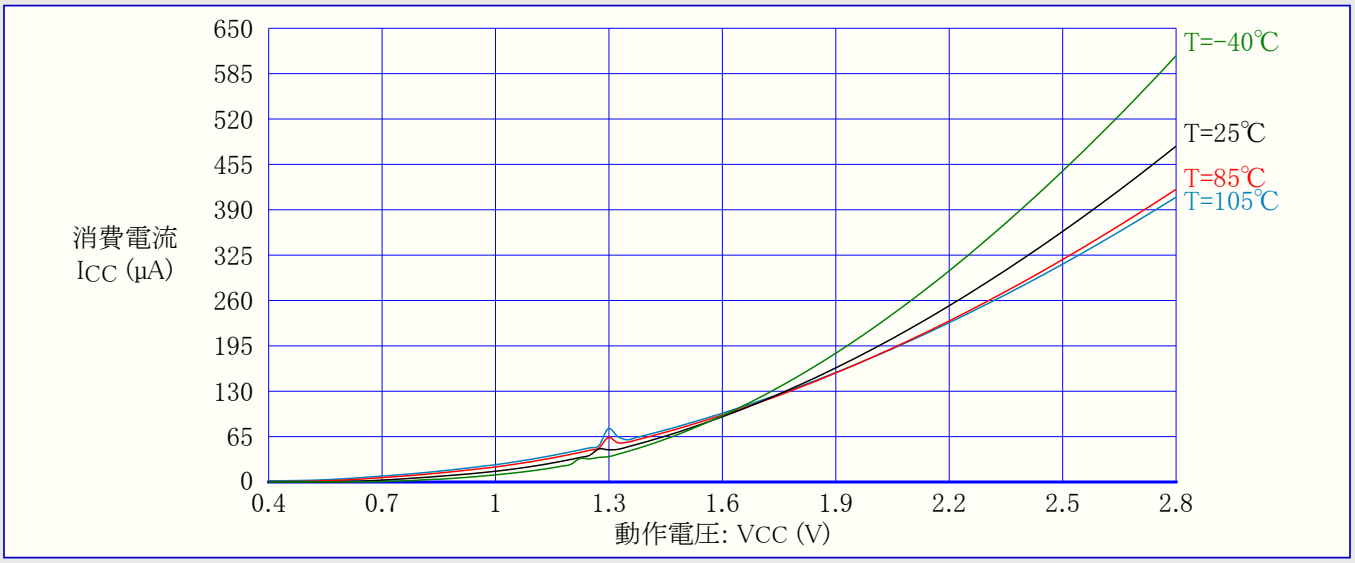


図37-321. 電源ONリセット消費電流 対 動作電圧 (BODレベル=3.0Vの採取動作で許可)

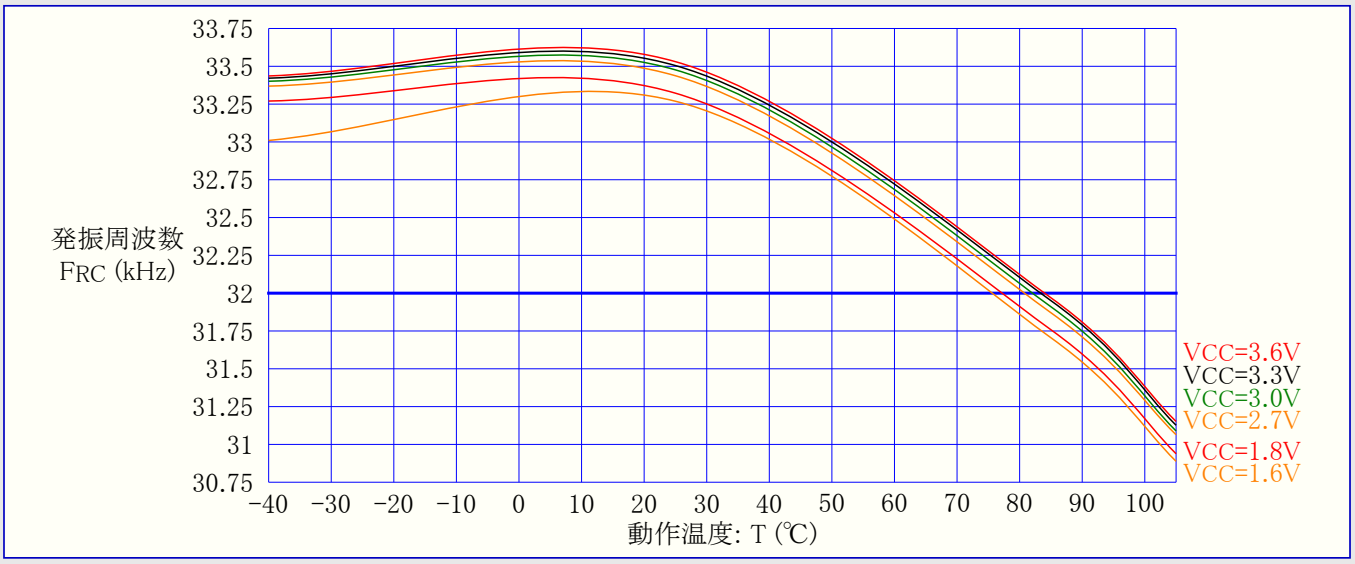


© 2011-2020 Microchip Technology Inc.

37.4.10. 発振器特性

37.4.10.1. 超低電力内部発振器

図37-322. 超低電力内部発振器周波数 対 動作温度



37.4.10.2. 32.768kHz内部発振器

図37-323. 32.768kHz内部発振器周波数 対 動作温度

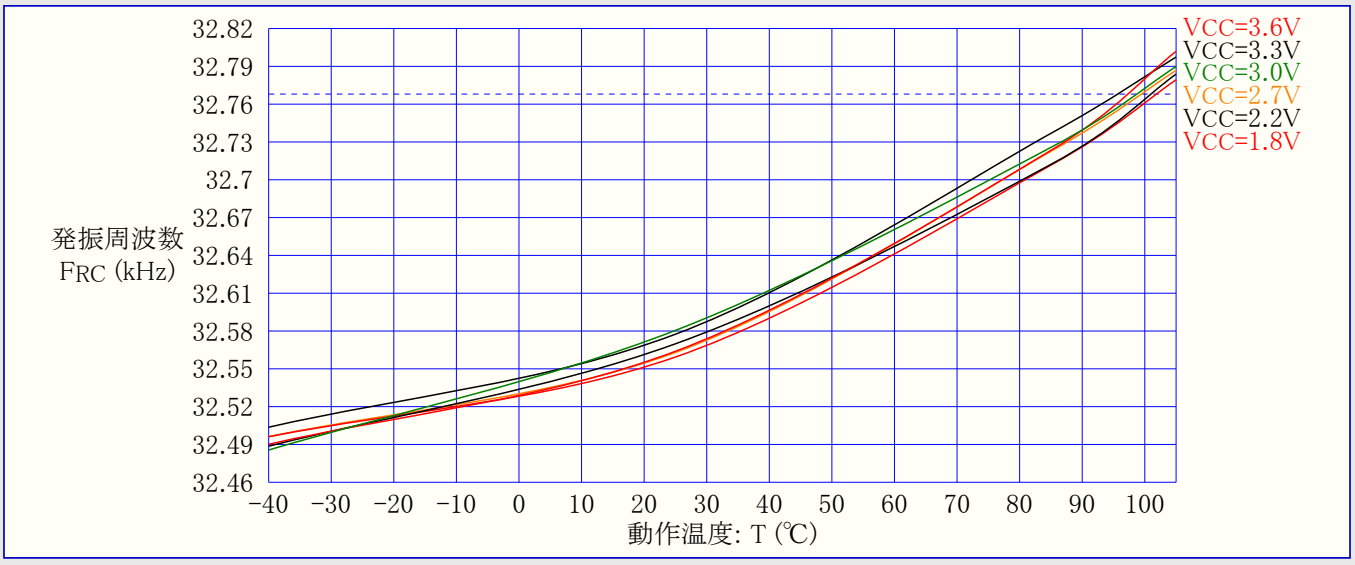
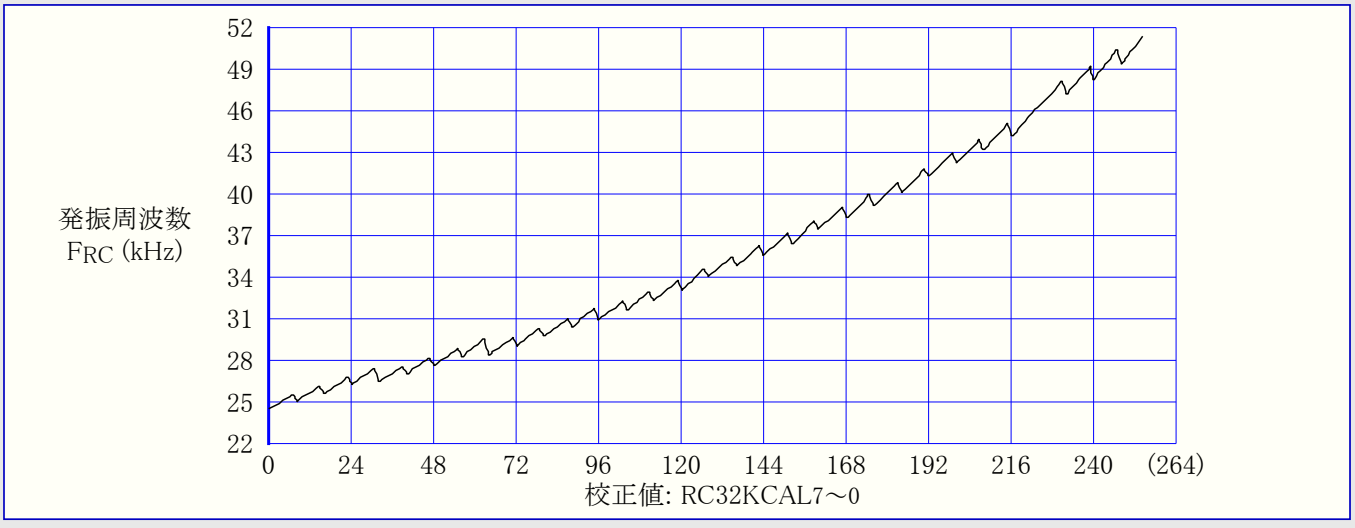


図37-324. 32.768kHz内部発振器周波数 対 校正値 (T=25℃、VCC=3.0V)



37.4.10.3. 2MHz内部発振器

図37-325. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

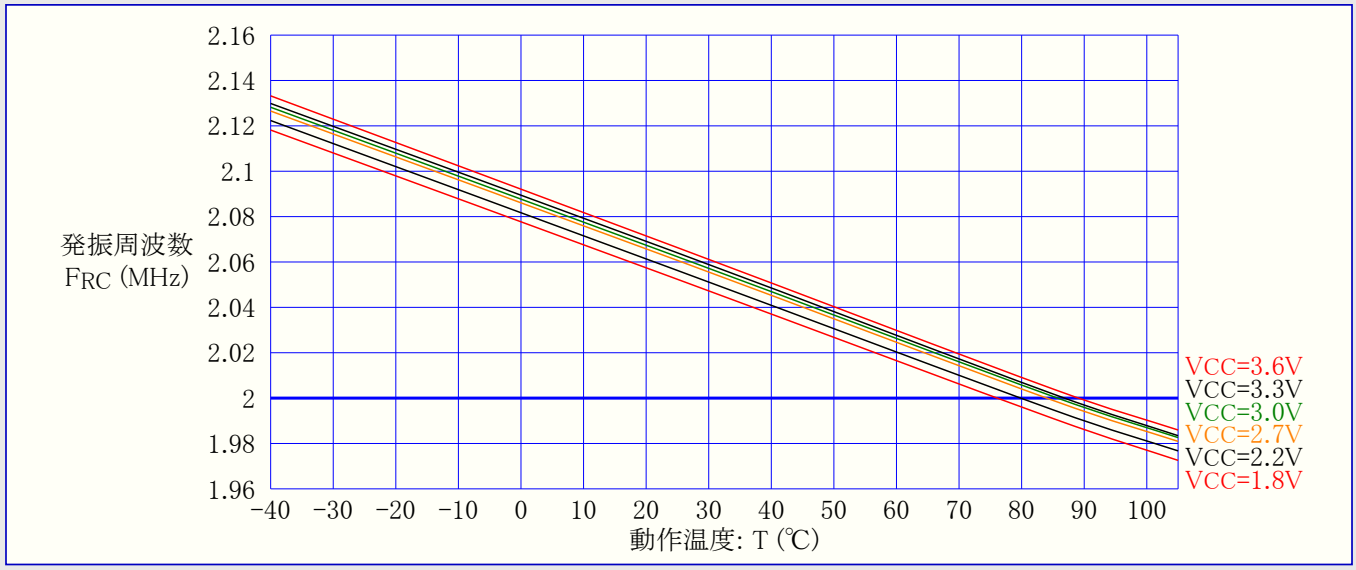


図37-326. 2MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

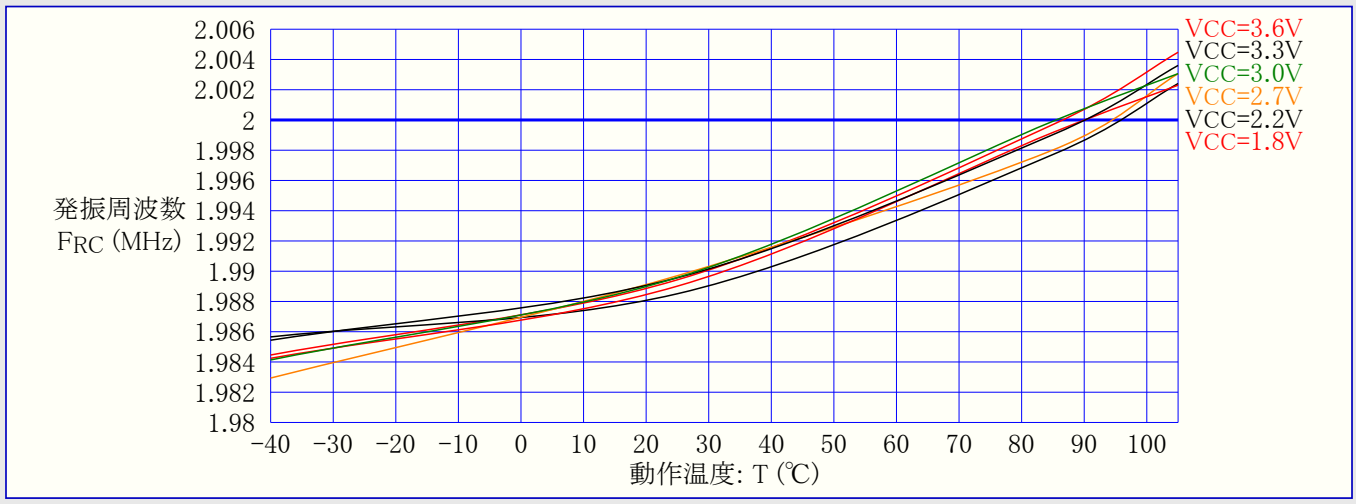
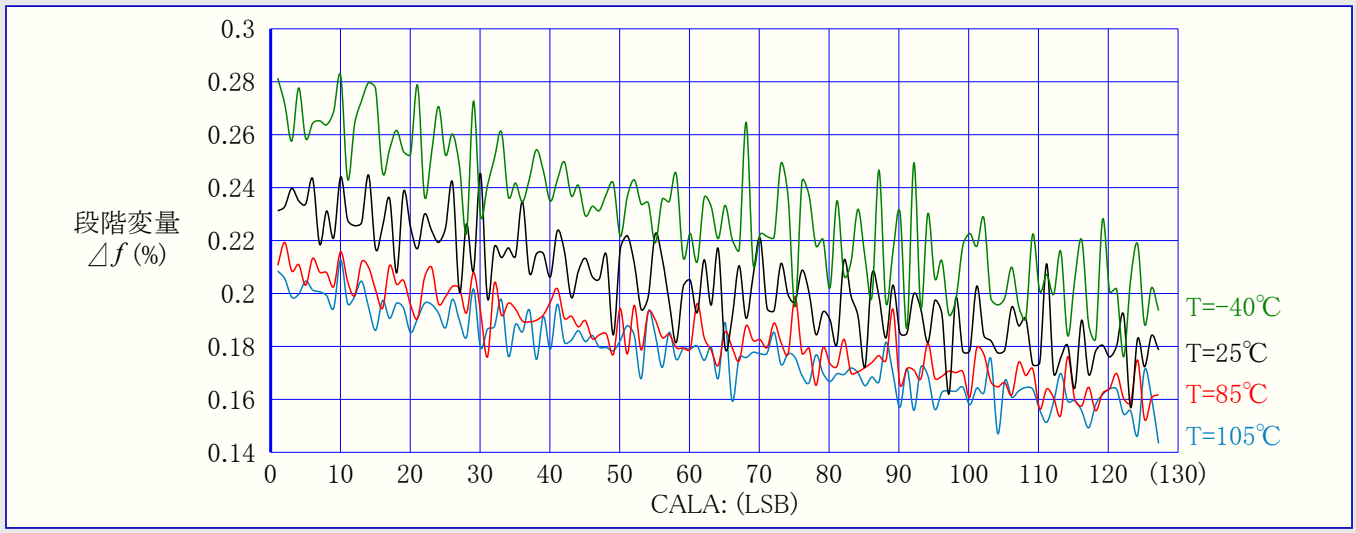


図37-327. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)



37.4.10.4. 32MHz内部発振器

図37-328. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

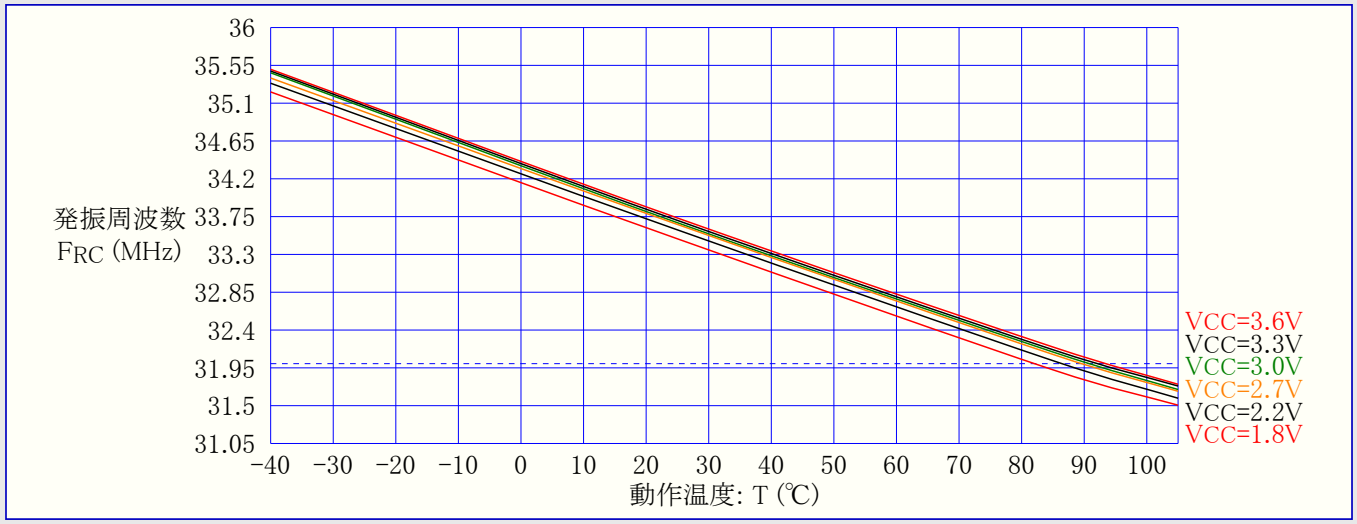


図37-329. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

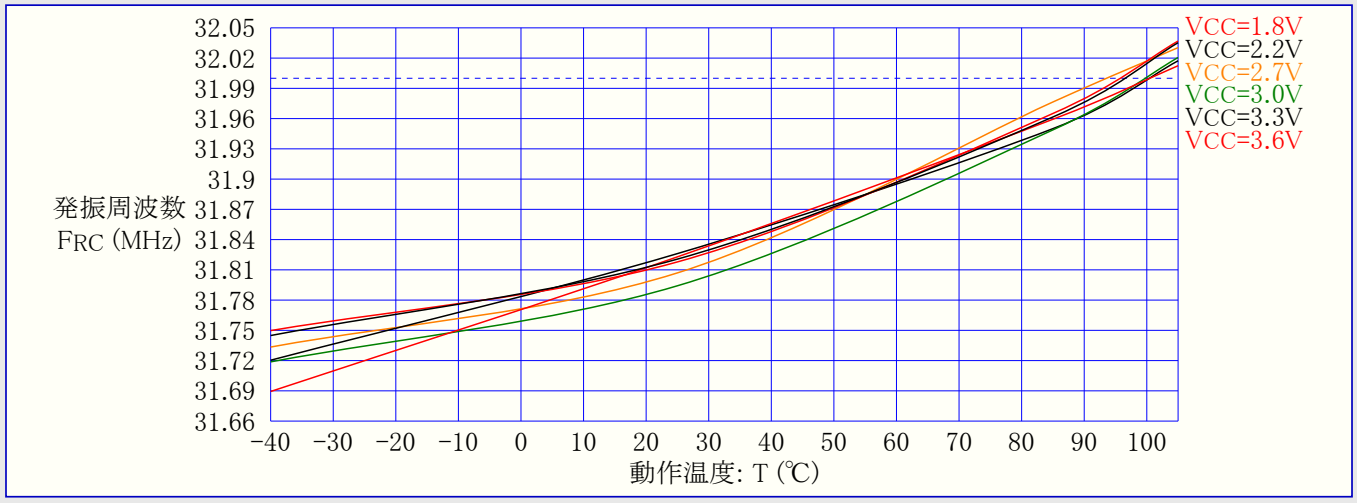
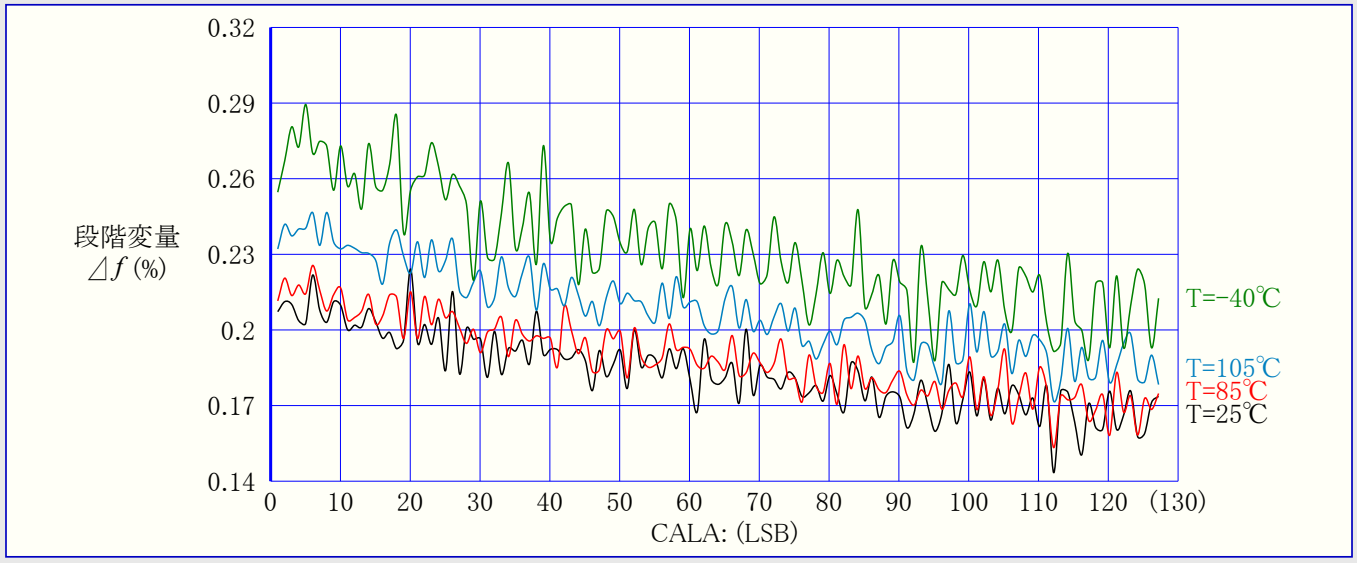


図37-330. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)



37.4.10.5. 48MHzに校正された32MHz内部発振器

図37-331. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

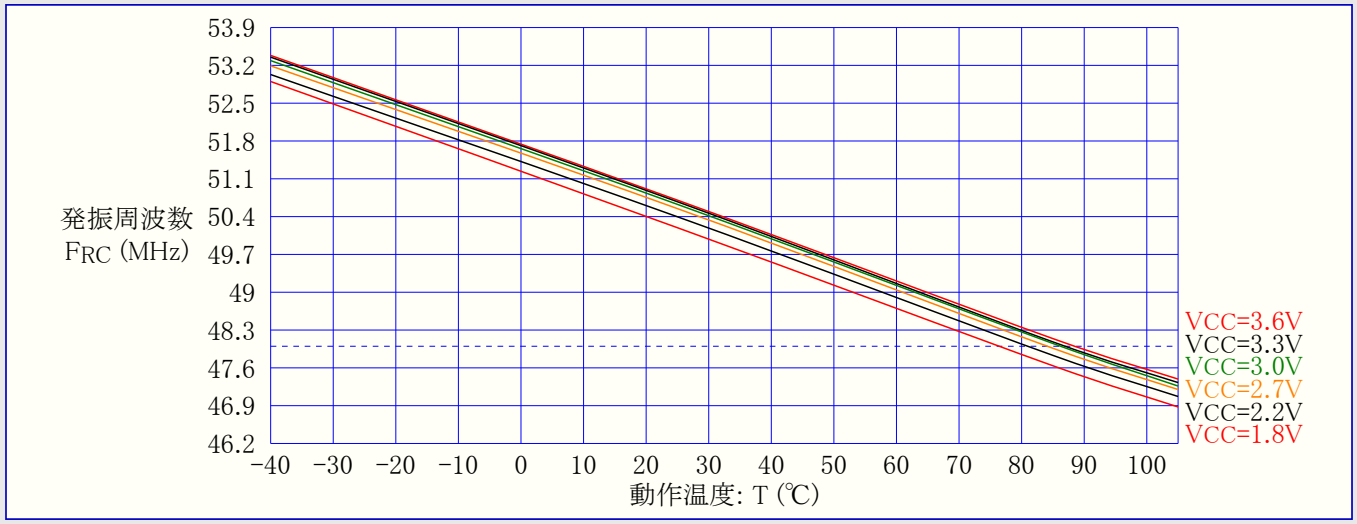


図37-332. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からでDFLL許可)

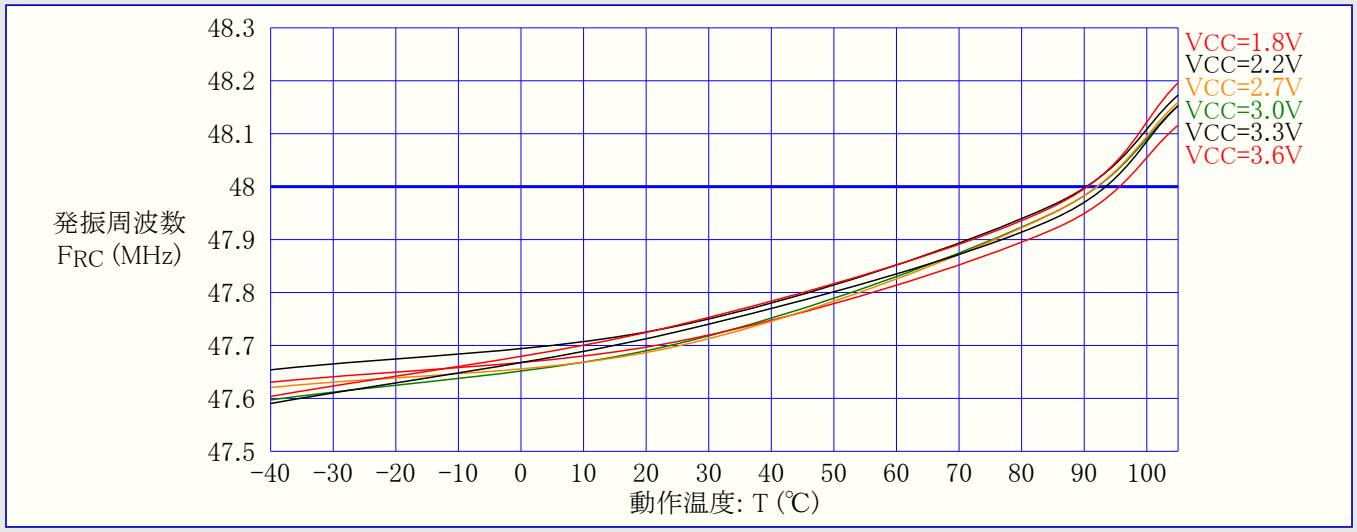
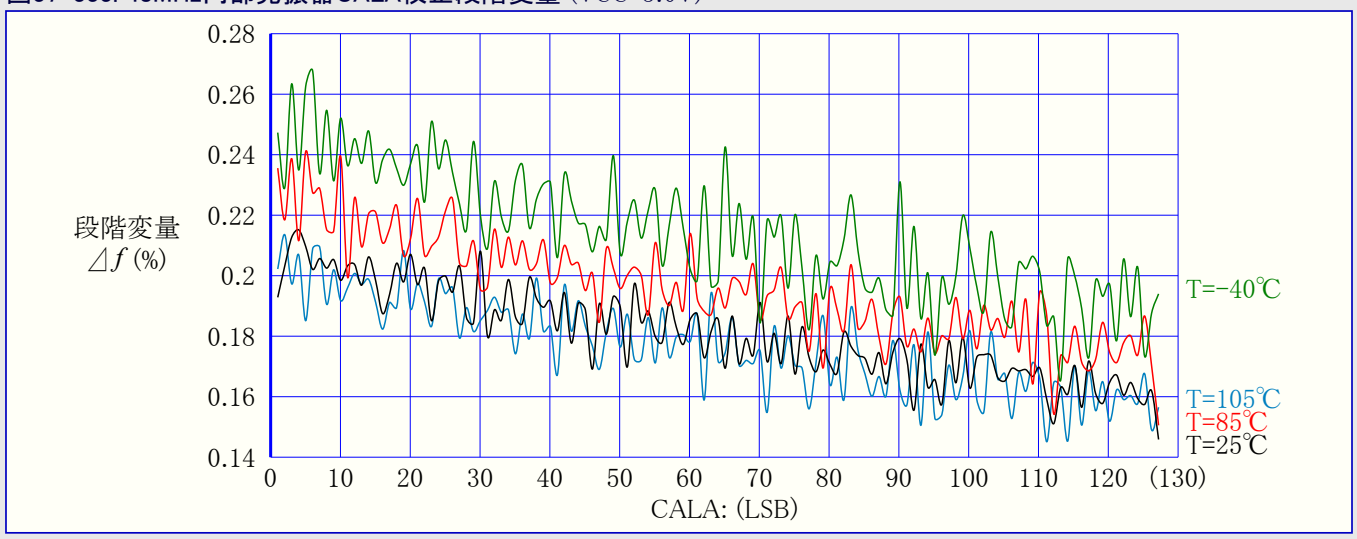
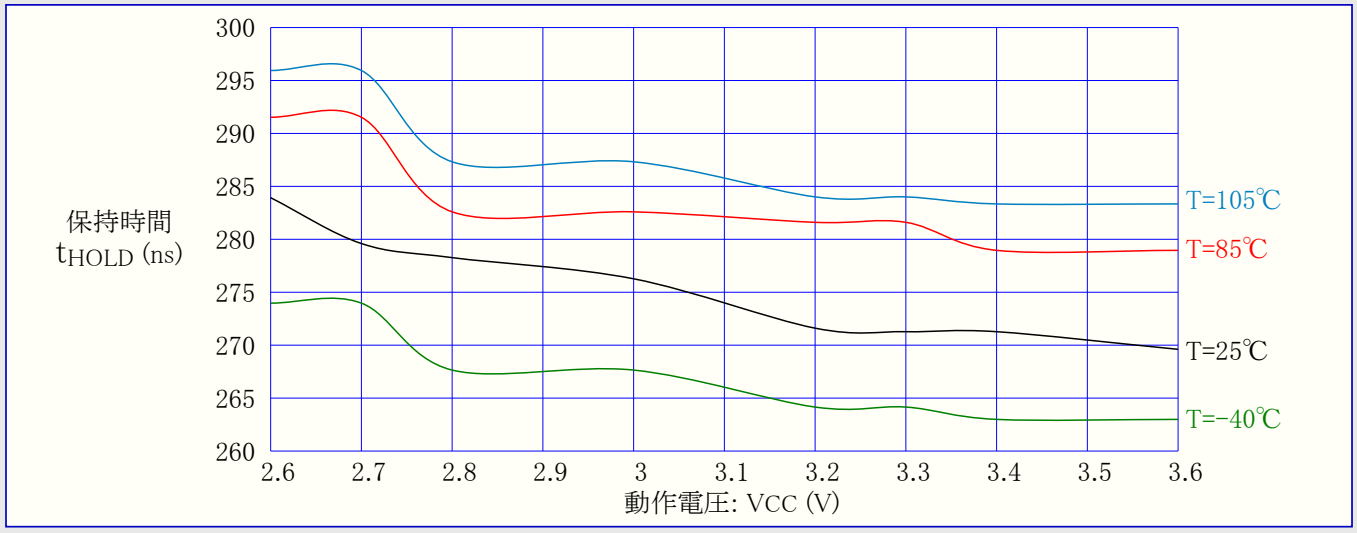


図37-333. 48MHz内部発振器CALA校正段階変量 (VCC=3.0V)



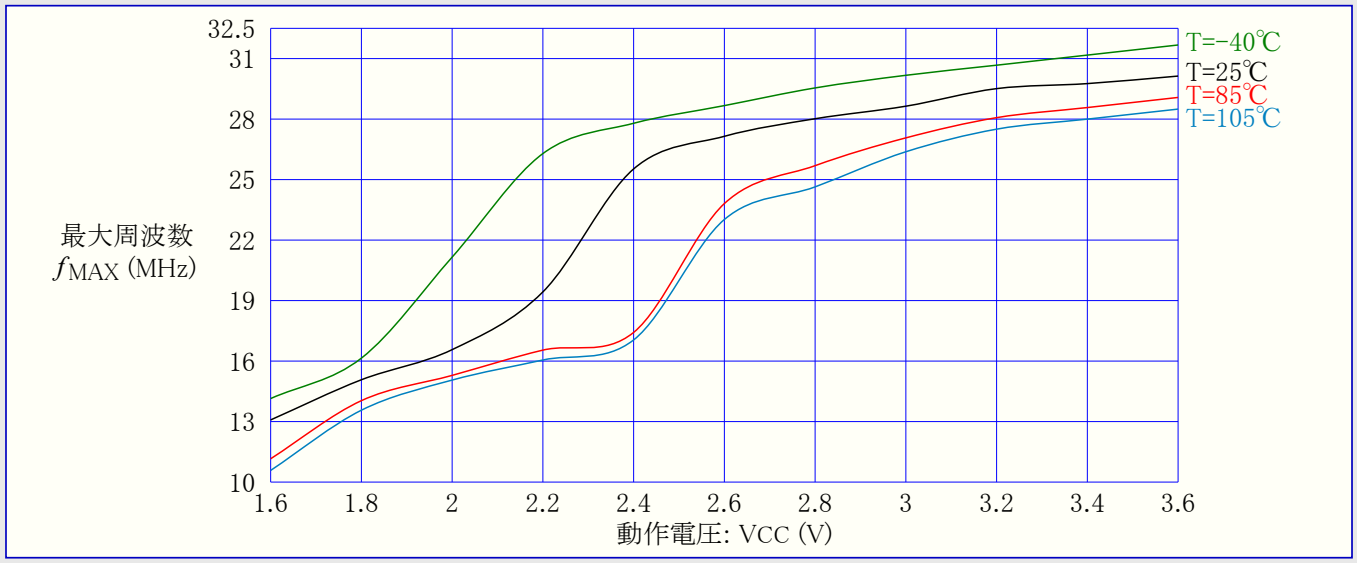
37.4.11. 2線インターフェース特性

図37-334. SDA保持時間 対 動作温度



37.4.12. PDI特性

図37-335. 最大PDI周波数 対 動作電圧



38. 障害情報

障害内容はwww.microchip.com/DS80000852で見つかる独立した文書の「ATxmega128A4U/64A4U/32A4U/16A4Uｼﾘｺﾝ障害情報とﾃﾞｰﾀｼｰﾄ説明」に移動されました。（訳注:本書では便宜のためこの文書の障害情報も含みます。）

38.1. ｼﾘｺﾝ問題要約

凡例

- \-　障害は適用されません。
- ×　障害が適用されます。
- ＊　このｼﾘｺﾝ改訂は製品に関して一度も公開されませんでした。

周辺機能	簡単な説明	ﾃﾞﾊﾞｲｽ	ｼﾘｺﾝ改訂に対する有効性						
			ATxmega 16A4U		ATxmega 32A4U		ATxmega 64A4U		ATxmega 128A4U
		改訂	A～D	E	A～D	E	A,B	C	D	A
ADC	ADCは低温且つ低VCCでの符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ動作で符号抜けがあるかもしれません。		＊	×	＊	×	＊	×	×	×
CRC	CRCは最終ｱﾄﾞﾚｽがﾌﾗｯｼｭ領域の最終語ｱﾄﾞﾚｽの時の範囲CRCに対して失敗します。		＊	×	＊	×	＊	×	×	\-
AWeX	AWeX障害保護回復が模様型生成動作で正しく行われません。		＊	×	＊	×	＊	×	\-	\-
Hi-Res	Hi-Res拡張はTC0/1のCCBとCCDに対して動きません。		＊	×	×	×	＊	×	×	×

38.2. ADC – A/D変換器

38.2.1. ADCは低温且つ低VCCでのｼﾝｸﾞﾙ ｴﾝﾄﾞ動作で符号抜けがあるかもしれません。

ADCはVCCが1.8V未満の時に0℃未満に於いて符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ(SE)動作形態で符号抜けがあるかもしれません。

対策/対処:

符号付きSE動作形態を使ってください。

影響を及ぼされるｼﾘｺﾝ改訂

ﾃﾞﾊﾞｲｽ	ATmega16A4U						ATmega32A4U						ATmega64A4U						ATmega128A4U						
改訂	A～D	E					A～D	E					A,B	C	D				A						
影響	*	×					*	×					*	×	×				×						

38.3. CRC – 巡回冗長検査

38.3.1. CRCは最終ｱﾄﾞﾚｽがﾌﾗｯｼｭ領域の最終語ｱﾄﾞﾚｽの時の範囲CRCに対して失敗します。

ﾌﾞｰﾄ読み込み施錠が許可される場合、範囲CRCは応用領域の最終ｱﾄﾞﾚｽで終わることができません。応用表読み込み施錠が許可される場合、範囲CRCは応用表前の最終ｱﾄﾞﾚｽで終わることができません。

対策/対処:

範囲CRCで使われる最終ｱﾄﾞﾚｽが許可された読み込み施錠を持つ領域手前の最終ｱﾄﾞﾚｽで終わらないことを保証してください。代わりに、完全(全体的)な応用領域に対する専用CRC指令を用いてください。

影響を及ぼされるｼﾘｺﾝ改訂

ﾃﾞﾊﾞｲｽ	ATmega16A4U						ATmega32A4U						ATmega64A4U						ATmega128A4U						
改訂	A～D	E					A～D	E					A,B	C	D				A						
影響	*	×					*	×					*	×	×				–						

38.4. AWeX – 新波形生成拡張

38.4.1. AWeX障害保護回復が模様型生成動作で正しく行われません。

障害が検出されると、出力無効化許可(OUTOVEN)ﾚｼﾞｽﾀが解除され、障害条件が解消される時に対応する許可されたDTIﾁｬﾈﾙに従ってOUTOVENが回復されます。共通波形ﾁｬﾈﾙ動作(CWCM:Common Waveform Channel Mode)に関しては、障害から回復した後にOUTOVENが正しいので、これは無効です。模様型生成動作(PGM:Pattern Generation Mode)については、OUTOVENが代わりに沈黙時間Low側緩衝(DTLSBUF)ﾚｼﾞｽﾀに従って回復されてしまいます。

対策/対処:

CWCMに関しては対策が必要とされません。

ﾗｯﾁ動作でのPGMについては障害状態から戻る前にDTIﾁｬﾈﾙを禁止してください。そして、再び正しい出力を許可するために方向(DIR)ﾚｼﾞｽﾀが書かれる前に、正しいOUTOVEN値を設定してDTIﾁｬﾈﾙを許可してください。

影響を及ぼされるｼﾘｺﾝ改訂

ﾃﾞﾊﾞｲｽ	ATmega16A4U						ATmega32A4U						ATmega64A4U						ATmega128A4U						
改訂	A～D	E					A～D	E					A,B	C	D				A						
影響	*	×					*	×					*	×	–				–						

38.5. Hi-Res – 高分解能拡張

38.5.1. H-Res拡張はTC0/1のCCBとCCDに対して動きません。

Hi-Resと共にTC0/1のCCBとCCDを許可すると、どの波形生成動作でもﾁｬﾈﾙ出力にあるべき値を不正にします。

対策/対処:

ありません。

ﾃﾞﾊﾞｲｽ	ATmega16A4U						ATmega32A4U						ATmega64A4U						ATmega128A4U						
改訂	A～D	E					A～D	E					A,B	C	D				A						
影響	*	×					*	×					*	×	×				×						

39. データシート改訂履歴

本章での頁番号参照が本資料を参照されることに注意してください。本章での改訂の参照は資料改訂を参照しています。

39.1. 8387A – 2011年7月

1. 初版

39.2. 8387B – 2011年12月

1. 6頁の**図2-1.「構成図とTQFP/QFNピン配置」**を更新
2. 8頁の**図3-1.「XMEGA A4U構成図」**を更新
3. 13頁の**「概要」**を更新
4. 43頁の**「ADC – 12ビットA/D変換器」**を更新
5. 44頁の**図28-1.「ADC概要」**を更新
6. 50頁の**表32-2.**を修正
7. 51頁の**表32-4.**を修正
8. 53頁の**「命令一式要約」**を更新
9. 60頁の**「電気的特性」**を更新
10. 70頁の**表36-29.**を修正
11. 71頁の**表36-30.**を修正
12. 116頁の**「代表特性」**を更新
13. 80頁の**「入出力ピン特性」**で表題を修正(文字「リセット」を削除)
14. **「代表特性」**章内の多くの図の順番を変更
15. **「代表特性」**章で多数の図を追加、いくつかの図を削除
16. 文章と図で多数の些細な変更/修正を実行

39.3. 8387C – 2012年3月

1. 5頁の**「注文情報」**を更新。新外囲器44PWを追加
2. 56頁の**「外囲器情報」**を更新。新外囲器44PWを追加
3. ICC活動消費電力に対して新しい値で61頁の**表36-4.**を更新
4. 113頁の**「活動動作消費電流」**内の代表的な特性を更新
5. 120頁の**「パワーダウン動作消費電流」**内の代表的な特性を更新
6. 74頁に**「ATxmega32A4U」**用の電気的特性を追加
7. 88頁に**「ATxmega64A4U」**用の電気的特性を追加
8. 102頁に**「ATxmega128A4U」**用の電気的特性を追加
9. 144頁に**「ATxmega32A4U」**用の代表特性を追加
10. 172頁に**「ATxmega64A4U」**用の代表特性を追加
11. 200頁に**「ATxmega128A4U」**用の代表特性を追加
12. 228頁の**「障害情報」**を更新
13. 最終頁でのAtmel新住所を含むAtmelの新しいデータシート雛形を使用

39.4. 8387D – 2013年2月

1. 5頁の**「注文情報」**で誤植を更新
2. これらのピンがTOSCピンとして使えること示すために6頁の**「ピン配置/構成図」**でPE2とPE3のピンを更新
3. 6頁の**図2-1.**で19番ピンをVDDからVCCに改名
4. 16頁の**表7-1.**でATxmega128A4Uに対するページ容量を更新
5. 50頁の**表32-2.**で外部駆動部インターフェースを使うTWIに対する列を追加
6. VIHとVILに対する限度を更新:
   ATxmega16A4U　: 63頁の**表36-7.**
   ATxmega32A4U　: 77頁の**表36-39.**
   ATxmega64A4U　: 91頁の**表36-71.**
   ATxmega128A4U : 105頁の**表36-103.**
7. 63頁の**表36-7.**でATxmega16A4Uの漏れ電流を更新

8. DACのｸﾛｯｸとﾀｲﾐﾝｸﾞの特性を更新:
   ATxmega16A4U　: 65頁の**表36-13.**
   ATxmega32A4U　: 79頁の**表36-45.**
   ATxmega64A4U　: 93頁の**表36-77.**
   ATxmega128A4U : 107頁の**表36-109.**
9. 68頁の**表36-21.**でATxmega16A4Uに対する応用消去時間を追加
10. 69頁でATxmega16A4Uの「**外部ｸﾛｯｸ特性**」を更新
11. 「**外部16MHzｸﾘｽﾀﾙ用発振器とXOSCの特性**」にESRﾊﾟﾗﾒｰﾀを追加:
    ATxmega16A4U　: 70頁の**表36-29.**
    ATxmega32A4U　: 84頁の**表36-61.**
    ATxmega64A4U　: 98頁の**表36-93.**
    ATxmega128A4U : 112頁の**表36-125.**
12. 77頁の**表36-39.**でATxmega32A4Uの漏れ電流を更新
13. 82頁の**表36-53.**でATxmega32A4Uに対する応用消去時間を追加
14. 83頁でATxmega32A4Uの「**外部ｸﾛｯｸ特性**」を更新
15. 88頁からのATxmega64A4U用の「**電気的特性**」を更新
16. 110頁の**表36-117.**でATxmega128A4Uに対する応用消去時間を追加
17. 111頁でATxmega128A4Uの「**外部ｸﾛｯｸ特性**」を更新
18. 「**代表特性**」章でATxmega32A4U消費電流を更新。144頁の「**消費電流**」をご覧ください。
19. 200頁からのATxmega128A4U用の「**代表特性**」を更新

39.5. 8387E – 2013年11月

1. 5頁の「**注文情報**」でATxmega128A4Uの-AU,-AUR,-MH,-MHRに対してﾌﾗｯｼｭ容量欄を更新

39.6. 8387F – 2014年1月

1. ﾃﾞｰﾀｼｰﾄからJTAG参照を削除
2. 46頁の**図30-1.**を更新。正多重器は2つの”入力”を持ち、一方負多重器は4つの”入力”を持ちます。

39.7. 8387G – 2014年3月

1. ﾃﾞｰﾀｼｰﾄから「暫定」を削除
2. 228頁の「**障害情報**」を更新。ATxmega64A4Uに改訂CとDの障害情報を追加

39.8. 8387H – 2014年9月

1. 5頁の「**注文情報**」を更新。ATxmega16A4U/32A4U/64A4U/128A4Uの105℃品の注文情報を追加
2. 14頁の**図7-1.**で応用表領域を4K/4K/4K/4Kから8K/4K/4K/4Kに更新
3. 16頁の**表7-2.**でATxmega128A4Uに対する値をﾍﾟｰｼﾞ容量=128、FWORK=Z7～1に変更
4. 44頁の**図28-1.**と43頁の「**ADC – 12ﾋﾞｯﾄA/D変換器**」、46頁の「**AC – ｱﾅﾛｸﾞ比較器**」の文章でVCCをAVCCに変更
5. 61頁の**表36-4.**、75頁の**表36-36.**、89頁の**表36-68.**、103頁の**表36-100.**を更新。全機能禁止と、WDTと採取BOD許可に対するT=105℃用ﾊﾟﾜｰﾀﾞｳﾝ消費電流(ICC)を追加
6. 67頁の**表36-20.**、81頁の**表36-52.**、94頁の**表36-84.**、109頁の**表36-116.**を更新。T=55℃を削除してT=85℃とT=105℃を含むように全ての表を更新
7. 73頁の**表36-32.**、87頁の**表36-64.**、115頁の**表36-128.**で$t_{SU;DAT}$ﾊﾟﾗﾒｰﾀ用単位表記を変更
8. ATxmega16A4U/32A4U/64A4U/128A4Uに対して105℃代表特性曲線を追加

39.9. 改訂A – 2020年4月

1. 新しいMicrochip文書番号。以前版はAtmelﾃﾞｰﾀｼｰﾄ改訂8387Hでした。
2. 外囲器情報をMicrochip形式に更新
3. 注文情報を更新
4. 障害情報は独立した文書に移動されました。
5. 「構成図とVQFN/TQFP」図に注を追加

開発支援

Microchipの受賞歴のある開発ツールで設計を構想から製造へ記録的な速さで行動してください。Microchipのツールはどの計画に対しても最新のデバッグを提供するために無料のMPLAB®XおよびAtmel Studio統合開発環境(IDE)での使い易い画像使用者インターフェース(GUI)とコード生成ツールと共に動きます。究極に使い易い体験を提供するMicroshipの書き込み器、デバッガ、エミュレータは当社のソフトウェア ツールと共に継ぎ目なく動きます。Microchipの開発基板は応用に最適なシリコン デバイスの評価に役立ち、同時に当社の第三者のツール群はは包括的な開発ツール解決策を完成させます。

MicrochipのMPLAB XとAtmel Studio協業系はPIC® MCU、AVR® MCU、SAM MCU、dsPIC® DSCのような多数のデバイスを支援する、考慮すべき様々な組み込み設計ツールを提供します。MPLAB Xツールは Windows®、Linux®、Mac®オペレーティング システムに適合し、一方でAtmel Studioツールは Windowsに適合します。

より多くの情報と詳細については次のウェブサイトへ行ってください。

https://www.microchip.com/development-tools/

Microchipウェブ サイト

Microchipはwww.microchip.comで当社のウェブサイト経由でのオンライン支援を提供します。このウェブサイトはお客様がファイルや情報を容易に利用可能にする手段として使われます。お気に入りのインターネット ブラウザを用いてアクセスすることができ、ウェブサイトは以下の情報を含みます。

- **製品支援** – データシートと障害情報、応用記述と試供プログラム、設計資源、使用者の手引きとハードウェア支援資料、最新ソフトウェア配布と保管されたソフトウェア
- **全般的な技術支援** – 良くある質問(FAQ)、技術支援要求、オンライン検討グループ、Microchip相談役プログラム員一覧
- **Microshipの事業** – 製品選択器と注文の手引き、最新Microchip報道発表、セミナーとイベントの一覧、Microchip営業所の一覧、代理店と代表する工場

お客様への変更通知サービス

Microchipのお客様通知サービスはMicrochip製品を最新に保つのに役立ちます。加入者は指定した製品系統や興味のある開発ツールに関連する変更、更新、改訂、障害情報がある場合に必ず電子メール通知を受け取ります。

登録するにはwww.microchip.comでMicrochipのウェブサイトをアクセスしてください。”Support”下で”Customer Change Notification”をクリックして登録指示に従ってください。

お客様支援

Microchip製品の使用者は以下のいくつかのチャネルを通して支援を受け取ることができます。

- 代理店または販売会社
- 最寄りの営業所
- 現場応用技術者(FAE:Field Aplication Engineer)
- 技術支援

お客様は支援に関してこれらの代理店、販売会社、または現場応用技術者(FAE)に連絡を取るべきです。最寄りの営業所もお客様の手助けに利用できます。営業所と位置の一覧はこの資料の後ろに含まれます。

技術支援はhttp://microchip.com/supportでのウェブサイトを通して利用できます。

Microchipデバイスでの以下のコード保護機能の以下の詳細に注意してください。

- Microchip製品はそれら特定のMicrochipデータシートに含まれる仕様に合致します。
- Microchipは意図した方法と通常条件下で使われる時に、その製品系統が今日の市場でその種類の最も安全な系統の1つであると考えます。
- コード保護機能を破るのに使われる不正でおそらく違法な方法があります。当社の知る限りこれらの方法の全てはMicrochipのデータシートに含まれた動作仕様外の方法でMicrochip製品を使うことが必要です。おそらく、それを行う人は知的財産の窃盗に関与しています。
- Microchipはそれらのコードの完全性について心配されているお客様と共に働きたいと思います。
- Microchipや他のどの半導体製造業者もそれらのコードの安全を保証することはできません。コード保護は当社が製品を”破ることができない”として保証すると言うことを意味しません。

コード保護は常に進化しています。Microchipは当社製品のコード保護機能を継続的に改善することを約束します。Microchipのコード保護機能を破る試みはデジタル ミレニアム著作権法に違反するかもしれません。そのような行為があなたのソフトウェアや他の著作物に不正なアクセスを許す場合、その法律下の救済のために訴権を持つかもしれません。

ﾃﾞﾊﾞｲｽ応用などに関してこの刊行物に含まれる情報は皆さまの便宜のためにだけ提供され、更新によって取り換えられるかもしれません。皆さまの応用が皆さまの仕様に合致するのを保証するのは皆さまの責任です。**Microchipはその条件、品質、性能、商品性、目的適合性を含め、明示的にも黙示的にもその情報に関連して書面または表記された書面または黙示の如何なる表明や保証もしません。**Microchipはこの情報とそれの使用から生じる全責任を否認します。生命維持や安全応用でのMicrochipﾃﾞﾊﾞｲｽの使用は完全に購入者の危険性で、購入者はそのような使用に起因する全ての損害、請求、訴訟、費用からMicrochipを擁護し、補償し、免責にすることに同意します。他に言及されない限り、Microchipのどの知的財産権下でも暗黙的または違う方法で許認可は譲渡されません。

Microchipの品質管理ｼｽﾃﾑに関する情報についてはwww.microchip.com/qualityを訪ねてください。

商標

Microchipの名前とﾛｺﾞ、Mcicrochipﾛｺﾞ、Adaptec、AnyRate、AVR、AVRﾛｺﾞ、AVR Freaks、BesTime、BitCloud、chipKIT、chipKITﾛｺﾞ、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemiﾛｺﾞ、MOST、MOSTﾛｺﾞ、MPLAB、OptoLyzer、PackeTime、PIC、picoPower、PICSTART、PIC32ﾛｺﾞ、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SSTﾛｺﾞ、SuperFlash、Symmetricom、SyncServer、Tachyon、TempTrackr、TimeSource、tinyAVR、UNI/O、Vectron、XMEGAは米国と他の国に於けるMicrochip Technology Incorporatedの登録商標です。

APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plusﾛｺﾞ、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、Vite、WinPath、ZLは米国に於けるMicrochip Technology Incorpora tedの登録商標です。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、INICnet、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNetﾛｺﾞ、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certifiedﾛｺﾞ、MPLAB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、SAM-ICE、Serial Quad I/O、SMART-I.S.、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSense、WiperLock、Wireless DNA、ZENAは米国と他の国に於けるMicrochip Technology Incorporatedの商標です。

SQTPは米国に於けるMicrochip Technology Incorporatedの役務標章です。

Adaptecﾛｺﾞ、Frequency on Demand、Silicon Storage Technology、Symmcomは他の国に於けるMicrochip Technology Inc.の登録商標です。

GestICは他の国に於けるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. KGの登録商標です。

ここで言及した以外の全ての商標はそれら各々の会社の所有物です。

© 2020年、Microchip Technology Incorporated、米国印刷、不許複製

日本語© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはMicrochipのATxmega128A4U/64A4U/32A4U/16A4U英語版ﾃﾞｰﾀｼｰﾄ(DS40002166A-2020年4月)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ﾎﾟｰﾄの出力ﾃﾞｰﾀ ﾚｼﾞｽﾀとﾋﾟﾝ入力は、対応関係からの理解の容易さから出力ﾚｼﾞｽﾀと入力ﾚｼﾞｽﾀで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。

原書に対して若干構成が異なるため、一部の節/項番号が異なります。

世界的な販売とサービス

米国

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術支援:
http://www.microchip.com/support
ｳｪﾌﾞｱﾄﾞﾚｽ:
www.microchip.com

ｱﾄﾗﾝﾀ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

ｵｰｽﾁﾝ TX
Tel: 512-257-3370

ﾎﾞｽﾄﾝ
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

ｼｶｺﾞ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

ﾀﾞﾗｽ
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

ﾃﾞﾄﾛｲﾄ
Novi, MI
Tel: 248-848-4000

ﾋｭｰｽﾄﾝ TX
Tel: 281-894-5983

ｲﾝﾃﾞｱﾅﾎﾟﾘｽ
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453
Tel: 317-536-2380

ﾛｻﾝｾﾞﾙｽ
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608
Tel: 951-273-7800

ﾛｰﾘｰ NC
Tel: 919-844-7510

ﾆｭｰﾖｰｸ NY
Tel: 631-435-6000

ｻﾝﾎｾ CA
Tel: 408-735-9110
Tel: 408-436-4270

ｶﾅﾀﾞ - ﾄﾛﾝﾄ
Tel: 905-695-1980
Fax: 905-695-2078

亜細亜/太平洋

ｵｰｽﾄﾗﾘｱ - ｼﾄﾞﾆｰ
Tel: 61-2-9868-6733

中国 - 北京
Tel: 86-10-8569-7000

中国 - 成都
Tel: 86-28-8665-5511

中国 - 重慶
Tel: 86-23-8980-9588

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 広州
Tel: 86-20-8755-8029

中国 - 杭州
Tel: 86-571-8792-8115

中国 - 香港特別行政区
Tel: 852-2943-5100

中国 - 南京
Tel: 86-25-8473-2460

中国 - 青島
Tel: 86-532-8502-7355

中国 - 上海
Tel: 86-21-3326-8000

中国 - 瀋陽
Tel: 86-24-2334-2829

中国 - 深圳
Tel: 86-755-8864-2200

中国 - 蘇州
Tel: 86-186-6233-1526

中国 - 武漢
Tel: 86-27-5980-5300

中国 - 西安
Tel: 86-29-8833-7252

中国 - 廈門
Tel: 86-592-2388138

中国 - 珠海
Tel: 86-756-3210040

亜細亜/太平洋

ｲﾝﾄﾞ - ﾊﾝｶﾞﾛｰﾙ
Tel: 91-80-3090-4444

ｲﾝﾄﾞ - ﾆｭｰﾃﾞﾘｰ
Tel: 91-11-4160-8631

ｲﾝﾄﾞ - ﾌﾟﾈｰ
Tel: 91-20-4121-0141

日本 - 大阪
Tel: 81-6-6152-7160

日本 - 東京
Tel: 81-3-6880-3770

韓国 - 大邱
Tel: 82-53-744-4301

韓国 - ｿｳﾙ
Tel: 82-2-554-7200

ﾏﾚｰｼｱ - ｸｱﾗﾙﾝﾌﾟｰﾙ
Tel: 60-3-7651-7906

ﾏﾚｰｼｱ - ﾍﾟﾅﾝ
Tel: 60-4-227-8870

ﾌｨﾘﾋﾟﾝ - ﾏﾆﾗ
Tel: 63-2-634-9065

ｼﾝｶﾞﾎﾟｰﾙ
Tel: 65-6334-8870

台湾 - 新竹
Tel: 886-3-577-8366

台湾 - 高雄
Tel: 886-7-213-7830

台湾 - 台北
Tel: 886-2-2508-8600

ﾀｲ - ﾊﾞﾝｺｸ
Tel: 66-2-694-1351

ﾍﾞﾄﾅﾑ - ﾎｰﾁﾐﾝ
Tel: 84-28-5448-2100

欧州

ｵｰｽﾄﾘｱ - ｳﾞｪﾙｽ
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

ﾃﾞﾝﾏｰｸ - ｺﾍﾟﾝﾊｰｹﾞﾝ
Tel: 45-4485-5910
Fax: 45-4485-2829

ﾌｨﾝﾗﾝﾄﾞ - ｴｽﾎﾟｰ
Tel: 358-9-4520-820

ﾌﾗﾝｽ - ﾊﾟﾘ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ﾄﾞｲﾂ - ｶﾞﾙﾋﾝｸﾞ
Tel: 49-8931-9700

ﾄﾞｲﾂ - ﾊｰﾝ
Tel: 49-2129-3766400

ﾄﾞｲﾂ - ﾊｲﾙﾌﾞﾛﾝ
Tel: 49-7131-72400

ﾄﾞｲﾂ - ｶｰﾙｽﾙｰｴ
Tel: 49-721-625370

ﾄﾞｲﾂ - ﾐｭﾝﾍﾝ
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ﾄﾞｲﾂ - ﾛｰｾﾞﾝﾊｲﾑ
Tel: 49-8031-354-560

ｲｽﾗｴﾙ - ﾗｰﾅﾅ
Tel: 972-9-744-7705

ｲﾀﾘｱ - ﾐﾗﾉ
Tel: 39-0331-742611
Fax: 39-0331-466781

ｲﾀﾘｱ - ﾊﾟﾄﾞﾊﾞ
Tel: 39-049-7625286

ｵﾗﾝﾀﾞ - ﾃﾞﾙｰﾈﾝ
Tel: 31-416-690399
Fax: 31-416-690340

ﾉﾙｳｪｰ - ﾄﾛﾝﾊｲﾑ
Tel: 47-72884388

ﾎﾟｰﾗﾝﾄﾞ - ﾜﾙｼｬﾜ
Tel: 48-22-3325737

ﾙｰﾏﾆｱ - ﾌﾞｶﾚｽﾄ
Tel: 40-21-407-87-50

ｽﾍﾟｲﾝ - ﾏﾄﾞﾘｰﾄﾞ
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

ｽｳｪｰﾃﾞﾝ - ｲｪｰﾃﾎﾞﾘ
Tel: 46-31-704-60-40

ｽｳｪｰﾃﾞﾝ - ｽﾄｯｸﾎﾙﾑ
Tel: 46-8-5090-4654

ｲｷﾞﾘｽ - ｳｫｰｷﾝｶﾞﾑ
Tel: 44-118-921-5800
Fax: 44-118-921-5820