8ﾋﾞｯﾄ Atmel XMEGA AU ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ

XMEGA AU 手引書

本文書はAtmel® AVR® XMEGA® AUﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列に含まれる全ての単位部の完全且つ詳細な記述を含ます。Atmel AVR XMEGA AUはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。この手引書で記載されるAtmel AVR XM EGA AU単位部は次のとおりです。

- Atmel AVR CPU
- ﾒﾓﾘ
- DMAC – 直接ﾒﾓﾘ入出力制御器(Direct Memory Access Controller)
- 事象ｼｽﾃﾑ
- ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択
- 電力管理と休止形態動作
- ｼｽﾃﾑ制御とﾘｾｯﾄ
- 電池代替支援ｼｽﾃﾑ(Battery Backup System)
- WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(Watchdog Timer)
- 割り込みと設定可能な多段割り込み制御器
- PORT – 入出力ﾎﾟｰﾄ
- TC – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- AWeX – 新波形生成拡張
- Hi-Res – 高分解能拡張
- RTC – 実時間計数器(Real Time Counter)
- RTC32 – 32ﾋﾞｯﾄ実時間計数器(32-bit Real Time Counter)
- USB – 万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ(Universal serial bus interface)
- TWI – 2線直列ｲﾝﾀｰﾌｪｰｽ(Two Wire Serial Interface)
- SPI – 設定可能な直列ｲﾝﾀｰﾌｪｰｽ(Serial Programmable Interface)
- USART – 同期/非同期万能送受信機
  (Universal Synchronous and Asynchronous Serial Receiver and Transmitter)
- IRCOM – 赤外線通信部(IR Communication Module)
- AESとDESの暗号ｴﾝｼﾞﾝ
- CRC – 巡回冗長検査部(Cyclic redundancy check)
- EBI – 外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ
- ADC – A/D変換器(Analog to Digital Converter)
- DAC – D/A変換器(Digital to Analog Converter)
- AC – ｱﾅﾛｸﾞ比較器(Analog Comparator)
- IEEE 1149.1 JTAGｲﾝﾀｰﾌｪｰｽ
- PDI – ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ
- ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 周辺機能ｱﾄﾞﾚｽ割り当て
- ﾚｼﾞｽﾀ要約
- 割り込みﾍﾞｸﾀ要約
- 命令一式要約

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

Rev. 8331F-04/2013, 8331FJ6-06/2022

1. 手引書について

本文書はAtmel AVR XMEGA AUﾃﾞﾊﾞｲｽ系列で利用可能な全単位部の徹底的な文書化を含みます。全ての特性は機能的段階で文書化され、一般的な意味で記述されています。この手引書で記述された全ての周辺機能や単位部が全てのAtmel AVR XMEGA AUﾃﾞﾊﾞｲｽに存在しないかもしれません。

特性ﾃﾞｰﾀ、ﾒﾓﾘ容量、利用可能な周辺機能のようなﾃﾞﾊﾞｲｽ特有情報の全てとそれらのﾒﾓﾘ絶対ｱﾄﾞﾚｽついてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。1つのﾃﾞﾊﾞｲｽに周辺機能が多数存在する場合、各部は一意の名前を持ちます。例えば各ﾎﾟｰﾄ単位部(PORT)はPORTAやPORTBなどのような一意の名前を持ちます。ﾚｼﾞｽﾀ名、ﾋﾞｯﾄ名はその単位部内で一意です。

周辺機能と単位部に対して用いられる使用とｺｰﾄﾞ例のより多くの詳細については、http://www.atmel.com/avrで利用可能なAtmel AVR XMEGA固有応用記述を参照してください。

1.1. 手引書の読み方

本手引書の主項目は様々な単位部と周辺機能を記述します。各項目は簡単な機能一覧と簡単な単位部概要記述を含みます。項の残りは特性と機能をもっと詳細に記述します。

ﾚｼﾞｽﾀ記述項は全ﾚｼﾞｽﾀを一覧にし、それらの機能と共に各ﾋﾞｯﾄとﾌﾗｸﾞを記述します。これは単位部の各種機能の設定と許可の方法の詳細を含みます。構成設定に複数ﾋﾞｯﾄが必要な場合、それらはﾋﾞｯﾄ群で共に分類されます。可能なﾋﾞｯﾄ群構成設定はそれらが関連する群構成設定と簡単な記述と共に全てのﾋﾞｯﾄ群に関して一覧にされます。群構成設定はAtmel AVR XMEGAで使われる定義済み構成設定名、ｱｾﾝﾌﾞﾗ ﾍｯﾀﾞ ﾌｧｲﾙ、応用記述ｿｰｽ ｺｰﾄﾞを参照してください。

ﾚｼﾞｽﾀ要約項は各単位部形式に対する内部ﾚｼﾞｽﾀ配置を一覧にします。

割り込みﾍﾞｸﾀ要約項は割り込みﾍﾞｸﾀと各単位部形式に対する差分ｱﾄﾞﾚｽを一覧にします。

1.2. 資料

開発ﾂｰﾙ、応用記述、ﾃﾞｰﾀｼｰﾄの包括的な1式はhttp://www.atmel.com/avrからのﾀﾞｳﾝﾛｰﾄﾞで利用できます。

1.3. 推奨読物

- Atmel AVR XMEGA AU ﾃﾞﾊﾞｲｽ ﾃﾞｰﾀｼｰﾄ
- XMEGA応用記述

本手引書は一般的な単位部と周辺機能記述を含みます。AVR XMEGA AUﾃﾞﾊﾞｲｽのﾃﾞｰﾄｼｰﾄはﾃﾞﾊﾞｲｽ固有情報を含みます。XMEG A応用記述とAtmelｿﾌﾄｳｪｱ枠組み(ASF)はｺｰﾄﾞ例を含み、単位部と周辺機能を適用する使い方を示します。

新規の使用者は「**AVR1000 – Atmel XMEGAに対してCｺｰﾄﾞを書く前に**」と「**AVR1900 – Atmel ATxmega128A1での開始に際して**」応用記述を読むことが推奨されます。

2. 概要

AVR XMEGA AUはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ﾋﾞｯﾄ ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。単一ｸﾛｯｸ周期で実行する強力な命令によって、Atmel AVR XMEGA AUはｼｽﾃﾑ設計者に対して電力消費対処理速度の最適化を可能にする、MHz当たり100万命令(MIPS:Million Instructions Per Second)に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業ﾚｼﾞｽﾀを豊富な命令一式に結合します。32個全てのﾚｼﾞｽﾀが算術論理演算器(ALU)へ直接接続され、単一命令でのｱｸｾｽを2つの独立したﾚｼﾞｽﾀに許し、単一ｸﾛｯｸ周期で実行されます。この構造はより大きなｺｰﾄﾞ効率と同時に、伝統的な単一累積器やCISCに基くﾏｲｸﾛ ｺﾝﾄﾛｰﾗよりも何倍も速い単位時間処理能力達成に帰着します。

Atmel AVR XMEGA AUﾃﾞﾊﾞｲｽは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つﾌﾗｯｼｭ ﾒﾓﾘ、内部のEEPROMとSRAM、4ﾁｬﾈﾙのDMA制御器、8ﾁｬﾈﾙの事象ｼｽﾃﾑ、設定可能な多段割り込み制御器、78本までの汎用入出力線、16ﾋﾞｯﾄ実時間計数器(RTC)または32ﾋﾞｯﾄ実時間計数器(RTC32)、比較動作とPWM付きの8つまでの柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ、8つまでのUSART、4つまでのI^2CとSMBus適合2線直列ｲﾝﾀｰﾌｪｰｽ(TWI)、1つの全速(Full-speed)USB2.0ｲﾝﾀｰﾌｪｰｽ、4つまでの直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)、CRC単位部、AESとDESの暗号ｴﾝｼﾞﾝ、設定可能な利得付きの任意選択差動入力を持つ2組までの16ﾁｬﾈﾙ 12ﾋﾞｯﾄA/D変換器、2組までの2ﾁｬﾈﾙ 12ﾋﾞｯﾄD/A変換器、窓動作を持つ4つまでのｱﾅﾛｸﾞ比較器、独立した内部発振器を持つ設定可能なｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の高速2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽのﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ ｲﾝﾀｰﾌｪｰｽ(PDI)が利用可能です。選ばれたﾃﾞﾊﾞｲｽはIEEE std. 1149. 1適合JTAGｲﾝﾀｰﾌｪｰｽも持ち、これはﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞとﾌﾟﾛｸﾞﾗﾐﾝｸﾞにも使うことができます。

Atmel AVR XMEGAﾃﾞﾊﾞｲｽはｿﾌﾄｳｪｱで選択可能な5つの節電動作を持ちます。ｱｲﾄﾞﾙ動作はCPUを停止する一方で、SRAM、DMA制御器、事象ｼｽﾃﾑ、割り込み制御器、全ての周辺機能に機能継続を許します。ﾊﾟﾜｰﾀﾞｳﾝ動作はSRAMとﾚｼﾞｽﾀの内容を保存しますが、発振器を停止し、次のTWI、USB再開またはﾋﾟﾝ変化の割り込み、またはﾘｾｯﾄまで他の全ての機能を禁止します。ﾊﾟﾜｰｾｰﾌﾞ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、ﾃﾞﾊﾞｲｽの残りは休止します。ｽﾀﾝﾊﾞｲ動作では外部ｸﾘｽﾀﾙ用発振器が走行を保つ一方、ﾃﾞﾊﾞｲｽの残りは休止します。これは低電力消費と組み合わせた外部発振器からの非常に速い始動を可能にします。拡張ｽﾀﾝﾊﾞｲ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能ｸﾛｯｸは活動動作とｱｲﾄﾞﾙ動作に於いて任意で停止することができます。

ﾃﾞﾊﾞｲｽはAtmelの高密度不揮発性ﾒﾓﾘ技術を使って製造されています。ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘはPDIまたはJTAGｲﾝﾀｰﾌｪｰｽを通して実装書き換えすることができます。ﾃﾞﾊﾞｲｽ内で走行するﾌﾞｰﾄﾛｰﾀﾞはﾌﾗｯｼｭ ﾒﾓﾘに応用ﾌﾟﾛｸﾞﾗﾑを取得格納するのにどのｲﾝﾀｰﾌｪｰｽをも用いることができます。ﾌﾞｰﾄ ﾌﾗｯｼｭ領域内のﾌﾞｰﾄﾛｰﾀﾞ ｿﾌﾄｳｪｱは応用ﾌﾗｯｼｭ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なﾌﾗｯｼｭと8/16ﾋﾞｯﾄRISC CPUの結合により、AVR XMEGA AUは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なﾏｲｸﾛ ｺﾝﾄﾛｰﾗ系列です。

Atmel AVR XMEGAﾃﾞﾊﾞｲｽはCｺﾝﾊﾟｲﾗ、ﾏｸﾛ ｱｾﾝﾌﾞﾗ、ﾌﾟﾛｸﾞﾗﾑ ﾃﾞﾊﾞｯｶﾞ/ｼﾐｭﾚｰﾀ、書き込み器、評価ｷｯﾄを含む、ﾌﾟﾛｸﾞﾗﾑとｼｽﾃﾑ開発ﾂｰﾙの完全な揃えで支援されます。

2.1. 構成図

図2-1. Atmel AVR XMEGA AU構成図

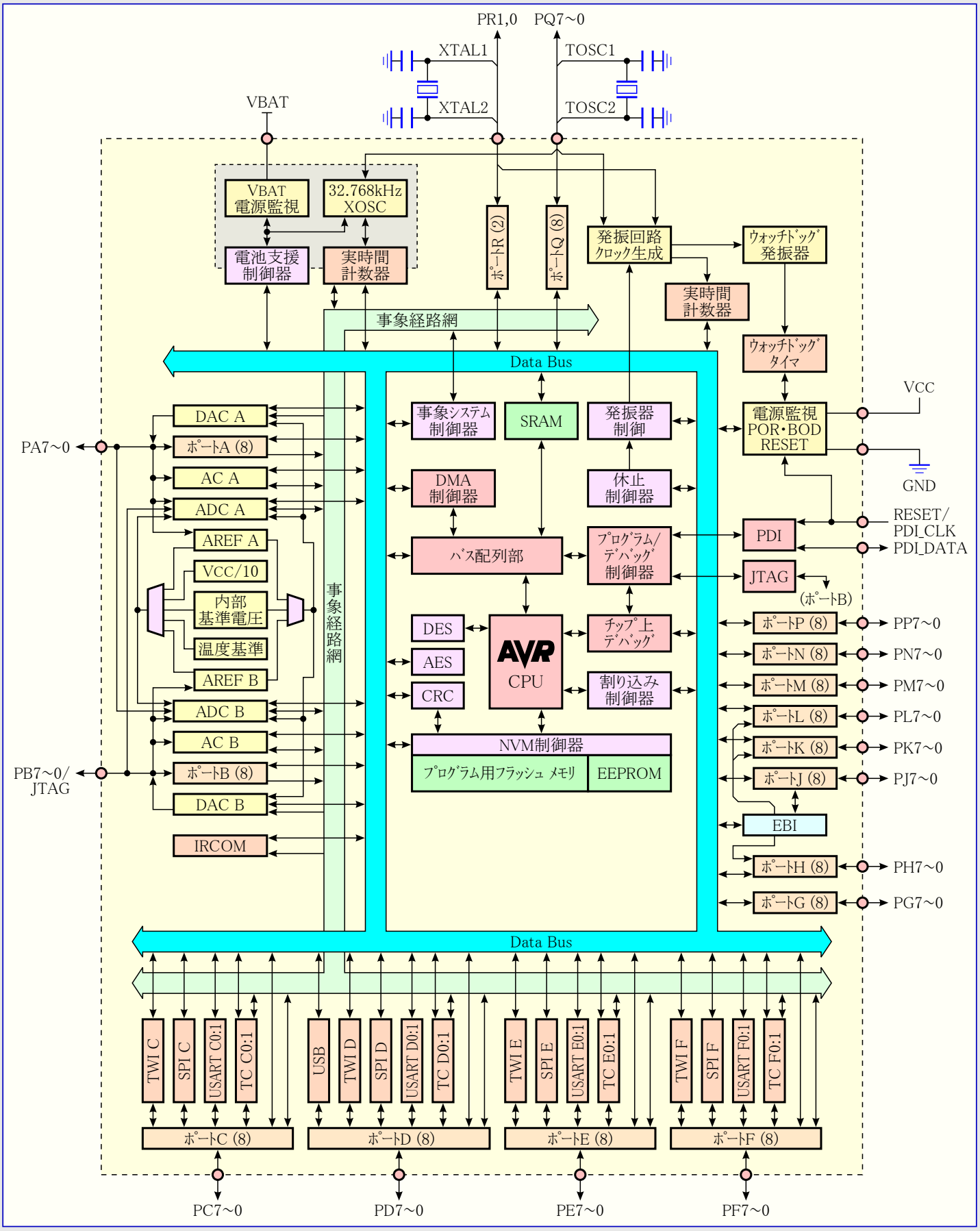


表2-1.に於いてXMEGA AU系に関する機能要約が示され、各副系亜種に対して1つの機能要約列に分けます。各副系は同じ機能の組を持ちますが、異なるﾒﾓﾘ選択を持ち、注文符号とﾒﾓﾘ選択についてはそれらのﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表2-1. XMEGA AU機能要約概要

機能	詳細　副系	A1U	A3U	A3BU	A4U
ﾋﾟﾝ、I/O	合計	100	64	64	44
	設定可能なI/Oﾋﾟﾝ	78	50	47	34
ﾒﾓﾘ	ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ (Kﾊﾞｲﾄ)	64～128	64～256	256	16～128
	ﾌﾞｰﾄ ﾒﾓﾘ (Kﾊﾞｲﾄ)	4～8	4～8	8	4～8
	SRAM (Kﾊﾞｲﾄ)	4～8	4～16	16	2～8
	EEPROM (Kﾊﾞｲﾄ)	2	2～4	4	1～2
	汎用ﾚｼﾞｽﾀ	16	16	16	16
外囲器	TQFP	100A	64A	64A	44A
	QFN/VQFN	-	64M2	64M2	44M1
	BGA	100C1/100C2	-	-	49C2
QTouch	ﾁｬﾈﾙ	56	56	56	56
DMA制御器	ﾁｬﾈﾙ	4	4	4	4
事象ｼｽﾃﾑ	ﾁｬﾈﾙ	8	8	8	8
	QDEC	3	3	3	3
ｸﾘｽﾀﾙ用発振器	0.4～16MHz XOSC	○	○	○	○
	32.768kHz TOSC	○	○	○	○
内部発振器	校正付き2MHz	○	○	○	○
	校正付き32MHz	○	○	○	○
	128MHz PLL	○	○	○	○
	校正付き32.768kHz	○	○	○	○
	32kHz ULP	○	○	○	○
ﾀｲﾏ/ｶｳﾝﾀ	TC0 - 16ﾋﾞｯﾄ,4CC	4	4	4	3
	TC1 - 16ﾋﾞｯﾄ,2CC	4	3	2	2
	TC2 - 8ﾋﾞｯﾄ×2	4	4	4	2
	Hi-Res	4	4	4	3
	AWeX	4	2	2	1
	RTC	1	1	-	1
	RTC32	-	-	1	-
電池代替支援ｼｽﾃﾑ	-	-	-	○	-
直列通信	USB全速(Full-speed)装置	1	1	1	1
	USART	8	7	6	5
	SPI	4	3	3	2
	TWI	4	2	2	2
暗号/CRC	AES-128	○	○	○	○
	DES	○	○	○	○
	CRC-16	○	○	○	○
	CRC-32	○	○	○	○
外部ﾒﾓﾘ (EBI)	ﾁｯﾌﾟ選択	4	-	-	-
	SRAM	○	-	-	-
	SDRAM	○	-	-	-
A/D変換器 (ADC)	ADC単位部数	2	2	2	1
	分解能 (ﾋﾞｯﾄ)	12	12	12	12
	採取速度 (kbps)	2000	2000	2000	2000
	ADC当たりの入力ﾁｬﾈﾙ	16	16	16	12
	変換ﾁｬﾈﾙ	4	4	4	4
D/A変換器 (DAC)	DAC単位部数	2	1	1	1
	分解能 (ﾋﾞｯﾄ)	12	12	12	12
	採取速度 (kbps)	1000	1000	1000	1000
	DAC当たりの出力ﾁｬﾈﾙ	2	2	2	2
ｱﾅﾛｸﾞ比較器 (AC)	-	4	4	4	2
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ	PDI	○	○	○	○
	JTAG	○	○	○	-
	境界走査	○	○	○	-

3. AVR CPU

3.1. 要点

- 8/16ﾋﾞｯﾄ高性能Atmel AVR RISC CPU
  - 142命令
  - ﾊｰﾄﾞｳｪｱ乗算器
- ALUに直結された32個の8ﾋﾞｯﾄ ﾚｼﾞｽﾀ
- RAM内のｽﾀｯｸ
- I/Oﾒﾓﾘ空間内でｱｸｾｽ可能なｽﾀｯｸ ﾎﾟｲﾝﾀ
- 16Mﾊﾞｲﾄまでのﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘと16Mﾊﾞｲﾄのﾃﾞｰﾀ ﾒﾓﾘを直接ｱﾄﾞﾚｽ指定
- 16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀへの真の16/24ﾋﾞｯﾄ入出力
- 8、16、32演算に対する効率的な支援
- ｼｽﾃﾑ重要特性の構成設定変更保護

3.2. 概要

全てのAVR XMEGAﾃﾞﾊﾞｲｽは8/16ﾋﾞｯﾄAVR CPUを使っています。CPUの主な機能はｺｰﾄﾞを実行して全ての計算を実行することです。CPUはﾒﾓﾘ入出力、計算実行、周辺制御、そしてﾌﾗｯｼｭ ﾒﾓﾘ内のﾌﾟﾛｸﾞﾗﾑの実行が行えます。割り込みの扱いは独立した項、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されます。

3.3. 構造概要

最大性能と並列化のためにAVR CPUはﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀに対して独立したﾒﾓﾘとﾊﾞｽを持つﾊｰﾊﾞｰﾄﾞ構造を使います。ﾌﾟﾛｸﾞﾗﾑﾒﾓﾘ内の命令は単一段のﾊﾟｲﾌﾟﾗｲﾝで実行されます。1つの命令が実行されつつあると同時に、次の命令がﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘから予め取得されます。これは毎ｸﾛｯｸ周期で実行される命令を可能にします。全AVR命令の要約については307頁の「**命令一式要約**」を参照してください。

全AVR命令の詳細についてはhttp://www.atmel.com/avrを参照してください。

論理演算部(ALU)はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単独ﾚｼﾞｽﾀ操作もALUで実行できます。演算操作後、操作結果に関する情報を反映するためにｽﾃｰﾀｽ ﾚｼﾞｽﾀが更新されます。

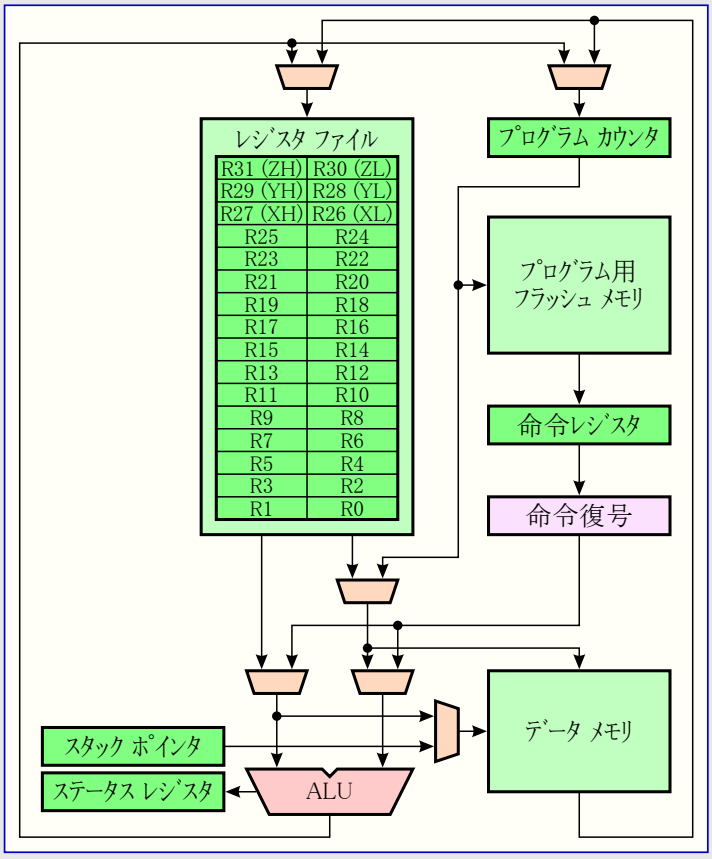
ALUは高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙへ直結されます。32個の8ﾋﾞｯﾄ汎用作業ﾚｼﾞｽﾀの全てはﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと即値間での単一ｸﾛｯｸ算術論理演算操作を許す単一ｸﾛｯｸ周期ｱｸｾｽです。32個のﾚｼﾞｽﾀ内の6つはﾃﾞｰﾀ空間に対して効率的なｱﾄﾞﾚｽ計算を可能とするｱﾄﾞﾚｽ指定用の3つの16ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとして使うことできます。これらのｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ内の1つはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭﾒﾓﾘ内の表を調べるためのｱﾄﾞﾚｽ ﾎﾟｲﾝﾀとしても使うことができます。

ﾒﾓﾘ空間は直線的です。ﾃﾞｰﾀ ﾒﾓﾘ空間とﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間は2つの別なﾒﾓﾘ空間です。

ﾃﾞｰﾀ ﾒﾓﾘ空間はI/Oﾚｼﾞｽﾀ、SRAM、外部RAMに分けられます。加えてEEPROMがﾃﾞｰﾀ ﾒﾓﾘ内にﾒﾓﾘ割り当てされ得ます。

全I/Oの状態と制御のﾚｼﾞｽﾀはﾃﾞｰﾀ ﾒﾓﾘの最下位4Kﾊﾞｲﾄ位置に属します。これはI/Oﾒﾓﾘ空間として参照されます。最下位64位置は直接的、または$0000～$003Fのﾃﾞｰﾀ空間位置としてｱｸｾｽできます。残りは$0040～$1FFFに連なる拡張I/Oﾒﾓﾘ空間です。I/Oﾚｼﾞｽﾀはここで取得(LD/LDS/LDD)と格納(ST/STS/STD)命令を使ってﾃﾞｰﾀ空間位置としてｱｸｾｽされなければなりません。

図3-1. AVR CPU構造の構成図



SRAMはﾃﾞｰﾀを保持します。SRAMからのｺｰﾄﾞ実行は支援されません。AVR構造で支援される5つの異なる位置指定種別を通してこれは容易にｱｸｾｽできます。SRAM先頭ｱﾄﾞﾚｽは$2000です。

$1000～$1FFFのﾃﾞｰﾀ位置はEEPROMのﾒﾓﾘ割り当て用に予約されています。

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘは、応用ﾌﾟﾛｸﾞﾗﾑ領域とﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護用の専用施錠ﾋﾞｯﾄを持ちます。応用ﾌﾗｯｼｭ ﾒﾓﾘの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに使われるSPM命令はﾌﾞｰﾄ ﾌﾟﾛｸﾞﾗﾑ領域に属さなければなりません。応用領域は書き込みと読み書きの保護用の独立した施錠ﾋﾞｯﾄを持つ応用表領域を含みます。応用表領域はﾌﾟﾛｸﾞﾗﾑ用ﾒﾓﾘ内での不揮発性ﾃﾞｰﾀ保存格納に使うことができます。

3.4. 算術論理演算器 (ALU)

算術論理演算器はﾚｼﾞｽﾀ間またはﾚｼﾞｽﾀと定数間の演算と論理操作を支援します。単一ﾚｼﾞｽﾀ操作も実行できます。ALUは32個全ての汎用ﾚｼﾞｽﾀと直結で動作します。単一ｸﾛｯｸ周期で、汎用ﾚｼﾞｽﾀ間または、ﾚｼﾞｽﾀと即値間の演算操作が実行されて結果がﾚｼﾞｽﾀ ﾌｧｲﾙに格納されます。演算または論理操作後、ｽﾃｰﾀｽ ﾚｼﾞｽﾀが操作結果を反映するために更新されます。

ALU操作は、演算、論理、ﾋﾞｯﾄ操作の、3つの主な分野に分けられます。

8ﾋﾞｯﾄと16ﾋﾞｯﾄの両方の演算が支援され、命令一式は効率的な32ﾋﾞｯﾄ演算の実装を許します。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの乗算そして固定小数点形式を支援します。

3.4.1. ﾊｰﾄﾞｳｪｱ乗算器

乗算器は2つの8ﾋﾞｯﾄ数値を16ﾋﾞｯﾄの結果に乗算する能力です。ﾊｰﾄﾞｳｪｱ乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付きと符号なしの整数乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2CPUｸﾛｯｸ周期かかります。

3.5. ﾌﾟﾛｸﾞﾗﾑの流れ

ﾘｾｯﾄ後、CPUはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ内の最下位ｱﾄﾞﾚｽ'0'から命令の実行を開始します。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ(PC)は取得されるべき次の命令の位置を示します。

ﾌﾟﾛｸﾞﾗﾑの流れはｱﾄﾞﾚｽ空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どの命令は16ﾋﾞｯﾄ語形式を用い、一方特別ないくつかは32ﾋﾞｯﾄ形式を用います。

割り込みとｻﾌﾞﾙｰﾁﾝ呼び出しの間、復帰ｱﾄﾞﾚｽのPC(値)がｽﾀｯｸに格納されます。ｽﾀｯｸは一般的なﾃﾞｰﾀ用SRAMに配置され、必然的にｽﾀｯｸ容量は総SRAM容量とSRAMの使用法によってのみ制限されます。ﾘｾｯﾄ後、ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)は内部SRAMの最上位ｱﾄﾞﾚｽを指し示します。SPはI/Oﾒﾓﾘ空間で読み書きｱｸｾｽ可能で、多数のｽﾀｯｸまたはｽﾀｯｸ領域の容易な実装を許します。ﾃﾞｰﾀ用SRAMはAVR CPUで支援される5つの異なるｱﾄﾞﾚｽ指定形態を通して容易にｱｸｾｽすることができます。

3.6. 命令実行ﾀｲﾐﾝｸﾞ

AVR CPUはCPUｸﾛｯｸ(clk_{CPU})によってｸﾛｯｸ駆動されます。内部ｸﾛｯｸ分周は使われません。

図3-2.はﾊｰﾊﾞｰﾄﾞ構造と高速入出力ﾚｼﾞｽﾀ ﾌｧｲﾙの概念によって可能にされる命令取得と命令実行の並列化を示します。これは高い電力効率と共にMHz当たり1MIPSの性能を得るのに使われる基本的なﾊﾟｲﾌﾟﾗｲﾝの概念です。

図3-3.はﾚｼﾞｽﾀ ﾌｧｲﾙに関する内部ﾀｲﾐﾝｸﾞの概念を示します。単一ｸﾛｯｸ周期で2つのﾚｼﾞｽﾀ ｵﾍﾟﾗﾝﾄﾞを使うALU操作が実行され、その結果が転送先ﾚｼﾞｽﾀへ書き戻されます。

図3-2. 命令の取得と実行の並列動作

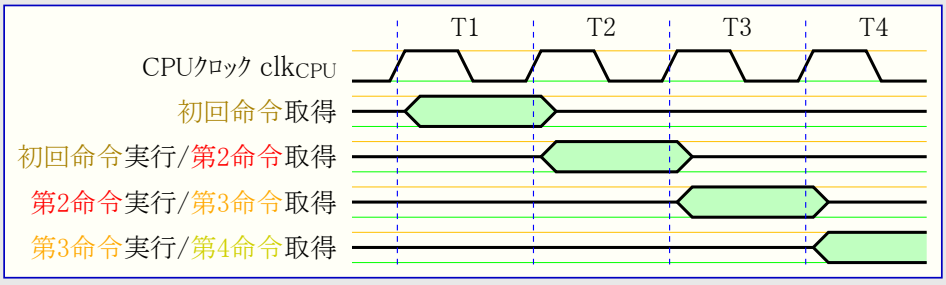
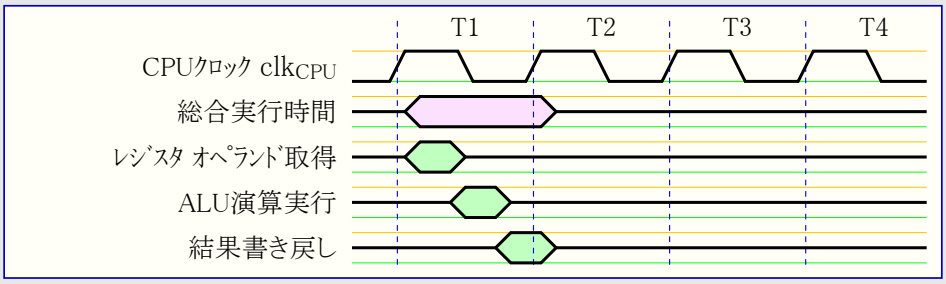


図3-3. 1周期ALU命令



3.7. ステータス レジスタ

ステータス レジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。ステータス レジスタは307頁の「**命令一式要約**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータス レジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータス レジスタはI/Oメモリ空間でアクセスできます。

3.8. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データの格納にも使えます。スタック ポインタ(SP)レジスタは常にスタックの先頭(**訳注**:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビット レジスタとして実装されます。データはPUSH命令とPOP命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されています。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/-2されます。128Kバイトを越えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスはRETI命令を使って割り込みから、またはRET命令を使ってサブルーチン呼び出しから戻る時にスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは-1され、POP命令を使ってスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

3.9. レジスタ ファイル

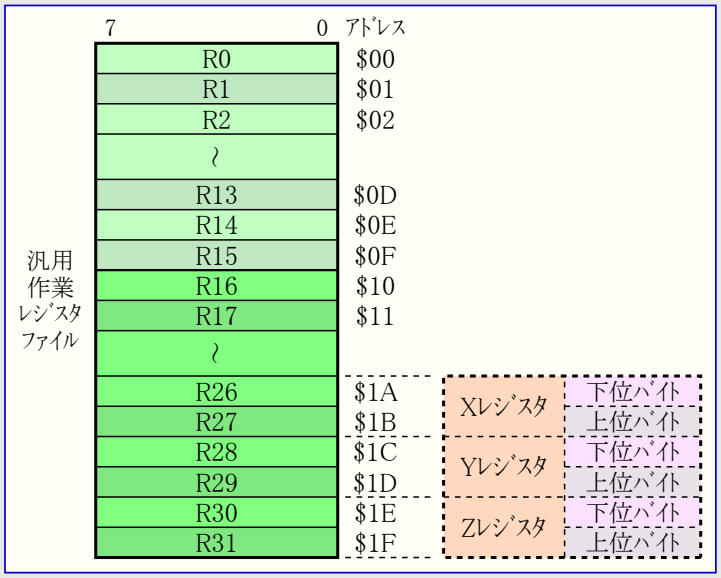
レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレス レジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

レジスタ ファイルは独立したアドレス空間に配置され、故にレジスタはデータ メモリとしてアクセスできません。

図3-4. AVR CPU 汎用作業レジスタ

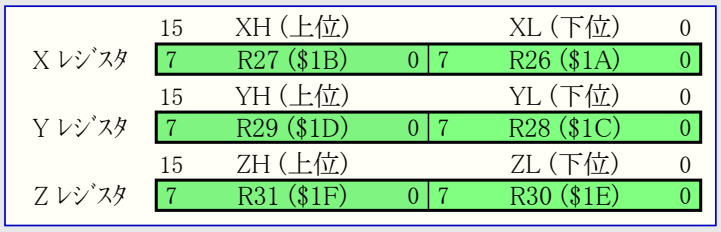


3.9.1. X,Y,Z レジスタ

R26～R31レジスタにはそれらの汎用使用に属する付加機能があります。

これらのレジスタはデータ メモリ位置指示用の16ビット アドレス ポインタ形式にできます。これら3つのアドレス レジスタはX,Y,Zレジスタと呼ばれます。Zレジスタはプログラム用フラッシュ メモリ、識票列、ヒューズと施錠ビットに対する読み書きのためのアドレス ポインタとしても使えます。

図3-5. X,Y,Zレジスタ



下位側レジスタのアドレスは最下位バイト(LSB)を保持し、上位側レジスタのアドレスは最上位バイト(MSB)を保持します。様々な位置指示種別で、これらのアドレス レジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については307頁の「**命令一式要約**」をご覧ください)。

3.10. RAMPと間接拡張ﾚｼﾞｽﾀ

64Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘやﾃﾞｰﾀ ﾒﾓﾘをｱｸｾｽするために、ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀは16ﾋﾞｯﾄより多くなければなりません。これはX,Y,またはZﾚｼﾞｽﾀの1つに1つのﾚｼﾞｽﾀを連結することによって行われます。そのﾚｼﾞｽﾀは24ﾋﾞｯﾄのｱﾄﾞﾚｽまたはｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ内の最上位ﾊﾞｲﾄ(MSB)を保持します。

これらのﾚｼﾞｽﾀは外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽまたは64Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑかﾃﾞｰﾀのﾒﾓﾘ空間を持つﾃﾞﾊﾞｲｽでだけ利用できます。これらのﾃﾞﾊﾞｲｽついてはﾃﾞﾊﾞｲｽ内のﾌﾟﾛｸﾞﾗﾑとﾃﾞｰﾀのﾒﾓﾘ空間全体をｱﾄﾞﾚｽ指定するのに必要なﾋﾞｯﾄ数だけがﾚｼﾞｽﾀ内に実装されます。

3.10.1. RAMPX,RAMPY,RAMPZ ﾚｼﾞｽﾀ

RAMPX,RAMPY,RAMPZﾚｼﾞｽﾀは64Kﾊﾞｲﾄを越え16Mﾊﾞｲﾄまでのﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示を可能とするために各々X,Y,Zﾚｼﾞｽﾀと連結されます。

図3-6. RAMPX+X,RAMPY+Y,RAMPZ+Zﾚｼﾞｽﾀの組み合わせ

	23		16	15		8	7		0
Xﾎﾟｲﾝﾀ	7	RAMPX	0	7	XH	0	7	XL	0
Yﾎﾟｲﾝﾀ	7	RAMPY	0	7	YH	0	7	YL	0
Zﾎﾟｲﾝﾀ	7	RAMPZ	0	7	ZH	0	7	ZL	0

ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘの最初の128Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ位置の読み込み(ELPM)と書き込み(SPM)時、RAMPZは24ﾋﾞｯﾄ ｱﾄﾞﾚｽ形式のためにZﾚｼﾞｽﾀと連結されます。LPMはRAMPZ設定によって影響を及ぼされません。

3.10.2. RAMPD ﾚｼﾞｽﾀ

このﾚｼﾞｽﾀは64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘ空間全体の直接位置指示を可能とするためにｵﾍﾟﾗﾝﾄﾞと連結されます。RAMPDとｵﾍﾟﾗﾝﾄﾞと共に24ﾋﾞｯﾄ ｱﾄﾞﾚｽ形式になるでしょう。

図3-7. RAMPD+kの組み合わせ

	23		16	15		8	7		0
直接位置指示	7	RAMPD	0	15		k			0

3.10.3. EIND ﾚｼﾞｽﾀ

EINDはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘの最初の128Kﾊﾞｲﾄ(64K語)を越える位置に対して間接の分岐や呼び出しを可能とするためにZﾎﾟｲﾝﾀと連結されます。

図3-8. EIND+Zﾚｼﾞｽﾀの組み合わせ

	23		16	15		8	7		0
間接位置指示	7	EIND	0	7	ZH	0	7	ZL	0

3.11. 16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

AVRのﾃﾞｰﾀ ﾊﾞｽは8ﾋﾞｯﾄ幅で、故に16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽは非分断(atomic)操作が必要です。これらのﾚｼﾞｽﾀは2つの読みまたは書き操作を用いてﾊﾞｲﾄ入出力されなければなりません。16ﾋﾞｯﾄ ﾚｼﾞｽﾀは8ﾋﾞｯﾄ ﾊﾞｽと16ﾋﾞｯﾄ ﾊﾞｽを使う一時ﾚｼﾞｽﾀに接続されています。

書き込み操作については上位ﾊﾞｲﾄの前に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄが書かれなければなりません。そして下位ﾊﾞｲﾄは一時ﾚｼﾞｽﾀに書かれます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄが書かれる時に、同じｸﾛｯｸ周期で一時ﾚｼﾞｽﾀが16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄに複写されます。

読み込み操作については上位ﾊﾞｲﾄの前に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄが読まれなければなりません。下位ﾊﾞｲﾄ ﾚｼﾞｽﾀがCPUによって読まれるとき、下位ﾊﾞｲﾄが読まれるのと同じｸﾛｯｸ周期で16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄが一時ﾚｼﾞｽﾀに複写されます。上位ﾊﾞｲﾄが読まれると、それは一時ﾚｼﾞｽﾀから読まれます。

これはﾚｼﾞｽﾀの読み書き時に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄと下位ﾊﾞｲﾄがいつも同時にｱｸｾｽされることを保証します。

非分断16ﾋﾞｯﾄ読み/書き操作間に割り込みが起動されて同じ16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽを試みる場合、割り込みは時間手順を不正にし得ます。これを防ぐために、16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書き時に割り込みを禁止できます。

一時ﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱから直接読み書きできます。

3.11.1. 24及び32ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ

24と32ﾋﾞｯﾄのﾚｼﾞｽﾀに対する読み書きｱｸｾｽは、24ﾋﾞｯﾄ ﾚｼﾞｽﾀについては2つ、32ﾋﾞｯﾄ ﾚｼﾞｽﾀについては3つの一時ﾚｼﾞｽﾀがあるのを除いて、16ﾋﾞｯﾄ ﾚｼﾞｽﾀに関して記述されたのと同じ方法で行われます。最下位ﾊﾞｲﾄは書き込みを行う時に先に書かれ、読み込みを行う時に先に読まれなければなりません。

3.12. 構成設定変更保護

ｼｽﾃﾑの重要なI/Oﾚｼﾞｽﾀ設定は予期せぬ変更から保護されます。SPM命令が予期せぬ実行から保護され、LPM命令はﾋｭｰｽﾞと識票列読み込み時に保護されます。これは構成設定変更保護(CCP)ﾚｼﾞｽﾀによって全体的に取り扱われます。保護されたI/Oﾚｼﾞｽﾀまたはﾋﾞｯﾄへの変更や、保護された命令の実行は、CPUがCCPﾚｼﾞｽﾀへ識票を書いた後でだけ可能です。各識票はﾚｼﾞｽﾀ説明で記述されます。

I/Oﾚｼﾞｽﾀ保護に対する1つとLPM/SPM命令保護に対する2つの動作種別があります。

3.12.1. 保護されたI/Oﾚｼﾞｽﾀへの書き込み操作手順

1. 応用ｺｰﾄﾞはCCPﾚｼﾞｽﾀに保護されたI/Oﾚｼﾞｽﾀの変更許可用識票を書きます。
2. 4命令周期内に応用ｺｰﾄﾞは保護されたﾚｼﾞｽﾀへ適切なﾃﾞｰﾀを書かなければなりません。殆どの保護されたﾚｼﾞｽﾀは書き込み許可/変更許可のﾋﾞｯﾄも含みます。このﾋﾞｯﾄはﾃﾞｰﾀが書かれるのと同じ操作内で1を書かれなければなりません。保護された変更はCPUがI/Oﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾒﾓﾘに書き込み操作を実行する場合、またはSPM,LPM.SLEEP命令が実行される場合、直ちに禁止されます。

3.12.2. 保護されたLPM/SPMの実行手順

1. 応用ｺｰﾄﾞはCCPﾚｼﾞｽﾀに保護されたLPM/SPMの実行用識票を書きます。
2. 4命令周期内に応用ｺｰﾄﾞは適切な命令を実行しなければなりません。保護された変更はCPUがﾃﾞｰﾀ ﾒﾓﾘに書き込み操作を実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは構成設定変更許可期間中について無視されるでしょう。CCP期間の間の(遮蔽不可割り込みを含む)どんな割り込み要求も通常様に対応する割り込み要求ﾌﾗｸﾞを設定(1)し、そしてその要求は保留を維持されるでしょう。CCP期間完了後に何れかの保留割り込みがそれらのﾚﾍﾞﾙと優先権に従って実行されます。DMA要求が未だ取り扱われていますが、保護された構成設定変更許可期間に影響しません。DMAによって書かれた識票は無視されます。

3.13. 施錠ﾋｭｰｽﾞ

ｼｽﾃﾑで重要ないくつかの機能について関連するI/O制御ﾚｼﾞｽﾀ内の全ての変更を禁止するためのﾋｭｰｽﾞをﾌﾟﾛｸﾞﾗﾑ(0)にできます。これが行われた場合、使用者ｿﾌﾄｳｪｱからﾚｼﾞｽﾀを変更することが不可能になり、このﾋｭｰｽﾞは外部書き込み器を使う書き換えだけができます。これの詳細はこの機能が利用可能な単位部のﾃﾞｰﾀｰｼｰﾄで記述されます。

3.14. ﾚｼﾞｽﾀ説明

3.14.1. CCP – 構成設定変更保護ﾚｼﾞｽﾀ (Configuration Change Protection register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CCP7~0								CCP
Read/Write	W	W	W	W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCP7~0 : 構成設定変更保護** (Configuration Change Protection)

CCPﾚｼﾞｽﾀは保護されたI/Oﾚｼﾞｽﾀの変更または保護された命令の実行を許可するための正しい識票を最大4CPU命令周期内に書かれなければなりません。これらの周期の間は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらのﾚﾍﾞﾙと優先権に従って実行されるでしょう。保護されたI/Oﾚｼﾞｽﾀの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。同様に保護されたLPM/SPMの識票が書かれると、CCP1は保護機能が許可されている限り1として読めます。CCP7～2は常に0として読めます。**表3-1.**は各種別用の識票を示します。

表3-1. CPU変更保護種別

識票	構成群種別	内容
$9D	SPM	保護されたLPM/SPM
$D8	IOREG	保護されたI/Oﾚｼﾞｽﾀ

3.14.2. RAMPD – 直接位置指示拡張ﾚｼﾞｽﾀ (Extended Direct Addressing register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の直接位置指示(LDS/STS)のために、このﾚｼﾞｽﾀはｵﾍﾟﾗﾝﾄﾞと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	RAMPD7~0								RAMPD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPD7~0 : 直接位置指示拡張ﾋﾞｯﾄ** (Extended Direct Addressing Bits)

これらのﾋﾞｯﾄはRAMPDと16ﾋﾞｯﾄ ｵﾍﾟﾗﾝﾄﾞによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.3. RAMPX – Xﾎﾟｲﾝﾀ拡張ﾚｼﾞｽﾀ (Extended X-Pointer register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このﾚｼﾞｽﾀはXﾚｼﾞｽﾀと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	RAMPX7~0								RAMPX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPX7~0 : Xﾎﾟｲﾝﾀ拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended X-pointer Address Bits)

これらのﾋﾞｯﾄはRAMPXと16ﾋﾞｯﾄ Xﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.4. RAMPY – Yﾎﾟｲﾝﾀ拡張ﾚｼﾞｽﾀ (Extended Y-Pointer register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このﾚｼﾞｽﾀはYﾚｼﾞｽﾀと連結されます。外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	RAMPY7~0								RAMPY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPY7~0 : Yﾎﾟｲﾝﾀ拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended Y-pointer Address Bits)

これらのﾋﾞｯﾄはRAMPYと16ﾋﾞｯﾄ Yﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.5. RAMPZ – Zﾎﾟｲﾝﾀ拡張ﾚｼﾞｽﾀ (Extended Z-Pointer register)

64Kﾊﾞｲﾄを越えるﾃﾞｰﾀ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾃﾞｰﾀ ﾒﾓﾘ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このﾚｼﾞｽﾀはYﾚｼﾞｽﾀと連結されます。先頭の64Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ位置を読む(ELPM)時と、先頭の128Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ位置に書く(SPM)時に、RAMPZはZﾚｼﾞｽﾀと連結されます。

外部ﾒﾓﾘを含むﾃﾞｰﾀ ﾒﾓﾘが64Kﾊﾞｲﾄ以下と、ﾃﾞﾊﾞｲｽ内のﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが64Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	RAMPZ7~0								RAMPZ
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RAMPZ7~0 : Zﾎﾟｲﾝﾀ拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended Z-pointer Address Bits)

これらのﾋﾞｯﾄはRAMPZと16ﾋﾞｯﾄ Zﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.6. EIND – 間接拡張ﾚｼﾞｽﾀ (Extended Indirect register)

128Kﾊﾞｲﾄを越えるﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘを持つﾃﾞﾊﾞｲｽでﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間全体の拡張間接の分岐(EIJMP)と呼び出し(EICALL)のために、このﾚｼﾞｽﾀはZﾚｼﾞｽﾀと連結されます。128Kﾊﾞｲﾄ以下のｱﾄﾞﾚｽへの分岐に対してEICALL/EIJMPが使われる場合、このﾚｼﾞｽﾀが使われるべきで、ICALLとIJMP命令が使われる場合にそれは使われません。128Kﾊﾞｲﾄ以下のｱﾄﾞﾚｽへの分岐と呼び出しに関しては、このﾚｼﾞｽﾀが使われません。ﾃﾞﾊﾞｲｽ内のﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘが128Kﾊﾞｲﾄ以下の場合、このﾚｼﾞｽﾀは利用できません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	EIND7~0								EIND
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – EIND7~0 : 間接拡張ｱﾄﾞﾚｽ ﾋﾞｯﾄ** (Extended Indirect Address Bits)

これらのﾋﾞｯﾄはEINDと16ﾋﾞｯﾄ Zﾚｼﾞｽﾀによって生成された24ﾋﾞｯﾄ ｱﾄﾞﾚｽのMSB(最上位ﾊﾞｲﾄ)を保持します。各ﾃﾞﾊﾞｲｽについては利用可能なﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

3.14.7. SPL – ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ下位 (Stack Pointer register Low)

SPHとSPLのｽﾀｯｸ ﾎﾟｲﾝﾀ対は16ﾋﾞｯﾄ値SPを表します。SPはｽﾀｯｸの先頭を指示するｽﾀｯｸ ﾎﾟｲﾝﾀを保持します。ﾘｾｯﾄ後、ｽﾀｯｸ ﾎﾟｲﾝﾀは内部SRAM最高ｱﾄﾞﾚｽを指示します。ｿﾌﾄｳｪｱからｽﾀｯｸ ﾎﾟｲﾝﾀを更新する時の不正(化け)を防ぐため、SPLへの書き込みは次の4命令間、または次のI/Oﾒﾓﾘ書き込みまで割り込みを自動的に禁止します。

各ﾃﾞﾊﾞｲｽについては外部ﾒﾓﾘを含み64Kﾊﾞｲﾄまでで利用可能なﾃﾞｰﾀ ﾒﾓﾘのｱﾄﾞﾚｽが必要とするﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	SP7~0								SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な大きさについては固有ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

● **ﾋﾞｯﾄ7~0 – SP7~0 : ｽﾀｯｸ ﾎﾟｲﾝﾀ下位** (Stack Pointer Low Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)のLSB(最下位ﾊﾞｲﾄ)を保持します。

3.14.8. SPH – ｽﾀｯｸ ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ上位 (Stack Pointer register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E	SP15~8								SPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な大きさについては固有ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

● **ﾋﾞｯﾄ7~0 – SP15~8 : ｽﾀｯｸ ﾎﾟｲﾝﾀ上位** (Stack Pointer High Byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ ｽﾀｯｸ ﾎﾟｲﾝﾀ(SP)のMSB(最上位ﾊﾞｲﾄ)を保持します。

3.14.9. SREG – ｽﾃｰﾀｽ ﾚｼﾞｽﾀ (Status register)

ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は最も直前に実行された演算または論理命令の結果についての情報を含みます。このﾚｼﾞｽﾀ内のﾋﾞｯﾄと各種命令によってそれらがどう影響を及ぼされるかについての詳細な情報に関しては307頁の「**命令一式要約**」をご覧ください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – I : 全体割り込み許可** (Global Interrupt Enable)

全体割り込み許可ﾋﾞｯﾄは許可されるべき割り込みに関して設定(1)されなければなりません。全体割り込み許可ﾋﾞｯﾄが解除(0)された場合、個別割り込み許可設定に拘らず、どの割り込みも許可されません。このﾋﾞｯﾄは割り込みが起きた後でﾊｰﾄﾞｳｪｱによって解除(0)されません。このﾋﾞｯﾄは307頁の「**命令一式要約**」で記述されるようにSEIとCLI命令で応用(ﾌﾟﾛｸﾞﾗﾑ)によって設定(1)と解除(0)ができます。I/Oﾚｼﾞｽﾀを通したIﾋﾞｯﾄの変更はそのｱｸｾｽでの1周期の待ち状態に帰着します。

● **ﾋﾞｯﾄ6 – T : ﾋﾞｯﾄ複写変数** (Bit Copy Storage)

ﾋﾞｯﾄ複写命令、ﾋﾞｯﾄ取得(BLD:Bit LoaD)とﾋﾞｯﾄ格納(BST:Bit STore)は操作するﾋﾞｯﾄの転送元または転送先として、このﾋﾞｯﾄを使います。ﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀからのﾋﾞｯﾄがBST命令によってこのﾋﾞｯﾄに複写でき、このﾋﾞｯﾄはBLD命令によってﾚｼﾞｽﾀ ﾌｧｲﾙのﾚｼﾞｽﾀ内のﾋﾞｯﾄに複写できます。

● **ﾋﾞｯﾄ5 – H : ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞ** (Half Carry Flag)

ﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞはいくつかの算術操作でのﾊｰﾌｷｬﾘｰを示します。ﾊｰﾌｷｬﾘｰはBCD演算に有用です。

● **ﾋﾞｯﾄ4 – S : 符号** (Sign Bit, S= N Ex-OR V)

Sﾌﾗｸﾞは常に負(N)ﾌﾗｸﾞと2の補数溢れ(V)ﾌﾗｸﾞ間の排他的論理和です。

● **ﾋﾞｯﾄ3 – V : 2の補数溢れﾌﾗｸﾞ** (2's Complement Overflow Flag)

2の補数溢れ(V)ﾌﾗｸﾞは2の補数算術演算を支援します。

● **ﾋﾞｯﾄ2 – N : 負ﾌﾗｸﾞ** (Negative Flag)

負(N)ﾌﾗｸﾞは算術及び論理操作での負の結果(MSB=1)を示します。

● **ﾋﾞｯﾄ1 – Z : ｾﾞﾛ ﾌﾗｸﾞ** (Zero Flag)

ｾﾞﾛ(Z)ﾌﾗｸﾞは算術及び論理操作でのｾﾞﾛ(0)の結果を示します。

● **ﾋﾞｯﾄ0 – C : ｷｬﾘｰ ﾌﾗｸﾞ** (Carry Flag)

ｷｬﾘｰ(C)ﾌﾗｸﾞは算術及び論理操作でのｷｬﾘｰ(またはﾎﾞﾛｰ)を示します。

3.15. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	SREG	I	T	H	S	V	N	Z	C	13
+$0E	SPH	SP15~8								13
+$0D	SPL	SP7~0								12
+$0C	EIND	EIND7~0								12
+$0B	RAMPZ	RAMPZ7~0								12
+$0A	RAMPY	RAMPY7~0								12
+$09	RAMPX	RAMPX7~0								11
+$08	RAMPD	RAMPD7~0								11
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CCP	CCP7~0								11
+$03	予約	–	–	–	–	–	–	–	–	
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	予約	–	–	–	–	–	–	–	–	

4. メモリ

4.1. 要点

- フラッシュ プログラム メモリ
  - 1つの直線的なアドレス空間
  - 実装書き換え可能(In-System Programmable)
  - 自己プログラミングとブートローダ支援
  - 応用コード用応用領域
  - 応用コードまたはデータ記憶用応用表領域
  - 応用コードまたはブートローダ コード用ブート領域
  - 全領域に対する独立した施錠ビット
  - 選択可能なプログラム用フラッシュ メモリ領域の組み込み高速CRC検査
- データ メモリ
  - 1つの直線的なアドレス空間
  - CPUからの単一周期アクセス
  - SRAM
  - EEPROM
    - バイトとページでのアクセスが可能
    - 直接の取得と格納に対する任意のメモリ配置割り当て
  - I/Oメモリ
    - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
    - 全体変数またはフラグ用のビット アクセス可能な16個の汎用I/Oレジスタ
  - 外部メモリ支援
    - SRAM
    - SDRAM
    - メモリ位置割り当て外部ハードウェア
  - バス調停
    - CPU、DMA制御器、他のバス所有者間の優先順を扱う決定法
  - SRAM、EPROM、I/Oメモリ、外部メモリのアクセスに関する独立バス
    - CPUとDMA制御器に対する同時アクセス
- 工場書き込みデータ用製品識票列メモリ
  - 各マイクロ コントローラ型式に対するID
  - 各デバイスに対する通番
  - 工場較正された周辺機能用の較正バイト
- 使用者識票列
  - 1つのフラッシュ ページ容量
  - ソフトウェアから読み書き可能
  - チップ消去後の内容保持

4.2. 概要

本項は各種メモリ領域を記述します。AVRの構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能なコードはプログラム メモリにだけ属せ、一方データはプログラム メモリとデータ メモリの両方に格納できます。データ メモリは内部SRAMと、不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ バンク切り替えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠できます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域はヒューズ ビットを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってだけ書き込むことができます。

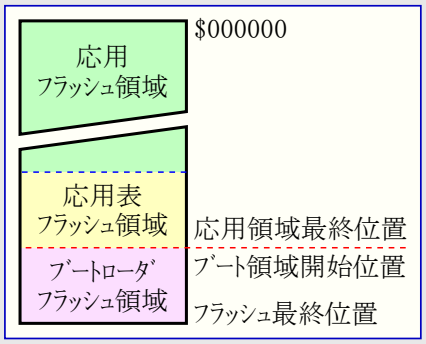
4.3. フラッシュ プログラム メモリ

全てのXMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各位置は16ビット幅です。図4-1.で示されるようにXMEGAのフラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されています。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。SPM(Store Program Memory)命令は応用ソフトウェアからフラッシュを書くのに使われ、これはブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶に使えます。

図4-1. フラッシュ メモリ領域



4.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コードを格納するのに使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

4.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラム メモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここに応用コードが存在できます。

4.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コードの格納に使われる一方、SPM命令がこの領域から実行する時にプログラミングを始められるので、ブートローダ ソフトウェアはブートローダ領域に配置されなければなりません。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダ ソフトウェア用に使われないなら、ここに応用コードを格納することができます。

4.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。温度、基準電圧などのような校正条件の詳細についてはデバイスのデータシートを参照してください。

製品識票列は各マイクロ コントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

4.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュ メモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

4.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するのに使われ、外部プログラミング インターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や、始動構成設定、JTAG許可とJTAG使用者IDに使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュ メモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

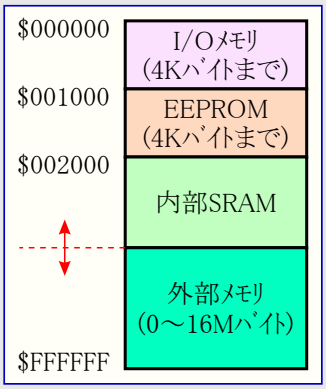
ヒューズと施錠ビットの両方はプログラム用フラッシュ メモリのように書き換え可能です。

4.5. データ メモリ

データ メモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMと利用可能な場合の外部メモリを含みます。図4-2.で示されるように、データ メモリは1つの続いたメモリ領域として構成されます。

I/Oメモリ、EEPROM、SRAMは全てのXMEGAデバイスに関して常に同じ開始アドレスを持ちます。外部メモリのアドレス空間は常に内部SRAMの最後から始まり、アドレス$FFFFFFFで終ります。

図4-2. データ メモリ配置



4.6. 内部SRAM

内部SRAMは常に16進アドレス位置$2000で始まります。SRAMは取得(LD/LDD/LDS)と格納(ST/STD/STS)命令を使うことでCPUによってアクセスされます。

4.7. EEPROM

全てのXMEGAデバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でアドレス指定でき、またはメモリ配置割り当てで通常のデータ空間でアクセスできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス$1000で始まります。けれども、緩衝部破棄とページの消去と書き込みは未だI/O割り当てアクセスとしてNVM制御器を通して行われなければなりません。

4.8. I/Oメモリ

CPUを含む単位部と周辺機能に関する状態と構成設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタ ファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は$0000～$003F範囲のI/Oメモリ位置を直接アドレス指定できます。$0000～$001Fのアドレス範囲では個別ビットの操作と検査の命令が利用できます。

4.8.1. 汎用I/Oレジスタ

最下位16個のI/Oメモリ アドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI, SBIS,SBIC命令を使って直接ビット アクセスが可能なため、全体変数とフラグの格納に使うことができます。

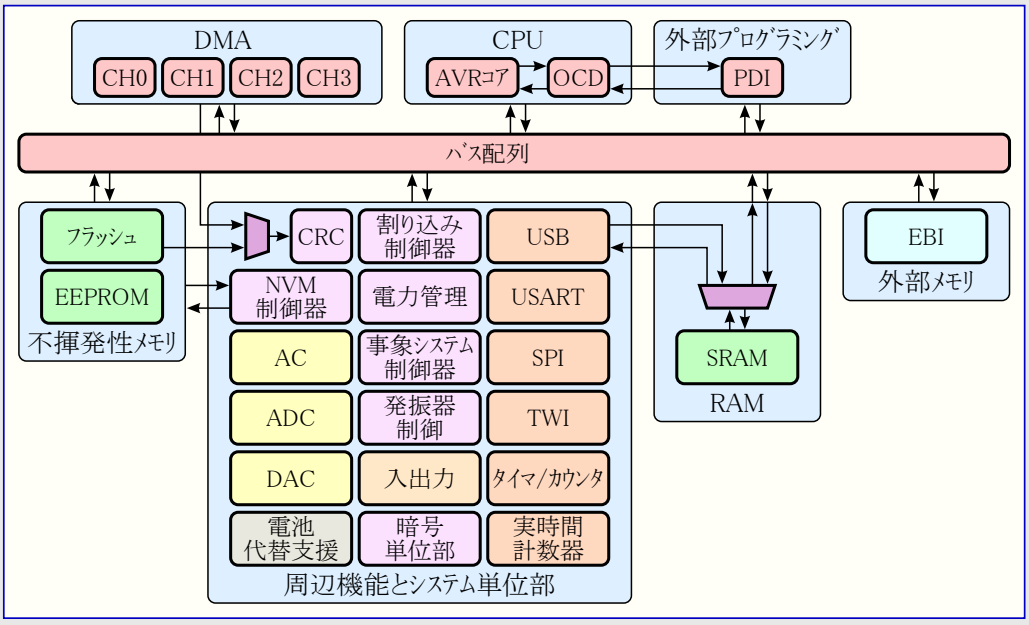
4.9. 外部メモリ

外部メモリ専用の最大4つのポートは外部SRAM,SDRAMやLCD表示器のようなメモリ配置割り当て周辺機器を支援します。詳細については225頁の「EBI – 外部バス インターフェース」記述を参照してください。外部メモリ アドレス空間は常に内部SRAMの最後で始まります。

4.10. データ メモリとバス調停

データ メモリが4つの独立したメモリの組として構成されるため、異なるバス主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるメモリ領域をアクセスし得ます。図4-3.をご覧ください。USB単位部はバス主権部として働き、擬似2ポート(PDP:Pseudo-DualPort)インターフェースを通して内部SRAMへ直接的に接続されます。

図4-3. バス アクセス



4.10.1. バス優先権

多数の主権部が同じバスへのアクセスを要求するとき、バス優先権は以下の順です(高位から低位の優先順)。

1. アクセス実行中のバス主権部
2. 集中転送実行中のバス主権部
   - 同じデータ メモリ領域アクセス時のDMA制御器読み込みとDMA制御器書き込みの切り換え
3. 集中転送アクセスを要求するバス主権部
   - CPU優先
4. バス アクセスを要求するバス主権部
   - CPU優先

4.11. メモリ タイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。外部メモリは複数周期読み書きです。周期数は外部バス インターフェ ースの構成設定とメモリ形式に依存します。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

4.12. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂ID(REVID)レジスタはデバイスの改訂番号を含みます。

4.13. JTAG禁止

応用ソフトウェアからJTAGインターフェースを禁止することができます。これは次のデバイス リセットまたはJTAGが応用ソフトウェアから再び許可されるまで、デバイスへの全ての外部JTAGアクセスを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oピンは標準I/Oピンとして使えます。

4.14. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。詳細については10頁の「構成設定変更保護」を参照してください。

4.15. ﾚｼﾞｽﾀ説明 – 不揮発性ﾒﾓﾘ(NVM)制御器

4.15.1. ADDR0 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ0 (Address register 0)

ADDR2,ADDR1,ADDR0ﾚｼﾞｽﾀは24ﾋﾞｯﾄ値ADDRを表します。これは全てのNVM領域の読み、書き、CRC操作のｱﾄﾞﾚｽ指定に使われます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ADDR7~0								ADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – ADDR7~0 : ｱﾄﾞﾚｽ下位ﾊﾞｲﾄ** (Address Byte 0)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ下位ﾊﾞｲﾄを与えます。

4.15.2. ADDR1 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ1 (Address register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	ADDR15~8								ADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR15~8 : ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ** (Address Byte 1)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ上位ﾊﾞｲﾄを与えます。

4.15.3. ADDR2 – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ2 (Address register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	ADDR23~16								ADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – ADDR23~16 : ｱﾄﾞﾚｽ拡張ﾊﾞｲﾄ** (Address Byte 2)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のｱﾄﾞﾚｽ拡張ﾊﾞｲﾄを与えます。

4.15.4. DATA0 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ0 (Data register 0)

DATA2,DATA1,DATA0ﾚｼﾞｽﾀは24ﾋﾞｯﾄ値DATAを表します。これはNVM読み、書き、CRCｱｸｾｽ中のﾃﾞｰﾀを保持します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	DATA7~0								DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA7~0 : ﾃﾞｰﾀ下位ﾊﾞｲﾄ** (Data Byte 0)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第1ﾊﾞｲﾄを与えます。

4.15.5. DATA1 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ1 (Data register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	DATA15~8								DATA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA15~8 : ﾃﾞｰﾀ上位ﾊﾞｲﾄ** (Data Byte 1)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第2ﾊﾞｲﾄを与えます。

4.15.6. DATA2 – ﾃﾞｰﾀ ﾚｼﾞｽﾀ2 (Data register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	DATA23~16								DATA2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DATA23~16 : ﾃﾞｰﾀ第3ﾊﾞｲﾄ** (Data Byte 2)

このﾚｼﾞｽﾀはNVM位置をｱｸｾｽする時のﾃﾞｰﾀ値第3ﾊﾞｲﾄを与えます。

4.15.7. CMD – 指令ﾚｼﾞｽﾀ (Command register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	–	CMD6~0							CMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~0 – CMD6~0 : 指令** (Command)

これらのﾋﾞｯﾄはﾌﾗｯｼｭに対するﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令を定義します。ﾋﾞｯﾄ6は外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令に対してだけ設定(1)されます。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令については290頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」をご覧ください。

4.15.8. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	–	–	–	–	–	–	–	CMDEX	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W(S)	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – CMDEX : 指令実行** (Command Execute)

このﾋﾞｯﾄを設定(1)することが不揮発性ﾒﾓﾘ指令(CMD)ﾚｼﾞｽﾀ内の指令を実行します。このﾋﾞｯﾄは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「**構成設定変更保護**」を参照してください。

4.15.9. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	–	–	–	–	EEMAPEN	FPRM	EPRM	SPMLOCK	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – EEMAPEN : EEPROMﾃﾞｰﾀ ﾒﾓﾘ割り当て許可** (EEPROM Data Memory Mapping Enable)

このﾋﾞｯﾄを設定(1)することがEEPROM領域のﾃﾞｰﾀ ﾒﾓﾘ配置割り当てを許可します。その後EEPROMは取得(LD/LDD/LDS)と格納(ST/STD/STS)の命令を使ってｱｸｾｽできます。

● **ﾋﾞｯﾄ2 – FPRM : ﾌﾗｯｼｭ電力削減動作** (Flash Power Reduction Mode)

このﾋﾞｯﾄを設定(1)することがﾌﾗｯｼｭ ﾒﾓﾘに対する節電を許可します。ｺｰﾄﾞが応用領域で走行している場合、ﾌﾞｰﾄﾛｰﾀﾞ領域がOFFされ、逆もまた同様です。OFFされている領域へのｱｸｾｽが必要とされる場合、CPUはｱｲﾄﾞﾙ休止形態動作からの起動時間と等しい時間停止されます。

● **ﾋﾞｯﾄ1 – EPRM : EEPROM電力削減動作** (EEPROM Power Reduction Mode)

このﾋﾞｯﾄを設定(1)することがEEPROMに対する節電を許可します。その後、EEPROMは休止形態動作移行に等しい規則でOFFにされます。ｱｸｾｽが必要とされる場合、ﾊﾞｽ主権部はｱｲﾄﾞﾙ休止形態動作からの起動時間と等しい時間停止されます。

● **ﾋﾞｯﾄ0 – SPMLOCK : SPM施錠** (SPM Locked)

このﾋﾞｯﾄは更なる自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを防止するために1を書くことができます。このﾋﾞｯﾄはﾘｾｯﾄで解除(0)され、ｿﾌﾄｳｪｱから解除(0)することはできません。このﾋﾞｯﾄは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「**構成設定変更保護**」を参照してください。

4.15.10. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	–	–	–	–	SPMLVL1,0		EELVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – SPMLVL1,0 : SPM操作可割り込みﾚﾍﾞﾙ** (SPM Ready Interrupt Level)

これらのﾋﾞｯﾄは割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。これは状態(STATUS)ﾚｼﾞｽﾀの不揮発性ﾒﾓﾘ多忙(NVMBUSY)ﾌﾗｸﾞが0に設定される時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM命令が起動される前にはNVMBUSYﾌﾗｸﾞが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ﾙｰﾁﾝで禁止されるべきです。

● **ﾋﾞｯﾄ1,0 – EELVL1,0 : EEPROM操作可割り込みﾚﾍﾞﾙ** (EEPROM Ready Interrupt Level)

これらのﾋﾞｯﾄはEEPROM操作可割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。これは状態(STATUS)ﾚｼﾞｽﾀの不揮発性ﾒﾓﾘ多忙(NVMBUSY)ﾌﾗｸﾞが0に設定される時にだけ起動されるﾚﾍﾞﾙ割り込みです。従って、NVM命令が起動される前にはNVMBUSYﾌﾗｸﾞが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ﾙｰﾁﾝで禁止されるべきです。

4.15.11. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – NVMBUSY : 不揮発性ﾒﾓﾘ多忙ﾌﾗｸﾞ** (Non-Volatile Memory Busy)

NVMBUSYﾌﾗｸﾞはNVM(ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、施錠ﾋﾞｯﾄ)がﾌﾟﾛｸﾞﾗﾐﾝｸﾞされつつあるかどうかを示します。一旦操作が開始されると、このﾌﾗｸﾞが設定(1)され、操作が完了されるまで設定(1)に留まります。NVMBUSYﾌﾗｸﾞは操作完了時に、自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – FBUSY : ﾌﾗｯｼｭ多忙ﾌﾗｸﾞ** (Flash Busy)

FBUSYﾌﾗｸﾞはﾌﾗｯｼｭのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作が始められたかどうかを示します。一旦操作が開始されると、FBUSYﾌﾗｸﾞが設定(1)され、応用領域がｱｸｾｽできなくなります。FBUSYﾌﾗｸﾞは操作完了時、自動的に解除(0)されます。

● **ﾋﾞｯﾄ5～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – EELOAD : EEPROMﾍﾟｰｼﾞ緩衝部設定中ﾌﾗｸﾞ** (EEPROM Page Buffer Active Loading)

EELOADﾌﾗｸﾞはEEPROMﾍﾟｰｼﾞ一時緩衝部が1ﾊﾞｲﾄ以上格納されていることを示します。これはEEPROMﾍﾟｰｼﾞ書き込みまたはﾍﾟｰｼﾞ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については、292頁の「**ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順**」をご覧ください。

● **ﾋﾞｯﾄ0 – FLOAD : ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部設定中ﾌﾗｸﾞ** (Flash Page Buffer Active Loading)

FLOADﾌﾗｸﾞはﾌﾗｯｼｭ ﾍﾟｰｼﾞ一時緩衝部が1ﾊﾞｲﾄ以上格納されていることを示します。これは応用ﾍﾟｰｼﾞ書き込み、ﾌﾞｰﾄ ﾍﾟｰｼﾞ書き込み、またはﾍﾟｰｼﾞ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については292頁の「**ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順**」をご覧ください。

4.15.12. LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ (Lock Bit register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	

このﾚｼﾞｽﾀはI/Oﾒﾓﾘ空間内へのNVM施錠ﾋﾞｯﾄ割り当てで、応用ｿﾌﾄｳｪｱからの直接読み込みｱｸｾｽを許します。記述については24頁の「**LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ**」を参照してください。

4.16. ﾚｼﾞｽﾀ説明 – ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ

4.16.1. FUSEBYTE0 – ﾋｭｰｽﾞ ﾊﾞｲﾄ0 (Fuse Byte 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	JTAGUID7~0								FUSEBYTE0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – JTAGUID7~0 : JTAG使用者ID** (JTAG User ID)

これらのﾋｭｰｽﾞはﾃﾞﾊﾞｲｽに対する既定JTAG使用者ID(JTAG USER ID)を設定するのに使えます。ﾘｾｯﾄの間にJTAGUIDﾋｭｰｽﾞ ﾋﾞｯﾄはMCU JTAG使用者IDﾚｼﾞｽﾀ内に設定されます。

4.16.2. FUSEBYTE1 – ﾋｭｰｽﾞ ﾊﾞｲﾄ1 (Fuse Byte 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	WDWPER3~0				WDPER3~0				FUSEBYTE1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – WDWPER3~0 : ｳｫｯﾁﾄﾞｯｸﾞ窓周期** (Watchdog Window Timeout Period)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄは窓動作でのｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏに対する窓閉鎖初期値を設定するのに使われます。ﾘｾｯﾄの間にこれらのﾋｭｰｽﾞ ﾋﾞｯﾄが自動的にｳｫｯﾁﾄﾞｯｸﾞ窓動作制御ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ窓動作周期(WPER)ﾋﾞｯﾄに書かれます。詳細については88頁の「**WINCTRL – 窓動作制御ﾚｼﾞｽﾀ**」を参照してください。

● **ﾋﾞｯﾄ3~0 – WDPER3~0 : ｳｫｯﾁﾄﾞｯｸﾞ周期** (Watchdog Timeout Period)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ周期初期値を設定するために使われます。ﾘｾｯﾄの間にこれらのﾋｭｰｽﾞ ﾋﾞｯﾄが自動的にｳｫｯﾁﾄﾞｯｸﾞ制御ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ周期(PER)ﾋﾞｯﾄに書かれます。詳細については88頁の「**CTRL – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御ﾚｼﾞｽﾀ**」を参照してください。

4.16.3. FUSEBYTE2 – ﾋｭｰｽﾞ ﾊﾞｲﾄ2 (Fuse Byte 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	BOOTRST	TOSCSEL	–	–	–	BODPD1,0		FUSEBYTE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● **ﾋﾞｯﾄ6 – BOOTRST : ﾌﾞｰﾄﾛｰﾀﾞ領域ﾘｾｯﾄ ﾍﾞｸﾀ** (Boot Loader Section Reset Vector)

このﾋｭｰｽﾞはﾘｾｯﾄ ﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ ﾌﾗｯｼｭ領域の先頭ｱﾄﾞﾚｽを指示するようにﾌﾟﾛｸﾞﾗﾑ(0)にできます。ﾃﾞﾊﾞｲｽはﾘｾｯﾄ後にﾌﾞｰﾄﾛｰﾀﾞ ﾌﾗｯｼｭ領域から実行を開始します。

表4-1. ﾌﾞｰﾄ ﾘｾｯﾄ ﾋｭｰｽﾞ

BOOTRST	ﾘｾｯﾄ ﾍﾞｸﾀ(ｱﾄﾞﾚｽ)
0	ﾌﾞｰﾄﾛｰﾀﾞ ﾘｾｯﾄ
1	応用ﾘｾｯﾄ($000000)

● **ﾋﾞｯﾄ5 – TOSCSEL : 32.768kHzﾀｲﾏ発振器ﾋﾟﾝ選択** (32.768kHz Timer Oscillator Pin Selection)

このﾋｭｰｽﾞは32.768kHzﾀｲﾏ発振器(TOSC)用のﾋﾟﾝ位置の選択に使われます。このﾋｭｰｽﾞは既定によってXTALとTOSCのﾋﾟﾝが共用されるﾃﾞﾊﾞｲｽでだけ利用可能です。

表4-2. TOSCSELﾋｭｰｽﾞ

TOSCSEL	群構成設定	内容
0	ALTERNATE (注)	独立したﾋﾟﾝでのTOSC1/2
1	XTAL	XTALと共用するTOSC1/2

注: 代替TOSC位置についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄをご覧ください。

● **ﾋﾞｯﾄ4~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● ﾋﾞｯﾄ1,0 – BODPD1,0 : 低電力保持動作でのBOD動作 (BOD operation in power-down mode)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄはﾃﾞﾊﾞｲｽがｱｲﾄﾞﾙ動作を除く全ての休止形態動作でのBOD動作種別を設定します。

BODとBOD動作種別の詳細については78頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-3. 休止形態動作でのBOD動作種別

BODPD1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

4.16.4. FUSEBYTE4 – ﾋｭｰｽﾞ ﾊﾞｲﾄ4 (Fuse Byte 4)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	RSTDISBL	STARTUPTIME1,0		WDLOCK	JTAGEN	FUSEBYTE4
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

● ﾋﾞｯﾄ7～5 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● ﾋﾞｯﾄ4 – RSTDISBL : 外部ﾘｾｯﾄ禁止 (External Reset Disable)

このﾋｭｰｽﾞは外部ﾘｾｯﾄ ﾋﾟﾝ機能を禁止するためにﾌﾟﾛｸﾞﾗﾑ(0)にできます。これが行われると、ﾘｾｯﾄ ﾋﾟﾝのLow引き込みは外部ﾘｾｯﾄを引き起こしません。このﾋﾞｯﾄが変更された後でそれが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

● ﾋﾞｯﾄ3,2 – STARTUPTIME1,0 : 始動時間 (Start-up time)

これらのﾋｭｰｽﾞ ﾋﾞｯﾄは全てのﾘｾｯﾄ元が開放される時から内部ﾘｾｯﾄが遅延計数器から開放されるまでの設定可能な時間間隔を設定するのに使うことができます。これらのﾋﾞｯﾄが変更された後でそれらが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

この遅延は超低電力(ULP)発振器の1kHz出力で計時されます。詳細については77頁の「ﾘｾｯﾄの流れ」を参照してください。

表4-4. 始動時間

STARTUPTIME1,0	1kHz ULP発振器周期数
0 0	64
0 1	4
1 0	(予約)
1 1	0

● ﾋﾞｯﾄ1 – WDLOCK : ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ施錠 (Watchdog Timer lock)

WDLOCKﾋｭｰｽﾞはｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成設定を施錠するためにﾌﾟﾛｸﾞﾗﾑ(0)にすることができます。このﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ構成設定を変更できなくなり、ﾘｾｯﾄでｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ制御(CTRL)ﾚｼﾞｽﾀのｳｫｯﾁ ﾄﾞｯｸﾞ許可(ENABLE)ﾋﾞｯﾄが自動的に設定(1)され、応用ｿﾌﾄｳｪｱから解除(0)できなくなります。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ窓制御(WINCTRL)ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ窓動作許可(WEN)ﾋﾞｯﾄは自動的に設定(1)されず、ｿﾌﾄｳｪｱからの設定(1)を必要とします。このﾋﾞｯﾄが変更された後でそれが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

表4-5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ施錠

WDLOCK	内容
0	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは変更に対して閉ざされます。
1	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏは施錠されません。

● ﾋﾞｯﾄ0 – JTAGEN : JTAG許可 (JTAG Enable)

このﾋｭｰｽﾞはJTAGｲﾝﾀｰﾌｪｰｽが許可されるか否かを制御します。

JTAGｲﾝﾀｰﾌｪｰｽが禁止されると、JTAGを通す全てのｱｸｾｽが禁止され、ﾃﾞﾊﾞｲｽはﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)だけを用いてｱｸｾｽすることができます。

JTAGENﾋｭｰｽﾞはJTAGｲﾝﾀｰﾌｪｰｽを持つﾃﾞﾊﾞｲｽでだけ利用可能です。このﾋﾞｯﾄが変更された後でそれが正しく読めるのに先立ってﾘｾｯﾄが必要とされます。

表4-6. JTAG許可

JTAGEN	内容
0	JTAG許可
1	JTAG禁止

4.16.5. FUSEBYTE5 – ﾋｭｰｽﾞﾊﾞｲﾄ5 (Fuse Byte 5)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	BODACT1,0		EESAVE	BODLEVEL2~0			FUSEBYTE5
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	–	–	–	–	–	–	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来の使用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に1を書いてください。

● **ﾋﾞｯﾄ5,4 – BODACT1,0 : 活動中のBOD動作** (BOD operation in active mode)

これらのﾋｭｰｽﾞﾋﾞｯﾄはﾃﾞﾊﾞｲｽが活動(標準)またはｱｲﾄﾞﾙ動作の時のBOD動作種別を設定します。

BODとBOD動作種別の詳細については78頁の「**低電圧検出(Brown-out Detection)**」を参照してください。

表4-7. 活動とｱｲﾄﾞﾙ動作でのBOD動作種別

BODACT1,0	内容
0 0	(予約)
0 1	採取動作でBOD許可
1 0	継続的にBOD許可
1 1	BOD禁止

● **ﾋﾞｯﾄ3 – EESAVE : ﾁｯﾌﾟ消去からEEPROM保護** (EEPROM is preserved through the Chip Erase)

ﾁｯﾌﾟ消去命令は標準的にﾌﾗｯｼｭ、EEPROM、内部SRAMを消去します。このﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、ﾁｯﾌﾟ消去の間にEEPROMは消去されません。これはEEPROMがｿﾌﾄｳｪｱ改訂版に無関係なﾃﾞｰﾀの格納に使われる場合に有用です。

EESAVEﾋｭｰｽﾞﾋﾞｯﾄ変更は書き込み時間経過後直ちに効力を発揮します。従って、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作の抜け出しと再移行なしにEESAVE更新とEESAVEの新しい設定に応じたﾁｯﾌﾟ消去の実行が可能です。

表4-8. ﾁｯﾌﾟ消去を通したEEPROM保護

EESAVE	内容
0	EEPROMはﾁｯﾌﾟ消去の間、保護されます。
1	EEPROMはﾁｯﾌﾟ消去の間に消去されます。

● **ﾋﾞｯﾄ2~0 – BODLEVEL2~0 : 低電圧検出(BOD)電圧** (Brown-ut detection voltage level)

これらのﾋｭｰｽﾞﾋﾞｯﾄはBOD電圧値を設定します。詳細については78頁の「**ﾘｾｯﾄ元**」を参照してください。BOD電圧の公称値については78頁の**表9-2.**をご覧ください。

4.16.6. LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ (Lock Bit register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7,6 – BLBB1,0 : ﾌﾞｰﾄ領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0** (Boot Lock Bit Boot Section)

これらの施錠ﾋﾞｯﾄはﾌﾞｰﾄﾛｰﾀﾞ領域ｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBBﾋﾞｯﾄはより厳しい施錠へだけ書くことができます。BLBBﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-9. ﾌﾞｰﾄﾛｰﾀﾞ領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBB1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、ﾌﾞｰﾄﾛｰﾀﾞ領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、応用領域で実行する(E)LPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域からの読み込みを許されません。 割り込みﾍﾞｸﾀが応用領域に配置されている場合、ﾌﾞｰﾄﾛｰﾀﾞ領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域への書き込みを許されず、応用領域で実行する(E)LPM命令はﾌﾞｰﾄﾛｰﾀﾞ領域からの読み込みを許されません。 割り込みﾍﾞｸﾀが応用領域に配置されている場合、ﾌﾞｰﾄﾛｰﾀﾞ領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ5,4 – BLBA1,0 : 応用領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0 (Boot Lock Bit Application Section)

これらのﾋﾞｯﾄは応用領域ｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBAﾋﾞｯﾄはより厳しい施錠へだけ書くことができます。BLBAﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-10. 応用領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBA1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、応用領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用領域への書き込みを許されず、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ3,2 – BLBAT1,0 : 応用表領域ﾌﾞｰﾄ施錠ﾋﾞｯﾄ1,0 (Boot Lock Bit Application Table Section)

これらのﾋﾞｯﾄはｿﾌﾄｳｪｱ ｱｸｾｽに関して応用表領域ｱｸｾｽに対するｿﾌﾄｳｪｱ保護ﾚﾍﾞﾙを制御します。BLBATﾋﾞｯﾄはより厳しい施錠へだけ書くことができます。BLBATﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。

表4-11. 応用表領域用ﾌﾞｰﾄ施錠ﾋﾞｯﾄ

BLBAT1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、応用表領域をｱｸｾｽするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用表領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用表領域への書き込みを許されず、ﾌﾞｰﾄﾛｰﾀﾞ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みﾍﾞｸﾀがﾌﾞｰﾄﾛｰﾀﾞ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ﾋﾞｯﾄ1,0 – LB1,0 : 施錠ﾋﾞｯﾄ1,0 (Lock Bit)

これらのﾋﾞｯﾄは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中のﾌﾗｯｼｭとEEPROMに対する保護ﾚﾍﾞﾙを制御します。これらのﾋﾞｯﾄは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽを通してのみ書き込み可能です。施錠ﾋﾞｯﾄのﾘｾｯﾄはﾁｯﾌﾟ消去命令の実行によってのみ可能です。TIFとOCDを使う他の全てのｱｸｾｽはこの施錠ﾋﾞｯﾄの何れかが0に書かれる場合に防がれます。これらのﾋﾞｯﾄはﾒﾓﾘへのどのｿﾌﾄｳｪｱ ｱｸｾｽも妨げません。

表4-12. 施錠ﾋﾞｯﾄ保護種別

LB1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、ﾒﾓﾘ施錠は許可されません。
1 0	WLOCK	書き込み施錠、ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽに対して禁止されます。ﾋｭｰｽﾞ ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽからの書き込みに対して施錠されます。
0 0	RWLOCK	読み書き施錠、ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)と読み込み/検証はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽに対して禁止されます。施錠ﾋﾞｯﾄとﾋｭｰｽﾞ ﾋﾞｯﾄはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽからの読み書きに対して施錠されます。

注: 施錠ﾋﾞｯﾄを設定する前にﾋｭｰｽﾞ ﾋﾞｯﾄとﾌﾞｰﾄ施錠ﾋﾞｯﾄを設定してください。

4.17. ﾚｼﾞｽﾀ説明 – 製品識票列

4.17.1. RCOSC2M – 2MHz内部発振器校正ﾚｼﾞｽﾀ (Internal 2MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$00	RCOSC2M7~0								RCOSC2M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC2M7~0 : 2MHz内部発振器校正値** (Internal 2MHz Oscillator Calibration Value)

このﾊﾞｲﾄは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が2MHz DFLL用の校正ﾚｼﾞｽﾀB内へ自動的に格納されます。より多くの詳細については69頁の「CALB – 校正ﾚｼﾞｽﾀB」を参照してください。

4.17.2. RCOSC2MA – 2MHz内部発振器校正ﾚｼﾞｽﾀA (Internal 2MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$01	RCOSC2MA7~0								RCOSC2MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC2MA7~0 : 2MHz内部発振器校正値** (Internal 2MHz Oscillator Calibration Value)

このﾊﾞｲﾄは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が2MHz DFLL用の校正ﾚｼﾞｽﾀA内へ自動的に格納されます。より多くの詳細については69頁の「CALA – 校正ﾚｼﾞｽﾀA」を参照してください。

4.17.3. RCOSC32K – 32.768kHz内部発振器校正ﾚｼﾞｽﾀ (Internal 32.768kHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$02	RCOSC32K7~0								RCOSC32K
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC32K7~0 : 32.768kHz内部発振器校正値** (Internal 32.768kHz Oscillator Calibration Value)

このﾊﾞｲﾄは32.768kHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32kHz発振器用の校正ﾚｼﾞｽﾀ内へ自動的に格納されます。より多くの詳細については67頁の「RC32KCAL – 32.768kHz内部発振器校正ﾚｼﾞｽﾀ」を参照してください。

4.17.4. RCOSC32M – 32MHz内部発振器校正ﾚｼﾞｽﾀ (Internal 32MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$03	RCOSC32M7~0								RCOSC32M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC32M7~0 : 32MHz内部発振器校正値** (Internal 32MHz Oscillator Calibration Value)

このﾊﾞｲﾄは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32MHz DFLL用の校正ﾚｼﾞｽﾀB内へ自動的に格納されます。より多くの詳細については69頁の「CALB – 校正ﾚｼﾞｽﾀB」を参照してください。

4.17.5. RCOSC32MA – 32MHz内部発振器校正ﾚｼﾞｽﾀA (Internal 32MHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$04	RCOSC32MA7~0								RCOSC32MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC32MA7~0 : 32MHz内部発振器校正値** (Internal 32MHz Oscillator Calibration Value)

このﾊﾞｲﾄは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はﾃﾞﾊﾞｲｽの製造検査中に実行されます。ﾘｾｯﾄ中にこの値が32MHz DFLL用の校正ﾚｼﾞｽﾀA内へ自動的に格納されます。より多くの詳細については69頁の「CALA – 校正ﾚｼﾞｽﾀA」を参照してください。

4.17.6. LOTNUM0 – ﾛｯﾄ番号ﾚｼﾞｽﾀ0 (Lot Number register 0)

LOTNUM0,LOTNUM1,LOTNUM2,LOTNUM3,LOTNUM4,LOTNUM5は各々のﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号を含みます。ｳｪﾊｰ番号とｳｪﾊｰ座標と共に、これはﾃﾞﾊﾞｲｽに対する通番を与えます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$08	LOTNUM07~0								LOTNUM0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM07~0 : ﾛｯﾄ番号ﾊﾞｲﾄ0** (LOT Number Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ0を含みます。

4.17.7. LOTNUM1 – ﾛｯﾄ番号ﾚｼﾞｽﾀ1 (Lot Number register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$09	LOTNUM17~0								LOTNUM1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM17~0 : ﾛｯﾄ番号ﾊﾞｲﾄ1** (LOT Number Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ1を含みます。

4.17.8. LOTNUM2 – ﾛｯﾄ番号ﾚｼﾞｽﾀ2 (Lot Number register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0A	LOTNUM27~0								LOTNUM2
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM27~0 : ﾛｯﾄ番号ﾊﾞｲﾄ2** (LOT Number Byte 2)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ2を含みます。

4.17.9. LOTNUM3 – ﾛｯﾄ番号ﾚｼﾞｽﾀ3 (Lot Number register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0B	LOTNUM37~0								LOTNUM3
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM37~0 : ﾛｯﾄ番号ﾊﾞｲﾄ3** (LOT Number Byte 3)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ3を含みます。

4.17.10. LOTNUM4 – ﾛｯﾄ番号ﾚｼﾞｽﾀ4 (Lot Number register 4)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0C	LOTNUM47~0								LOTNUM4
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM47~0 : ﾛｯﾄ番号ﾊﾞｲﾄ4** (LOT Number Byte 4)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ4を含みます。

4.17.11. LOTNUM5 – ﾛｯﾄ番号ﾚｼﾞｽﾀ5 (Lot Number register 5)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$0D	LOTNUM57~0								LOTNUM5
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – LOTNUM57~0 : ﾛｯﾄ番号ﾊﾞｲﾄ5** (LOT Number Byte 5)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するﾛｯﾄ番号のﾊﾞｲﾄ5を含みます。

4.17.12. WAFNUM – ｳｪﾊｰ番号ﾚｼﾞｽﾀ (Wafer Number register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$10	WAFNUM7~0								WAFNUM
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – WAFNUM7~0 : ｳｪﾊｰ番号** (Wafer Number)

このﾊﾞｲﾄは各々のﾃﾞﾊﾞｲｽに対するｳｪﾊｰ番号を含みます。ﾛｯﾄ番号とｳｪﾊｰ座標と共に、これはﾃﾞﾊﾞｲｽに対する通番を与えます。

4.17.13. COORDX0 – ｳｪﾊｰX座標ﾚｼﾞｽﾀ0 (Wafer Coordinate X register 0)

COORDX0,COORDX1,COORDY0,COORDY1は各々のﾃﾞﾊﾞｲｽに対するｳｪﾊｰのX座標とY座標を含みます。ﾛｯﾄ番号とｳｪﾊｰ番号と共に、これは各々のﾃﾞﾊﾞｲｽに対する通番を与えます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$12	COORDX07~0								COORDX0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDX07~0 : ｳｪﾊｰX座標ﾊﾞｲﾄ0** (Wafer Coordinate X Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰX座標のﾊﾞｲﾄ0を含みます。

4.17.14. COORDX1 – ｳｪﾊｰX座標ﾚｼﾞｽﾀ1 (Wafer Coordinate X register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$13	COORDX17~0								COORDX1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDX17~0 : ｳｪﾊｰX座標ﾊﾞｲﾄ1** (Wafer Coordinate X Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰX座標のﾊﾞｲﾄ1を含みます。

4.17.15. COORDY0 – ｳｪﾊｰY座標ﾚｼﾞｽﾀ0 (Wafer Coordinate Y register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$14	COORDY07~0								COORDY0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDY07~0 : ｳｪﾊｰY座標ﾊﾞｲﾄ0** (Wafer Coordinate Y Byte 0)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰY座標のﾊﾞｲﾄ0を含みます。

4.17.16. COORDY1 – ｳｪﾊｰY座標ﾚｼﾞｽﾀ1 (Wafer Coordinate Y register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$15	COORDY17~0								COORDY1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – COORDY17~0 : ｳｪﾊｰY座標ﾊﾞｲﾄ1** (Wafer Coordinate Y Byte 1)

このﾊﾞｲﾄはﾃﾞﾊﾞｲｽに対するｳｪﾊｰY座標のﾊﾞｲﾄ1を含みます。

4.17.17. USBCAL0 – USBﾊﾟｯﾄﾞ校正ﾚｼﾞｽﾀ0 (USB Pad Calibration register 0)

USBCAL0とUSBCAL1はUSBﾋﾟﾝに対する校正値を含みます。校正はﾃﾞﾊﾞｲｽに対してUSB線上での外部部品の必要なしでの動作を許すために製造検査中に行われます。この校正ﾊﾞｲﾄはUSB校正ﾚｼﾞｽﾀ内へ自動的に格納されず、故にｿﾌﾄｳｪｱで行われなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1A	USBCAL07~0								USBCAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – USBCAL07~0 : USB校正ﾊﾞｲﾄ0** (USB Pad Calibration Byte 0)

このﾊﾞｲﾄはUSBﾋﾟﾝ校正ﾃﾞｰﾀのﾊﾞｲﾄ0を含み、これはUSBの校正下位(CAL0)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.18. USBCAL1 – USBﾊﾟｯﾄﾞ校正ﾚｼﾞｽﾀ1 (USB Pad Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1B	USBCAL17~0								USBCAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – USBCAL17~0 : USB校正ﾊﾞｲﾄ1** (USB Pad Calibration Byte 1)

このﾊﾞｲﾄはUSBﾋﾟﾝ校正ﾃﾞｰﾀのﾊﾞｲﾄ1を含み、これはUSBの校正上位(CAL1)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.19. RCOSC48M – USB RCOSC校正ﾚｼﾞｽﾀ (USB RCOSC Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$1C	RCOSC48M7~0								RCOSC48M
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – RCOSC48M7~0 : 48MHz RCOSC校正ﾊﾞｲﾄ0** (48MHz RCOSC Calibration Byte)

このﾊﾞｲﾄは内部32MHz発振器に対する48MHz校正値を含みます。この校正値が32MHz DFLL用の校正ﾚｼﾞｽﾀB(CALB)に書かれると、内部発振器からの全速(Full-speed)USB動作を許すために発振器が48MHzに較正されます。

注: DFLL32M内部のCOMP2とCOMP1のﾚｼﾞｽﾀは$B71Bに設定されなければなりません。

4.17.20. ADCACAL0 – ADCA校正ﾚｼﾞｽﾀ0 (ADCA Calibration register 0)

ADCACAL0とADCACAL1はA/D変換器A(ADCA)に対する校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはA/D変換器校正ﾚｼﾞｽﾀ内へ自動的に格納されず、故にｿﾌﾄｳｪｱで行われなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$20	ADCACAL07~0								ADCACAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCACAL07~0 : A/D変換器A校正ﾊﾞｲﾄ0** (ADCA Calibration Byte 0)

このﾊﾞｲﾄはA/D変換器A校正ﾃﾞｰﾀのﾊﾞｲﾄ0を含み、これはADCAの校正下位(CALL)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.21. ADCACAL1 – ADCA校正ﾚｼﾞｽﾀ1 (ADCA Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$21	ADCACAL17~0								ADCACAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCACAL17~0 : A/D変換器A校正ﾊﾞｲﾄ1** (ADCA Calibration Byte 1)

このﾊﾞｲﾄはA/D変換器A校正ﾃﾞｰﾀのﾊﾞｲﾄ1を含み、これはADCAの校正上位(CALH)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.22. ADCBCAL0 – ADCB校正ﾚｼﾞｽﾀ0 (ADCB Calibration register 0)

ADCBCAL0とADCBCAL1はA/D変換器B(ADCB)に対する校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはA/D変換器校正ﾚｼﾞｽﾀ内へ自動的に格納されず、故にｿﾌﾄｳｪｱで行われなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$24	ADCBCAL07~0								ADCBCAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCBCAL07~0 : A/D変換器B校正ﾊﾞｲﾄ0** (ADCB Calibration Byte 0)

このﾊﾞｲﾄはA/D変換器B校正ﾃﾞｰﾀのﾊﾞｲﾄ0を含み、これはADCBの校正下位(CALL)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.23. ADCBCAL1 – ADCB校正ﾚｼﾞｽﾀ1 (ADCB Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$25	ADCBCAL17~0								ADCBCAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – ADCBCAL17~0 : A/D変換器B校正ﾊﾞｲﾄ1** (ADCB Calibration Byte 1)

このﾊﾞｲﾄはA/D変換器B校正ﾃﾞｰﾀのﾊﾞｲﾄ1を含み、これはADCBの校正上位(CALH)ﾚｼﾞｽﾀ内に格納されなければなりません。

4.17.24. TEMPSENSE0 – 温度感知器校正ﾚｼﾞｽﾀ0 (Temperature Sensor Calibration register 0)

TEMPSENSE0とTEMPSENSE1は内部温度感知器で行われた温度測定からの12ﾋﾞｯﾄADCA変換値を含みます。この測定は製造検査に於いて85℃で行われ、単点または多点温度感知器校正に使うことができます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2E	TEMPSENSE07~0								TEMPSENSE0
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE07~0 : 温度感知器校正ﾊﾞｲﾄ0** (Temperature Sensor Calibration Byte 0)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ0(下位8ﾋﾞｯﾄ)を含みます。

4.17.25. TEMPSENSE1 – 温度感知器校正ﾚｼﾞｽﾀ1 (Temperature Sensor Calibration register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$2F	TEMPSENSE17~0								TEMPSENSE1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – TEMPSENSE17~0 : 温度感知器校正ﾊﾞｲﾄ1** (Temperature Sensor Calibration Byte 1)

このﾊﾞｲﾄは温度測定のﾊﾞｲﾄ1を含みます。

4.17.26. DACA0OFFCAL – DACAﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACA Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$30	DACA0OFFCAL7~0								DACA0OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA0OFFCAL7~0 : D/A変換器Aﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACA Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ0に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ0変位校正(CH0OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.27. DACA0GAINCAL – DACAﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ (DACA Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$31	DACA0GAINCAL7~0								DACA0GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA0GAINCAL7~0 : D/A変換器Aﾁｬﾈﾙ0利得校正ﾊﾞｲﾄ** (DACA Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ0に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ0利得校正(CH0GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.28. DACB0OFFCAL – DACBﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACB Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$32	DACB0OFFCAL7~0								DACB0OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACB0OFFCAL7~0 : D/A変換器Bﾁｬﾈﾙ0変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACB Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Bのﾁｬﾈﾙ0に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACBのﾁｬﾈﾙ0変位校正(CH0OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.29. DACB0GAINCAL – DACBﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ (DACB Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$33	DACB0GAINCAL7~0								DACB0GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACB0GAINCAL7~0 : D/A変換器Bﾁｬﾈﾙ0利得校正ﾊﾞｲﾄ** (DACB Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Bのﾁｬﾈﾙ0に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACBのﾁｬﾈﾙ0利得校正(CH0GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.30. DACA1OFFCAL – DACAﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACA Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$34	DACA1OFFCAL7~0								DACA1OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA1OFFCAL7~0 : D/A変換器Aﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACA Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ1に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ1変位校正(CH1OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.31. DACA1GAINCAL – DACAﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ (DACA Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$35	DACA1GAINCAL7~0								DACA1GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACA1GAINCAL7~0 : D/A変換器Aﾁｬﾈﾙ1利得校正ﾊﾞｲﾄ** (DACA Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Aのﾁｬﾈﾙ1に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACAのﾁｬﾈﾙ1利得校正(CH1GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.32. DACB1OFFCAL – DACBﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾚｼﾞｽﾀ (DACB Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$36	DACB1OFFCAL7~0								DACB1OFFCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACB1OFFCAL7~0 : D/A変換器Bﾁｬﾈﾙ1変位(ｵﾌｾｯﾄ)校正ﾊﾞｲﾄ** (DACB Offset Calibration Byte)

このﾊﾞｲﾄはD/A変換器Bのﾁｬﾈﾙ1に対する変位(ｵﾌｾｯﾄ)校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACBのﾁｬﾈﾙ1変位校正(CH1OFFSETCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.17.33. DACB1GAINCAL – DACBﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ (DACB Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
$37	DACB1GAINCAL7~0								DACB1GAINCAL
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7~0 – DACB1GAINCAL7~0 : D/A変換器Bﾁｬﾈﾙ1利得校正ﾊﾞｲﾄ** (DACB Gain Calibration Byte)

このﾊﾞｲﾄはD/A変換器Bのﾁｬﾈﾙ1に対する利得校正値を含みます。校正はﾃﾞﾊﾞｲｽの製造検査中に行われます。この校正ﾊﾞｲﾄはDACBのﾁｬﾈﾙ1利得校正(CH1GAINCAL)ﾚｼﾞｽﾀへ自動的に格納されず、故にこれはｿﾌﾄｳｪｱで行われなければなりません。

4.18. ﾚｼﾞｽﾀ説明 – 汎用I/Oﾒﾓﾘ

4.18.1. GPIORn – 汎用I/Oﾚｼﾞｽﾀn (General Purpose I/O register n)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+n	GPIORn7~0								GPIORn
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

これらはﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間でのﾌﾗｸﾞや全体変数のようなﾃﾞｰﾀの格納に使える汎用ﾚｼﾞｽﾀです。

4.19. ﾚｼﾞｽﾀ説明 – 外部ﾒﾓﾘ

225頁の「EBI – 外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ」を参照してください。

4.20. ﾚｼﾞｽﾀ説明 – MCU制御

4.20.1. DEVID0 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ0 (Device ID register 0)

DEVID0,DEVID1,DEVID2ﾚｼﾞｽﾀは各ﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾃﾞﾊﾞｲｽ形式を識別するﾊﾞｲﾄ識別を含みます。実際のIDの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DEVID7~0								DEVID0
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	1	1	1	1	0	

- **ﾋﾞｯﾄ7~0 – DEVID7~0 : ﾃﾞﾊﾞｲｽID第1ﾊﾞｲﾄ** (Device ID Byte 0)

ﾃﾞﾊﾞｲｽIDの第1ﾊﾞｲﾄ。このﾊﾞｲﾄは常に$1Eとして読めます。これはAtmelによって製造されたことを示します。

4.20.2. DEVID1 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ1 (Device ID register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	DEVID15~8								DEVID1
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

- **ﾋﾞｯﾄ7~0 – DEVID15~8 : ﾃﾞﾊﾞｲｽID第2ﾊﾞｲﾄ** (Device ID Byte 1)

ﾃﾞﾊﾞｲｽIDの第2ﾊﾞｲﾄはﾃﾞﾊﾞｲｽのﾌﾗｯｼｭ容量を示します。

4.20.3. DEVID2 – ﾃﾞﾊﾞｲｽIDﾚｼﾞｽﾀ2 (Device ID register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DEVID23~16								DEVID2
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

- **ﾋﾞｯﾄ7~0 – DEVID23~16 : ﾃﾞﾊﾞｲｽID第3ﾊﾞｲﾄ** (Device ID Byte 2)

ﾃﾞﾊﾞｲｽIDの第3ﾊﾞｲﾄはﾃﾞﾊﾞｲｽ番号を示します。

4.20.4. REVID – 改訂ID (Revision ID)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	REVID3~0				REVID
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1/0	1/0	1/0	1/0	

- **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来の使用に予約されています。

- **ﾋﾞｯﾄ3~0 – REVID3~0 : 改訂版ID** (Revision ID)

これらのﾋﾞｯﾄはﾃﾞﾊﾞｲｽ改訂版番号を含みます。0=A,1=B,以下同様です。

4.20.5. JTAGUID – JTAG使用者IDﾚｼﾞｽﾀ (JTAG User ID register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	JTAGUID7~0								JTAGUID
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● **ﾋﾞｯﾄ7~0 – JTAGUID7~0 : JTAG使用者ID** (JTAG User ID)

JTAGUIDはJTAG走査ﾁｪｰﾝ内の同じﾃﾞﾊﾞｲｽIDを持つ2つのﾃﾞﾊﾞｲｽ識別に使えます。JTAGUIDはﾌﾗｯｼｭから読み取られてこれらのﾚｼﾞｽﾀに配置されます。

4.20.6. MCUCR – MCU制御ﾚｼﾞｽﾀ (MCU Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	–	–	–	JTAGD	MCUCR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – JTAGD : JTAG禁止** (JTAG Disable)

このﾋﾞｯﾄの設定(1)はJTAGｲﾝﾀｰﾌｪｰｽを禁止します。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。この詳細については10頁の「**構成設定変更保護**」を参照してください。

4.20.7. ANAINIT – ｱﾅﾛｸﾞ初期化ﾚｼﾞｽﾀ (Analog Initialization register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	–	–	–	–	STARTUPDLYB1,0		STARTUPDLYA1,0		ANAINIT
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2/1,0 – STARTUPDLYx : 始動遅延**

これらのﾋﾞｯﾄ設定はそれらのﾎﾟｰﾄに接続された主な入出力と共にA/D変換器(ADC)、D/A変換器(DAC)、ｱﾅﾛｸﾞ比較器(AC)に使われる内部部分の連続的な(時間差での)開始を許可します。これが行われると、基準電圧やﾊﾞｲｱｽ電流のような内部部分はその単位部が許可された時に連続的に開始されます。これは単位部の始動中の尖頭消費電流を減らします。最大効果のため、始動遅延は0.5μsよりも大きくなるように設定されるべきです。

表4-13. ｱﾅﾛｸﾞ始動遅延

STARTUPDLYx1,0	群構成設定	内容
0 0	NONE	直始動
0 1	2CLK	2×clk_{PER}
1 0	8CLK	8×clk_{PER}
1 1	32CLK	32×clk_{PER}

4.20.8. EVSYSLOCK – 事象ｼｽﾃﾑ施錠ﾚｼﾞｽﾀ (Event System Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	–	–	–	EVSYS1LOCK	–	–	–	EVSYS0LOCK	EVSYSLOCK
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～5 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – EVSYS1LOCK : 事象1群施錠**

このﾋﾞｯﾄの設定(1)は更なる変更に対して事象ﾁｬﾈﾙ4～7に関連する事象ｼｽﾃﾑ内の全てのﾚｼﾞｽﾀを施錠します。事象ｼｽﾃﾑ内の次のﾚｼﾞｽﾀ、CH4MUX,CH4CTRL,CH5MUX,CH5CTRL,CH6MUX,CH6CTRL,CH7MUX,CH7CTRLが施錠されます。このﾋﾞｯﾄは構成設定変更保護機構によって保護されており、この詳細については10頁の「**構成設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ3～1 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – EVSYS0LOCK : 事象0群施錠**

このﾋﾞｯﾄの設定(1)は更なる変更に対して事象ﾁｬﾈﾙ0～3に関連する事象ｼｽﾃﾑ内の全てのﾚｼﾞｽﾀを施錠します。事象ｼｽﾃﾑ内の次のﾚｼﾞｽﾀ、CH0MUX,CH0CTRL,CH1MUX,CH1CTRL,CH2MUX,CH2CTRL,CH3MUX,CH3CTRLが施錠されます。このﾋﾞｯﾄは構成設定変更保護機構によって保護されており、この詳細については10頁の「**構成設定変更保護**」を参照してください。

4.20.9. AWEXLOCK – 新波形拡張施錠ﾚｼﾞｽﾀ (Advanced Waveform Extension Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	–	AWEXELOCK	–	AWEXCLOCK	AWEXLOCK
Read/Write	R	R	R	R	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～3 – 予約** (Reserved)

これらのﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – AWEXELOCK : TCE0用新波形拡張施錠** (Advanced Waveform Extension Lock for TCE0)

このﾋﾞｯﾄの設定(1)は更なる変更に対して(ﾎﾟｰﾄE配置の)ﾀｲﾏ/ｶｳﾝﾀE0用の新波形拡張(AWeX)部(AWEXE)内の全ﾚｼﾞｽﾀを施錠します。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。この詳細については10頁の「**構成設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ1 – 予約** (Reserved)

このﾋﾞｯﾄは将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – AWEXCLOCK : TCC0用新波形拡張施錠** (Advanced Waveform Extension Lock for TCC0)

このﾋﾞｯﾄの設定(1)は更なる変更に対して(ﾎﾟｰﾄC配置の)ﾀｲﾏ/ｶｳﾝﾀC0用の新波形拡張(AWeX)部(AWEXC)内の全ﾚｼﾞｽﾀを施錠します。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。この詳細については10頁の「**構成設定変更保護**」を参照してください。

4.21. ﾚｼﾞｽﾀ要約 – NVM制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$10	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		21
+$0F	STATUS	NVMBUSY	FBUSY	–	–	–	–	EELOAD	FLOAD	21
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	INTCTRL	–	–	–	–	SPMLVL1,0		EELVL1,0		21
+$0C	CTRLB	–	–	–	–	EEMAPEN	FPRM	EPRM	SPMLOCK	20
+$0B	CTRLA	–	–	–	–	–	–	–	CMDEX	20
+$0A	CMD	–	CMD6~0							20
+$09	予約	–	–	–	–	–	–	–	–	
+$08	予約	–	–	–	–	–	–	–	–	
+$07	予約	–	–	–	–	–	–	–	–	
+$06	DATA2	DATA23~16 (ﾃﾞｰﾀ ﾊﾞｲﾄ2)								19
+$05	DATA1	DATA15~8 (ﾃﾞｰﾀ ﾊﾞｲﾄ1)								19
+$04	DATA0	DATA7~0 (ﾃﾞｰﾀ ﾊﾞｲﾄ0)								19
+$03	予約	–	–	–	–	–	–	–	–	
+$02	ADDR2	ADDR23~16 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ2)								19
+$01	ADDR1	ADDR15~8 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ1)								19
+$00	ADDR0	ADDR7~0 (ｱﾄﾞﾚｽ ﾊﾞｲﾄ0)								19

4.22. ﾚｼﾞｽﾀ要約 – ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	LOCKBITS	BLBB1,0		BLBA1,0		BLBAT1,0		LB1,0		24
+$06	予約	–	–	–	–	–	–	–	–	
+$05	FUSEBYTE5	–	–	BODACT1,0		EESAVE	BODLEVEL2~0			24
+$04	FUSEBYTE4	–	–	–	RSTDISBL	STARTUPTIME1,0		WDLOCK	JTAGEN	23
+$03	予約	–	–	–	–	–	–	–	–	
+$02	FUSEBYTE2	–	BOOTRST	TOSCSEL	–	–	–	BODPD1,0		22
+$01	FUSEBYTE1	WDWPER3~0				WDPER3~0				22
+$00	FUSEBYTE0	JTAGUID7~0								22

4.23. ﾚｼﾞｽﾀ要約 – 製品識票列

ｱﾄﾞﾚｽ	自動設定	略称	ﾋﾞｯﾄ7～0	頁	ｱﾄﾞﾚｽ	自動設定	略称	ﾋﾞｯﾄ7～0	頁
$00	○	RCOSC2M	RCOSC2M7~0	26	$20	×	ADCACAL0	ADCACAL07~0	29
$01	○	RCOSC2MA	RCOSC2MA7~0	26	$21	×	ADCACAL1	ADCACAL17~0	29
$02	○	RCOSC32K	RCOSC32K7~0	26	$22		予約		
$03	○	RCOSC32M	RCOSC32M7~0	26	$23		予約		
$04	○	RCOSC32MA	RCOSC32MA7~0	26	$24	×	ADCBCAL0	ADCBCAL07~0	29
$05		予約			$25	×	ADCBCAL1	ADCBCAL17~0	29
$06		予約			$26		予約		
$07		予約			$27		予約		
$08	×	LOTNUM0	LOTNUM07~0	27	$28		予約		
$09	×	LOTNUM1	LOTNUM17~0	27	$29		予約		
$0A	×	LOTNUM2	LOTNUM27~0	27	$2A		予約		
$0B	×	LOTNUM3	LOTNUM37~0	27	$2B		予約		
$0C	×	LOTNUM4	LOTNUM47~0	27	$2C		予約		
$0D	×	LOTNUM5	LOTNUM57~0	27	$2D		予約		
$0E		予約			$2E	×	TEMPSENSE0	TEMPSENSE7~0	30
$0F		予約			$2F	×	TEMPSENSE1	TEMPSENSE11~8	30
$10	×	WAFNUM	WAFNUM7~0	28	$30	×	DACA0OFFCAL	DACA0OFFCAL7~0	30
$11		予約			$31	×	DACA0GAINCAL	DACA0GAINCAL7~0	30
$12	×	COORDX0	COORDX07~0	28	$32	×	DACB0OFFCAL	DACB0OFFCAL7~0	30
$13	×	COORDX1	COORDX17~0	28	$33	×	DACB0GAINCAL	DACB0GAINCAL7~0	31
$14	×	COORDY0	COORDY07~0	28	$34	×	DACA1OFFCAL	DACA0OFFCAL7~0	31
$15	×	COORDY1	COORDY17~0	28	$35	×	DACA1GAINCAL	DACA0GAINCAL7~0	31
$16		予約			$36	×	DACB1OFFCAL	DACB0OFFCAL7~0	31
$17		予約			$37	×	DACB1GAINCAL	DACB0GAINCAL7~0	31
$18		予約			$38		予約		
$19		予約			$39		予約		
$1A	×	USBCAL0	USBCAL07~0	28	$3A		予約		
$1B	×	USBCAL1	USBCAL17~0	29	$3B		予約		
$1C	×	RCOSC48M	RCOSC48M7~0	29	$3C		予約		
$1D		予約			$3D		予約		
$1E		予約			$3E		予約		
$1F		予約			$3F		予約		

4.24. ﾚｼﾞｽﾀ要約 – 汎用I/Oﾚｼﾞｽﾀ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	GPIOR15	GPIOR157～0								32
+$0E	GPIOR14	GPIOR147～0								32
+$0D	GPIOR13	GPIOR137～0								32
+$0C	GPIOR12	GPIOR127～0								32
+$0B	GPIOR11	GPIOR117～0								32
+$0A	GPIOR10	GPIOR107～0								32
+$09	GPIOR9	GPIOR97～0								32
+$08	GPIOR8	GPIOR87～0								32
+$07	GPIOR7	GPIOR77～0								32
+$06	GPIOR6	GPIOR67～0								32
+$05	GPIOR5	GPIOR57～0								32
+$04	GPIOR4	GPIOR47～0								32
+$03	GPIOR3	GPIOR37～0								32
+$02	GPIOR2	GPIOR27～0								32
+$01	GPIOR1	GPIOR17～0								32
+$00	GPIOR0	GPIOR07～0								32

4.25. ﾚｼﾞｽﾀ要約 – MCU制御

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	AWEXLOCK	–	–	–	–	–	AWEXELOCK	–	AWEXCLOCK	34
+$08	EVSYSLOCK	–	–	–	EVSYS1LOCK	–	–	–	EVSYS0LOCK	34
+$07	ANAINIT	–	–	–	–	STARTUPDLYB1,0		STARTUPDLYA1,0		33
+$06	MCUCR	–	–	–	–	–	–	–	JTAGD	33
+$05	予約	–	–	–	–	–	–	–	–	
+$04	JTAGUID	JTAGUID7～0								33
+$03	REVID	–	–	–	–	REVID3~0				32
+$02	DEVID2	DEVID23～16								32
+$01	DEVID1	DEVID15～8								32
+$00	DEVID0	DEVID7～0								32

4.26. 割り込みﾍﾞｸﾀ要約 – NVM制御器

表4-14. NVM割り込みﾍﾞｸﾀとNVM制御器割り込み基準からのそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	EE_vect	不揮発性ﾒﾓﾘEEPROM割り込みﾍﾞｸﾀ
$02	SPM_vect	不揮発性ﾒﾓﾘSPM割り込みﾍﾞｸﾀ

5. DMAC – 直接ﾒﾓﾘ入出力制御器 (Direct Memory Access Controller)

5.1. 要点

- 最小CPU介在での高速転送を許容
  - ﾃﾞｰﾀ ﾒﾓﾘからﾃﾞｰﾀ ﾒﾓﾘへ
  - ﾃﾞｰﾀ ﾒﾓﾘから周辺機能へ
  - 周辺機能からﾃﾞｰﾀ ﾒﾓﾘへ
  - 周辺機能から周辺機能へ
- 独立した4つのDMAﾁｬﾈﾙ
  - 転送起動元
  - 割り込みﾍﾞｸﾀ
  - ｱﾄﾞﾚｽ指示種別
- 設定可能なﾁｬﾈﾙ優先順
- 単一転送処理で1ﾊﾞｲﾄから16Mﾊﾞｲﾄまでのﾃﾞｰﾀ
  - 繰り返し付き、64Kﾊﾞｲﾄまでの塊転送
  - 1,2,4,8ﾊﾞｲﾄの集中転送
- 複数のｱﾄﾞﾚｽ指示種別
  - 静止
  - 増加
  - 減少
- 各終了での転送元と転送先の再設定任意選択
  - 集中
  - 塊
  - 単位処理
- 転送終了での割り込み任意選択
- DMAﾃﾞｰﾀ上のCRCに対するCRC発生器への接続任意選択

5.2. 概要

4ﾁｬﾈﾙ直接ﾒﾓﾘ入出力(DMA)制御器はﾒﾓﾘと周辺機能間でﾃﾞｰﾀを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いﾃﾞｰﾀ転送速度を許し、CPU時間を自由にします。4つのDMAﾁｬﾈﾙは4つまでの独立した平行転送を許します。

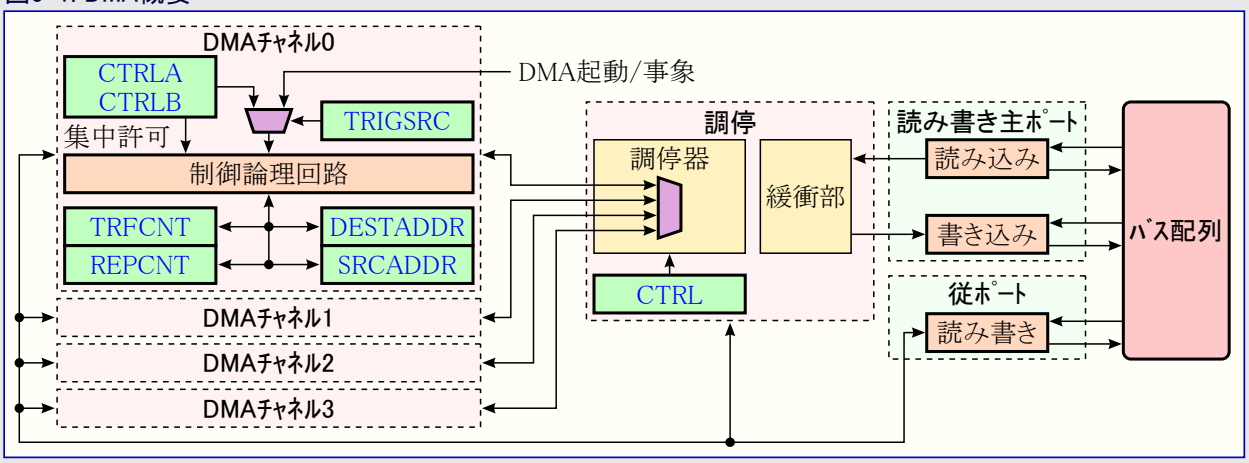
DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能ﾚｼﾞｽﾀ間のﾃﾞｰﾀを直接移動することができます。全ての周辺機能へのｱｸｾｽとで、DMA制御器は通信単位部との自動的なﾃﾞｰﾀ転送を扱うことができます。DMA制御器はﾒﾓﾘ配置割り当てEEPROMから読むこともできます。

ﾃﾞｰﾀ転送は1,2,4,8ﾊﾞｲﾄの継続集中で行われます。それらは1ﾊﾞｲﾄから64Kﾊﾞｲﾄまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mﾊﾞｲﾄまで各塊転送を繰り返すのに使うことができます。転送元と転送先のｱﾄﾞﾚｽ指示は静止、増加、減少にすることができます。転送元と/または転送先のｱﾄﾞﾚｽの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ｿﾌﾄｳｪｱ、周辺機能と事象がDMA転送を起動することができます。

4つのDMAﾁｬﾈﾙは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAﾁｬﾈﾙで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのﾁｬﾈﾙを内部接続することができます。

図5-1. DMA概要



5.3. DMA単位処理 (DMA Transaction)

ﾒﾓﾘや周辺機能間の完全なDMA読み書き操作はDMA単位処理と呼ばれます。DMA単位処理はﾃﾞｰﾀの塊(Block)で行われ、単位処理の量(転送ﾊﾞｲﾄ数)はｿﾌﾄｳｪｱから設定可能で、塊の量と繰り返し計数器設定によって制御されます。各塊転送(Block transfer)はより小さな集中転送(Burst transfer)に分割されます。

5.3.1. 塊転送(Block Transfer)と繰り返し(Repeat)

塊転送量は塊転送計数(TRFCNTH,TRFCNTL)ﾚｼﾞｽﾀによって設定され、1ﾊﾞｲﾄから64Kﾊﾞｲﾄまでのいくつにでもできます。

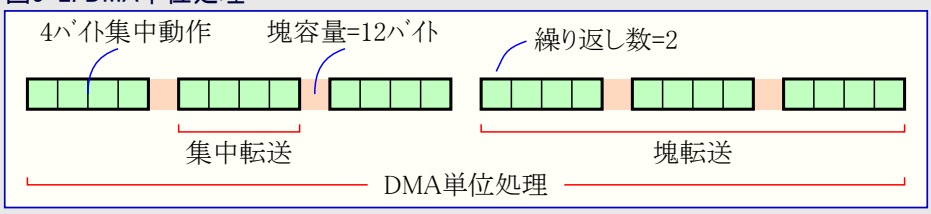
繰り返し計数器は単位処理が完了する前に塊転送繰り返し数を設定することを可能にできます。繰り返しは1～255で、繰り返し計数を0に設定することによって無制限繰り返しが達成できます。

5.3.2. 集中転送 (Burst transfer)

AVR CPUとDMA制御器が同じﾃﾞｰﾀ ﾊﾞｽを使うため、塊転送はより小さな集中転送に分割されます。集中転送は1,2,4,8ﾊﾞｲﾄが選択可能です。これはDMAがﾃﾞｰﾀ ﾊﾞｽを獲得し、転送要求が保留中の場合、集中転送内の全ﾊﾞｲﾄが転送されるまでﾊﾞｽを占有することを意味します。

ﾊﾞｽ調停器はDMA制御器とAVR CPUがﾊﾞｽを使う時を制御します。CPUが常に優先権を持ち、故にCPUがﾊﾞｽへのｱｸｾｽを要求する限り、どの保留集中転送も待たなければなりません。SRAM、I/Oﾒﾓﾘ、EEPROM、外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽのﾃﾞｰﾀを読み書きする命令を実行する時に、CPUはﾊﾞｽ ｱｸｾｽを要求します。ﾒﾓﾘ入出力でのﾊﾞｽ調停のより多くの詳細については17頁の「ﾃﾞｰﾀ ﾒﾓﾘ」を参照してください。

図5-2. DMA単位処理



5.4. 転送起動元

DMA転送はDMA転送要求が検出される時にだけ開始することができます。転送要求はｿﾌﾄｳｪｱ、外部起動元(周辺機能)または事象から起動できます。各DMAﾁｬﾈﾙには専用の起動元選択があります。利用可能な起動元はﾃﾞﾊﾞｲｽ毎に変わり得て、そのﾃﾞﾊﾞｲｽに存在する単位部や周辺機能に依存します。存在しない単位部や周辺機能に対する転送起動の使用は無効です。全ての転送起動元の一覧については46頁の「TRIGSRC-DMAﾁｬﾈﾙ起動元」を参照してください。

既定により、起動は塊転送動作を始動します。塊転送完了時にﾁｬﾈﾙが自動的に禁止されます。再び許可されると、ﾁｬﾈﾙは次の塊転送起動を待ちます。塊転送の代わりに集中転送を始める起動を選択することが可能です。これは単発転送と呼ばれ、各起動に対して1つの集中転送だけを転送します。繰り返し動作が許可されていると、次の塊転送は転送起動が必要ありません。それは直前の塊が行われてしまうと直ぐに始まります。

転送実行中に起動元が転送要求を生成した場合、それは保留を維持され、その転送は実行中の転送が行われてしまった時に開始され得ます。1つの保留転送が保持され、従って既に留保されている時に起動元が更に転送要求を生成した場合、それらは失われます。

5.5. ｱﾄﾞﾚｽ指定

DMA転送に対する転送元と転送先のｱﾄﾞﾚｽは転送元と転送先に対する個別選択で、静止または自動的な増加か減少のどれかにできます。ｱﾄﾞﾚｽの増加または減少が使われると、既定の動きが各ｱｸｾｽ後にｱﾄﾞﾚｽを更新するようになります。元の転送元と転送先のｱﾄﾞﾚｽはDMA制御器によって保存され、故に転送元と転送先のｱﾄﾞﾚｽは以下の時点で再設定するように個別に構成設定できます。

- 各集中転送の最後
- 各塊転送の最後
- 単位転送処理の最後
- 再設定なし

5.6. ﾁｬﾈﾙ間の優先権

多くのﾁｬﾈﾙが同時にﾃﾞｰﾀ転送を要求した場合、どのﾁｬﾈﾙにﾃﾞｰﾀ転送を許すのかを決めるのに優先権の仕組みが利用できます。応用ｿﾌﾄｳｪｱは1つ以上のﾁｬﾈﾙが固定優先順を持つべきなのか、またはﾗｳﾝﾄﾞ ﾛﾋﾞﾝの仕組みが使われるべきなのかの何れかに決めることができます。ﾗｳﾝﾄﾞ ﾛﾋﾞﾝの仕組みは最後に転送したﾁｬﾈﾙが(次に)最低優先権を持つことを意味します。

5.7. 2重緩衝 (訳補: 2つのﾁｬﾈﾙの交互使用によって転送緩衝部が2重化される意)

継続的な転送を可能とするために、2つのﾁｬﾈﾙは1つ目が終了した時に2つ目が転送を開始する(またその逆も)ように内部接続することができます。これは2つ目のﾁｬﾈﾙが動いている間に、1つ目のﾁｬﾈﾙによって転送されたﾃﾞｰﾀを処理し、新しいﾃﾞｰﾀ緩衝部を準備して再びﾁｬﾈﾙ ﾚｼﾞｽﾀを構成設定するための時間を応用に残します。2重緩衝または連結転送と呼ばれます。

2重緩衝がﾁｬﾈﾙ対に対して許可される時に、この2つのﾁｬﾈﾙが同じ繰り返し計数で構成設定されることが重要です。塊容量は等しい必要はありませんが、ﾁｬﾈﾙの動作構成設定の残りと共に等しくあるべきです。

2重緩衝のﾁｬﾈﾙ対は1つ目の対としてﾁｬﾈﾙ0と1、2つ目の対としてﾁｬﾈﾙ2と3に制限されることに注意してください。けれども、2重緩衝形態での1つの対動作と同時に他は未使用のまま、または独立した動作を持つことが可能です。

5.8. 転送緩衝部

異なるｱｸｾｽ ﾀｲﾐﾝｸﾞを持つﾒﾓﾘ(例えば、入出力ﾚｼﾞｽﾀと外部ﾒﾓﾘ)間でﾃﾞｰﾀ転送を行う時の不必要なﾊﾞｽ負荷を避けるため、DMA制御器は4ﾊﾞｲﾄの緩衝部を持ちます。転送元ｱﾄﾞﾚｽから2ﾊﾞｲﾄが読まれ、転送先への書き込み開始前にこの緩衝部へ書かれます。

5.9. 異常検出

DMA制御器は不正な操作を検知できます。異常条件は各DMAﾁｬﾈﾙに対して個別に検出され、その異常条件は次のとおりです。

- ﾒﾓﾘ割り当てされたEEPROM位置への書き込み
- EEPROMがOFFの(休止形態動作移行)時のEEPROM読み込み
- 転送中のｿﾌﾄｳｪｱによるDMA制御器または稼動中ﾁｬﾈﾙの禁止

5.10. ｿﾌﾄｳｪｱ ﾘｾｯﾄ

DMA制御器とDMAﾁｬﾈﾙは使用者ｿﾌﾄｳｪｱからﾘｾｯﾄできます。DMA制御器がﾘｾｯﾄされると、ﾁｬﾈﾙを含み、DMA制御器に関係する全てのﾚｼﾞｽﾀが解除(=0)されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄはDMA制御器が禁止されている時にだけ行えます。

DMAﾁｬﾈﾙがﾘｾｯﾄされると、そのDMAﾁｬﾈﾙ関係する全てのﾚｼﾞｽﾀが解除(=0)されます。ｿﾌﾄｳｪｱ ﾘｾｯﾄはそのDMAﾁｬﾈﾙが禁止されている時にだけ行えます。

5.11. 保護

安全な動作を保証するために、ﾁｬﾈﾙ ﾚｼﾞｽﾀのいくつかは単位処理の間は保護されます。各ﾁｬﾈﾙに関してDMAﾁｬﾈﾙ稼動(CHnBUSY)ﾌﾗｸﾞが設定(1)されているとき、使用者は以下のﾚｼﾞｽﾀとﾋﾞｯﾄの変更だけができます。

- DMA制御(CTRL)ﾚｼﾞｽﾀ
- DMA割り込み状態(INTFLAGS)ﾚｼﾞｽﾀ
- DMA一時(TEMPH,TEMPL)ﾚｼﾞｽﾀ
- DMAﾁｬﾈﾙ制御ﾚｼﾞｽﾀA(CTRLA)内のDMAﾁｬﾈﾙ許可(ENABLE),DMAﾁｬﾈﾙ ｿﾌﾄｳｪｱ ﾘｾｯﾄ(RESET),DMAﾁｬﾈﾙ繰り返し許可(REPEAT), DMAﾁｬﾈﾙ転送要求(TRFREQ)ﾋﾞｯﾄ
- DMAﾁｬﾈﾙ起動元(TRIGSRC)ﾚｼﾞｽﾀ

5.12. 割り込み

DMAﾁｬﾈﾙで異常が検出された時またはDMAﾁｬﾈﾙに対して単位処理が完了した時に、DMA制御器は割り込みを生成できます。各DMAﾁｬﾈﾙは独立した割り込みﾍﾞｸﾀを持ち、異常と単位処理完了に対して異なる割り込み要求ﾌﾗｸﾞがあります。

繰り返しが許可されていなければ、塊転送の最後で単位処理完了ﾌﾗｸﾞ(TRNIF)が設定(1)されます。無制限繰り返しが許可されている場合、単位処理完了ﾌﾗｸﾞは各塊転送の最後でも設定(1)されます。

5.13. ﾚｼﾞｽﾀ説明 – DMA制御器

5.13.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	RESET	–	–	DBUFMODE1,0		PRIMODE1,0		CTRL
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がDMA制御器を許可します。DMA制御器が許可されていて且つこのﾋﾞｯﾄが0を書かれた場合、内部転送緩衝部が空でDMAﾃﾞｰﾀ転送が中止される前に、ENABLEﾋﾞｯﾄは解除(0)されません。

● **ﾋﾞｯﾄ6 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

RESETﾋﾞｯﾄへの1書き込みはDMAが許可(ENABLE=1)されている限り無視されます。このﾋﾞｯﾄはDMA制御器が禁止(ENABLE=0)の時にだけ設定(1)することができます。

● **ﾋﾞｯﾄ5,4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – DBUFMODE1,0 : 2重緩衝動作種別** (Double Buffer Mode)

これらのﾋﾞｯﾄは表5-1.に従って様々なﾁｬﾈﾙでの2重緩衝を許可します。

表5-1. DMA 2重緩衝設定

DBUFMODE1,0	群構成設定	内容
0 0	DISABLED	2重緩衝許可なし
0 1	CH01	ﾁｬﾈﾙ0/1間で2重緩衝許可
1 0	CH23	ﾁｬﾈﾙ2/3間で2重緩衝許可
1 1	CH01CH23	ﾁｬﾈﾙ0/1間とﾁｬﾈﾙ2/3間で2重緩衝許可

● **ﾋﾞｯﾄ1,0 – PRIMODE1,0 : ﾁｬﾈﾙ優先権種別** (Channel Priority Mode)

これらのﾋﾞｯﾄは表5-2.に従って内部ﾁｬﾈﾙ優先権を決定します。

表5-2. DMAﾁｬﾈﾙ優先権設定

PRIMODE1,0	群構成設定	内容
0 0	RR0123	ﾗｳﾝﾄﾞﾛﾋﾞﾝ
0 1	CH0RR123	ﾁｬﾈﾙ0 > ﾗｳﾝﾄﾞﾛﾋﾞﾝ(ﾁｬﾈﾙ1,2,3)
1 0	CH01RR23	ﾁｬﾈﾙ0 > ﾁｬﾈﾙ1 > ﾗｳﾝﾄﾞﾛﾋﾞﾝ(ﾁｬﾈﾙ2,3)
1 1	CH0123	ﾁｬﾈﾙ0 > ﾁｬﾈﾙ1 > ﾁｬﾈﾙ2 > ﾁｬﾈﾙ3

5.13.2. INTFLAGS – 割り込み状態ﾚｼﾞｽﾀ (Interrupt Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNFIF	CH2TRNFIF	CH1TRNFIF	CH0TRNFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – CHnERRIF : ﾁｬﾈﾙn 異常割り込み要求ﾌﾗｸﾞ** (Channel n Error Interrupt Flag)

DMAﾁｬﾈﾙnで異常条件が検出された場合、CHnERRIFﾌﾗｸﾞが設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはこのﾌﾗｸﾞを解除(0)します。

● **ﾋﾞｯﾄ3～0 – CHnTRNFIF : ﾁｬﾈﾙn 転送完了割り込み要求ﾌﾗｸﾞ** (Channel n Transaction Complete Interrupt Flag)

ﾁｬﾈﾙnでの単位転送処理が完了すると、CHnTRNFIFﾌﾗｸﾞが設定(1)されます。無制限繰り返し数が許可されている場合、このﾌﾗｸﾞは各塊転送後に1として読めます。このﾋﾞｯﾄ位置への1書き込みはこのﾌﾗｸﾞを解除(0)します。

5.13.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CH3BUSY	CH2BUSY	CH1BUSY	CH0BUSY	CH3PEND	CH2PEND	CH1PEND	CH0PEND	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – CHnBUSY : ﾁｬﾈﾙn 稼動中ﾌﾗｸﾞ** (Channel n Busy)

ﾁｬﾈﾙnがDMA単位転送処理を開始すると、CHnBUSYﾌﾗｸﾞが1として読めます。このﾌﾗｸﾞはDMAﾁｬﾈﾙnが禁止された時、ﾁｬﾈﾙn転送完了割り込み要求ﾌﾗｸﾞが設定(1)された時、またはDMAﾁｬﾈﾙn異常割り込み要求ﾌﾗｸﾞが設定(1)された場合、自動的に解除(0)されます。

● **ﾋﾞｯﾄ3~0 – CHnPEND : ﾁｬﾈﾙn 保留中ﾌﾗｸﾞ** (Channel n Pending)

DMAﾁｬﾈﾙnで塊転送が保留中の場合、CHnPENDﾌﾗｸﾞが1として読めます。このﾌﾗｸﾞは塊転送開始時、または転送が中止された場合、自動的に解除(0)されます。

5.13.4. TEMPL – 一時ﾚｼﾞｽﾀ下位 (Temporary register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	TEMP7~0								TEMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値7~0** (Temporary register L)

このﾚｼﾞｽﾀはDMA制御器内の16ﾋﾞｯﾄと24ﾋﾞｯﾄのﾚｼﾞｽﾀ読み書き時に使われます。CPUによって16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第1ﾊﾞｲﾄが書かれる時にそれがここに格納されます。CPUによって16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第1ﾊﾞｲﾄが読まれる時に16/24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第2ﾊﾞｲﾄがここに格納されます。このﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱからの読み書きもできます。

16ﾋﾞｯﾄと24ﾋﾞｯﾄのﾚｼﾞｽﾀの読み書きは特別な注意が必要です。詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

5.13.5. TEMPH – 一時ﾚｼﾞｽﾀ上位 (Temporary register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	TEMP15~8								TEMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TEMP15~8 : 一時値15~8** (Temporary register H)

このﾚｼﾞｽﾀはDMA制御器内の24ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書き時に使われます。CPUによって24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第2ﾊﾞｲﾄが書かれる時にそれが格納されます。CPUによって24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第1ﾊﾞｲﾄが読まれる時に24ﾋﾞｯﾄ ﾚｼﾞｽﾀの第3ﾊﾞｲﾄがここに格納されます。このﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱからも読み書きできます。

24ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きは特別な注意が必要です。詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

5.14. ﾚｼﾞｽﾀ説明 – DMAﾁｬﾈﾙ

5.14.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	BURSTLEN1,0		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : ﾁｬﾈﾙn許可** (Channel Enable)

このﾋﾞｯﾄの設定(1)がDMAﾁｬﾈﾙを許可します。このﾋﾞｯﾄは単位転送処理が完了される時に自動的に解除(0)されます。DMAﾁｬﾈﾙが許可され、このﾋﾞｯﾄが0を書かれた場合、内部転送緩衝部が空でDMA転送が中止されるまでENABLEﾋﾞｯﾄは解除(0)されません。

● **ﾋﾞｯﾄ6 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄの設定(1)はDMAﾁｬﾈﾙをﾘｾｯﾄします。このﾋﾞｯﾄはDMAﾁｬﾈﾙが禁止(ENBALE=0)されている時にだけ設定(1)できます。このﾋﾞｯﾄへの1書き込みはﾁｬﾈﾙが許可(ENABLE=1)されている限り無視されます。このﾋﾞｯﾄはﾘｾｯﾄが完了される時に自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – REPEAT : 繰り返し許可** (Repeat Mode)

このﾋﾞｯﾄの解除(1)が繰り返し動作を許可します。繰り返し動作では、最後の塊転送の開始でこのﾋﾞｯﾄがﾊｰﾄﾞｳｪｱによって解除(0)されます。DMAﾁｬﾈﾙ繰り返し数(REPCNT)ﾚｼﾞｽﾀはREPEATﾋﾞｯﾄ設定前に構成設定されるべきです。

● **ﾋﾞｯﾄ4 – TRFREQ : 転送要求** (Transfer Request)

このﾋﾞｯﾄの設定(1)がDMAﾁｬﾈﾙでのﾃﾞｰﾀ転送を要求します。このﾋﾞｯﾄはﾃﾞｰﾀ転送の開始で自動的に解除(0)されます。このﾋﾞｯﾄの書き込みはﾁｬﾈﾙが許可されていなければ無効です。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – SINGLE : 単発ﾃﾞｰﾀ転送** (Single Shot Data Transfer)

このﾋﾞｯﾄの設定(1)が単発動作を許可します。その後ﾁｬﾈﾙは転送起動でBURSTLENﾊﾞｲﾄの集中転送を行います。ﾁｬﾈﾙが許可されている間、このﾋﾞｯﾄへの書き込みは無視されます。

● **ﾋﾞｯﾄ1,0 – BURSTLEN1,0 : 集中動作種別** (Burst Mode)

これらのﾋﾞｯﾄは表5-3.に従ってDMAﾁｬﾈﾙの集中動作を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-3. DMAﾁｬﾈﾙ集中動作

BURSTLEN1,0	群構成設定	内容
0 0	1BYTE	1ﾊﾞｲﾄ集中転送動作
0 1	2BYTE	2ﾊﾞｲﾄ集中転送動作
1 0	4BYTE	4ﾊﾞｲﾄ集中転送動作
1 1	8BYTE	8ﾊﾞｲﾄ集中転送動作

表5-4. DMAﾁｬﾈﾙ構成設定に従う、起動、単位転送処理完了ﾌﾗｸﾞ、ﾁｬﾈﾙ禁止の要約

REPEAT	SINGLE	REPCNT	起動	～後ﾌﾗｸﾞ設定	～後ﾁｬﾈﾙ禁止
0	0	0	塊	1塊	1塊
0	0	1	塊	1塊	1塊
0	0	n>1	塊	1塊	1塊
0	1	0	BURSTLEN	1塊	1塊
0	1	1	BURSTLEN	1塊	1塊
0	1	n>1	BURSTLEN	1塊	1塊
1	0	0	塊	各塊	各塊
1	0	1	単位転送処理	1塊	1塊
1	0	n>1	単位転送処理	n塊	n塊
1	1	0	BURSTLEN	各塊	決して起きない
1	1	1	BURSTLEN	1塊	1塊
1	1	n>1	BURSTLEN	n塊	n塊

5.14.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CHBUSY : ﾁｬﾈﾙn稼動中** (Channel Busy)

DMAﾁｬﾈﾙがDMA単位転送処理を開始すると、CHBUSYﾌﾗｸﾞが1として読めます。DMAﾁｬﾈﾙが禁止される時、ﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時、またはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – CHPEND : ﾁｬﾈﾙn保留中** (Channel Pending)

DMAﾁｬﾈﾙで塊転送が保留中の場合、CHPENDが1として読めます。転送開始時、または転送が中止された場合、このﾌﾗｸﾞは自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ** (Error Interrupt Flag)

DMAﾁｬﾈﾙで異常条件が検出された場合、ERRIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。DMAﾁｬﾈﾙ異常割り込みはDMAﾁｬﾈﾙ転送完了割り込みと割り込みｱﾄﾞﾚｽを共用しているため、ERRIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ4 – TRNIF : ﾁｬﾈﾙn転送完了割り込み要求ﾌﾗｸﾞ** (Channel Transaction Complete Interrupt Flag)

DMAﾁｬﾈﾙでの単位転送処理が完了されると、TRANIFﾌﾗｸﾞが設定(1)され、任意選択割り込みが生成されます。繰り返しが許可されていなくて単位転送処理が完了すると、塊転送後にTRANIFが設定(1)されます。無制限繰り返しが許可されていると、TRNIFは各塊転送後にも設定(1)されます。

DMAﾁｬﾈﾙ転送完了割り込みがDMAﾁｬﾈﾙ異常割り込みと割り込みｱﾄﾞﾚｽを共用しているので、TRNIFはその割り込みﾍﾞｸﾀが実行される時に解除(0)されません。このﾌﾗｸﾞはこの位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : ﾁｬﾈﾙn異常割り込みﾚﾍﾞﾙ** (Channel Error Interrupt Level)

これらのﾋﾞｯﾄはDMAﾁｬﾈﾙ転送異常に対する割り込みを許可し、90頁の「**割り込みと設定可能な多ﾚﾍﾞﾙ割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)される時の条件に対して起動します。

● **ﾋﾞｯﾄ1,0 – TRNINTLVL1,0 : ﾁｬﾈﾙn転送完了割り込みﾚﾍﾞﾙ** (Channel Transaction Complete Interrupt Level)

これらのﾋﾞｯﾄはDMAﾁｬﾈﾙ単位転送処理完了に対する割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みはﾁｬﾈﾙ転送完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)される時の条件に対して起動します。

5.14.3. ADDRCTRL – ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ (Address Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	SRCRELOAD1,0		SRCDIR1,0		DESTRELOAD1,0		DESTDIR1,0		ADDRCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – SRCRELOAD1,0 : ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ再格納** (Channel Source Address Reload)

これらのﾋﾞｯﾄは**表5-5.**に従ってDMAﾁｬﾈﾙの転送元ｱﾄﾞﾚｽの再格納を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-5. DMAﾁｬﾈﾙ転送元ｱﾄﾞﾚｽ再格納設定

SRCRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各単位転送処理の最後で初期値が再格納されます。

● ﾋﾞｯﾄ5,4 – SRCDIR1,0 : ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ指示種別 (Channel Source Address Mode)

これらのﾋﾞｯﾄは表5-6.に従ってDMAﾁｬﾈﾙの転送元ｱﾄﾞﾚｽ指示種別を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-6. DMAﾁｬﾈﾙ転送元ｱﾄﾞﾚｽ指示種別設定

SRCDIR1,0	群構成設定	内容
0 0	FIXED	固定
0 1	INC	増加(+1)
1 0	DEC	減少(-1)
1 1	-	(予約)

● ﾋﾞｯﾄ3,2 – DESTRELOAD1,0 : ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ再格納 (Channel Destination Address Reload)

これらのﾋﾞｯﾄは表5-7.に従ってDMAﾁｬﾈﾙの転送先ｱﾄﾞﾚｽの再格納を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-7. DMAﾁｬﾈﾙ転送先ｱﾄﾞﾚｽ再格納設定

DESTRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀは各単位転送処理の最後で初期値が再格納されます。

● ﾋﾞｯﾄ1,0 – DESTDIR1,0 : ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ指示種別 (Channel Destination Address Mode)

これらのﾋﾞｯﾄは表5-8.に従ってDMAﾁｬﾈﾙの転送先ｱﾄﾞﾚｽ指示種別を決めます。これらのﾋﾞｯﾄはﾁｬﾈﾙが稼動中の場合に変更できません。

表5-8. DMAﾁｬﾈﾙ転送先ｱﾄﾞﾚｽ指示種別設定

DESTDIR1,0	群構成設定	内容
0 0	FIXED	固定
0 1	INC	増加(+1)
1 0	DEC	減少(-1)
1 1	-	(予約)

5.14.4. TRIGSRC – 起動元ﾚｼﾞｽﾀ (Trigger Source)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	TRIGSRC7~0								TRIGSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TRIGSRC7~0 : ﾁｬﾈﾙn起動元選択** (Channel Trigger Source Select)

これらのﾋﾞｯﾄはDMAﾁｬﾈﾙでの転送を起動するのにどの起動元が使われるかを選びます。0値は起動元が禁止されることを意味します。各起動元に対してTRIGSRCﾚｼﾞｽﾀ内に置くための値は、単位部または周辺機能の基準値と、単位部または周辺機能内の起動元に対する変位値の合計です。**表5-9.**は全ての単位部または周辺機能に対する基準値を示します。**表5-10.～13.**は各種の単位部または周辺機能の形式内の起動元に対する差分値を示します。ﾃﾞﾊﾞｲｽに関して存在しない単位部または周辺機能については転送起動も存在しません。利用可能な周辺機能の一覧についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

起動元と関連する割り込み要求ﾌﾗｸﾞが解除される、または割り込みが起動されるように割り込みﾚﾍﾞﾙを許可した場合、DMA要求が失われます。DMA要求が割り込み要求ﾌﾗｸﾞを解除し得るため、割り込みが失われ得ます。

注: 殆どの起動元に関してその要求は要求での周辺機能に属するﾚｼﾞｽﾀのｱｸｾｽによって解除されます。要求がどう生成されて解除されるかについては各種周辺機能章を参照してください。

表5-9. 全単位部及び周辺機能に対するDMA起動元基準値

TRIGSRC 基準値	群構成設定	内容	TRIGSRC 基準値	群構成設定	内容
$00	OFF	ｿﾌﾄｳｪｱ起動のみ	$6A	SPID	SPI D DMA起動基準値
$01	SYS	事象ｼｽﾃﾑDMA起動基準値	$6B	USARTD0	USART D0 DMA起動基準値
$04	AES	AES DMA起動基準値	$6E	USARTD1	USART D1 DMA起動基準値
$10	ADCA	ADC A DMA起動基準値	$80	TCE0	ﾀｲﾏ/ｶｳﾝﾀ E0 DMA起動基準値
$15	DACA	DAC A DMA起動基準値	$86	TCE1	ﾀｲﾏ/ｶｳﾝﾀ E1 DMA起動基準値
$20	ADCB	ADC B DMA起動基準値	$8A	SPIE	SPI E DMA起動基準値
$25	DACB	DAC B DMA起動基準値	$8B	USARTE0	USART E0 DMA起動基準値
$40	TCC0	ﾀｲﾏ/ｶｳﾝﾀ C0 DMA起動基準値	$8E	USARTE1	USART E1 DMA起動基準値
$46	TCC1	ﾀｲﾏ/ｶｳﾝﾀ C1 DMA起動基準値	$A0	TCF0	ﾀｲﾏ/ｶｳﾝﾀ F0 DMA起動基準値
$4A	SPIC	SPI C DMA起動基準値	$A6	TCF1	ﾀｲﾏ/ｶｳﾝﾀ F1 DMA起動基準値
$4B	USARTC0	USART C0 DMA起動基準値	$AA	SPIF	SPI F DMA起動基準値
$4E	USARTC1	USART C1 DMA起動基準値	$AB	USARTF0	USART F0 DMA起動基準値
$60	TCD0	ﾀｲﾏ/ｶｳﾝﾀ D0 DMA起動基準値	$AE	USARTF1	USART F1 DMA起動基準値
$66	TCD1	ﾀｲﾏ/ｶｳﾝﾀ D1 DMA起動基準値			

訳注: これらのA～FはﾎﾟｰﾄA～Fを表し、同一周辺機能が複数存在する場合の個別指示に使われます。基本的に各ﾎﾟｰﾄはA,Bがｱﾅﾛｸﾞ関係、C以降がﾃﾞｼﾞﾀﾙ関係です。これらから必ずしも順に実装されるとは限らないことに注意してください。

表5-10. 事象ｼｽﾃﾑ起動に対するDMA起動元差分値

TRIGSRC 差分値	群構成設定	内容
+$00	CH0	事象ﾁｬﾈﾙ0
+$01	CH1	事象ﾁｬﾈﾙ1
+$02	CH2	事象ﾁｬﾈﾙ2

表5-11. ADCとDACに対するDMA起動元差分値

TRIGSRC 差分値	群構成設定	内容
+$00	CH0	ADC/DACﾁｬﾈﾙ0
+$01	CH1	ADC/DACﾁｬﾈﾙ1
+$02	CH2	ADCﾁｬﾈﾙ2 (注1)
+$03	CH3	ADCﾁｬﾈﾙ3 (注1)
+$04	CH4	ADCﾁｬﾈﾙ0,1,2,3 (注1,注2)

注1: DACはﾁｬﾈﾙ0と1だけ存在し、起動に使えます。
注2: ﾁｬﾈﾙ4はADCﾁｬﾈﾙ0～3共のorと当価です。

表5-12. ﾀｲﾏ/ｶｳﾝﾀに対するDMA起動元差分値

TRIGSRC 差分値	群構成設定	内容
+$00	OVF	上昇溢れ/下降漏れ
+$01	ERR	異常
+$02	CCA	比較または捕獲ﾁｬﾈﾙA
+$03	CCB	比較または捕獲ﾁｬﾈﾙB
+$04	CCC	比較または捕獲ﾁｬﾈﾙC (注1)
+$05	CCD	比較または捕獲ﾁｬﾈﾙD (注1)

注1: CCのCとDﾁｬﾈﾙはﾀｲﾏ/ｶｳﾝﾀ0でだけ利用可能です。

表5-13. USARTに対するDMA起動元差分値

TRIGSRC 差分値	群構成設定	内容
+$00	RXC	受信完了
+$01	DRE	ﾃﾞｰﾀ ﾚｼﾞｽﾀ空

群構成設定は基準_差分(base_offset)、例えばﾀｲﾏ/ｶｳﾝﾀC1のCCﾁｬﾈﾙAでの転送起動はTCC1_CCAです。

5.14.5. TRFCNTL – ﾁｬﾈﾙn塊転送数ﾚｼﾞｽﾀ下位 (Channel Block Transfer Count register L)

TRFCNTHとTRFCNTLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値TRFCNTを表します。TRFCNTは塊転送でのﾊﾞｲﾄ数を定義します。TRFCNTの値はDMAﾁｬﾈﾙによってﾊﾞｲﾄが読まれる毎に減少(-1)されます。TRFCNTが0に達すると、ﾚｼﾞｽﾀは最後に書かれた値を再格納します。

TRFCNTﾚｼﾞｽﾀの既定値は1です。使用者がこのﾚｼﾞｽﾀに0を書いてDMA起動を始めた場合、DMAは$FFFF回の転送を行います。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	TRFCNT7~0								TRFCNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~0 – TRFCNT7~0 : ﾁｬﾈﾙn塊転送数下位** (Channel n Block Transfer Count register Low)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ塊転送数のLSB(下位ﾊﾞｲﾄ)を保持します。

5.14.6. TRFCNTH – ﾁｬﾈﾙn塊転送数ﾚｼﾞｽﾀ上位 (Channel Block Transfer Count register H)

16ﾋﾞｯﾄ ﾚｼﾞｽﾀの読み書きは特別な注意が必要で、その詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	TRFCNT15~8								TRFCNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TRFCNT15~8 : ﾁｬﾈﾙn塊転送数上位** (Channel n Block Transfer Count register High)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ塊転送数のMSB(上位ﾊﾞｲﾄ)を保持します。

5.14.7. REPCNT – 繰り返し数ﾚｼﾞｽﾀ (Repeat Counter register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	REPCNT7~0								REPCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~0 – REPCNT7~0 : DMAﾁｬﾈﾙn繰り返し数** (DMA Channel n Repeat Count)

REPCNTは塊転送が何回実行されるかを数えます。各塊転送毎に、このﾚｼﾞｽﾀは減少(-1)されます。

繰り返し動作が許可されているとき(43頁の「CTRLA – DMAﾁｬﾈﾙ制御ﾚｼﾞｽﾀA」のDMAﾁｬﾈﾙ繰り返し許可(REPEAT)ﾋﾞｯﾄをご覧ください)、このﾚｼﾞｽﾀは単位転送処理完了時の制御に使われます。DMAが制限された塊転送繰り返し数を扱わなければならない場合、この計数器は各塊転送後に減数(-1)されます。繰り返し動作許可時、REPCNTが0に達して最後の塊転送が完了すると、ﾁｬﾈﾙは禁止されます。無制限繰り返しは、このﾚｼﾞｽﾀへの0設定によって成し遂げられます。

5.14.8. SRCADDR0 – ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ0 (Channel Source Address 0)

SRCADDR2,SRCADDR1,SRCADDR0は24ﾋﾞｯﾄ値SRCADDRを表し、そしてこれはDMAﾁｬﾈﾙ転送元ｱﾄﾞﾚｽです。SRCADDR2はこのﾚｼﾞｽﾀ内の最上位ﾊﾞｲﾄです。SRCADDRは44頁の「ADDRCTRL – DMAﾁｬﾈﾙ ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ」内のDMAﾁｬﾈﾙ転送元ｱﾄﾞﾚｽ指示種別(SRCDIR)ﾋﾞｯﾄの設定に基いて自動的に増減(±1)できます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	SRCADDR7~0								SRCADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – SRCADDR7~0 : ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ0** (Channel Source Address Byte 0)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送元ｱﾄﾞﾚｽの第1ﾊﾞｲﾄを保持します。

5.14.9. SRCADDR1 – ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ1 (Channel Source Address 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	SRCADDR15~8								SRCADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – SRCADDR15~8 : ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ1** (Channel Source Address Byte 1)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送元ｱﾄﾞﾚｽの第2ﾊﾞｲﾄを保持します。

5.14.10. SRCADDR2 – ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ2 (Channel Source Address 2)

24ﾋﾞｯﾄ値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	SRCADDR23~16								SRCADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – SRCADDR23~16 : ﾁｬﾈﾙn転送元ｱﾄﾞﾚｽ2** (Channel Source Address Byte 2)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送元ｱﾄﾞﾚｽの第3ﾊﾞｲﾄを保持します。

5.14.11. DESTADDR0 – ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ0 (Channel Destination Address 0)

DESTADDR2,DESTADDR1,DESTADDR0は24ﾋﾞｯﾄ値DESTADDRを表し、そしてこれはDMAﾁｬﾈﾙ転送先ｱﾄﾞﾚｽです。DESTADDR2はこのﾚｼﾞｽﾀ内の最上位ﾊﾞｲﾄです。DESTADDRは44頁の「ADDRCTRL – DMAﾁｬﾈﾙ ｱﾄﾞﾚｽ制御ﾚｼﾞｽﾀ」内のDMAﾁｬﾈﾙ転送先ｱﾄﾞﾚｽ指示種別(DESTDIR)ﾋﾞｯﾄの設定に基いて自動的に増減(±1)できます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	DESTADDR7~0								DESTADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DESTADDR7~0 : ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ0** (Channel Destination Address Byte 0)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送先ｱﾄﾞﾚｽの第1ﾊﾞｲﾄを保持します。

5.14.12. DESTADDR1 – ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ1 (Channel Destination Address 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	DESTADDR15~8								DESTADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DESTADDR15~8 : ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ1** (Channel Destnation Address Byte 1)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送先ｱﾄﾞﾚｽの第2ﾊﾞｲﾄを保持します。

5.14.13. DESTADDR2 – ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ2 (Channel Destination Address 2)

24ﾋﾞｯﾄ値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E	DESTADDR23~16								DESTADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DESTADDR23~16 : ﾁｬﾈﾙn転送先ｱﾄﾞﾚｽ2** (Channel Destnation Address Byte 2)

これらのﾋﾞｯﾄは24ﾋﾞｯﾄ転送先ｱﾄﾞﾚｽの第3ﾊﾞｲﾄを保持します。

5.15. ﾚｼﾞｽﾀ要約 – DMA制御器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$40	ch3変位	DMAﾁｬﾈﾙ3に対する変位ｱﾄﾞﾚｽ								
+$30	ch2変位	DMAﾁｬﾈﾙ2に対する変位ｱﾄﾞﾚｽ								
+$20	ch1変位	DMAﾁｬﾈﾙ1に対する変位ｱﾄﾞﾚｽ								
+$10	ch0変位	DMAﾁｬﾈﾙ0に対する変位ｱﾄﾞﾚｽ								
+$07	TEMPH	TEMP15~8								42
+$06	TEMPL	TEMP7~0								42
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	CH3BUSY	CH2BUSY	CH1BUSY	CH0BUSY	CH3PEND	CH2PEND	CH1PEND	CH0PEND	42
+$03	INTFLAGS	CH3ERRIF	CH2ERRIF	CH1ERRIF	CH0ERRIF	CH3TRNFIF	CH2TRNFIF	CH1TRNFIF	CH0TRNFIF	41
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	ENABLE	RESET	–	–	DBUFMODE1,0		PRIMODE1,0		41

5.16. ﾚｼﾞｽﾀ要約 – DMAﾁｬﾈﾙ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	DESTADDR2	DESTADDR23~16								48
+$0D	DESTADDR1	DESTADDR15~8								48
+$0C	DESTADDR0	DESTADDR7~0								48
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	SRCADDR2	SRCADDR23~16								48
+$09	SRCADDR1	SRCADDR15~8								47
+$08	SRCADDR0	SRCADDR7~0								47
+$07	予約	–	–	–	–	–	–	–	–	
+$06	REPCNT	REPCNT7~0								47
+$05	TRFCNTH	TRFCNT15~8								47
+$04	TRFCNTL	TRFCNT7~0								47
+$03	TRIGSRC	TRIGSRC7~0								46
+$02	ADDRCTRL	SRCRELOAD1,0		SRCDIR1,0		DESTRELOAD1,0		DESTDIR1,0		44
+$01	CTRLB	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINTLVL1,0		TRNINTLVL1,0		44
+$00	CTRLA	ENABLE	RESET	REPEAT	TRFREQ	–	SINGLE	BURSTLEN1,0		43

5.17. 割り込みﾍﾞｸﾀ要約

表5-14. DMA割り込みﾍﾞｸﾀとDMA制御器割り込み基準からのそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	CH0_vect	DMA制御器ﾁｬﾈﾙ0割り込みﾍﾞｸﾀ
$02	CH1_vect	DMA制御器ﾁｬﾈﾙ1割り込みﾍﾞｸﾀ
$04	CH2_vect	DMA制御器ﾁｬﾈﾙ2割り込みﾍﾞｸﾀ
$06	CH3_vect	DMA制御器ﾁｬﾈﾙ3割り込みﾍﾞｸﾀ

6. 事象システム

6.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
  - CPUとDMAの個別動作
  - 100%予測可能な信号タイミング
  - 短く保証された応答時間
- 8つまでの異なる平行信号経路と構成設定の8つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
  - 直交復号
  - 入出力ピン状態のデジタル濾波
- 活動動作とアイドル動作で作動

6.2. 概要

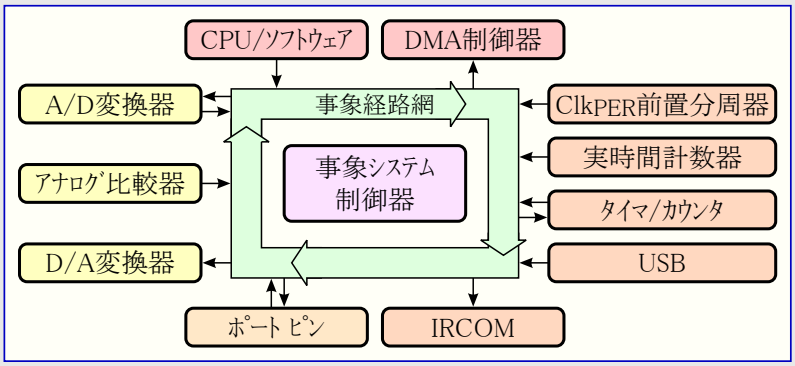
事象システムは周辺機能から周辺機能への直接的な通信と合図を許します。それは或る周辺機能の状態変化から別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するために設計されています。これは割り込み、CPU、またはDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従ってこれは応用コードの複雑さ、大きさ、実行時間を減らすための強力な道具です。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能の割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図6-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)、USBインターフェースを共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な8つの多重器から成ります。これらは事象チャネルと呼ばれ、8つまでの並列事象構成設定と配線を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図6-1. 事象システム概要と接続される周辺機能

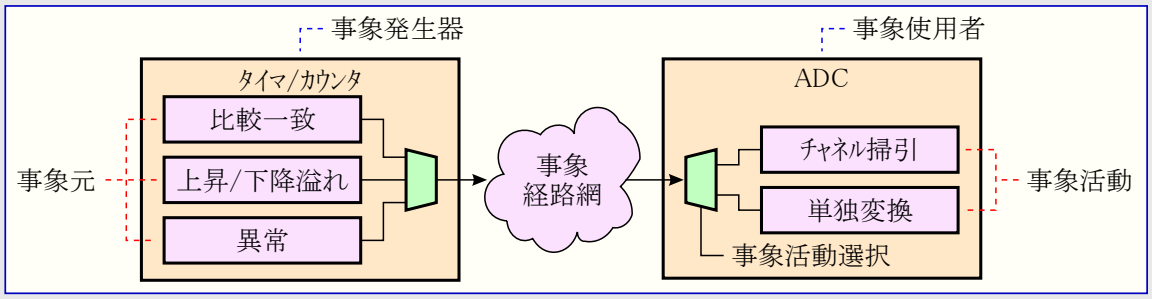


6.3. 事象

事象システムの関係に於いては周辺機能内で状態変化が起きたことの指示が事象と呼ばれます。これらは2つの主な事象、合図事象とデータ事象です。合図事象は状態変化を指示するだけで、一方データ事象は事象についての付加情報を含みます。

事象原点である周辺機能は事象発生器と呼ばれます。各周辺機能内、例えばタイマ/カウンタにはタイマ比較一致やタイマ上昇溢れのような多くの事象元があります。事象を使う周辺機能は事象使用者と呼ばれ、起動される動作は事象活動と呼ばれます。

図6-2. 事象元、発生器、使用者、活動の例



事象はソフトウェアに於いて手動で発生することもできます。

6.3.1. 合図事象

合図事象は最も基本的な事象形式です。合図事象は周辺機能での変化指示を別にして何の情報も含みません。殆どの周辺機能は合図事象を生成して使うことができるだけです。他に断りが無ければ、語'事象'の全表記は合図事象と理解されるべきです。

6.3.2. データ事象

データ事象は事象使用者が受信情報に基いて事象活動を決めるのに復号できる情報をそれらが含むことで合図事象と異なります。

事象経路網が全事象を全事象使用者へ経路付けすることができるとは言え、合図事象の使用だけを意図するそれらはデータ事象の利用に必要な復号能力を持ちません。事象使用者がデータ事象をどう復号するかは表6-1.で示されます。

データ事象を利用できる事象使用者は合図事象も使えます。これは設定可能で、各周辺機能に対するデータシート部分で記述されます。

6.3.3. 周辺機能クロック事象

各事象チャネルは1(前置分周なし)～32768の範囲を持つ周辺機能クロック前置分周器を含みます。これは周辺機能クロックに基づく、設定可能な周期的事象生成を許します。これは周辺機能での周期的な起動事象または多数の周辺機能での周期的な同期された起動事象が可能です。各事象チャネルが前置分周器を含むため、異なる周辺機能は異なる間隔での起動を受け取ることができます。

6.3.4. ソフトウェア事象

事象は事象データ(DATA)と事象発動(STROBE)のレジスタを書くことによってソフトウェアから生成することができます。STROBEレジスタ書き込みが動作を起動するので、DATAレジスタが先に書かれなければなりません。DATAとSTROBEのレジスタは各事象チャネルに対する1ビットを含みます。ビットnが事象チャネルnに対応します。多数のビット位置を一度に書くことによって同時に多数のチャネルで事象を生成することが可能です。

ソフトウェア生成事象は1クロック周期間持続し、そのクロック周期間でそのチャネル上の他の事象生成器からの事象を上書きします。

表6-1.は各種事象がどう手動生成でき、どう復号されるのかを示します。

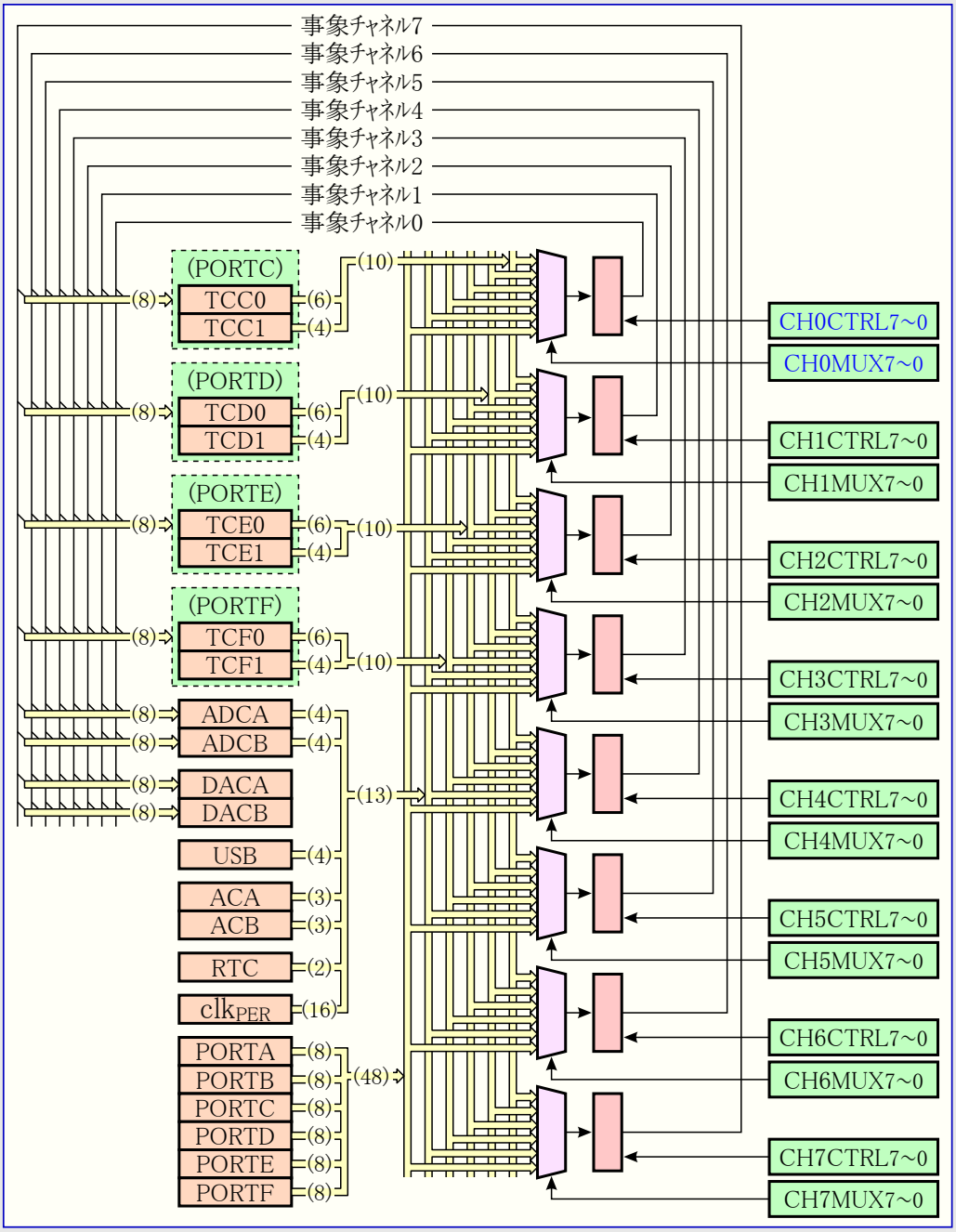
表6-1. 手動生成事象と事象の復号

STROBE	DATA	データ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	データ事象01	事象なし
1	0	データ事象02	合図事象
1	1	データ事象03	合図事象

6.4. 事象経路網

事象経路網は周辺機能間の事象を経路付けします。これは各々がどの事象元をどの事象使用者へも配線するように構成設定することができる8つの多重器(CHnMUX)から成ります。多重器からの出力は事象チャネルとして参照されます。各周辺機能については、やって来る事象が事象活動を起動すべきかどうかが選択可能です。構成設定の詳細については各周辺機能に関するデータシートで得られます。事象経路網は図6-3.で示されます。

図6-3. 事象経路網



8つの多重器は同時に8つまでの事象の経路付けが可能なことを意味します。1つの事象を沢山の多重器を通して経路付けすることも可能です。

全てのXMEGAデバイスが全ての周辺機能を含む訳ではありません。これはその周辺機能が事象の生成と使用に利用できないことだけを意味します。それ自身の網形態は全デバイス間で一致します。

6.5. 事象タイミング

通常、事象は1周辺機能クロック周期間持続しますが、I/OピンのLowレベルのようないくつかの事象元は継続的に事象を生成するでしょう。この詳細は各周辺機能に対するデータシートで記述されますが、その他言及がなければ事象は1周辺機能クロック周期間持続します。

事象が生成される時から他の周辺機能の事象活動が起動されるまでには最大2クロック周期かかります。これはCPUやDMA制御器の負荷またはソフトウェア改訂と無関係に、短くて100%予測可能な応答時間を保証します。

6.6. 濾波

各事象ﾁｬﾈﾙはﾃﾞｼﾞﾀﾙ濾波器を含みます。これが許可されると、それが受け入れられる前に構成設定可能なｼｽﾃﾑ ｸﾛｯｸ周期数と同じ値分で採取されなければなりません。これは本来ﾋﾟﾝ変化事象用に意図されています。

6.7. 直交復号器

事象ｼｽﾃﾑはﾃﾞﾊﾞｲｽに、I/Oﾋﾟﾝの直交入力の復号と、ﾀｲﾏ/ｶｳﾝﾀが上昇計数、下降計数、または指標/ﾘｾｯﾄへ復号し得るﾃﾞｰﾀ事象の送出を許す、3つの直交復号器(QDEC)を含みます。表6-2.はどの直交復号器ﾃﾞｰﾀ事象が利用可能か、そしてそれらがどう復号されるか、それらがどう生成され得るかを示します。QDECと関連する機能、制御と状態のﾚｼﾞｽﾀは事象ﾁｬﾈﾙ0,2,4で利用できます。

表6-2. 直交復号器ﾃﾞｰﾀ事象

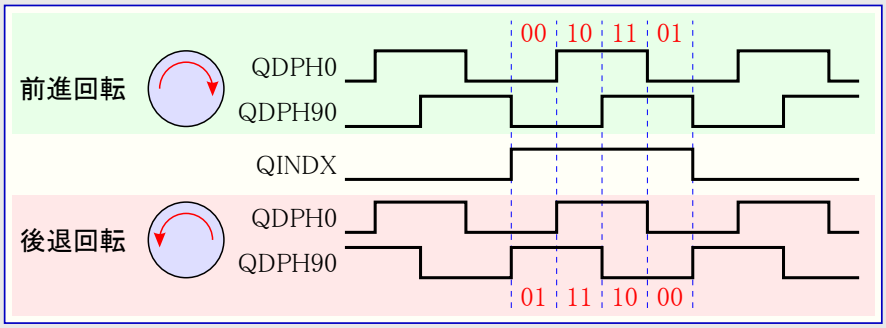
STROBE	DATA	ﾃﾞｰﾀ事象使用者	合図事象使用者
0	0	事象なし	事象なし
0	1	指標/ﾘｾｯﾄ	事象なし
1	0	下降計数	合図事象
1	1	上昇計数	合図事象

6.7.1. 直交動作

直交信号は互いに90°移動された位相関係の2つの方形波を持つことによって特徴付けされます。回転運動は2つの波形の端を計数することによって測定することができます。2つ方形波間の位相関係が回転方向を決めます。

図6-4.は回転符号器からの代表的な直交信号を示します。QDPH0とQDPH90の信号が2つの直交信号です。QDPH90がQDPH0より先行するとき、回転は正または正転として定義されます。QDPH0がQDPH90より先行するとき、回転は負または逆転として定義されます。2相信号の関連は直交状態または位相状態と呼ばれます。

図6-4. 回転符号器からの直交信号



絶対的な回転変位を知るために第3の指標信号(QINDX)が使えます。これは1回転毎の指示を与えます。

6.7.2. QDEC初期設定

完全なQDEC初期設定については以下が必要とされます。

- 直交信号入力用の2または3つのI/Oﾎﾟｰﾄ ﾋﾟﾝ
- 直交復号用の2つの事象ｼｽﾃﾑ
- 上昇、下降と任意の指標計数用の1つのﾀｲﾏ/ｶｳﾝﾀ

QDEC初期設定に関して次の手順が使われるべきです。

1. QDEC相入力としてﾎﾟｰﾄの2つの連続するﾋﾟﾝを選択してください。
2. QDPH0とQDPH90に対してﾋﾟﾝ方向を入力として設定してください。
3. QDPH0とQDPH90に対してﾋﾟﾝ形態をLowﾚﾍﾞﾙ感知条件に設定してください。
4. 事象ﾁｬﾈﾙnに対する多重器入力としてQDPH0ﾋﾟﾝを選択してください。
5. 事象ﾁｬﾈﾙで直交復号とﾃﾞｼﾞﾀﾙ濾波を許可してください。
6. 任意選択:
    1. QDEC指標(QINDX)を初期設定してください。
    2. QINDX入力用の第3のﾋﾟﾝを選択してください。
    3. QINDXに対してﾋﾟﾝ方向を入力として設定してください。
    4. QINDXに対するﾋﾟﾝ形態を両端感知条件に設定してください。
    5. 事象ﾁｬﾈﾙn+1に対する多重器入力としてQINDXを選択してください。
    6. 事象ﾁｬﾈﾙnで直交復号指標許可(QDIEN)ﾋﾞｯﾄを設定(1)してください。
    7. 事象ﾁｬﾈﾙnで直交復号指標認証動作(QDIRM1,0)を選択してください。
7. ﾀｲﾏ/ｶｳﾝﾀに対して事象活動として直交復号を設定してください。
8. ﾀｲﾏ/ｶｳﾝﾀ事象元として事象ﾁｬﾈﾙnを選択してください。
9. ﾀｲﾏ/ｶｳﾝﾀの定期(PER)ﾚｼﾞｽﾀを(直交符号器の直線計数数×4-1)に設定してください。
10. ｸﾛｯｸ前置分周なしでﾀｲﾏ/ｶｳﾝﾀを許可してください。

QDPH0,QDPH90(とQINDX)へ装着された直交符号器の角度が今やﾀｲﾏ/ｶｳﾝﾀ計数(CNTH:CNTL)ﾚｼﾞｽﾀから直接読めます。指標が認識された時に計数ﾚｼﾞｽﾀがBOTTOMと異なる場合、ﾀｲﾏ/ｶｳﾝﾀ異常ﾌﾗｸﾞ(ERRIF)が設定(1)されます。同様に指標の認識なしに計数器の位置がBOTTOMを通る場合も異常ﾌﾗｸﾞが設定(1)されます。

6.8. ﾚｼﾞｽﾀ説明

6.8.1. CHnMUX – 事象ﾁｬﾈﾙn多重器ﾚｼﾞｽﾀ (Event Channel n Multiplexer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+n	CHnMUX7~0								CHnMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHnMUX7~0 : 事象ﾁｬﾈﾙn多重器選択 (Channel Multiplexer)

これらのﾋﾞｯﾄは表6-3.に従って事象元を選びます。この表は周辺機能が存在するか否かのどちらかに拘らず全てのXMEGAﾃﾞﾊﾞｲｽに対して有効です。存在しない周辺機能からの事象元選択は、このﾚｼﾞｽﾀが0の時と同じ結果を与えます。このﾚｼﾞｽﾀが0の時、その間は経路付けされる事象はありません。手動生成事象はCHnMUXを無視し、例えこのﾚｼﾞｽﾀが0でもその事象ﾁｬﾈﾙへ経路付けします。

表6-4. ﾀｲﾏ/ｶｳﾝﾀ事象形式E (注)

T/C事象			群構成設定	事象形式
0	0	0	TCxn_OVF	上昇/下降溢れ
0	0	1	TCxn_ERR	異常
0	1	0		(予約)
0	1	1		(予約)
1	0	0	TCxn_CCA	捕獲または比較A
1	0	1	TCxn_CCB	捕獲または比較B
1	1	0	TCxn_CCC	捕獲または比較C
1	1	1	TCxn_CCD	捕獲または比較D

注: x=C,D,E,F。n=0,1。

(訳注) 表6-3.の赤文字A～Fと表6-4.の赤文字xは基本的に複数同一周辺機能の個別指定に用いられ、それは各周辺機能がﾎﾟｰﾄ単位で配置されます。従ってこれらの文字はﾎﾟｰﾄ種別を表し、例えば対ﾀｲﾏ/ｶｳﾝﾀC0はﾎﾟｰﾄCに配置されたﾀｲﾏ/ｶｳﾝﾀ0を意味します。

表6-3. CHnMUXﾋﾞｯﾄ設定

CHnMUX7~4	CHnMUX3~0				群構成設定	事象元
0 0 0 0	0	0	0	0		なし(手動生成事象のみ)
0 0 0 0	0	0	0	1		(予約)
0 0 0 0	0	0	1	x		(予約)
0 0 0 0	0	1	x	x		(予約)
0 0 0 0	1	0	0	0	RTC_OVF/RTC32_OVF	RTC/RTC32上昇溢れ
0 0 0 0	1	0	0	1	RTC_CMP	RTC比較一致
0 0 0 0	1	0	1	0		CH0:USBﾌﾚｰﾑ開始 (注2) CH1:USB異常 (注2) CH2:USB異常 (注2) CH3:USB異常 (注2)
0 0 0 0	1	0	1	1		(予約)
0 0 0 0	1	1	x	x		(予約)
0 0 0 1	0	0	0	0	ACA_CH0	ACAﾁｬﾈﾙ0
0 0 0 1	0	0	0	1	ACA_CH1	ACAﾁｬﾈﾙ1
0 0 0 1	0	0	1	0	ACA_WIN	ACA窓
0 0 0 1	0	0	1	1	ACB_CH0	ACBﾁｬﾈﾙ0
0 0 0 1	0	1	0	0	ACB_CH1	ACBﾁｬﾈﾙ1
0 0 0 1	0	1	0	1	ACB_WIN	ACB窓
0 0 0 1	0	1	1	x		(予約)
0 0 0 1	1	x	x	x		(予約)
0 0 1 0	0	0	n		ADCA_CHn	ADCAﾁｬﾈﾙn(n=0,1,2,3)
0 0 1 0	0	1	n		ADCB_CHn	ADCBﾁｬﾈﾙn(n=0,1,2,3)
0 0 1 0	1	x	x	x		(予約)
0 0 1 1	x	x	x	x		(予約)
0 1 0 0	x	x	x	x		(予約)
0 1 0 1	0	n			PORTA_PINn	PORTAﾋﾟﾝn(n=0～7) (注1)
0 1 0 1	1	n			PORTB_PINn	PORTBﾋﾟﾝn(n=0～7) (注1)
0 1 1 0	0	n			PORTC_PINn	PORTCﾋﾟﾝn(n=0～7) (注1)
0 1 1 0	1	n			PORTD_PINn	PORTDﾋﾟﾝn(n=0～7) (注1)
0 1 1 1	0	n			PORTE_PINn	PORTEﾋﾟﾝn(n=0～7) (注1)
0 1 1 1	1	n			PORTF_PINn	PORTFﾋﾟﾝn(n=0～7) (注1)
1 0 0 0	M				PRESCALER_M	2M分周Clk_{PER}(M=1～15)
1 0 0 1	x	x	x	x		(予約)
1 0 1 0	x	x	x	x		(予約)
1 0 1 1	x	x	x	x		(予約)
1 1 0 0	0	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀC0事象形式E
1 1 0 0	1	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀC1事象形式E
1 1 0 1	0	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀD0事象形式E
1 1 0 1	1	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀD1事象形式E
1 1 1 0	0	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀE0事象形式E
1 1 1 0	1	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀE1事象形式E
1 1 1 1	0	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀF0事象形式E
1 1 1 1	1	E			表6-4.参照	ﾀｲﾏ/ｶｳﾝﾀF1事象形式E

注1: ﾎﾟｰﾄの事象生成法の記述は99頁の「ﾎﾟｰﾄ事象」項で記述されます。
注2: 各種USB事象は事象ﾁｬﾈﾙ0～3に対してだけ選択することができます。

6.8.2. CHnCTRL – 事象ﾁｬﾈﾙn制御ﾚｼﾞｽﾀ (Event Channel n Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08+n	–	QDIRM1,0 (注)		QDIEN(注)	QDEN(注)	DIFFILT2~0			CHnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: CH0CTRL,CH2CTRL,CH4CTRLに対してのみ利用可能。これらのﾋﾞｯﾄはCH1CTRL,CH3CTRL,CH5CTRL,CH6CTRL,CH7CTRLで予約されています。

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6,5 – QDIRM1,0 : 直交復号指標認識動作** (Quadrature Decode Index Recognition Mode)

これらのﾋﾞｯﾄは有効な指標信号が認識される位置に対するQDPH0とQDPH90の直交状態を決め、そして表6-5.に従って計数器指標ﾃﾞｰﾀ事象が与えられます。これらのﾋﾞｯﾄは接続された指標信号と共に直交復号器を用いる時にだけ設定されるべきです。これらのﾋﾞｯﾄはCH0CTRL,CH2CTRL,CH4CTRLに対してのみ利用可能です。

表6-5. QDIRMﾋﾞｯﾄ設定

QDIRM1,0	指標認識状態
0 0	{QDPH0,QDPH90}=00
0 1	{QDPH0,QDPH90}=01
1 0	{QDPH0,QDPH90}=10
1 1	{QDPH0,QDPH90}=11

● **ﾋﾞｯﾄ4 – QDIEN : 直交復号指標許可** (Quadrature Decode Index Enable)

このﾋﾞｯﾄが設定(1)されると、事象ﾁｬﾈﾙはQDEC指標元として使われ、指標ﾃﾞｰﾀ事象が許可されます。

このﾋﾞｯﾄはCH0CTRL,CH2CTRL,CH4CTRLに対してのみ利用可能です。

● **ﾋﾞｯﾄ3 – QDEN : 直交復号許可** (Quadrature Decode Enable)

このﾋﾞｯﾄの設定(1)がQDEC動作を許可します。

このﾋﾞｯﾄはCH0CTRL,CH2CTRL,CH4CTRLに対してのみ利用可能です。

● **ﾋﾞｯﾄ2~0 – DIGFILT2~0 : ﾃﾞｼﾞﾀﾙ濾波器係数** (Digital Filter Coefficient)

これらのﾋﾞｯﾄはﾃﾞｼﾞﾀﾙ濾波器で使う長さを定義します。事象は、事象元がDIGFILTで定義された周辺機能ｸﾛｯｸ数間活性(有効)で且つ同じﾚﾍﾞﾙで採取される時にだけ、事象ﾁｬﾈﾙを通じて渡されます。

表6-6. ﾃﾞｼﾞﾀﾙ濾波器係数値

DIGFILT2~0	群構成設定	内容
0 0 0	1SAMPLE	1採取
0 0 1	2SAMPLE	2採取
0 1 0	3SAMPLE	3採取
0 1 1	4SAMPLE	4採取
1 0 0	5SAMPLE	5採取
1 0 1	6SAMPLE	6採取
1 1 0	7SAMPLE	7採取
1 1 1	8SAMPLE	8採取

6.8.3. STROBE – 発動ﾚｼﾞｽﾀ (Strobe register)

STROBEﾚｼﾞｽﾀ位置が書かれると、各事象ﾁｬﾈﾙはSTROBEnと対応するDATAnﾋﾞｯﾄ設定のどれもが0でなければ、それに従って設定されます。

1周辺機能ｸﾛｯｸ持続する単独事象が生成されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10	STROBE7~0								STROBE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.8.4. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

このﾚｼﾞｽﾀはﾃﾞｰﾀ事象を手動生成する時のﾃﾞｰﾀ値を含みます。このﾚｼﾞｽﾀは事象発動(STROBE)ﾚｼﾞｽﾀの前に書かれなければなりません。詳細については「STROBE – 事象発動ﾚｼﾞｽﾀ」をご覧ください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$11	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

6.9. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$11	DATA	DATA7~0								56
+$10	STROBE	STROBE7~0								55
+$0F	CH7CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0E	CH6CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0D	CH5CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0C	CH4CTRL	–	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			55
+$0B	CH3CTRL	–	–	–	–	–	DIGFILT2~0			55
+$0A	CH2CTRL	–	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			55
+$09	CH1CTRL	–	–	–	–	–	DIGFILT2~0			55
+$08	CH0CTRL	–	QDIRM1,0		QDIEN	QDEN	DIGFILT2~0			55
+$07	CH7MUX	CH7MUX7~0								54
+$06	CH6MUX	CH6MUX7~0								54
+$05	CH5MUX	CH5MUX7~0								54
+$04	CH4MUX	CH4MUX7~0								54
+$03	CH3MUX	CH3MUX7~0								54
+$02	CH2MUX	CH2MUX7~0								54
+$01	CH1MUX	CH1MUX7~0								54
+$00	CH0MUX	CH0MUX7~0								54

7. システム クロックとクロック選択

7.1. 要点

- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
  - 32MHz走行時校正付き発振器
  - 2MHz走行時校正付き発振器
  - 32.768kHz校正付き発振器
  - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
  - 0.4～16MHzクリスタル用発振器
  - 32.768kHzクリスタル用発振器
  - 外部クロック信号
- 20～128MHz出力周波数を持つPLL
  - 内部及び外部クロック任意選択と1～31逓倍
  - 固定化検出器
- 1～2048分周のクロック前置分周器
- CPUクロックの2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

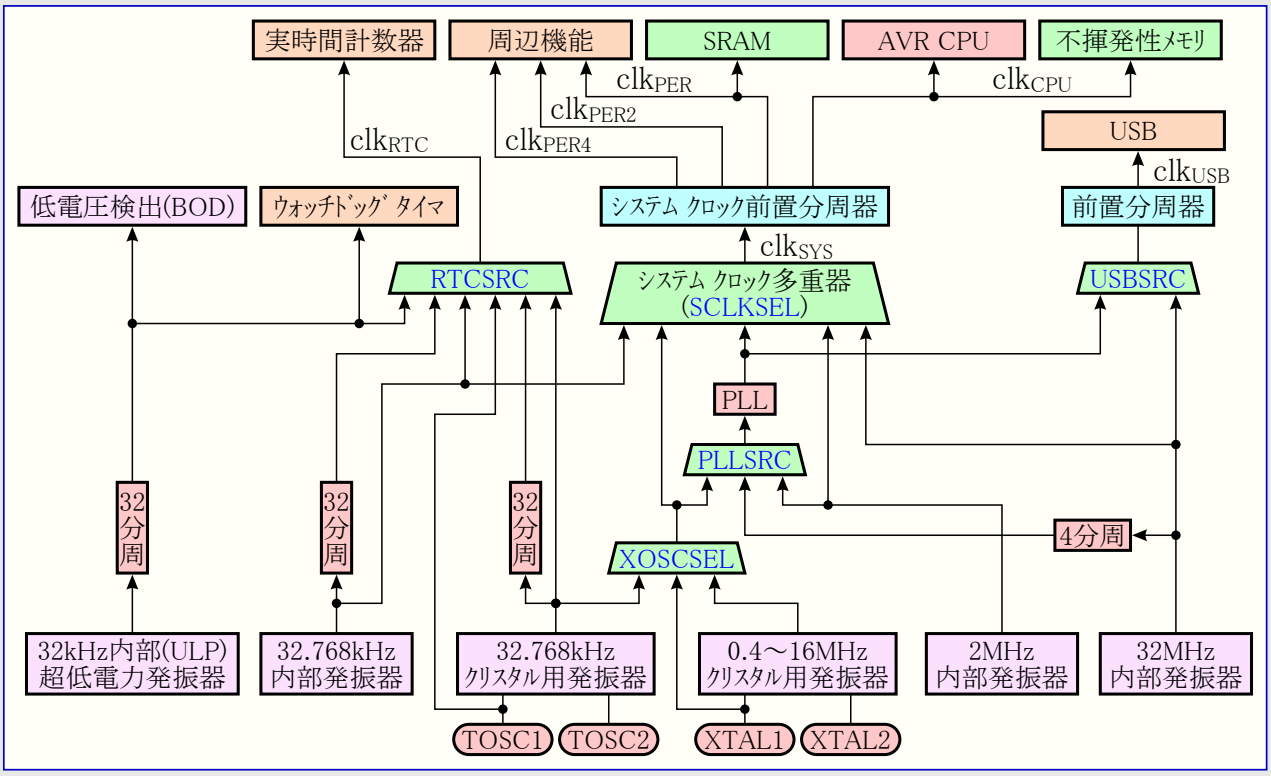
7.2. 概要

XMEGAデバイスは多数のクロック元を支援する柔軟なクロック システムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図7-1.はXMEGA AU系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは72頁の「**電力管理と休止形態動作**」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。

図7-1. クロック システム、クロック元とクロック配給



7.3. クロック配給

図7-1.はXMEGAﾃﾞﾊﾞｲｽで使われる原則的なｸﾛｯｸ配給系統を表します。

7.3.1. ｼｽﾃﾑ ｸﾛｯｸ – clk_{SYS}

ｼｽﾃﾑ ｸﾛｯｸは主ｼｽﾃﾑ ｸﾛｯｸ選択からの出力です。これは非同期ｸﾛｯｸとUSBｸﾛｯｸを除く全ての内部ｸﾛｯｸを生成するのに使われる前置分周器に供給されます。

7.3.2. CPUｸﾛｯｸ – clk_{CPU}

CPUｸﾛｯｸはCPUと不揮発性ﾒﾓﾘへ送られます。CPUｸﾛｯｸの停止は命令実行からCPUを抑制します。

7.3.3. 周辺機能ｸﾛｯｸ – clk_{PER}

主要な周辺機能とｼｽﾃﾑ単位部がこの周辺機能ｸﾛｯｸを使います。これにはDMA制御器、事象ｼｽﾃﾑ、割り込み制御器、外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽとSRAMを含みます。このｸﾛｯｸは常にCPUｸﾛｯｸに同期しますが、例えCPUｸﾛｯｸがOFFされても動作できます。

7.3.4. 2倍/4倍周辺機能ｸﾛｯｸ – clk_{PER2},clk_{PER4}

CPUｸﾛｯｸ周波数の2または4倍で動作できる単位部は2倍周辺機能ｸﾛｯｸと4倍周辺機能ｸﾛｯｸを使えます。

7.3.5. 非同期ｸﾛｯｸ – clk_{RTC}

非同期ｸﾛｯｸは外部32.768kHzｸﾘｽﾀﾙ用発振器、32.768kHz内部発振器からの32分周出力、または超低電力(ULP)発振器からの直接ｸﾛｯｸ駆動を実時間計数器(RTC)に許します。例えﾃﾞﾊﾞｲｽが休止形態動作で残りのｸﾛｯｸが停止されても、専用のｸﾛｯｸ範囲がこの周辺機能の動作を許します。

7.3.6. USBｸﾛｯｸ – clk_{USB}

USB装置単位部は12MHzまたは48MHzのｸﾛｯｸが必要です。これはUSB使用時のｼｽﾃﾑ ｸﾛｯｸ元制限を避けるため、独立したｸﾛｯｸ元選択を持ちます。

7.4. クロック元

ｸﾛｯｸ元は2つの主な群、内部発振器と外部ｸﾛｯｸ元に分けられます。ｸﾛｯｸ元の殆どはｿﾌﾄｳｪｱから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。ﾘｾｯﾄ後にﾃﾞﾊﾞｲｽは2MHz内部発振器からの走行で始動します。既定での他のｸﾛｯｸ元、DFLL、PLLはOFFされます。

7.4.1. 内部発振器

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

7.4.1.1. 32kHz超低電力発振器

この発振器は概ね32kHzのｸﾛｯｸを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のｸﾛｯｸ元で、これは高い精度用に設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使います。ﾃﾞﾊﾞｲｽのどれかの部分に対するｸﾛｯｸ元として使われる時に、この発振器は自動的に許可/禁止されます。この発振器はRTCに対するｸﾛｯｸ元として選択することができます。

7.4.1.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのｸﾛｯｸを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)ﾚｼﾞｽﾀは発振器周波数の走行時校正のためにｿﾌﾄｳｪｱからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。

7.4.1.3. 32MHz走行時校正付き内部発振器

32MHz走行時校正内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。ﾃﾞｼﾞﾀﾙ固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。この発振器は30～55MHz間の何れかの周波数に調整と較正をすることもできます。製品識票列は発振器が全速(Full-speed)USBｸﾛｯｸ元を使う時に使用を意図される48MHz校正値を含みます。

7.4.1.4. 2MHz走行時校正付き内部発振器

2MHz走行時校正内部発振器はﾘｾｯﾄ後の既定ｼｽﾃﾑ ｸﾛｯｸ元です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。ﾃﾞｼﾞﾀﾙ固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のために、発振器の自動走行時校正を許可することができます。

7.4.2. 外部ｸﾛｯｸ元

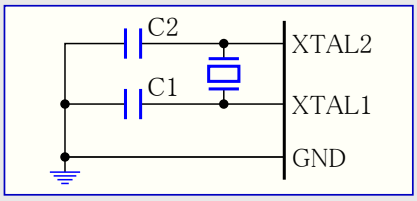
XTAL1とXTAL2ﾋﾟﾝは水晶ｸﾘｽﾀﾙまたはｾﾗﾐｯｸ振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部ｸﾛｯｸ信号に対する入力としても使えます。TSOC1とTOSC2ﾋﾟﾝは32.768kHzｸﾘｽﾀﾙ用発振器駆動専用です。

7.4.2.1. 0.4～16MHzｸﾘｽﾀﾙ用発振器

この発振器は0.4～16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。図7-2.はｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子の代表的な接続を示します。

C1とC2の2つの容量は接続されたｸﾘｽﾀﾙで必要とされる負荷容量と合わせるために追加することができます。

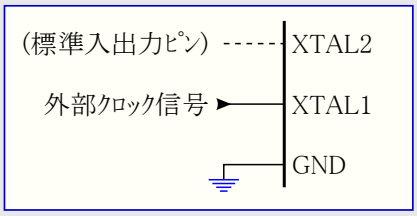
図7-2. ｸﾘｽﾀﾙ発振子接続



7.4.2.2. 外部ｸﾛｯｸ入力

外部ｸﾛｯｸ元からﾃﾞﾊﾞｲｽを駆動するには、XTAL1が図7-3.で示されるように駆動されなければなりません。この動作ではXTAL2が標準I/Oﾋﾟﾝとして使えます。

図7-3. 外部ｸﾛｯｸ駆動接続

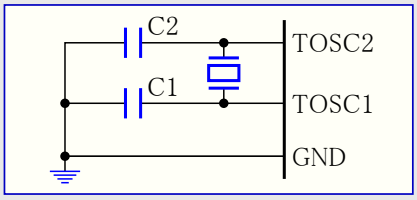


7.4.2.3. 32.768kHzｸﾘｽﾀﾙ用発振器

32.768kHzｸﾘｽﾀﾙ用発振器は専用の低周波数発振器入力回路を許可することによってTOSC1とTOSC2のﾋﾟﾝ間に接続できます。代表的な接続は図7-4.で示されます。TOSC2での振幅電圧を減らした低電力動作が利用可能です。この発振器はｼｽﾃﾑ ｸﾛｯｸ、RTCに対するｸﾛｯｸ元としてと、DFLL基準として使えます。

C1とC2の2つの容量は接続されたｸﾘｽﾀﾙで必要とされる負荷容量と合わせるために追加することができます。推奨されるTOSC特性と負荷容量の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

図7-4. 32.768kHzｸﾘｽﾀﾙ発振子接続

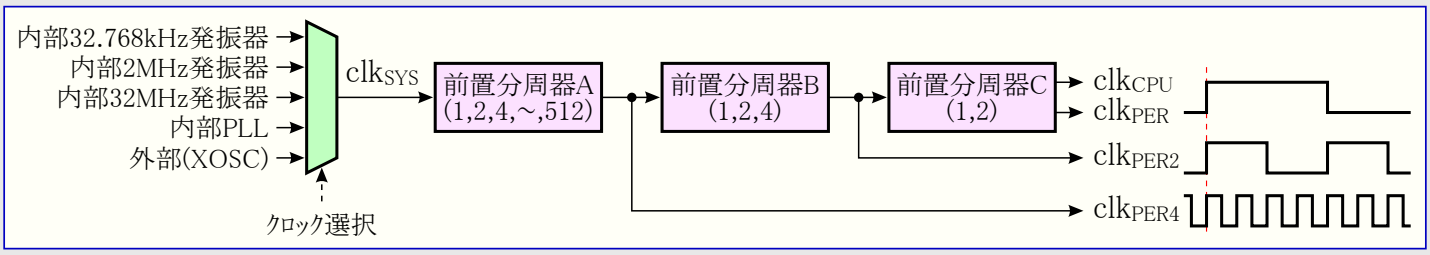


7.5. ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器

全ての校正付き内部発振器、外部ｸﾛｯｸ元(XOSC)、PLL出力がｼｽﾃﾑ ｸﾛｯｸ元として使えます。ｼｽﾃﾑ ｸﾛｯｸ元はｿﾌﾄｳｪｱから選択可能で、通常動作の間に変更することができます。組み込みﾊｰﾄﾞｳｪｱ保護が安全でないｸﾛｯｸ切り換えを防ぎます。不活性または禁止されている発振器をｸﾛｯｸ元として選択することと、ｼｽﾃﾑ ｸﾛｯｸとして現在使使っている発振器を禁止することは不可能です。発振器の準備可を調べるために各発振器はｿﾌﾄｳｪｱから読むことができる状態ﾌﾗｸﾞを持っています。

ｼｽﾃﾑ ｸﾛｯｸはそれをCPUや周辺機能へ配給する前にｸﾛｯｸ信号を1～2048分周できる前置分周部へ供給されます。前置分周器設定は通常動作の間にｿﾌﾄｳｪｱから変更できます。初段の前置分周器Aは1～512分周できます。そして前置分周器BとCは個別にｸﾛｯｸをそのまま通すか、または合同で1～4分周するかのどちらかに構成設定できます。前置分周器は前置分周器設定変更時に起こる中間の周波数や不具合のないことと、(正しい)位相を常に保証します。前置分周器設定は最低ｸﾛｯｸの上昇端に従って更新されます。

図7-5. ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器



前置分周器Aはｼｽﾃﾑ ｸﾛｯｸを分周し、その結果のｸﾛｯｸがclkPER4です。CPU ｸﾛｯｸ周波数の2または4倍での動作を周辺機能に許すために、前置分周器BとCはｸﾛｯｸ速度の更なる分周を許すことができます。前置分周器BとCが使われない場合は、全てのｸﾛｯｸが前置分周器Aからの出力として同じ周波数で動作します。

ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周ﾚｼﾞｽﾀは、ｼｽﾃﾑ ｸﾛｯｸと前置分周器設定の変更に対して時間制限書き込み手順を使う構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

7.6. 1～31の倍率を持つPLL

組み込み位相固定化閉路(PLL:Phase Locked Loop)は高周波数ｼｽﾃﾑ ｸﾛｯｸを生成するのに使えます。PLLは使用者が選択可能な1～31の倍率を持ちます。出力周波数f_{OUT}は倍率PLL_FACで乗算された入力周波数f_{IN}によって与えられます。

$$f_{OUT} = f_{IN} \times PLL\_FAC$$

PLLへの入力として4つの異なるｸﾛｯｸ元が選択できます。

- 2MHz内部発振器
- 4分周された32MHz内部発振器
- 0.4～16MHzｸﾘｽﾀﾙ用発振器
- 外部ｸﾛｯｸ信号

PLLを許可するには次の手順に従わなければなりません。

1. 基準ｸﾛｯｸ元を許可してください。
2. 倍率を設定し、PLLに対する基準ｸﾛｯｸを選択してください。
3. 基準ｸﾛｯｸ元が安定するまで待ってください。
4. PLLを許可してください。

PLLが使用中の時にPLL構成設定が変更できないことをﾊｰﾄﾞｳｪｱが保証します。PLLは新しい構成設定が書かれ得る前に禁止されなければなりません。

選択したｸﾛｯｸ元が安定してPLLが固定化する前にPLLを使うことはできません。

PLLが走行中、基準ｸﾛｯｸ元を禁止することはできません。

7.7. DFLL 2MHzとDFLL 32MHz

2MHzと32MHzの内部発振器の精度を改善するために2つの組み込みﾃﾞｼﾞﾀﾙ周波数固定化閉路(DFLL:Digital Frequency Locked Loop)が使えます。発振器の走行時自動校正と、温度と電圧の変動の補償を行うために、DFLLは発振器周波数をより高い精度の発振器と比較します。基準ｸﾛｯｸ元に関する選択は次のとおりです。

- 32.768kHz校正付き内部発振器
- TOSCﾋﾟﾝに接続された32.768kHzｸﾘｽﾀﾙ用発振器
- 外部ｸﾛｯｸ
- USBﾌﾚｰﾑ開始

DFLLは1.024kHz基準を使うので発振器基準ｸﾛｯｸを32分周します。図7-6.で示されるように、基準ｸﾛｯｸは各DFLLに対して個別に選択されます。

ﾘｾｯﾄ中に内部発振器と1.024kHz基準ｸﾛｯｸ間の周波数比を表す理想計数器値がDFLL発振器比較(COMP2,COMP1)ﾚｼﾞｽﾀに設定されます。32MHz発振器について、このﾚｼﾞｽﾀは異なる周波数で発振器を走行させるため、または基準ｸﾛｯｸと発振器間の比率が異なる(例えばUSBﾌﾚｰﾑ開始が使われた)時にｿﾌﾄｳｪｱから書くことができます。DFLLが基準ｸﾛｯｸとしてUSBﾌﾚｰﾑ開始(SOF)で許可される前に、48MHz校正値が製品識票列から読まれて32MHzのDFLL校正(CALB,CALA)ﾚｼﾞｽﾀに書かれなければなりません。

COMPﾚｼﾞｽﾀに書かれるべき値は次式によって与えられます。

$$COMP = hex\left(\frac{f_{OSC}}{f_{RCnCREF}}\right)$$

DFLL許可時、それは基準ｸﾛｯｸ周波数と発振器周波数間の比率を制御します。内部発振器が速すぎるまたは遅すぎる動作なら、DFLLは発振器周波数を調節するためにそれの校正ﾚｼﾞｽﾀ値を1つ増加または減少します。誤差が1/2較正段階量よりも大きい時に発振器は速すぎるまたは遅すぎると見做されます。

DFLLは発振器が停止される休止形態動作へ移行する時に停止します。起動後、DFLLは休止形態移行前に得た校正値で(動作を)継続します。DFLL校正ﾚｼﾞｽﾀのﾘｾｯﾄ値は製品識票列から読むことができます。

DFLLが禁止されると、DFLL校正ﾚｼﾞｽﾀは発振器の走行時手動校正用にｿﾌﾄｳｪｱから書くことができます。

図7-6. DFLL基準ｸﾛｯｸ選択

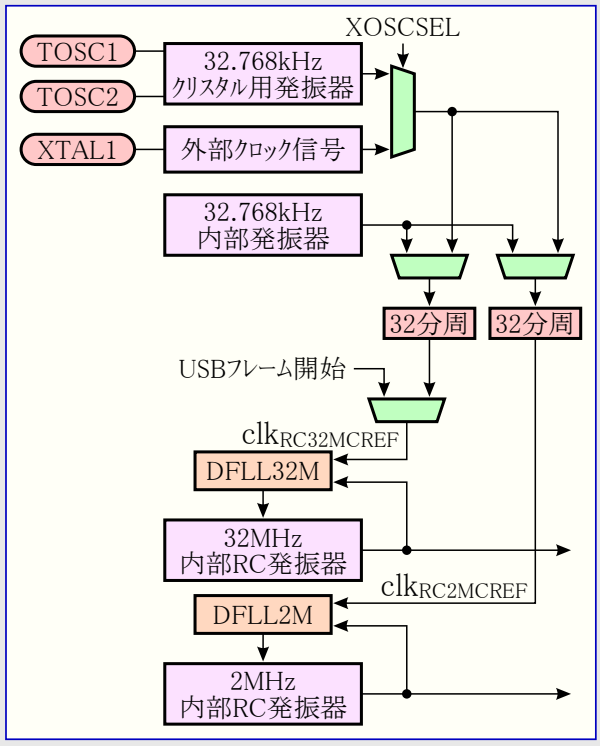
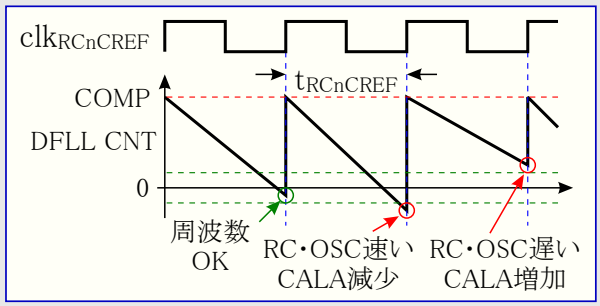


図7-7. 走行時自動校正



7.8. PLLと外部クロック元停止監視器

PLLと外部クロック元に対して組み込み停止監視器が利用可能です。PLLや外部クロック元に関して停止監視器が許可され、このクロック元がシステム クロックとして使われている間に失敗(PLLが固定化を失う、または外部クロック元停止)の場合、デバイスは以下を行います。

- 2MHz内部発振器でシステム クロックを走行するように切り替えます。
- 発振器制御(CTRL)レジスタとシステム クロック制御(CTRL)レジスタをそれらの既定値にリセットします。
- 失敗したクロック元(PLLまたは外部クロック)に対する停止検出割り込み要求フラグ(PLLFDIFまたはXOSCFDIF)を設定(1)します。
- 遮蔽不可割り込み(NMI)を発行します。

システム クロック元として使われていない時にPLLまたは外部発振器が停止した場合、それが自動的に禁止される一方で、システム クロック は通常動作を継続します。NMIは発行されません。停止監視器は32kHz異常の外部クロック元を予定されています。

停止監視器が許可されると、次のリセットまでそれを禁止することはできません。

停止監視器はPLLまたは外部クロック元が停止される全ての休止形態動作で禁止されます。休止形態からの起動の間にそれは自動的に再開されます。

PLLと外部クロック元停止監視器設定は設定を変更するのに時間制限書き込み手順を使う構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

7.9. レジスタ説明 – クロック

7.9.1. CTRL – 制御レジスタ (Control register)

ビット	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	SCLKSEL2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~3 – 予約** (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● **ビット2~0 – SCLKSEL2~0 : システム クロック選択** (System Clock Selection)

これらのビットはシステム クロック用の供給元を選ぶのに使われます。各種選択については表7-1.をご覧ください。システム クロック元変更は旧クロック元で2クロック周期と新クロック元で2クロック周期かかります。これらのビットは形態設置変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

SCLKSELは新しいクロック元が安定でない場合に変更することができません。旧クロックはクロック切り替えが完了されるまで禁止することができません。

表7-1. システム クロック選択

SCLKSEL2~0	群構成設定	内容
0 0 0	RC2MHZ	2MHz内部RC発振器
0 0 1	RC32MHZ	32MHz内部環状発振器
0 1 0	RC32KHZ	32.768kHz内部RC発振器
0 1 1	XOSC	外部発振器またはクロック
1 0 0	PLL	位相固定化閉路(PLL)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	–	(予約)

7.9.2. PSCTRL – 前置分周レジスタ (Prescaler register)

このレジスタは形態設置変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+$01	–	PSADIV4~0					PSBCDIV1,0		PSCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7 – 予約** (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● **ビット6~2 – PSADIV4~0 : 前置分周器A分周係数** (Prescaler A Division Factor)

これらのビットは表7-2.に従ったクロック前置分周器Aの分周比を定義します。これらのビットはシステム クロックclk_{SYS}に比例するclk_{PER4}の周波数を変更するので、走行時に書くことができます。

表7-2. 前置分周器Aの分周係数

PSADIV4~0	群構成設定	内容
0 0 0 0 0	1	分周なし
0 0 0 0 1	2	2分周
0 0 0 1 1	4	4分周
0 0 1 0 1	8	8分周
0 0 1 1 1	16	16分周
0 1 0 0 1	32	32分周
0 1 0 1 1	64	64分周
0 1 1 0 1	128	128分周
0 1 1 1 1	256	256分周
1 0 0 0 1	512	512分周
1 0 1 0 1		(予約)
1 0 1 1 1		(予約)
1 1 0 0 1		(予約)
1 1 0 1 1		(予約)
1 1 1 0 0		(予約)
1 1 1 1 1		(予約)

● ﾋﾞｯﾄ1,0 – PSBCDIV1,0 : 前置分周器B,C分周係数 (Prescaler B and C Division Factor)

これらのﾋﾞｯﾄは表7-3.に従ってｸﾛｯｸ前置分周器BとCの分周比を定義します。前置分周器Bはclk_{PER4}ｸﾛｯｸに比例するclk_{PER2}ｸﾛｯｸのｸﾛｯｸ周波数を設定します。前置分周器Cはclk_{PER2}に比例するclk_{PER}とclk_{CPU}ｸﾛｯｸのｸﾛｯｸ周波数を設定します。より多くの詳細については59頁の図7-5.を参照してください。

表7-3. 前置分周器BとCの分周係数

PSBCDIV1,0	群構成設定	分周数	
		B	C
0 0	1_1	分周なし	分周なし
0 1	1_2	分周なし	2分周
1 0	4_1	4分周	分周なし
1 1	2_2	2分周	2分周

7.9.3. LOCK – 施錠ﾚｼﾞｽﾀ (Lock register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	–	–	LOCK	LOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – LOCK : ｸﾛｯｸ ｼｽﾃﾑ施錠 (Clock System Lock)

このﾋﾞｯﾄが1を書かれると、ｼｽﾃﾑ ｸﾛｯｸ制御(CTRL)ﾚｼﾞｽﾀとｼｽﾃﾑ ｸﾛｯｸ前置分周器(PSCTRL)ﾚｼﾞｽﾀが変更できなくなり、ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器設定は次のﾘｾｯﾄ後まで全ての更なる更新に対して保護されます。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

LOCKﾋﾞｯﾄはﾘｾｯﾄによってのみ解除(0)されます。

7.9.4. RTCCTRL – 実時間計数器(RTC)制御ﾚｼﾞｽﾀ (RTC Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	RTCSRC2~0			RTCEN	RTCCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~1 – RTCSRC2~0 : RTCｸﾛｯｸ元選択 (RTC Clock Source)

これらのﾋﾞｯﾄは表7-4.に従って実時間計数器に対するｸﾛｯｸ元を選びます。

表7-4. RTCｸﾛｯｸ元選択 (注1)

RTCSRC2~0	群構成設定	内容
0 0 0	ULP	内部32kHz超低電力(ULP)発振器からの1kHz
0 0 1	TOSC	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器からの1.024kHz
0 1 0	RCOSC	32.768kHz内部RC発振器からの1.024kHz (注2)
0 1 1	–	(予約)
1 0 0	–	(予約)
1 0 1	TOSC32	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器からの32.768kHz
1 1 0	RCOSC32	32.768kHz内部RC発振器からの32.768kHz
1 1 1	EXTCLK	TOSC1からの外部ｸﾛｯｸ信号 (注2)

注1: 本表はRTC32に対しては適用できません。

注2: 電池代替支援ｼｽﾃﾑ付きﾃﾞﾊﾞｲｽで利用不可

● ﾋﾞｯﾄ0 – RTCEN : RTCｸﾛｯｸ元許可 (RTC Clock Source Enable)

RTCENﾋﾞｯﾄの設定(1)が実時間計数器に対して選択したRTCｸﾛｯｸ元を許可します。

7.9.5. USBCTRL – USB制御ﾚｼﾞｽﾀ (USB Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	USBPSDIV2~0			USBSRC1,0		USBSEN	USBCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~3 – USBPSDIV2~0 : USB前置分周器分周係数** (USB Prescaler Division Factor)

これらのﾋﾞｯﾄは表7-5.に従ってUSBｸﾛｯｸ前置分周器の分周係数を定義します。これらのﾋﾞｯﾄはUSBｸﾛｯｸ元が許可されている限り施錠されます。

表7-5. USB前置分周器分周係数

USBPSDIV2~0	群構成設定	内容
0 0 0	1	分周なし
0 0 1	2	2分周
0 1 0	4	4分周
0 1 1	8	8分周
1 0 0	16	16分周
1 0 1	32	32分周
1 1 0	–	(予約)
1 1 1	–	(予約)

● **ﾋﾞｯﾄ2,1 – USBSRC1,0 : USBｸﾛｯｸ元選択** (USB Clock Source)

これらのﾋﾞｯﾄは表7-6.に従ってUSB用のｸﾛｯｸ元を選びます。

表7-6. USBｸﾛｯｸ元

USBSRC1,0	群構成設定	内容
0 0	PLL	PLL
0 1	RC32M	32MHz内部発振器 (注)

注: 32MHz内部発振器はUSB装置単位部用の供給元として選ぶ前に48MHzへ校正されなければなりません。60頁の「DFLL 2MHzとDFLL 32MHz」を参照してください。

● **ﾋﾞｯﾄ0 – USBSEN : USBｸﾛｯｸ元許可** (USB Clock Source Enable)

このﾋﾞｯﾄの設定(1)はUSB装置単位部用に選択されたｸﾛｯｸ元を許可します。

7.10. ﾚｼﾞｽﾀ説明 – 発振器

7.10.1. CTRL – 発振器制御ﾚｼﾞｽﾀ (Oscillator Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	CTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – PLLEN : PLL許可** (PLL Enable)

このﾋﾞｯﾄの設定(1)がPLLを許可します。PLLが許可される前に、PLLは望む倍率とｸﾛｯｸ元で構成設定されなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ3 – XOSCEN : 外部用発振器許可** (External Oscillator Enable)

このﾋﾞｯﾄの設定(1)が選択した外部ｸﾛｯｸ元を許可します。外部ｸﾛｯｸ元の選択法の詳細については66頁の「**XOSCCTRL – XOSC制御ﾚｼﾞｽﾀ**」を参照してください。外部ｸﾛｯｸ元はそれがｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定させる時間を与えられるべきです。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ2 – RC32KEN : 32.768kHz内部発振器許可** (32.768kHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が32.768kHz内部発振器を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ1 – RC32MEN : 32MHz内部発振器許可** (32MHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が32MHz内部発振器を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

● **ﾋﾞｯﾄ0 – RC2MEN : 2MHz内部発振器許可** (2MHz Internal Oscillator Enable)

このﾋﾞｯﾄの設定(1)が2MHz内部発振器を許可します。発振器はｼｽﾃﾑ ｸﾛｯｸに対する供給元として選択される前に安定していなければなりません。「**STATUS – 発振器状態ﾚｼﾞｽﾀ**」をご覧ください。

既定により、このﾋﾞｯﾄが設定(1)されて2MHz内部発振器が許可されます。

7.10.2. STATUS – 発振器状態ﾚｼﾞｽﾀ (Oscillator Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – PLLRDY : PLL準備可** (PLL Ready)

このﾌﾗｸﾞはPLLが選択した周波数に固定化され、ｼｽﾃﾑ ｸﾛｯｸ元として使う準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ3 – XOSCRDY : 外部発振器準備可** (External Oscillator Ready)

このﾌﾗｸﾞは外部ｸﾛｯｸ元が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使う準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ2 – RC32KRDY : 32.768kHz内部発振器準備可** (32.768kHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは32.768kHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使う準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ1 – RC32MRDY : 32MHz内部発振器準備可** (32MHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは32MHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使う準備が整った時に設定(1)されます。

● **ﾋﾞｯﾄ0 – RC2MRDY : 2MHz内部発振器準備可** (2MHz Internal RC Oscillator Ready)

このﾌﾗｸﾞは2MHz内部発振器が安定し、ｼｽﾃﾑ ｸﾛｯｸ元として使う準備が整った時に設定(1)されます。

7.10.3. XOSCCTRL – 外部用発振器制御ﾚｼﾞｽﾀ (XOSC Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	FRQRANGE1,0		X32KLPM	XOSCPWR	XOSCSEL3~0				XOSCCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – FRQRANGE1,0 : 0.4～16MHzｸﾘｽﾀﾙ用発振器周波数範囲選択** (Crystal Oscillator Frequency Range Select)

これらのﾋﾞｯﾄは**表7-7.**に従って接続されたｸﾘｽﾀﾙ用発振器に対する周波数範囲を選びます。

表7-7. 発振器周波数範囲選択

FRQRANGE1,0	群構成設定	周波数範囲	推奨容量 (pF)
0 0	04TO2	0.4MHz～2MHz	100～300
0 1	2TO9	2MHz～9MHz	10～40
1 0	9TO12	9MHz～12MHz	10～40
1 1	12TO16	12MHz～16MHz	10～30

注: 与えられた周波数に対して最良の設定を取得するために、ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄで電気的特性章を参照してください。

● **ﾋﾞｯﾄ5 – X32KLPM : 32.768kHzｸﾘｽﾀﾙ用発振器低電力動作** (Crystal Oscillator 32.768kHz Low Power Mode)

このﾋﾞｯﾄの設定(1)が32.768kHzｸﾘｽﾀﾙ用発振器に対する低電力動作を許可します。これはTOSC2ﾋﾟﾝでの振幅を減らします。

● **ﾋﾞｯﾄ4 – XOSCPWR : ｸﾘｽﾀﾙ用発振器駆動** (Crystal Oscillator Drive)

このﾋﾞｯﾄの設定(1)は0.4～16MHzｸﾘｽﾀﾙ用発振器の電流を増し、XTAL2ﾋﾟﾝの振れを増します。これはｸﾘｽﾀﾙ用発振器周波数範囲選択(FRQRANGE)ﾋﾞｯﾄによって指定されるよりも高い負荷または高い周波数でのｸﾘｽﾀﾙ駆動を許します。

● **ﾋﾞｯﾄ3~0 – XOSCSEL3~0 : ｸﾘｽﾀﾙ用発振器選択** (Crystal Oscillator Selection)

これらのﾋﾞｯﾄはXTALまたはTOSCのﾋﾟﾝに接続されるｸﾘｽﾀﾙ発振子またはｾﾗﾐｯｸ振動子に対する形式と始動時間を選びます。ｸﾘｽﾀﾙ選択については**表7-8.**をご覧ください。ｼｽﾃﾑ ｸﾛｯｸの供給元として外部ｸﾛｯｸまたは外部用発振器が選択されている場合(発振器制御(CTRL)ﾚｼﾞｽﾀをご覧ください)に、この構成設定は変更することができません。

表7-8. 外部用発振器選択と始動時間

XOSCSEL3~0	群構成設定	選択ｸﾛｯｸ元	始動時間
0 0 0 0 (注3)	EXTCLK	外部ｸﾛｯｸ信号	6×CLK
0 0 1 0 (注3)	32KHZ	32.768kHz TOSC	16k×CLK
0 0 1 1 (注1)	XTAL_256CLK	0.4～16MHz XTAL	256×CLK
0 1 1 1 (注2)	XTAL_1KCLK	0.4～16MHz XTAL	1k×CLK
1 0 1 1	XTAL_16KCLK	0.4～16MHz XTAL	16k×CLK

注1: この任意選択は始動での周波数安定性が応用で重要でない時にだけ使われるべきです。この任意選択はｸﾘｽﾀﾙ用に適合しません。

注2: この任意選択はｾﾗﾐｯｸ振動子での使用を意図され、始動での周波数安定性を保証するでしょう。また、始動での周波数安定性が応用で重要でない時にも使えます。

注3: DFLL用の基準として外部発振器が使われる時はEXTCLKと32KHZだけを選択することができます。

7.10.4. XOSCFAIL – 外部用発振器停止検出ﾚｼﾞｽﾀ (XOSC Failure Detection register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	XOSCFAIL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – PLLFDIF : PLL失敗検出割り込み要求ﾌﾗｸﾞ** (PLL Failure Detection Flag)

PLL失敗検出が許可されているなら、PLL固定化が失われた時PLLFDIFが設定(1)されます。この位置への論理1書き込みがPLLFDIFを解除(0)します。

● **ﾋﾞｯﾄ2 – PLLFDEN : PLL失敗検出許可** (PLL Failure Detection Enable)

このﾋﾞｯﾄの設定(1)はPLL失敗検出を許可します。PLL失敗検出割り込み要求ﾌﾗｸﾞ(PLLFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

● ﾋﾞｯﾄ1 – XOSCFDIF : 外部ｸﾛｯｸ停止検出割り込み要求ﾌﾗｸﾞ (Failure Detection Flag)

外部ｸﾛｯｸ元発振器停止監視器が許可されているなら、停止が検出された時にXOSCFDIFが設定(1)されます。この位置への論理1書き込みがXOSCFDIFを解除(0)します。

● ﾋﾞｯﾄ0 – XOSCFDEN : 外部ｸﾛｯｸ停止検出許可 (Failure Detection Enable)

このﾋﾞｯﾄの設定(1)は停止検出を許可し、外部ｸﾛｯｸ停止検出割り込み要求ﾌﾗｸﾞ(XOSCFDIF)が設定(1)される時に遮蔽不可割り込み(NMI)が発行されます。

このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。一旦許可されると、停止検出はﾘｾｯﾄだけによって禁止されます。

7.10.5. RC32KCAL – 32.768kHz内部発振器校正ﾚｼﾞｽﾀ (32.768kHz Oscillator Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	RC32KCAL7~0								RC32KCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – RC32KCAL7~0 : 32.768kHz内部発振器校正値 (32.768kHz Internal Oscillator Calibration bits)

このﾚｼﾞｽﾀは32.768kHz内部発振器の校正に使われます。ﾘｾｯﾄの間に概ね32.768kHzの発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀへ書かれます。このﾚｼﾞｽﾀは通常動作の間に発振器周波数を校正するためにｿﾌﾄｳｪｱから書くこともできます。

7.10.6. PLLCTRL – PLL制御ﾚｼﾞｽﾀ (PLL Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	PLLSRC1,0		PLLDIV	PLLFAC4~0					PLLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – PLLSRC1,0 : PLLｸﾛｯｸ元選択 (Clock Source)

PLLSRCﾋﾞｯﾄは表7-9.に従ってPLLに対する入力元を選びます。

表7-9. PLLｸﾛｯｸ元

PLLSRC1,0	群構成設定	PLL入力元
0 0	RC2M	2MHz内部発振器
0 1	–	(予約)
1 0	RC32M	32MHz内部発振器
1 1	XOSC	外部ｸﾛｯｸ元 (注)

注: 32kHz TOSCはPLLへの供給元として選択できません。ｸﾛｯｸ元として使われるべき外部ｸﾛｯｸは最低0.4MHzでなければなりません。

● ﾋﾞｯﾄ5 – PLLDIV : PLL分周出力許可 (Multiplication Factor)

このﾋﾞｯﾄの設定(1)はPLLからの出力を2分周します。

● ﾋﾞｯﾄ4~0 – PLLFAC4~0 : PLL倍率 (Multiplication Factor)

これらのﾋﾞｯﾄはPLLに対する倍率を選びます。倍率は1～31倍の範囲にできます。

7.10.7. DFLLCTRL – DFLL制御ﾚｼﾞｽﾀ (DFLL Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	–	RC32MCREF1,0		RC2MCREF	DFLLCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2,1 – RC32MCREF1,0 : 32MHz校正基準選択 (32MHz Oscillator Calibration Reference)

これらのﾋﾞｯﾄは表7-10.に従って32MHzのDFLLに対する校正元を選ぶのに使われます。これらのﾋﾞｯﾄはDFL Lに使う校正元だけを選びます。加えて、選択された実際のｸﾛｯｸ元はこの機能の校正用に許可されて構成設定されなければなりません。

表7-10. 32MHz発振器基準選択

RC32MCREF1,0	群構成設定	内容
0 0	RC32K	32.768kHz内部発振器
0 1	XOSC32	TOSCでの32.768kHzｸﾘｽﾀﾙ用発振器
1 0	USBSOF	USBﾌﾚｰﾑ開始
1 1	–	(予約)

● ﾋﾞｯﾄ0 – RC2MCREF : 2MHz校正基準選択 (2MHz Oscillator Calibration Reference)

このﾋﾞｯﾄは2MHzのDFLLに対する校正元を選ぶのに使われます。既定でのこのﾋﾞｯﾄは0で、32.768kHz内部RC発振器が選ばれます。このﾋﾞｯﾄが1に設定されたなら、基準としてTOSCに接続された32.768kHzｸﾘｽﾀﾙ用発振器が選択されます。これらのﾋﾞｯﾄはDFLLに使う校正元だけを選びます。加えて、選択された実際のｸﾛｯｸ元はこの機能の校正用に許可されて構成設定されなければなりません。

7.11. ﾚｼﾞｽﾀ説明 – DFLL32M/DFLL2M

7.11.1. CTRL – DFLL制御ﾚｼﾞｽﾀ (DFLL Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – ENABLE : DFLL許可** (DFLL Enable)

このﾋﾞｯﾄの設定(1)がDFLLと内部発振器の自動校正を許可します。DFLLが許可される前に基準ｸﾛｯｸが許可されて安定でなければなりません。

DFLL禁止後、ENABLEﾋﾞｯﾄが0として読まれる前に基準ｸﾛｯｸは禁止することができません。

7.11.2. CALA – DFLL校正ﾚｼﾞｽﾀA (DFLL Calibration register A)

CALBとCALAのﾚｼﾞｽﾀは内部発振器の走行時自動校正に使われる13ﾋﾞｯﾄのDFLL校正値を保持します。DFLLが禁止されている時は発振器の走行時手動校正用にｿﾌﾄｳｪｱによって校正ﾚｼﾞｽﾀに書くことができます。発振器はDFLLが禁止されている時もこれらのﾚｼﾞｽﾀ内の校正値に従って校正されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	CALA6~0							CALA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	x	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~0 – CALA6~0 : DFLL校正値6~0** (DFLL Calibration bits)

これらのﾋﾞｯﾄは走行時自動校正に使われる発振器校正値の部分を保持します。ﾘｾｯﾄの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀに書かれます。このﾋﾞｯﾄはDFLLが許可されている時に書くことはできません。

7.11.3. CALB – DFLL校正ﾚｼﾞｽﾀB (DFLL Calibration register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	CALB5~0						CALB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	x	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~0 – CALB5~0 : DFLL校正値5~0** (DFLL Calibration bits)

これらのﾋﾞｯﾄは発振器周波数を選択するのに使われる発振器校正値の部分を保持します。ﾘｾｯﾄの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がﾃﾞﾊﾞｲｽの識票列から取得され、このﾚｼﾞｽﾀに書かれます。これらのﾋﾞｯﾄは発振器の走行時自動校正の間、変更されません。このﾋﾞｯﾄはDFLLが許可されている時に書くことはできません。既定と違う周波数に校正する時に、DFLLの範囲を最大にするためにCALAﾋﾞｯﾄは中間値に設定されるべきです。

7.11.4. COMP1 – 発振器比較ﾚｼﾞｽﾀ1 (Oscillator Compare register 1)

COMP2とCOMP1のﾚｼﾞｽﾀ対は発振器と基準ｸﾛｯｸ間の周波数比を表します。これらのﾚｼﾞｽﾀの初期値は内部発振器周波数と1.024kHz基準ｸﾛｯｸ間の比率(32MHz DFLLに対して$7A12)です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	COMP7~0								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● ﾋﾞｯﾄ7~0 – COMP7~0 : 発振器比較値7~0 (Compare Byte 1)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの第1ﾊﾞｲﾄを保持します。

7.11.5. COMP2 – 発振器比較ﾚｼﾞｽﾀ2 (Oscillator Compare register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	COMP15~8								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● ﾋﾞｯﾄ7~0 – COMP15~8 : 発振器比較値15~8 (Compare Byte 2)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較ﾚｼﾞｽﾀの第2ﾊﾞｲﾄを保持します。

表7-11. 各種出力周波数の公称DFLL32M COMP値

発振器周波数 (MHz)	30.0	32.0	34.0	36.0	38.0	40.0	42.0	44.0	46.0	48.0	50.0	52.0	54.0
COMP値 ($clk_{RCnCREF}$=1.024kHz)	$7270	$7A12	$81B3	$8954	$90F5	$9896	$A037	$A7D8	$AF79	$B71B	$BEBC	$C65D	$CDFE

7.12. ﾚｼﾞｽﾀ要約 – ｸﾛｯｸ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	USBCTRL	–	–	USBPSDIV2~0			USBSRC1,0		USBSEN	64
+$03	RTCCTRL	–	–	–	–	RTCSRC2~0			RTCEN	63
+$02	LOCK	–	–	–	–	–	–	–	LOCK	63
+$01	PSCTRL	–	PSADIV4~0					PSBCDIV1,0		62
+$00	CTRL	–	–	–	–	–	SCLKSEL2~0			62

7.13. ﾚｼﾞｽﾀ要約 – 発振器

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	DFLLCTRL	–	–	–	–	–	RC32MCREF1,0		RC2MCREF	67
+$05	PLLCTRL	PLLSRC1,0		PLLDIV	PLLFAC4~0					67
+$04	RC32KCAL	RC32KCAL7~0								67
+$03	XOSCFAIL	–	–	–	–	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	66
+$02	XOSCCTRL	FRQRANGE1,0		X32KLPM	XOSCPWR	XOSCSEL3~0				66
+$01	STATUS	–	–	–	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	65
+$00	CTRL	–	–	–	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	65

7.14. ﾚｼﾞｽﾀ要約 – DFLL32M/DFLL2M

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	COMP2	COMP15~8								70
+$05	COMP1	COMP7~0								70
+$04	予約	–	–	–	–	–	–	–	–	
+$03	CALB	–	–	CALB5~0						69
+$02	CALA	–	CALA6~0							69
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	–	–	–	–	–	–	–	ENABLE	69

7.15. 発振器停止割り込みﾍﾞｸﾀ要約

表7-12. 発振器停止割り込みﾍﾞｸﾀと、PLLと外部発振器停止割り込み基準からのその変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	OSCF_vect	PLLと外部発振器停止割り込みﾍﾞｸﾀ (NMI)

8. 電力管理と休止形態動作

8.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
  - ｱｲﾄﾞﾙ
  - ﾊﾟﾜｰﾀﾞｳﾝ
  - ﾊﾟﾜｰｾｰﾌﾞ
  - ｽﾀﾝﾊﾞｲ
  - 拡張ｽﾀﾝﾊﾞｲ
- 活性とｱｲﾄﾞﾙの動作形態でｸﾛｯｸを禁止して未使用周辺機能をOFFにするための電力削減ﾚｼﾞｽﾀ

8.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とｸﾛｯｸ開閉が提供されます。これは節電のための未使用単位部の停止をXMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用ｺｰﾄﾞを実行します。ﾃﾞﾊﾞｲｽが休止形態動作に移行すると、ﾌﾟﾛｸﾞﾗﾑ実行が停止され、再びﾃﾞﾊﾞｲｽを起動するのに割り込みまたはﾘｾｯﾄが使われます。応用ｺｰﾄﾞは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのﾘｾｯﾄ元がﾏｲｸﾛ ｺﾝﾄﾛｰﾗを休止から活動動作に回復することができます。

加えて、電力削減ﾚｼﾞｽﾀはｿﾌﾄｳｪｱから個別周辺機能へのｸﾛｯｸを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とｱｲﾄﾞﾙ動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

8.3. 休止形態動作

休止形態動作は節電のためにﾏｲｸﾛ ｺﾝﾄﾛｰﾗ内の単位部とｸﾛｯｸ範囲を停止するのに使われます。XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からﾃﾞﾊﾞｲｽを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、ﾃﾞﾊﾞｲｽは起動し、SLEEP命令の後の最初の命令から通常のﾌﾟﾛｸﾞﾗﾑ実行を継続する前に、割り込み処理ﾙｰﾁﾝを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ﾙｰﾁﾝが実行される前に、それらの割り込み処理ﾙｰﾁﾝがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4ｸﾛｯｸ周期停止します。

表8-1.は各種休止形態動作と活動するｸﾛｯｸ範囲、発振器と起動元を示します。

表8-1. 各休止形態動作での活動ｸﾛｯｸ範囲と起動元

休止形態種別	活動ｸﾛｯｸ範囲			発振器		起動元				
	CPU ｸﾛｯｸ	周辺機能 ｸﾛｯｸ	RTC ｸﾛｯｸ	ｼｽﾃﾑ ｸﾛｯｸ元	RTC ｸﾛｯｸ元	USB 再開	非同期ﾎﾟｰﾄ 割り込み	TWIｱﾄﾞﾚｽ一致 割り込み	RTC 割り込み	その他 割り込み
ｱｲﾄﾞﾙ		○	○	○	○	○	○	○	○	○
ﾊﾟﾜｰﾀﾞｳﾝ						○	○	○		
ﾊﾟﾜｰｾｰﾌﾞ			○		○	○	○	○	○	
ｽﾀﾝﾊﾞｲ				○		○	○	○		
拡張ｽﾀﾝﾊﾞｲ			○	○	○	○	○	○	○	

ﾃﾞﾊﾞｲｽに対する起動時間は休止形態種別と主ｸﾛｯｸ元に依存します。ｼｽﾃﾑ ｸﾛｯｸ元が走行を維持されない休止形態種別に対しては起動時間にｼｽﾃﾑ ｸﾛｯｸ元に対する始動時間が加えられなければなりません。各種発振器任意選択に対する始動時間の詳細については57頁の「ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択」を参照してください。

ﾚｼﾞｽﾀ ﾌｧｲﾙ、SRAM、I/Oﾚｼﾞｽﾀの内容は休止中も維持されます。休止の間にﾘｾｯﾄが起きた場合、ﾃﾞﾊﾞｲｽはﾘｾｯﾄし、ﾘｾｯﾄ ﾍﾞｸﾀから始動して実行します。

8.3.1. ｱｲﾄﾞﾙ動作

ｱｲﾄﾞﾙ動作ではCPUと不揮発性ﾒﾓﾘが停止されますが(進行中のどのﾌﾟﾛｸﾞﾗﾐﾝｸﾞも完了されることに注意)、割り込み制御器、事象ｼｽﾃﾑとDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもﾃﾞﾊﾞｲｽを起動します。

8.3.2. ﾊﾟﾜｰﾀﾞｳﾝ動作

ﾊﾟﾜｰﾀﾞｳﾝ動作では実時間計数器ｸﾛｯｸ元を含む全てのｸﾛｯｸ元が停止されます。これは走行しているｸﾛｯｸを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線ｲﾝﾀｰﾌｪｰｽ ｱﾄﾞﾚｽ一致割り込み、非同期ﾎﾟｰﾄ割り込み、USB再開割り込みだけです。

8.3.3. ﾊﾟﾜｰｾｰﾌﾞ動作

ﾊﾟﾜｰｾｰﾌﾞ動作は1つの例外(以下)を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、ﾃﾞﾊﾞｲｽはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動できます。

8.3.4. ｽﾀﾝﾊﾞｲ動作

ｽﾀﾝﾊﾞｲ動作は許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPU、周辺機能、RTCのｸﾛｯｸが停止される例外を除いてﾊﾟﾜｰﾀﾞｳﾝ動作と同じです。これは起動時間を減らします。

8.3.5. 拡張ｽﾀﾝﾊﾞｲ動作

拡張ｽﾀﾝﾊﾞｲ動作は許可されているｼｽﾃﾑ ｸﾛｯｸ元が動作を維持され、一方CPUと周辺機能のｸﾛｯｸが停止される例外を除いてﾊﾟﾜｰｾｰﾌﾞ動作と同じです。これは起動時間を減らします。

8.4. 電力削減ﾚｼﾞｽﾀ

電力削減(PR)ﾚｼﾞｽﾀは個別周辺機能へのｸﾛｯｸを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、関連するI/Oﾚｼﾞｽﾀが読み書きできなくなります。周辺機能によって使われる資源は占有に留まり、従って殆どの場合で周辺機能はｸﾛｯｸを停止する前に禁止されるべきです。周辺機能へのｸﾛｯｸを再び許可することは、周辺機能を停止前と同じ状態にします。これは総電力消費を減らすためにｱｲﾄﾞﾙ動作と活動動作で使えます。他の全ての休止形態動作では周辺機能ｸﾛｯｸが既に停止されています。

全てのﾃﾞﾊﾞｲｽが電力削減ﾚｼﾞｽﾀ内のﾋﾞｯﾄに関連する全ての周辺機能を持つ訳ではありません。利用不能の周辺機能に対する電力削減ﾋﾞｯﾄの設定(1)は無効です。

8.5. 消費電力の最小化

AVR MCUで制御されるｼｽﾃﾑで消費電力の最小化を試みる時に考慮する多数の検討点があります。一般的に応用が動作するのに必要とされる単位部だけが保証するように、正しい休止形態が選択されて使われるべきです。

必要とされない全ての機能は禁止されるべきです。特に以下の単位部は可能な最低消費電力の達成を試みる時に特別な考慮を必要とするでしょう。

8.5.1. A/D変換器 – ADC

使われないなら、ｱｲﾄﾞﾙ動作へ移行する時にA/D変換器は禁止されるべきです。他の休止形態ではA/D変換器が自動的に禁止されます。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については239頁の「ADC – A/D変換器」を参照してください。

8.5.2. ｱﾅﾛｸﾞ比較器 – AC

ｱｲﾄﾞﾙ動作移行時、ｱﾅﾛｸﾞ比較器は使われないなら、禁止されるべきです。他の休止形態ではｱﾅﾛｸﾞ比較器が自動的に禁止されます。けれども、ｱﾅﾛｸﾞ比較器が入力として内部基準電圧を使う構成設定の場合、ｱﾅﾛｸﾞ比較器は全休止形態で禁止されるべきです。さもなければ、内部基準電圧は休止形態と無関係に許可されます。ｱﾅﾛｸﾞ比較器の構成設定法の詳細については268頁の「AC – ｱﾅﾛｸﾞ比較器」を参照してください。

8.5.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODACTとBODPDのﾋｭｰｽﾞによって許可されていると全休止形態で許可され、常に電力を消費します。より深い休止形態では、消費電流を減らすためにOFFにして採取動作形態に設定することができます。低電圧検出器(BOD)の構成設定法の詳細については78頁の「低電圧検出(BOD)」を参照してください。

8.5.4. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが応用で必要とされないなら、この単位部はOFFにされるべきです。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏが許可されていると全休止形態で許可され、故に常時電力を消費します。ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏの構成設定法の詳細については86頁の「WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ」を参照してください。

8.5.5. ﾎﾟｰﾄ ﾋﾟﾝ

休止形態へ移行する時に全てのﾎﾟｰﾄ ﾋﾟﾝは最小電力使用に構成設定されるべきです。最も重要なことはその時にﾋﾟﾝが抵抗性負荷を駆動しないのを保証することです。周辺機能ｸﾛｯｸ(clk_{PER})が停止される休止形態ではﾃﾞﾊﾞｲｽの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。

8.5.6. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ

ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑが許可され、ﾁｯﾌﾟが休止動作形態に移行する場合、主ｸﾛｯｸ元が許可され、従って常に電力を消費します。より深い休止動作形態に於いて、これは総消費電流に対する重要な一因になります。

8.6. ﾚｼﾞｽﾀ説明 – 休止

8.6.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	SMODE2~0			SEN	CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~1 – SMODE2~0 : 休止形態動作種別選択** (Sleep Mode Selection)

これらのﾋﾞｯﾄは表8-2.に従って休止形態動作種別を選びます。

表8-2. 休止形態動作種別

SMODE2~0	群構成設定	内容
0 0 0	IDLE	ｱｲﾄﾞﾙ動作
0 0 1	–	(予約)
0 1 0	PDOWN	ﾊﾟﾜｰﾀﾞｳﾝ動作
0 1 1	PSAVE	ﾊﾟﾜｰｾｰﾌﾞ動作
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	STDBY	ｽﾀﾝﾊﾞｲ動作
1 1 1	ESTDBY	拡張ｽﾀﾝﾊﾞｲ動作

● **ﾋﾞｯﾄ0 – SEN : 休止許可** (Sleep Enable)

SLEEP命令が実行される時にMCUを選択した休止形態動作に移行させるために、このﾋﾞｯﾄが設定(1)されなければなりません。休止形態動作の予期せぬ移行を避けるために、SLEEP命令実行直前にSENを書き、起動後直ちに解除(0)することが推奨されます。

8.7. ﾚｼﾞｽﾀ説明 – 電力削減

8.7.1. PRGEN – 一般電力削減ﾚｼﾞｽﾀ (General Power Reduction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	USB	–	AES	EBI	RTC	EVSYS	DMA	PRGEN
Read/Write	R	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6 – USB : USB電力削減** (USB Module)

このﾋﾞｯﾄの設定(1)がUSB単位部へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ5 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – AES : AES電力削減** (AES Module)

このﾋﾞｯﾄの設定(1)がAES単位部へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● **ﾋﾞｯﾄ3 – EBI : 外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ電力削減** (External Bus Interface)

このﾋﾞｯﾄの設定(1)が外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ(EBI)へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。EBIが全てのﾃﾞﾊﾞｲｽに対して存在する訳でないことに注意してください。

● **ﾋﾞｯﾄ2 – RTC : 実時間計数器電力削減** (Real-Time Counter)

このﾋﾞｯﾄの設定(1)が実時間計数器へ周辺機能ｸﾛｯｸをOFFにします。これはﾚｼﾞｽﾀ ｱｸｾｽ、割り込み生成、事象生成が停止されますが、計数器が動き続けることを意味します。

● ﾋﾞｯﾄ1 – EVSYS : 事象ｼｽﾃﾑ電力削減 (Event System)

このﾋﾞｯﾄの設定(1)が事象ｼｽﾃﾑへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、単位部は停止前のように継続(動作)します。

● ﾋﾞｯﾄ0 – DMA : DMA制御器電力削減 (DMA-Controller)

このﾋﾞｯﾄの設定(1)がDMA制御器へのｸﾛｯｸを停止します。このﾋﾞｯﾄはDMA制御器が禁止されている場合にだけ設定(1)できます。

8.7.2. PRPA/B – ﾎﾟｰﾄA/B電力削減ﾚｼﾞｽﾀ (Power Reduction Port A/B register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01,+$02	–	–	–	–	–	DAC	ADC	AC	PRPA,PRPB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: ｱﾅﾛｸﾞ単位部の禁止はｲﾝﾀｰﾌｪｰｽだけでなくｱﾅﾛｸﾞ単位部それら自体へのｸﾛｯｸを停止します。

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – DAC : D/A変換器(DAC)電力削減 (Power Reduction DAC)

このﾋﾞｯﾄの設定(1)がD/A変換器(DAC)へのｸﾛｯｸを停止します。停止される前にDACが禁止されるべきです。

● ﾋﾞｯﾄ1 – ADC : A/D変換器(ADC)電力削減 (Power Reduction ADC)

このﾋﾞｯﾄの設定(1)がA/D変換器(ADC)へのｸﾛｯｸを停止します。停止される前にADCが禁止されるべきです。

● ﾋﾞｯﾄ0 – AC : ｱﾅﾛｸﾞ比較器(AC)電力削減 (Power Reduction AC)

このﾋﾞｯﾄの設定(1)がｱﾅﾛｸﾞ比較器(AC)へのｸﾛｯｸを停止します。停止される前にACが禁止されるべきです。

8.7.3. PRPC/D/E/F – ﾎﾟｰﾄC/D/E/F電力削減ﾚｼﾞｽﾀ (Power Reduction Port C/D/E/F register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03～$06	–	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	PRPC/D/E/F
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ6 – TWI : 2線ｲﾝﾀｰﾌｪｰｽ(TWI)電力削減 (Two-Wire Interface)

このﾋﾞｯﾄの設定(1)が2線ｲﾝﾀｰﾌｪｰｽへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ﾋﾞｯﾄ5 – USART1 : USART1電力削減 (USART1)

このﾋﾞｯﾄの設定(1)がUSART1へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ﾋﾞｯﾄ4 – USART0 : USART0電力削減 (USART0)

このﾋﾞｯﾄの設定(1)がUSART0へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ﾋﾞｯﾄ3 – SPI : 直列周辺ｲﾝﾀｰﾌｪｰｽ(SPI)電力削減 (Serial Peripheral Interface)

このﾋﾞｯﾄの設定(1)がSPIへのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ﾋﾞｯﾄ2 – HIRES : 高分解能拡張電力削減 (Hi-Resolusion Extension)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀに対する高分解能拡張へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ﾋﾞｯﾄ1 – TC1 : ﾀｲﾏ/ｶｳﾝﾀ1(TC1)電力削減 (Timer/Counter 1)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀ1へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、周辺機能は停止前のように継続(動作)します。

● ﾋﾞｯﾄ0 – TC0 : ﾀｲﾏ/ｶｳﾝﾀ0(TC0)電力削減 (Timer/Counter 0)

このﾋﾞｯﾄの設定(1)がﾀｲﾏ/ｶｳﾝﾀ0へのｸﾛｯｸを停止します。このﾋﾞｯﾄが解除(0)されると、周辺機能は停止前のように継続(動作)します。

8.8. ﾚｼﾞｽﾀ要約 – 休止

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	予約	–	–	–	–	–	–	–	–	
+$03	予約	–	–	–	–	–	–	–	–	
+$02	予約	–	–	–	–	–	–	–	–	
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	–	–	–	–	SMODE2~0			SEN	74

8.9. ﾚｼﾞｽﾀ要約 – 電力削減

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	PRPF	–	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	75
+$05	PRPE	–	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	75
+$04	PRPD	–	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	75
+$03	PRPC	–	TWI	USART1	USART0	SPI	HIRES	TC1	TC0	75
+$02	PRPB	–	–	–	–	–	DAC	ADC	AC	75
+$01	PRPA	–	–	–	–	–	DAC	ADC	AC	75
+$00	PRGEN	–	USB	–	AES	EBI	RTC	EVSYS	DMA	74

9. リセット体系

9.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
  - 電源ONリセット
  - 外部リセット
  - ウォッチドッグ リセット
  - 低電圧(Brown-out)リセット
  - PDIリセット
  - ソフトウェア リセット
- 非同期動作
  - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

9.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

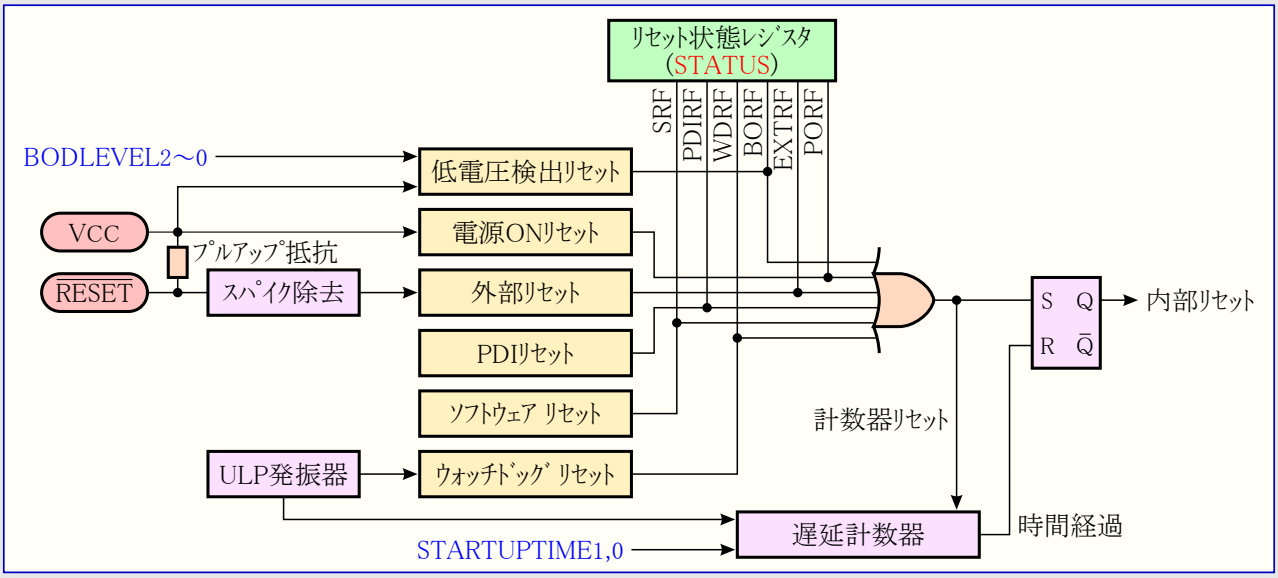
リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

リセット システムの概要は図9-1.で示されます。

図9-1. リセット システム概要



9.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

9.3.1. リセット計数器

リセット計数器は全てのリセット要求が開放された時から設定可能な期間でリセット開放を遅らせることができます。リセット遅延は超低電力(ULP)内部発振器の1kHz出力から計時され、加えて、リセットが開放されるのに先立って24システム クロック(clk_{SYS})周期数が計数されます。リセット遅延はSTARTUPTIMEヒューズ ビットによって設定されます。選択可能な遅延は表9-1.で示されます。

表9-1. リセット遅延

STARTUPTIME1,0	1kHz ULP発振器周期数	推奨使用方法
0 0	64 clk_{ULP} + 24 clk_{SYS}	始動での周波数安定
0 1	4 clk_{ULP} + 24 clk_{SYS}	低速上昇電源
1 0	(予約)	-
1 1	24 clk_{SYS}	高速上昇電源またはBOD許可

リセットが起こると必ず、クロック体系がリセットされ、clk_{SYS}用の供給元として2MHz内部発振器が選ばれます。

9.3.2. 発振器始動

リセット遅延後、2MHz内部RC発振器クロックが開始され、それの校正値が製品識票列から校正レジスタへ自動的に設定されます。

9.4. リセット元

9.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。POR特性データについてはデータシートを調べてください。

図9-2. MCU始動 ($\overline{RESET}$はVCCに接続)

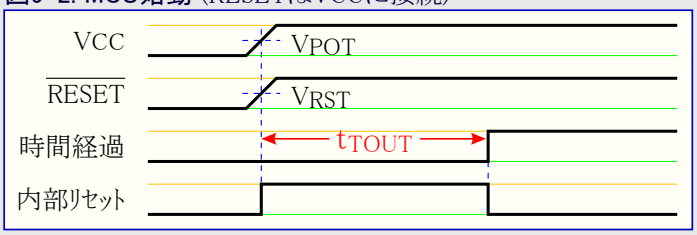
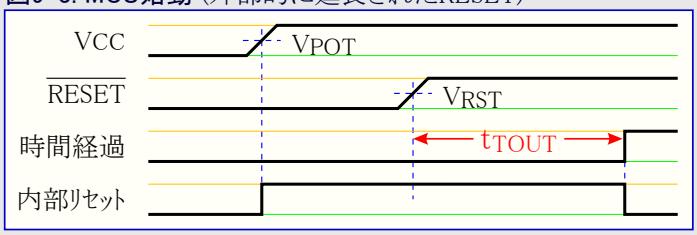


図9-3. MCU始動 (外部的に延長された$\overline{RESET}$)



9.4.2. 低電圧検出(BOD:Brown-Out Detection)

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

BODが許可され、VCCが起動レベル以下の値に下降すると(図9-4.のV_{BOT-})、直ちに低電圧リセットが活性にされます。

VCCが起動レベル以上に上昇すると(図9-4.のV_{BOT+})、リセット計数器は時間経過期間(t_{TOUT})経過後にMCUを始動します。

起動レベルはスパイクなしの低電圧検出を保証するためのヒステリシスを持ちます。検出レベルのヒステリシスは$V_{BOT+}=V_{BOT}+V_{HYST}/2$、$V_{BOT-}=V_{BOT}-V_{HYST}/2$と解釈されるべきです。

BOD回路は電圧がt_{BOD}よりも長い間起動レベル以下に留まる場合だけ、VCCでの低下を検出します。

BOD特性データについてはデバイスのデータシートを調べてください。設定可能なBODLEVEL設定は表9-2.で示されます。

図9-4. 低電圧検出(BOD)リセット

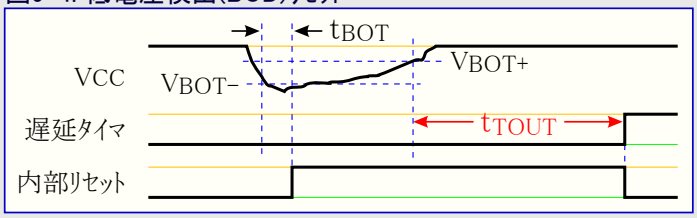


表9-2. 設定可能なBODLEVEL設定

BODレベル番号	0	1	2	3	4	5	6	7
BODLEVEL2~0 ヒューズ (注2)	0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
公称低電圧検出電圧(VBOD) (注1)	3.0V	2.8V	2.6V	2.4V	2.2V	2.0V	1.8V	1.6V

注1: ここの値は公称値だけです。精度と実際の数値についてはデバイスのデータシートを調べてください。

注2: これらのヒューズ ビット変更はプログラミング動作を抜けるまで無効です。

BOD回路は3つの動作形態を持ちます。

- **禁止**: この動作形態ではVCCレベルの監視が全くありません。
- **許可**: この動作形態ではVCCレベルが継続的に監視され、最低t_{BOD}間のV_{BOT}未満へのVCC低下が低電圧(Brown-out)リセットを与えます。
- **採取**: この動作形態ではBOD回路が超低電力(ULP)発振器からの1kHz出力と同じ周期でVCC電圧を採取します。各採取間でBODはOFFされます。この動作種別は許可動作形態に比べて消費電力を減らしますが、1kHz ULP発振器出力の2つの正端間のVCC電圧低下が検出されません。この動作形態で低電圧(Brown-out)が検出された場合、VCCが再びV_{BOT}以上になるまでデバイスがリセットを維持するのを保証するために、BOD回路が許可動作形態に設定されます。

BODACTヒューズが活動動作とアイドル動作に対するBOD設定を決め、一方BODPDヒューズがアイドル動作を除く全ての休止形態動作に対するBOD設定を決めます。

表9-3. BOD設定ヒューズ符号化

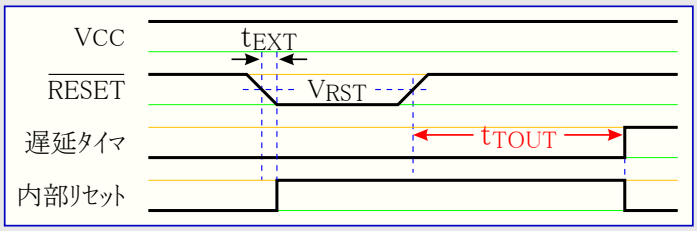
BODACT1,0 / BODPD1,0	内容
0 0	(予約)
0 1	採取動作: 採取動作でBOD許可
1 0	許可動作: 継続的にBOD許可
1 1	禁止動作: BOD禁止

9.4.3. 外部リセット

外部リセット回路は外部$\overline{\text{RESET}}$ピンに接続されています。$\overline{\text{RESET}}$ピンが最小パルス時間t_{EXT}より長く$\overline{\text{RESET}}$ピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセット ピンは内部プルアップ抵抗を内包します。

外部リセット特性データについてはデバイスのデータシートを調べてください。

図9-5. 外部リセット特性

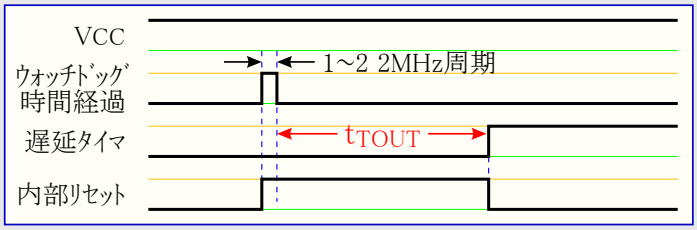


9.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1～2クロック周期の間、活性(有効)です。

WDTの構成設定と使用の情報については86頁の「WDT – ウォッチドッグ タイマ」を参照してください。

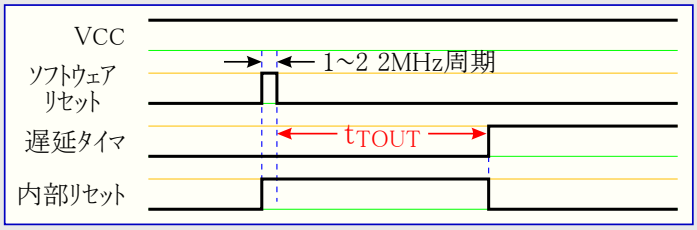
図9-6. ウォッチドッグ リセット



9.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

図9-7. ソフトウェア リセット



9.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

9.5. ﾚｼﾞｽﾀ説明

9.5.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	STATUS
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	–	–	–	–	–	–	–	–	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – SRF : ｿﾌﾄｳｪｱ ﾘｾｯﾄ ﾌﾗｸﾞ** (Software Reset Flag)

このﾌﾗｸﾞはｿﾌﾄｳｪｱ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ4 – PDIRF : ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄ ﾌﾗｸﾞ** (Program and Debug Interface Reset Flag)

このﾌﾗｸﾞはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ3 – WDRF : ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ ﾌﾗｸﾞ** (Watchdog Reset Flag)

このﾌﾗｸﾞはｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ2 – BORF : 低電圧(Brown-out)ﾘｾｯﾄ ﾌﾗｸﾞ** (Brown Out Reset Flag)

このﾌﾗｸﾞは低電圧(Brown Out)ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ1 – EXTRF : 外部ﾘｾｯﾄ ﾌﾗｸﾞ** (External Reset Flag)

このﾌﾗｸﾞは外部ﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞは電源ONﾘｾｯﾄまたはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● **ﾋﾞｯﾄ0 – PORF : 電源ONﾘｾｯﾄ ﾌﾗｸﾞ** (Power On Reset Flag)

このﾌﾗｸﾞは電源ONﾘｾｯﾄが起きた場合に設定(1)されます。このﾌﾗｸﾞへの1書き込みがこのﾋﾞｯﾄ位置を解除(0)します。

9.5.2. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	–	SWRST	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SWRST : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄが設定(1)される時にｿﾌﾄｳｪｱ ﾘｾｯﾄが起こります。このﾋﾞｯﾄはﾘｾｯﾄが発行される時に解除(0)されます。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

9.6. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	CTRL	–	–	–	–	–	–	–	SWRST	80
+$00	STATUS	–	–	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	80

10. 電池代替支援ｼｽﾃﾑ

10.1. 要点

- 主電力停止中の実時間時計継続を保証する統合電池代替支援ｼｽﾃﾑ
- 以下に対する専用VBAT電力ﾋﾟﾝからの電池代替電圧供給
  - 1つの32ﾋﾞｯﾄ実時間計数器
  - 停止検出監視器を持つ1つの32.768kHzｸﾘｽﾀﾙ用超低電力発振器
  - 2つの電池代替支援ﾚｼﾞｽﾀ
- 主電源と電池代替支援電力間の自動電力切替
  - 主電源喪失での主電源から電池代替支援電力への切り替え
  - 主電源回復での電池代替支援電力から主電源への切り替え

10.2. 概要

例え主電源喪失または不足の事態でも、多くの応用は継続的に走行を保つ実時間時計が必要です。電池代替支援ｼｽﾃﾑは主電力と電池代替電源間の自動電力切り換えによるこのための機能を含みます。外部部品は全く必要とされません。図10-1.はこのｼｽﾃﾑの概要を示します。

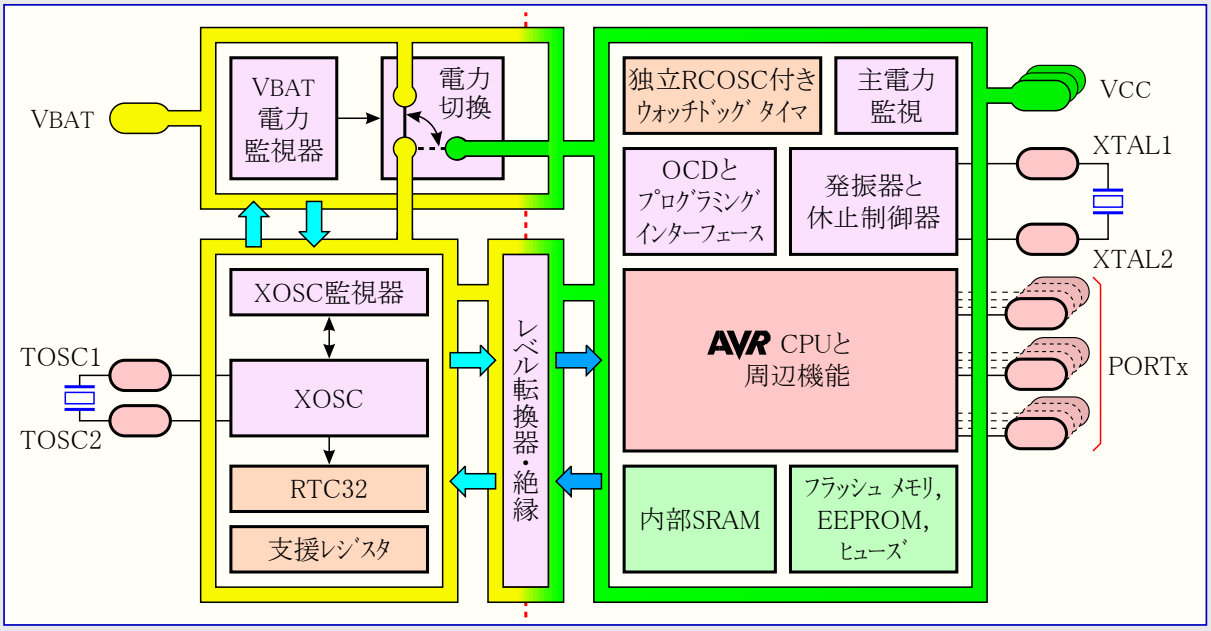
電池代替支援ｼｽﾃﾑを持つﾃﾞﾊﾞｲｽに於いて、代替電池は専用のVBAT電力ﾋﾟﾝへ接続することができます。主電力が失われると、代替電池は実時間計数器(RTC32)、停止検出監視器付き32.768kHzｸﾘｽﾀﾙ用発振器、2つの代替支援ﾚｼﾞｽﾀを続けて給電します。電池代替支援ｼｽﾃﾑはｼｽﾃﾑ外側のSRAMやI/Oﾚｼﾞｽﾀのような、ﾃﾞﾊﾞｲｽ内の他の揮発性ﾒﾓﾘの部分へ電力を提供しません。

ﾃﾞﾊﾞｲｽは主電力喪失を検出してVBATﾋﾟﾝからの電力へ切り替えるのにそれのBODを使います。主電力が回復された後、電池代替支援ｼｽﾃﾑは自動的に再び主電力からの給電に切り換え戻されます。代替電池は主電力が存在しない時にだけ流出され、これは最大電池寿命を保証します。
電池代替支援ｼｽﾃﾑを持つﾃﾞﾊﾞｲｽでは全ての休止形態でRTC32が走行を維持します。

10.3. 電池代替支援ｼｽﾃﾑ

電池代替支援ｼｽﾃﾑはVBAT電力監視器、電力切り替え器、停止監視器付きｸﾘｽﾀﾙ用発振器、32ﾋﾞｯﾄ実時間計数器(RTC32)、2つの代替支援ﾚｼﾞｽﾀから成ります。

図10-1. 電池代替支援単位部とその電力領域実装



10.3.1. 電力監視器

電力監視器はVBATﾋﾟﾝ上の電圧を監視します。これは3つの主な機能を実行します。

電源ON検出(BBPOD)機能はVBATﾋﾟﾝに電力が供給される時、換言すると代替電池が挿入される時を検出します。これが起こると、電池代替電源ON検出ﾌﾗｸﾞ(BBPODF)が設定(1)され、ﾃﾞﾊﾞｲｽが構成設定される前に代替電池が流出されるのを防ぐために電力切り替え器が切断されます。

低電圧検出(BBBOD)機能はｼｽﾃﾑがVBATﾋﾟﾝから給電されている時のVBAT電圧ﾚﾍﾞﾙを監視します。VBAT電圧が閾値電圧以下に落ちると、電池代替低電圧検出ﾌﾗｸﾞ(BBBODF)が設定(1)されます。BBBODは1Hz近辺の速度でVBAT電圧ﾚﾍﾞﾙを採取し、緩やかな電圧変化の検出用に設計されています。BBBODはﾃﾞﾊﾞｲｽが主電力で動く時にOFFにされます。

電力検出(BBPWR)機能はﾘｾｯﾄ後のVBAT電圧を制御します。VBATﾋﾟﾝ上に電圧が全く存在しなければ代替電池電力ﾌﾗｸﾞ(BBPWR)が設定(1)されます。これは代替電池が存在しないか、または流出されてしまっていることを示します。BBPODF,BBBODF,BBPWRのﾌﾗｸﾞは後で電力監視ﾌﾗｸﾞとして参照されます。

10.3.2. 電力切り替え器

電力切り替え器はｼｽﾃﾑに給電するための主電力とVBATﾋﾟﾝ間を切り替えます。これは自動的に起き、ﾃﾞﾊﾞｲｽ内の主BODから制御されます。

10.3.3. 停止監視器付きｸﾘｽﾀﾙ用発振器

ｸﾘｽﾀﾙ用発振器(XOSC)は外部32.768kHzｸﾘｽﾀﾙの接続を支援します。これは1.024kHzまたは1Hzに選択可能な前置分周されたｸﾛｯｸ出力を提供します。ｸﾘｽﾀﾙ用発振器は超低消費電力用に設計され、既定によって低いESRと負荷容量のｸﾘｽﾀﾙ用に構成設定されています。高いESRと負荷容量を持つｸﾘｽﾀﾙを駆動するように高ESR動作形態を許可することが可能ですが、これは消費電流を増します。ｸﾘｽﾀﾙ用発振器停止検出器はｸﾘｽﾀﾙが恒常的または一時的に停止される場合にｸﾘｽﾀﾙ用発振器停止(XOSCFAIL)ﾌﾗｸﾞを設定(1)します。

10.3.4. 32ﾋﾞｯﾄ実時間計数器

32ﾋﾞｯﾄ実時間計数器(RTC32)はｸﾘｽﾀﾙ用発振器からの各ｸﾛｯｸ出力を計数します。これはｸﾘｽﾀﾙ用発振器ｸﾛｯｸ出力選択(XOSCSEL)に依存して1msまたは1sの分解能を提供します。32ﾋﾞｯﾄRTCのより多くの詳細については152頁の「**RTC32 – 32ﾋﾞｯﾄ実時間計数器**」を参照してください。

10.3.5. 代替支援ﾚｼﾞｽﾀ

2つの代替支援ﾚｼﾞｽﾀはVCCが存在しない時に揮発性のﾃﾞｰﾀ ﾊﾟﾗﾒｰﾀを格納するのに使うことができます。

10.4. 構成設定

ﾃﾞﾊﾞｲｽ初期化中、電池代替支援ｼｽﾃﾑとRTC32はそれらは使われ得る前に構成設定されなければなりません。推奨される構成設定手順は次のとおりです。

1. ﾘｾｯﾄを印加してください。
2. ｱｸｾｽ許可(ACCEN)ﾋﾞｯﾄを設定(1)してください。
3. 任意で発振器出力とESR選択を構成設定してください。
4. 任意でｸﾘｽﾀﾙ用発振器停止検出器と構成設定継続前に必要な遅延を許可してください。
5. ｸﾘｽﾀﾙ用発振器を許可してください。
6. ｸﾘｽﾀﾙ用発振器準備可(XOSCRDY)ﾌﾗｸﾞが設定(1)されるまで待ってください。
7. RTC32を構成設定して許可してください。

10.5. 操作

主BODは主電圧(VCC)ﾚﾍﾞﾙを監視して電力切り替えを制御します。これは常に許可されなければなりません。活性とｱｲﾄﾞﾙの動作形態で、BODは継続動作形態でなければなりません。深い休止形態で、BODは継続または採取の動作形態にできます。このｼｽﾃﾑはRTC用の電力代替支援ｼｽﾃﾑとして設計されています。BODと電力喪失以外のﾘｾｯﾄ元(換言すると、外部ﾘｾｯﾄ、ｳｫｯﾁﾄﾞｯｸﾞ ﾘｾｯﾄ、ｿﾌﾄｳｪｱ ﾘｾｯﾄ)はｼｽﾃﾑ ﾘｾｯﾄとして扱われなければなりません。この場合、ﾃﾞﾊﾞｲｽ状態は未知として扱われ、電池代替支援ｼｽﾃﾑの構成設定を含めて完全な再初期化に導かれるべきです。

10.5.1. 主電力喪失

VCCが設定されたBOD閾値電圧以下に落ちると、ﾃﾞﾊﾞｲｽは以下を行います。

1. 電池代替支援ｼｽﾃﾑをVBATﾋﾟﾝからの給電に切り換え、BBBODを許可します。
2. 偶然または部分的な構成設定を避けるため、ｼｽﾃﾑへのどんな入力信号も無視します。
3. 切り替え活動時のｸﾛｯｸ端を避けるため、1Hz/1.024kHzｸﾛｯｸ信号を引き伸ばします。
4. VBATﾋﾟﾝから給電されないﾃﾞﾊﾞｲｽの部分をﾘｾｯﾄします。

電池代替支援ｼｽﾃﾑは電力切り替えとその後の間、通常のように走行を継続します。主電力が失われると、ｱｸｾｽやﾚｼﾞｽﾀからの状態読み込みは不可能です。

10.5.2. 主電力回復と始動手順

主電力回復後の始動毎にｿﾌﾄｳｪｱは以下を行うべきです。

1. PORまたはBORが起きたことを判断するために主ﾘｾｯﾄ元を制御してください。
2. 電池代替電力(BBPWR)ﾌﾗｸﾞを読むことによってVBATﾋﾟﾝの電力を調べてください。
3. 更なるｿﾌﾄｳｪｱ活動を決めるために電力監視器ﾌﾗｸﾞ(BBPWR,BBPODF,BBBODF)を読んでください。
   1. 全ての電力監視器ﾌﾗｸﾞが解除(0)されているなら、電池代替支援ｼｽﾃﾑは通常として動いています。ｿﾌﾄｳｪｱは電池代替支援ｼｽﾃﾑへのｱｸｾｽを許可してｸﾘｽﾀﾙ用発振器停止(XOSCFAIL)ﾌﾗｸﾞを調べてください。このﾌﾗｸﾞが設定(1)されている場合、ｿﾌﾄｳｪｱはRTC32の計数器値が不正と仮定して適切な動きを取るべきです。
   2. 何れかの電力監視器ﾌﾗｸﾞが設定(0)されている場合、ﾃﾞﾊﾞｲｽの残りが給電されない期間の間の或る時に電池代替支援ｼｽﾃﾑが電力を失ったことを示します。ｿﾌﾄｳｪｱは構成設定とRTC32値が不正と仮定して適切な動きを取るべきです。

10.6. ﾚｼﾞｽﾀ説明

10.6.1. CTRL – 電池代替支援制御ﾚｼﾞｽﾀ (Battery Backup Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	HIGHESR	XOSCSEL	XOSCEN	XOSCFDEN	ACCEN	RESET	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – HIGHESR : 高ESR動作形態** (High ESR Mode)

このﾋﾞｯﾄの設定(1)はｸﾘｽﾀﾙを駆動に使われる電流を増し、TOSC2ﾋﾟﾝでの振れを増します。これはより高い負荷とより高いESRを持つｸﾘｽﾀﾙの使用を許します。

● **ﾋﾞｯﾄ4 – XOSCSEL : 32.768kHzｸﾘｽﾀﾙ用発振器出力選択** (32-kHz Crystal Oscillator Output Selection)

このﾋﾞｯﾄは32.768kHzｸﾘｽﾀﾙ用発振器からの前置分周されたｸﾛｯｸ出力を選びます。ﾘｾｯﾄ後、このﾋﾞｯﾄは0で、RTC32の入力として1Hzｸﾛｯｸ出力が使われます。このﾋﾞｯﾄの設定(1)はRTC32の入力として1.024kHzｸﾛｯｸ出力を選びます。このﾋﾞｯﾄはｸﾘｽﾀﾙ用発振器許可(XOSCEN)ﾋﾞｯﾄが設定(1)されている場合に変更できません。

● **ﾋﾞｯﾄ3 – XOSCEN : ｸﾘｽﾀﾙ用発振器許可** (Crystal Oscillator Enable)

このﾋﾞｯﾄの設定(1)は32.768kHzｸﾘｽﾀﾙ用発振器を許可します。このﾋﾞｯﾄの0書き込みは無効です。この発振器は電池代替支援ﾘｾｯﾄが発行されるまで許可に留まります。ｸﾘｽﾀﾙ用発振器は82頁の「**構成設定**」で記述される手順**1～3**を実行した後で32.768kHzｼｽﾃﾑｸﾛｯｸとして使うこともできます。

● **ﾋﾞｯﾄ2 – XOSCFDEN : ｸﾘｽﾀﾙ用発振器停止検出許可** (Crystal Oscillator Failure Detection Enable)

このﾋﾞｯﾄの設定(1)はｸﾘｽﾀﾙ用発振器の監視器を許可します。監視器はｸﾘｽﾀﾙが一時的に停止された、または接続を失ったかを検出します。停止検出が起動される前に最低64振幅が失われなければなりません。このﾋﾞｯﾄの0書き込みは無効で、ｸﾘｽﾀﾙ用発振器の監視器は電池代替支援ﾘｾｯﾄが発行されるまで許可に留まります。

● **ﾋﾞｯﾄ1 – ACCEN : 単位部ｱｸｾｽ許可** (Module Access Enable)

このﾋﾞｯﾄの設定(1)は電池代替支援ﾚｼﾞｽﾀへのｱｸｾｽを許可します。このﾋﾞｯﾄの0書き込みは無効です。主ﾘｾｯﾄ後、このﾋﾞｯﾄは常にｱｸｾｽ可能な電池代替電源ON検出ﾌﾗｸﾞ(BBPODF)、電池代替低電圧検出ﾌﾗｸﾞ(BBBODF)、代替電池電力ﾌﾗｸﾞ(BBPWR)を除き、電池代替支援ﾚｼﾞｽﾀをｱｸｾｽ(読み書き)するために設定(1)されなければなりません。このﾋﾞｯﾄの0書き込みは無効で、ﾃﾞﾊﾞｲｽ ﾘｾｯﾄだけがこのﾋﾞｯﾄを解除(0)します。

● **ﾋﾞｯﾄ0 – RESET : 電池代替支援ﾘｾｯﾄ** (Reset)

このﾋﾞｯﾄの設定(1)は1周辺機能ｸﾛｯｸ周期持続する電池代替支援ｼｽﾃﾑのﾘｾｯﾄを強制します。このﾋﾞｯﾄの0書き込みは無効です。同時にｸﾘｽﾀﾙ用発振器許可(XOSCEN)ﾋﾞｯﾄまたはｸﾘｽﾀﾙ用発振器停止検出許可(XOSCFDEN)ﾋﾞｯﾄへ1を書くことはこのﾋﾞｯﾄへの書き込みを妨げます。このﾋﾞｯﾄが設定(1)されると、HIGHESR,XOSCSEL,XOSCEN,XOSCFDENと電池代替支援状態(STATUS)ﾚｼﾞｽﾀのXOSCRDYが解除(0)されます。

これらのﾋﾞｯﾄは構成設定変更保護機構で保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

10.6.2. STATUS – 電池代替支援状態ﾚｼﾞｽﾀ (Battery Backup Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	BBPWR	–	–	–	XOSCRDY	XOSCFAIL	BBBODF	BBPODF	STATUS
Read/Write	R/W	R	R	R	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	x	x	0	0	

● **ﾋﾞｯﾄ7 – BBPWR : 代替電池電力** (Battery Backup Power)

このﾌﾗｸﾞはﾃﾞﾊﾞｲｽがﾘｾｯﾄを抜け出す時にVBATﾋﾟﾝで電力が全く検出されない場合に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)することができます。

● **ﾋﾞｯﾄ6～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – XOSCRDY : ｸﾘｽﾀﾙ用発振器準備可** (Crystal Oscillator Ready)

このﾌﾗｸﾞは32.768kHzｸﾘｽﾀﾙ用発振器が開始されて安定して使用準備が整った時に設定(1)されます。このﾌﾗｸﾞは電池代替支援ｼｽﾃﾑにﾘｾｯﾄを印加することによって解除(0)することができます。より多くの情報については使われるｸﾘｽﾀﾙ用発振器に関してﾃﾞｰﾀｼｰﾄを参照してください。

● ﾋﾞｯﾄ2 – XOSCFAIL : ｸﾘｽﾀﾙ用発振器停止 (Crystal Oscillator Failure)

このﾌﾗｸﾞはｸﾘｽﾀﾙ用発振器停止が検出された場合に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くこと、または電池代替支援ｼｽﾃﾑへのﾘｾｯﾄ印加によって解除(0)することができます。

● ﾋﾞｯﾄ1 – BBBODF : 電池代替低電圧検出ﾌﾗｸﾞ (Battery Backup Brown-Out Detection Flag)

このﾌﾗｸﾞは電池代替支援ｼｽﾃﾑがVBATﾋﾟﾝから給電されている時に電池代替低電圧検出(BOD)が検出された場合に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)することができます。このﾌﾗｸﾞはBBPWRﾌﾗｸﾞが設定(1)されている時に有効ではありません。

● ﾋﾞｯﾄ0 – BBPODF : 電池代替電源ON検出ﾌﾗｸﾞ (Battery Backup Power-On Detection Flag)

このﾌﾗｸﾞは電池代替電源ONが検出された場合、換言すると電力がVBATに接続された時に設定(1)されます。このﾌﾗｸﾞは主電力が印加されている時のﾃﾞﾊﾞｲｽ始動中にだけ更新されます。主電力が存在する間のVBATﾋﾟﾝへの電力印加または再印加は、主電力が取り去られて再印加されるまでこのﾌﾗｸﾞを変更しません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)することができます。このﾌﾗｸﾞは代替電池電力(BBPWR)ﾌﾗｸﾞが設定(1)されている時に有効ではありません。

10.6.3. BACKUP0 – 代替支援ﾚｼﾞｽﾀ0 (Backup register 0)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	BACKUP07~0								BACKUP0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – BACKUP07~0 : 代替支援ﾚｼﾞｽﾀ0値 (Backup Value 0)

このﾚｼﾞｽﾀは主電力が喪失または取り去られる前にﾃﾞｰﾀを電池代替支援ｼｽﾃﾑに格納するのに使うことができます。

10.6.4. BACKUP1 – 代替支援ﾚｼﾞｽﾀ1 (Backup register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	BACKUP17~0								BACKUP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	x	x	x	x	x	x	x	x	

● ﾋﾞｯﾄ7~0 – BACKUP17~0 : 代替支援ﾚｼﾞｽﾀ1値 (Backup Value 1)

このﾚｼﾞｽﾀは主電力が喪失または取り去られる前にﾃﾞｰﾀを電池代替支援ｼｽﾃﾑに格納するのに使うことができます。

10.7. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	BACKUP1	BACKUP07~0								85
+$02	BACKUP0	BACKUP17~0								85
+$01	STATUS	BBPWR	–	–	–	XOSCRDY	XOSCFAIL	BBBODF	BBPODF	84
+$00	CTRL	–	–	HIGHESR	XOSCSEL	XOSCEN	XOSCFDEN	ACCEN	RESET	84

11. WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ

11.1. 要点

- 計時経過時間前に計時器がﾘｾｯﾄされない場合にﾃﾞﾊﾞｲｽ ﾘｾｯﾄを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための構成設定施錠

11.2. 概要

ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ(WDT)は正しいﾌﾟﾛｸﾞﾗﾑ動作を監視するｼｽﾃﾑ機能です。暴走や停滞ｺｰﾄﾞのような異常状況からの回復を可能にします。WDTはﾀｲﾏで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にﾘｾｯﾄされない場合、WDTはﾏｲｸﾛ ｺﾝﾄﾛｰﾗ ﾘｾｯﾄを発行します。WDTは応用ｺｰﾄﾞからのWDR(Watchdog Timer Reset)命令を実行することによってﾘｾｯﾄされます。

窓動作はWDTがﾘｾｯﾄされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でﾘｾｯﾄされると、ｼｽﾃﾑ ﾘｾｯﾄが発行されます。標準動作に比べ、これはｺｰﾄﾞ異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

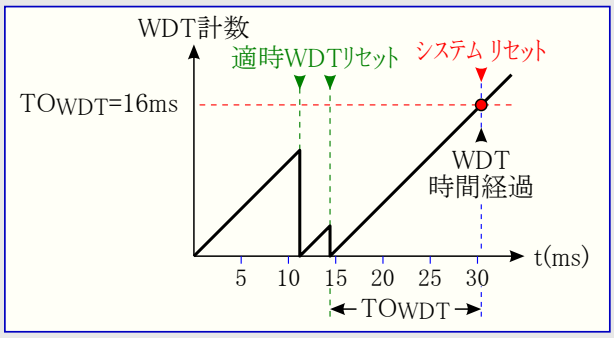
許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なｸﾛｯｸ元で動作し、例え主ｸﾛｯｸが停止したとしても、ｼｽﾃﾑ ﾘｾｯﾄを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのﾋｭｰｽﾞも利用可能です。

11.3. 標準動作

標準動作では単一時間経過周期がWDTに設定されます。時間経過が起きる前にWDTが応用ｺｰﾄﾞからﾘｾｯﾄされなかった場合、WDTはｼｽﾃﾑ ﾘｾｯﾄを発行します。8msから8sまで選択可能な11種の可能なWDT時間経過周期(TO_{WDT})があり、その時間経過周期の何時でもWDTをﾘｾｯﾄできます。新しい時間経過周期はWDR命令によってWDTがﾘｾｯﾄされる毎に開始されます。既定時間経過周期はﾋｭｰｽﾞによって制御されます。標準動作は図11-1.で図解されます。

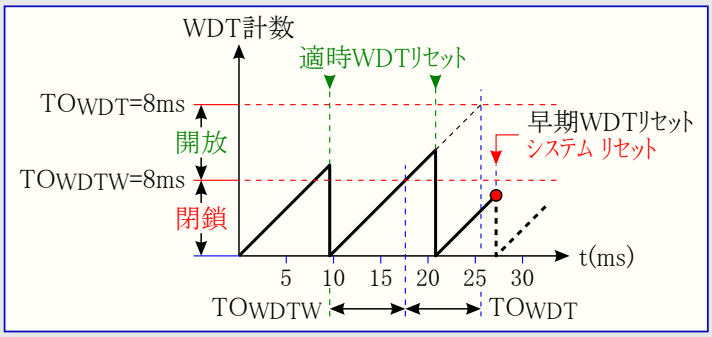
図11-1. 標準動作



11.4. 窓動作

窓動作ではWDTが通常時間経過周期(TO_{WDT})と閉鎖窓時間経過周期(TO_{WDTW})の、2つの異なる時間経過周期を使います。閉鎖窓時間経過周期はWDTをﾘｾｯﾄできない8msから8sまでの幅を定義します。この期間中にWDTがﾘｾｯﾄされた場合、WDTはｼｽﾃﾑ ﾘｾｯﾄを発行します。通常WDT時間経過周期もまた8msから8sでWDTをﾘｾｯﾄできる(すべき)間の開放区間の幅を定義します。開放区間は常に閉鎖区間に続き、故に時間経過周期の総合幅は閉鎖窓と開放窓の時間経過周期の合計です。既定の閉鎖窓時間経過周期はﾋｭｰｽﾞによって制御されます(開放と閉鎖の両方の区間がﾋｭｰｽﾞによって制御されます)。窓動作は図11-2.で図解されます。

図11-2. 窓動作



11.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ｸﾛｯｸ

WDTは32kHz内部超低電力(ULP)発振器からの1kHz出力でｸﾛｯｸ駆動されます。超低電力設計のため、この発振器はかなり正確でなく、故に時間経過周期はﾃﾞﾊﾞｲｽ間で変わるかもしれません。WDTを使うｿﾌﾄｳｪｱを設計するとき、全てのﾃﾞﾊﾞｲｽに対して使う時間経過周期が有効なことを保証するためにこのﾃﾞﾊﾞｲｽ間変化が留意されなければなりません。ULP発振器精度のより多くの情報についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを調べてください。

11.6. 構成設定保護と施錠

WDTはWDTの予期せぬ変更を避けるために2つの安全機構で設計されています。

最初の機構はWDT制御(CTRL)ﾚｼﾞｽﾀの変更に対して時間制限手順を使う構成設定変更保護機構です。加えて、制御ﾚｼﾞｽﾀに書かれる新しい構成設定ついては、そのﾚｼﾞｽﾀの変更許可(CEN)ﾋﾞｯﾄが同時に書かれなければなりません。

2つ目の機構はWDT施錠(WDLOCK)ﾋｭｰｽﾞ設定によって構成設定を施錠します。このﾋｭｰｽﾞが設定(WDLOCK=0)されると、ｳｫｯﾁﾄﾞｯｸﾞ タイマ制御ﾚｼﾞｽﾀは変更できず、従ってWDTはｿﾌﾄｳｪｱから禁止できません。ｼｽﾃﾑ ﾘｾｯﾄ後にWDTは構成設定された動作で再び始めます。WDT施錠ﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されると、窓動作時間経過周期は変更できませんが、窓動作自体は未だ許可または禁止が行えます。

11.7. ﾚｼﾞｽﾀ説明

11.7.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	PER3~0				ENABLE	CEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時は書き込みが禁止されます。初期値のxはﾋｭｰｽﾞ設定に依存します。

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~2 – PER3~0 : 時間経過周期** (Timeout Period)

これらのﾋﾞｯﾄは1kHz超低電力(ULP)発振器周期数としてｳｫｯﾁﾄﾞｯｸﾞ時間経過周期を決めます。窓動作では、これらのﾋﾞｯﾄが開放窓区間を定義します。代表的な各種時間経過周期が**表11-1.**で得られます。これらのﾋﾞｯﾄの初期値は電源ONで格納される、ｳｫｯﾁﾄﾞｯｸﾞ時間経過周期(WDPER)ﾋｭｰｽﾞによって設定されます。

これらのﾋﾞｯﾄを変更するためにｳｫｯﾁﾄﾞｯｸﾞ変更許可(CEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。これらのﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「**構成設定変更保護**」を参照してください。

表11-1. ｳｫｯﾁﾄﾞｯｸﾞ時間経過周期

PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期	PER3~0	群構成設定	代表周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● **ﾋﾞｯﾄ1 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がWDTを許可します。このﾋﾞｯﾄの解除(0)はｳｨｯﾁﾄﾞｯｸﾞ ﾀｲﾏを禁止します。

このﾋﾞｯﾄを変更するにはｳｫｯﾁﾄﾞｯｸﾞ制御(CTRL)ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ変更許可(CEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「**構成設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ0 – CEN : 変更許可** (Change Enable)

このﾋﾞｯﾄはｳｫｯﾁﾄﾞｯｸﾞ制御(CTRL)ﾚｼﾞｽﾀの構成設定変更の可能性を許可します。このﾚｼﾞｽﾀへ新しい値を書く時に、それが実施されるためにその変更と同時に、このﾋﾞｯﾄが1を書かれなければなりません。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「**構成設定変更保護**」を参照してください。

11.7.2. WINCTRL – 窓動作制御ﾚｼﾞｽﾀ (Window Mode Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	WPER3~0				WEN	WCEN	WINCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	x	x	x	x	x	0	

注: 施錠時はWPER3～0の書き込みが禁止されます。初期値のxはﾋｭｰｽﾞ設定に依存します。

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~2 – WPER3~0 : 窓動作時間経過周期** (Watchdog Window Mode Timeout Period)

これらのﾋﾞｯﾄは1kHz超低電力(ULP)発振器周期数として窓動作での閉鎖窓周期を決めます。代表的な各種閉鎖窓周期が**表11-2.**で得られます。これらのﾋﾞｯﾄの初期値はｳｫｯﾁﾄﾞｯｸﾞ窓時間経過周期(WDWPER)ﾋｭｰｽﾞによって設定され、電源ONで格納されます。標準動作ではこれらのﾋﾞｯﾄが使われません。

これらのﾋﾞｯﾄを変更するにはｳｫｯﾁﾄﾞｯｸﾞ窓動作変更許可(WCEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。これらのﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「**構成設定変更保護**」を参照してください。

表11-2. ｳｫｯﾁﾄﾞｯｸﾞ閉鎖窓周期

WPER 3~0	群構成設定	代表周期	WPER 3~0	群構成設定	代表周期	WPER 3~0	群構成設定	代表周期	WPER 3~0	群構成設定	代表周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1 0 0 0	2KCLK	2.0s	1 1 0 0	–	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1 0 0 1	4KCLK	4.0s	1 1 0 1	–	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1 0 1 0	8KCLK	8.0s	1 1 1 0	–	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1 0 1 1	–	(予約)	1 1 1 1	–	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● **ﾋﾞｯﾄ1 – WEN : ｳｫｯﾁﾄﾞｯｸﾞ窓動作許可** (Watchdog Window Mode Enable)

このﾋﾞｯﾄの設定(1)がｳｫｯﾁﾄﾞｯｸﾞ窓動作を許可します。このﾋﾞｯﾄを変更するには窓動作制御(CTRL)ﾚｼﾞｽﾀのｳｫｯﾁﾄﾞｯｸﾞ窓動作変更許可(WCEN)ﾋﾞｯﾄが同時に1を書かれなければなりません。このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「**構成設定変更保護**」を参照してください。

● **ﾋﾞｯﾄ0 – WCEN : ｳｫｯﾁﾄﾞｯｸﾞ窓動作変更許可** (Watchdog Window Mode Change Enable)

このﾋﾞｯﾄは窓動作制御(CTRL)ﾚｼﾞｽﾀの構成設定変更の可能性を許可します。このﾚｼﾞｽﾀへ新しい値を書く時に、それが実施されるためにその変更と同時に、このﾋﾞｯﾄが1を書かれなければなりません。このﾋﾞｯﾄは構成設定変更保護機構によって保護されていますが、WDT施錠ﾋｭｰｽﾞによって保護されません。

11.7.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	–	–	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SYNCBUSY : 同期中ﾌﾗｸﾞ**

このﾌﾗｸﾞはｳｫｯﾁﾄﾞｯｸﾞ制御(CTRL)ﾚｼﾞｽﾀまたは窓動作制御(WINCTRL)ﾚｼﾞｽﾀへの書き込み後に設定(1)され、そのﾃﾞｰﾀはｼｽﾃﾑ ｸﾛｯｸ領域からWDTｸﾛｯｸ領域へ同期化されつつあります。このﾋﾞｯﾄは同期化完了時に自動的に解除(0)されます。この同期化はｳｫｯﾁﾄﾞｯｸﾞ タイマに対してｳｫｯﾁﾄﾞｯｸﾞ許可(ENABLE)ﾋﾞｯﾄが設定(1)されている時にだけ行われます。

11.8. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$02	STATUS	–	–	–	–	–	–	–	SYNCBUSY	89
+$01	WINCTRL	–	–	WPER7～0				WEN	WCEN	88
+$00	CTRL	–	–	PER7～0				ENABLE	CEN	88

12. 割り込みと設定可能な多段割り込み制御器

12.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みﾍﾞｸﾀ
- 設定可能な多段割り込み制御器
  - 段位と割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに従った割り込み優先順化
  - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
  - 低位割り込み内での選択可能なﾗｳﾝﾄﾞ ﾛﾋﾞﾝ優先権の仕組み
  - 重大な機能用の遮蔽不可割り込み
- 応用領域またはﾌﾞｰﾄ ﾛｰﾀﾞ領域に任意選択で配置される割り込みﾍﾞｸﾀ

12.2. 概要

割り込みは周辺機能の状態変化を合図し、これはﾌﾟﾛｸﾞﾗﾑ実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀを指示するように設定され、割り込み処理ﾙｰﾁﾝを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先ﾚﾍﾞﾙを選択できます。割り込みはそれらの段位とそれらのﾍﾞｸﾀ ｱﾄﾞﾚｽに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各ﾚﾍﾞﾙ内では割り込み優先権が割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽから決められ、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、ｼｽﾃﾑの重大な機能に使うことができます。

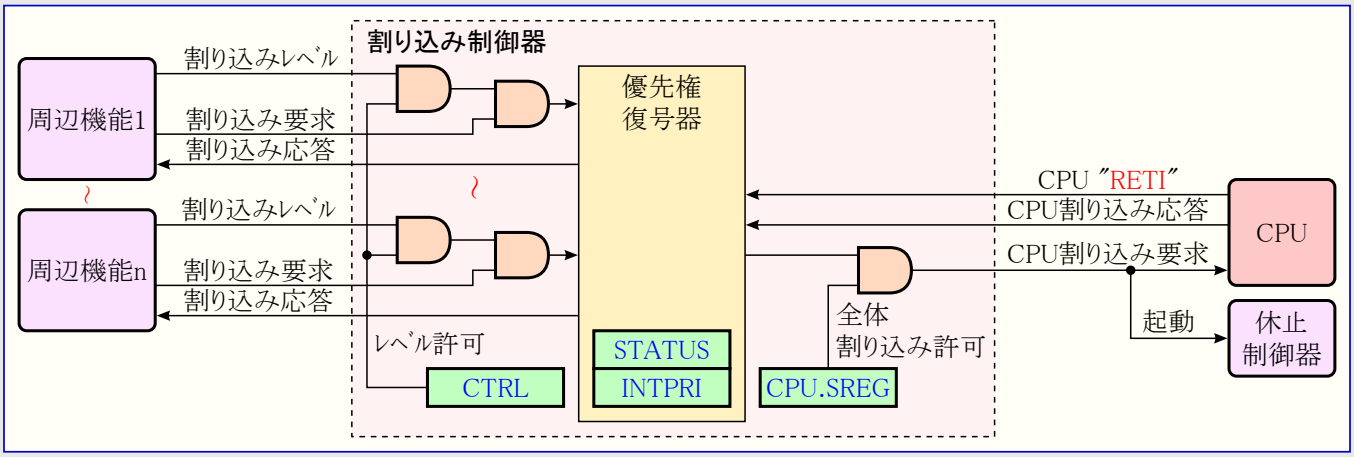
12.3. 動作

割り込みは生成されるべき何れかの割り込みに関して全体的に許可されなければなりません。これはCPUｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)の全体割り込み許可(I)ﾋﾞｯﾄの設定(1)によって行われます。Iﾋﾞｯﾄは割り込み応答時に解除(0)されません。各割り込みﾚﾍﾞﾙも対応するﾚﾍﾞﾙでの割り込みが生成され得る前に許可されなければなりません。

割り込みが許可されて割り込み条件が存在すると、PMICは割り込み要求を受け取ります。割り込みﾚﾍﾞﾙと何れかの実行中割り込みの割り込み優先権に基いて、割り込みは応答されるか、またはそれが優先権を持つまで保留を維持されるかのどちらかです。割り込み要求が応答されると、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀが割り込みﾍﾞｸﾀへの指示に更新されます。割り込みﾍﾞｸﾀは通常、割り込みを扱うｿﾌﾄｳｪｱ ﾙｰﾁﾝである割り込み処理ﾙｰﾁﾝへの無条件分岐命令です。割り込み処理ﾙｰﾁﾝからの復帰後、割り込みが起きた前の場所からﾌﾟﾛｸﾞﾗﾑ実行が継続します。何れかの保留割り込みが扱われる前に、常に1命令が実行されます。

PMIC状態(STATUS)ﾚｼﾞｽﾀは割り込み処理ﾙｰﾁﾝの最後でRETI(割り込みからの復帰)命令が実行される時にPMICが正しい割り込みﾚﾍﾞﾙに戻すのを保証する状態情報を含みます。割り込みからの復帰はPMICを割り込みへ移行する前の状態に戻します。ｽﾃｰﾀｽ ﾚｼﾞｽﾀ(SREG)は割り込み要求で自動的に保存されません。RET(ｻﾌﾞﾙｰﾁﾝからの復帰)命令は、これがPMICを正しい状態に戻せないため、割り込み処理ﾙｰﾁﾝからの復帰時に使えません。

図12-1. 割り込み制御器概要



12.4. 割り込み

全ての割り込みとﾘｾｯﾄ ﾍﾞｸﾀの各々はﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間に独立したﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀ ｱﾄﾞﾚｽを持っています。ﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ空間の最下位ｱﾄﾞﾚｽはﾘｾｯﾄ ﾍﾞｸﾀです。全ての割り込みは割り込みﾚﾍﾞﾙ設定と許可用の個別の制御ﾋﾞｯﾄを割り当てられ、これは割り込みを生成し得る各周辺機能に対する制御ﾚｼﾞｽﾀで設定されます。各割り込みの詳細は割り込みが利用可能な周辺機能で記述されます。

全ての割り込みはそれに関連した割り込み要求ﾌﾗｸﾞを持っています。割り込み条件が存在すると、例え対応する割り込みが許可されていなくても割り込み要求ﾌﾗｸﾞが設定(1)されます。殆どの割り込みについては割り込みﾍﾞｸﾀが実行される時に割り込み要求ﾌﾗｸﾞが自動的に解除(0)されます。割り込み要求ﾌﾗｸﾞへの論理1書き込みもそのﾌﾗｸﾞを解除(0)します。いくつかの割り込み要求ﾌﾗｸﾞは割り込みﾍﾞｸﾀ実行時に解除(0)されず、そのいくつかは関連するﾚｼﾞｽﾀがｱｸｾｽ(読みまたは書き)される時に自動的に解除(0)されます。これは各個別割り込み要求ﾌﾗｸﾞに対して記述されます。

他のより高い優先権の割り込みが実行中または保留中の間に割り込み条件が起きる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが優先権を持つまで記憶されます。対応する割り込みが許可されていない間に割り込み条件が起きる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、その割り込みが許可されるまで記憶されるか、またはｿﾌﾄｳｪｱによってそのﾌﾗｸﾞが解除(0)されます。同様に全体割り込みが禁止(I=0)されている間に1つ以上の割り込み条件が起こる場合、その割り込み要求ﾌﾗｸﾞが設定(1)され、全体割り込みが許可されるまで記憶されます。その後、全ての保留割り込みはそれらの優先順に応じて実行されます。

施錠された領域(例えばﾌﾞｰﾄ施錠ﾋﾞｯﾄがﾌﾟﾛｸﾞﾗﾑ(0)されている時)からｺｰﾄﾞを実行するとき、割り込みが妨げられ得ます。この機能はｿﾌﾄｳｪｱの安全性を改善します。施錠ﾋﾞｯﾄ設定については290頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」を参照してください。

割り込みは正しい識票で構成設定変更保護ﾚｼﾞｽﾀが書かれる時に4CPUｸﾛｯｸ周期間自動的に禁止されます。より多くの詳細については10頁の「構成設定変更保護」を参照してください。

12.4.1. NMI – 遮蔽不可割り込み(Non-Maskable Interrupts)

どの割り込みがNMIを表し、どれが通常の割り込みを表すかは選択できません。遮蔽不可割り込みはそれらが使われ得る前に許可されなければなりません。各ﾃﾞﾊﾞｲｽに存在するNMIについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

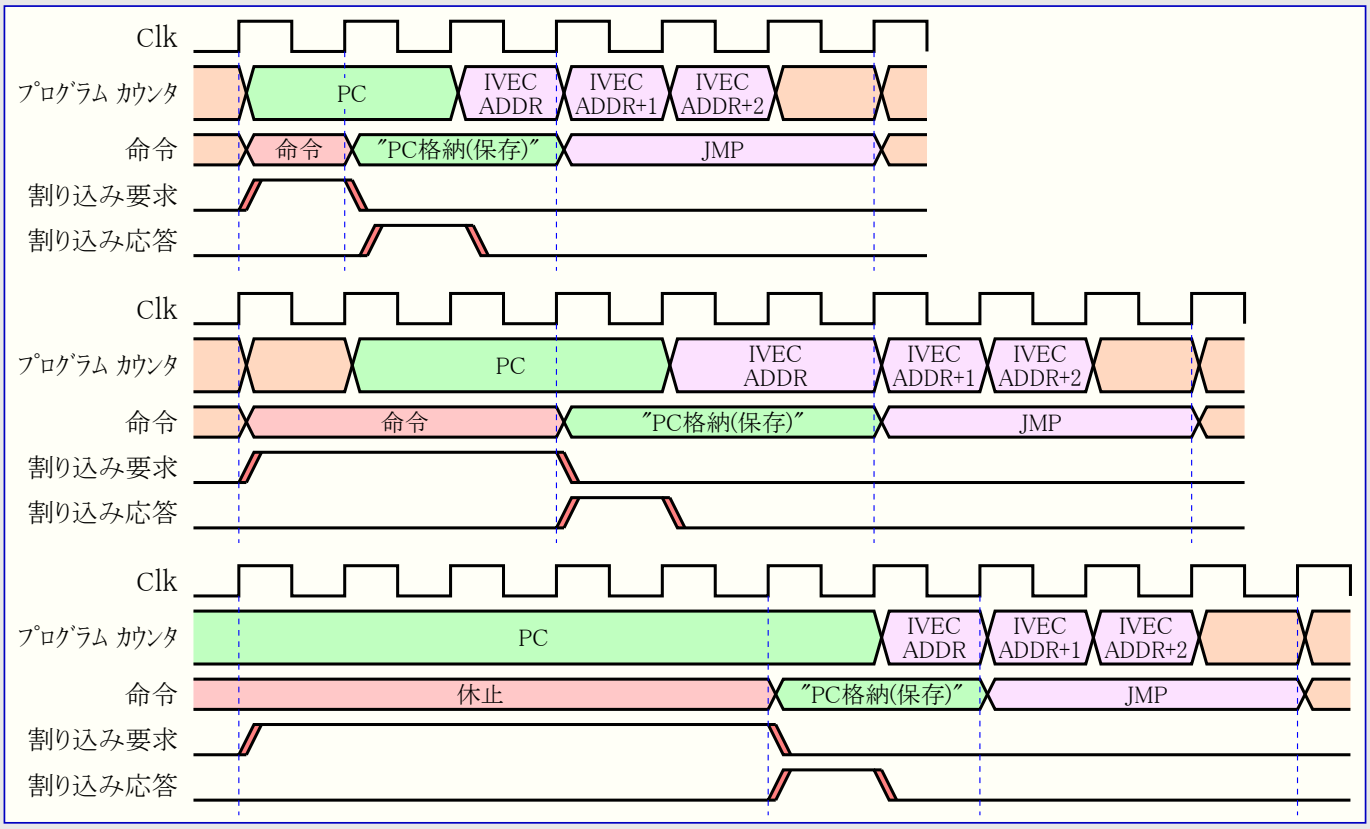
NMIは全体割り込み許可(I)ﾋﾞｯﾄの設定と無関係に実行され、そしてそれは決してIﾋﾞｯﾄを変更しません。他の割り込みはNMI割り込み処理に割り込めません。複数のNMIが同時に要求された場合、それは最低ｱﾄﾞﾚｽが最高優先権を持つ割り込みﾍﾞｸﾀに従う静的な優先権です。

12.4.2. 割り込み応答時間

許可された全ての割り込みに対する割り込み応答時間は、進行中の命令終了に1周期と、ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀをｽﾀｯｸに格納するのに2周期の最小3CPUｸﾛｯｸ周期です。ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがｽﾀｯｸに押し込まれた後、その割り込み対するﾌﾟﾛｸﾞﾗﾑ ﾍﾞｸﾀが実行されます。
割り込み処理部への無条件分岐(JMP)は3ｸﾛｯｸ周期かかります。

複数周期命令の実行の間に割り込みが起きた場合、その割り込みが処理される前にその命令が完了されます。より多くの詳細については図12-2.をご覧ください。

図12-2. 複数周期命令の割り込み実行



ﾃﾞﾊﾞｲｽが休止形態動作の時に割り込みが起きた場合、割り込み応答時間が5ｸﾛｯｸ周期増やされます。加えて応答時間は選択した休止形態動作からの始動時間によって増加されます。

割り込み処理ﾙｰﾁﾝからの復帰はﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀの大きさに依存して4～5ｸﾛｯｸ周期かかります。これらのｸﾛｯｸ周期の間にﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀがｽﾀｯｸから引き出され、ｽﾀｯｸ ﾎﾟｲﾝﾀが増やされます。

12.5. 割り込みﾚﾍﾞﾙ

割り込みﾚﾍﾞﾙは各割り込み元に対して無関係に設定されます。どの割り込み要求についてもPMICがその割り込みに対する割り込みﾚﾍﾞﾙを受け取ります。割り込みﾚﾍﾞﾙと全ての割り込みの割り込みﾚﾍﾞﾙ構成設定に対するそれらの対応するﾋﾞｯﾄ値は表12-1.で示されます。

割り込み要求の割り込みﾚﾍﾞﾙは現在のﾚﾍﾞﾙと割り込み制御器の状態に対して比較されます。より高いﾚﾍﾞﾙの割り込み要求はより低いﾚﾍﾞﾙの割り込みからのどんな実行中の割り込み処理にも割り込みます。高いﾚﾍﾞﾙの割り込み処理からの復帰時、より低いﾚﾍﾞﾙの割り込み処理の実行が継続されます。

表12-1. 割り込みﾚﾍﾞﾙ

割り込みﾚﾍﾞﾙ構成設定	群構成設定	内容
0 0	OFF	割り込み禁止
0 1	LO	低位割り込み
1 0	MED	中位割り込み
1 1	HI	高位割り込み

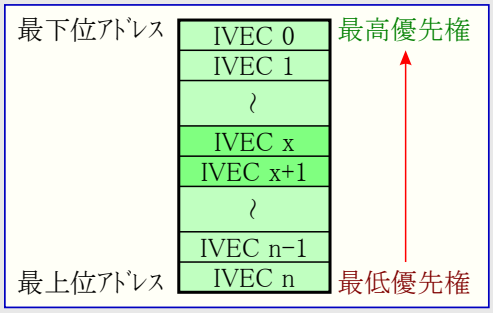
12.6. 割り込み優先権

各割り込みﾚﾍﾞﾙ内では全ての割り込みが優先権を持っています。多くの割り込み要求が保留中のとき、どの順で割り込みが応答されるかはその割り込み要求のﾚﾍﾞﾙと優先権の両方によって決められます。割り込みは静的または動的(ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)な優先権の仕組みに構成することができます。高位及び中位の割り込みとNMIは常に静的な優先権です。低位割り込みについては静的または動的な優先権計画を選択できます。

12.6.1. 静的優先権

割り込みﾍﾞｸﾀ(IVEC)は固定ｱﾄﾞﾚｽに配置されています。静定優先権については、この割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが或る割り込みﾚﾍﾞﾙ内の優先権を決め、それは最下位割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最高優先権を持ちます。割り込み能力を持つ全ての単位部と周辺機能に対する基準ｱﾄﾞﾚｽと割り込みﾍﾞｸﾀ表についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。各種の単位部と周辺機能内のそれらに対応する差分ｱﾄﾞﾚｽと割り込みの一覧については、本手引書の各単位部と周辺機能の割り込みﾍﾞｸﾀ要約を参照してください。

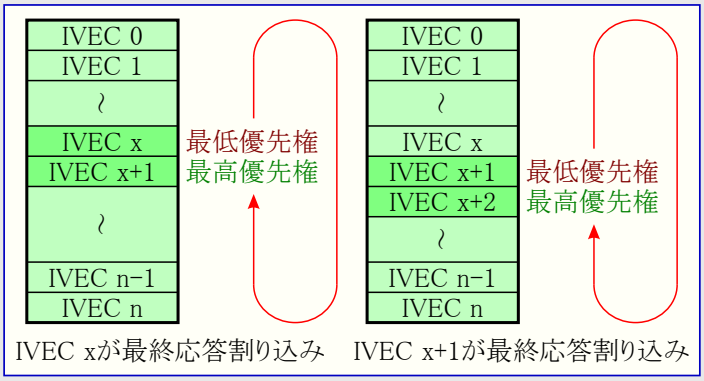
図12-3. 静的優先権



12.6.2. 動的優先権 (ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)

いくつかの割り込みが決して処理されないかもしれない、静的優先権を持つ低位割り込みに対する欠落問題の可能性を避けるため、PMICは低位割り込みに対してﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画を提供します。ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が許可されると、最後に応答された低位割り込みに対する割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽが最低優先権を持ち、次回に低位からの1つ以上の割り込みが要求されます。

図12-4. 動的優先権(ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ)



12.7. 割り込みﾍﾞｸﾀ位置

表12-2.はBOOTRSTと割り込みﾍﾞｸﾀ選択(IVSEL)の設定の様々な組み合わせに対するﾘｾｯﾄと割り込みのﾍﾞｸﾀ配置を示します。ﾌﾟﾛｸﾞﾗﾑが決して割り込み元を許可しないなら、割り込みﾍﾞｸﾀは使われず、これらの位置に通常のﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞを配置することができます。これはﾘｾｯﾄ ﾍﾞｸﾀが応用領域で、一方割り込みﾍﾞｸﾀがﾌﾞｰﾄ領域、またはその逆の場合でもです。

表12-2. ﾘｾｯﾄと割り込みのﾍﾞｸﾀ配置

BOOTRST	IVSEL	ﾘｾｯﾄ ｱﾄﾞﾚｽ	割り込みﾍﾞｸﾀ先頭ｱﾄﾞﾚｽ
非ﾌﾟﾛｸﾞﾗﾑ(1)	0	$0000	$0002
	1	$0000	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ＋$0002
ﾌﾟﾛｸﾞﾗﾑ(0)	0	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ	$0002
	1	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ	ﾌﾞｰﾄ ﾘｾｯﾄ ｱﾄﾞﾚｽ＋$0002

12.8. ﾚｼﾞｽﾀ説明

12.8.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – NMIEX : 遮蔽不可割り込み実行中ﾌﾗｸﾞ** (Non-Maskable Interrupt Executing)

このﾌﾗｸﾞは遮蔽不可割り込みが実行中の場合に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に、解除(0)されます。

● **ﾋﾞｯﾄ6~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – HILVLEX : 高位割り込み実行中ﾌﾗｸﾞ** (High Level Interrupt Executing)

このﾌﾗｸﾞは高位割り込みが実行中、または割り込み処理がNMIによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

● **ﾋﾞｯﾄ1 – MEDLVLEX : 中位割り込み実行中ﾌﾗｸﾞ** (Medium Level Interrupt Executing)

このﾌﾗｸﾞは中位割り込みが実行中、または割り込み処理がNMIまたは高位からの割り込みによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

● **ﾋﾞｯﾄ0 – LOLVLEX : 低位割り込み実行中ﾌﾗｸﾞ** (Low Level Interrupt Executing)

このﾌﾗｸﾞは低位割り込みが実行中、または割り込み処理がNMIまたはより高いﾚﾍﾞﾙからの割り込みによって割り込まれている時に設定(1)されます。このﾌﾗｸﾞは割り込み処理から復帰(RETI)する時に解除(0)されます。

12.8.2. INTPRI – 優先権ﾚｼﾞｽﾀ (Priority register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	INTPRI7~0								INTPRI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INTPRI7~0 : 割り込み優先権** (Interrupt Priority)

ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が許可されている時に、このﾚｼﾞｽﾀは最後に応答された低位割り込みの割り込みﾍﾞｸﾀを格納します。1つ以上の低位割り込みが保留中の次回に、格納された割り込みﾍﾞｸﾀが最低優先権を持ちます。このﾚｼﾞｽﾀは優先順を変更するためにｿﾌﾄｳｪｱからｱｸｾｽ可能です。このﾚｼﾞｽﾀはﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画が禁止された場合にその初期値に再初期化されず、故に既定の静的優先権が必要な場合、ﾚｼﾞｽﾀは0を書かれなければなりません。

12.8.3. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – RREN : ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ許可** (Round-robin Scheduling Enable)

RRENﾋﾞｯﾄが設定(1)されると、ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ計画の仕組みが低位割り込みに対して許可されます。このﾋﾞｯﾄが解除(0)されると、最下位ｱﾄﾞﾚｽが最高優先権を持つ割り込みﾍﾞｸﾀ ｱﾄﾞﾚｽに対応した静的優先権です。

● **ﾋﾞｯﾄ6 – IVSEL : 割り込みﾍﾞｸﾀ選択** (Interrupt Vector Select)

IVSELﾋﾞｯﾄが解除(0)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭの応用領域の先頭に配置されます。このﾋﾞｯﾄが設定(1)されると、割り込みﾍﾞｸﾀはﾌﾗｯｼｭのﾌﾞｰﾄ領域の先頭に置かれます。絶対ｱﾄﾞﾚｽについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

このﾋﾞｯﾄは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

● **ﾋﾞｯﾄ5~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – HILVLEN : 高位割り込み許可** (High Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、高位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、高位割り込み要求は無視されます。

● ﾋﾞｯﾄ1 – MEDLVLEN : 中位割り込み許可 (Medium Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、中位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、中位割り込み要求は無視されます。

● ﾋﾞｯﾄ0 – LOLVLEN : 低位割り込み許可 (Low Level Interrupt Enable) (注)

このﾋﾞｯﾄが設定(1)されると、低位割り込みが許可されます。このﾋﾞｯﾄが解除(0)された場合、低位割り込み要求は無視されます。

注: 割り込み無視はそのﾋﾞｯﾄが解除(0)された後の1周期で実施します。

12.9. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$02	CTRL	RREN	IVSEL	–	–	–	HILVLEN	MEDLVLEN	LOLVLEN	93
+$01	INTPRI	INTPRI7~0								93
+$00	STATUS	NMIEX	–	–	–	–	HILVLEX	MEDLVLEX	LOLVLEX	93

13. 入出力ﾎﾟｰﾄ

13.1. 要点

- 個別構成設定を持つ汎用入出力ﾋﾟﾝ
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
  - ｺﾝﾌﾟﾘﾒﾝﾀﾘ
  - ﾜｲﾔｰﾄﾞAND
  - ﾜｲﾔｰﾄﾞOR
  - ﾊﾞｽ保持
  - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowﾚﾍﾞﾙ感知
- 入力とﾜｲﾔｰﾄﾞOR/AND構成設定での任意選択のﾌﾟﾙｱｯﾌﾟとﾌﾟﾙﾀﾞｳﾝの抵抗
- 任意選択のｽﾘｭｰﾚｰﾄ制御
- 全休止形態からﾃﾞﾊﾞｲｽを起動できる非同期ﾋﾟﾝ変化感知
- 入出力ﾎﾟｰﾄ毎でﾋﾟﾝ遮蔽を持つ2つのﾎﾟｰﾄ割り込み
- ﾎﾟｰﾄ ﾋﾟﾝへの効率的で安全なｱｸｾｽ
  - 専用の切り換え、解除(0)、設定(1)用ﾚｼﾞｽﾀ通すﾊｰﾄﾞｳｪｱ読み-変更-書き
  - 単一操作で複数ﾋﾟﾝの構成設定
  - ﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へﾎﾟｰﾄ ﾚｼﾞｽﾀの割り当て
- ﾎﾟｰﾄ ﾋﾟﾝでの周辺機能ｸﾛｯｸ出力
- ﾎﾟｰﾄ ﾋﾟﾝでの実時間計数器ｸﾛｯｸ出力
- 事象ﾁｬﾈﾙがﾎﾟｰﾄ ﾋﾟﾝで出力可能
- ﾃﾞｼﾞﾀﾙ周辺機能ﾋﾟﾝの再割り当て
  - 選択可能なUSART、SPI、ﾀｲﾏ/ｶｳﾝﾀの入出力ﾋﾟﾝ位置

13.2. 概要

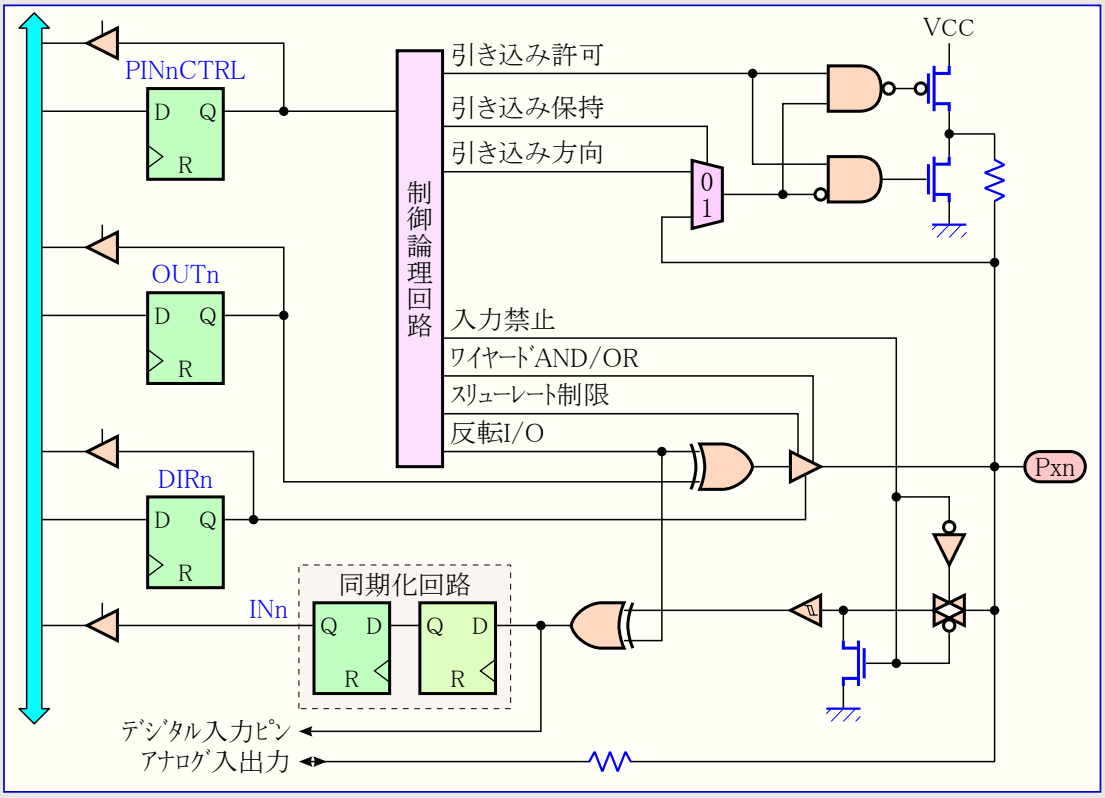
AVR XMEGAﾏｲｸﾛ ｺﾝﾄﾛｰﾗは柔軟な汎用I/Oﾎﾟｰﾄを持ちます。1つのﾎﾟｰﾄはﾋﾟﾝ0～7で最大8つのﾎﾟｰﾄ ﾋﾟﾝから成ります。各ﾎﾟｰﾄ ﾋﾟﾝは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なﾋﾟﾝ変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ﾋﾟﾝ変化感知はｸﾛｯｸが全く動かない形態を含む全ての休止形態からﾋﾟﾝ変化がﾃﾞﾊﾞｲｽを起こせることを意味します。

全ての機能はﾋﾟﾝ毎に個別で構成設定可能ですが、単一操作で多数のﾋﾟﾝを構成設定することができます。ﾋﾟﾝは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのﾊｰﾄﾞｳｪｱ読み-変更-書き(RMW)機能を持ちます。1つのﾎﾟｰﾄ ﾋﾟﾝの方向は他のどのﾋﾟﾝの方向をも予期せず変更することなく変えることができます。

ﾎﾟｰﾄ ﾋﾟﾝ構成設定は他のﾃﾞﾊﾞｲｽ機能の入出力選択も制御します。それはﾎﾟｰﾄ ﾋﾟﾝへの周辺機能ｸﾛｯｸと実時間ｸﾛｯｸの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象ｼｽﾃﾑからの事象に適用されます。応用の必要性に対するﾋﾟﾝ配置の最適化のため、USART、SPI、ﾀｲﾏ/ｶｳﾝﾀのような他のﾃﾞｼﾞﾀﾙ周辺機能は選択可能なﾋﾟﾝ位置に再割り当てすることができます。

図13-1.はI/Oﾋﾟﾝ機能とﾋﾟﾝ制御に対して利用可能なﾚｼﾞｽﾀを示します。

図13-1. 標準I/Oピン機能



13.3. I/Oピンの使い方と構成設定

各ポートはポート ピン制御に使われる1つのデータ方向(DIR)レジスタと1つのデータ出力値(OUT)レジスタを持ちます。データ入力値(IN)レジスタはポート ピンを読むのに使われます。加えて各ピンは付加的なピン形態用のピン構成設定(PINnCTRL)レジスタを持っています。

ピンの方向はDIRレジスタのDIRnビットによって決められます。DIRnが1を書かれた場合、ピンnは出力ピンとして構成設定されます。DIRnが0を書かれた場合、ピンnは入力ピンとして構成設定されます。

方向が出力として設定されると、OUTレジスタのOUTnビットはピンの値を設定するのに使われます。OUTnが1を書かれた場合、ピンnはHighに駆動されます。OUTnが0を書かれた場合、ピンnはLowに駆動されます。

INレジスタはピン値を読むのに使われます。デジタル入力が禁止される場合を除き、ピンが入力または出力のどちらとして構成設定されているかに拘らず、ピン値は常に読むことができます。

I/Oピンは例えクロックが動作していなくてもリセット条件が活性(有効)になるとHi-Zにされます。

ピンn構成設定(PINnCTRL)レジスタは付加的なI/Oピン形態に使われます。ピンはコンプリメンタリ、ワイヤードAND、ワイヤードOR形態に設定できます。ピンに対して反転入出力を許可することも可能です。

コンプリメンタリ出力は、コンプリメンタリ(プッシュプル)、プルダウン、プルアップ、バス保持の4つの可能な引き込み構成設定を持ちます。バス保持は両方向で活性(有効)です。これは出力禁止時の発振を避けるためです。プルアップとプルダウン付きのコンプリメンタリ形態はピンが入力として設定される時にだけ活性(有効)になる抵抗器を持ちます。この機能は不必要な電力消費を無くします。

ワイヤードANDとワイヤードOR形態については、任意選択のプルアップとプルダウン抵抗が入力と出力の両方向で活性(有効)です。

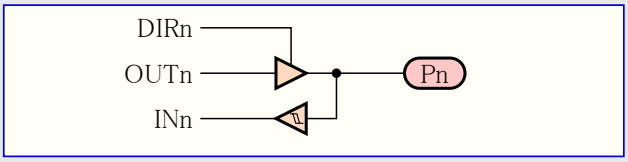
引き込み形態がピン構成設定レジスタを通して構成設定されるため、ピン方向とピン値の切り換え間のポート中間状態が避けられます。

I/Oピン形態は図13-2.～図13-7.での簡単化した回路図で要約されます。

13.3.1. コンプリメンタリ

コンプリメンタリ(プッシュプル)形態では、ピンが対応するデータ出力値(OUT)レジスタ設定に従ってLowまたはHighに駆動されます。この形態ではそのピンが持つ可能な能力以外に吸い込み(シンク)と吐き出し(ソース)に対して何の制限もありません。ピンが入力に構成設定された場合、外部の引き込み(プルアップ/ダウン)抵抗が接続されないなら、そのピンは浮き状態になります。

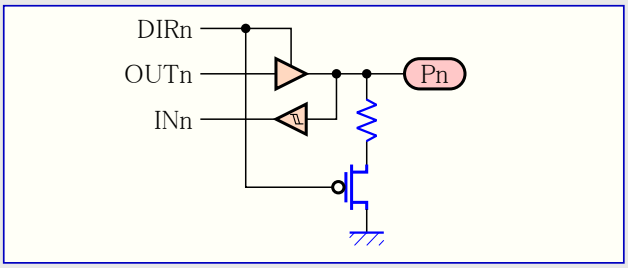
図13-2. I/Oピン形態 – コンプリメンタリ (プッシュプル)



13.3.1.1. ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

この形態では入力として設定される時にﾋﾟﾝが内部ﾌﾟﾙﾀﾞｳﾝ抵抗とで構成設定されるのを除いて、ｺﾝﾌﾟﾘﾒﾝﾀﾘと同様です。

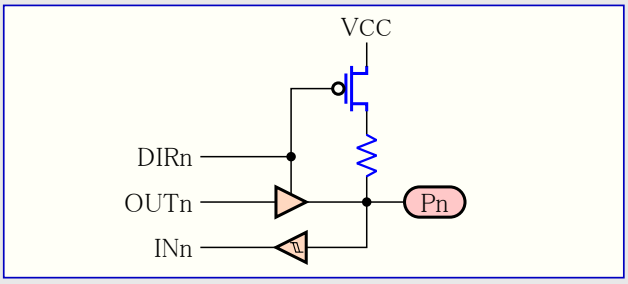
図13-3. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙﾀﾞｳﾝ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



13.3.1.2. ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ

この形態では入力として設定される時にﾋﾟﾝが内部ﾌﾟﾙｱｯﾌﾟとで構成設定されるのを除いて、ｺﾝﾌﾟﾘﾒﾝﾀﾘと同様です。

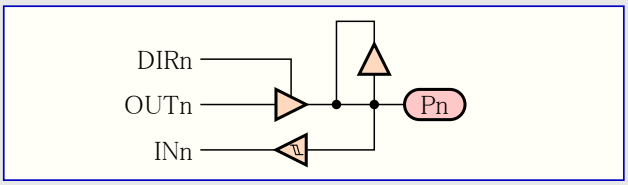
図13-4. I/Oﾋﾟﾝ形態 - 入力ﾌﾟﾙｱｯﾌﾟ付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



13.3.2. ﾊﾞｽ保持

ﾊﾞｽ保持形態ではﾋﾟﾝがもはやHighまたはLowに駆動されない時にその論理ﾚﾍﾞﾙでﾋﾟﾝを保持する弱いﾊﾞｽ保持器を提供します。ﾋﾟﾝ/ﾊﾞｽ上での最後のﾚﾍﾞﾙが1だったなら、ﾊﾞｽ保持構成設定はﾊﾞｽをHighに保持するために内部ﾌﾟﾙｱｯﾌﾟ抵抗を使います。ﾋﾟﾝ/ﾊﾞｽ上での最後のﾚﾍﾞﾙが0だったなら、ﾊﾞｽ保持器はﾊﾞｽをLowに保持するために内部ﾌﾟﾙﾀﾞｳﾝ抵抗を使います。

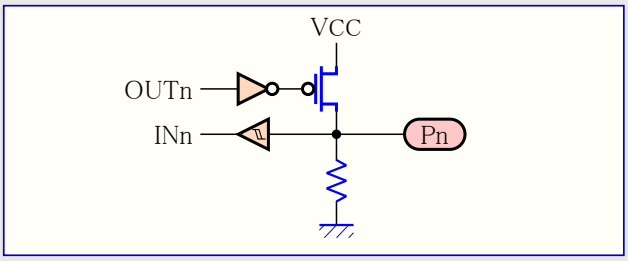
図13-5. I/Oﾋﾟﾝ形態 - ﾊﾞｽ保持付きｺﾝﾌﾟﾘﾒﾝﾀﾘ



13.3.3. ﾜｲﾔｰﾄﾞOR

ﾜｲﾔｰﾄﾞOR構成設定ではﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀとﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀで対応するﾋﾞｯﾄが1を書かれる時にﾋﾟﾝがHighに駆動されます。OUTﾚｼﾞｽﾀが0に設定されると、ﾋﾟﾝは開放され、内部または外部のﾌﾟﾙﾀﾞｳﾝ抵抗でLowに引かれることをﾋﾟﾝに許します。内部ﾌﾟﾙﾀﾞｳﾝが使われる場合、ﾋﾟﾝが入力として設定される場合にもこれは活性(有効)です。

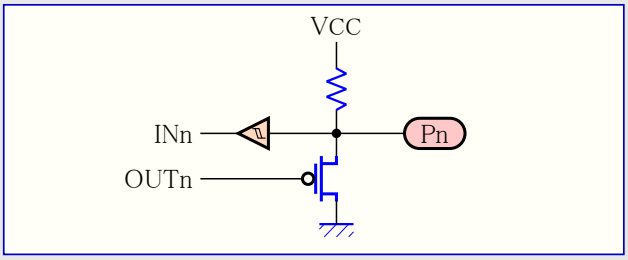
図13-6. 出力形態 - 任意選択ﾌﾟﾙﾀﾞｳﾝ付きﾜｲﾔｰﾄﾞOR



13.3.4. ﾜｲﾔｰﾄﾞAND

ﾜｲﾔｰﾄﾞAND構成設定ではﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀとﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀで対応するﾋﾞｯﾄが0を書かれる時にﾋﾟﾝがLowに駆動されます。OUTﾚｼﾞｽﾀが1に設定されると、ﾋﾟﾝは開放され、内部または外部のﾌﾟﾙｱｯﾌﾟ抵抗でHighに引かれることをﾋﾟﾝに許します。内部ﾌﾟﾙｱｯﾌﾟが使われる場合、ﾋﾟﾝが入力として設定される場合にもこれは活性(有効)です。

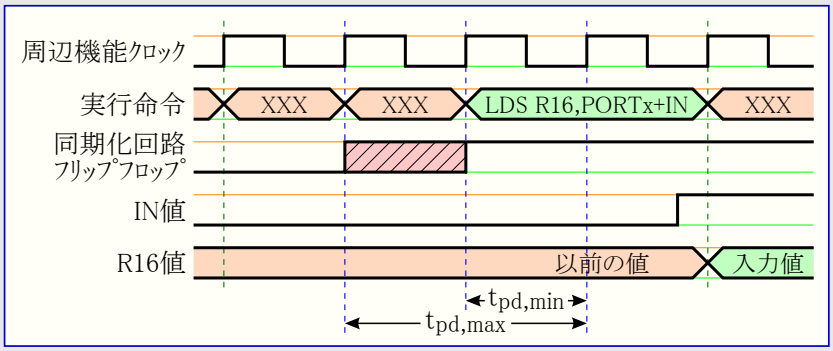
図13-7. 出力形態 - 任意選択ﾌﾟﾙｱｯﾌﾟ付きﾜｲﾔｰﾄﾞAND



13.4. ﾋﾟﾝ値の読み方

ﾋﾟﾝのﾃﾞｰﾀ方向と無関係に、ﾋﾟﾝ値は96頁の図13-1.で示されるように、ﾃﾞｰﾀ入力値(IN)ﾚｼﾞｽﾀから読むことができます。ﾃﾞｼﾞﾀﾙ入力が禁止される場合、ﾋﾟﾝ値は読めません。INﾚｼﾞｽﾀ ﾋﾞｯﾄと先行するﾌﾘｯﾌﾟ ﾌﾛｯﾌﾟが同期化回路を構成します。同期化回路は内部信号線での遅延を生じます。図13-8.は外部的に印加されたﾋﾟﾝ値を読む時の同期化ﾀｲﾐﾝｸﾞ構成図を示します。最大と最小の伝播遅延は各々$t_{pd,max}$と$t_{pd,min}$として記されます。

図13-8. 外部的に印加されたﾋﾟﾝ値を読む時の同期化

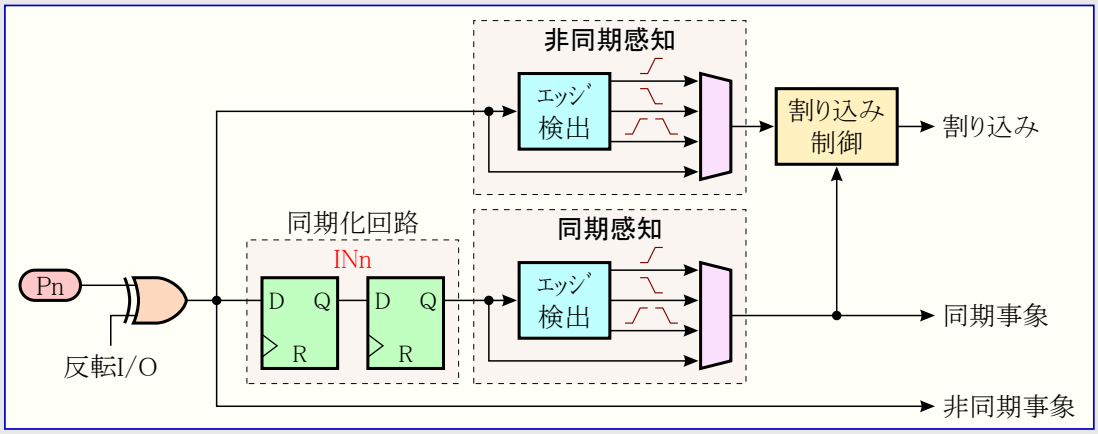


13.5. 入力感知構成設定

入力感知はI/Oﾋﾟﾝ入力でのｴｯｼﾞまたはﾚﾍﾞﾙの検出に使われます。各ﾋﾟﾝに対して利用可能な各種検知条件は上昇端、下降端、両端の検出、またはLowﾚﾍﾞﾙの検出です。Highﾚﾍﾞﾙは反転入力構成設定を使うことによって検出することができます。入力感知はﾋﾟﾝでの変化があった時に割り込み要求(IREQ)または事象を起動することができます。

I/Oﾋﾟﾝは同期と非同期の入力感知を支援します。同期感知は周辺機能ｸﾛｯｸの存在を必要とし、一方非同期感知はどのｸﾛｯｸも必要としません。

図13-9. 入力感知



13.6. ﾎﾟｰﾄ割り込み

各ﾎﾟｰﾄは2つの割り込みﾍﾞｸﾀを持ち、各割り込みを起動するﾎﾟｰﾄのﾋﾟﾝが構成設定可能です。ﾎﾟｰﾄ割り込みはそれらが使われる前に許可されなければなりません。どの感知形態が割り込み生成に使えるかは、選択したﾋﾟﾝに対して同期と非同期の入力感知のどちらが利用可能かに依存します。

同期感知については、全ての感知形態が割り込み生成に使えます。ｴｯｼﾞ検出に対しては、割り込み要求が生成されるために、変更されたﾋﾟﾝ値が周辺機能ｸﾛｯｸによって1度採取されなければなりません。

非同期感知については、各ﾎﾟｰﾄのﾎﾟｰﾄ ﾋﾟﾝ2だけが完全な非同期感知支援を持ちます。これはｴｯｼﾞ検出に関してﾋﾟﾝ2がどのｴｯｼﾞもﾗｯﾁして検出し、常に割り込み要求を起動することを意味します。他のﾎﾟｰﾄ ﾋﾟﾝは制限された非同期感知支援を持ちます。これはｴｯｼﾞ検出に関して、ﾃﾞﾊﾞｲｽ起動してｸﾛｯｸが存在するまで、変更された値が保持されなければならないことを意味します。ﾃﾞﾊﾞｲｽの起動時間が終わる前にﾋﾟﾝ値が戻る場合、ﾃﾞﾊﾞｲｽは起動したままですが、割り込み要求は生成されません。

Lowﾚﾍﾞﾙは周辺機能ｸﾛｯｸが存在するか否かに拘らず全てのﾋﾟﾝで常に検出できます。ﾋﾟﾝがLowﾚﾍﾞﾙ感知に構成設定された場合、そのﾋﾟﾝがLowを保持している限り、割り込みを起動します。活動動作に於いては、割り込みを生成するために現在実行中の命令の完了までLowﾚﾍﾞﾙが保たれなければなりません。全ての休止形態動作に於いて、割り込みを生成するためにﾃﾞﾊﾞｲｽ起動時間の終りまでLowﾚﾍﾞﾙが保持されなければなりません。起動時間の終了前にLow ﾚﾍﾞﾙが消滅した場合、ﾃﾞﾊﾞｲｽは起動したままですが、割り込み要求は生成されません。

表13-1.、表13-2.、表13-3.は様々な入力感知形態に対して割り込みが起動され得る時を要約します。

表13-1. 同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

表13-2. 完全な非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

表13-3. 制限された非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	無	-
下降端	無	-
両端	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。
Lowﾚﾍﾞﾙ	有	起動中、ﾋﾟﾝ値は無変化を維持されなければなりません。

13.7. ﾎﾟｰﾄ事象

ﾎﾟｰﾄ ﾋﾟﾝはそれらがﾋﾟﾝで変化する時に事象を生成できます。感知構成設定は各ﾋﾟﾝに対して事象を生成する条件を決めます。事象生成は周辺機能ｸﾛｯｸの存在を必要とし、非同期事象生成は不可能です。ｴｯｼﾞ感知については、生成されるべき事象に対して変更されたﾋﾟﾝ値が周辺機能ｸﾛｯｸによって1度採取されなければなりません。

ﾚﾍﾞﾙ感知に関して、Lowﾚﾍﾞﾙのﾋﾟﾝ値は事象を生成せず、Highのﾋﾟﾝ値は継続的に事象を生成します。Lowﾚﾍﾞﾙで生成されるべき事象については、ﾋﾟﾝ構成設定が反転I/Oに設定されなければなりません。

表13-4. 事象感知支援

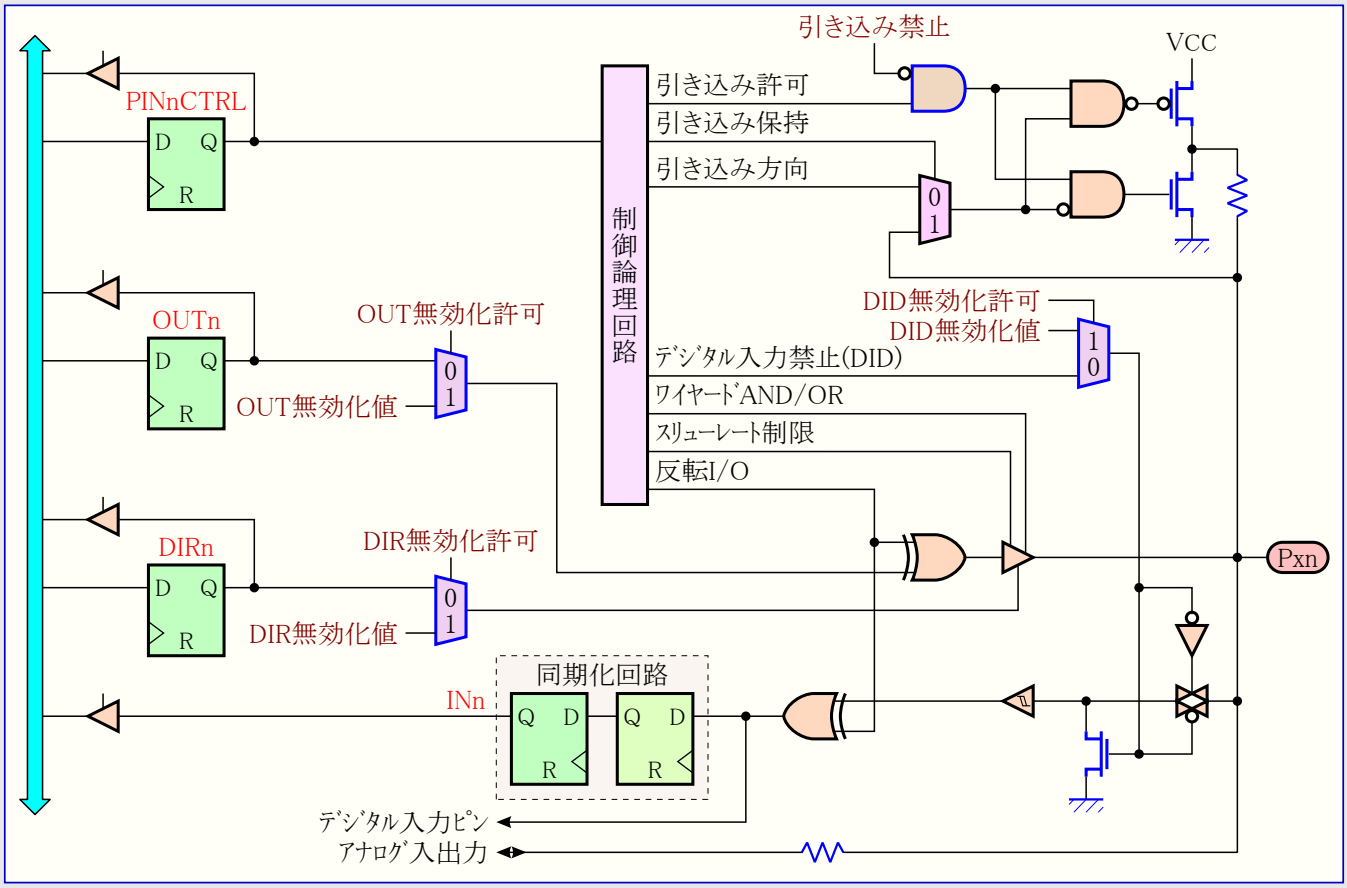
感知設定	合図事象	ﾃﾞｰﾀ事象
上昇端	上昇端	ﾋﾟﾝ値
下降端	下降端	ﾋﾟﾝ値
両端	何れか端	ﾋﾟﾝ値
Lowﾚﾍﾞﾙ	ﾋﾟﾝ値	ﾋﾟﾝ値

13.8. ﾎﾟｰﾄ機能交換

殆どのﾎﾟｰﾄ ﾋﾟﾝは汎用I/Oﾋﾟﾝであることに加えて交換ﾋﾟﾝ機能を持ちます。機能交換が許可されると、それは通常ﾎﾟｰﾄ ﾋﾟﾝ機能またはﾋﾟﾝ値を無効にするかもしれません。これは他の周辺機能で必要とするﾋﾟﾝが許可または使うﾋﾟﾝに構成設定される時に起きます。周辺機能がどう無効にして、ﾋﾟﾝをどう使うかはその周辺機能に関する章で記述されます。

ﾎﾟｰﾄ無効化信号と関連する論理回路(暗背景青枠、訳注:原書は灰色)が図13-10.で示されます。この信号はｿﾌﾄｳｪｱからｱｸｾｽ不能で、無効化する周辺機能とﾎﾟｰﾄ ﾋﾟﾝ間の内部信号です。

図13-10. ﾎﾟｰﾄ無効化信号と関連論理回路



13.9. ｽﾘｭｰﾚｰﾄ制御

ｽﾘｭｰﾚｰﾄ制御は各I/Oﾋﾟﾝに対して個別に許可できます。ｽﾘｭｰﾚｰﾄ制限器の許可は動作条件と負荷に依存して代表的に50～150%で上昇/下降時間を増加します。ｽﾘｭｰﾚｰﾄ制限器の特性についての情報に関してはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

13.10. ｸﾛｯｸと事象の出力

周辺機能ｸﾛｯｸと(事象制御(EVCTRL)ﾚｼﾞｽﾀを使って)事象ﾁｬﾈﾙのどれをもﾎﾟｰﾄ ﾋﾟﾝに出力することが可能です。これはｸﾛｯｸ、制御、そして外部の機能とﾊｰﾄﾞｳｪｱを内部ﾃﾞﾊﾞｲｽ ﾀｲﾐﾝｸﾞと同期するのに使うことができます。出力ﾎﾟｰﾄ ﾋﾟﾝは選択可能です。事象が起きた場合、その事象が継続する限り、そのﾎﾟｰﾄ ﾋﾟﾝで見ることができ、通常1周辺機能ｸﾛｯｸ周期です。

13.11. 複数ﾋﾟﾝ構成設定

複数ﾋﾟﾝ構成設定機能は、ﾎﾟｰﾄ ﾋﾟﾝ構成設定ﾚｼﾞｽﾀのの1つだけへの単一書き込み操作を用いて、複数ﾎﾟｰﾄ ﾋﾟﾝの構成設定に使うことができます。複数ﾋﾟﾝ全体構成設定許可(MPCMASK)ﾚｼﾞｽﾀは或るﾎﾟｰﾄ ﾋﾟﾝ ﾚｼﾞｽﾀが書かれる時にどのﾎﾟｰﾄ ﾋﾟﾝが構成設定されるかを決め、同時に同じ書き込み操作中に同じ方法で多数のﾋﾟﾝの書き込みを避けます。

13.12. 仮想ﾎﾟｰﾄ

仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀはﾋﾞｯﾄ ｱｸｾｽ可能なI/Oﾒﾓﾘ空間へ仮想的に割り当てられることをﾎﾟｰﾄ ﾚｼﾞｽﾀに許します。これが行われると、仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀへの書き込みは現実のﾎﾟｰﾄ ﾚｼﾞｽﾀへの書き込みと同じです。これは通常、拡張I/Oﾒﾓﾘ空間に属するﾎﾟｰﾄ ﾚｼﾞｽﾀで、ﾋﾞｯﾄ操作命令のようなI/Oﾒﾓﾘ特定命令の使用を許します。4つの仮想ﾎﾟｰﾄがあり、故に同時に4ﾎﾟｰﾄを割り当てることができます。

13.13. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ

13.13.1. DIR – ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ (Data Direction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向** (Data Direction)

このﾚｼﾞｽﾀはﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ方向を設定します。DIRnが1を書かれるなら、ﾋﾟﾝnは出力ﾋﾟﾝとして構成設定されます。DIRnが0を書かれるなら、ﾋﾟﾝnは入力ﾋﾟﾝとして構成設定されます。

13.13.2. DIRSET – ﾃﾞｰﾀ方向設定ﾚｼﾞｽﾀ (Data Direction Set register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	DIRSET7~0								DIRSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRSET7~0 : ﾃﾞｰﾀ方向設定** (Port Data Direction Set)

このﾚｼﾞｽﾀは出力として個別ﾋﾟﾝを設定するための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを設定(1)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

13.13.3. DIRCLR – ﾃﾞｰﾀ方向解除ﾚｼﾞｽﾀ (Data Direction Clear register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DIRCLR7~0								DIRCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRCLR7~0 : ﾃﾞｰﾀ方向解除** (Port Data Direction Clear)

このﾚｼﾞｽﾀは入力として個別ﾋﾟﾝを設定するための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを解除(0)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

13.13.4. DIRTGL – ﾃﾞｰﾀ方向交互切換ﾚｼﾞｽﾀ (Data Direction Toggle register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DIRTGL7~0								DIRTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIRTGL7~0 : ﾃﾞｰﾀ方向交互切換** (Port Data Direction Toggle)

このﾚｼﾞｽﾀは個別ﾋﾟﾝの方向を交互切り換えするための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを切り換え(反転)します。このﾚｼﾞｽﾀの読み込みはDIRﾚｼﾞｽﾀ値を返します。

13.13.5. OUT – ﾃﾞｰﾀ出力値ﾚｼﾞｽﾀ (Data Output Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUT7~0 : ﾃﾞｰﾀ出力値** (Port Data Output Value)

このﾚｼﾞｽﾀはﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ出力値を設定します。OUTnが1を書かれるなら、ﾋﾟﾝnはHighを駆動します。OUTnが0を書かれるなら、ﾋﾟﾝnはLowを駆動します。この設定が何らかの効果を持つにはﾋﾟﾝ方向が出力として設定されなければなりません。

13.13.6. OUTSET – ﾃﾞｰﾀ出力値設定ﾚｼﾞｽﾀ (Data Output Value Set register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	OUTSET7~0								OUTSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUTSET7~0 : ﾃﾞｰﾀ出力値設定** (Data Output Value Set)

このﾚｼﾞｽﾀは個別ﾋﾟﾝの出力値を1に設定するための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを設定(1)します。このﾚｼﾞｽﾀの読み込みはOUTﾚｼﾞｽﾀ値を返します。

13.13.7. OUTCLR – ﾃﾞｰﾀ出力値解除ﾚｼﾞｽﾀ (Data Output Value Clear register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	OUTCLR7~0								OUTCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUTCLR7~0 : ﾃﾞｰﾀ出力値解除** (Data Output Value Clear)

このﾚｼﾞｽﾀは個別ﾋﾟﾝの出力値を0に設定するための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを解除(0)します。このﾚｼﾞｽﾀの読み込みはOUTﾚｼﾞｽﾀ値を返します。

13.13.8. OUTTGL – ﾃﾞｰﾀ出力値交互切換ﾚｼﾞｽﾀ (Data Output Value Toggle register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	OUTTGL7~0								OUTTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUTTGL7~0 : ﾃﾞｰﾀ出力値交互切換** (Port Data Output Value Toggle)

このﾚｼﾞｽﾀは個別ﾋﾟﾝで出力値を交互切り換えするための読み-変更-書きの代わりに使えます。ﾋﾞｯﾄへの1書き込みがﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀの対応ﾋﾞｯﾄを切り換え(反転)します。このﾚｼﾞｽﾀの読み込みはOUTﾚｼﾞｽﾀ値を返します。

13.13.9. IN – ﾃﾞｰﾀ入力値ﾚｼﾞｽﾀ (Data Input Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7~0 – IN7~0 : ﾃﾞｰﾀ入力値** (Data Input Value)

このﾚｼﾞｽﾀはﾃﾞｼﾞﾀﾙ入力緩衝部が許可されている場合のﾋﾟﾝに存在する値を示します。INnはﾎﾟｰﾄのﾋﾟﾝ値を示します。ﾃﾞｼﾞﾀﾙ入力緩衝部が禁止されている場合、入力が採取されず、読むことができません。

13.13.10. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	INT1LVL1,0		INT0LVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2/1,0 – INTnLVL1,0 : 割り込みnﾚﾍﾞﾙ** (Interrupt n Level)

これらのﾋﾞｯﾄはﾎﾟｰﾄ割り込みnを許可して、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。

13.13.11. INT0MASK – 割り込み0許可ﾚｼﾞｽﾀ (Interrupt 0 Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	INT0MASK7~0								INT0MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INT0MASK7~0 : 割り込み0許可** (Interrput 0 Mask Bits)

これらのﾋﾞｯﾄはﾎﾟｰﾄ割り込み0に対する供給元としてどのﾋﾟﾝを使うかの許可/遮蔽に使われます。INT0MASKnが1を書かれるなら、ﾋﾟﾝnはﾎﾟｰﾄ割り込み0に対する供給元として使われます。各ﾋﾟﾝに対する入力感知形態はﾋﾟﾝn構成設定(PINnCTRL)ﾚｼﾞｽﾀによって決められます。

13.13.12. INT1MASK – 割り込み1許可ﾚｼﾞｽﾀ (Interrupt 1 Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	INT1MASK7~0								INT1MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – INT1MASK7~0 : 割り込み1許可** (Interrput 1 Mask Bits)

これらのﾋﾞｯﾄはﾎﾟｰﾄ割り込み1に対する供給元としてどのﾋﾟﾝを使うかの許可/遮蔽に使われます。INT1MASKnが1を書かれるなら、ﾋﾟﾝnはﾎﾟｰﾄ割り込み1に対する供給元として使われます。各ﾋﾟﾝに対する入力感知形態はﾋﾟﾝn構成設定(PINnCTRL)ﾚｼﾞｽﾀによって決められます。

13.13.13. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – INTnIF : 割り込みn要求ﾌﾗｸﾞ** (Interrput n Flag)

ﾋﾟﾝがﾎﾟｰﾄ割り込みnに対する供給元として設定され、且つﾋﾟﾝの変化/状態が入力感知構成設定と一致する時にINTnIFﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞのﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。割り込みの許可と実行については割り込みﾚﾍﾞﾙ記述を参照してください。

13.13.14. REMAP – ﾋﾟﾝ再割り当てﾚｼﾞｽﾀ (Pin Remap register)

ﾋﾟﾝ再割り当て機能はﾎﾟｰﾄC～Fでだけ利用可能です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E	–	–	SPI	USART0	TC0D	TC0C	TC0B	TC0A	REMAP
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – SPI : SPI再割り当て** (SPI Remap)

このﾋﾞｯﾄの1設定はUSARTがSPI主装置として動作する時にSPIとUSART間のﾋﾟﾝ互換を持つようにSCKとMISIﾋﾟﾝのﾋﾟﾝ位置を入れ換えます。

● **ﾋﾞｯﾄ4 – USART0 : USART0再割り当て** (USART0 Remap)

このﾋﾞｯﾄの1設定はUSART0のﾋﾟﾝ位置をPx3～0からPx7～4に移します。

● **ﾋﾞｯﾄ3 – TC0D : ﾀｲﾏ/ｶｳﾝﾀ0比較出力D再割り当て** (Timer/Counter 0 Output Compare D)

このﾋﾞｯﾄの設定(1)はOC0Dの位置をPx3からPx7に移します。

● **ﾋﾞｯﾄ2 – TC0C : ﾀｲﾏ/ｶｳﾝﾀ0比較出力C再割り当て** (Timer/Counter 0 Output Compare C)

このﾋﾞｯﾄの設定(1)はOC0Cの位置をPx2からPx6に移します。

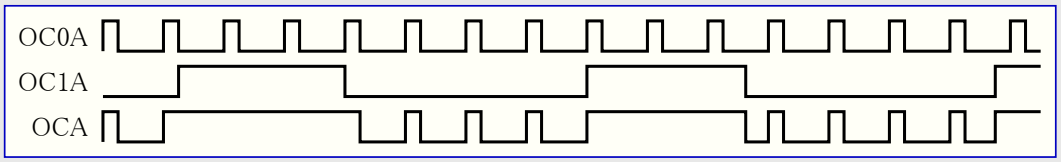
● **ﾋﾞｯﾄ1 – TC0B : ﾀｲﾏ/ｶｳﾝﾀ0比較出力B再割り当て** (Timer/Counter 0 Output Compare B)

このﾋﾞｯﾄの設定(1)はOC0Bの位置をPx1からPx5に移します。このﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。

● **ﾋﾞｯﾄ0 – TC0A : ﾀｲﾏ/ｶｳﾝﾀ0比較出力A再割り当て** (Timer/Counter 0 Output Compare B)

このﾋﾞｯﾄの設定(1)はOC0Aの位置をPx0からPx4に移します。このﾋﾞｯﾄが設定(1)され、ﾀｲﾏ/ｶｳﾝﾀ0とﾀｲﾏ/ｶｳﾝﾀ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。図13-11.をご覧ください。

図13-11. PWM合成出力



13.13.15. PINnCTRL – ﾋﾟﾝn構成設定ﾚｼﾞｽﾀ (Pin n Configuration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$10+n	SRLEN	INVEN	OPC2~0			ISC2~0			PINnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SRLEN : ｽﾘｭｰﾚｰﾄ制限許可** (Slew Rate Limit Enable)

このﾋﾞｯﾄの設定(1)がﾋﾟﾝnのｽﾘｭｰﾚｰﾄ制限を許可します。

● **ﾋﾞｯﾄ6 – INVEN : 反転I/O許可** (Inverted I/O Enable)

このﾋﾞｯﾄの設定(1)がﾋﾟﾝnの入力ﾃﾞｰﾀと出力ﾃﾞｰﾀの反転を許可します。

● **ﾋﾞｯﾄ5~3 – OPC2~0 : 出力/引き込み構成設定** (Output and Pull Configuration)

これらのﾋﾞｯﾄは表13-5.に従ってﾋﾟﾝnの出力/引き込み形態を設定します。

表13-5. 出力/引き込み形態

OPC2~0	群構成設定	内容	
		出力形態	引き込み形態
0 0 0	TOTEM	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	(なし)
0 0 1	BUSKEEPER	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	ﾊﾞｽ保持
0 1 0	PULLDOWN	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	入力でのﾌﾟﾙﾀﾞｳﾝ
0 1 1	PULLUP	ｺﾝﾌﾟﾘﾒﾝﾀﾘ	入力でのﾌﾟﾙｱｯﾌﾟ
1 0 0	WIREDOR	ﾜｲﾔｰﾄﾞOR	(なし)
1 0 1	WIREDAND	ﾜｲﾔｰﾄﾞAND	(なし)
1 1 0	WIREDORPULL	ﾜｲﾔｰﾄﾞOR	ﾌﾟﾙﾀﾞｳﾝ
1 1 1	WIREDANDPULL	ﾜｲﾔｰﾄﾞAND	ﾌﾟﾙｱｯﾌﾟ

● **ﾋﾞｯﾄ2~0 – ISC2~0 : 入力/感知構成設定** (Input/Sense Configuration)

これらのﾋﾞｯﾄは表13-6.に従ってﾋﾟﾝn入力と感知の形態を設定します。感知形態はﾋﾟﾝがﾎﾟｰﾄ割り込みと事象をどう起動し得るかを決めます。入力緩衝部が禁止されていると、入力は入力値(IN)ﾚｼﾞｽﾀで読むことができません。

表13-6. 入力/感知形態

ISC2~0	群構成設定	内容
0 0 0	BOTHEDGES	両端感知
0 0 1	RISING	上昇端感知
0 1 0	FALLING	下降端感知
0 1 1	LEVEL	Lowﾚﾍﾞﾙ感知 (注1)
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	INPUT_DISABLE	ﾃﾞｼﾞﾀﾙ入力緩衝部禁止 (注2)

注1: Lowﾚﾍﾞﾙのﾋﾟﾝ値は事象を生成せず、Highﾚﾍﾞﾙのﾋﾟﾝ値が継続的な事象を生成します。

注2: ﾎﾟｰﾄA～Fだけが入力緩衝部禁止任意選択を支援します。ﾋﾟﾝがA/D変換器(ADC)やｱﾅﾛｸﾞ比較器(AC)のようなｱﾅﾛｸﾞ機能に使われる場合、ﾋﾟﾝをINPUT_DISABLEに構成設定することが推奨されます。

13.14. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ構成設定

13.14.1. MPCMASK – 複数ﾋﾟﾝ構成設定許可ﾚｼﾞｽﾀ (Multi-pin Configuration Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	MPCMASK7~0								MPCMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – MPCMASK7~0 : 複数ﾋﾟﾝ構成設定許可** (Multi-pin Configuration Mask)

MPCMASKﾚｼﾞｽﾀは同時に構成設定されるべきﾎﾟｰﾄの多数のﾋﾟﾝを許可します。ﾋﾞｯﾄへの1書き込みはﾋﾟﾝnを複数ﾋﾟﾝ構成設定の一部にします。MPCMASKﾚｼﾞｽﾀの1つ以上のﾋﾞｯﾄが設定(1)されると、ﾋﾟﾝn構成設定(PINnCTRL)ﾚｼﾞｽﾀの何れかの書き込みはそのﾎﾟｰﾄに対してMPCMASKﾚｼﾞｽﾀ内の遮蔽に一致するPINnCTRLだけを更新します。MPCMASKﾚｼﾞｽﾀはPINnCTRLﾚｼﾞｽﾀのどれかが書かれた後で自動的に解除(=0)されます。

13.14.2. VPCTRLA – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀA (Virtual Port-map Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	VP1MAP3~0				VP0MAP3~0				VPCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – VP1MAP3~0 : 仮想ﾎﾟｰﾄ1割り当て** (Virtual Port 1 Mapping)

これらのﾋﾞｯﾄは仮想ﾎﾟｰﾄ1にどのﾎﾟｰﾄが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求ﾌﾗｸﾞ(INTFLAGS)のﾚｼﾞｽﾀが割り当てられます。仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀのｱｸｾｽは実際のﾎﾟｰﾄ ﾚｼﾞｽﾀ ｱｸｾｽと等価です。構成設定については表13-6.をご覧ください。

● **ﾋﾞｯﾄ3~0 – VP0MAP3~0 : 仮想ﾎﾟｰﾄ0割り当て** (Virtual Port 0 Mapping)

これらのﾋﾞｯﾄは仮想ﾎﾟｰﾄ0にどのﾎﾟｰﾄが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求ﾌﾗｸﾞ(INTFLAGS)のﾚｼﾞｽﾀが割り当てられます。仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀのｱｸｾｽは実際のﾎﾟｰﾄ ﾚｼﾞｽﾀ ｱｸｾｽと等価です。構成設定については表13-6.をご覧ください。

13.14.3. VPCTRLB – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀB (Virtual Port-map Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	VP3MAP3~0				VP2MAP3~0				VPCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – VP3MAP3~0 : 仮想ﾎﾟｰﾄ3割り当て** (Virtual Port 3 Mapping)

これらのﾋﾞｯﾄは仮想ﾎﾟｰﾄ3にどのﾎﾟｰﾄが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求ﾌﾗｸﾞ(INTFLAGS)のﾚｼﾞｽﾀが割り当てられます。仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀのｱｸｾｽは実際のﾎﾟｰﾄ ﾚｼﾞｽﾀ ｱｸｾｽと等価です。構成設定については表13-6.をご覧ください。

● **ﾋﾞｯﾄ3~0 – VP2MAP3~0 : 仮想ﾎﾟｰﾄ2割り当て** (Virtual Port 2 Mapping)

これらのﾋﾞｯﾄは仮想ﾎﾟｰﾄ2にどのﾎﾟｰﾄが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求ﾌﾗｸﾞ(INTFLAGS)のﾚｼﾞｽﾀが割り当てられます。仮想ﾎﾟｰﾄ ﾚｼﾞｽﾀのｱｸｾｽは実際のﾎﾟｰﾄ ﾚｼﾞｽﾀ ｱｸｾｽと等価です。構成設定については表13-7.をご覧ください。

表13-7. 仮想ﾎﾟｰﾄ割り当て

VPnMAP3~0	群構成設定	内容	VPnMAP3~0	群構成設定	内容
0 0 0 0	PORTA	ﾎﾟｰﾄAを仮想ﾎﾟｰﾄnに割り当て	1 0 0 0	PORTJ	ﾎﾟｰﾄJを仮想ﾎﾟｰﾄnに割り当て
0 0 0 1	PORTB	ﾎﾟｰﾄBを仮想ﾎﾟｰﾄnに割り当て	1 0 0 1	PORTK	ﾎﾟｰﾄKを仮想ﾎﾟｰﾄnに割り当て
0 0 1 0	PORTC	ﾎﾟｰﾄCを仮想ﾎﾟｰﾄnに割り当て	1 0 1 0	PORTL	ﾎﾟｰﾄLを仮想ﾎﾟｰﾄnに割り当て
0 0 1 1	PORTD	ﾎﾟｰﾄDを仮想ﾎﾟｰﾄnに割り当て	1 0 1 1	PORTM	ﾎﾟｰﾄMを仮想ﾎﾟｰﾄnに割り当て
0 1 0 0	PORTE	ﾎﾟｰﾄEを仮想ﾎﾟｰﾄnに割り当て	1 1 0 0	PORTN	ﾎﾟｰﾄNを仮想ﾎﾟｰﾄnに割り当て
0 1 0 1	PORTF	ﾎﾟｰﾄFを仮想ﾎﾟｰﾄnに割り当て	1 1 0 1	PORTP	ﾎﾟｰﾄPを仮想ﾎﾟｰﾄnに割り当て
0 1 1 0	PORTG	ﾎﾟｰﾄGを仮想ﾎﾟｰﾄnに割り当て	1 1 1 0	PORTQ	ﾎﾟｰﾄQを仮想ﾎﾟｰﾄnに割り当て
0 1 1 1	PORTH	ﾎﾟｰﾄHを仮想ﾎﾟｰﾄnに割り当て	1 1 1 1	PORTR	ﾎﾟｰﾄRを仮想ﾎﾟｰﾄnに割り当て

13.14.4. CLKEVOUT – ｸﾛｯｸ/事象出力ﾚｼﾞｽﾀ (Clock and Event Out register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CLKEVPIN	RTCOUT	EVOUT1,0		CLKOUTSEL1,0		CLKOUT1,0		CLKEVOUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CLKEVPIN : ｸﾛｯｸと事象出力ﾋﾟﾝ選択** (Clock and Event Output Pin Select)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄのﾋﾟﾝ7の代わりにﾎﾟｰﾄのﾋﾟﾝ4でのｸﾛｯｸと事象ﾋﾟﾝの出力を許可します。

● **ﾋﾞｯﾄ6 – RTCOUT : RTCｸﾛｯｸ出力許可** (RTC Clock Output Enable)

このﾋﾞｯﾄの設定(1)はﾎﾟｰﾄCのﾋﾟﾝ6でのRTCｸﾛｯｸ元の出力を許可します。

● **ﾋﾞｯﾄ5,4 – EVOUT1,0 : 事象出力ﾎﾟｰﾄ** (Event Output Port)

これらのﾋﾞｯﾄは事象ｼｽﾃﾑからの事象ﾁｬﾈﾙがどのﾎﾟｰﾄに出力されるべきかを決めます。選択されたﾎﾟｰﾄのﾋﾟﾝ7が既定で使われ、ｸﾛｯｸ出力ﾎﾟｰﾄ(CLKOUT)ﾋﾞｯﾄはEVOUTのそれらと違うように設定されなければなければなりません。ﾋﾟﾝで利用可能にすべき事象のために、ﾎﾟｰﾄ ﾋﾟﾝは出力として構成設定されなければなりません。

表13-8.が可能な形態を示します。

表13-8. 事象ﾁｬﾈﾙ出力構成設定

EVOUT1,0	群構成設定	内容
0 0	OFF	事象出力禁止
0 1	PC	ﾎﾟｰﾄCでの事象ﾁｬﾈﾙ出力
1 0	PD	ﾎﾟｰﾄDでの事象ﾁｬﾈﾙ出力
1 1	PE	ﾎﾟｰﾄEでの事象ﾁｬﾈﾙ出力

● **ﾋﾞｯﾄ3,2 – CLKOUTSEL1,0 : ｸﾛｯｸ出力選択** (Clock Output Select)

これらのﾋﾞｯﾄはｸﾛｯｸ出力ﾎﾟｰﾄ(CLKOUT)が構成設定された場合に、どの周辺機能ｸﾛｯｸがﾎﾟｰﾄ ﾋﾟﾝへ出力されるかの選択に使われます。

表13-9. 周辺機能ｸﾛｯｸ出力選択

CLKOUTSEL1,0	群構成設定	内容
0 0	CLK1X	ﾋﾟﾝへclk_{PER}出力
0 1	CLK2X	ﾋﾟﾝへclk_{PER2}出力
1 0	CLK4X	ﾋﾟﾝへclk_{PER4}出力
1 1	–	(予約)

● **ﾋﾞｯﾄ1,0 – CLKOUT1,0 : ｸﾛｯｸ出力ﾎﾟｰﾄ** (Clock Output Port)

これらのﾋﾞｯﾄは周辺機能ｸﾛｯｸがどのﾎﾟｰﾄに出力されるべきかを決めます。選択されたﾎﾟｰﾄのﾋﾟﾝ7が既定で使われます。CLK OUT設定はEVOUT設定を無効にします。従って、両方が同じﾎﾟｰﾄ ﾋﾟﾝで許可される場合、周辺機能ｸﾛｯｸが見えます。ﾋﾟﾝで利用可能にすべきｸﾛｯｸのために、ﾎﾟｰﾄ ﾋﾟﾝは出力ﾋﾟﾝとして構成設定されなければなりません。

表13-10.が可能な形態を示します。

表13-10. ｸﾛｯｸ出力構成設定

CLKOUT1,0	群構成設定	内容
0 0	OFF	ｸﾛｯｸ出力禁止
0 1	PC	ﾎﾟｰﾄCでのｸﾛｯｸ出力
1 0	PD	ﾎﾟｰﾄDでのｸﾛｯｸ出力
1 1	PE	ﾎﾟｰﾄEでのｸﾛｯｸ出力

13.14.5. EBIOUT – EBI出力ﾚｼﾞｽﾀ (EBI Output register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	–	–	EBIADROUT1,0		EBICSOUT1,0		EBIOUT
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – EBIADROUT1,0 : EBIｱﾄﾞﾚｽ出力** (EBI Address Output)

外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ(EBI)の最大構成設定は最大32の専用ﾋﾟﾝが必要です。24のEBIﾋﾟﾝだけが利用可能なﾃﾞﾊﾞｲｽについては、完全な32ﾋﾟﾝEBIを得るために8つの追加ﾋﾟﾝを許可して交換ﾋﾟﾝ位置に配置することができます。ﾎﾟｰﾄ ﾋﾟﾝはﾋﾟﾝで利用可能な信号に対して、出力として構成設定されなければなりません。これらのﾋﾞｯﾄは3つのEBIｲﾝﾀｰﾌｪｰｽ専用ﾎﾟｰﾄだけを持つﾃﾞﾊﾞｲｽで利用可能です。この選択はEBIが4ﾎﾟｰﾄ形態での動作に構成設定されている場合にだけ有効です。

表13-11. EBIｱﾄﾞﾚｽ出力ﾎﾟｰﾄ選択

EBIADROUT1,0	群構成設定	内容	SDRAM	SRAM、SRAM LPC (CS3でのSDRAMとの)	SRAM ALEなし、ALE1
0 0	PF	ﾎﾟｰﾄFのﾋﾟﾝ0～7でのEBIﾎﾟｰﾄ3ｱﾄﾞﾚｽ出力	4'h0,A11～8	A23～16	A15～8
0 1	PE	ﾎﾟｰﾄEのﾋﾟﾝ0～7でのEBIﾎﾟｰﾄ3ｱﾄﾞﾚｽ出力			
1 0	PFH	ﾎﾟｰﾄFのﾋﾟﾝ4～7でのEBIﾎﾟｰﾄ3ｱﾄﾞﾚｽ出力	A11～8	A19～16	–
1 1	PEH	ﾎﾟｰﾄEのﾋﾟﾝ4～7でのEBIﾎﾟｰﾄ3ｱﾄﾞﾚｽ出力			

(訳注) 原書での表13-11.と表13-12.は本書で表13-11.として纏めました。

● ﾋﾞｯﾄ1,0 – EBICSOUT1,0 : EBIﾁｯﾌﾟ選択出力 (EBI Chip Select Output)

これらのﾋﾞｯﾄはEBIﾁｯﾌﾟ選択信号がどのﾎﾟｰﾄに出力されるかを決めます。ﾋﾟﾝ上で利用可能な信号に対してﾋﾟﾝは出力ﾋﾟﾝとして構成設定されなければなりません。ﾁｯﾌﾟ選択構成設定については236頁の「ﾚｼﾞｽﾀ説明 – EBI ﾁｯﾌﾟ選択」を参照してください。

表13-13. EBIﾁｯﾌﾟ選択ﾎﾟｰﾄ選択

EBICSOUT1,0	群構成設定	内容
0 0	PH	ﾎﾟｰﾄHのﾋﾟﾝ4～7でのEBIﾁｯﾌﾟ選択出力
0 1	PL	ﾎﾟｰﾄLのﾋﾟﾝ4～7でのEBIﾁｯﾌﾟ選択出力
1 0	PF	ﾎﾟｰﾄFのﾋﾟﾝ4～7でのEBIﾁｯﾌﾟ選択出力
1 1	PE	ﾎﾟｰﾄEのﾋﾟﾝ4～7でのEBIﾁｯﾌﾟ選択出力

13.14.6. EVCTRL – 事象制御ﾚｼﾞｽﾀ (Event Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	–	EVOUTSEL2~0			EVCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – EVCTRL2~0 : 事象ﾁｬﾈﾙ出力選択 (Event Channel Output Selection)

これらのﾋﾞｯﾄは事象ｼｽﾃﾑからのどのﾁｬﾈﾙがﾎﾟｰﾄﾋﾟﾝに出力されるかを定義します。表13-14.は利用可能な選択を示します。

表13-14. 事象ﾁｬﾈﾙ出力選択

EVOUTSEL2~0	群構成設定	内容
0 0 0	0	ﾋﾟﾝへ事象ﾁｬﾈﾙ0出力
0 0 1	1	ﾋﾟﾝへ事象ﾁｬﾈﾙ1出力
0 1 0	2	ﾋﾟﾝへ事象ﾁｬﾈﾙ2出力
0 1 1	3	ﾋﾟﾝへ事象ﾁｬﾈﾙ3出力
1 0 0	4	ﾋﾟﾝへ事象ﾁｬﾈﾙ4出力
1 0 1	5	ﾋﾟﾝへ事象ﾁｬﾈﾙ5出力
1 1 0	6	ﾋﾟﾝへ事象ﾁｬﾈﾙ6出力
1 1 1	7	ﾋﾟﾝへ事象ﾁｬﾈﾙ7出力

13.15. ﾚｼﾞｽﾀ説明 – 仮想ﾎﾟｰﾄ

13.15.1. DIR – ﾃﾞｰﾀ方向ﾚｼﾞｽﾀ (Data Direction register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DIR7~0								DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DIR7~0 : ﾃﾞｰﾀ方向** (Data Direction)

このﾚｼﾞｽﾀはVPCTRLA – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀAまたはVPCTRLB – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀBによって割り当てされたﾎﾟｰﾄ内の個別ﾋﾟﾝに対するﾃﾞｰﾀ方向を設定します。ﾎﾟｰﾄが仮想として割り当てられたとき、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ方向(DIR)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

13.15.2. OUT – ﾃﾞｰﾀ出力値ﾚｼﾞｽﾀ (Data Output Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	OUT7~0								OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – OUT7~0 : ﾃﾞｰﾀ方向設定** (Port Data Output Value)

このﾚｼﾞｽﾀはVPCTRLA – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀAまたはVPCTRLB – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀBによって割り当てされたﾎﾟｰﾄの個別ﾋﾟﾝに対するﾃﾞｰﾀ出力値を設定します。ﾎﾟｰﾄが仮想として割り当てられたとき、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

13.15.3. IN – ﾃﾞｰﾀ入力値ﾚｼﾞｽﾀ (Data Input Value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	IN7~0								IN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7~0 – IN7~0 : ﾃﾞｰﾀ入力値** (Data Input Value)

このﾚｼﾞｽﾀはﾃﾞｼﾞﾀﾙ入力緩衝部が許可されている場合のﾋﾟﾝに存在する値を示します。VPCTRLA – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀAまたはVPCTRLB – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀBの構成設定がこのﾚｼﾞｽﾀ内の値を決めます。ﾎﾟｰﾄが仮想として割り当てられたとき、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際のﾃﾞｰﾀ入力値(IN)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

13.15.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – INTnIF : 割り込みn要求ﾌﾗｸﾞ** (Interrput n Flag)

ﾋﾟﾝがﾎﾟｰﾄ割り込みnに対する供給元として設定され、且つﾋﾟﾝの変化/状態が入力感知形態と一致する時にINTnIFﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞのﾋﾞｯﾄ位置への1書き込みがこのﾌﾗｸﾞを解除(0)します。割り込みの許可と実行については割り込みﾚﾍﾞﾙ記述を参照してください。

VPCTRLA – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀAまたはVPCTRLB – 仮想ﾎﾟｰﾄ割り当て制御ﾚｼﾞｽﾀBの構成設定がどのﾌﾗｸﾞが割り当てられるかを決めます。ﾎﾟｰﾄが仮想として割り当てられた時に、このﾚｼﾞｽﾀのｱｸｾｽはそのﾎﾟｰﾄに対する実際の割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのｱｸｾｽと同じです。

13.16. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$1F	予約	–	–	–	–	–	–	–	–	
+$1E	予約	–	–	–	–	–	–	–	–	
+$1D	予約	–	–	–	–	–	–	–	–	
+$1C	予約	–	–	–	–	–	–	–	–	
+$1B	予約	–	–	–	–	–	–	–	–	
+$1A	予約	–	–	–	–	–	–	–	–	
+$19	予約	–	–	–	–	–	–	–	–	
+$18	予約	–	–	–	–	–	–	–	–	
+$17	PIN7CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$16	PIN6CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$15	PIN5CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$14	PIN4CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$13	PIN3CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$12	PIN2CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$11	PIN1CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$10	PIN0CTRL	SRLEN	INVEN	OPC2~0			ISC2~0			104
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	REMAP	–	–	SPI	USART0	TC0D	TC0C	TC0B	TC0A	103
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	INTFLAGS	–	–	–	–	–	–	INT1IF	INT0IF	103
+$0B	INT1MASK	INT1MASK7~0								103
+$0A	INT0MASK	INT0MASK7~0								103
+$09	INTCTRL	–	–	–	–	INT1LVL1,0		INT0LVL1,0		102
+$08	IN	IN7~0								102
+$07	OUTTGL	OUTTGL7~0								102
+$06	OUTCLR	OUTCLR7~0								102
+$05	OUTSET	OUTSET7~0								102
+$04	OUT	OUT7~0								101
+$03	DIRTGL	DIRTGL7~0								101
+$02	DIRCLR	DIRCLR7~0								101
+$01	DIRSET	DIRSET7~0								101
+$00	DIR	DIR7~0								101

13.17. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ構成設定

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$06	EVCTRL	–	–	–	–	–	EVCTRL2~0			107
+$05	EBIOUT	–	–	–	–	EBIADROUT1,0		EBICSOUT1,0		106
+$04	CLKEVOUT	CLKEVPIN	RTCOUT	EVOUT1,0		CLKOUTSEL1,0		CLKOUT1,0		106
+$03	VPCTRLB	VP3MAP3~0				VP2MAP3~0				105
+$02	VPCTRLA	VP1MAP3~0				VP0MAP3~0				105
+$01	予約	–	–	–	–	–	–	–	–	
+$00	MPCMASK	MPCMASK7~0								105

13.18. ﾚｼﾞｽﾀ要約 – 仮想ﾎﾟｰﾄ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	INTFLAGS	–	–	–	–	–	–	INT1IF	INT0IF	108
+$02	IN	IN7~0								108
+$01	OUT	OUT7~0								108
+$00	DIR	DIR7~0								108

13.19. 割り込みﾍﾞｸﾀ要約 – ﾎﾟｰﾄ

表13-15. ﾎﾟｰﾄ割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	INT0_vect	ﾎﾟｰﾄ割り込み0ﾍﾞｸﾀ
$02	INT1_vect	ﾎﾟｰﾄ割り込み1ﾍﾞｸﾀ

14. TC0/1 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0型と1型

14.1. 要点

- 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 2つのﾀｲﾏ/ｶｳﾝﾀの縦列接続によって支援される32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 4つまでの組み合わせた比較と捕獲(CC)ﾁｬﾈﾙ
  - 0型のﾀｲﾏ/ｶｳﾝﾀに対して4つのCCﾁｬﾈﾙ
  - 1型のﾀｲﾏ/ｶｳﾝﾀに対して2つのCCﾁｬﾈﾙ
- 2重緩衝されたﾀｲﾏ定期間設定
- 2重緩衝された比較と捕獲のﾁｬﾈﾙ
- 波形生成:
  - 周波数生成
  - 単一傾斜ﾊﾟﾙｽ幅変調
  - 2傾斜ﾊﾟﾙｽ幅変調
- 捕獲:
  - 雑音消去付き捕獲入力
  - 周波数捕獲
  - ﾊﾟﾙｽ幅捕獲
  - 32ﾋﾞｯﾄ捕獲入力
- ﾀｲﾏ経過溢れとﾀｲﾏ異常の割り込み/事象
- CCﾁｬﾈﾙ当たり1つの比較一致または捕獲の割り込み/事象
- 事象ｼｽﾃﾑと共に以下が使用可能:
  - 直交復号
  - 計数と方向の制御
  - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
  - 周波数と波形の分解能を2ﾋﾞｯﾄ(×4)または3ﾋﾞｯﾄ(×8)増加
- AWeX – 新波形拡張
  - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
  - 駆動部の安全な禁止のための事象制御された障害保護

14.2. 概要

Atmel AVR XMEGAﾃﾞﾊﾞｲｽは柔軟な16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(TC)の組を持ちます。それらの能力には正確なﾌﾟﾛｸﾞﾗﾑ実行ﾀｲﾐﾝｸﾞ、周波数と波形の生成、事象管理、ﾃﾞｼﾞﾀﾙ信号の時間と周波数の測定付きの捕獲入力を含みます。2つのﾀｲﾏ/ｶｳﾝﾀは任意選択の32ﾋﾞｯﾄ捕獲を持つ32ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀを作成するために縦列接続することができます。

ﾀｲﾏ/ｶｳﾝﾀは基本計数器と比較または捕獲(CC)ﾁｬﾈﾙの組から成ります。基本計数器はｸﾛｯｸ周期または事象を計数するのに使えます。これは方向制御とﾀｲﾐﾝｸﾞに使うことができる定期設定を持ちます。CCﾁｬﾈﾙは基本計数器と共に、比較一致制御、周波数生成、ﾊﾟﾙｽ幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。ﾀｲﾏ/ｶｳﾝﾀは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

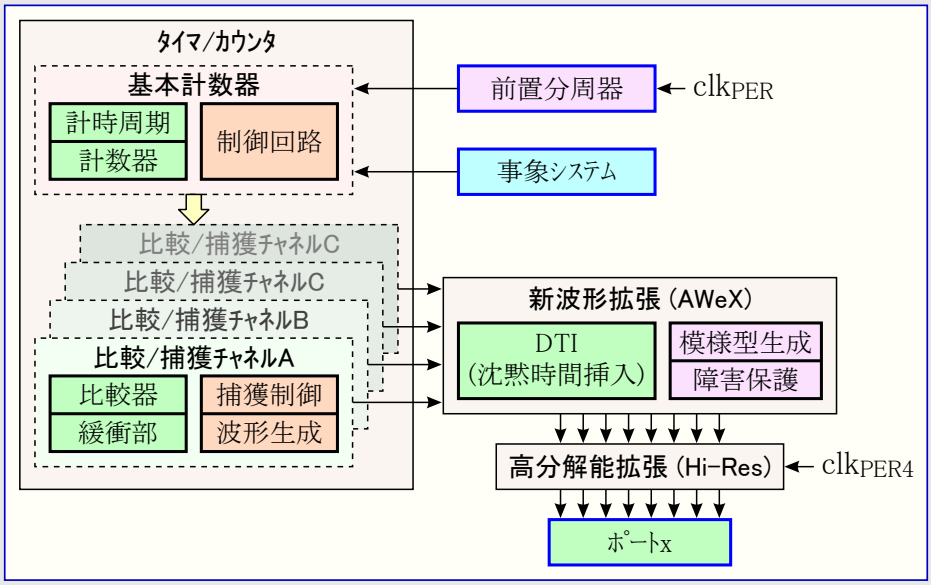
ﾀｲﾏ/ｶｳﾝﾀは任意選択の前置分周付きの周辺機能ｸﾛｯｸまたは事象ｼｽﾃﾑからｸﾛｯｸ駆動と計時を行うことができます。事象ｼｽﾃﾑは方向制御と捕獲起動、または動作の同期にも使うことができます。

ﾀｲﾏ/ｶｳﾝﾀの0型と1型間には2つの違いがあります。ﾀｲﾏ/ｶｳﾝﾀ0は4つのCCﾁｬﾈﾙを持ち、ﾀｲﾏ/ｶｳﾝﾀ1は2つのCCﾁｬﾈﾙを持ちます。CCﾁｬﾈﾙCとCCﾁｬﾈﾙDに関連する全ての情報はﾀｲﾏ/ｶｳﾝﾀ0に対してだけ有効です。ﾀｲﾏ/ｶｳﾝﾀ0だけが各々4つの比較ﾁｬﾈﾙを持つ2つ8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀに分割する分割動作機能を持ちます。

いくつかのﾀｲﾏ/ｶｳﾝﾀはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ﾎﾟｰﾄ ﾋﾟﾝの向こう側への同期したﾋﾞｯﾄ様式を生成することもできます。高分解能(Hi-Res)拡張は周辺機能ｸﾛｯｸよりも最大4倍速く走行する内部ｸﾛｯｸ元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。

密接に関連する(青枠の(訳注:原書は灰色の))周辺機能単位部と拡張を伴う16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀの構成図が図14-1.で示されます。

図14-1. 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀと密接に関連する周辺機能



14.2.1. 定義

以下の定義が文書全体を通して使われています。

表14-1. ﾀｲﾏ/ｶｳﾝﾀ用語定義

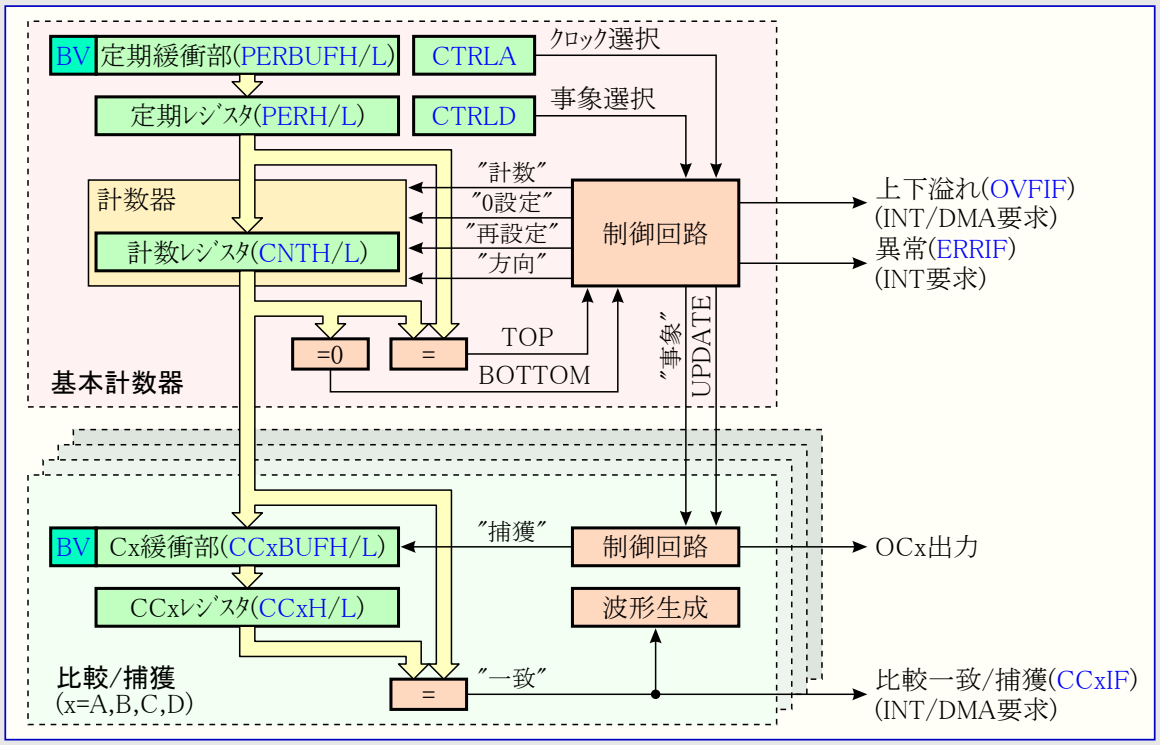
用語	意味
BOTTOM	計数器が底(BOTTOM)に到達し、それが0になる時。
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時。
TOP	計数器が頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は定期(PER)ﾚｼﾞｽﾀまたは比較ﾁｬﾈﾙA(CCA)ﾚｼﾞｽﾀの設定に等しくできます。これは波形生成動作種別によって選択されます。
UPDATE	ﾀｲﾏ/ｶｳﾝﾀが更新(UPDATE)を合図し、それが波形生成動作種別に依存してBOTTOMまたはTOPに到達する時。

一般的に用語'計時器'はﾀｲﾏ/ｶｳﾝﾀのｸﾛｯｸ制御が内部供給元によって扱われる時に使われ、用語'計数器'はｸﾛｯｸが外部的に扱われる(換言すると、外部事象計数)時に使われます。CCﾁｬﾈﾙは比較操作に使われる時に'比較ﾁｬﾈﾙ'として参照されます。捕獲操作に使われる時にCCﾁｬﾈﾙは'捕獲ﾁｬﾈﾙ'として参照されます。

14.3. 構成図

図14-2.は拡張(部)を除くﾀｲﾏ/ｶｳﾝﾀの詳細な構成図を示します。

図14-2. ﾀｲﾏ/ｶｳﾝﾀ構成図



計数器(CNT)ﾚｼﾞｽﾀ、定期(PER)ﾚｼﾞｽﾀと定期緩衝(PERBUF)ﾚｼﾞｽﾀ、比較/捕獲(CCx)ﾚｼﾞｽﾀと比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀは16ﾋﾞｯﾄ ﾚｼﾞｽﾀです。全ての緩衝ﾚｼﾞｽﾀは緩衝内容が新しい値の時を示す緩衝有効(BV)ﾌﾗｸﾞを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。

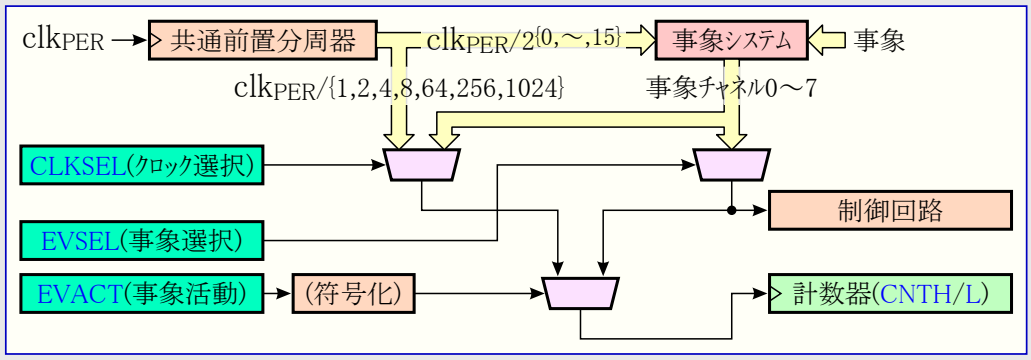
計数器値はCCxﾚｼﾞｽﾀとも比較されます。これらの比較は割り込み要求、DMA転送単位処理要求、事象ｼｽﾃﾑに対する事象を生成するのに使えます。波形生成器動作は波形周期またはﾊﾟﾙｽ幅を設定するのに比較器を使います。

前置分周された周辺機能ｸﾛｯｸと事象ｼｽﾃﾑからの事象が計数器を制御するのに使えます。事象ｼｽﾃﾑは捕獲入力への供給元としても使われます。事象ｼｽﾃﾑQDECの直交復号機能とﾀｲﾏ/ｶｳﾝﾀの組み合わせは高速直交復号に使えます。

14.4. クロック元と事象元

タイマ/カウンタは周辺機能クロック(clkPER)または事象システムからクロック駆動でき、図14-3.がクロックと事象の選択論理を示します。

図14-3. クロックと事象の選択



周辺機能クロックは共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1～1/1024の前置分周器出力はタイマ/カウンタによる選択が直接的に利用可能です。加えて1～2^{15}前置分周範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は計数器(CNT)入力として前置分周器出力の1つを直接的に、または事象チャネルを選びます。これは計数器の標準動作としての参照です。詳細については115頁の「**標準動作**」を参照してください。事象システムの使用により、何れかのI/Oピンの外部クロック信号のようなどの事象元もクロック入力として使えます。

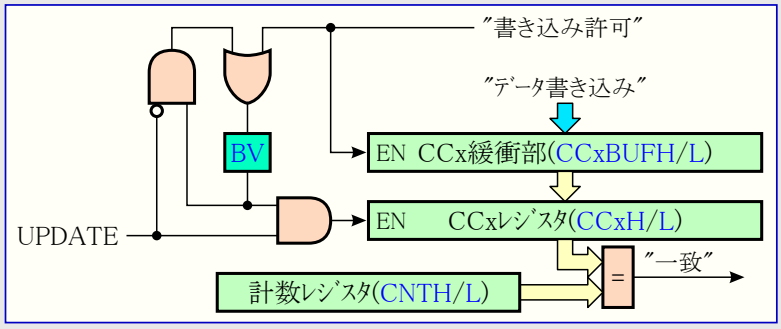
加えてタイマ/カウンタは事象システムを経由して制御ができます。事象選択(EVSEL)と事象活動(EVACT)の設定は1つ以上の事象から事象活動を起動するのに使われます。これは計数器の事象活動制御動作として参照されます。詳細については115頁の「**事象活動制御動作**」を参照してください。事象活動制御動作が使われるとき、クロック選択は計数器入力として事象チャネルの使用に設定されなければなりません。

既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

14.5. 2重緩衝

定期(PER)レジスタと比較/捕獲(CC)レジスタは、全て2重緩衝されます。各々の緩衝レジスタは緩衝有効(BV)フラグを持ち、これは緩衝が有効、換言すると対応する定期やCCレジスタ内に複写することができる新しい値を含んでいることを示します。定期レジスタとCCチャネルが比較動作に使われる時は、データが緩衝レジスタに書かれる時に緩衝有効フラグが設定(1)され、UPDATE条件で解除(0)されます。これは比較レジスタに関して図14-4.で示されます。

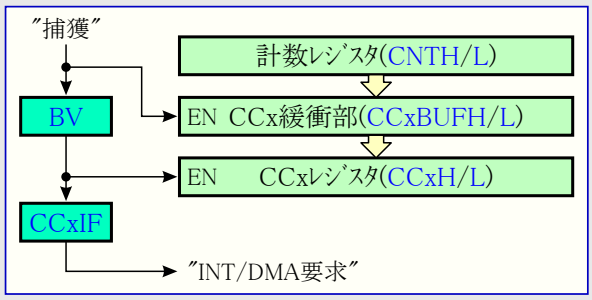
図14-4. 定期レジスタと比較レジスタの2重緩衝処理



CCxチャネルが捕獲動作に使われる時には同じ2重緩衝機構が使われますが、この場合は図14-5.で示されるように緩衝有効フラグが捕獲事象で設定(1)されます。捕獲に関しては緩衝レジスタと対応するCCxレジスタがFIFOのように動きます。CCxレジスタが使用、または読まれると、緩衝レジスタのどんな内容もCCxレジスタに渡されます。緩衝有効フラグはCCx割り込み要求フラグ(CCxIF)を設定(1)するために渡されて、任意選択の割り込みを生成します。

CCxとCCxBUFの両レジスタはI/Oレジスタとして利用可能です。これは緩衝レジスタの初期化と迂回そして2重緩衝機能を許します。

図14-5. 捕獲2重緩衝



14.6. 計数器動作

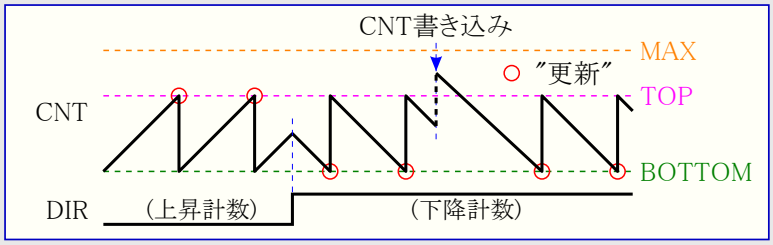
動作種別に依存して計数器は各ﾀｲﾏ/ｶｳﾝﾀ ｸﾛｯｸ入力で、0設定、再設定、増加、減少されます。

14.6.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、各ｸﾛｯｸに対して方向(DIR)ﾋﾞｯﾄによって設定された方向で計数します。上昇計数でTOP到達時、計数器は次のｸﾛｯｸが与えられた時に0が設定されます。下降計数時の計数器はBOTTOM到達時に定期(PER)ﾚｼﾞｽﾀで再設定されます。

図14-6.で示されるように、計数器動作時に計数器値変更が可能です。書き込みｱｸｾｽは、計数、0設定、再設定より高い優先権を持ち、直ちに行われます。計数器の方向は標準動作中でも変更できます。

図14-6. 標準動作



捕獲ﾁｬﾈﾙに対する基準計時として計数器を使う時に標準動作が使われなければなりません。

14.6.2. 事象活動制御動作

事象選択(EVSEL)と事象活動設定(EVACT)が事象ｼｽﾃﾑからの計数器制御に使えます。計数器に関して以下の事象活動を選択することができます。

- 事象ｼｽﾃﾑ制御上昇/下降計数
  - 事象nは計数許可として使われます。
  - 事象n+1は上昇(1)と下降(0)間の選択に使われます。ﾋﾟﾝ構成設定はLowﾚﾍﾞﾙ感知に設定されなければなりません。
- 事象ｼｽﾃﾑ制御直交復号計数

14.6.3. 32ﾋﾞｯﾄ動作

32ﾋﾞｯﾄ計数器動作を許可するのに2つのﾀｲﾏ/ｶｳﾝﾀを共に使うことができます。2つのﾀｲﾏ/ｶｳﾝﾀを使うことによって、1つのﾀｲﾏ/ｶｳﾝﾀ(下位計数器)からの上昇溢れ事象は事象ｼｽﾃﾑ経由で経路付けでき、別のﾀｲﾏ/ｶｳﾝﾀ(上位計数器)に対するｸﾛｯｸ入力として使えます。

14.6.4. 周期変更

計数器の周期は新しいTOP値を定期(PER)ﾚｼﾞｽﾀへ書くことによって変更されます。2重緩衝が使われない場合、図14-7.で示されるようにどんな周期変更も直ちに行われます。

図14-7. 緩衝なし周期変更

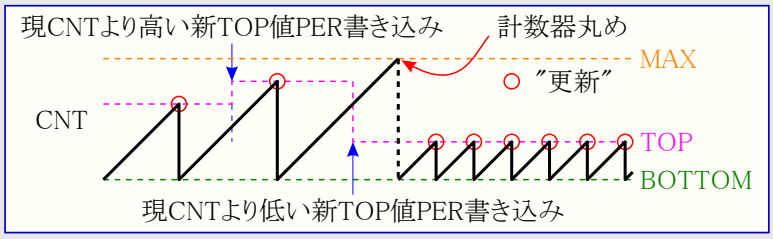
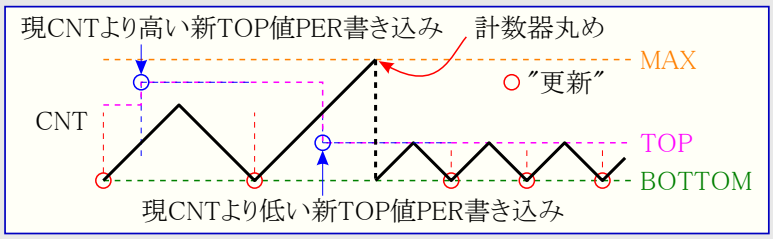


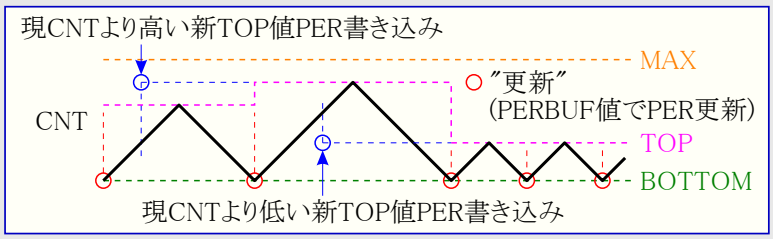
図14-8.で示されるように緩衝なしでの上昇計数時、どの動作形態でも丸められた計数器が起こり得ます。これは計数器(CNT)ﾚｼﾞｽﾀと定期(PER)ﾚｼﾞｽﾀが継続的に比較され、現在のCNTよりも低い新しいTOP値がPERに書かれた場合、比較一致が起こる前に丸められます。

図14-8. 緩衝なし2傾斜動作



2重緩衝使用時、緩衝部は何時でも書け、未だ正しい動作を維持します。図14-9.で示されるように定期ﾚｼﾞｽﾀは常に"更新"条件で更新されます。これは丸めと奇数波形の生成を防ぎます。

図14-9. 緩衝使用周期変更

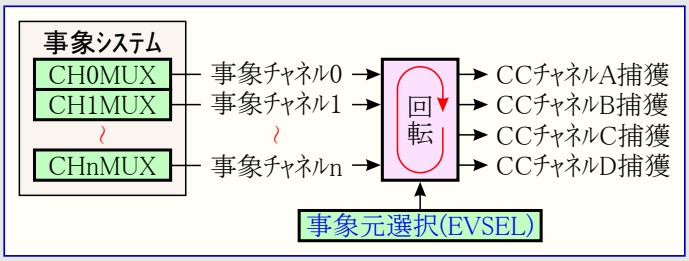


14.7. 捕獲ﾁｬﾈﾙ

比較/捕獲(CC)ﾁｬﾈﾙは外部事象の捕獲のためのﾁｬﾈﾙとして使用でき、それらに時刻印を与えます。捕獲を使うには計数器が標準動作に設定されていなければなりません。

事象が捕獲の起動に使われ、換言すると、どのﾋﾟﾝからのﾋﾟﾝ変化も含む事象ｼｽﾃﾑからのどの事象も捕獲動作を起動できます。事象元選択設定はどのCCﾁｬﾈﾙAを起動するか選択します。構成設定されるなら、後続する事象ﾁｬﾈﾙが後続するCCﾁｬﾈﾙでの事象を起動します。例えば事象ﾁｬﾈﾙ2を選択する事象元設定は事象ﾁｬﾈﾙ2に接続されたCCﾁｬﾈﾙA、事象ﾁｬﾈﾙ3へのCCﾁｬﾈﾙB、以下同様の結果になります。

図14-10. 捕獲操作用事象元選択



ﾀｲﾏ/ｶｳﾝﾀの事象活動設定(EVSEL)が行われる捕獲形式を決めます。

使うCCﾁｬﾈﾙは捕獲が行われ得る前に個別に許可されなければなりません。捕獲条件が起こると、ﾀｲﾏ/ｶｳﾝﾀは計数器(CNTH/L)ﾚｼﾞｽﾀの現在のCNT値を許可されたCCﾁｬﾈﾙ(CCxH/L)ﾚｼﾞｽﾀ内に複写することによって事象の時刻印を記します。

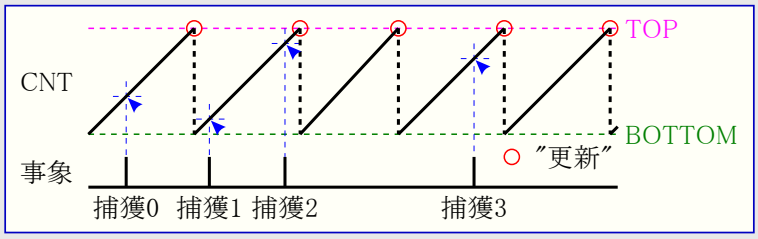
入出力ﾋﾟﾝが捕獲に対する事象元として使われるとき、そのﾋﾟﾝはｴｯｼﾞ感知に形成設定されなければなりません。入出力ﾋﾟﾝの感知構成設定の詳細については98頁の「**入力感知構成設定**」を参照してください。定期ﾚｼﾞｽﾀ値が$8000よりも低い場合、入出力ﾋﾟﾝのｴｯｼﾞ極性が捕獲ﾚｼﾞｽﾀの最上位ﾋﾞｯﾄ(MSB)に格納されます。捕獲ﾚｼﾞｽﾀのMSBが0なら、下降端で生成された捕獲です。MSBが1なら、上昇端で生成された捕獲です。

14.7.1. 入力捕獲

入力捕獲事象活動の選択は許可された捕獲ﾁｬﾈﾙに事象での入力捕獲を実行させます。割り込み要求ﾌﾗｸﾞ(CCxIF)が設定(1)され、対応するCCxﾚｼﾞｽﾀの捕獲結果が有効なことを示します。同時に緩衝有効(CCxBV)ﾌﾗｸﾞが緩衝(CCxBUF)ﾚｼﾞｽﾀ内のﾃﾞｰﾀ有効を示します。

計数器は図14-11.で示されるように、BOTTOMからTOPへ計数し、そしてBOTTOMから再び始めます。

図14-11. 入力捕獲ﾀｲﾐﾝｸﾞ



14.7.2. 周波数捕獲

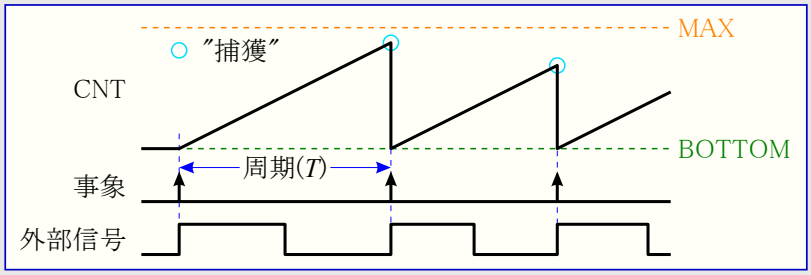
周波数捕獲事象活動の選択は許可された捕獲ﾁｬﾈﾙに正端事象での入力捕獲と再始動を実行させます。これは信号の直接的な周期または周波数の測定をﾀｲﾏ/ｶｳﾝﾀに許します。捕獲結果は直前のﾀｲﾏ/ｶｳﾝﾀ再始動から事象発生までの時間Tです。これはその信号の周波数を計算するのに使えます。

$$f = \frac{1}{T}$$

図14-12.は2度測定された外部信号の周期の例を示します。

全捕獲ﾁｬﾈﾙが同じ計数器(CNT)を使うので、同時に1つのﾁｬﾈﾙだけが許可されなければなりません。2つのﾁｬﾈﾙが異なる供給元で使われた場合、計数器は両方の入力元からの正端事象で再始動し、結果は何の意味も持たないでしょう。

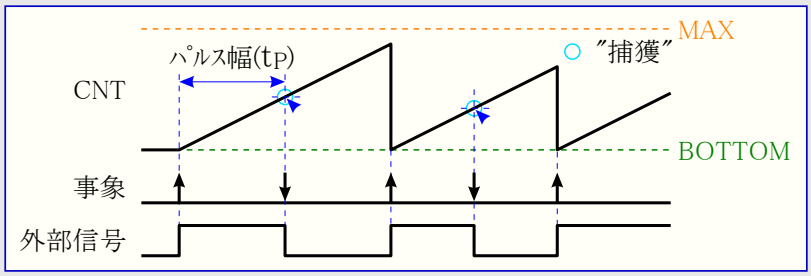
図14-12. 外部信号の周波数捕獲



14.7.3. ﾊﾟﾙｽ幅捕獲

ﾊﾟﾙｽ幅捕獲事象活動の選択は許可された捕獲ﾁｬﾈﾙに下降端事象での入力捕獲活動と上昇端事象での再始動活動を実行させます。そして計数器は正端事象で再開し、負端事象で入力捕獲が実行されます。事象元はI/Oﾋﾟﾝでなければならず、そのﾋﾟﾝに対する感知構成設定は両端での事象生成に設定されなければなりません。図14-13.は外部信号に対してﾊﾟﾙｽ幅が2度測定される例を示します。

図14-13. 外部信号のﾊﾟﾙｽ幅捕獲



14.7.4. 32ﾋﾞｯﾄ入力捕獲

32ﾋﾞｯﾄ入力捕獲を許可するために2つのﾀｲﾏ/ｶｳﾝﾀを共に使うことができます。代表的な32ﾋﾞｯﾄ入力捕獲初期設定では、下位計数器の上昇溢れ事象が事象ｼｽﾃﾑ経由で接続され、上位計数器に対するｸﾛｯｸ入力として使われます。

上位計数器は下位計数器で上昇溢れが起きた1周辺機能ｸﾛｯｸ後に更新されます。これを補償するため、上位計数器に対する捕獲事象は、このﾀｲﾏ/ｶｳﾝﾀに対する事象遅延(EVDLY)ﾋﾞｯﾄの設定(1)によって同じ遅延にされなければなりません。

14.7.5. 捕獲緩衝部溢れ

ﾀｲﾏ/ｶｳﾝﾀは入力捕獲ﾁｬﾈﾙの緩衝部溢れを検知できます。緩衝有効(BV)ﾌﾗｸﾞと捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)の両方が設定(1)され、新しい捕獲事象が検知された時に、新しい時刻印を格納する場所が何処にもありません。緩衝部溢れが検出された場合、新しい値は拒否され、異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)されて任意選択の割り込みが生成されます。

14.8. 比較ﾁｬﾈﾙ

各比較ﾁｬﾈﾙは計数器値(CNT)と比較/捕獲(CCx)ﾚｼﾞｽﾀを継続的に比較します。CNTとCCxが等しい場合に一致を合図します。この一致は次の計数器ｸﾛｯｸ周期でCCﾁｬﾈﾙの割り込み要求ﾌﾗｸﾞ(CCxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。

比較緩衝(CCxBUF)ﾚｼﾞｽﾀは定期緩衝(PERBUF)のそれと等価な能力を持つ2重緩衝を提供します。2重緩衝はUPDATE条件に従った計数手順のTOPまたはBOTTOMに対して緩衝値でのCCxﾚｼﾞｽﾀ更新を同期化します。同期化は奇数長の発生、不具合なし出力のために非対称ﾊﾟﾙｽを防ぎます。

14.8.1. 波形生成

比較ﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝでの波形生成に使えます。接続されたﾎﾟｰﾄ ﾋﾟﾝで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. 波形生成動作(WGMODE)が選択されなければなりません。
2. 事象活動(EVACT)が禁止されなければなりません。
3. 使われるCCﾁｬﾈﾙが許可(CCxEN)されなければなりません。これは対応するﾎﾟｰﾄ ﾋﾟﾝ出力(OUT)ﾚｼﾞｽﾀを無効にします。
4. 関連するﾎﾟｰﾄ ﾋﾟﾝに対する方向(DIR)が出力に設定されなければなりません。

反転波形出力はﾎﾟｰﾄ ﾋﾟﾝに対する反転出力(INVEN)ﾋﾞｯﾄを設定(1)することによって達成されます。

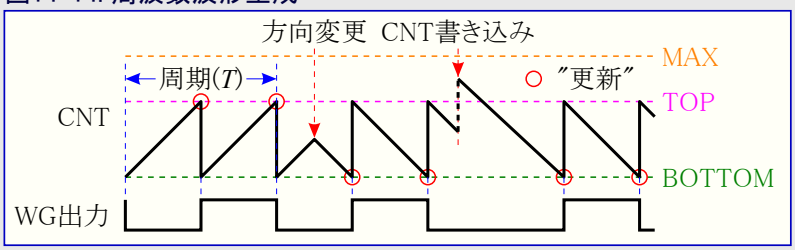
14.8.2. 周波数(FRQ)波形生成

周波数生成では定期(PER)ﾚｼﾞｽﾀに代わって比較/捕獲A(CCA)ﾚｼﾞｽﾀによって周期(T)が制御されます。波形生成(WG)出力は図14-14.で示されるように計数器(CNT)とCCAﾚｼﾞｽﾀ間の各比較一致で交互されます。

波形周波数(f_{FRQ})は次式によって定義されます。

$$f_{FRQ} = \frac{f_{clkPER}}{2N(CCA+1)}$$

図14-14. 周波数波形生成



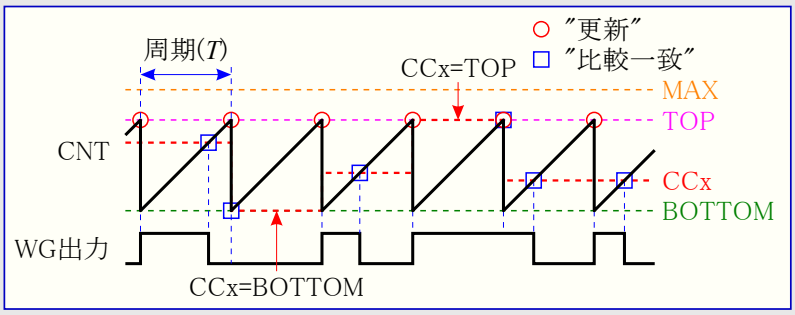
ここでNは使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0($0000)に設定される時に周辺機能ｸﾛｯｸ周波数(f_{clkPER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

14.8.3. 単一傾斜PWM生成

単一傾斜PWM生成については、周期(T)が定期(PER)ﾚｼﾞｽﾀによって制御され、一方比較/捕獲(CCx)ﾚｼﾞｽﾀが波形生成(WG)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。図14-15.は計数器がどうBOTTOMからTOPへ計数し、そしてBOTTOMから再始動するかを示します。WG出力は計数器(CNT)とCCxﾚｼﾞｽﾀ間の比較一致で設定(1)され、TOPで解除(0)されます。

PERﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は2ﾋﾞｯﾄ(PER=$0003)で、最大分解能は16ﾋﾞｯﾄ(PER=MAX)です。

図14-15. 単一傾斜ﾊﾟﾙｽ幅変調



次式は単一傾斜PWMに対する正確な分解能(R_{PWM_SS})を計算します。

$$R_{PWM\_SS} = \frac{\log(PER+1)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺機能ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$f_{PWM\_SS} = \frac{f_{clkPER}}{N(PER+1)}$$

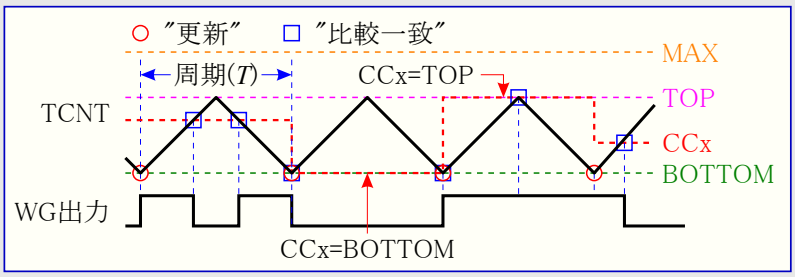
ここでNは使った前置分周数を表します。

14.8.4. 2傾斜PWM生成

2傾斜PWM生成については周期(T)が定期(PER)ﾚｼﾞｽﾀによって制御され、一方比較/捕獲(CCx)ﾚｼﾞｽﾀが波形生成(WG)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。図14-16.は2傾斜PWMに関して計数器がBOTTOMからTOPへ、そしてその後にTOPからBOTTOMへどう繰り返し計数するかを示します。波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

2傾斜PWMの使用は単一傾斜PWM動作と比較してより低い最大動作周波数の結果となります。

図14-16. 2傾斜ﾊﾟﾙｽ幅変調



PERﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は2 ﾋﾞｯﾄ(PER=$0003)で、最大分解能は16ﾋﾞｯﾄ(PER=MAX)です。

次式は2傾斜PWMに対する正確な分解能(R_{PWM_DS})を計算します。

$$R_{PWM\_DS} = \frac{\log(PER+1)}{\log(2)}$$

PWM周波数(f_{PWM_DS})は周期設定(PER)と周辺機能ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算できます。

$$f_{PWM\_DS} = \frac{f_{clkPER}}{2N \times PER}$$

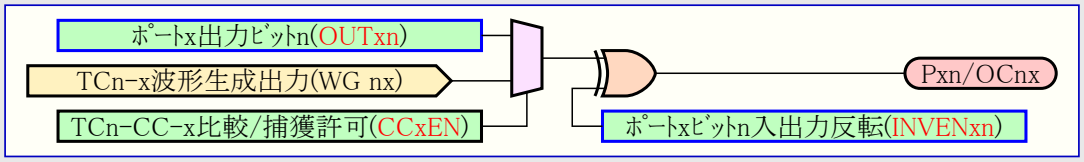
ここでNは使った前置分周数を表します。

14.8.5. 波形生成に関するﾎﾟｰﾄ無効化

ﾎﾟｰﾄ ﾋﾟﾝで利用可能な波形生成を行うには対応するﾎﾟｰﾄ ﾋﾟﾝの方向が出力として設定されなければなりません。ﾀｲﾏ/ｶｳﾝﾀは比較/捕獲(CC)ﾁｬﾈﾙが許可(CCxEN)され、波形生成動作種別(WGMODE)が選択されている時にﾎﾟｰﾄ ﾋﾟﾝ値を無効にします。

図14-17.はﾀｲﾏ/ｶｳﾝﾀに関するﾎﾟｰﾄ無効化を示します。ﾀｲﾏ/ｶｳﾝﾀのCCﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝ(Pxn)でﾎﾟｰﾄ ﾋﾟﾝ出力値(OUTxn)を無効にします。ﾎﾟｰﾄ ﾋﾟﾝでの反転I/O許可(INVENxn)は対応するWG出力を反転します。

図14-17. ﾀｲﾏ/ｶｳﾝﾀ0と1に関するﾎﾟｰﾄ無効化



14.9. 割り込みと事象

ﾀｲﾏ/ｶｳﾝﾀは割り込みと事象の両方を生成できます。計数器は上昇溢れ/下降溢れでの割り込みを生成でき、各比較/捕獲(CC)ﾁｬﾈﾙは比較または捕獲に使われる独立した割り込みを持ちます。加えて、CCﾁｬﾈﾙのどれかが捕獲に使われ、捕獲ﾁｬﾈﾙで緩衝部溢れが起きた場合に異常割り込みを生成できます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については50頁の「事象ｼｽﾃﾑ」を参照してください。

14.10. DMA支援

割り込み要求ﾌﾗｸﾞはDMA単位処理の起動に使えます。表14-2.はﾀｲﾏ/ｶｳﾝﾀから利用可能な転送起動元と転送起動を解除するDMA活動を一覧にします。DMA使用のより多くの詳細については38頁の「DMAC – 直接ﾒﾓﾘ入出力制御器」を参照してください。

表14-2. DMA要求元

要求	応答	注釈
OVFIF	DMA制御器のCNT書き込み	
	DMA制御器のPER書き込み	
	DMA制御器のPERBUF書き込み	
	DMA制御器の模様型生成動作でのAWeXのDTHSBUFまたはDTLSBUF書き込み	
ERRIF	利用不可	
CCxIF	DMA制御器のCCxｱｸｾｽ	捕獲動作
	DMA制御器のCCxBUFｱｸｾｽ	比較動作

14.11. ﾀｲﾏ/ｶｳﾝﾀ指令

単位部の状態を直ちに変更するために、ｿﾌﾄｳｪｱによって1組の指令をﾀｲﾏ/ｶｳﾝﾀに与えることができます。これらの指令は更新、再始動、ﾘｾｯﾄの信号の直接制御を行います。

更新指令は更新条件発生時と同じ効果を持ちます。更新指令は更新施錠(LUPD)ﾋﾞｯﾄが設定(1)されている場合に無効とされます。

ｿﾌﾄｳｪｱは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器、方向と全ての比較出力が0に設定されます。

ﾘｾｯﾄ指令は全てのﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀをそれらの初期値に設定します。ﾘｾｯﾄはﾀｲﾏ/ｶｳﾝﾀが非動作(OFF)の時にだけ与えることができます。

14.12. ﾚｼﾞｽﾀ説明

14.12.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	CLKSEL3~0				CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CLKSEL3~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄは表14-3.に従ってﾀｲﾏ/ｶｳﾝﾀに対するｸﾛｯｸ元を選択します。

高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、CLKSEL=0001が設定されなければなりません。

表14-3. ｸﾛｯｸ選択

CLKSEL3~0	群構成設定	内容
0 0 0 0	OFF	なし (換言するとﾀｲﾏ/ｶｳﾝﾀ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clk_{PER}
0 0 1 0	DIV2	前置分周器: $clk_{PER}/2$
0 0 1 1	DIV4	前置分周器: $clk_{PER}/4$
0 1 0 0	DIV8	前置分周器: $clk_{PER}/8$
0 1 0 1	DIV64	前置分周器: $clk_{PER}/64$
0 1 1 0	DIV256	前置分周器: $clk_{PER}/256$
0 1 1 1	DIV1024	前置分周器: $clk_{PER}/1024$
1 n n n	EVCHn	事象ﾁｬﾈﾙn (n=0～7)

14.12.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	CCDEN	CCCEN	CCBEN	CCAEN	–	WGMODE2~0			CTRLB
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – CCxEN : 比較/捕獲x許可** (Compare or Capture Enable)

これらのﾋﾞｯﾄの設定(1)はFRQまたはPWM波形生成動作で対応するOCn出力ﾋﾟﾝに対するﾎﾟｰﾄ出力ﾚｼﾞｽﾀ値を無効にします。

入力捕獲動作が選択されている時のCCxENﾋﾞｯﾄは対応する比較/捕獲(CC)ﾁｬﾈﾙに対する捕獲動作を許可します。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – WGMODE2~0 : 波形生成動作種別** (Waveform Generation Mode)

これらのﾋﾞｯﾄは波形生成動作種別を選択し、表14-4.に従って計数器の計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。

波形生成なしは標準動作で実行されます。他の全ての動作種別に関しては、対応する比較/捕獲x許可(CCxEN)ﾋﾞｯﾄがそれを許可に設定している場合に、波形生成器からの結果が単にﾎﾟｰﾄ ﾋﾟﾝへ直結されるだけです。そのﾎﾟｰﾄ ﾋﾟﾝの方向(DIR)は出力として設定されなければなりません。

表14-4. 波形生成動作種別

WGMODE2~0	群構成設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	PER	TOP	TOP
0 0 1	FRQ	周波数(FRQ)	CCA	TOP	TOP
0 1 0	–	(予約)	–	–	–
0 1 1	SINGLESLOPE	単一傾斜PWM	PER	BOTTOM	BOTTOM
1 0 0	–	(予約)	–	–	–
1 0 1	DSTOP	2傾斜PWM	PER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	PER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	PER	BOTTOM	BOTTOM

14.12.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	CMPD	CMPC	CMPB	CMPA	CTRLC
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CMPx : 比較x出力値** (Compare Output Value x)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが動作していない時にWG出力値を設定(1)または解除(0)するのに使われます。

14.12.4. CTRLD – 制御ﾚｼﾞｽﾀD (Control register D)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	EVACT2~0			EVDLY	EVSEL3~0				CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – EVACT2~0 : 事象活動** (Event Action)

これらのﾋﾞｯﾄは**表14-5.**に従って事象で実行する計時器の事象活動を定義します。

その場合に事象選択(EVSEL)設定はどの事象元または供給元が制御を持つかを決定します。

どれかの捕獲事象活動の設定は捕獲として使われるべき関連する状態と制御のﾋﾞｯﾄと比較/捕獲(CC)ﾚｼﾞｽﾀの動きを変更します。異常状態ﾌﾗｸﾞ(ERRIF)はこの構成設定での緩衝部溢れを示します。更なる詳細については115頁の「**事象活動制御動作**」をご覧ください。

表14-5. 計時器事象活動選択

EVACT2~0	群構成設定	事象活動
0 0 0	OFF	なし
0 0 1	CAPT	入力捕獲
0 1 0	UPDOWN	外部制御された上昇/下降計数
0 1 1	QDEC	直交復号
1 0 0	RESTART	波形生成周期再始動
1 0 1	FRQ	周波数捕獲
1 1 0	PW	ﾊﾟﾙｽ幅捕獲
1 1 1	–	(予約)

● **ﾋﾞｯﾄ4 – EVDLY : 事象遅延** (Timer Delay Event)

このﾋﾞｯﾄが設定(1)されると、選択した事象元は1周辺機能ｸﾛｯｸ周期遅延されます。これは32ﾋﾞｯﾄ入力捕獲に対して意図されています。事象ｼｽﾃﾑ経由で2つの計数器を直列にする時にｷｬﾘｰ伝播遅延に対する補償用に事象遅延の追加が必要です。

● **ﾋﾞｯﾄ3~0 – EVSEL3~0 : 事象元選択** (Timer Event Source Select)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀに対する事象ﾁｬﾈﾙ元を選びます。選択した事象ﾁｬﾈﾙが効果を表すためには事象活動(EVACT)ﾋﾞｯﾄが**表14-6.**に従って設定されなければなりません。事象活動が捕獲動作に設定されると、選択した事象ﾁｬﾈﾙnは比較/捕獲(CC)ﾁｬﾈﾙAに対する事象ﾁｬﾈﾙ元になり、事象ﾁｬﾈﾙn+1,n+2,n+3(各々8の剰余)が各々CCﾁｬﾈﾙB,C,Dに対する事象ﾁｬﾈﾙ元になります。

表14-6. 事象元選択

EVSEL3~0	群構成設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 n n n	CHn	事象ﾁｬﾈﾙn (n=0～7)

14.12.5. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	–	BYTEM1,0		CTRLE
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – BYTEM1,0 : ﾊﾞｲﾄ動作** (Byte Mode)

これらのﾋﾞｯﾄは**表14-7.**に従ってﾀｲﾏ/ｶｳﾝﾀ動作形態を選択します。

表14-7. ﾀｲﾏ/ｶｳﾝﾀ型式選択

BYTEM1,0	群構成設定	内容
0 0	NORMAL	ﾀｲﾏ/ｶｳﾝﾀは標準形態(ﾀｲﾏ/ｶｳﾝﾀ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位ﾊﾞｲﾄ(CNTH)は各ｸﾛｯｸ周期後、0に設定されます。
1 0	SPLITMODE	ﾀｲﾏ/ｶｳﾝﾀ0は2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(ﾀｲﾏ/ｶｳﾝﾀ型式2)に分割されます。
1 1	–	(予約)

14.12.6. INTCTRLA – 割り込み許可ﾚｼﾞｽﾀA (Interrupt Enable register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	ERRINTLVL1,0		OVFINTLVL1,0		INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – ERRINTLVL1,0 : 異常割り込みﾚﾍﾞﾙ** (Timer Error Interrupt Level)

これらのﾋﾞｯﾄは異常割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

● **ﾋﾞｯﾄ1,0 –OVFINTLVL1,0 : 上昇/下降溢れ割り込みﾚﾍﾞﾙ** (Timer Overflow/Underflow Interrupt Level)

これらのﾋﾞｯﾄは上昇/下降溢れ割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

14.12.7. INTCTRLB – 割り込み許可ﾚｼﾞｽﾀB (Interrupt Enable register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCxINTLVL1,0 : 比較/捕獲x割り込みﾚﾍﾞﾙ** (Compare or Capture x Interrupt Level)

これらのﾋﾞｯﾄはﾁｬﾈﾙxに対する比較または捕獲の割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。

14.12.8. CTRLFCLR,CTRLFSET – 制御ﾚｼﾞｽﾀF 解除/設定 (Control register F Clear/Set)

このﾚｼﾞｽﾀは2つのI/Oﾒﾓﾘ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両ﾒﾓﾘ位置は読み込み時に同じ結果を与えます。

個別の状態ﾋﾞｯﾄはCTRLxSETのそのﾋﾞｯﾄ位置への1書き込みによって設定(1)でき、CTRLxCLRのそのﾋﾞｯﾄ位置への1書き込みによって解除(0)できます。これは単一ﾚｼﾞｽﾀでの読み-変更-書きの使用なしで設定(1)または解除(0)される各ﾋﾞｯﾄを許します。

14.12.8.1. CTRLFCLR

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	–	–	–	QDECINDX	CMD1,0		LUPD	DIR	CTRLFCLR
Read/Write	R	R	R	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

13.12.8.2. CTRLFSET

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	QDECINDX	CMD1,0		LUPD	DIR	CTRLFSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – QDECINDX : QDEC指標ﾌﾗｸﾞ** (QDEC Index Flag)

このﾋﾞｯﾄはQDEC指標が観測されることを示します。このﾌﾗｸﾞは0から上昇または下降計数する時に解除(0)されます。一般的にこのﾋﾞｯﾄは事象活動によってﾊｰﾄﾞｳｪｱで制御されますが、このﾋﾞｯﾄはｿﾌﾄｳｪｱから変更することもできます。

● **ﾋﾞｯﾄ3,2 – CMD1,0 : 指令** (Command)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀのﾘｾｯﾄ、再始動、更新のｿﾌﾄｳｪｱ制御に使えます。指令ﾋﾞｯﾄは常に0として読めます。

表14-8. 指令選択

CMD1,0	群構成設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
1 1	RESET	強制ﾊｰﾄﾞﾘｾｯﾄ (T/CがOFF状態でなければ無視されます。)

● **ﾋﾞｯﾄ1 – LUPD : 更新施錠** (Lock Update)

このﾋﾞｯﾄが設定(1)されていると、例えUPDATE条件が起きても、緩衝されているﾚｼﾞｽﾀの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このﾋﾞｯﾄは無効です。

● **ﾋﾞｯﾄ0 – DIR : 計数方向** (Counter Direction)

0の時、このﾋﾞｯﾄは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。

通常、このﾋﾞｯﾄは波形生成動作種別または事象活動によってﾊｰﾄﾞｳｪｱで制御されますが、このﾋﾞｯﾄはｿﾌﾄｳｪｱからも変更できます。

14.12.9. CRTLGCLR,CTRLGSET – 制御ﾚｼﾞｽﾀG 解除/設定 (Control register G Clear/Set)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A,+$0B	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	CTRLGCLR CTRLGSET
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

この形式の状態ﾚｼﾞｽﾀのｱｸｾｽ方法の情報については「CTRLFCLR,CTRLFSET – 制御ﾚｼﾞｽﾀF 解除/設定」を参照してください。

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ4~1 – CCxBV : 比較/捕獲緩衝有効 (Compare or Capture x Buffer Valid)

これらのﾋﾞｯﾄは対応する比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀに新しい値が書かれる時に設定(1)されます。これらのﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このﾋﾞｯﾄが捕獲事象で設定(1)され、対応する比較/捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)が解除(0)された場合に解除(0)されることに注意してください。

● ﾋﾞｯﾄ0 – PERBV : 定期緩衝有効 (Period Buffer Valid)

これらのﾋﾞｯﾄは新しい値が定期緩衝(PERBUF)ﾚｼﾞｽﾀに書かれる時に設定(1)されます。このﾋﾞｯﾄはUPDATE条件で自動的に解除(0)されます。

14.12.10. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	CCDIF	CCCIF	CCBIF	CCAIF	–	–	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – CCxIF : 比較/捕獲ﾁｬﾈﾙx割り込み要求ﾌﾗｸﾞ (Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求ﾌﾗｸﾞ(CCxIF)は対応する比較/捕獲(CC)ﾁｬﾈﾙでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、CCxIFは計数器(CNT)ﾚｼﾞｽﾀと対応する比較(CCx)ﾚｼﾞｽﾀ間で比較一致が起きる時に設定(1)されます。CCxIFは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀが有効な値を含む場合(換言すると比較/捕獲緩衝有効(CCxBV)ﾌﾗｸﾞが設定(1)される時)に、CCxIFが設定(1)されます。比較/捕獲(CCx)ﾚｼﾞｽﾀが読まれると、このﾌﾗｸﾞが解除(0)されます。この動作では割り込みﾍﾞｸﾀ実行がﾌﾗｸﾞを解除(0)しません。

このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

CCxIFはDMA転送要求に使えます。そしてCCxまたはCCxBUFに対応するDMA読み書きｱｸｾｽがCCxIFを解除(0)してその要求を解除します。

● ﾋﾞｯﾄ3,2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – ERRIF : 異常割り込み要求ﾌﾗｸﾞ (Error Interrupt Flag)

このﾌﾗｸﾞは動作種別に依存して複数の場合で設定(1)されます。

FRQまたはPWM波形生成動作では新波形生成拡張(AWeX)の障害保護機能からの障害検出状態でERRIFが設定(1)されます。利用可能なAWeX拡張を持たないﾀｲﾏ/ｶｳﾝﾀについては、このﾌﾗｸﾞはFRQまたはPWM波形生成動作で決して設定(1)されません。

捕獲動作に関しては、比較/捕獲(CC)ﾁｬﾈﾙのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された直交復号(QDEC)動作については、不正な指標信号が与えられた時に設定(1)されます。

このﾌﾗｸﾞは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ0 – OVFIF : 上昇/下降溢れ割り込み要求ﾌﾗｸﾞ (Overfloaw/Underflow Interrupt Flag)

このﾌﾗｸﾞは波形生成動作種別(WGMODE)設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFIFは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

OVFIFはDMA転送を要求するのにも使えます。そして計数器(CNT)、定期(PER)、定期緩衝(PERBUF)のﾚｼﾞｽﾀへのDMA書き込みｱｸｾｽがOVFIFﾌﾗｸﾞを解除(0)します。

14.12.11. TEMP – 一時ﾚｼﾞｽﾀ (Temporary bits for 16-bit Access)

TEMPﾚｼﾞｽﾀはCPUによって16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀへの単一周期16ﾋﾞｯﾄ ｱｸｾｽに使われます。DMA制御器は独立した一時記憶ﾚｼﾞｽﾀを持っています。全ての16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀに対して1つの共通TEMPﾚｼﾞｽﾀがあります。

より多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

14.12.12. CNTL – 計数ﾚｼﾞｽﾀ下位 (Counter register Low)

CNTHとCNTLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CNTを表します。CNTはﾀｲﾏ/ｶｳﾝﾀの16ﾋﾞｯﾄ計数器値を含みます。CPUとDMAの書き込みｱｸｾｽは計数器の0設定、再設定、計数より上の優先権を持ちます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$20	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数器7~0** (Counter low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

14.12.13. CNTH – 計数ﾚｼﾞｽﾀ上位 (Counter register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$21	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT15~8 : 計数器15~8** (Counter high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ計数器ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ(MSB)を保持します。

14.12.14. PERL – 定期ﾚｼﾞｽﾀ下位 (Period register Low)

PERHとPERLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値PERを表します。PERはﾀｲﾏ/ｶｳﾝﾀの16ﾋﾞｯﾄTOP値を含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$26	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER7~0 : 定期値7~0** (Periodic low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

14.12.15. PERH – 定期ﾚｼﾞｽﾀ上位 (Period register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$27	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER15~8 : 定期値15~8** (Periodic high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ定期ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ(MSB)を保持します。

14.12.16. CCxL – 比較/捕獲xﾚｼﾞｽﾀ下位 (Compare or Capture x register Low)

CCxHとCCxLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CCxを表します。これらの16ﾋﾞｯﾄ ﾚｼﾞｽﾀは動作種別に依存して2つの機能を持ちます。

捕獲動作に対しては、これらのﾚｼﾞｽﾀがCPUとDMAに対するｱｸｾｽ位置と第2緩衝段階を構築します。

比較動作に関しては、これらのﾚｼﾞｽﾀが計数器値と継続的に比較されます。通常、比較器からの出力はその後の波形生成に使われます。

CCxﾚｼﾞｽﾀはUPDATE条件発生時にそれらの対応する比較/捕獲緩衝(CCxBUF)ﾚｼﾞｽﾀからの緩衝値で更新されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$28,A,C,E	CCx7~0								CCxL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CCx7~0 : 比較/捕獲値7~0** (Compare or Capture x low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ比較/捕獲ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ(LSB)を保持します。

14.12.17. CCxH – 比較/捕獲xレジスタ上位 (Compare or Capture x register High)

ビット	7	6	5	4	3	2	1	0	
+$29,B,D,F	CCx15~8								CCxH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCx15~8 : 比較/捕獲値15~8** (Compare or Capture x high byte)

これらのビットは16ビット比較/捕獲レジスタの上位バイト(MSB)を保持します。

14.12.18. PERBUFL – 定期緩衝レジスタ下位 (Timer/Counter Period Buffer Low)

PERBUFHとPERBUFLレジスタ対は16ビット値PERBUFを表します。この16ビット レジスタは定期(PER)レジスタに対する緩衝部として取り扱います。CPUまたはDMAを使うこのレジスタのアクセスは定期緩衝有効(PERBV)フラグに影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+$36	PERBUF7~0								PERBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ビット7~0 – PERBUF7~0 : 定期緩衝値7~0** (Period Buffer low byte)

これらのビットは16ビット定期緩衝レジスタの下位バイト(LSB)を保持します。

14.12.19. PERBUFH – 定期緩衝レジスタ上位 (Timer/Counter Period Buffer High)

ビット	7	6	5	4	3	2	1	0	
+$37	PERBUF15~8								PERBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ビット7~0 – PERBUF15~8 : 定期緩衝値15~8** (Period Buffer high byte)

これらのビットは16ビット定期緩衝レジスタの上位バイト(MSB)を保持します。

14.12.20. CCxBUFL – 比較/捕獲x緩衝レジスタ下位 (Compare or Capture x Buffer register Low)

CCxBUFHとCCxBUFLレジスタ対は16ビット値CCxBUFを表します。これらの16ビット レジスタは関連する比較/捕獲(CCx)レジスタに対する緩衝部として扱います。CPUまたはDMAを使うこれらのどれかのレジスタのアクセスは対応する比較/捕獲緩衝有効(CCxBV)状態フラグに影響を及ぼします。

ビット	7	6	5	4	3	2	1	0	
+$38,A,C,E	CCxBUF7~0								CCxBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCxBUF7~0 : 比較/捕獲緩衝値7~0** (Compare or Capture Buffer x low byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの下位バイト(LSB)を保持します。

14.12.21. CCxBUFH – 比較/捕獲x緩衝レジスタ上位 (Compare or Capture x Buffer register High)

ビット	7	6	5	4	3	2	1	0	
+$39,B,D,F	CCxBUF15~8								CCxBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ビット7~0 – CCxBUF15~8 : 比較/捕獲緩衝値15~8** (Compare or Capture Buffer x high byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの上位バイト(MSB)を保持します。

14.13. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$3F	CCDBUFH	CCDBUF15~8 (比較/捕獲D緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$3E	CCDBUFL	CCDBUF7~0 (比較/捕獲D緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								126
+$3D	CCCBUFH	CCCBUF15~8 (比較/捕獲C緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$3C	CCCBUFL	CCCBUF7~0 (比較/捕獲C緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								126
+$3B	CCBBUFH	CCBBUF15~8 (比較/捕獲B緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$3A	CCBBUFL	CCBBUF7~0 (比較/捕獲B緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								126
+$39	CCABUFH	CCABUF15~8 (比較/捕獲A緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$38	CCABUFL	CCABUF7~0 (比較/捕獲A緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								126
+$37	PERBUFH	PERBUF15~8 (定期緩衝ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$36	PERBUFL	PERBUF7~0 (定期緩衝ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								126
+$30～$35	予約	–	–	–	–	–	–	–	–	
+$2F	CCDH	CCD15~8 (比較/捕獲Dﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$2E	CCDL	CCD7~0 (比較/捕獲Dﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$2D	CCCH	CCC15~8 (比較/捕獲Cﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$2C	CCCL	CCC7~0 (比較/捕獲Cﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$2B	CCBH	CCB15~8 (比較/捕獲Bﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$2A	CCBL	CCB7~0 (比較/捕獲Bﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$29	CCAH	CCA15~8 (比較/捕獲Aﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								126
+$28	CCAL	CCA7~0 (比較/捕獲Aﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$27	PERH	PER15~8 (定期ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								125
+$26	PERL	PER7~0 (定期ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$22～$25	予約	–	–	–	–	–	–	–	–	
+$21	CNTH	CNT15~8 (計数器ﾚｼﾞｽﾀ上位ﾊﾞｲﾄ)								125
+$20	CNTL	CNT7~0 (計数器ﾚｼﾞｽﾀ下位ﾊﾞｲﾄ)								125
+$10～$1F	予約	–	–	–	–	–	–	–	–	
+$0F	TEMP	TMP7~0 (一時ﾚｼﾞｽﾀ)								124
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	INTFLAGS	CCDIF	CCCIF	CCBIF	CCAIF	–	–	ERRIF	OVFIF	124
+$0B	CTRLGSET	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	123
+$0A	CTRLGCLR	–	–	–	CCDBV	CCCBV	CCBBV	CCABV	PERBV	123
+$09	CTRLFSET	–	–	–	QDECINDX	CMD1,0		LUPD	DIR	123
+$08	CTRLFCLR	–	–	–	QDECINDX	CMD1,0		LUPD	DIR	123
+$07	INTCTRLB	CCDINTLVL1,0		CCCINTLVL1,0		CCBINTLVL1,0		CCAINTLVL1,0		122
+$06	INTCTRLA	–	–	–	–	ERRINTLVL1,0		OVFINTLVL1,0		122
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CTRLE	–	–	–	–	–	–	BYTEM1,0		122
+$03	CTRLD	EVACT2~0			EVDLY	EVSEL3~0				121
+$02	CTRLC	–	–	–	–	CMPD	CMPC	CMPB	CMPA	121
+$01	CTRLB	CCDEN	CCCEN	CCBEN	CCAEN	–	WGMODE2~0			120
+$00	CTRLA	–	–	–	–	CLKSEL3~0				120

14.14. 割り込みﾍﾞｸﾀ要約

表14-9. ﾀｲﾏ/ｶｳﾝﾀ割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	OVF_vect	ﾀｲﾏ/ｶｳﾝﾀ上昇溢れ/下降溢れ割り込みﾍﾞｸﾀ
$02	ERR_vect	ﾀｲﾏ/ｶｳﾝﾀ異常割り込みﾍﾞｸﾀ
$04	CCA_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙA割り込みﾍﾞｸﾀ
$06	CCB_vect	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙB割り込みﾍﾞｸﾀ
$08	CCC_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙC割り込みﾍﾞｸﾀ
$0A	CCD_vect（注）	ﾀｲﾏ/ｶｳﾝﾀ比較または捕獲ﾁｬﾈﾙD割り込みﾍﾞｸﾀ

注: 4つの16ﾋﾞｯﾄ比較または捕獲ﾁｬﾈﾙを持つﾀｲﾏ/ｶｳﾝﾀでだけ利用可能

15. TC2 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2型

15.1. 要点

- 2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀのｼｽﾃﾑ
  - 下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ
  - 上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ
- 8つの比較ﾁｬﾈﾙ
  - 下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の4つの比較ﾁｬﾈﾙ
  - 上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の4つの比較ﾁｬﾈﾙ
- 波形生成
  - 単一傾斜ﾊﾟﾙｽ幅変調
- 計時器漏れ(ｱﾝﾀﾞｰﾌﾛｰ)割り込み/事象
- 下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の比較ﾁｬﾈﾙ当たり1つの比較一致割り込み/事象
- 計数制御に対して事象ｼｽﾃﾑと使用可
- DMA転送単位処理起動に使用可

15.2. 概要

ﾀｲﾏ/ｶｳﾝﾀ2はﾀｲﾏ/ｶｳﾝﾀ0が分割動作に設定される時に実現されます。これは各々4つの比較ﾁｬﾈﾙを持つ2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀのｼｽﾃﾑです。これは個別に制御されるﾃﾞｭｰﾃｨ ｻｲｸﾙを持つ8つの構成設定可能なﾊﾟﾙｽ幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMﾁｬﾈﾙが必要な応用に意図されています。

2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀはこのｼｽﾃﾑに於いて各々、下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀと上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀとして参照されます。それらの違いは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀだけが比較一致割り込み、事象、DMA起動を生成するのに使えることです。

2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀは共用されるｸﾛｯｸ元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能ｸﾛｯｸから、または事象ｼｽﾃﾑからｸﾛｯｸ駆動と計時をすることができます。計数器は常に下降計数です。

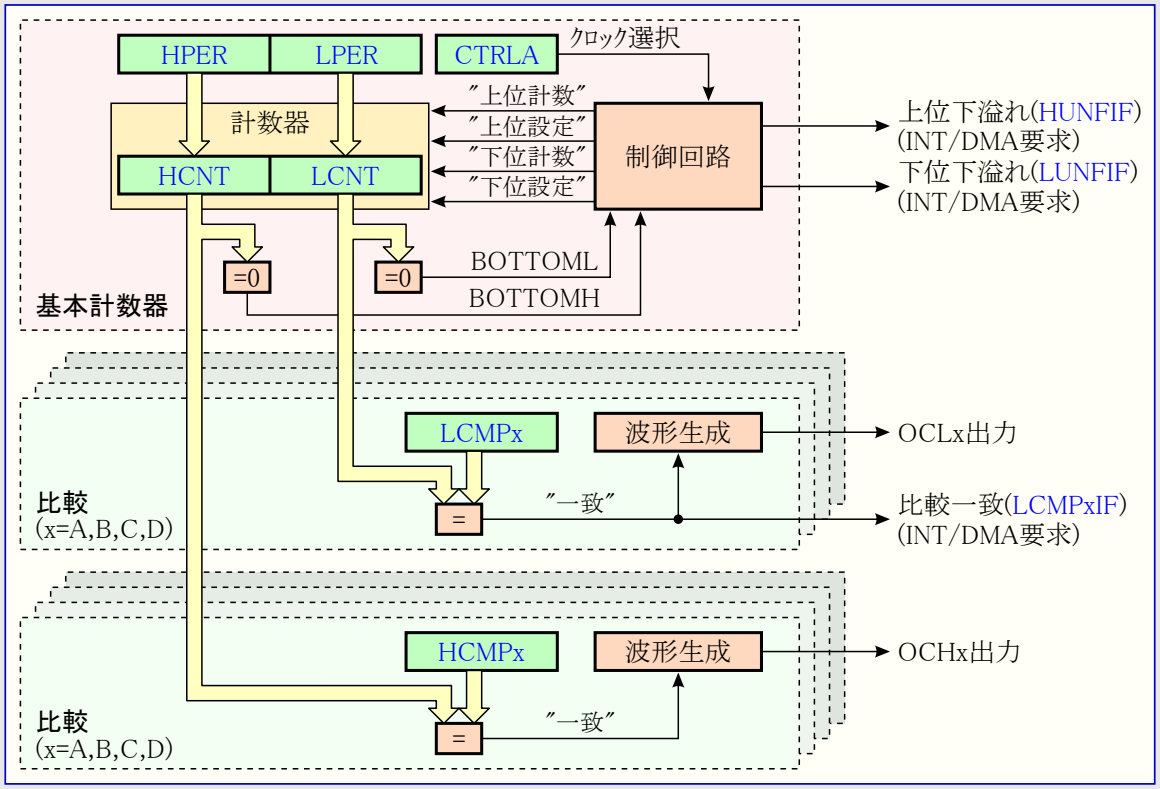
高分解拡張(Hi-Res)拡張は周辺機能ｸﾛｯｸよりも最大4倍速く走行する内部ｸﾛｯｸ元を用いることにより、波形出力分解能を8倍まで増すのに使うことができます。

ﾀｲﾏ/ｶｳﾝﾀ2はそれを標準動作に設定することによってﾀｲﾏ/ｶｳﾝﾀ0に設定し戻され、従って1つのﾀｲﾏ/ｶｳﾝﾀは0型または2型のどちらかとしてだけ存在することができます。

下位ﾊﾞｲﾄ(L)と上位ﾊﾞｲﾄ(H)のﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀ分割と比較単位部を示すﾀｲﾏ/ｶｳﾝﾀ2の詳細な構成図は図15-1.で示されます。

15.3. 構成図

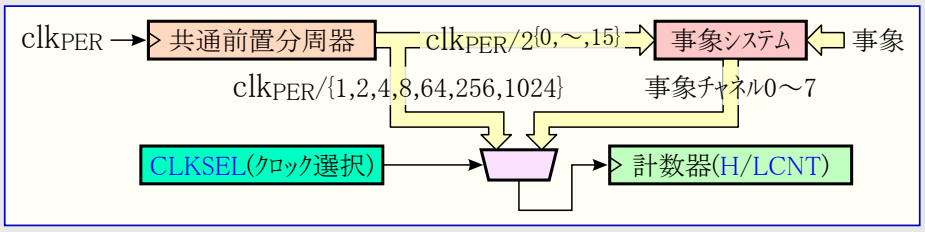
図15-1. 分割形態での16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0の構成図



15.4. クロック元

タイマ/カウンタは周辺機能クロック(clkPER)からと事象システムからクロック駆動することができます。図15-2.はクロックと事象の選択を示します。

図15-2. クロック選択



周辺機能クロック(clkPER)は共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1～1/1024の前置分周器出力の選択は直接的に利用可能です。加えて1～2^{15}前置分周範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は上位バイト計数器(HCNT)と下位バイト計数器(LCNT)のために前置分周器出力の1つまたは事象チャネルを選びます。事象システムの使用により、何れのI/Oピンの外部クロック信号のような、どの事象元もクロック入力として使うことができます。

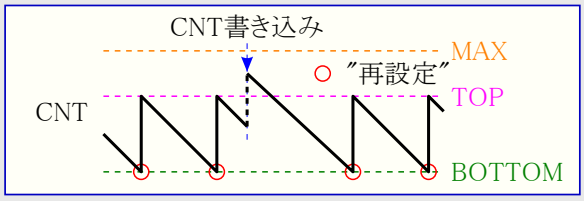
既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

15.5. 計数器動作

計数器は常に単一傾斜動作で計数します。各計数器は各クロック周期に対してそれがBOTTOMに達するまで下降計数し、そして後続するクロック周期で定期(PER)レジスタ値を計数器に再設定します。

図15-3.で示されるように、計数器は走行中に計数器の値を変更することができます。書き込みアクセスは計数解除と再設定よりも高い優先権を持ち、即時に行われます。

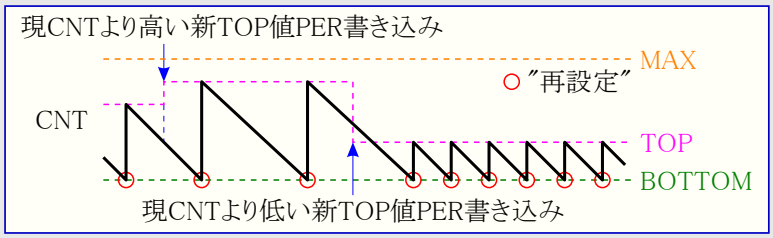
図15-3. 計数器動作



15.5.1. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。計数器が下降計数のため、定期レジスタは図15-4.で示されるように現在の周期に影響を及ぼすことなく何時でも書くことができます。これは丸め奇数波形の生成を防ぎます。

図15-4. 周期変更



15.6. 比較チャネル

各比較チャネルは計数器値(CNT)と比較(CMPx)レジスタを継続的に比較します。CNTとCMPxが等しい場合に比較器が一致を合図します。下位バイト タイマ/カウンタに関して、この一致は次の計時器クロック周期で比較チャネルの割り込み要求フラグ(LCMPxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。上位バイト タイマ/カウンタは比較割り込み/事象を持ちません。

15.6.1. 波形生成

比較チャネルは対応するポート ピンでの波形生成に使うことができます。接続されたポート ピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

1. 使われる比較チャネルが許可(xCMPxEN)されなければなりません。これは対応するポート ピン出力(OUT)レジスタを無効にします。
2. 関連するポート ピンに対する方向(DIR)が出力に設定されなければなりません。

反転波形出力はポート ピンに対する反転出力(INVEN)ビットを設定(1)することによって達成されます。より多くの詳細については95頁の「入出力ポート」を参照してください。

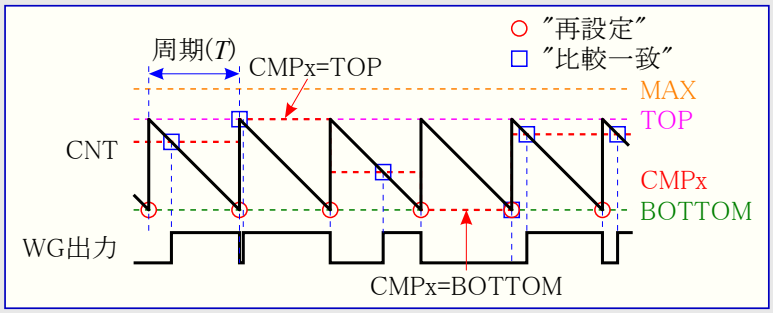
15.6.2. 単一傾斜PWM生成

PWM生成については、周期(T)が定期(PER)ﾚｼﾞｽﾀによって制御され、一方比較(CMPx)ﾚｼﾞｽﾀが波形生成器(WG)出力のﾃﾞｭｰﾃｨ ｻｲｸﾙを制御します。図15-5.は計数器がどうTOPからBOTTOMへ計数し、そしてTOPから再始動するかを示します。WG出力は計数器(CNT)とCMPxﾚｼﾞｽﾀ間の比較一致で設定(1)され、BOTTOMで解除(0)されます。

PERﾚｼﾞｽﾀはPWM分解能を定義します。最小分解能は、2ﾋﾞｯﾄ(PER=$0003)で、最大分解能は8ﾋﾞｯﾄ(PER=MAX)です。

次式は単一傾斜PWMに対する正確な分解能(R_{PWM_SS})波形の計算に使われます。

図15-5. 単一傾斜ﾊﾟﾙｽ幅変調



$$R_{PWM\_SS} = \frac{\log(PER+1)}{\log(2)}$$

単一傾斜PWM周波数(f_{PWM_SS})は周期設定(PER)と周辺機能ｸﾛｯｸ周波数(f_{clkPER})に依存し、次式によって計算されます。

$$f_{PWM\_SS} = \frac{f_{clkPER}}{N(PER+1)}$$

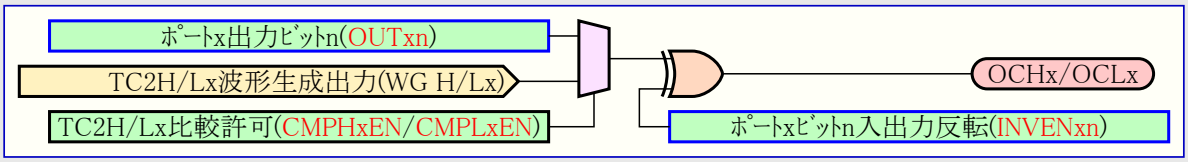
ここでNは使った前置分周数(1,2,4,8,64,256,1024、または事象ﾁｬﾈﾙn)を表します。

15.6.3. 波形生成に関するﾎﾟｰﾄ無効化

ﾎﾟｰﾄ ﾋﾟﾝで利用可能な波形生成を行うには対応するﾎﾟｰﾄ ﾋﾟﾝの方向が出力として設定されなければなりません。ﾀｲﾏ/ｶｳﾝﾀは比較(CMPx)ﾁｬﾈﾙが許可(LCMPxEN/HCMPxEN)される時にﾎﾟｰﾄ ﾋﾟﾝ値を無効にします。

図15-6.はﾀｲﾏ/ｶｳﾝﾀ下位と上位に関するﾎﾟｰﾄ無効化を示します。ﾀｲﾏ/ｶｳﾝﾀ下位(CNTL)と比較(CMPx)ﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝ(Pxn)でﾎﾟｰﾄ ﾋﾟﾝ0～3の出力値(OUTxn)を無効にします。。ﾀｲﾏ/ｶｳﾝﾀ上位(CNTH)と比較(CMPx)ﾁｬﾈﾙは対応するﾎﾟｰﾄ ﾋﾟﾝ(Pxn)でﾎﾟｰﾄ ﾋﾟﾝ4～7を無効にします。ﾎﾟｰﾄ ﾋﾟﾝでの反転I/O許可(INVENxn)は対応するWG出力を反転します。

図15-6. ﾀｲﾏ/ｶｳﾝﾀ下位と上位に関するﾎﾟｰﾄ無効化



15.7. 割り込みと事象

ﾀｲﾏ/ｶｳﾝﾀは割り込みと事象の両方を生成できます。計数器は下降溢れでの割り込みを生成でき、下位ﾊﾞｲﾄ計数器に対する各比較(CMPx)ﾁｬﾈﾙは独立した比較割り込みを持ちます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については50頁の「事象ｼｽﾃﾑ」を参照してください。

15.8. DMA支援

ﾀｲﾏ/ｶｳﾝﾀ下降溢れと比較の割り込み要求ﾌﾗｸﾞはDMA転送単位処理の起動に使えます。ﾌﾗｸﾞ/要求を解除する応答状況が表15-1.で一覧にされます。

表15-1. DMA要求元

要求	応答	注釈
LUNFIF	DMA制御器のLCNT書き込み	
	DMA制御器のLPER書き込み	
HUNFIF	DMA制御器のHCNT書き込み	
	DMA制御器のHPER書き込み	
LCMPxIF	DMA制御器のLCMPxｱｸｾｽ	比較動作 (x=A,B,C,D)

15.9. ﾀｲﾏ/ｶｳﾝﾀ指令

単位部の状態を直ちに変更するために、ｿﾌﾄｳｪｱによって1組の指令をﾀｲﾏ/ｶｳﾝﾀに与えることができます。これらの指令は更新、再始動、ﾘｾｯﾄの信号の直接制御を行います。

ｿﾌﾄｳｪｱは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器と全ての比較出力が0に設定されます。

ﾘｾｯﾄ指令は全てのﾀｲﾏ/ｶｳﾝﾀ ﾚｼﾞｽﾀをそれらの初期値に設定します。ﾘｾｯﾄはﾀｲﾏ/ｶｳﾝﾀが非動作(OFF)の時にだけ与えることができます。

15.10. ﾚｼﾞｽﾀ説明

15.10.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	CLKSEL3~0				CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CLKSEL3~0 : ｸﾛｯｸ選択** (Clock Select)

これらのﾋﾞｯﾄは表15-2.に従ってﾀｲﾏ/ｶｳﾝﾀに対するｸﾛｯｸ元を選択します。ｸﾛｯｸ選択は上位と下位の両ﾊﾞｲﾄのﾀｲﾏ/ｶｳﾝﾀに対して同一です。

表15-2. ｸﾛｯｸ選択

CLKSEL3~0	群構成設定	内容
0 0 0 0	OFF	なし (換言するとﾀｲﾏ/ｶｳﾝﾀ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clk_{PER}
0 0 1 0	DIV2	前置分周器: $clk_{PER}/2$
0 0 1 1	DIV4	前置分周器: $clk_{PER}/4$
0 1 0 0	DIV8	前置分周器: $clk_{PER}/8$
0 1 0 1	DIV64	前置分周器: $clk_{PER}/64$
0 1 1 0	DIV256	前置分周器: $clk_{PER}/256$
0 1 1 1	DIV1024	前置分周器: $clk_{PER}/1024$
1 n n n	EVCHn	事象ﾁｬﾈﾙn (n=0～7)

15.10.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	HCMPDEN	HCMPCEN	HCMPBEN	HCMPAEN	LCMPDEN	LCMPCEN	LCMPBEN	LCMPAEN	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HCMPxEN/LCMPxEN : 上位/下位ﾊﾞｲﾄ比較x許可** (High/Low Byte Compare x Enable)

これらのﾋﾞｯﾄの設定(1)は比較出力を許可し、対応するOCn出力ﾋﾟﾝに対するﾎﾟｰﾄ出力ﾚｼﾞｽﾀ値を無効にします。

15.10.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	HCMPD	HCMPC	HCMPB	HCMPA	LCMPD	LCMPC	LCMPB	LCMPA	CTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HCMPx/LCMPx : 上位/下位ﾊﾞｲﾄ比較x出力値** (High/Low Compare x Output Value)

これらのﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接ｱｸｾｽを許します。これはﾀｲﾏ/ｶｳﾝﾀが動作していない時にWG出力値を設定(1)または解除(0)するのに使われます。

15.10.4. CTRLE – 制御ﾚｼﾞｽﾀE (Control register E)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	–	BYTEM1,0		CTRLE
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1,0 – BYTEM1,0 : ﾊﾞｲﾄ動作 (Byte Mode)

これらのﾋﾞｯﾄは表15-3.に従ってﾀｲﾏ/ｶｳﾝﾀ動作形態を選択します。

表15-3. ﾀｲﾏ/ｶｳﾝﾀ型式選択

BYTEM1,0	群構成設定	内容
0 0	NORMAL	ﾀｲﾏ/ｶｳﾝﾀは標準形態(ﾀｲﾏ/ｶｳﾝﾀ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位ﾊﾞｲﾄ(CNTH)は各ｸﾛｯｸ周期後、0に設定されます。
1 0	SPLITMODE	ﾀｲﾏ/ｶｳﾝﾀ0は2つの8ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ(ﾀｲﾏ/ｶｳﾝﾀ型式2)に分割されます。
1 1	–	(予約)

15.10.5. INTCTRLA – 割り込み許可ﾚｼﾞｽﾀA (Interrupt Enable register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	HUNFINTLVL1,0		LUNFINTLVL1,0		INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7～4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3,2 – HUNFINTLVL1,0 : 上位ﾊﾞｲﾄ計時器下降溢れ割り込みﾚﾍﾞﾙ (High byte Timer Underflow Interrupt Level)

これらのﾋﾞｯﾄは上位ﾊﾞｲﾄ計時器下降溢れ割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの上位ﾊﾞｲﾄ計時器下降溢れ割り込み要求ﾌﾗｸﾞ(HUNFIF)が設定(1)される時に起動されます。

● ﾋﾞｯﾄ1,0 – LUNFINTLVL1,0 : 下位ﾊﾞｲﾄ計時器下降溢れ割り込みﾚﾍﾞﾙ (Low byte Timer Underflow Interrupt Level)

これらのﾋﾞｯﾄは下位ﾊﾞｲﾄ計時器下降溢れ割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ計時器下降溢れ割り込み要求ﾌﾗｸﾞ(LUNFIF)が設定(1)される時に起動されます。

15.10.6. INTCTRLB – 割り込み許可ﾚｼﾞｽﾀB (Interrupt Enable register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	LCMPDINTLVL1,0		LCMPCINTLVL1,0		LCMPBINTLVL1,0		LCMPAINTLVL1,0		INTCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7～0 – LCMPxINTLVL1,0 : 下位ﾊﾞｲﾄ比較x割り込みﾚﾍﾞﾙ (Low byte Compare x Interrupt Level)

これらのﾋﾞｯﾄは下位ﾊﾞｲﾄ比較割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選択します。許可された割り込みは割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの下位ﾊﾞｲﾄ比較x割り込み要求ﾌﾗｸﾞ(LCMPxIF)が設定(1)される時に起動されます。

15.10.7. CTRLF – 制御ﾚｼﾞｽﾀF (Control register F)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	–	–	–	–	CMD1,0		CMDEN1,0		CTRLF
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7～4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3,2 – CMD1,0 : ﾀｲﾏ/ｶｳﾝﾀ指令 (Timer/Counter Command)

これらの指令ﾋﾞｯﾄはﾀｲﾏ/ｶｳﾝﾀの更新、再始動、ﾘｾｯﾄのｿﾌﾄｳｪｱ制御に使えます。指令ﾋﾞｯﾄは常に0として読めます。CMDﾋﾞｯﾄは指令許可(CMDEN)ﾋﾞｯﾄと共に使われなければなりません。

表15-4. 指令選択

CMD1,0	群構成設定	指令動作
0 0	NONE	なし
0 1	–	(予約)
1 0	RESTART	強制再始動
1 1	RESET	強制ﾊｰﾄﾞ ﾘｾｯﾄ (T/CがOFF状態でなければ無視されます。)

● ﾋﾞｯﾄ1,0 – CMDEN1,0 : 指令許可 (Command Enable)

これらのﾋﾞｯﾄはどのﾀｲﾏ/ｶｳﾝﾀに対して指令(CMD)が有効かを示すのに使われます。

表15-5. 指令許可選択

CMDEN1,0	群構成設定	内容
0 0	–	(予約)
0 1	LOW	下位ﾊﾞｲﾄT/Cに対して指令有効
1 0	HIGH	上位ﾊﾞｲﾄT/Cに対して指令有効
1 1	BOTH	下位ﾊﾞｲﾄと上位ﾊﾞｲﾄの両T/Cに対して指令有効

15.10.8. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	LCMPDIF	LCMPCIF	LCMPBIF	LCMPAIF	–	–	HUNFIF	LUNFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – LCMPxIF : 比較ﾁｬﾈﾙx割り込み要求ﾌﾗｸﾞ (Compare Channel x Interrupt Flag)

比較割り込み要求ﾌﾗｸﾞ(LCMPxIF)は対応する比較(LCMPx)ﾁｬﾈﾙでの比較一致で設定(1)されます。

全動作種別に対して、LCMPxIFは計数(LCNT)ﾚｼﾞｽﾀと対応する比較(LCMPx)ﾚｼﾞｽﾀ間で比較一致が起きる時に設定(1)されます。LCMPxIFは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ3,2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – HUNFIF : 上位ﾊﾞｲﾄ計時器下降溢れ割り込み要求ﾌﾗｸﾞ (High byte Timer Underflow Interrupt Flag)

HUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このﾌﾗｸﾞは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● ﾋﾞｯﾄ0 – LUNFIF : 下位ﾊﾞｲﾄ計時器下降溢れ割り込み要求ﾌﾗｸﾞ (Low byte Timer Underflow Interrupt Flag)

LUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このﾌﾗｸﾞは対応する割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

15.10.9. LCNT – 下位ﾊﾞｲﾄ計数ﾚｼﾞｽﾀ (Low-byte Counter register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$20	LCNT7~0								LCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – LCNT7~0 : 下位ﾊﾞｲﾄ計数器7~0

LCNTは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ計数器値を含みます。CPUとDMAの書き込みｱｸｾｽは計数器の計数、解除、再設定より上の優先権を持ちます。

15.10.10. HCNT – 上位ﾊﾞｲﾄ計数ﾚｼﾞｽﾀ (High-byte Counter register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$21	HCNT7~0								HCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HCNT7~0 : 上位ﾊﾞｲﾄ計数器7~0**

HCNTは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ計数器値を含みます。CPUとDMAの書き込みｱｸｾｽは計数器の計数、解除、再設定より上の優先権を持ちます。

15.10.11. LPER – 下位ﾊﾞｲﾄ定期ﾚｼﾞｽﾀ (Low-byte Period register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$26	LPER7~0								LPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – LPER7~0 : 下位ﾊﾞｲﾄ定期値7~0**

LPERは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ定期値を含みます。

15.10.12. HPER – 上位ﾊﾞｲﾄ定期ﾚｼﾞｽﾀ (High-byte Period register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$27	HPER7~0								HPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HPER7~0 : 上位ﾊﾞｲﾄ定期値7~0**

HPERは上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ定期値を含みます。

15.10.13. LCMPx – 下位ﾊﾞｲﾄ比較xﾚｼﾞｽﾀ (Low-byte Compare register x)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$28,A,C,E	LCMPx7~0								LCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – LCMPx7~0 : 下位ﾊﾞｲﾄ比較値7~0** (x={A,B,C,D})

LCMPxは下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ比較値を含みます。

これらのﾚｼﾞｽﾀは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使われます。

15.10.14. HCMPx – 上位ﾊﾞｲﾄ比較xﾚｼﾞｽﾀ (High-byte Compare register x)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$29,B,D,F	HCMPx7~0								HCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – HCMPx7~0 : 上位ﾊﾞｲﾄ比較値7~0** (x={A,B,C,D})

HCMPxは上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ用の8ﾋﾞｯﾄ比較値を含みます。

これらのﾚｼﾞｽﾀは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使われます。

15.11. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$30～$3F	予約	–	–	–	–	–	–	–	–	
+$2F	HCMPD	HCMPD7~0 (上位ﾊﾞｲﾄ比較Dﾚｼﾞｽﾀ)								135
+$2E	LCMPD	LCMPD7~0 (下位ﾊﾞｲﾄ比較Dﾚｼﾞｽﾀ)								135
+$2D	HCMPC	HCMPC7~0 (上位ﾊﾞｲﾄ比較Cﾚｼﾞｽﾀ)								135
+$2C	LCMPC	LCMPC7~0 (下位ﾊﾞｲﾄ比較Cﾚｼﾞｽﾀ)								135
+$2B	HCMPB	HCMPB7~0 (上位ﾊﾞｲﾄ比較Bﾚｼﾞｽﾀ)								135
+$2A	LCMPB	LCMPB7~0 (下位ﾊﾞｲﾄ比較Bﾚｼﾞｽﾀ)								135
+$29	HCMPA	HCMPA7~0 (上位ﾊﾞｲﾄ比較Aﾚｼﾞｽﾀ)								135
+$28	LCMPA	LCMPA7~0 (下位ﾊﾞｲﾄ比較Aﾚｼﾞｽﾀ)								135
+$27	HPER	HPER7~0 (上位ﾊﾞｲﾄ定期ﾚｼﾞｽﾀ)								135
+$26	LPER	LPER7~0 (下位ﾊﾞｲﾄ定期ﾚｼﾞｽﾀ)								135
+$22～$25	予約	–	–	–	–	–	–	–	–	
+$21	HCNT	CNTH7~0 (上位ﾊﾞｲﾄ計数器ﾚｼﾞｽﾀ)								135
+$20	LCNT	CNTL7~0 (下位ﾊﾞｲﾄ計数器ﾚｼﾞｽﾀ)								134
+$10～$1F	予約	–	–	–	–	–	–	–	–	
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	INTFLAGS	LCMPDIF	LCMPCIF	LCMPBIF	LCMPAIF	–	–	HUNFIF	LUNFIF	134
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	CTRLF	–	–	–	–	CMD1,0		CMDEN1,0		133
+$08	予約	–	–	–	–	–	–	–	–	
+$07	INTCTRLB	LCMPDINTLVL1,0		LCMPCINTLVL1,0		LCMPBINTLVL1,0		LCMPAINTLVL1,0		133
+$06	INTCTRLA	–	–	–	–	HUNFINTLVL1,0		LUNFINTLVL1,0		133
+$05	予約	–	–	–	–	–	–	–	–	
+$04	CTRLE	–	–	–	–	–	–	BYTEM1,0		132
+$03	予約	–	–	–	–	–	–	–	–	
+$02	CTRLC	HCMPD	HCMPC	HCMPB	HCMPA	LCMPD	LCMPC	LCMPB	LCMPA	132
+$01	CTRLB	HCMPEND	HCMPENC	HCMPENB	HCMPENA	LCMPEND	LCMPENC	LCMPENB	LCMPENA	132
+$00	CTRLA	–	–	–	–	CLKSEL3~0				132

15.12. 割り込みﾍﾞｸﾀ要約

表15-6. ﾀｲﾏ/ｶｳﾝﾀ割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	LUNF_vect	下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ下降溢れ割り込みﾍﾞｸﾀ
$02	HUNF_vect	上位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ下降溢れ割り込みﾍﾞｸﾀ
$04	LCMPA_vect	下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ比較ﾁｬﾈﾙA割り込みﾍﾞｸﾀ
$06	LCMPB_vect	下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ比較ﾁｬﾈﾙB割り込みﾍﾞｸﾀ
$08	LCMPC_vect	下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ比較ﾁｬﾈﾙC割り込みﾍﾞｸﾀ
$0A	LCMPD_vect	下位ﾊﾞｲﾄ ﾀｲﾏ/ｶｳﾝﾀ比較ﾁｬﾈﾙD割り込みﾍﾞｸﾀ

16. AWeX – 新波形生成拡張

16.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
  - 8ビット分解能
  - 独立したHigh側とLow側の沈黙時間設定
  - 2重緩衝された沈黙時間
  - 任意選択の沈黙時間中の停止計時器
- ポート ピンに渡って同期したビット様式を生成する模様型生成部
  - 2重緩衝された模様型生成
  - 任意選択のポート ピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

16.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポート ピンに渡る同期されたビット模様を生成することもできます。

図16-1. 新波形生成拡張(AWeX)と密接に関連する周辺機能(青枠)

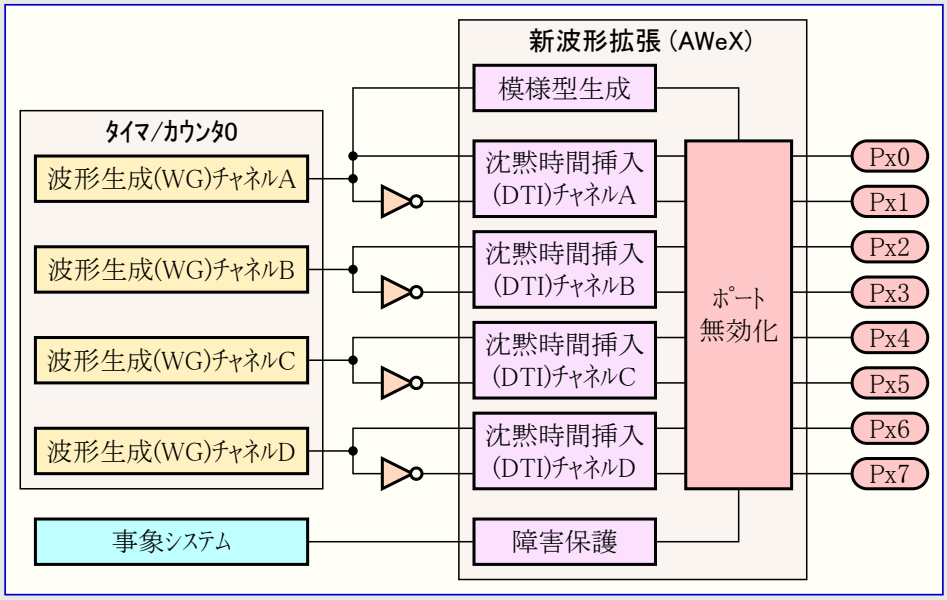


図16-1.で示されるように、タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通って行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。より多くの詳細については95頁の「入出力ポート」を参照してください。

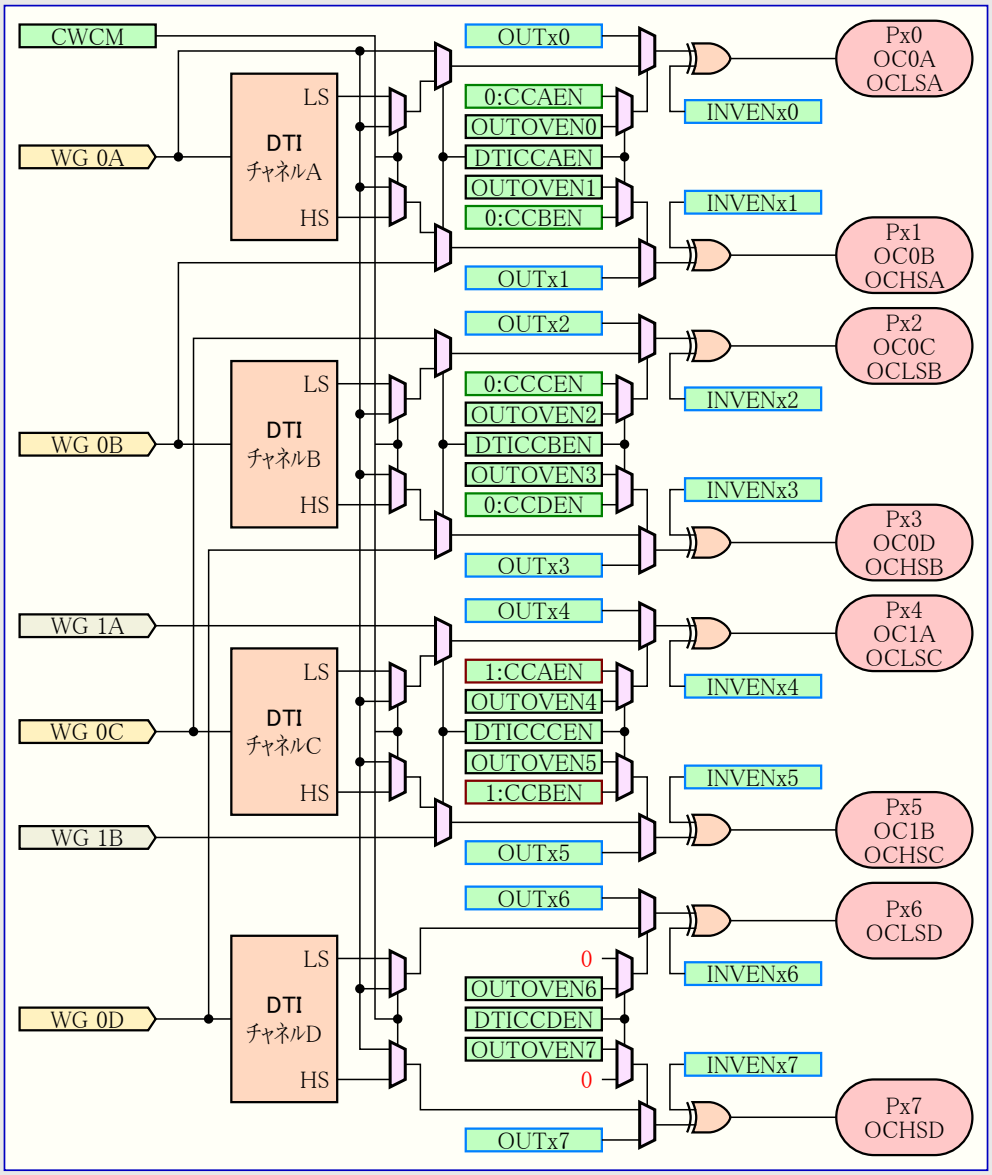
模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポート ピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

16.3. ﾎﾟｰﾄ無効化

全てのﾀｲﾏ/ｶｳﾝﾀ拡張に対してﾎﾟｰﾄ無効化論理回路は共通です。図16-2.はﾎﾟｰﾄ無効化論理回路の回路構成を示します。沈黙時間許可(DTICCxEN)ﾋﾞｯﾄが設定(1)されると、ﾀｲﾏ/ｶｳﾝﾀ拡張は対応するﾁｬﾈﾙに対してﾋﾟﾝ対の制御を引き受けます。この条件を与えられた出力無効化許可(OUTOVEN)ﾋﾞｯﾄは比較/捕獲x許可(CCxEN)の制御を引き取ります。

図16-2. ﾀｲﾏ/ｶｳﾝﾀ拡張とﾎﾟｰﾄ無効化論理回路



16.4. 沈黙時間挿入

沈黙時間挿入(DTI)部は波形生成(WG)出力の非反転Low側(LS)と反転High側(HS)の両方がLowとなるOFF時間の生成を可能にします。このOFF時間は沈黙時間と呼ばれ、沈黙時間はLSとHSを決して同時に切り換えないことを保証します。

DTI部はﾀｲﾏ/ｶｳﾝﾀ0の比較ﾁｬﾈﾙの各々に対して1つの、4つの同じ沈黙時間生成器から成ります。図16-3.は1つのDTI生成器の構成図を示します。4つのﾁｬﾈﾙは沈黙時間を制御する共通のﾚｼﾞｽﾀを持ちます。High側とLow側は個別の沈黙時間設定を持ち、沈黙時間ﾚｼﾞｽﾀは2重緩衝されています。

無効化解除動作では障害状態が解除される時に操作が再開し、そして模様型生成が使われるか、またはAWeXに対して書き込みｽﾄﾛｰﾌﾞがHighになります。

模様型生成動作では、通常、外部で短絡回路を供給して、次の更新(UPDATE)まで全てのﾁｬﾈﾙで同じ波形が出力されるでしょう。これらのどちらも起こらなければ、通常動作は1～2周期早く再開するでしょう。

図16-3. 沈黙時間生成器構成図

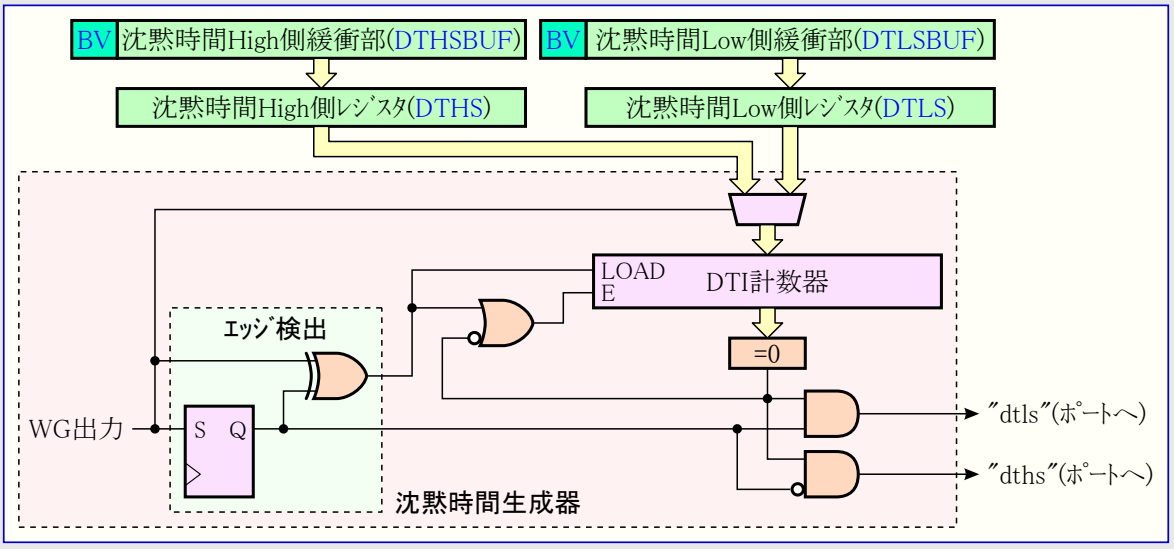
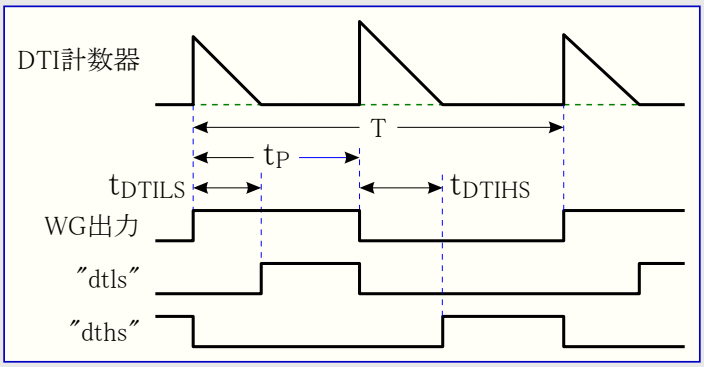


図16-4.で示されるように、8ﾋﾞｯﾄの沈黙時間計数器は0に達するまで各周辺機能ｸﾛｯｸ周期に対して1つずつ減少されます。0以外の計数器値はLow側とHigh側の両方の出力にOFF状態を強制します。波形生成(WG)出力で変化が検出されると、沈黙時間計数器は入力のｴｯｼﾞに応じて再設定されます。正端は沈黙時間Low側(DTLS)ﾚｼﾞｽﾀの再設定で、負端は沈黙時間High側(DTHS)ﾚｼﾞｽﾀの再設定で計数器を初期化します。

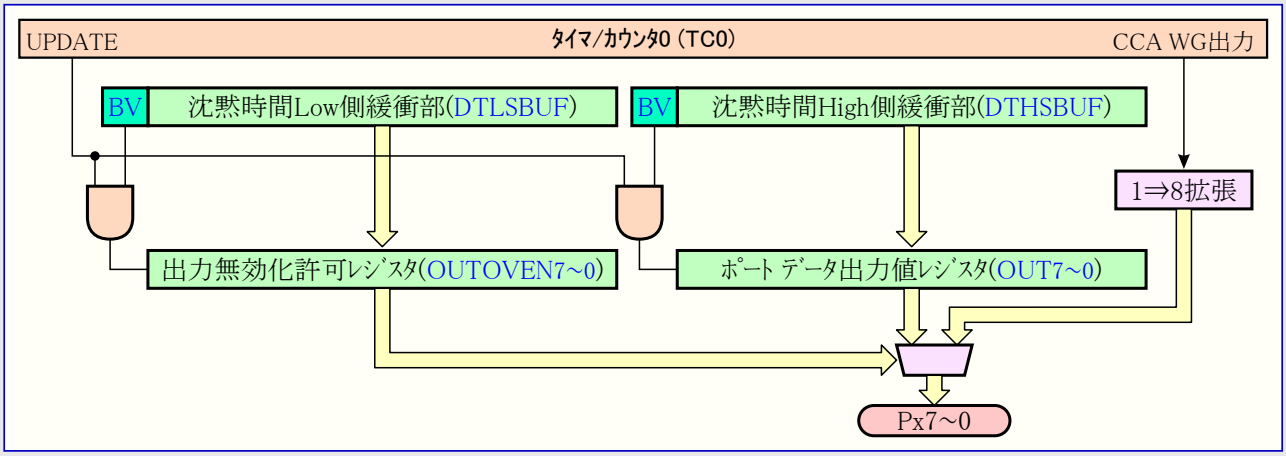
図16-4. 沈黙時間生成器ﾀｲﾐﾝｸﾞ構成図



16.5. 模様型生成

模様型生成器部はそれが接続されたﾎﾟｰﾄに渡って同期したﾋﾞｯﾄ模様を生成するために沈黙時間挿入(DTI)ﾚｼﾞｽﾀを再使用します。加えて、比較(CC)ﾁｬﾈﾙA(CCA)からの波形生成器出力はﾎﾟｰﾄ ﾋﾟﾝ全てを無効にしてそこへ配給できます。これらの機能は主にﾌﾞﾗｼﾚｽDC電動機とｽﾃｯﾋﾟﾝｸﾞ電動機応用での整流手順の扱いを意図されています。模様型生成器の構成図が図16-5.で示されます。対応する出力無効化許可(OUTOVEN)ﾋﾞｯﾄが多重器を設定する各ﾎﾟｰﾄ ﾋﾟﾝに対して比較/捕獲ﾁｬﾈﾙA(CCA)からの波形を出力します。

図16-5. 模様型生成器構成図



他のﾀｲﾏ/ｶｳﾝﾀの2重緩衝されたﾚｼﾞｽﾀでのように、ﾚｼﾞｽﾀ更新は波形生成動作種別によって設定されたUPDATE条件に同期化されます。この提供された同期化が応用で必要がない場合、応用ｺｰﾄﾞは単に出力無効化許可(OUTOVEN)ﾚｼﾞｽﾀとﾎﾟｰﾄ ﾃﾞｰﾀ出力値(OUT)ﾚｼﾞｽﾀを直接ｱｸｾｽすることができます。

ﾎﾟｰﾄで見えるように、模様型生成器からのどの出力に対してもﾋﾟﾝ方向が(出力に)設定されなければなりません。

16.6. 障害保護

障害保護機能は障害検出時に高速且つ決定的な動きを可能にします。障害保護は事象制御され、故に事象ｼｽﾃﾑからの何れかの事象はｱﾅﾛｸﾞ比較器やA/D変換器の測定からの過電流指示のような障害活動を起動するのに使えます。

障害保護が許可されると、選択した事象ﾁｬﾈﾙからやって来る事象が事象活動を起動し得ます。各事象ﾁｬﾈﾙは障害保護入力として独立して許可でき、指定された事象ﾁｬﾈﾙは共にORされ、同時に障害保護に使われるのを複数の事象元に許します。

16.6.1. 障害活動

障害が検出されると、方向解除活動は関連するﾎﾟｰﾄの方向(DIR)ﾚｼﾞｽﾀを解除し、全てのﾎﾟｰﾄ ﾋﾟﾝをHi-Z入力として設定します。

障害検出ﾌﾗｸﾞ(FDF)が設定(1)され、ﾀｲﾏ/ｶｳﾝﾀの異常割り込み要求ﾌﾗｸﾞ(ERRIF)が設定(1)され、そして任意選択の割り込みが生成されます。

事象発生時から障害保護が事象活動を起動するまでには最大2周辺機能ｸﾛｯｸ周期があります。障害保護はCPUやDMAと完全に無関係ですが、周辺機能ｸﾛｯｸの走行が必要です。

16.6.2. 障害回復動作

障害後で障害条件がもはや活性(有効)でない時に新波形生成拡張(AWeX)とﾀｲﾏ/ｶｳﾝﾀを障害状態から通常動作にどう戻すかは、2つの異なる動作の1つから選ぶことができます。

- ﾗｯﾁ動作では、障害条件がもはや活性(有効)でなく、障害検出ﾌﾗｸﾞ(FDF)がｿﾌﾄｳｪｱによって解除(0)されるまで、波形出力は障害状態に留まります。これらの両条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。
- 周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

障害状態からの戻り時に許可されたDTIﾁｬﾈﾙに対応するDIR7～0ﾋﾞｯﾄが回復されます。ｿﾌﾄｳｪｱからﾚｼﾞｽﾀへの書き込みが妨げられることを除き、OUTOVENは障害によって影響を及ぼされません。

通常動作への回復に使われるUPDATE条件はﾀｲﾏ/ｶｳﾝﾀでのものと同じ更新(UPDATE)です。

16.6.3. 変更保護

障害保護設定での予期せぬ変更を避けるため、新波形生成拡張(AWeX)の全ての制御ﾚｼﾞｽﾀは新波形生成拡張施錠(AWEXLOCK)ﾚｼﾞｽﾀの対応する施錠ﾋﾞｯﾄを書くことによって保護できます。より多くの詳細については18頁の「**I/Oﾒﾓﾘ保護**」と34頁の「**AWEXLOCK – 新波形生成拡張施錠ﾚｼﾞｽﾀ**」を参照してください。

施錠ﾋﾞｯﾄが設定(1)されると、制御(CTRL)ﾚｼﾞｽﾀ、出力無効化許可(OUTOVEN)ﾚｼﾞｽﾀ、障害検出事象許可(FDEMASK)ﾚｼﾞｽﾀは変更できません。

障害事象設定での予期せぬ変更を避けるため、事象ｼｽﾃﾑ施錠(EVSYSLOCK)ﾚｼﾞｽﾀの対応する施錠ﾋﾞｯﾄを書くことによって事象ｼｽﾃﾑ ﾁｬﾈﾙ構成設定を施錠できます。より多くの詳細については18頁の「**I/Oﾒﾓﾘ保護**」と34頁の「**EVSYSLOCK – 事象ｼｽﾃﾑ施錠ﾚｼﾞｽﾀ**」を参照してください。

16.6.4. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ

障害検出許可時、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ(OCD)ｼｽﾃﾑはﾃﾞﾊﾞｯｶﾞから中断要求を受け取り、これは障害元としての既定での機能です。OCD中断要求受け取り時、新波形生成拡張(AWeX)と対応するﾀｲﾏ/ｶｳﾝﾀは障害状態へ移行し、指定した障害活動を実行します。

OCDが中断状態から抜け出した後、通常動作が再び開始されます。周期単位動作では波形出力が中断後の最初の更新(UPDATE)条件で始まり、ﾗｯﾁ動作では出力が回復される前に障害検出ﾌﾗｸﾞ(FDF)がｿﾌﾄｳｪｱによって解除(0)されなければなりません。この特性は中断の間に出力波形が安全な状態へ移行することを保証します。

この機能は禁止することができます。

16.7. ﾚｼﾞｽﾀ説明

16.7.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5 – PGM : 模様型生成動作** (Pattern Generation Mode)

このﾋﾞｯﾄの設定(1)は模様型生成動作を許可します。これは沈黙時間挿入(DTI)を無効にし、模様型生成は模様型格納用に沈黙時間ﾚｼﾞｽﾀを再使用します。

● **ﾋﾞｯﾄ4 – CWCM : 共通波形ﾁｬﾈﾙ動作** (Common Waveform Channel Mode)

このﾋﾞｯﾄが設定(1)なら、全ての沈黙時間生成器に対する入力として、比較/捕獲(CC)ﾁｬﾈﾙAが使われます。CCﾁｬﾈﾙB,C,Dの波形は無視されます。

● **ﾋﾞｯﾄ3~0 – DTICCxEN : ﾁｬﾈﾙx沈黙時間挿入許可** (Dead-Time Insertion CCx Enable)

これらのﾋﾞｯﾄの設定(1)は対応するﾁｬﾈﾙに対する沈黙時間生成器を許可します。これはﾀｲﾏ/ｶｳﾝﾀ波形出力を無効にします。

16.7.2. FDEMASK – 障害検出事象許可ﾚｼﾞｽﾀ (Fault Detect Event Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	FDEVMASK7~0								FDEMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – FDEVMASK7~0 : 障害検出事象許可** (Fault Detect Event Mask)

これらのﾋﾞｯﾄは対応する事象ﾁｬﾈﾙを障害条件入力元として許可します。事象ﾁｬﾈﾙからの全事象は共にORされ、障害検出への複数供給元同時使用を可能にします。障害検知時、障害検出ﾌﾗｸﾞ(FDF)が設定(1)され、障害検出活動(FDACT)が実行されます。

16.7.3. FDCTRL – 障害検出制御ﾚｼﾞｽﾀ (Fault Detection Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	FDDBD	–	FDMODE	FDACT1,0		FDCTRL
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – FDDBD : ﾃﾞﾊﾞｯｸﾞ中断要求での障害検出処理動作** (Fault Detection on Debug Break Detection)

既定ではこのﾋﾞｯﾄが解除(0)されており、障害検出許可時のﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ(OCD)中断要求は障害として扱われます。このﾋﾞｯﾄが設定(1)されると、OCD中断要求は障害条件を起動しません。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – FDMODE : 障害検出再開種別** (Fault Detection Restart Mode)

このﾋﾞｯﾄは障害検出再開動作種別を設定します。このﾋﾞｯﾄが解除(0)されるとﾗｯﾁ動作が使われ、このﾋﾞｯﾄが設定(1)されると周期単位動作が使われます。

ﾗｯﾁ動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まり、障害検出ﾌﾗｸﾞ(FDF)はｿﾌﾄｳｪｱによって解除(0)されます。両方の条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。

周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

● ﾋﾞｯﾄ1,0 – FDACT1,0 : 障害検出活動 (Fault Detection Actioin)

これらのﾋﾞｯﾄは表16-1.に従って、障害条件が検知された場合に実行される活動を定義します。

表16-1. 障害検出活動選択

FDACT1,0	群構成設定	事象活動
0 0	NONE	なし(障害検出禁止)
0 1	–	(予約)
1 0	–	(予約)
1 1	CLEARDIR	許可された沈黙時間挿入(DTI)ﾁｬﾈﾙに対応する全方向(DIR)ﾋﾞｯﾄ解除、換言すると出力はHi-Z

16.7.4. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	FDF	DTHSBUFV	DTLSBUFV	STATUS
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~3 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – FDF : 障害検出ﾌﾗｸﾞ (Fault Detect Flag)

このﾌﾗｸﾞは障害検出条件が検知された時、換言すると障害検出事象許可(FDEVMASK)によって許可された事象ﾁｬﾈﾙの1つで事象が検知された時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)されます。

● ﾋﾞｯﾄ1 – DTHSBUFV : 沈黙時間High側緩衝有効 (Dead-Tine High Side Buffer Valid)

このﾌﾗｸﾞが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間High側(DTHS)ﾚｼﾞｽﾀ内に複写される値を含みます。このﾋﾞｯﾄが0なら、何の動作も行われません。接続されたﾀｲﾏ/ｶｳﾝﾀの更新施錠(LUPD)ﾋﾞｯﾄも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

● ﾋﾞｯﾄ0 – DTLSBUFV : 沈黙時間Low側緩衝有効 (Dead-Tine Low Side Buffer Valid)

このﾌﾗｸﾞが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間Low側(DTLS)ﾚｼﾞｽﾀ内に複写される値を含みます。このﾋﾞｯﾄが0なら、何の動作も行われません。接続されたﾀｲﾏ/ｶｳﾝﾀの更新施錠(LUPD)ﾋﾞｯﾄも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

16.7.5. DTBOTH – 沈黙時間両側同時書き込みﾚｼﾞｽﾀ (Dead-Time Concurrent Write to Both Sides register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	DTBOTH7~0								DTBOTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DTBOTH7~0 : 沈黙時間両側値 (Dead-Time Both Sides)

このﾚｼﾞｽﾀへの書き込みは沈黙時間High側(DTHS)ﾚｼﾞｽﾀと沈黙時間Low側(DTLS)ﾚｼﾞｽﾀを同時に(換言すると同じI/Oｱｸｾｽ書き込みで)更新します。

16.7.6. DTBOTHBUF – 沈黙時間両側同時書き込み緩衝ﾚｼﾞｽﾀ (Dead-Time Concurrent Write to Both Sides Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	DTBOTHBUF7~0								DTBOTHBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DTBOTHBUF7~0 : 沈黙時間両側緩衝値 (Dead-Time Both Sides Buffer)

このﾒﾓﾘ位置への書き込みは沈黙時間High側緩衝部(DTHSBUF)と沈黙時間Low側緩衝部(DTLSBUF)を同時に(換言すると同じI/Oｱｸｾｽ書き込みで)更新します。

16.7.7. DTLS – 沈黙時間Low側ﾚｼﾞｽﾀ (Dead-Time Low Side register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	DTLS7~0								DTLS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTLS7~0 : 沈黙時間Low側値** (Dead-Time Low Side)

このﾚｼﾞｽﾀはLow側沈黙時間に対する周辺機能ｸﾛｯｸ周期数を保持します。

16.7.8. DTHS – 沈黙時間High側ﾚｼﾞｽﾀ (Dead-Time High Side register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	DTHS7~0								DTHS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTHS7~0 : 沈黙時間High側値** (Dead-Time High Side)

このﾚｼﾞｽﾀはHigh側沈黙時間に対する周辺機能ｸﾛｯｸ周期数を保持します。

16.7.9. DTLSBUF – 沈黙時間Low側緩衝ﾚｼﾞｽﾀ (Dead-Time Low Side Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	DTLSBUF7~0								DTLSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTLSBUF7~0 : 沈黙時間Low側緩衝値** (Dead-Time Low Side Buffer)

このﾚｼﾞｽﾀは沈黙時間Low側(DTLS)ﾚｼﾞｽﾀに対する緩衝部です。2重緩衝が使われる場合、このﾚｼﾞｽﾀの有効な値がUPDATE条件でDTLSﾚｼﾞｽﾀに複写されます。

16.7.10. DTHSBUF – 沈黙時間High側緩衝ﾚｼﾞｽﾀ (Dead-Time High Side Buffer register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	DTHSBUF7~0								DTHSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – DTHSBUF7~0 : 沈黙時間High側緩衝値** (Dead-Time High Side Buffer)

このﾚｼﾞｽﾀは沈黙時間High側(DTHS)ﾚｼﾞｽﾀに対する緩衝部です。2重緩衝が使われる場合、このﾚｼﾞｽﾀの有効な値がUPDATE条件でDTHSﾚｼﾞｽﾀに複写されます。

16.7.11. OUTOVEN – 出力無効化許可ﾚｼﾞｽﾀ (Output Override Enable register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	OUTOVEN7~0								OUTOVEN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 障害検出ﾌﾗｸﾞ(FDF)が0の場合にだけ書くことができます。

● **ﾋﾞｯﾄ7~0 – OUTOVEN7~0 : 出力無効化許可** (Output Override Enable)

これらのﾋﾞｯﾄは対応するﾎﾟｰﾄ出力(OUT)ﾚｼﾞｽﾀの(換言するとﾋﾟﾝ位置に関連するﾋﾞｯﾄ毎に)無効化を許可します。ﾎﾟｰﾄ方向は無効にされません。

16.8. レジスタ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0C	OUTOVEN	OUTOVEN7~0								143
+$0B	DTHSBUF	DTHSBUF7~0 (沈黙時間High側緩衝)								143
+$0A	DTLSBUF	DTLSBUF7~0 (沈黙時間Low側緩衝)								143
+$09	DTHS	DTHS7~0 (沈黙時間High側)								143
+$08	DTLS	DTLS7~0 (沈黙時間Low側)								143
+$07	DTBOTHBUF	DTBOTHBUF7~0 (沈黙時間両側緩衝)								142
+$06	DTBOTH	DTBOTH7~0 (沈黙時間両側)								142
+$05	予約	–	–	–	–	–	–	–	–	
+$04	STATUS	–	–	–	–	–	FDF	DTHSBUFV	DTLSBUFV	142
+$03	FDCTRL	–	–	–	FDDBD	–	FDMODE	FDACT1,0		141
+$02	FDEMASK	FDEVMASK7~0								141
+$01	予約	–	–	–	–	–	–	–	–	
+$00	CTRL	–	–	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	141

17. Hi-Res – 高分解能拡張

17.1. 要点

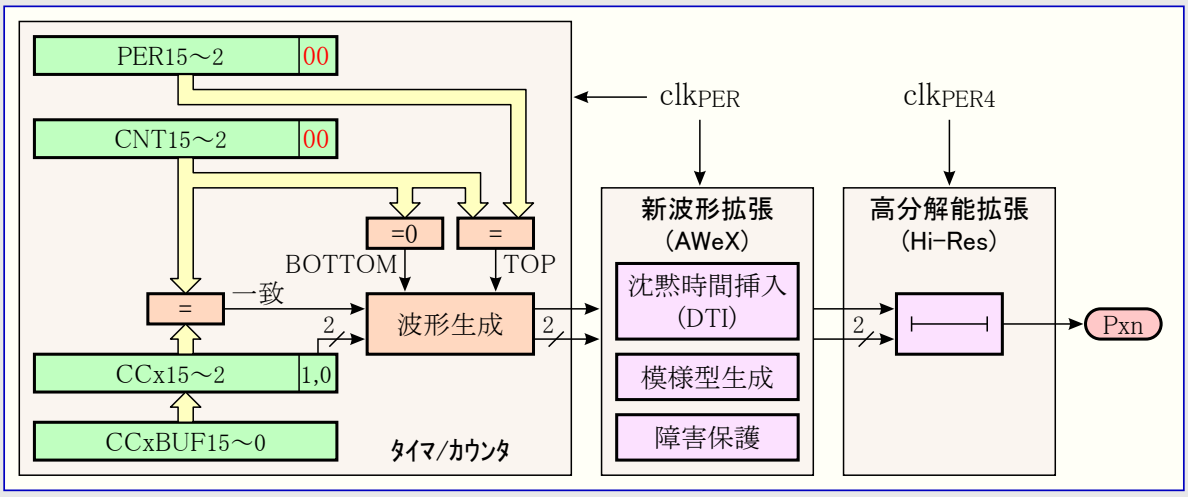
- 波形生成器分解能を最大8倍(3ﾋﾞｯﾄ)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じﾀｲﾏ/ｶｳﾝﾀに使われる時にAWeXを支援

17.2. 概要

高分解能(Hi-Res)拡張はﾀｲﾏ/ｶｳﾝﾀからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはﾀｲﾏ/ｶｳﾝﾀに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じﾀｲﾏ/ｶｳﾝﾀに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能ｸﾛｯｸ(clk_{PER4})を使います。ｼｽﾃﾑ ｸﾛｯｸ前置分周器はHi-Res拡張が許可される時に4倍周辺機能ｸﾛｯｸがCPUと周辺機能のｸﾛｯｸ周波数よりも4倍高くなるように構成設定されなければなりません。より多くの詳細については59頁の「**ｼｽﾃﾑ ｸﾛｯｸ選択と前置分周器**」をご覧ください。

図17-1. Hi-Res拡張許可でのﾀｲﾏ/ｶｳﾝﾀ動作



Hi-Res拡張が許可されると、ﾀｲﾏ/ｶｳﾝﾀは前置分周されない周辺機能ｸﾛｯｸから走行されなければなりません。ﾀｲﾏ/ｶｳﾝﾀはこの計数部での最下位(LSB)側2ﾋﾞｯﾄを無効にし、各周辺機能ｸﾛｯｸ周期に対して4倍で計数します。最上位(MSB)側14ﾋﾞｯﾄの上昇溢れ/下降溢れと比較一致はﾀｲﾏ/ｶｳﾝﾀで行われます。下位2ﾋﾞｯﾄの計数と比較は4倍周辺機能ｸﾛｯｸで走行するHi-Res拡張で処理と比較が行われます。

ﾀｲﾏ/ｶｳﾝﾀの定期(PER)ﾚｼﾞｽﾀの下位2ﾋﾞｯﾄは正しい動作を保証するため、0を設定されなければなりません。計数器(CNT)ﾚｼﾞｽﾀが応用ｺｰﾄﾞから読まれる場合、ﾀｲﾏ/ｶｳﾝﾀが(標準速の)周辺機能ｸﾛｯｸで走行するため、下位2ﾋﾞｯﾄは常に0として読みます。この下位2ﾋﾞｯﾄは事象生成時にも無視されます。

Hi-Res+機能が許可されると、機能はHi-Res拡張と同じですが、分解能は4の代わりに8増加します。これはHi-Resだけが許可される時のような下位2ﾋﾞｯﾄに代わり、Hi-Res拡張によって下位3ﾋﾞｯﾄが処理されることも意味します。追加の分解能は4倍周辺機能ｸﾛｯｸの両端を計数することによって達成されます。

Hi-Res拡張は(標準速の)1周辺機能ｸﾛｯｸ周期よりも短い(周期の)どんなﾊﾟﾙｽも出力せず、換言すると、4よりも小さな比較値は見える出力になりません。

17.3. ﾚｼﾞｽﾀ説明

17.3.1. CTRLA – 制御ﾚｼﾞｽﾀA (Hi-Res Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	HRPLUS	HREN1,0		CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – HRPLUS : 高分解能+** (High Resolution Plus)

このﾋﾞｯﾄの設定(1)は高分解能+を許可します。Hi-Res+はHi-Resと同じですが、分解能を4に代わって8(3ﾋﾞｯﾄ)倍に増します。

追加の分解能は4倍周辺機能ｸﾛｯｸの両端での動作によって達成されます。

● **ﾋﾞｯﾄ1,0 – HREN1,0 : 高分解能許可** (High Resolution Enable)

これらのﾋﾞｯﾄは**表17-1.**に従ってﾀｲﾏ/ｶｳﾝﾀに対する高分解能動作種別を許可します。

HRENﾋﾞｯﾄの1つまたは両方の設定(1)が汎用I/Oﾎﾟｰﾄ全体に対する高分解能波形生成出力を許可します。これは同じﾎﾟｰﾄに接続されたﾀｲﾏ/ｶｳﾝﾀの両方がﾋﾟﾝでのPWMまたはFRQ出力生成に使われる場合、その両方がHi-Resを許可されなければならないことを意味します。

表17-1. 高分解能許可選択

HREN1,0	高分解能許可
0 0	なし(禁止)
0 1	ﾀｲﾏ/ｶｳﾝﾀ0
1 0	ﾀｲﾏ/ｶｳﾝﾀ1
1 1	両ﾀｲﾏ/ｶｳﾝﾀ

17.4. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$00	CTRLA	–	–	–	–	–	HRPLUS	HREN1,0		146

18. RTC – 実時間計数器

18.1. 要点

- 16ﾋﾞｯﾄ分解能
- 選択可能なｸﾛｯｸ元
  - 32.768kHz外部ｸﾘｽﾀﾙ
  - 外部ｸﾛｯｸ信号
  - 32.768kHz内部発振器
  - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較ﾚｼﾞｽﾀ
- 1つの定期ﾚｼﾞｽﾀ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

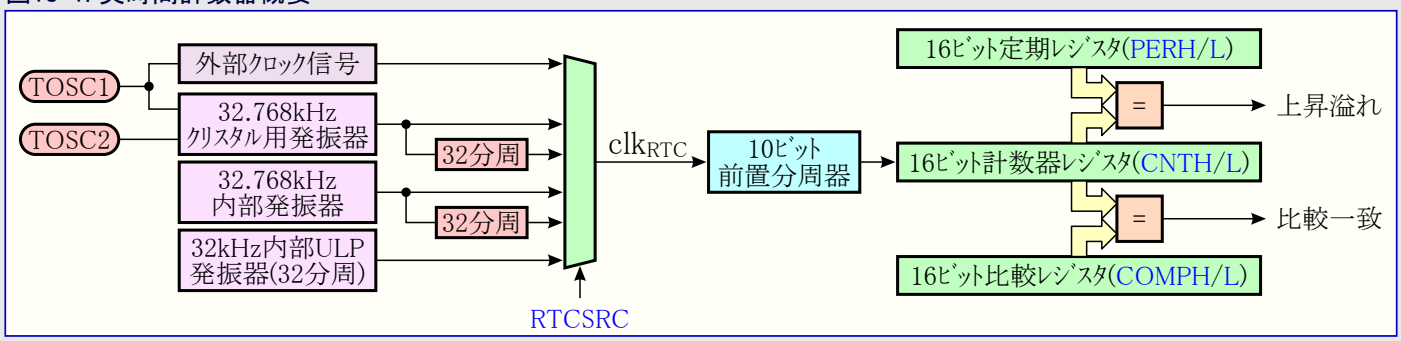
18.2. 概要

16ﾋﾞｯﾄ実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からﾃﾞﾊﾞｲｽを起こしたり、ﾃﾞﾊﾞｲｽに割り込むことができます。

基準ｸﾛｯｸは代表的に32.768kHzの高精度ｸﾘｽﾀﾙからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部ｸﾛｯｸ信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもｸﾛｯｸ駆動することができます。

RTCは計数器へ至る前に基準ｸﾛｯｸを下げることができる設定可能な10ﾋﾞｯﾄの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのｸﾛｯｸ元とで、最大分解能は30.5µs、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較ﾚｼﾞｽﾀ値と等しい時に比較割り込みや事象、定期ﾚｼﾞｽﾀ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図18-1. 実時間計数器概要



18.2.1. ｸﾛｯｸ領域

RTCは非同期で、主ｼｽﾃﾑ ｸﾛｯｸと周辺機能ｸﾛｯｸのようなその派生ｸﾛｯｸから独立した異なるｸﾛｯｸ元で動きます。制御と計数のﾚｼﾞｽﾀの更新に関しては、更新されたﾚｼﾞｽﾀ値がﾚｼﾞｽﾀで利用可能になる前、または構成設定変更がRTCで効果を表すまで、幾らかのRTCｸﾛｯｸと/または周辺機能ｸﾛｯｸの周期がかかります。この同期時間は各ﾚｼﾞｽﾀに対して記述されます。RTCに関する非同期ｸﾛｯｸ元については63頁の「RTCCTRL – RTC制御ﾚｼﾞｽﾀ」を参照してください。

18.2.2. 割り込みと事象

RTCは割り込みと事象の両方を生成することができます。RTCは計数器(CNT)値が比較(COMP)ﾚｼﾞｽﾀ値と等しくなった後の最初の計数で比較割り込みと/または事象を生じます。RTCは計数器値が定期(PER)ﾚｼﾞｽﾀ値と等しくなった後の最初の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にﾘｾｯﾄします。

非同期ｸﾛｯｸ領域のため、定期ﾚｼﾞｽﾀが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

18.3. ﾚｼﾞｽﾀ説明

18.3.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	PRESCALER2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – PRESCALER2~0 : ｸﾛｯｸ前置分周係数** (Clock Prescaling factor)

これらのﾋﾞｯﾄは表18-1.に従ってRTCｸﾛｯｸに対する前置分周係数を定義します。

表18-1. 実時間計数器ｸﾛｯｸ前置分周係数

PRESCALER2~0	群構成設定	RTCｸﾛｯｸ前置分周
0 0 0	OFF	ｸﾛｯｸ元なし、RTC停止
0 0 1	DIV1	RTCｸﾛｯｸ/1 (前置分周なし)
0 1 0	DIV2	RTCｸﾛｯｸ/2
0 1 1	DIV8	RTCｸﾛｯｸ/8
1 0 0	DIV16	RTCｸﾛｯｸ/16
1 0 1	DIV64	RTCｸﾛｯｸ/64
1 1 0	DIV256	RTCｸﾛｯｸ/256
1 1 1	DIV1024	RTCｸﾛｯｸ/1024

18.3.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	–	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SYNCBUSY : RTC同期化中ﾌﾗｸﾞ** (RTC Synchronization Busy Flag)

実時間計数器(CNT)、RTC制御(CTRL)ﾚｼﾞｽﾀ、RTC定期(PER)ﾚｼﾞｽﾀまたはRTC比較(COMP)ﾚｼﾞｽﾀが、これらのﾚｼﾞｽﾀの何れかの書き込み後、または周辺機能ｸﾛｯｸが停止される休止動作形態から起き上がる時で、RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化作業中の時に、このﾌﾗｸﾞが設定(1)されます。このﾌﾗｸﾞは同期完了時に自動的に解除(0)されます。

18.3.3. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – COMPINTLVL1,0 : 比較一致割り込み許可** (Compare Match Interrupt Enable)

これらのﾋﾞｯﾄはRTC比較一致割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのRTC比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

● **ﾋﾞｯﾄ1,0 – OVFINTLVL1,0 : 上昇溢れ割り込み許可** (Overflow Interrupt Enable)

これらのﾋﾞｯﾄはRTC上昇溢れ割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのRTC上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

18.3.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – COMPIF : 比較一致割り込み要求ﾌﾗｸﾞ** (Compare Match Interrupt Flag)

このﾌﾗｸﾞは比較一致状態が起きた後の次の計数で設定(1)されます。これはRTC比較一致割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● **ﾋﾞｯﾄ0 – OVFIF : 上昇溢れ割り込み要求ﾌﾗｸﾞ** (Overflow Interrupt Flag)

このﾌﾗｸﾞは上昇溢れ状態が起きた後の次の計数で設定(1)されます。これはRTC上昇溢れ割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

18.3.5. TEMP – 一時ﾚｼﾞｽﾀ (Temporary register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時格納値** (Temporary bits)

このﾚｼﾞｽﾀは計数器(CNT)値、比較(COMP)値、頂上(PER)値のﾚｼﾞｽﾀの16ﾋﾞｯﾄ ｱｸｾｽに使われます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの下位ﾊﾞｲﾄがCPUによって書かれる時にそれがここに格納されます。16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄはCPUによって下位ﾊﾞｲﾄが読まれる時に格納されます。より多くの詳細については9頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

18.3.6. CNTL – 計数ﾚｼﾞｽﾀ下位 (Counter register Low)

CNTHとCNTLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CNTを表します。CNTは前置分周されたRTCｸﾛｯｸの正ｸﾛｯｸ端で計数します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。詳細については9頁の「**16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ**」を参照してください。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。このﾚｼﾞｽﾀへの書き込みや、周辺機能ｸﾛｯｸが停止される休止動作形態から起き上がった後でこのﾚｼﾞｽﾀを読む前に、応用ｿﾌﾄｳｪｱは148頁の「**STATUS – RTC状態ﾚｼﾞｽﾀ**」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(1)されていることを調べる必要があります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT7~0 : 計数値下位ﾊﾞｲﾄ** (Counter value low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ実時間計数器値の下位ﾊﾞｲﾄ(LSB)を保持します。

18.3.7. CNTH – 計数ﾚｼﾞｽﾀ上位 (Counter register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	CNT15~8								CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CNT15~8 : 計数値上位ﾊﾞｲﾄ** (Counter value high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄ実時間計数器値の上位ﾊﾞｲﾄ(MSB)を保持します。

18.3.8. PERL – 定期ﾚｼﾞｽﾀ下位 (Period register Low)

PERHとPERLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値PERを表します。PERは計数器(CNT)値と継続的に比較されます。一致はRTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)を設定(1)して計数器を解除(=0)します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱは、このﾚｼﾞｽﾀが書かれる前に148頁の「STATUS – RTC状態ﾚｼﾞｽﾀ」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(0)されていることを調べる必要があります。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	PER7~0								PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER7~0 : 定期値下位ﾊﾞｲﾄ** (Period low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC頂上値の下位ﾊﾞｲﾄ(LSB)を保持します。

18.3.9. PERH – 定期ﾚｼﾞｽﾀ上位 (Period register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	PER15~8								PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● **ﾋﾞｯﾄ7~0 – PER15~8 : 定期値上位ﾊﾞｲﾄ** (Period high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC頂上値の上位ﾊﾞｲﾄ(MSB)を保持します。

18.3.10. COMPL – 比較ﾚｼﾞｽﾀ下位 (Compare register Low)

COMPHとCOMPLのﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致はRTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)を設定(1)します。16ﾋﾞｯﾄ値の読み書きは特別な注意を必要とします。詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

RTCｸﾛｯｸとｼｽﾃﾑ ｸﾛｯｸ領域間の同期化のため、ﾚｼﾞｽﾀの更新からそれが有効になるまでに2RTCｸﾛｯｸ周期の遅延があります。応用ｿﾌﾄｳｪｱは、このﾚｼﾞｽﾀが書かれる前に148頁の「STATUS – RTC状態ﾚｼﾞｽﾀ」の同期化中(SYNCBUSY)ﾌﾗｸﾞが解除(0)されていることを調べる必要があります。

COMP値が定期(PER)値より大きい場合、RTC比較一致割り込み要求または事象は決して生成されません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	COMP7~0								COMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP7~0 : 比較値下位ﾊﾞｲﾄ** (Compare value low byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC比較値の下位ﾊﾞｲﾄ(LSB)を保持します。

18.3.11. COMPH – 比較ﾚｼﾞｽﾀ上位 (Compare register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	COMP15~8								COMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – COMP15~8 : 比較値上位ﾊﾞｲﾄ** (Compare value high byte)

これらのﾋﾞｯﾄは16ﾋﾞｯﾄRTC比較値の上位ﾊﾞｲﾄ(MSB)を保持します。

18.4. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0D	COMPH	COMP15~8								150
+$0C	COMPL	COMP7~0								150
+$0B	PERH	PER15~8								150
+$0A	PERL	PER7~0								150
+$09	CNTH	CNT15~8								149
+$08	CNTL	CNT7~0								149
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	TEMP	TEMP7~0								149
+$03	INTFLAGS	–	–	–	–	–	–	COMPIF	OVFIF	149
+$02	INTCTRL	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		148
+$01	STATUS	–	–	–	–	–	–	–	SYNCBUSY	148
+$00	CTRL	–	–	–	–	–	PRESCALER2~0			148

18.5. 割り込みﾍﾞｸﾀ要約

表18-2. RTC割り込みﾍﾞｸﾀとそれらの語変位(ｵﾌｾｯﾄ)

変位	記述例	割り込み内容
$00	OVF_vect	実時間計数器溢れ割り込みﾍﾞｸﾀ
$02	COMP_vect	実時間計数器比較一致割り込みﾍﾞｸﾀ

19. RTC32 – 32ﾋﾞｯﾄ実時間計数器

19.1. 要点

- 32ﾋﾞｯﾄ分解能
- 選択可能な前置分周器を持つ32.768kHz外部ｸﾘｽﾀﾙ用ｸﾛｯｸ元
  - 1.024kHz
  - 1Hz
- 1つの比較ﾚｼﾞｽﾀ
- 1つの定期ﾚｼﾞｽﾀ
- 上昇溢れでの計時器解除
- 上昇溢れと比較一致での任意選択の割り込み/事象

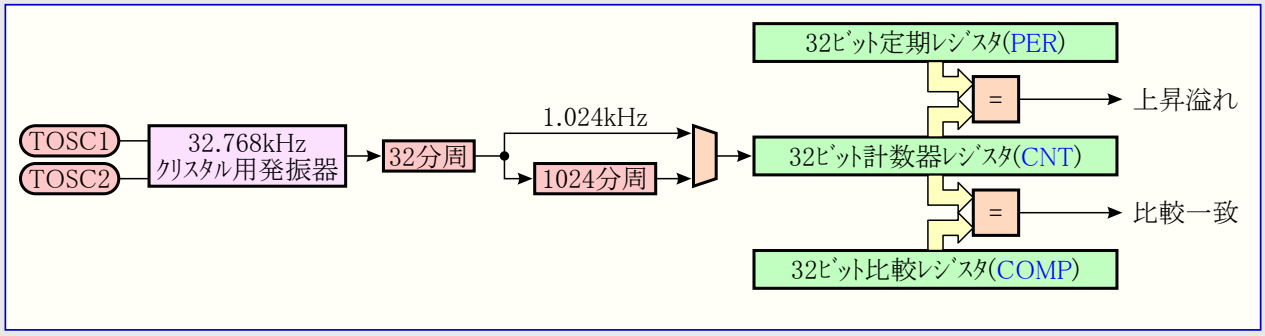
19.2. 概要

32ﾋﾞｯﾄ実時間計数器(RTC32)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からﾃﾞﾊﾞｲｽを起こしたり、ﾃﾞﾊﾞｲｽに割り込むことができます。

基準ｸﾛｯｸは代表的に32.768kHzの高精度ｸﾘｽﾀﾙからの前置分周された1Hz出力で、これは低電力消費と1s分解能用に最適化された構成設定です。計時器が1msよりも高い分解能を必要とするなら、より速い1.024kHz出力を選択することができます。

RTC32は計数器が比較(COMP)ﾚｼﾞｽﾀ値と等しい時に比較割り込みや事象、定期(PER)ﾚｼﾞｽﾀ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図19-1. 32ﾋﾞｯﾄ実時間計数器概要



19.2.1. ｸﾛｯｸ選択

ｸﾛｯｸ元して外部32.768kHzｸﾘｽﾀﾙ用は新規が使われなければなりません。2つの異なる出力がこれ(この発振器)から利用可能で、RTC32ｸﾛｯｸ入力は1.024kHzまたは1Hzにできます。

19.2.2. ｸﾛｯｸ領域

RTC32は非同期で、主ｼｽﾃﾑ ｸﾛｯｸと周辺機能ｸﾛｯｸのようなその派生ｸﾛｯｸから独立した異なるｸﾛｯｸ元で動きます。制御と計数のﾚｼﾞｽﾀの更新に関しては、更新されたﾚｼﾞｽﾀ値がﾚｼﾞｽﾀで利用可能になる前、または構成設定変更がRTC32で効果を表すまで、幾らかのRTC32ｸﾛｯｸと/または周辺機能ｸﾛｯｸの周期がかかります。この同期時間は各ﾚｼﾞｽﾀに対して記述されます。

周辺機能ｸﾛｯｸは制御と計数のどれかのﾚｼﾞｽﾀがｱｸｾｽ(読み書き)される時にRTC32ｸﾛｯｸ(1.024kHzまたは1Hz)よりも8倍以上速く、計数器(CNT)ﾚｼﾞｽﾀが書かれる時に12倍以上速くなければなりません。

19.2.3. 電力領域

RTC32がVBAT電力領域に配置されているﾃﾞﾊﾞｲｽに対し、電池代替支援機能は利用可能な主VCCなしでの機能もRTC32に許します。VCCがﾃﾞﾊﾞｲｽに対する動作電圧ﾚﾍﾞﾙ以下に低下する場合にVCC領域からVBAT領域へ自動的に切り換えるのに動的電力切り換えが用いられます。VCC電圧が回復されると、電力は自動的にVCCへ切り換え戻されます。

19.2.4. 割り込みと事象

RTC32は割り込みと事象の両方を生成することができます。RTC32は計数器(CNT)値が比較(COMP)ﾚｼﾞｽﾀ値と等しくなった後の次の計数で比較割り込み要求と/または事象を生じます。RTC32は計数器値が定期(PER)ﾚｼﾞｽﾀ値と等しくなった後の次の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にﾘｾｯﾄします。

非同期ｸﾛｯｸ領域のため、定期ﾚｼﾞｽﾀが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期ﾚｼﾞｽﾀが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。

19.3. ﾚｼﾞｽﾀ説明

19.3.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	–	–	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がRTC32を許可します。RTC32とｼｽﾃﾑ ｸﾛｯｸの領域間の同期時間はﾚｼﾞｽﾀ書き込みから、これがRTC32ｸﾛｯｸ領域で効果を表すまで、換言するとRTC32開始まで1.5RTC32ｸﾛｯｸ周期です。

RTC32に関して走行を開始するために定期(PER)ﾚｼﾞｽﾀも0と異なる値に設定されなければなりません。

19.3.2. SYNCCTRL – 同期制御/状態ﾚｼﾞｽﾀ (Synchronisation Control/Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	SYNCCNT	–	–	–	SYNCBUSY	SYNCCTRL
Read/Write	R	R	R	R/W	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – SYNCCNT : CNTﾚｼﾞｽﾀ同期許可** (Enable Synchronization of the CNT register)

このﾋﾞｯﾄの設定(1)は計数器(CNT)ﾚｼﾞｽﾀのRTC32ｸﾛｯｸ領域からｼｽﾃﾑ ｸﾛｯｸ領域への同期化を開始します。このﾋﾞｯﾄは同期化が終了される時に自動的に解除(0)されます。

● **ﾋﾞｯﾄ3~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – SYNCBUSY : 同期化中ﾌﾗｸﾞ** (Synchronization Busy Flag)

このﾌﾗｸﾞは制御(CTRL)と計数器(CNT)のﾚｼﾞｽﾀがｼｽﾃﾑ領域からRTC32ｸﾛｯｸ領域への同期化多忙の時に設定(1)されます。CTRLﾚｼﾞｽﾀ同期化はそれが書かれた時に起動されます。CNTﾚｼﾞｽﾀはﾚｼﾞｽﾀの最上位ﾊﾞｲﾄが書かれる時に同期化されます。

19.3.3. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – COMPINTLVL1,0 : RTC32比較一致割り込み許可** (RTC Compare Match Interrupt Enable)

これらのﾋﾞｯﾄはRTC32比較一致割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀのRTC比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

● **ﾋﾞｯﾄ1,0 – OVFINTLVL1,0 : RTC32上昇溢れ割り込み許可** (RTC Overflow Interrupt Enable)

これらのﾋﾞｯﾄはRTC32上昇溢れ割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。RTC32割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。

19.3.4. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (RTC Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – COMPIF : 比較一致割り込み要求ﾌﾗｸﾞ** (Compare Match Interrupt Flag)

このﾌﾗｸﾞは比較一致状態が起きた後の次の計数で設定(1)されます。このﾌﾗｸﾞはRTC32比較一致割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)することができます。

● **ﾋﾞｯﾄ0 – OVFIF : 上昇溢れ割り込み要求ﾌﾗｸﾞ** (Overflow Interrupt Flag)

このﾌﾗｸﾞは上昇溢れ状態が起きた後の次の計数で設定(1)されます。このﾌﾗｸﾞはRTC32上昇溢れ割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)することができます。

19.3.5. CNT0 – 計数ﾚｼﾞｽﾀ0 (Counter register 0)

CNT3,CNT2,CNT1,CNT0ﾚｼﾞｽﾀは32ﾋﾞｯﾄ値CNTを表します。CNTはRTC32ｸﾛｯｸの正ｸﾛｯｸ端で計数します。

RTC32ｸﾛｯｸ領域に対する新しいCNT値の同期化はCNT3書き込みによって起動されます。同期時間はﾚｼﾞｽﾀの更新からこれがRTC32ｸﾛｯｸ領域で効果を表すまで最大12周辺機能ｸﾛｯｸ周期です。CNTﾚｼﾞｽﾀへの書き込み操作は同期化中(SYNCBUSY)ﾌﾗｸﾞが設定(1)されている場合に妨げられます。

RTC32ｸﾛｯｸ領域からｼｽﾃﾑ ｸﾛｯｸ領域へのCNT値の同期化は同期制御/状態(SYNCCTRL)ﾚｼﾞｽﾀのCNTﾚｼﾞｽﾀ同期許可(SYNCCNT)ﾋﾞｯﾄへ1を書くことによって行うことができます。更新されて同期されたCNTﾚｼﾞｽﾀ値は8周辺機能ｸﾛｯｸ周期後に利用可能です。

CNTﾚｼﾞｽﾀの上位側ﾊﾞｲﾄへの書き込み後、上昇溢れと比較一致を起す状況だけでなく、上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)と比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)の設定(1)に対する状況も、後続する2RTC32ｸﾛｯｸ周期間、禁止されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CNT7~0								CNT0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.6. CNT1 – 計数ﾚｼﾞｽﾀ1 (Counter register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	CNT15~8								CNT1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.7. CNT2 – 計数ﾚｼﾞｽﾀ2 (Counter register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	CNT23~16								CNT2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.8. CNT3 – 計数ﾚｼﾞｽﾀ3 (Counter register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	CNT31~24								CNT3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.9. PER0 – 定期ﾚｼﾞｽﾀ0 (Period register 0)

PER3,PER2,PER1,PER0ﾚｼﾞｽﾀは32ﾋﾞｯﾄ値PERを表します。PERは計数器(CNT)値と継続的に比較されます。比較一致は割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)を設定(1)し、次のRTC32ｸﾛｯｸ周期でCNTが0に設定されます。

PERﾚｼﾞｽﾀはRTCが禁止され、現在同期化中でない場合、換言すると制御(CTRL)ﾚｼﾞｽﾀの許可(ENABLE)ﾋﾞｯﾄと同期制御/状態(SYNCCTRL)ﾚｼﾞｽﾀの同期化中(SYNCBUSY)ﾌﾗｸﾞの両方が0の時にだけ書くことができます。

PERﾚｼﾞｽﾀ内のﾊﾞｲﾄ書き込み後、OVFIFの設定(1)に対する状況と上昇溢れを起す状況は後続する2RTC32ｸﾛｯｸ周期間、禁止されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	PER7~0								PER0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.10. PER1 – 定期ﾚｼﾞｽﾀ1 (Period register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	PER15~8								PER1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.11. PER2 – 定期ﾚｼﾞｽﾀ2 (Period register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	PER23~16								PER2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.12. PER3 – 定期ﾚｼﾞｽﾀ3 (Period register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	PER31~24								PER3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.13. COMP0 – 比較ﾚｼﾞｽﾀ0 (Compare register 0)

COMP3,COMP2,COMP1,COMP0ﾚｼﾞｽﾀは32ﾋﾞｯﾄ値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致は割り込み要求ﾌﾗｸﾞ(INTFLAGS)ﾚｼﾞｽﾀの比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)を設定(1)し、任意選択の割り込みが生成されます。

COMP値が定期(PER)値よりも大きい場合、RTC比較一致割り込み要求や事象が全く生成されません。

COMPﾚｼﾞｽﾀの上位側ﾊﾞｲﾄへの書き込み後、上昇溢れと比較一致を起す状況だけでなく、上昇溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)と比較一致割り込み要求ﾌﾗｸﾞ(COMPIF)の設定(1)に対する状況も、後続する2RTC32ｸﾛｯｸ周期間、禁止されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	COMP7~0								COMP0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.14. COMP1 – 比較ﾚｼﾞｽﾀ1 (Compare register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	COMP15~8								COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.15. COMP2 – 比較ﾚｼﾞｽﾀ2 (Compare register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0E	COMP23~16								COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.3.16. COMP3 – 比較ﾚｼﾞｽﾀ3 (Compare register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0F	COMP31~24								COMP3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ﾘｾｯﾄ値	0	0	0	0	0	0	0	0	

19.4. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$0F	COMP3	COMP31~24								156
+$0E	COMP2	COMP23~16								155
+$0D	COMP1	COMP15~8								155
+$0C	COMP0	COMP7~0								155
+$0B	PER3	PER31~24								155
+$0A	PER2	PER23~16								155
+$09	PER1	PER15~8								155
+$08	PER0	PER7~0								155
+$07	CNT3	CNT31~24								154
+$06	CNT2	CNT23~16								154
+$05	CNT1	CNT15~8								154
+$04	CNT0	CNT7~0								154
+$03	INTFLAGS	–	–	–	–	–	–	COMPIF	OVFIF	154
+$02	INTCTRL	–	–	–	–	COMPINTLVL1,0		OVFINTLVL1,0		153
+$01	SYNCCTRL	–	–	–	SYNCCNT	–	–	–	SYNCBUSY	153
+$00	CTRL	–	–	–	–	–	–	–	ENABLE	153

19.5. 割り込みﾍﾞｸﾀ要約

表19-1. RTC32割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	OVF_vect	実時間計数器溢れ割り込みﾍﾞｸﾀ
$02	COMP_vect	実時間計数器比較一致割り込みﾍﾞｸﾀ

20. USB - 万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ

20.1. 要点

- USB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)装置適合ｲﾝﾀｰﾌｪｰｽ
- 統合されたﾁｯﾌﾟ上USB送受信部、外部部品不要
- 31までのｴﾝﾄﾞﾎﾟｲﾝﾄに対する完全なｴﾝﾄﾞﾎﾟｲﾝﾄ柔軟性を持つ16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの入力ｴﾝﾄﾞﾎﾟｲﾝﾄ
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ当たり1つの出力ｴﾝﾄﾞﾎﾟｲﾝﾄ
- 選択可能なｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ転送形式
  - 制御(Control)転送
  - 割り込み(Interrupt)転送
  - 大量(Bulk)転送
  - 等時(Isochronous)転送
- 設定可能なｴﾝﾄﾞﾎﾟｲﾝﾄ当たりのﾃﾞｰﾀ本体量、最大1023ﾊﾞｲﾄ
- 内部SRAM内に配置されたｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定ﾃﾞｰﾀに対する構成設定可能な位置
  - 各ｴﾝﾄﾞﾎﾟｲﾝﾄのﾃﾞｰﾀ緩衝部に対する構成設定可能な位置
- 以下のための内部SRAMとの組み込み直接ﾒﾓﾘ入出力(DMA)
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定
  - ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ読み書き
- より高い単位処理量のためのﾋﾟﾝﾎﾟﾝ動作と2重緩衝動作
  - 単一方向で使われる入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ緩衝部
  - 転送中にCPU/DMA制御器がﾃﾞｰﾀ緩衝部を更新可
- 割り込み負荷とｿﾌﾄｳｪｱ介在を減らすための複数ﾊﾟｹｯﾄ転送
  - 1つの継続する転送で転送される最大ﾊﾟｹｯﾄ量を超えるﾃﾞｰﾀ本体
  - ﾊﾟｹｯﾄ転送段階での割り込みまたはｿﾌﾄｳｪｱの相互作用なし
- 複数ｴﾝﾄﾞﾎﾟｲﾝﾄ使用時の作業の流れ用の転送単位処理完了FIFO
  - 到着先行、処理作業待ち行列先行での完了された全ての転送単位処理の経緯
- ｼｽﾃﾑ ｸﾛｯｸ元と選択に無関係なｸﾛｯｸ選択
- 低速USB動作に必要とされる最小1.5MHzのCPUｸﾛｯｸ
- 全速動作に必要とされる最小12MHzのCPUｸﾛｯｸ
- 事象ｼｽﾃﾑへの接続
- USB転送単位処理中のﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞの可能性

20.2. 概要

USB単位部はUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)の装置の適合ｲﾝﾀｰﾌｪｰｽです。

USBは16のｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽを支援します。全てのｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽは、計31の構成設定可能なｴﾝﾄﾞﾎﾟｲﾝﾄと1つの制御ｴﾝﾄﾞﾎﾟｲﾝﾄに対して、1つの入力と1つの出力のｴﾝﾄﾞﾎﾟｲﾝﾄを持ちます。各ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽは完全に構成設定可能で、制御(Control)、割り込み(Interrupt)、大量(Bulk)、等時(Iso-chronous)の4つの転送形式のどれにも径庭設定することができます。ﾃﾞｰﾀ本体量も選択可能で、1023ﾊﾞｲﾄまでのﾃﾞｰﾀ本体を支援します。

専用ﾒﾓﾘはUSB単位部に全く配置または含まれません。各ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽに対する構成設定を保つのと、各ｴﾝﾄﾞﾎﾟｲﾝﾄ用のﾃﾞｰﾀ緩衝部に内部SRAMが使われます。ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定とﾃﾞｰﾀ緩衝部に使われるﾒﾓﾘ位置は完全に構成設定可能です。割り当てられたﾒﾓﾘの量は使うｴﾝﾄﾞﾎﾟｲﾝﾄの数とそれらの構成設定に応じて完全に動的です。USB単位部は組み込み直接ﾒﾓﾘ入出力(DMA)を持ちUSB転送単位処理が起こる時にSRAMとﾃﾞｰﾀを読み書きします。

最大単位処理量のため、ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽはﾋﾟﾝﾎﾟﾝ動作に構成設定することができます。これが行われると、入力と出力のｴﾝﾄﾞﾎﾟｲﾝﾄが両方共同じ方向で使われます。そしてCPUやDMA制御器が1つのﾃﾞｰﾀ緩衝部を読み/書きすると同時にUSB単位部が他方を読み/書きすることができ、その逆もです。これは2重緩衝通信を与えます。

複数ﾊﾟｹｯﾄ転送はｿﾌﾄｳｪｱ介在なしの複数ﾊﾟｹｯﾄとして転送されるべきｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾊﾟｹｯﾄ容量を超えるﾃﾞｰﾀ本体を許します。これはUSB転送に必要とされるCPU介在と割り込みを減らします。

低電力動作のため、USB単位部はUSBﾊﾞｽがｱｲﾄﾞﾙで休止条件が与えられた時にﾏｲｸﾛ ｺﾝﾄﾛｰﾗをどれかの休止形態に置くことができます。ﾊﾞｽ再開で、USB単位部はどの休止形態からもﾏｲｸﾛ ｺﾝﾄﾛｰﾗを起こすことができます。

図20-1. USB OUT転送: ﾎｽﾄからUSB装置へのﾃﾞｰﾀ ﾊﾟｹｯﾄ

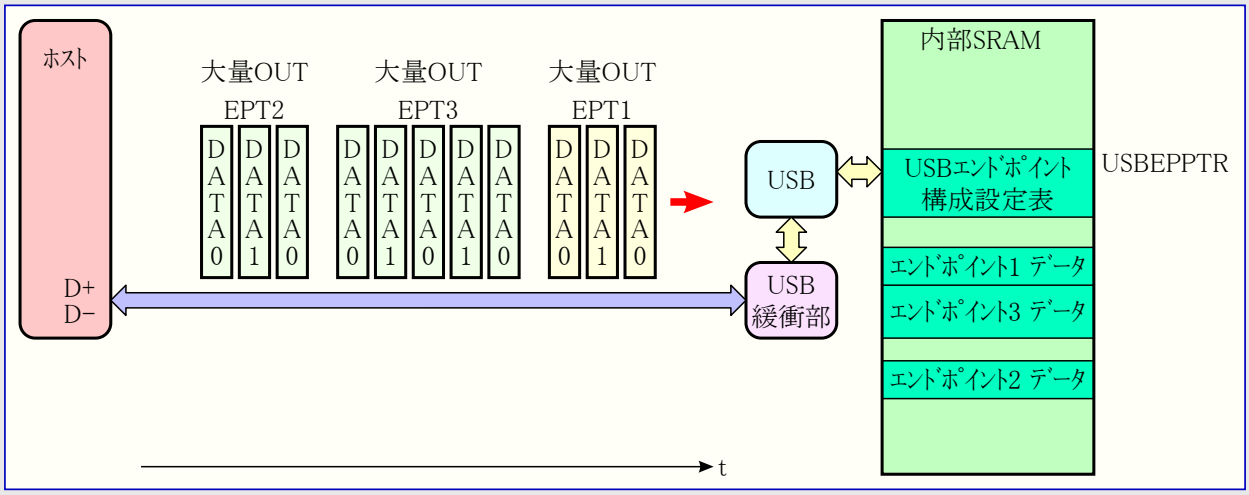
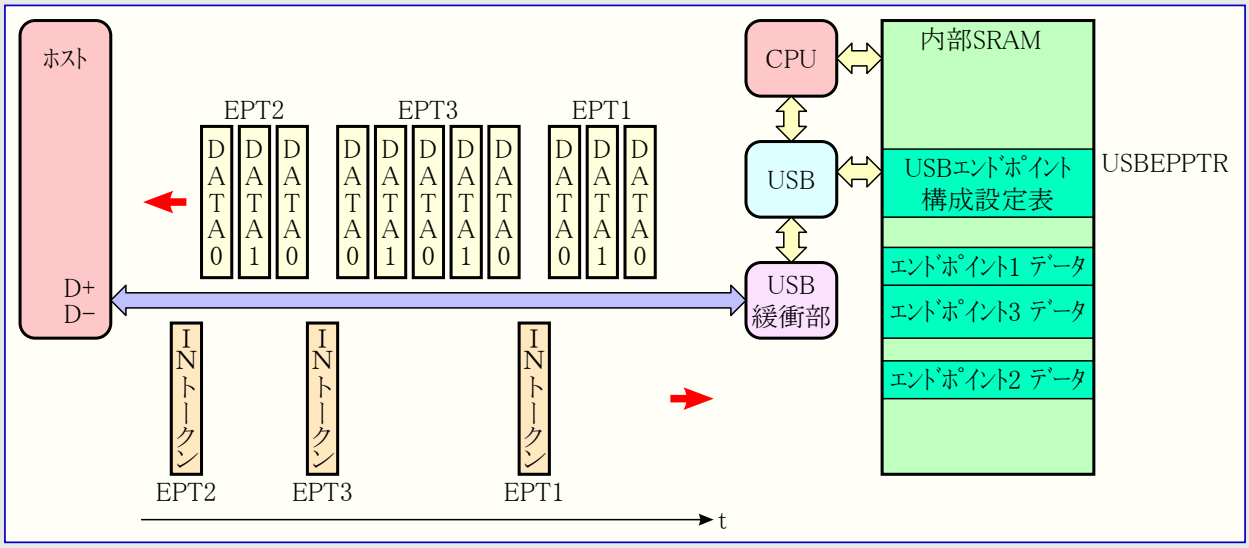


図20-2. USB IN転送: ﾎｽﾄからの要求後のUSB装置からﾎｽﾄへのﾃﾞｰﾀ ﾊﾟｹｯﾄ



20.3. 動作

本項は標準転送単位処理中のUSB単位部動作の概要を与えます。USBとUSB規約の全般的な詳細についてはUSB仕様文書を参照してください。

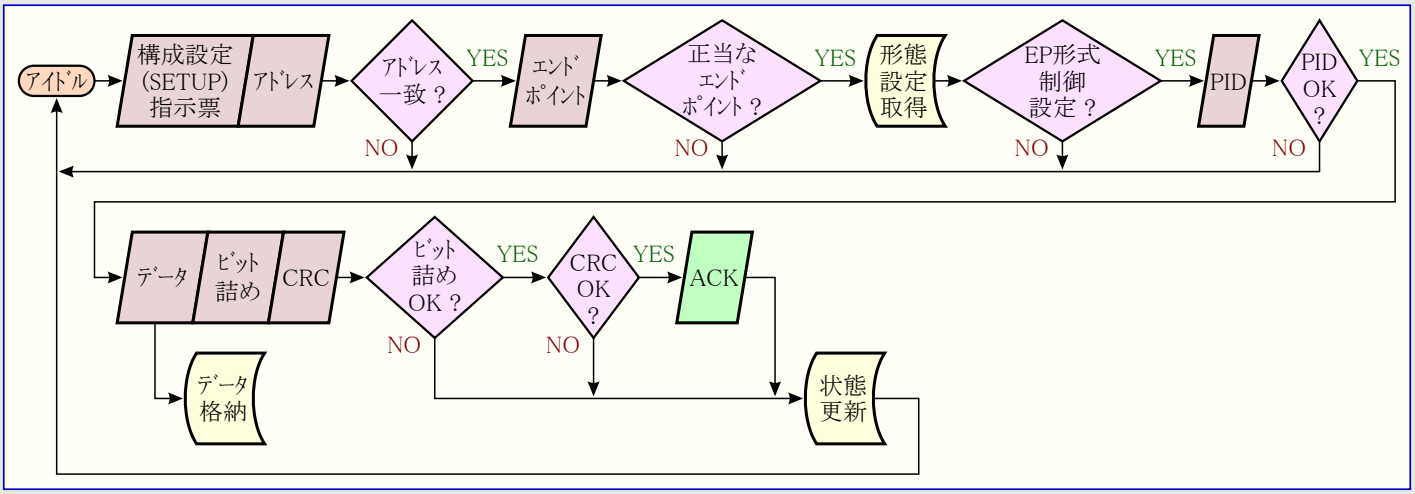
20.3.1. フレーム開始

フレーム開始(SOF:Start Of Frame)指示票(トークン)は検出されると、フレーム番号の格納が許可され、指示票からのフレーム番号がフレーム番号(FRAMENUM)レジスタに格納され、割り込み要求フラグA解除/設定(INTFLAGSACLR/SET)レジスタ内のフレーム開始割り込み要求フラグ(SOFIF)が設定(1)されます。CRCまたはビット詰めの異常があった場合、FRAMENUMレジスタ内のフレーム異常(FRAMEERR)フラグが設定(1)されます。

20.3.2. 構成設定 (SETUP)

構成設定(SETUP)パケットが検出されると、USB単位部はエンドポイント構成設定表内でアドレス指定された出力エンドポイントからエンドポイント制御(CTRL)レジスタを取得します。エンドポイント形式が制御に設定されていなければ、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

図20-3. 構成設定(SETUP)転送単位処理



その後にUSB単位部はエンドポイントのデータ ポインタ(DATAPTR)レジスタを取得し、DATA0パケットを待ちます。PID異常、またはDATA0以外の他のPIDが検出された場合にSUB単位部はアイドルに戻って次の指示票パケットを待ちます。

やって来るデータはDATAPTRによって指し示されるデータ緩衝部に書かれます。やって来るデータでビット詰め異常が検出された場合、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。受信したデータ バイトの数がエンドポイント制御(CTRL)内のデータ容量(BUFSIZE)によって指定されるようなエンドポイントの最大データ本体容量を超える場合、受信したデータ バイトの残りは破棄されます。パケットは未だビット詰めとCRCに関して検査されます。ソフトウェアはBUFSIZEで指定されるより大きなホストへ最大データ本体容量を決して報告してはいけません。ビット詰めまたはCRCの異常があった場合、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

データが成功裏に受信されたなら、ホストへACKハンドシェークが返され、CRCを除いて受信したデータ バイトの数がエンドポイント バイト計数器(CNT)に書かれます。受信したデータ バイトの数がBUFSIZEによって指定された最大データ本体容量なら、データ緩衝部にCRCデータは書かれません。受信したデータ バイトの数がBUFSIZEによって指定された最大データ本体容量-1なら、先頭のCRCデータ バイトだけがデータ緩衝部に書かれます。受信したデータ バイトの数がBUFSIZEによって指定された最大データ本体容量-2と等しいかそれ以下なら、2つのCRCデータ バイトがデータ緩衝部に書かれます。

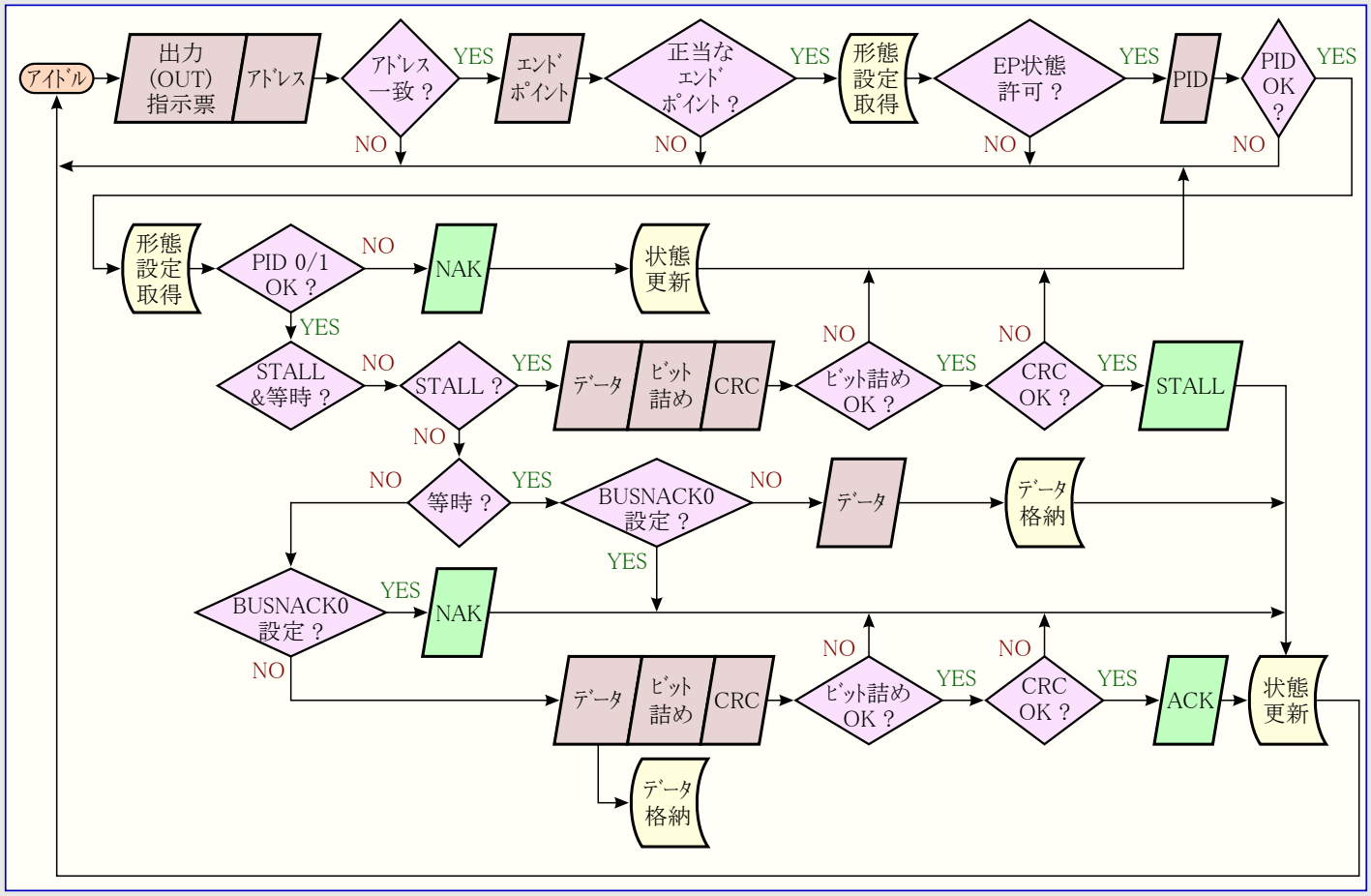
最後に、構成設定(SETUP)転送単位処理完了(SETUP)フラグ、データ緩衝部0不応答(BUSNACK0)フラグ、データ交互(TOGGLE)フラグが設定(1)される一方、エンドポイント状態(STATUS)レジスタ内の残りのフラグはアドレス指定された入力と出力のエンドポイントに対して解除(0)されます。割り込み要求フラグB解除/設定(INTFLAGSBCLR/SET)レジスタ内の構成設定転送単位処理完了割り込み要求フラグ(SETUPIF)が設定(1)されます。エンドポイント制御(CTRL)内の不能応答(STALL)はアドレス指定された入力と出力のエンドポイントに対して解除(0)されます。

構成設定(SETUP)指示票が検出され、指示票パケットの装置アドレスがエンドポイントのそれを一致しない場合、そのパケットは破棄され、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

20.3.3. 出力 (OUT)

OUT指示票が検出されると、USB単位部はエンドポイント構成設定表内のアドレス指定された出力エンドポイントからエンドポイントの制御(CTRL)と状態(STATUS)のレジスタ データを取得します。エンドポイントが禁止されている場合、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

図20-4. OUT転送単位処理



その後にUSB単位部はｴﾝﾄﾞﾎﾟｲﾝﾄのﾃﾞｰﾀ ﾎﾟｲﾝﾀ(DATAPTR)を取得し、DATA0またはDATA1のﾊﾟｹｯﾄを待ちます。PID異常、またはDATA0かDATA1以外のPIDが検出された場合、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。

ｴﾝﾄﾞﾎﾟｲﾝﾄ制御(CTRL)内の不能応答(STALL)ﾌﾗｸﾞが設定(1)された場合、やって来るﾃﾞｰﾀは破棄されます。ｴﾝﾄﾞﾎﾟｲﾝﾄが等時(Isochronous)でなく、ﾋﾞｯﾄ詰めとCRCがOKならば、ﾎｽﾄに不能応答(STALL)が返され、不能応答割り込み要求ﾌﾗｸﾞ(STALLIF)が設定(1)されます。

等時ｴﾝﾄﾞﾎﾟｲﾝﾄに関しては、DATA0とDATA1の両ﾊﾟｹｯﾄからのﾃﾞｰﾀが受け入れられます。他のｴﾝﾄﾞﾎﾟｲﾝﾄ形式に関しては、ﾃﾞｰﾀ交互(TOGGLE)に対してPIDが調べられます。それらが一致しない場合、やって来るﾃﾞｰﾀは破棄され、ﾎｽﾄにNACKﾊﾝﾄﾞｼｪｰｸが返されます。ﾃﾞｰﾀ緩衝部0不応答(BUSNACK0)が設定(1)される場合、やって来るﾃﾞｰﾀは破棄されます。ｴﾝﾄﾞﾎﾟｲﾝﾄSTATUSﾚｼﾞｽﾀ内の溢れﾌﾗｸﾞ(OVF)と割り込み要求ﾌﾗｸﾞA解除/設定(INTFLAGSACLR/SET)内の溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)されます。ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければ、ﾎｽﾄにNACKﾊﾝﾄﾞｼｪｰｸが返されます。

やって来るﾃﾞｰﾀはDATPTRによって指し示されるﾃﾞｰﾀ緩衝部に書かれます。やって来るﾃﾞｰﾀ内でﾋﾞｯﾄ詰め異常が検出された場合、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がﾃﾞｰﾀ容量(BUFSIZE)によって指定される最大ﾃﾞｰﾀ本体を超える場合、受信したﾃﾞｰﾀ ﾊﾞｲﾄの残りは破棄されます。ﾊﾟｹｯﾄは未だﾋﾞｯﾄ詰めとCRCの異常に関して調べられます。ﾊﾟｹｯﾄ内でﾋﾞｯﾄ詰めまたはCRCの異常があった場合、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。

ｴﾝﾄﾞﾎﾟｲﾝﾄが等時で、やって来るﾃﾞｰﾀ内にﾋﾞｯﾄ詰めまたはCRCの異常があった場合、CRCを除く、受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がｴﾝﾄﾞﾎﾟｲﾝﾄ計数器(CNT)ﾚｼﾞｽﾀに書かれます。最後に、ｴﾝﾄﾞﾎﾟｲﾝﾄとSTATUS内のCRC異常(CRC)とBUSNACK0、それとINTFLAGSASET/CLR内のCRC異常割り込み要求ﾌﾗｸﾞ(CRCIF)が設定(1)されます。

ﾃﾞｰﾀが成功裏に受信された場合、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければﾎｽﾄにACKﾊﾝﾄﾞｼｪｰｸが返され、CRCを除く受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がCNTに書かれます。受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がBUFSIZEによって指定される最大ﾃﾞｰ ﾀ本体の場合、ﾃﾞｰﾀ緩衝部にCRCﾃﾞｰﾀは全く書かれません。受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がBUFSIZEによって指定される最大ﾃﾞｰ ﾀ本体-1の場合、先頭のCRCﾃﾞｰﾀ ﾊﾞｲﾄだけがﾃﾞｰﾀ緩衝部に書かれます。受信したﾃﾞｰﾀ ﾊﾞｲﾄの数がBUFSIZEによって指定される最大ﾃﾞｰﾀ本体-2と等しいかまたはそれ以下の場合、2つのCRCﾃﾞｰﾀ ﾊﾞｲﾄがﾃﾞｰﾀ緩衝部に書かれます。

最後に、転送単位処理完了(TRNCOMPL0)ﾌﾗｸﾞとﾃﾞｰﾀ緩衝部0不応答(BUSNACK0)が設定(1)され、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければﾃﾞｰﾀ交互(TOGGLE)ﾌﾗｸﾞが切り替えられます。割り込み要求ﾌﾗｸﾞB解除/設定(INTFLAGSBCLR/SET)内の転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)されます。転送単位処理完了FIFO動作が許可されているなら、ｴﾝﾄﾞﾎﾟｲﾝﾄの構成設定表ｱﾄﾞﾚｽがFIFOに書かれます。

OUT指示票が検出され、指示票ﾊﾟｹｯﾄの装置ｱﾄﾞﾚｽがｴﾝﾄﾞﾎﾟｲﾝﾄのそれと一致しない時に、そのﾊﾟｹｯﾄは破棄され、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。

20.3.4. 入力 (IN)

IN指示票が検出されると、USB単位部はｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表内のｱﾄﾞﾚｽ指定された入力ｴﾝﾄﾞﾎﾟｲﾝﾄからｴﾝﾄﾞﾎﾟｲﾝﾄの制御(CTRL)と状態(STATUS)のﾚｼﾞｽﾀのﾃﾞｰﾀを取得します。ｴﾝﾄﾞﾎﾟｲﾝﾄが禁止されている場合、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。

ｴﾝﾄﾞﾎﾟｲﾝﾄ制御(CTRL)ﾚｼﾞｽﾀ内の不能応答(STALL)ﾌﾗｸﾞが設定(1)された場合、そのｴﾝﾄﾞﾎﾟｲﾝﾄは等時(Isochronous)ではなく、ﾎｽﾄに不能応答(STALL)が返され、ｴﾝﾄﾞﾎﾟｲﾝﾄ状態(STATUS)ﾚｼﾞｽﾀ内のSTALLﾌﾗｸﾞと割り込み要求ﾌﾗｸﾞA解除/設定(INTFLAGSACLR/SET)内の不能応答割り込み要求ﾌﾗｸﾞ(STALLIF)が設定(1)されます。

ﾃﾞｰﾀ緩衝部0不応答(BUSNACK0)が設定(1)される場合、ｴﾝﾄﾞﾎﾟｲﾝﾄSTATUSﾚｼﾞｽﾀ内の溢れﾌﾗｸﾞ(OVF)と割り込み要求ﾌﾗｸﾞA解除/設定(INTFLAGSACLR/SET)内の溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)が設定(1)されます。ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければ、ﾎｽﾄにNAKﾊﾝﾄﾞｼｪｰｸが返されます。

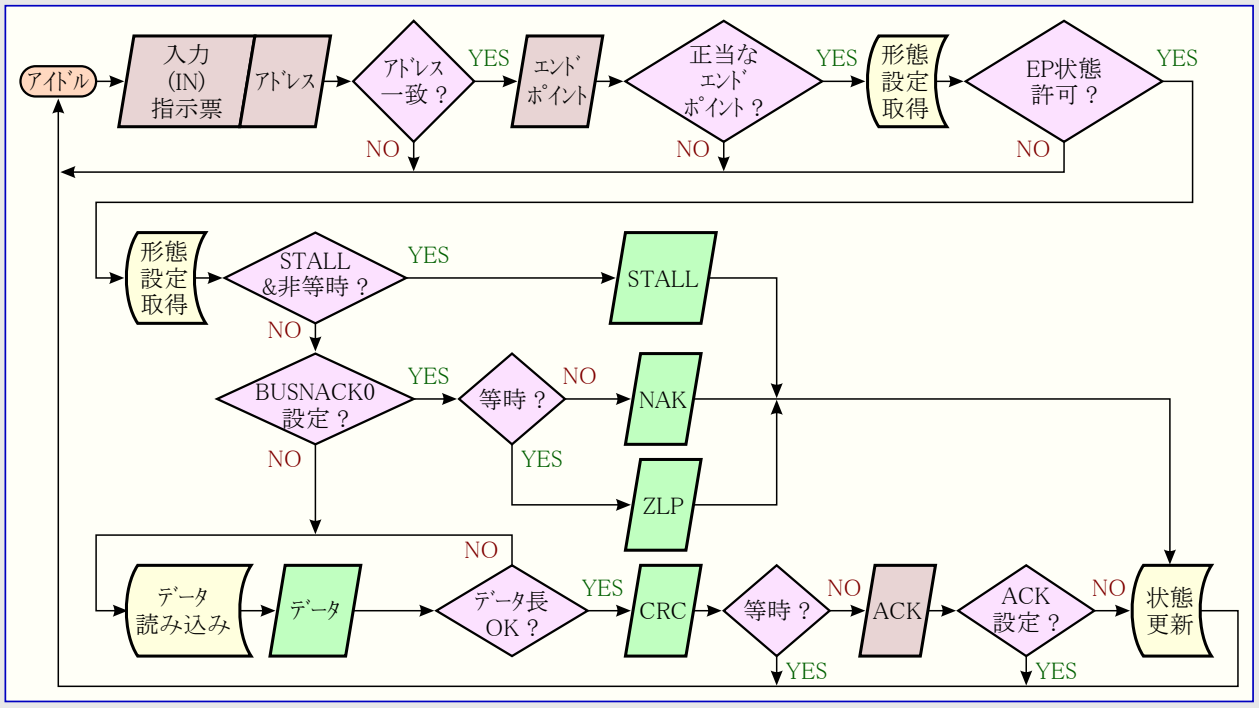
ｴﾝﾄﾞﾎﾟｲﾝﾄのﾃﾞｰﾀ ﾎﾟｲﾝﾀ(DATAPTR)ﾚｼﾞｽﾀによって指し示されるﾃﾞｰﾀ緩衝部内のﾃﾞｰﾀが、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時の場合にDATA0ﾊﾟｹｯﾄでﾎｽﾄに送られ、さもなければﾃﾞｰﾀ交互(TOGGLE)に従ってDATA0またはDATA1のﾊﾟｹｯﾄが送られます。ｴﾝﾄﾞﾎﾟｲﾝﾄ計数器(CNT)で指定されたﾃﾞｰﾀ ﾊﾞｲﾄ数が送られると、CRCが追加されてﾎｽﾄへ送られます。そうでなければ、ﾎｽﾄにZLPﾊﾝﾄﾞｼｪｰｸが返されます。

等時ｴﾝﾄﾞﾎﾟｲﾝﾄに関しては、ｴﾝﾄﾞﾎﾟｲﾝﾄSTATUSﾚｼﾞｽﾀ内のﾃﾞｰﾀ緩衝部0不応答(BUSNACK0)と転送単位処理完了(TRNCOMPL0)ﾌﾗｸﾞが設定(1)されます。転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)され、転送単位処理完了FIFO動作が許可されているならば、ｴﾝﾄﾞﾎﾟｲﾝﾄの構成設定表ｱﾄﾞﾚｽがFIFOに書かれます。

等時でない全てのｴﾝﾄﾞﾎﾟｲﾝﾄについて、USB単位部はﾎｽﾄからのACKﾊﾝﾄﾞｼｪｰｸを待ちます。16USBｸﾛｯｸ周期内にACKﾊﾝﾄﾞｼｪｰｸが受信されない場合、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。ACKﾊﾝﾄﾞｼｪｰｸが成功裏に受信されたなら、BUSNACK0とTRNCOMPL0が設定(1)され、TOGGLEが切り替えられます。TRNIFが設定(1)され、転送単位処理完了FIFO動作が許可されているなら、ｴﾝﾄﾞﾎﾟｲﾝﾄの構成設定表ｱﾄﾞﾚｽがFIFOに書かれます。

IN指示票が検出され、指示票ﾊﾟｹｯﾄの装置ｱﾄﾞﾚｽがそれのｴﾝﾄﾞﾎﾟｲﾝﾄと一致しない時に、そのﾊﾟｹｯﾄは破棄され、USB単位部はｱｲﾄﾞﾙに戻り、次の指示票ﾊﾟｹｯﾄを待ちます。

図20-5. IN転送単位処理



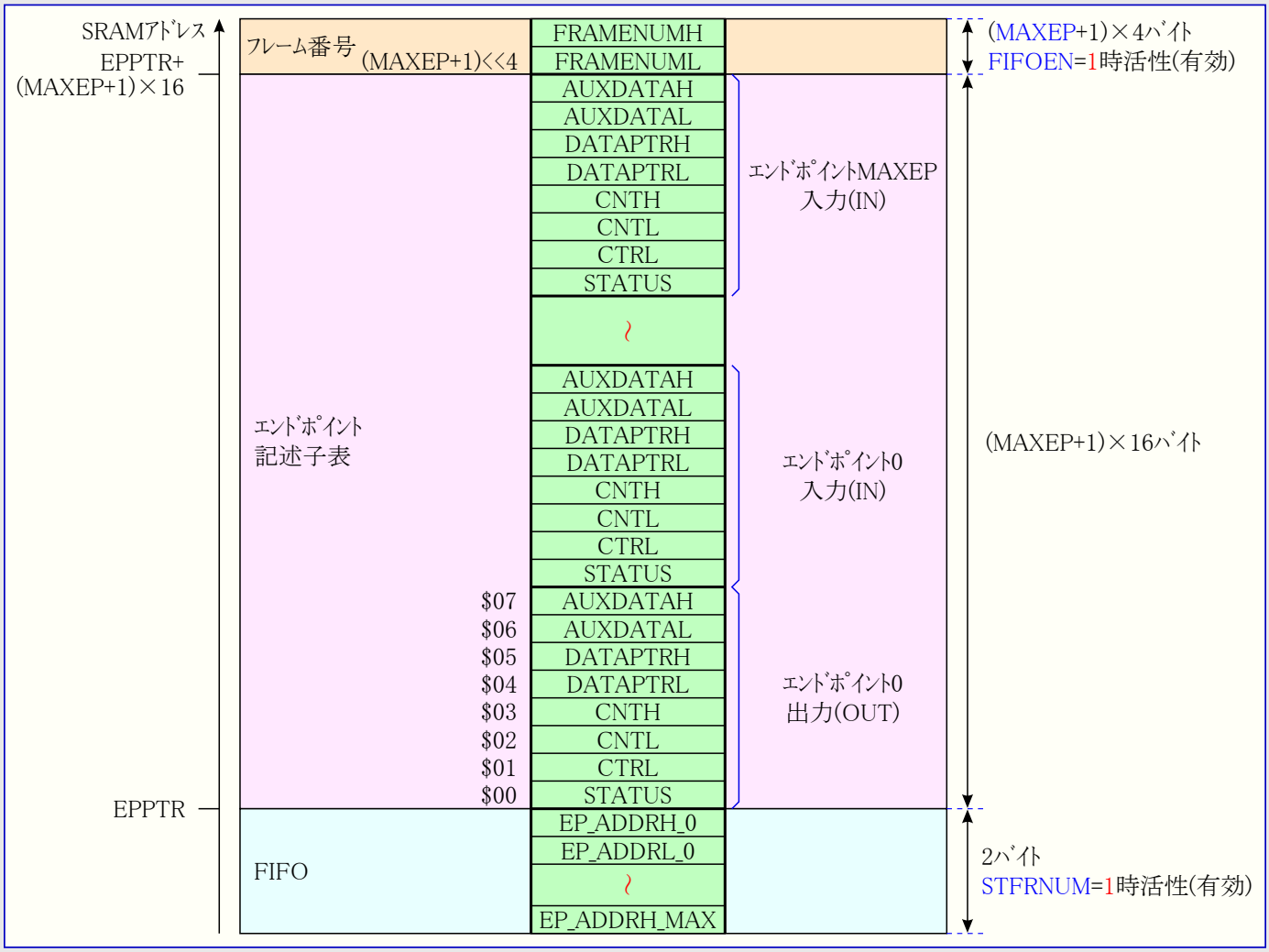
20.4. SRAMメモリ割り当て

USB単位部は以下を格納するのに内部SRAMを使います。

- エンドポイント構成設定表
- USBフレーム番号
- 転送単位処理完了FIFO

エンドポイント構成設定表に対するSRAMアドレスを設定するのにエンドポイント ポインタ(EPPTR)レジスタが使われます。USBフレーム番号(FRAMENUM)と転送単位処理完了FIFO(FIFO)の位置はこれから派生されます。これらの領域の位置は内部SRAMの内側で選択可能です。図20-6.は各領域の相対的なメモリ位置を与えます。

図20-6. SRAMメモリ割り当て



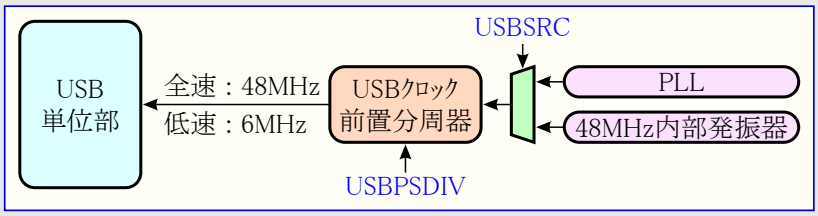
20.5. クロック生成

USB単位部は低速(Low-speed)USB動作に対して最低6MHzのクロックが、全速(Full-speed)USB動作に対して最低48MHzのクロックが必要です。これは内部PLL、またはそれが48MHzに校正されて調整されている時の32MHz内部発振器を直接的に使うことによって、内部または外部のクロック元からクロック駆動することができます。CPUと周辺のクロックは低速動作に対して最低1.5MHz、全速動作に対して最低12MHzで走行しなければなりません。

USB単位部のクロック選択は主システム クロック選択と無関係で独立しています。選択と構成設定は主クロック制御設定を用いて行われます。詳細については57頁の「システム クロックとクロック選択」を参照してください。

図20-7.はUSB単位部クロック選択の概要を示します。

図20-7. クロック生成構成設定



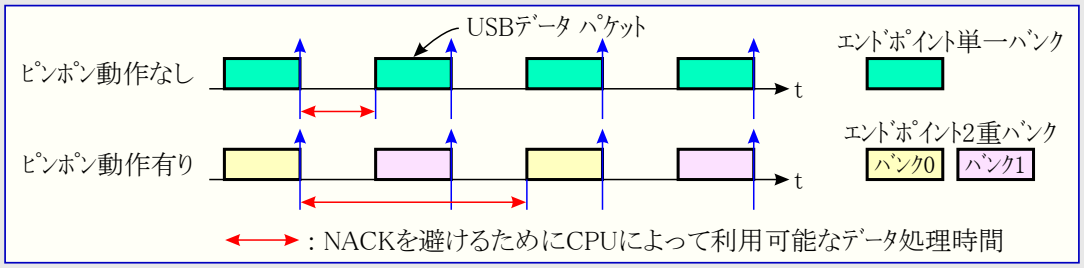
20.6. ﾋﾟﾝﾎﾟﾝ動作

ｴﾝﾄﾞﾎﾟｲﾝﾄがﾋﾟﾝﾎﾟﾝ動作に構成設定されると、それは入力または出力の方向に設定することができる単一、2重緩衝されたｴﾝﾄﾞﾎﾟｲﾝﾄを作成するのに入力と出力のﾃﾞｰﾀ緩衝部を使います。これはCPUやDMA制御器が緩衝部の1つをｱｸｾｽすることができ、同時に他方の緩衝部が進行中の転送を処理するような2重緩衝通信を提供します。ﾋﾟﾝﾎﾟﾝ動作は本章内で注記されるその他を除き、前に記述されたINとOUTの転送単位処理と同じです。ﾋﾟﾝﾎﾟﾝ動作は制御ｴﾝﾄﾞﾎﾟｲﾝﾄに対してはできません。

ｴﾝﾄﾞﾎﾟｲﾝﾄに対してﾋﾟﾝﾎﾟﾝ動作が許可されると、逆方向でのｴﾝﾄﾞﾎﾟｲﾝﾄが禁止されなければなりません。許可されたｴﾝﾄﾞﾎﾟｲﾝﾄからのﾃﾞｰﾀ緩衝部、ﾃﾞｰﾀ ﾎﾟｲﾝﾀ、ﾃﾞｰﾀ計数器、補助ﾃﾞｰﾀはﾊﾞﾝｸ0、同様に逆のｴﾝﾄﾞﾎﾟｲﾝﾄ方向に対してﾊﾞﾝｸ1として使われます。

ｴﾝﾄﾞﾎﾟｲﾝﾄ状態(STATUS)ﾚｼﾞｽﾀのﾊﾞﾝｸ選択(BANK)ﾌﾗｸﾞはどちらのﾃﾞｰﾀ ﾊﾞﾝｸが次の転送単位処理で使われるかを示します。これは各転送単位処理後に更新されます。STATUSﾚｼﾞｽﾀ内の転送単位処理完了(TRNCOMPL0/TRNCOMPL1)、下溢れ/上溢れ(UDF/OVF)、CRCのﾌﾗｸﾞは許可された、またはBANKﾌﾗｸﾞに従った逆のｴﾝﾄﾞﾎﾟｲﾝﾄ方向のどちらかに対して設定されます。ﾃﾞｰﾀ交互(TOGGLE)、ﾃﾞｰﾀ緩衝部0/1不応答(BUSNACK0とBUSNACK1)、BANKのﾌﾗｸﾞは許可されたｴﾝﾄﾞﾎﾟｲﾝﾄに対してだけ更新されます。

図20-8. ﾋﾟﾝﾎﾟﾝ動作概要

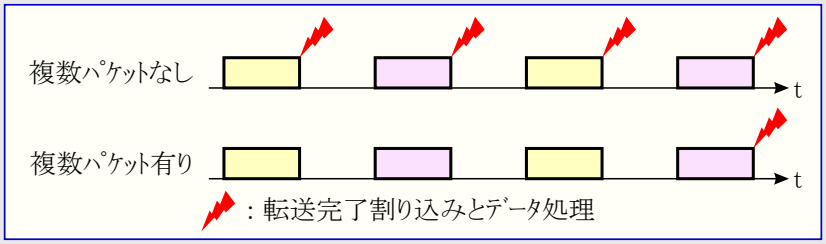


20.7. 複数ﾊﾟｹｯﾄ転送

複数ﾊﾟｹｯﾄ転送はどんなｿﾌﾄｳｪｱの介在もなしに複数ﾊﾟｹｯﾄとして転送されるべきｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾃﾞｰﾀ本体容量を超えるﾃﾞｰﾀ本体を許します。これはより高い水準のUSB転送のために割り込みとｿﾌﾄｳｪｱの介在を減らし、大事なCPU時間を自由にします。複数ﾊﾟｹｯﾄ転送は本章内で注記されるその他を除き、前に記述されたINとOUTの転送単位処理と同じです。

応用ｿﾌﾄｳｪｱは指定ｴﾝﾄﾞﾎﾟｲﾝﾄに対して、USB単位部によって処置されるべきSRAM緩衝部の大きさとｱﾄﾞﾚｽを提供し、そしてUSB単位部は必要とするUSBﾃﾞｰﾀ転送に於いて緩衝部を分割します。

図20-9. 複数ﾊﾟｹｯﾄ概要



20.7.1. 入力ｴﾝﾄﾞﾎﾟｲﾝﾄについて

標準動作に限り、送られるべき総ﾃﾞｰﾀ ﾊﾞｲﾄ数が計数器(CNT)に書かれます。送るﾊﾞｲﾄ数を格納するのに補助ﾃﾞｰﾀ(AUXDATA)ﾚｼﾞｽﾀが使われ、これは新しい転送に対して0が書かれなければなりません。

IN指示票が受信されると、ｴﾝﾄﾞﾎﾟｲﾝﾄのCNTとAUXDATAが取得されます。CNT-AUXDATAがｴﾝﾄﾞﾎﾟｲﾝﾄ緩衝部容量(BUFSIZE)以下なら、CNT-AUXDATA数のﾊﾞｲﾄが送信され、さもなければBUFSIZE数のﾊﾞｲﾄが送信されます。ｴﾝﾄﾞﾎﾟｲﾝﾄCNTがBUFSIZEの倍数で、自動0長ﾊﾟｹｯﾄ(AZLP)が許可されているなら、最後のﾊﾟｹｯﾄ送信は0長になります。

最大本体量ﾊﾟｹｯﾄが送られた(換言すると最終転送単位処理でない)場合、AUXDATAがBUFSIZE分増加されます。転送単位処理完了後、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時(Isochronous)でなければ、ﾃﾞｰﾀ交互(TOGGLE)が切り替えられます。短いﾊﾟｹｯﾄが送られた(換言すると最終転送単位処理の)場合、AUXDATAはﾃﾞｰﾀ本体分増加されます。ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければ、TOGGLEが切り替えられ、ﾃﾞｰﾀ緩衝部0/1不応答(BUSNACK0/BUSNACK1)、転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF)、転送単位処理完了(TRNCOMPL0)が設定(1)されます。

20.7.2. 出力ｴﾝﾄﾞﾎﾟｲﾝﾄについて

標準動作に限り、受信したﾃﾞｰﾀ ﾊﾞｲﾄ数がｴﾝﾄﾞﾎﾟｲﾝﾄの計数器(CNT)ﾚｼﾞｽﾀに格納されます。ｴﾝﾄﾞﾎﾟｲﾝﾄのCNTが各転送単位処理後に更新されるため、これは新しい転送の構成設定時に0に設定されなければなりません。受信されるべき総ﾊﾞｲﾄ数は補助ﾃﾞｰﾀ(AUX DATA)に書かれなければなりません。この値は等時の1023ﾊﾞｲﾄを除き、ｴﾝﾄﾞﾎﾟｲﾝﾄ緩衝部容量(BUFSIZE)の倍数でなければならず、さもなければ超過ﾃﾞｰﾀが応用の他の部分によって使われるSRAM位置に書かれるかもしれません。

ﾃﾞｰﾀ交互(TOGGLE)管理は等時(Isochronous)以外のﾊﾟｹｯﾄに関する限り、そしてﾃﾞｰﾀ緩衝部0/1不応答(BUSNACK0/BUSNACK1)管理は標準動作に関する限りです。

最大本体量ﾊﾟｹｯﾄが受信された場合、転送単位処理完了後にCNTがBUFSIZE分増加され、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければTOGGLEが切り替わります。更新されたｴﾝﾄﾞﾎﾟｲﾝﾄCNTがAUXDATAと等しいなら、BUSNACK0/BUSNACK1、転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF)、転送単位処0/1完了(TRNCOMPL0/TRNCOMPL1)が設定(1)されます。

短いまたは過大なﾊﾟｹｯﾄが受信された場合、転送単位処理完了後にｴﾝﾄﾞﾎﾟｲﾝﾄのCNTがBUFSIZE分増加され、ｴﾝﾄﾞﾎﾟｲﾝﾄが等時でなければTOGGLEが切り替えられ、BUSNACK0/BUSNACK1、TRNIF、TRNCOMPL0/TRNCOMPL1が設定(1)されます。

20.8. 自動0長ﾊﾟｹｯﾄ

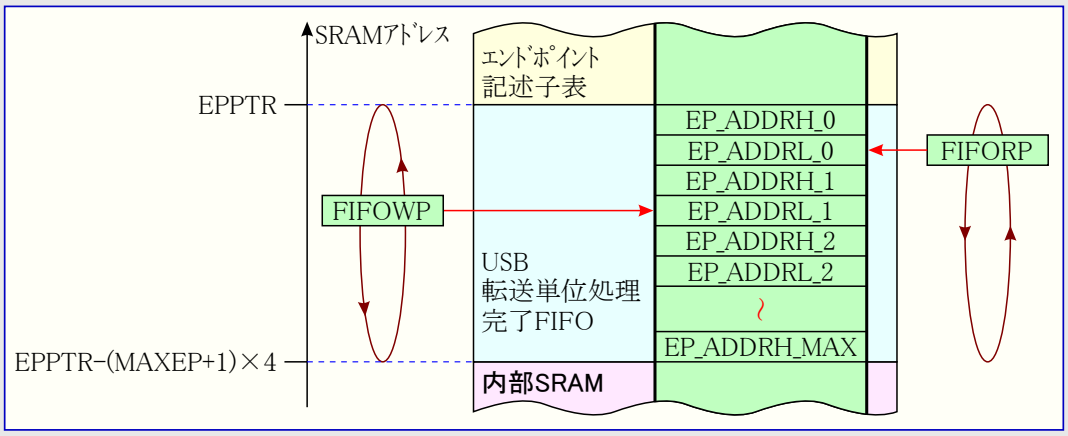
いくつかのIN転送はﾎｽﾄに転送の最後を合図するために生成されるべき0長ﾊﾟｹｯﾄを要求します。この自動的な生成を実行するために自動0長ﾊﾟｹｯﾄ(AZLP)機能を許可することができ、従ってこの作業を実行するのに応用ｿﾌﾄｳｪｱやCPUの介在の必要を取り去ります。

20.9. 転送単位処理完了FIFO

転送単位処理完了FIFO(FIFO)は完了されたINまたはOUTの転送単位処理を持ち、ﾌｧｰﾑｳｪｱ介在が必要なｴﾝﾄﾞﾎﾟｲﾝﾄの経緯を保つ便利な方法を提供します。これは応用ｿﾌﾄｳｪｱに対する到着先行、処理作業先行待ち行列を作成します。

FIFO容量は(MAXEP3～0+1)×4ﾊﾞｲﾄで、EPPTR-1から始まり、下へ伸長します。このSRAMﾒﾓﾘはFIFOが許可された時にだけ割り当てられます。

図20-10. 転送単位処理完了FIFO

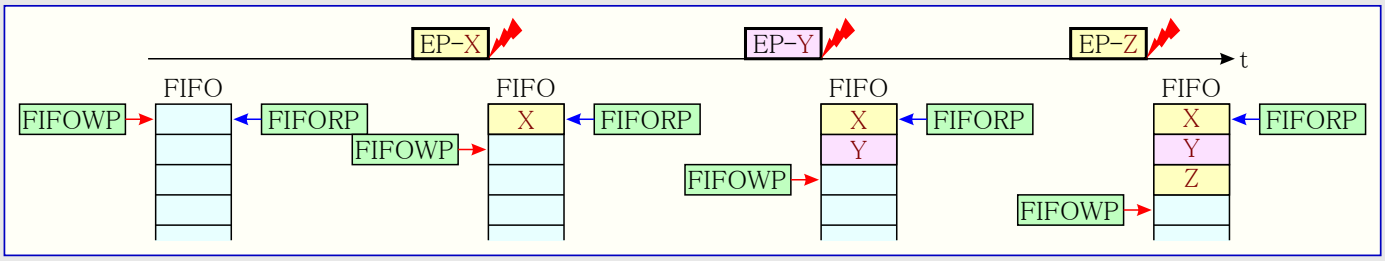


FIFOを管理するため、USB単位部と応用ｿﾌﾄｳｪｱによって各々5ﾋﾞｯﾄの書き込みﾎﾟｲﾝﾀ(FIFOWP)と5ﾋﾞｯﾄの読み込みﾎﾟｲﾝﾀ(FIFORP)が使われます。FIFORPとFIFOWPは1の補数、従って負の値を保持します。ﾃﾞｰﾀのSRAM位置はEPPTRと読み込みまたは書き込みのﾎﾟｲﾝﾀとの和です。FIFO内の項目数はFIFOWPとFIFORP間で異なります。ﾌﾟﾛｸﾞﾗﾑ作成者に関しては、FIFORPとFIFOWPの値は符号付き8ﾋﾞｯﾄ整数に振り当てて、その符号付整数からFIFO内への変位が差し引かれなければなりません。

FIFORP≠FIFOWPの時に空でないことを示すために割り込み要求ﾌﾗｸﾞB解除/設定(INTFLAGSBCLR/SET)ﾚｼﾞｽﾀ内の転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF)が設定(1)され、それらが等しい時に解除(0)され、そしてFIFOが満杯の時にも設定(1)されます。

ｴﾝﾄﾞﾎﾟｲﾝﾄINまたはOUTの転送単位処理が成功裏に完了する度に、それのｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ｱﾄﾞﾚｽが現在の書き込みﾎﾟｲﾝﾀ位置(換言するとEPPTR+FIFOWP×2)でFIFO内に格納され、FIFOWPが減少(-1)されます。ﾎﾟｲﾝﾀがFIFO容量に達すると、0に丸められます。応用ｿﾌﾄｳｪｱがFIFORPを読むと、これは同じように減少(-1)されます。書き込みﾎﾟｲﾝﾀの読み込みは無効です。ｴﾝﾄﾞﾎﾟｲﾝﾀ構成設定表ｱﾄﾞﾚｽは(EPPTR+FIFORP×2)から直接読むことができます。

図20-11. USB転送単位処理完了FIFO例

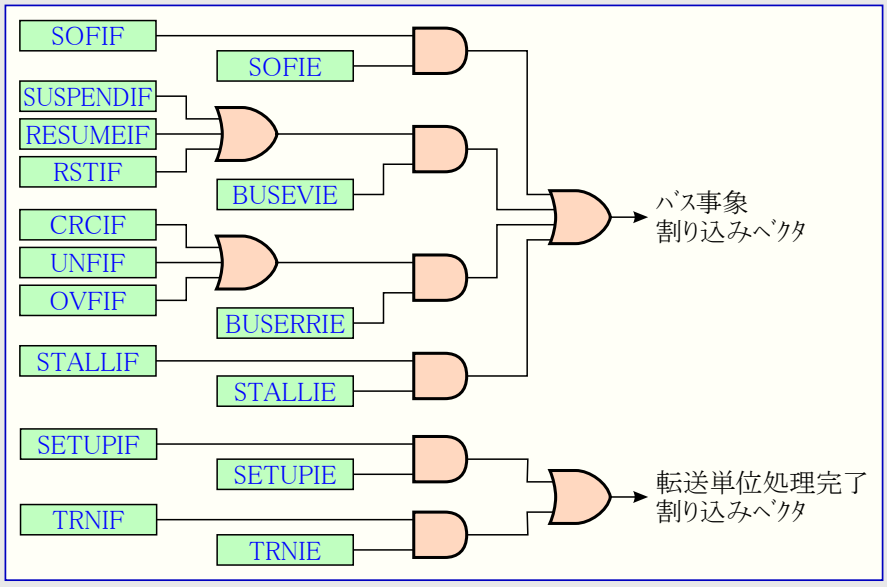


20.10. 割り込みと事象

USB単位部は割り込みと事象を生成することができます。この単位部は10の割り込み元を持ちます。それらは2つの割り込みベクタ、転送単位処理完了(TRNCOMPL)割り込みとバス事象(BUSEVENT)割り込みに分けられます。割り込み群はそれの割り込みレベル(INTLVL)設定によって許可され、各種割り込み元が個別にまたは群で許可されます。

図20-12.はUSB単位部に関する割り込みと事象の供給元を要約し、それらがどう許可されるかを示します。

図20-12. 割り込みと事象の仕組み要約



20.10.1. 転送単位処理完了割り込み

転送単位処理完了割り込みはエンドポイント毎に生成されます。割り込みが起こると、連携するエンドポイント番号が記録され、任意選択でFIFOに追加されます。右の2つの割り込み元が割り込みベクタを使います。

表20-1. 転送単位処理完了割り込み元

割り込み元	内容
転送完了(TRNIF)	INまたはOUT転送単位処理が完了
構成設定完了(SETUPIF)	SETUP転送単位処理が完了

20.10.2. バス事象割り込み

バス事象(BUSEVENT)割り込みはUSB線事象や異常状態の様々な形式を合図する全ての割り込みに使われます。これらの割り込みはUSB線に関連されてUSB単位部とエンドポイント毎に生成されます。以下の8つの割り込みが割り込みベクタを使います。

表20-2. バス事象割り込み元

割り込み元	内容
フレーム開始(SOFIF)	SOF指示票受信
休止(SUSPENDIF)	バスが3ms間アイドル
再開(RESUMEIF)	バスが休止されている時に非アイドル状態を検出 割り込みは非同期で全休止形態からデバイスを起こせます。
リセット(RSTIF)	バス上でリセット状態を検出
等時CRC異常(CRCIF)	等時エンドポイントへやって来るパケットでCRCまたはビット詰めの異常を検出
下溢れ(UNFIF)	エンドポイントはホストへデータを返すことが不可
上溢れ(OVFIF)	エンドポイントはホストからデータを受け入れることが不可
不能応答(STALLIF)	ホストへSTALLハンドシェークが返された。

20.10.3. 事象

USB単位部は様々な事象を生成することができ、それらは他の周辺機能への遅延無き合図を許す事象システムに、またはUSB動作の性能分析に利用可能です。

表20-3. 事象元

事象元	内容
構成設定(SETUP)	SETUPIF
フレーム開始	SOFIF
CRC異常	CRCIF
下溢れ/上溢れ	UNFIFとOVRIF

20.11. VBUS検出

Atmel AVR XMEGAはVBUS検出機能実装にどの汎用入出力ﾋﾟﾝも使うことができ、専用のVBUS検出ﾋﾟﾝを使いません。

20.12. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ

ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ作業中に中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)に達した時にCPUｸﾛｯｸが12MHz以下になり得ます。これが起きた場合、USB単位部は以下のようになります。

USB OCD中断動作許可：USB単位部はどのOCD中断要求にも直ちに応答します。USB単位部はUSBﾎｽﾄから受信した転送単位処理に追従することができず、ﾎｽﾄの視点からの動きは予測できません。

USB OCD中断動作禁止：USB単位部は進行中の転送単位処理が無い場合に、どのOCD中断要求にも直ちに応答します。進行中のUSB転送単位処理がある場合、USB単位部は進行中のUSB転送単位処理が完了された時にだけ、どんなOCD中断要求にも応答します。USB単位部はそれらがSETUP、IN(等時、大量)またはOUT(等時、大量)であろうとなかろうと、USBﾎｽﾄから受信された更なるどんな転送単位処理にもNACKで応答します。

20.13. 動作電圧

正しく動作するUSB緩衝部とUSB仕様内であるために、ﾃﾞﾊﾞｲｽの動作電圧は2.8～3.6Vの範囲でなければなりません。

20.14. ﾚｼﾞｽﾀ説明 – USB

20.14.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	ENABLE	SPEED	FIFOEN	STFRNUM	MAXEP3~0				CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ENABLE : USB許可** (USB Enable)

このﾋﾞｯﾄの設定(1)がUSBｲﾝﾀｰﾌｪｰｽを許可します。このﾋﾞｯﾄの解除(0)はUSBｲﾝﾀｰﾌｪｰｽを禁止し、どんな進行中の転送単位処理も直ちに中断します。

● **ﾋﾞｯﾄ6 – SPEED : USB速度選択** (Speed Select)

このﾋﾞｯﾄは低速(Low-speed)と全速(Full-speed)の動作を選択します。既定によるこのﾋﾞｯﾄは0で低速動作が選択されます。このﾋﾞｯﾄの設定(1)は全速動作を許可します。

● **ﾋﾞｯﾄ5 – FIFOEN : USB FIFO許可** (USB FIFO Enable)

このﾋﾞｯﾄの設定(1)はUSB転送単位処理完了FIFO(FIFO)を許可し、このFIFOは転送単位処理完了割り込みを生成する各ｴﾝﾄﾞﾎﾟｲﾝﾄのｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ｱﾄﾞﾚｽを格納します。このﾋﾞｯﾄの解除(0)はこのFIFOを禁止し、割り当てられたSRAMﾒﾓﾘは自由です。

● **ﾋﾞｯﾄ4 – STFRNUM : ﾌﾚｰﾑ番号格納許可** (Store Frame Number Enable)

このﾋﾞｯﾄの設定(1)はﾌﾚｰﾑ番号(FRAMENUM)ﾚｼﾞｽﾀでの最終SOF指示票ﾌﾚｰﾑ番号の格納を許可します。このﾋﾞｯﾄの解除(0)はこの機能を禁止します。

● **ﾋﾞｯﾄ3~0 – MAXEP3~0 : 最大ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ** (Maximum Endpoints Address)

これらのﾋﾞｯﾄはUSB単位部で使われるｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ数を選びます。このｱﾄﾞﾚｽよりも高いｴﾝﾄﾞﾎﾟｲﾝﾄ番号でやって来るﾊﾟｹｯﾄは破棄されます。このｱﾄﾞﾚｽと等しいか、またはより低いｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽを持つﾊﾟｹｯﾄはUSB単位部にｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表内でｱﾄﾞﾚｽ指定されたｴﾝﾄﾞﾎﾟｲﾝﾄを調べさせます。

20.14.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	PULLRST	–	RWAKEUP	GNACK	ATTACH	CTRLB
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – PULLRST : ﾘｾｯﾄ中ﾌﾟﾙｱｯﾌﾟ** (Pull during Reset)

このﾋﾞｯﾄの設定(1)はﾃﾞﾊﾞｲｽがﾘｾｯﾄに入っている時にも保持されるようにUSB線上のﾌﾟﾙｱｯﾌﾟを許可します。このﾋﾞｯﾄは電源ONﾘｾｯﾄで解除(0)されます。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – RWAKEUP : 遠隔起動** (Remote Wake-up)

このﾋﾞｯﾄの設定(1)はﾊﾞｽが最低5ms間停止状態の場合にUSB線上で上方向再開を送出します。

● **ﾋﾞｯﾄ1 – GNACK : 全域否定応答** (Global NACK)

このﾋﾞｯﾄが設定(1)されると、USB単位部はやって来る全ての転送単位処理を否定応答にします。構成設定(SETUP)ﾊﾟｹｯﾄを除き、これはﾁｯﾌﾟ上のどのSRAMｱｸｾｽの実行からもUSB単位部を防ぎ、CPUやDMA制御器に全てのSRAM帯域を与えます。

● **ﾋﾞｯﾄ0 – ATTACH : 接続** (Attach)

このﾋﾞｯﾄの設定(1)は(USB速度選択に依存して)D+またはD-の内部ﾌﾟﾙｱｯﾌﾟを許可し、装置をUSB線に接続します。このﾋﾞｯﾄの解除(0)はUSB線から装置を切断します。

20.14.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	URESUME	RESUME	SUSPEND	BUSRST	STATUS
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ3 – URESUME : 上方向再開** (Upstream Resume)

このﾌﾗｸﾞは上方向再開が送出された時に設定(1)されます。

- **ﾋﾞｯﾄ2 – RESUME : 再開** (Resume)

このﾌﾗｸﾞは下方向再開が受信された時に設定(1)されます。

- **ﾋﾞｯﾄ1 – SUSPEND : ﾊﾞｽ休止** (Bus Suspended)

このﾌﾗｸﾞはUSB線が休止状態(ﾊﾞｽが最低3ms間ｱｲﾄﾞﾙ)の時に設定(1)されます。

- **ﾋﾞｯﾄ0 – BUSRST : ﾊﾞｽ ﾘｾｯﾄ** (Bus Reset)

このﾌﾗｸﾞはﾘｾｯﾄ条件(ﾊﾞｽが最低2.5µs間SE0に駆動)が検出される時に設定(1)されます。

20.14.4. ADDR – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Address register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	ADDR6~0							ADDR
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ6~0 – ADDR6~0 : 装置ｱﾄﾞﾚｽ** (Device Address)

これらのﾋﾞｯﾄは装置が反応するUSBｱﾄﾞﾚｽを含みます。

20.14.5. FIFOWP – FIFO書き込みﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ (FIFO Write Pointer register)

FIFOが許可されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても
- FIFOの大きさに依存してFIFORPへの1または多数回の読み込みによって

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

FIFOが禁止されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	FIFOWP4~0					FIFOWP
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ4~0 – FIFOWP4~0 : FIFO書き込みﾎﾟｲﾝﾀ** (FIFO Write Pointer)

これらのﾋﾞｯﾄは転送単位処理完了FIFO書き込みﾎﾟｲﾝﾀを含みます。このﾚｼﾞｽﾀはCPUやDMA制御器によって読み込みだけされなければなりません。このﾚｼﾞｽﾀへの書き込みはFIFO書き込みと読み込みのﾎﾟｲﾝﾀを破棄します。

20.14.6. FIFORP – FIFO読み込みﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ (FIFO Read Pointer register)

FIFOが許可されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても
- FIFOの大きさに依存してFIFORPへの1または多数回の読み込みによって

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

FIFOが禁止されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	–	FIFORP4~0					FIFORP
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4~0 – FIFORP4~0 : FIFO読み込みﾎﾟｲﾝﾀ** (FIFO Read Pointer)

これらのﾋﾞｯﾄは転送単位処理完了FIFO読み込みﾎﾟｲﾝﾀを含みます。このﾚｼﾞｽﾀはCPUやDMA制御器によって読み込みだけされなければなりません。このﾚｼﾞｽﾀへの書き込みはFIFO書き込みと読み込みのﾎﾟｲﾝﾀを破棄します。

20.14.7. EPPTRL – ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ下位ﾊﾞｲﾄ (Endpoint Configuration Table Pointer Low)

EPPTRLとEPPTRHのﾚｼﾞｽﾀはｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表へのｱﾄﾞﾚｽを含む16ﾋﾞｯﾄ値EPPTRを表します。ｴﾝﾄﾞﾎﾟｲﾝﾀ構成設定表へのﾎﾟｲﾝﾀは16ﾋﾞｯﾄ語に整列、換言するとEPPTR0が0でなければなりません。各ﾃﾞﾊﾞｲｽに対して利用可能な内部SRAMをｱﾄﾞﾚｽ指定するのに必要とされるﾋﾞｯﾄ数だけが実装されます。未使用ﾋﾞｯﾄは常に0として読めます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	EPPTR7~0								EPPTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – EPPTR7~0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ7~0** (Endpoint Configuration Table Pointer)

このﾚｼﾞｽﾀはｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ(EPPTR)の下位8ﾋﾞｯﾄ(8LSB)を含みます。

20.14.8. EPPTRH – ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ上位ﾊﾞｲﾄ (Endpoint Configuration Table Pointer High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	EPPTR15~8								EPPTRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – EPPTR15~8 : ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ15~8** (Endpoint Configuration Table Pointer)

このﾚｼﾞｽﾀはｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ(EPPTR)の上位8ﾋﾞｯﾄ(8MSB)を含みます。

20.14.9. INTCTRLA – 割り込み制御ﾚｼﾞｽﾀA (Interrupt Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	SOFIE	BUSEVIE	BUSERRIE	STALLIE	–	–	INTLVL1,0		INTCTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SOFIE : ﾌﾚｰﾑ開始割り込み許可** (Start Of Frame Interrupt Enable)

このﾋﾞｯﾄの設定(1)は割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀA(INTFLAGSACLR/INTFLAGSASET)内のﾌﾚｰﾑ開始割り込み要求ﾌﾗｸﾞ(SOFIF)を設定(1)する条件に対してﾌﾚｰﾑ開始(SOF)割り込みを許可します。割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

● **ﾋﾞｯﾄ6 – BUSEVIE : ﾊﾞｽ事象割り込み許可** (Bus Event Interrupt Enable)

このﾋﾞｯﾄの設定(1)は以下の3つのﾊﾞｽ事象に対して割り込みを許可します。

1. 休止(Suspend) : 割り込みはINTFLAGSACLR/SETﾚｼﾞｽﾀ内の休止割り込み要求ﾌﾗｸﾞ(SUSPENDIF)を設定(1)する条件に対して生成されます。
2. 再開(Resume) : 割り込みはINTFLAGSACLR/SETﾚｼﾞｽﾀ内の再開割り込み要求ﾌﾗｸﾞ(RESUMEIF)を設定(1)する条件に対して生成されます。

3. 休止(Suspend)：割り込みはINTFLAGSACLR/SETﾚｼﾞｽﾀ内のﾘｾｯﾄ割り込み要求ﾌﾗｸﾞ(RSTIF)を設定(1)する条件に対して生成されます。

割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

● **ﾋﾞｯﾄ5 – BUSERRIE：ﾊﾞｽ異常割り込み許可** (Bus Erroe Interrupt Enable)

このﾋﾞｯﾄの設定(1)は以下の3つのﾊﾞｽ異常事象に対して割り込みを許可します。

1. 等時(Isochronous)CRC異常：割り込みは等時転送中に割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀA(INTFLAGSACLR/INTFLAGSASET)内の等時CRC異常割り込み要求ﾌﾗｸﾞ(CRCIF)を設定(1)する条件に対して生成されます。
2. 下溢れ：割り込みはINTFLAGSACLR/SETﾚｼﾞｽﾀ内の下溢れ割り込み要求ﾌﾗｸﾞ(UNFIF)を設定(1)する条件に対して生成されます。
3. 上溢れ：割り込みはINTFLAGSACLR/SETﾚｼﾞｽﾀ内の上溢れ割り込み要求ﾌﾗｸﾞ(OVFIF)を設定(1)する条件に対して生成されます。

割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

● **ﾋﾞｯﾄ4 – STALLIE：不能応答割り込み許可** (STALL Interrupt Enable)

このﾋﾞｯﾄの設定(1)はINTFLAGSACLR/SETﾚｼﾞｽﾀ内の不能応答割り込み要求ﾌﾗｸﾞ(STALLIF)を設定(1)する条件に対して不能応答割り込みを許可します。割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

● **ﾋﾞｯﾄ3,2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – INTLVL1,0：割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄはUSB割り込みを許可し、90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。加えて各USB割り込み元は別々に許可されなければなりません。

20.14.10. INTCTRLB – 割り込み制御ﾚｼﾞｽﾀB (Interrupt Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	–	–	TRNIE	SETUPIE	INTCTRLB
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – TRNIE：転送単位処理完了割り込み許可** (Transaction Complete Interrupt Enable)

このﾋﾞｯﾄの設定(1)はINとOUTの転送単位処理に対して転送単位処理割り込みを許可します。割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

● **ﾋﾞｯﾄ0 – SETUPIE：SETUP転送単位処理完了割り込み許可** (SETUP Transaction Complete Interrupt Enable)

このﾋﾞｯﾄの設定(1)は構成設定(SETUP)転送単位処理に対してSETUP転送単位処理割り込みを許可します。割り込みﾚﾍﾞﾙ(INTLVL1,0)ﾋﾞｯﾄは生成されるべき割り込みのために0以外でなければなりません。

20.14.11. INTFLGSACLR/INTFLAGSASET – 割り込み要求ﾌﾗｸﾞ解除/設定ﾚｼﾞｽﾀA (Clear/Set Interrupt Flag register A)

このﾚｼﾞｽﾀはﾌﾗｸﾞの解除(0)用の1つ(INTFLAGSACLR)と設定(1)用の1つ(INTFLAGSASET)で、2つのI/Oﾒﾓﾘ位置に割り当てられます。個別ﾌﾗｸﾞはINTFLAGSASET内のそれらのﾋﾞｯﾄ位置に1を書くことで設定(1)、INTFLAGSACLR内のそれらのﾋﾞｯﾄ位置に1を書くことで解除(0)することができます。両ﾒﾓﾘ位置は読み込み時に同じ結果を提供し、どのﾋﾞｯﾄ位置への0書き込みも無効です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A,$0B	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	INTFLAGSACLR INTFLAGSASET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SOFIF：ﾌﾚｰﾑ開始割り込み要求ﾌﾗｸﾞ** (Start Of Frame Interrupt Flag)

このﾌﾗｸﾞはﾌﾚｰﾑ開始ﾊﾟｹｯﾄが受信された時に設定(1)されます。

● **ﾋﾞｯﾄ6 – SUSPENDIF：休止割り込み要求ﾌﾗｸﾞ** (Suspend Interrupt Flag)

このﾌﾗｸﾞはﾊﾞｽが3ms間ｱｲﾄﾞﾙになった時に設定(1)されます。

● **ﾋﾞｯﾄ5 – RESUMEIF：再開割り込み要求ﾌﾗｸﾞ** (Resume Interrupt Flag)

このﾌﾗｸﾞはUSB単位部が休止状態の間にﾊﾞｽ上でｱｲﾄﾞﾙ状態以外が検出された時に設定(1)されます。この割り込みは非同期で、ﾊﾟﾜｰﾀﾞｳﾝとﾊﾟﾜｰｾｰﾌﾞの休止形態のようなｼｽﾃﾑ ｸﾛｯｸが停止された休止形態からCPUを起こすことができます。

● ﾋﾞｯﾄ4 – RSTIF : ﾘｾｯﾄ割り込み要求ﾌﾗｸﾞ (Reset Interrupt Flag)

このﾌﾗｸﾞはﾊﾞｽ上でﾘｾｯﾄ条件が検出された時に設定(1)されます。

● ﾋﾞｯﾄ3 – CRCIF : 等時CRC異常割り込み要求ﾌﾗｸﾞ (Isochronous CRC Error Interrupt Flag)

このﾌﾗｸﾞは等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄにやって来るﾃﾞｰﾀ ﾊﾟｹｯﾄでCRC異常が検出された時に設定(1)されます。

● ﾋﾞｯﾄ2 – UNFIF : 下溢れ割り込み要求ﾌﾗｸﾞ (Underflow Interrupt Flag)

このﾌﾗｸﾞはIN転送単位処理でｱﾄﾞﾚｽ指定されたｴﾝﾄﾞﾎﾟｲﾝﾄがﾎｽﾄへ送るﾃﾞｰﾀを持たない時に設定(1)されます。

● ﾋﾞｯﾄ1 – OVFIF : 上溢れ割り込み要求ﾌﾗｸﾞ (Overflow Interrupt Flag)

このﾌﾗｸﾞはOUT転送単位処理でｱﾄﾞﾚｽ指定されたｴﾝﾄﾞﾎﾟｲﾝﾄがﾎｽﾄからのﾃﾞｰﾀの受け入れ準備が整わない時に設定(1)されます。

● ﾋﾞｯﾄ0 – STALLIF : 不能応答割り込み要求ﾌﾗｸﾞ (STALL Interrupt Flag)

このﾌﾗｸﾞはINまたはOUTのどちらかの転送単位処理に於いて不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸで応答した時に設定(1)されます。

20.14.12. INTFLGSBCLR/INTFLAGSBSET – 割り込み要求ﾌﾗｸﾞ解除/設定ﾚｼﾞｽﾀB (Clear/Set Interrupt Flag register B)

このﾚｼﾞｽﾀはﾌﾗｸﾞの解除(0)用の1つ(INTFLAGSBCLR)と設定(1)用の1つ(INTFLAGSBSET)で、2つのI/Oﾒﾓﾘ位置に割り当てられます。個別ﾌﾗｸﾞはINTFLAGSBSET内のそれらのﾋﾞｯﾄ位置に1を書くことで設定(1)、INTFLAGSBCLR内のそれらのﾋﾞｯﾄ位置に1を書くことで解除(0)することができます。両ﾒﾓﾘ位置は読み込み時に同じ結果を提供し、どのﾋﾞｯﾄ位置への0書き込みも無効です。

FIFOが許可されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても
- FIFOの大きさに依存してFIFORPへの1または多数回の読み込みによって

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

FIFOが禁止されると、

- FIFORPまたはFIFOWPへのどの値の書き込みによっても

転送単位処理完了割り込み要求ﾌﾗｸﾞ(TRNIF,SETUPIF)は解除(0)されます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C,$0D	–	–	–	–	–	–	TRNIF	SETUPIF	INTFLAGSBCLR INTFLAGSBSET
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – TRNIF : 転送単位処理完了割り込み要求ﾌﾗｸﾞ (Transaction Complete Interrupt Flag)

このﾌﾗｸﾞはFIFO内に保留されたﾊﾟｹｯﾄ割り込みがある時に設定(1)されます。

● ﾋﾞｯﾄ0 – SETUPIF : SETUP転送単位処理完了割り込み要求ﾌﾗｸﾞ (SETUP Transaction Complete Interrupt Flag)

このﾌﾗｸﾞは構成設定(SETUP)転送単位処理が成功裏に完了された時に設定(1)されます。

20.14.13. CAL0 – 校正ﾚｼﾞｽﾀ下位 (Calibration Low)

CAL0とCAL1は16ﾋﾞｯﾄ値CALを保持します。USBﾊﾟｯﾄﾞ(D-とD+)はUSB線上での外部部品の必要なしの動作を許すために製造中に校正されます。校正値はﾃﾞﾊﾞｲｽの識票列に格納され、ｿﾌﾄｳｪｱでそこから読まれてCALﾚｼﾞｽﾀに書かれなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$3A	CAL7~0								CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CAL7~0 : ﾊﾟｯﾄﾞ校正下位 (PAD Calibration Low)

このﾊﾞｲﾄはCALの下位8ﾋﾞｯﾄ(8 LSB)です。

20.14.14. CAL1 – 校正ﾚｼﾞｽﾀ上位 (Calibration High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$3B	CAL15~8								CALH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CAL15~8 : ﾊﾟｯﾄﾞ校正上位 (PAD Calibration High)

このﾊﾞｲﾄはCALの上位8ﾋﾞｯﾄ(8 MSB)です。

20.15. ﾚｼﾞｽﾀ説明 – USBｴﾝﾄﾞﾎﾟｲﾝﾄ

16個のｴﾝﾄﾞﾎﾟｲﾝﾄの各々は1つの入力と1つの出力のｴﾝﾄﾞﾎﾟｲﾝﾄを持ちます。各ｴﾝﾄﾞﾎﾟｲﾝﾄは内部SRAMに配置された8ﾊﾞｲﾄの構成設定/状態ﾃﾞｰﾀを持ちます。

最初の構成設定ﾊﾞｲﾄへのｱﾄﾞﾚｽは、出力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して(EPPTR15～0+16×ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ)で、入力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して(EPPTR15～0+16×ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ+8)です。

いくつかのﾋﾞｯﾄ位置はｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定形式または方向に依存して異なる機能を持ち、これはﾋﾞｯﾄ位置に対して2つの異なる名前を使うことによって反映されます。

20.15.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	STALL CRC(注)	UNF/OVF	TRNCOMPL0	SETUP TRNCOMPL1	BANK	BUSNACK1	BUSNACK0	TOGGLE	STATUS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄ用

● **ﾋﾞｯﾄ7 – STALL : 不能応答ﾌﾗｸﾞ** (Stall Flag)

このﾌﾗｸﾞはINまたはOUTの転送単位処理が不能応答(STALL)ﾊﾝﾄﾞｼｪｰｸで応答された時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ7 – CRC : CRC異常ﾌﾗｸﾞ** (CRC Error Flag)

このﾌﾗｸﾞは等時(Isochronous)出力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して、やって来るﾃﾞｰﾀ ﾊﾟｹｯﾄでCRC異常が検出された時に設定(1)されます。

● **ﾋﾞｯﾄ6 – UNF/OVF : 上/下溢れﾌﾗｸﾞ** (Underflow / Overflow Flag)

UNF : 入力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して、入力ｴﾝﾄﾞﾎﾟｲﾝﾄがIN指示票の応答でﾎｽﾄへﾃﾞｰﾀを送る準備が整わない時に設定(1)されます。

OVF : 出力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して、出力ｴﾝﾄﾞﾎﾟｲﾝﾄがOUT指示票に続くﾎｽﾄからのﾃﾞｰﾀを受け入れる準備が整わない時に設定(1)されます。

● **ﾋﾞｯﾄ5 – TRNCOMPL0 : 転送単位処理完了0ﾌﾗｸﾞ** (Transaction Complete Flag)

このﾌﾗｸﾞはINまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に論理0を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ4 – SETUP : 構成設定(SETUP)転送単位処理完了ﾌﾗｸﾞ** (SETUP Transaction Complete Flag)

このﾌﾗｸﾞは構成設定(SETUP)、INまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に論理0を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ4 – TRNCOMPL1 : 転送単位処理完了1ﾌﾗｸﾞ** (Transaction Complete Flag)

このﾌﾗｸﾞは構成設定(SETUP)、INまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に論理0を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ3 – BANK : ﾊﾞﾝｸ選択ﾌﾗｸﾞ** (Bank Select Flag)

ﾋﾟﾝﾎﾟﾝ動作が許可されると、このﾋﾞｯﾄは次の転送単位処理にどちらのﾊﾞﾝｸが使われるかを示します。BANKは転送単位処理が成功裏に完了される毎に切り替えられます。このﾋﾞｯﾄはﾋﾟﾝﾎﾟﾝ動作が禁止される時に使われません。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ2 – BUSNACK1 : ﾃﾞｰﾀ緩衝部1不応答ﾌﾗｸﾞ** (Data Buffer 1 Not Acknowledge Flag)

このﾌﾗｸﾞが設定(1)されると、USB単位部はOUT転送単位処理に於いてﾃﾞｰﾀ緩衝部1にやって来るﾃﾞｰﾀを破棄し、IN転送単位処理に於いてﾃﾞｰﾀ緩衝部1からどんなﾃﾞｰﾀも返しません。制御、大量(Bulk)、割り込み(Interrupt)のｴﾝﾄﾞﾎﾟｲﾝﾄに対して、否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸが返されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に論理0を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ1 – BUSNACK0 : ﾃﾞｰﾀ緩衝部0不応答ﾌﾗｸﾞ** (Data Buffer 0 Not Acknowledge Flag)

このﾌﾗｸﾞが設定(1)されると、USB単位部はOUT転送単位処理に於いてﾃﾞｰﾀ緩衝部0にやって来るﾃﾞｰﾀを破棄し、IN転送単位処理に於いてﾃﾞｰﾀ緩衝部0からどんなﾃﾞｰﾀも返しません。制御、大量(Bulk)、割り込み(Interrupt)のｴﾝﾄﾞﾎﾟｲﾝﾄに対して、否定応答(NAK)ﾊﾝﾄﾞｼｪｰｸが返されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に論理0を書くことによって解除(0)されます。

● **ﾋﾞｯﾄ0 – TOGGLE : ﾃﾞｰﾀ交互ﾌﾗｸﾞ** (Data Toggle Flag)

これは出力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して次のﾃﾞｰﾀ ﾊﾟｹｯﾄでDATA0またはDATA1のPIDが予測されるか、入力ｴﾝﾄﾞﾎﾟｲﾝﾄに対して次の転送単位処理でDATA0またはDATA1のPIDが送られるかを示します。このﾋﾞｯﾄは、出力ｴﾝﾄﾞﾎﾟｲﾝﾄに対してDATA0とDATA1の両方のPIDが受け入れられ、入力ｴﾝﾄﾞﾎﾟｲﾝﾄに対してDATA0 PIDだけが送られる、等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄに対しては無効です。

20.15.2. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TYPE1,0		MULTIPKT	PINGPONG	INTDSBL	STALL	BUFSIZE1,0		CTRL
						BUFSIZE2~0(注)			
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: 等時(Isochronous)ｴﾝﾄﾞﾎﾟｲﾝﾄ用

● **ﾋﾞｯﾄ7,6 – TYPE1,0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ形式** (Endpoint Type)

これらのﾋﾞｯﾄはｴﾝﾄﾞﾎﾟｲﾝﾄの許可と選択に使われます。ｴﾝﾄﾞﾎﾟｲﾝﾄが禁止された場合、残り7つのｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定ﾊﾞｲﾄはUSB単位部によって決して読み書きされず、それらのSRAM位置は他の応用ﾃﾞｰﾀのための使用が自由です。

表20-4. ｴﾝﾄﾞﾎﾟｲﾝﾄ形式

TYPE1,0	群構成設定	内容
0 0	DISABLE	ｴﾝﾄﾞﾎﾟｲﾝﾄ禁止
0 1	CONTROL	制御
1 0	BULK	大量(Bulk)/割り込み(Interrupt)
1 1	ISOCHRONOUS	等時(Isochronous)

● **ﾋﾞｯﾄ5 – MULTIPKT : 複数ﾊﾟｹｯﾄ転送許可** (Multi Pakect Transfer Enable)

このﾋﾞｯﾄの設定(1)が複数ﾊﾟｹｯﾄ転送を許可します。複数ﾊﾟｹｯﾄ転送は割り込みやｿﾌﾄｳｪｱの介在なしに複数ﾊﾟｹｯﾄとして転送されるべきｴﾝﾄﾞﾎﾟｲﾝﾄの最大ﾊﾟｹｯﾄ容量を超えるﾃﾞｰﾀ本体を許します。複数ﾊﾟｹｯﾄ転送の詳細については163頁の「**複数ﾊﾟｹｯﾄ転送**」をご覧ください。

● **ﾋﾞｯﾄ4 – PINGPONG : ﾋﾟﾝﾎﾟﾝ動作許可** (Ping-Pong Enable)

このﾋﾞｯﾄの設定(1)がﾋﾟﾝﾎﾟﾝ動作を許可します。ﾋﾟﾝﾎﾟﾝ動作は2重緩衝と最大単位処理量を許すために同じ方向で使われるべき同じｱﾄﾞﾚｽで(INとOUTの)両方のｴﾝﾄﾞﾎﾟｲﾝﾄを許可します。ﾋﾟﾝﾎﾟﾝ動作が許可される時に逆方向のｴﾝﾄﾞﾎﾟｲﾝﾄは禁止されなければなりません。ﾋﾟﾝﾎﾟﾝ動作は制御ｴﾝﾄﾞﾎﾟｲﾝﾄに対して不可能です。詳細については163頁の「**ﾋﾟﾝﾎﾟﾝ動作**」をご覧ください。

● **ﾋﾞｯﾄ3 – INTDSBL : 割り込み禁止** (Interrupt Disable)

このﾋﾞｯﾄの設定(1)はｴﾝﾄﾞﾎﾟｲﾝﾄからの許可された全ての割り込みを禁止します。従って割り込み条件発生時に状態(STATUS)ﾚｼﾞｽﾀ内の割り込みﾌﾗｸﾞだけが更新されます。ｴﾝﾄﾞﾎﾟｲﾝﾄに対して割り込みが禁止される時に、FIFOはｴﾝﾄﾞﾎﾟｲﾝﾄに対する転送単位処理完了でこのｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ｱﾄﾞﾚｽを格納しません。このﾋﾞｯﾄの解除(0)は以前に許可した割り込みを再び許可します。

● **ﾋﾞｯﾄ2 – STALL : ｴﾝﾄﾞﾎﾟｲﾝﾄ不能応答** (Endpoint STALL)

このﾋﾞｯﾄはｴﾝﾄﾞﾎﾟｲﾝﾄでの不能応答(STALL)の動きを制御します。

● **ﾋﾞｯﾄ1,0 – BUFSIZE1,0 : ﾃﾞｰﾀ容量** (Data Size)

これらのﾋﾞｯﾄはｴﾝﾄﾞﾎﾟｲﾝﾄに対する最大ﾃﾞｰﾀ本体量を構成設定します。最大ﾃﾞｰﾀ本体量を超えてやって来るﾃﾞｰﾀ ﾊﾞｲﾄは破棄されます。

● **ﾋﾞｯﾄ2~0 – BUFSIZE2~0 : ﾃﾞｰﾀ容量** (Data Size)

これらのﾋﾞｯﾄは等時(Isochronous)動作に構成設定された時にｴﾝﾄﾞﾎﾟｲﾝﾄに対する最大ﾃﾞｰﾀ本体量を構成設定します。

表20-5. BUFSIZE構成設定

BUFSIZE2~0	群構成設定	内容
(0) 0 0	8	8ﾊﾞｲﾄ緩衝部容量
(0) 0 1	16	16ﾊﾞｲﾄ緩衝部容量
(0) 1 0	32	32ﾊﾞｲﾄ緩衝部容量
(0) 1 1	64	64ﾊﾞｲﾄ緩衝部容量
1 0 0 (注)	128	128ﾊﾞｲﾄ緩衝部容量
1 0 1 (注)	256	256ﾊﾞｲﾄ緩衝部容量
1 1 0 (注)	512	512ﾊﾞｲﾄ緩衝部容量
1 1 1 (注)	1023	1023ﾊﾞｲﾄ緩衝部容量

注: これらの設定は等時ｴﾝﾄﾞﾎﾟｲﾝﾄに対してだけ利用可能です。

20.15.3. CNTL – 計数器下位 (Counter Low)

CNTLとCNTHはOUTｴﾝﾄﾞﾎﾟｲﾝﾄに対して最後のOUTまたはSETUPの転送単位処理で受信されたﾊﾞｲﾄ数、またはINｴﾝﾄﾞﾎﾟｲﾝﾄに対して次のIN転送単位処理で送られるべきﾊﾞｲﾄ数を含む、10ﾋﾞｯﾄ値CNTを保持します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	CNT7~0								CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7~0 – CNT7~0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞｲﾄ計数器7~0** (Endpoint Byte Counter)

このﾊﾞｲﾄはUSBｴﾝﾄﾞﾎﾟｲﾝﾄ計数器(CNT)の下位8ﾋﾞｯﾄ(8LSB)を含みます。

20.15.4. CNTH – 計数器上位 (Counter High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	AZLP	–	–	–	–	–	CNT9,8		CNTH
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7 – AZLP : 自動0長ﾊﾟｹｯﾄ** (Automatic Zero Length Packet)

このﾋﾞｯﾄが設定(1)されると、USB単位部はﾊｰﾄﾞｳｪｱによって0長ﾊﾟｹｯﾄ(ZLP)ﾊﾝﾄﾞｼｪｰｸを管理します。これはINﾊﾟｹｯﾄにだけ適用します。このﾋﾞｯﾄが0の時にZLPﾊﾝﾄﾞｼｪｰｸはﾌｧｰﾑｳｪｱによって管理されなければなりません。

● **ﾋﾞｯﾄ6~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – CNT9,8 : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞｲﾄ計数器9,8** (Endpoint Byte Counter)

これらのﾋﾞｯﾄはUSBｴﾝﾄﾞﾎﾟｲﾝﾄ計数器(CNT)の上位2ﾋﾞｯﾄ(2MSB)を含みます。

20.15.5. DATAPTRL – ﾃﾞｰﾀ ﾎﾟｲﾝﾀ下位 (Data Pointer Low)

DATAPTRLとDATAPTRHのﾚｼﾞｽﾀはｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ緩衝部へのSRAMｱﾄﾞﾚｽを含む16ﾋﾞｯﾄ値DATAPTRを表します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	DATAPTR7~0								DATAPTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7~0 – DATAPTR7~0 : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ7~0** (Endpoint Data Pointer Low)

このﾊﾞｲﾄはｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ(DATAPTR)の下位8ﾋﾞｯﾄ(8LSB)を含みます。

20.15.6. DATAPTRH – ﾃﾞｰﾀ ﾎﾟｲﾝﾀ上位 (Data Pointer High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	DATAPTR15~8								DATAPTRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● **ﾋﾞｯﾄ7~0 – DATAPTR15~8 : ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ15~8** (Endpoint Data Pointer High)

このﾊﾞｲﾄはｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ(DATAPTR)の上位8ﾋﾞｯﾄ(8MSB)を含みます。

20.15.7. AUXDATAL – 補助ﾃﾞｰﾀ下位 (Auxiliary Data register Low)

AUXDATALとAUXDATAHのﾚｼﾞｽﾀは複数ﾊﾟｹｯﾄ転送に使われる16ﾋﾞｯﾄ値AUXDATAを表します。

INｴﾝﾄﾞﾎﾟｲﾝﾄについて、AUXDATAは送られる総ﾊﾞｲﾄ数を保持します。AUXDATAは新しい転送を構成設定する時に0を書くべきです。OUTｴﾝﾄﾞﾎﾟｲﾝﾄについて、AUXDATAは完全な転送に対する総ﾃﾞｰﾀ量を保持します。この値は等時(Isochronous)の1023ﾊﾞｲﾄ ｴﾝﾄﾞﾎﾟｲﾝﾄを除き、最大ﾊﾟｹｯﾄ容量の倍数でなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	AUXDATA7~0								AUXDATAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

- **ﾋﾞｯﾄ7~0 – AUXDATA7~0 : 補助ﾃﾞｰﾀ7~0** (Auxiliary Data Low)

このﾊﾞｲﾄは補助ﾃﾞｰﾀの下位8ﾋﾞｯﾄ(8LSB)を含みます。複数ﾊﾟｹｯﾄ転送が使われない時に、このSRAM位置は他の応用ﾃﾞｰﾀの使用が自由です。

20.15.8. AUXDATAH – 補助ﾃﾞｰﾀ上位 (Auxiliary Data register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	AUXDATA15~8								AUXDATAH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

- **ﾋﾞｯﾄ7~0 – AUXDATA15~8 : 補助ﾃﾞｰﾀ15~8** (Auxiliary Data High)

このﾊﾞｲﾄは補助ﾃﾞｰﾀの上位8ﾋﾞｯﾄ(8MSB)を含みます。複数ﾊﾟｹｯﾄ転送が使われない時に、このSRAM位置は他の応用ﾃﾞｰﾀの使用が自由です。

20.16. ﾚｼﾞｽﾀ説明 – ﾌﾚｰﾑ

20.16.1. FRAMENUML – ﾌﾚｰﾑ番号下位 (Frame Number register Low)

FRAMENUMLとFRAMENUMHのﾚｼﾞｽﾀは最も直前に受信されたﾌﾚｰﾑ開始(SOF)ﾊﾟｹｯﾄからのﾌﾚｰﾑ番号を表す11ﾋﾞｯﾄ値FRAMENUMを表します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	FRAMENUM7~0								FRAMENUML
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7~0 – FRAMENUM7~0 : ﾌﾚｰﾑ番号7~0** (Frame Number)

このﾊﾞｲﾄはﾌﾚｰﾑ番号(FRAMENUM)の下位8ﾋﾞｯﾄ(8LSB)を含みます。

20.16.2. FRAMENUMH – ﾌﾚｰﾑ番号上位 (Frame Number register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	FRAMEERR	–	–	–	–	FRAMENUM10~8			FRAMENUMH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

- **ﾋﾞｯﾄ7 – FRAMEERR : ﾌﾚｰﾑ異常** (Frame Error)

このﾌﾗｸﾞは最も直前に受信したﾌﾚｰﾑ開始(SOF)ﾊﾟｹｯﾄでCRCまたはﾋﾞｯﾄ詰めの異常が検出された時に設定(1)されます。

- **ﾋﾞｯﾄ6~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

- **ﾋﾞｯﾄ2~0 – FRAMENUM10~8 : ﾌﾚｰﾑ番号19~8** (Frame Number)

このﾊﾞｲﾄはﾌﾚｰﾑ番号(FRAMENUM)の上位3ﾋﾞｯﾄ(3MSB)を含みます。

20.17. ﾚｼﾞｽﾀ要約 – USB単位部

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$3B	CAL1	CAL15~8 (校正値上位ﾊﾞｲﾄ)								171
+$3A	CAL0	CAL7~0 (校正値下位ﾊﾞｲﾄ)								171
+$10～$39	予約	–	–	–	–	–	–	–	–	
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	INTFLAGSBSET	–	–	–	–	–	–	TRNIF	SETUPIF	171
+$0C	INTFLAGSBCLR	–	–	–	–	–	–	TRNIF	SETUPIF	171
+$0B	INTFLAGSASET	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	170
+$0A	INTFLAGSACLR	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	170
+$09	INTCTRLB	–	–	–	–	–	–	TRNIE	SETUPIE	170
+$08	INTCTRLA	SOFIE	BUSEVIE	BUSERRIE	STALLIE	–	–	INTLVL1,0		169
+$07	EPPTRH	EPPTR15~8 (ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ上位ﾊﾞｲﾄ)								169
+$06	EPPTRL	EPPTR7~0 (ｴﾝﾄﾞﾎﾟｲﾝﾄ構成設定表ﾎﾟｲﾝﾀ下位ﾊﾞｲﾄ)								169
+$05	FIFORP	–	–	–	FIFORP4~0 (FIFO読み込みﾎﾟｲﾝﾀ)					169
+$04	FIFOWP	–	–	–	FIFOWP4~0 (FIFO書き込みﾎﾟｲﾝﾀ)					168
+$03	ADDR	–	ADDR6~0 (USB装置ｱﾄﾞﾚｽ)							168
+$02	STATUS	–	–	–	–	URESUME	RESUME	SUSPEND	BUSRST	168
+$01	CTRLB	–	–	–	PULLRST	–	RWAKEUP	GNACK	ATTACH	167
+$00	CTRLA	ENABLE	SPEED	FIFOEN	STFRNUM	MAXEP3~0				167

20.18. ﾚｼﾞｽﾀ要約 – USBｴﾝﾄﾞﾎﾟｲﾝﾄ

最初の構成設定ﾊﾞｲﾄへのｱﾄﾞﾚｽは、OUTｴﾝﾄﾞﾎﾟｲﾝﾄに対して(EPPTR15～0+16×ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ)で、INｴﾝﾄﾞﾎﾟｲﾝﾄに対して(EPPTR15～0+16×ｴﾝﾄﾞﾎﾟｲﾝﾄ ｱﾄﾞﾚｽ+8)です。

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	AUXDATAH	AUXDATA15~8 (補助ﾃﾞｰﾀ上位ﾊﾞｲﾄ)								175
+$06	AUXDATAL	AUXDATA7~0 (補助ﾃﾞｰﾀ下位ﾊﾞｲﾄ)								175
+$05	DATAPTRH	DATAPTR15~8 (ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ上位ﾊﾞｲﾄ)								174
+$04	DATAPTRL	DATAPTR7~0 (ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾃﾞｰﾀ ﾎﾟｲﾝﾀ下位ﾊﾞｲﾄ)								174
+$03	CNTH	AZLP	–	–	–	–	–	CNT9,8		174
+$02	CNTL	CNT7~0 (ｴﾝﾄﾞﾎﾟｲﾝﾄ ﾊﾞｲﾄ計数器下位ﾊﾞｲﾄ)								174
+$01	CTRL	TYPE1,0		MULTIPKT	PINGPONG	INTDSBL	STALL	BUFSIZE9,8		173
							BUFSIZE2~0			(等時)
+$00	STATUS	STALL	OVF/UNF	TRNCMPL0	SETUP	BANK	BUSNACK1	BUSNACK0	TOGGLE	172
		CRC			TRNCMPL1					(等時)

20.19. ﾚｼﾞｽﾀ要約 – フレーム

フレーム構成設定ﾊﾞｲﾄへのｱﾄﾞﾚｽは(MAXEP+1)<<4です。例えばMAXEP=3での先頭ｱﾄﾞﾚｽは変位(ｵﾌｾｯﾄ)ｱﾄﾞﾚｽ$40に配置されます。

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$01	FRAMENUMH	FRAMEERR	–	–	–	–	FRAMENUM10~8			175
+$00	FRAMENUML	FRAMENUM7~0 (ﾌﾚｰﾑ番号下位ﾊﾞｲﾄ)								175

20.20. USB割り込みﾍﾞｸﾀ要約

表20-6. USB割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	BUSEVENT_vect	ﾌﾚｰﾑ開始(SOF)、休止、再開、ﾊﾞｽ ﾘｾｯﾄ、CRC、下溢れ、上溢れ不能応答、異常割り込み
$02	TRNCOMPL_vect	転送単位処理完了割り込み

21. TWI – 2線インターフェース

21.1. 要点

- 双方向2線インターフェース
  - Phillips社I²C適合
  - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
  - 従装置動作
  - 単一バス権利者(主装置)動作
  - 複数バス権利者(主装置)環境でのバス権利者(主装置)
  - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
  - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
  - 10ビット アドレス指定支援
  - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
  - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

21.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

21.3. 一般的なTWIバスの概念

2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ (ドレイン)線(ワイヤードAND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。

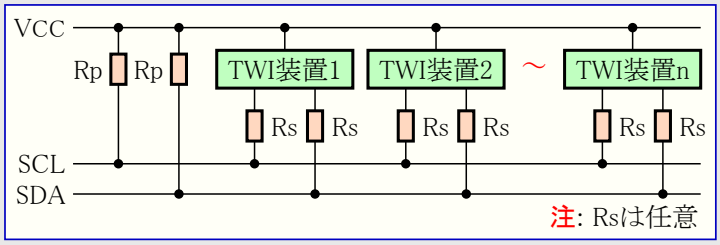
TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置がバスと全ての通信を制御します。

図21-1.はTWIバス形態を図解します。

バスに接続した全ての従装置に固有のアドレスが割り当てられ、主装置は従装置をアドレス指定するのにこれを使ってデータ転送処理を始めます。

多数の主装置が同じバスに接続でき、複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間でバス所有権を解決するために調停機構が提供されます。

図21-1. TWIバス形態

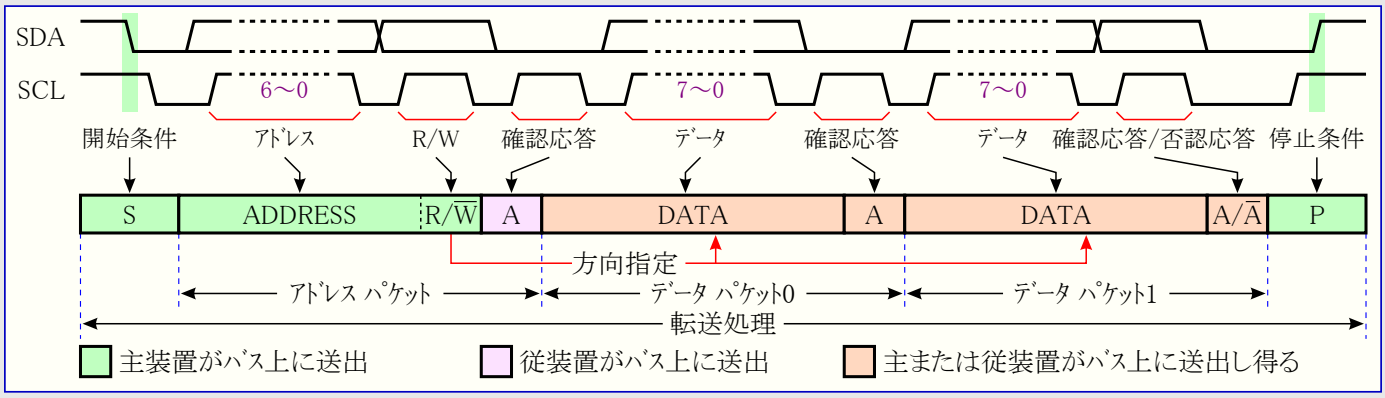


ﾃﾞﾊﾞｲｽは主装置と従装置の両論理回路を含み、2つ以上のｱﾄﾞﾚｽに応答することによって複数従装置の擬似動作ができます。

主装置がﾊﾞｽ上に開始条件(S)を発行することによって転送処理の開始を指示します。それから、従装置ｱﾄﾞﾚｽ(ADDRESS)と主装置がﾃﾞｰﾀを読みまたは書きどちらをしたいのかを示す(R/$\overline{W}$)を持つｱﾄﾞﾚｽ ﾊﾟｹｯﾄが送られます。ﾃﾞｰﾀ ﾊﾟｹｯﾄ(DATA)が転送された後、転送処理終了のためにﾊﾞｽ上へ停止条件(P)を発行します。受信側は各ﾊﾞｲﾄに対して確認応答(A)または否認応答($\overline{A}$)を行わなければなりません。

図21-2.はTWI転送処理を示します。

図21-2. 7ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾊﾞｽに関する基本的なTWI転送処理形態



主装置が転送処理に対してｸﾛｯｸ信号を供給しますが、ﾊﾞｽに接続された装置はｸﾛｯｸ速度を下げるためにｸﾛｯｸのLow区間を引き伸ばすことが許されます。

21.3.1. 電気的特性

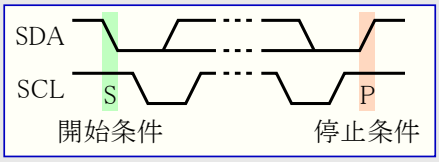
XMEGAﾃﾞﾊﾞｲｽのTWI単位部はI²CﾊﾞｽとSMBusの電気的仕様とﾀｲﾐﾝｸﾞに従っています。TWI主装置動作で設定されるべき不活性ﾊﾞｽ時間超過の正しい動きを保証するために、これらの仕様は100%適合ではありません。より多くの詳細については181頁の「TWI主装置動作」を参照してください。

21.3.2. 開始条件と停止条件

転送処理の始まり(開始条件)と終り(停止条件)を記すために2つの独特なﾊﾞｽ状態が使用されます。主装置はSCL線をHighに保持するのと同時にSDA線でHighからLowへの遷移を示すことによって開始条件(S)を発行します。主装置はSCL線をHghに保持するのと同時にSDA線をLowからHighへの遷移を示すことによって停止条件(P)を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の開始条件が発行され得ます。停止条件に直接後続しない開始条件は再送開始条件(Sr)と名付けられます。

図21-3. 開始条件と停止条件

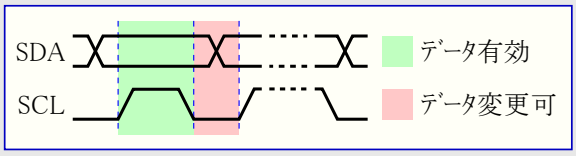


21.3.3. ﾋﾞｯﾄ転送

図21-4.で図解されるように、SDA線で転送されるﾋﾞｯﾄはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値はｸﾛｯｸのLow区間の間でだけ変更できます。これはTWI単位部でのﾊｰﾄﾞｳｪｱで保証されます。

ﾋﾞｯﾄ転送の組み合わせがｱﾄﾞﾚｽとﾃﾞｰﾀのﾊﾟｹｯﾄの編成に帰着します。これらのﾊﾟｹｯﾄは最上位ﾋﾞｯﾄ先行転送の8ﾃﾞｰﾀ ﾋﾞｯﾄ(1ﾊﾞｲﾄ)と確認(ACK)または否認(NACK)の応答の単一ﾋﾞｯﾄから成ります。ｱﾄﾞﾚｽ指定された装置は9ｸﾛｯｸ周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにしておくことによってNACKで合図します。

図21-4. ﾃﾞｰﾀの有効性



21.3.4. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ

開始条件後、読み/書き(R/$\overline{W}$)ﾋﾞｯﾄが後続する7ﾋﾞｯﾄ ｱﾄﾞﾚｽが送出されます。これは常に主装置によって送出されます。そのｱﾄﾞﾚｽを認証する従装置は次のSCLｸﾛｯｸ間SDA線をLowに引くことによってｱﾄﾞﾚｽの確認応答(ACK)を行い、一方他の全ての従装置はTWI線の開放を維持して次の開始条件とｱﾄﾞﾚｽを待ちます。ｱﾄﾞﾚｽ、R/$\overline{W}$ﾋﾞｯﾄ、応答ﾋﾞｯﾄの組み合わせがｱﾄﾞﾚｽ ﾊﾟｹｯﾄです。各開始条件に対して1つのｱﾄﾞﾚｽ ﾊﾟｹｯﾄだけが許され、これは10ﾋﾞｯﾄ ｱﾄﾞﾚｽが使われる時もです。

R/$\overline{W}$ﾋﾞｯﾄは転送処理の方向を指定します。R/$\overline{W}$ﾋﾞｯﾄがLowなら、主装置書き込み転送処理を示し、従装置のそのｱﾄﾞﾚｽの確認応答後に主装置はそのﾃﾞｰﾀを送出します。R/$\overline{W}$ﾋﾞｯﾄがHighなら、主装置読み込み転送処理を示し、従装置がそのｱﾄﾞﾚｽの確認応答後にﾃﾞｰﾀ送出します。

21.3.5. ﾃﾞｰﾀ ﾊﾟｹｯﾄ

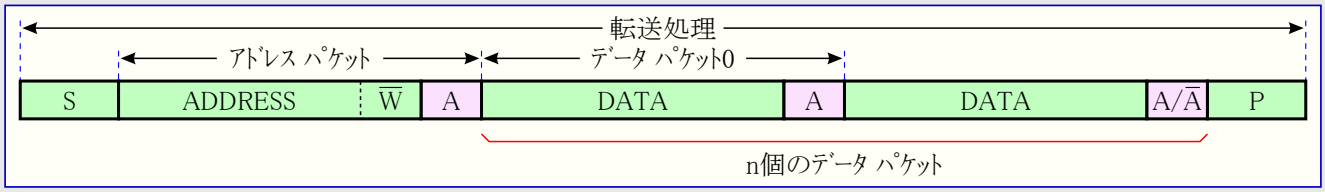
ｱﾄﾞﾚｽ ﾊﾟｹｯﾄには1つ以上のﾃﾞｰﾀ ﾊﾟｹｯﾄが後続します。全てのﾃﾞｰﾀ ﾊﾟｹｯﾄは1つのﾃﾞｰﾀ ﾊﾞｲﾄと応答ﾋﾞｯﾄから成る9ﾋﾞｯﾄ長です。直前のｱﾄﾞﾚｽ ﾊﾟｹｯﾄ内の方向ﾋﾞｯﾄがﾃﾞｰﾀが転送される方向を決めます。

21.3.6. 転送処理

転送処理は開始条件から停止条件までの完全な転送で、その間のどの再送開始条件も含みます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図21-5.は主装置書き込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ﾋﾞｯﾄを0に設定したｱﾄﾞﾚｽﾊﾟｹｯﾄ(ADDRESS+$\overline{W}$)がそれに後続します。

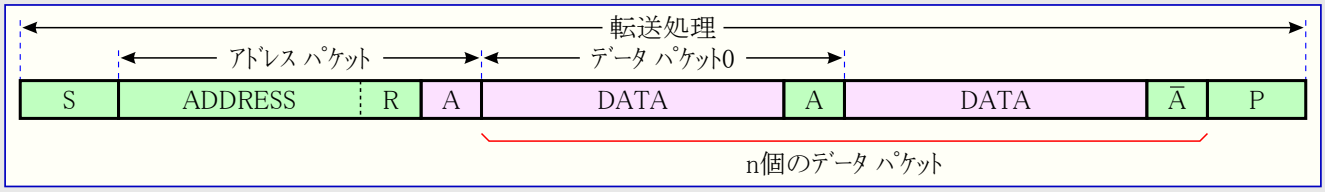
図21-5. 主装置書き込み転送処理



従装置がｱﾄﾞﾚｽを確認応答すると、主装置はﾃﾞｰﾀ(DATA)の送信を開始でき、従装置は各ﾊﾞｲﾄで確認応答(ACK)または否認応答(NACK) (A/$\overline{A}$)を行います。送信すべきﾃﾞｰﾀ ﾊﾟｹｯﾄがない場合、主装置はｱﾄﾞﾚｽ ﾊﾟｹｯﾄ直後に停止条件(P)を発行することによって転送処理を終了します。転送できるﾃﾞｰﾀ ﾊﾟｹｯﾄ数に制限はありません。従装置がﾃﾞｰﾀに否認応答(NACK)で合図した場合、主装置は従装置がこれ以上ﾃﾞｰﾀを受信できず、転送処理を終了すると認識しなければなりません。

図21-6.は主装置読み込み転送処理を図解します。主装置は開始条件(S)によって転送処理を開始し、方向ﾋﾞｯﾄを1に設定したｱﾄﾞﾚｽﾊﾟｹｯﾄ(ADDRESS+R)がそれに後続します。ｱﾄﾞﾚｽ指定された従装置は転送処理の継続を許す主装置に対してｱﾄﾞﾚｽの確認応答をしなければなりません。

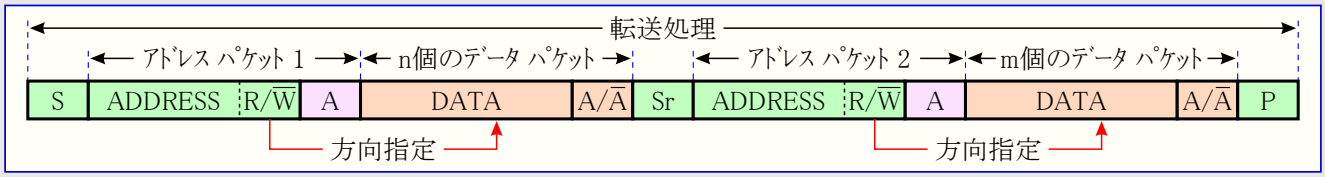
図21-6. 主装置読み込み転送処理



従装置がｱﾄﾞﾚｽを確認応答すると、主装置は従装置からのﾃﾞｰﾀ受信を開始することができます。転送できるﾃﾞｰﾀ ﾊﾟｹｯﾄ数に制限はありません。従装置がﾃﾞｰﾀを送信する一方で、主装置は各ﾃﾞｰﾀ ﾊﾞｲﾄ後に確認応答(ACK)または否認応答(NACK)で合図します。主装置は停止条件を発行する前に否認応答(NACK)で転送を終了します。

図21-7.は組み合わせ転送処理を図解します。組み合わせ転送処理は再送開始条件(Sr)によって分離された多数の読み込みと書き込みの転送処理から成ります。

図21-7. 組み合わせ転送処理



21.3.7. ｸﾛｯｸとｸﾛｯｸ伸長

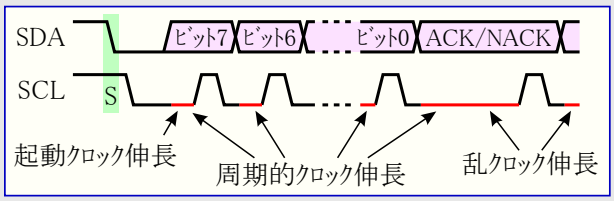
ﾊﾞｽに接続された全ての装置はｸﾛｯｸ周波数全体を低下するため、またはﾃﾞｰﾀ処理の間に待ち状態を挿入するために、ｸﾛｯｸのLow区間を伸長することが許されています。ｸﾛｯｸの伸長を必要とする装置はSCL線上のLowﾚﾍﾞﾙ検出後にその線をLowに強制保持することによってこれを行えます。

ｸﾛｯｸ伸長は図21-8.で示されるように3つの形式に定義できます。ﾃﾞﾊﾞｲｽが休止形態動作で開始条件が検出された場合、通常、起動時間の間、ｸﾛｯｸ伸長が働きます。AVR XMEGAﾃﾞﾊﾞｲｽについては、AVR XMEGAﾃﾞﾊﾞｲｽがｱﾄﾞﾚｽ指定されない転送処理に対して起きる必要がないため、ｸﾛｯｸ伸長はACK/NACKﾋﾞｯﾄの直前または直後のどちらかになります。

従装置はﾋﾞｯﾄ単位で周期的にｸﾛｯｸを伸長することによってﾊﾞｽ周波数を低下できます。けれども、それによってﾊﾞｽ全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ﾋﾞｯﾄの前後を基本にﾊﾞｲﾄ単位で任意にｸﾛｯｸを引き伸ばせます。これは到着処理、出力ﾃﾞｰﾀ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がｸﾛｯｸを伸長する場合では、従装置の準備が整うまで主装置が待ち状態を強制され、その逆も同様です。

図21-8. ｸﾛｯｸ伸長



注: ｸﾛｯｸ伸長は全てのI²C従装置と主装置によって支援される訳ではありません。

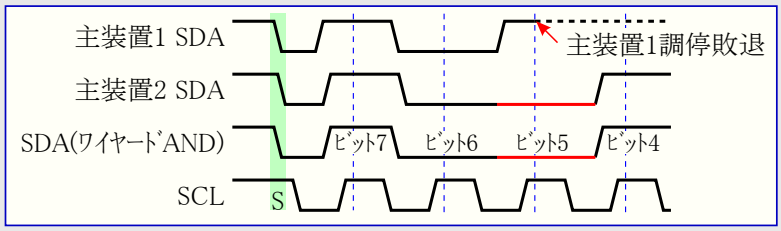
21.3.8. 調停

主装置はﾊﾞｽのｱｲﾄﾞﾙを検出した場合にだけﾊﾞｽ転送処理を開始できます。TWIﾊﾞｽが複数主装置ﾊﾞｽなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にﾊﾞｽを所有する結果になります。これは調停の仕組みを使って解決され、そしてこれはSDA線でHighﾚﾍﾞﾙを送信できなかった場合にその主装置がﾊﾞｽの制御を失います。調停で敗れた主装置はその後にﾊﾞｽ所有権要求を試みる前に、ﾊﾞｽがｱｲﾄﾞﾙになるまで待たなければなりません(換言すると停止条件待機)。従装置は調停手順に関係しません。

図21-9.は2つのTWI主装置がﾊﾞｽ所有権を争う例を示します。両装置が開始条件を発行できますが、主装置1がHighﾚﾍﾞﾙ(ﾋﾞｯﾄ5)の送信を試み、同時に主装置2がLowﾚﾍﾞﾙを送信する時に主装置1が調停に敗れます。

再送開始条件とﾃﾞｰﾀ ﾋﾞｯﾄ、停止条件とﾃﾞｰﾀ ﾋﾞｯﾄ、または再送開始条件と停止条件の間は調停が許されず、ｿﾌﾄｳｪｱによる特別な扱いが必要です。

図21-9. TWI調停

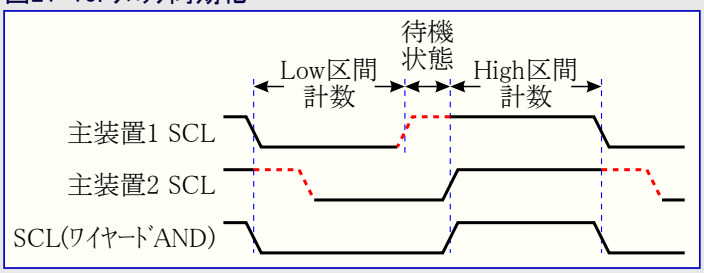


21.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにｸﾛｯｸ同期化手法が必要です。この方法は直前に記述されたｸﾛｯｸ伸長で使われるのと同じ原理に基いています。図21-10.は2つの主装置がﾊﾞｽ ｸﾛｯｸに関する制御を競争する例を示します。SCL線は2つの主装置のｸﾛｯｸ出力のﾜｲﾔｰﾄﾞANDの結果です。

SCL線のHighからLowへの遷移がﾊﾞｽ上の全ての主装置に対してLowを強制し、それらはそれぞれのｸﾛｯｸLow区間ﾀｲﾐﾝｸﾞを開始します。このｸﾛｯｸLow区間のﾀｲﾐﾝｸﾞ長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開放します。けれども、SCL線は全ての主装置がSCLを解放するまでHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はｸﾛｯｸが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がｸﾛｯｸ線をLowに強制し、そしてこの手順が繰り返されます。結果は最短ｸﾛｯｸ区間を持つ装置がHigh区間を決め、一方ｸﾛｯｸのLow区間は最長ｸﾛｯｸ区間持つ装置によって決められることです。

図21-10. ｸﾛｯｸ同期化

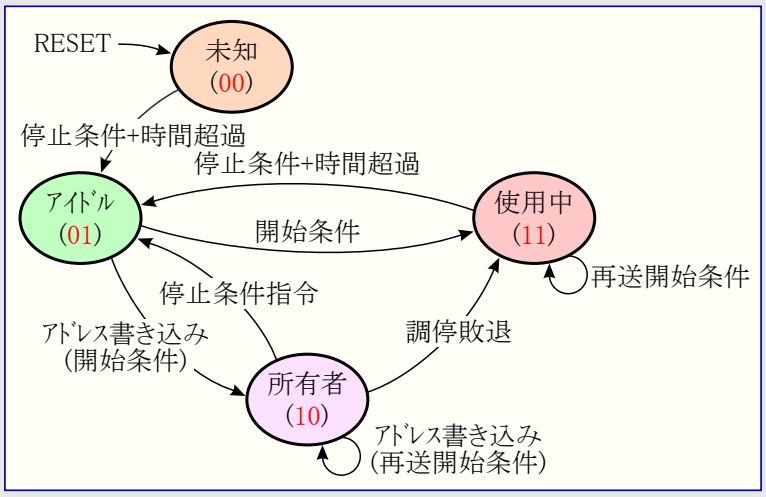


21.4. TWIﾊﾞｽ状態論理

ﾊﾞｽ状態論理回路は主装置動作が許可されている時にTWIﾊﾞｽ線の動きを継続的に監視します。これはﾊﾟﾜｰﾀﾞｳﾝ動作を含む全ての休止形態で動作を継続します。

ﾊﾞｽ状態論理回路は開始条件と停止条件の検出器、衝突検出、不活性ﾊﾞｽ時間超過検出、ﾋﾞｯﾄ計数器を含みます。これらはﾊﾞｽ状態を決めるのに使われます。ｿﾌﾄｳｪｱは主装置状態(STATUS)ﾚｼﾞｽﾀのﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄを読むことによって現在のﾊﾞｽ状態を得ることができます。ﾊﾞｽ状態はｱｲﾄﾞﾙ、使用中、所有者、未知になり得て、図21-11.で示される状態遷移図に従って決められます。状態に対応するﾊﾞｽ状態ﾋﾞｯﾄの値が図内の2進数で示されます。

図21-11. ﾊﾞｽ状態、状態遷移図



ｼｽﾃﾑ ﾘｾｯﾄやTWI主装置許可後、ﾊﾞｽ状態は未知です。ﾊﾞｽ状態(BUSSTATE)ﾋﾞｯﾄへの書き込みによって、ﾊﾞｽ状態機構をｱｲﾄﾞﾙへの移行に強制することができます。応用ｿﾌﾄｳｪｱによって状態が設定されなければ、ﾊﾞｽ状態は最初の停止条件が検出される時にｱｲﾄﾞﾙになります。主装置不活性ﾊﾞｽ時間経過(TIMEOUT)が許可されている場合、ﾊﾞｽ状態は時間経過の発生でｱｲﾄﾞﾙに変化します。既知のﾊﾞｽ状態が確立した後、ｼｽﾃﾑ ﾘｾｯﾄとTWI主装置動作禁止(ENABLE=0)だけが状態を未知に設定します。

ﾊﾞｽがｱｲﾄﾞﾙのとき、新しい転送処理の準備が整っています。外部的に生成された開始条件が検出された場合、ﾊﾞｽは停止条件が検出されるまで使用中になります。停止条件はﾊﾞｽ状態をｱｲﾄﾞﾙに変更します。主装置不活性ﾊﾞｽ時間経過が許可されている場合、ﾊﾞｽ状態は時間経過の発生で使用中からｱｲﾄﾞﾙに変化します。

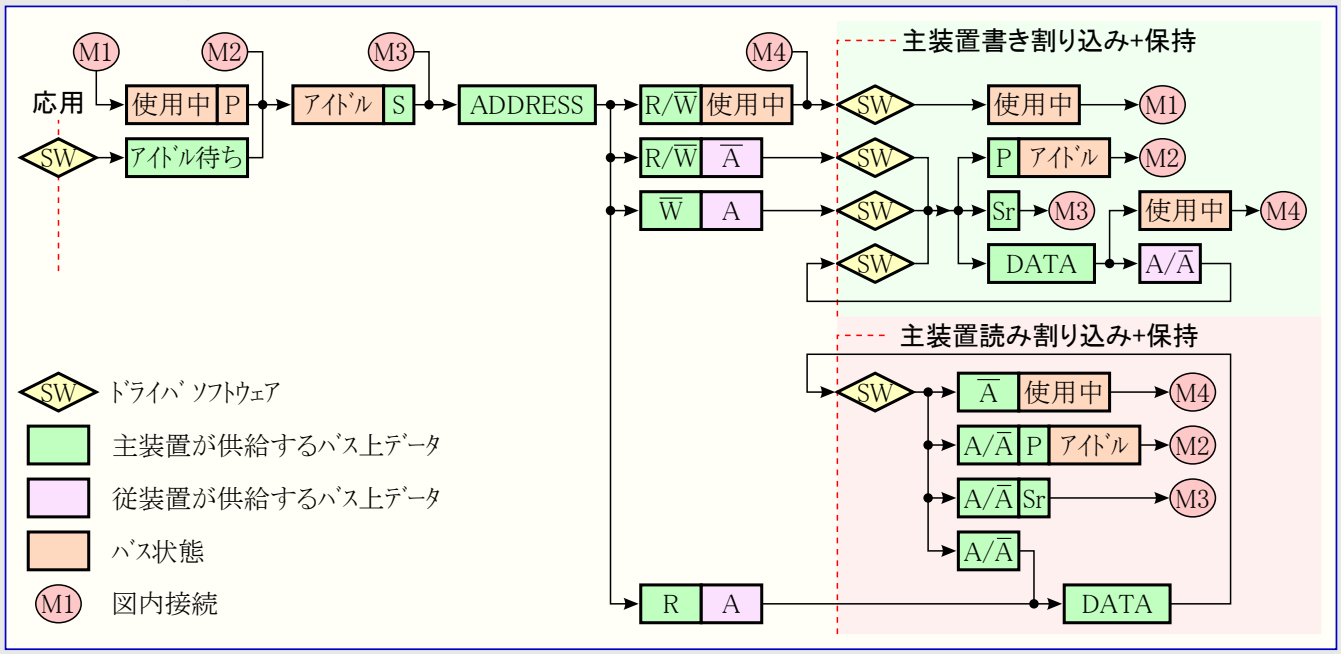
ｱｲﾄﾞﾙ状態の間に内部的に開始条件が生成された場合、所有者状態へ移行します。妨害なし、換言すると衝突が検出されずに、完全な転送処理が実行された場合、主装置が停止条件を発行し、ﾊﾞｽ状態はｱｲﾄﾞﾙに戻ります。衝突が検出(ARBLOST=1)された場合は調停に敗れたと認識され、停止条件が検出されるまでﾊﾞｽ状態が使用中になります。再送開始条件は再送開始条件発行中に調停に敗れた場合にﾊﾞｽ状態を変更するだけです。再送開始条件中の調停は調停が最初の開始条件から進行中の場合にだけ失われ得ます。これは主装置の1つが再送開始条件(Sr)発行前に2つの主装置が正確に同じADDRESS+DATAを送る場合に起きます。

21.5. TWI主装置動作

TWI主装置は各ﾊﾞｲﾄ後の任意選択の割り込みを持つﾊﾞｲﾄ志向です。主装置書き込みと主装置読み込みに対する独立した割り込みがあります。割り込みﾌﾗｸﾞはﾎﾟｰﾘﾝｸﾞ操作にも使えます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、ﾊﾞｽ異常(BUSERR)、調停敗退(ARBLOST)、ｸﾛｯｸ保持(CLKHOLD)、ﾊﾞｽ状態(BUSSTATE)を示す専用の状態ﾌﾗｸﾞがあります。

割り込み要求ﾌﾗｸﾞが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのﾃﾞｰﾀを扱う時間を主装置に与え、殆どの場合はｿﾌﾄｳｪｱの介在を必要とするでしょう。**図21-12.**はTWI主装置動作を示します。菱形ｼﾝﾎﾞﾙ(SW)はｿﾌﾄｳｪｱの介在を必要とする場所を示します。割り込みﾌﾗｸﾞの解除(0)がSCL線を開放します。

図21-12. TWI主装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とｿﾌﾄｳｪｱの複雑さを低減するために迅速指令と簡便動作を許可にできます。

21.5.1. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信

開始条件発行後、7ﾋﾞｯﾄ従装置ｱﾄﾞﾚｽと方向ﾋﾞｯﾄと共に主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀが書かれる時に、主装置はﾊﾞｽ転送処理の実行を始めます。BUSが使用中の場合、TWI主装置は開始条件を発行する前にﾊﾞｽがｱｲﾄﾞﾙになるまで待ちます。

調停とR/$\overline{W}$方向ﾋﾞｯﾄに依存して、以降のｱﾄﾞﾚｽ ﾊﾟｹｯﾄで4つの別個の状態(M1～M4)の1つが起きます。異なる状態はｿﾌﾄｳｪｱで扱われなければなりません。

21.5.1.1. 状態M1: 調停敗退またはｱﾄﾞﾚｽ ﾊﾟｹｯﾄ中のﾊﾞｽ異常

ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送出の間で調停に敗れた場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)と調停敗退(ARBLOST)ﾌﾗｸﾞが両方共設定(1)されます。SDA線への直列ﾃﾞｰﾀ出力は禁止され、SCL線が開放されます。主装置はﾊﾞｽ状態がｱｲﾄﾞﾙに戻るまで、もはやどの操作を実行することも許されません。

ﾊﾞｽ異常は調停敗退状態と同じように振舞いますが、書き割り込み要求ﾌﾗｸﾞと調停敗退ﾌﾗｸﾞに加えて異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

21.5.1.2. 状態M2: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 従装置によるｱﾄﾞﾚｽ否認応答

従装置がｱﾄﾞﾚｽに応答しない場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが設定(1)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

21.5.1.3. 状態M3: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 方向ﾋﾞｯﾄ=0

主装置が従装置から確認応答(ACK)を受け取った場合、主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

21.5.1.4. 状態M4: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ送信完了 – 方向ﾋﾞｯﾄ=1

主装置が従装置から確認応答(ACK)を受け取った場合、主装置は従装置からﾃﾞｰﾀの次のﾊﾞｲﾄの受信を先行します。最初のﾊﾞｲﾄﾃﾞｰﾀが受信されると、主装置読み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されます。ﾊﾞｽでの更なる活動を防ぐため、この時点でｸﾛｯｸ保持は活性(有効)です。

21.5.2. ﾃﾞｰﾀ ﾊﾟｹｯﾄ送信

上の**状態M3**との仮定で、主装置は主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込みによってﾃﾞｰﾀ送信を始められます。転送が成功した場合、従装置は確認応答(ACK)で合図します。主装置書き割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)され、主装置受信応答(RXACK)ﾌﾗｸﾞが解除(0)されて主装置は送るための新しいﾃﾞｰﾀを準備できます。ﾃﾞｰﾀ転送の間、主装置は衝突に関してﾊﾞｽを継続的に監視しています。

送出された各ﾃﾞｰﾀ ﾊﾟｹｯﾄに対して次のﾃﾞｰﾀ ﾊﾟｹｯﾄが転送され得る前に、ｿﾌﾄｳｪｱによって主装置受信応答(RXACK)ﾌﾗｸﾞが調べられなければなりません。従装置が否認応答(NACK)で合図する場合、主装置はﾃﾞｰﾀ送信を継続することを許されません。

転送中に衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOAST)ﾌﾗｸﾞが設定(1)されます。

21.5.3. ﾃﾞｰﾀ ﾊﾟｹｯﾄ受信

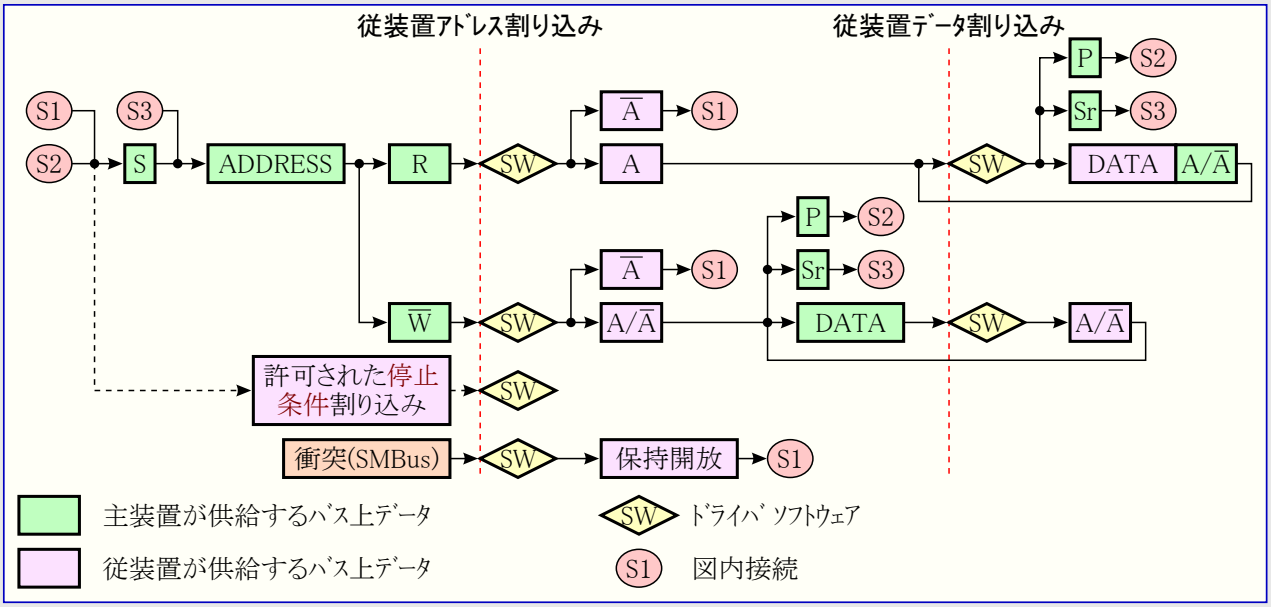
上の**状態M4**との仮定で、主装置は既に従装置から受信した1ﾊﾞｲﾄを持っています。主装置読み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)されて、主装置は新しいﾃﾞｰﾀを受信する準備を行わなければなりません。主装置は確認応答(ACK)または否認応答(NACK)で各ﾊﾞｲﾄに応答しなければなりません。転送の間に調停が失われ得るので、NACKを示すことは成功裏に実行されないかもしれません。衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOST)ﾌﾗｸﾞが設定(1)されます。

21.6. TWI従装置動作

TWI従装置は各ﾊﾞｲﾄ後の任意選択の割り込みを持つﾊﾞｲﾄ志向です。独立した従装置ﾃﾞｰﾀ割り込みとｱﾄﾞﾚｽ/停止割り込みがあります。割り込みﾌﾗｸﾞはﾎﾟｰﾘﾝｸﾞ操作にも使えます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、ｸﾛｯｸ保持(CLKHOLD)、衝突(COLL)、ﾊﾞｽ異常(BUSERR)、読み/書き方向(DIR)を示す専用の状態ﾌﾗｸﾞがあります。

割り込み要求ﾌﾗｸﾞが設定(1)されると、SCL線はLowを強制されます。これは応答またはﾃﾞｰﾀを扱う時間を従装置に与え、殆どの場合はｿﾌﾄｳｪｱの介在を必要とするでしょう。**図21-13.**はTWI従装置動作を示します。菱形ｼﾝﾎﾞﾙ(SW)はｿﾌﾄｳｪｱの介在を必要とする場所を示します。

図21-13. TWI従装置動作



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とｿﾌﾄｳｪｱの複雑さを低減するために簡便動作を許可にできます。

全てのｱﾄﾞﾚｽに応答することを従装置に許すために無差別動作(PMEN)を許可にできます。

21.6.1. ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受信

TWI従装置が正しく構成設定されていると、検出されるべき開始条件を待ちます。これが起きると、継続してｱﾄﾞﾚｽ ﾊﾞｲﾄが受信されてｱﾄﾞﾚｽ一致論理回路によって調べられ、従装置は正しいｱﾄﾞﾚｽに確認応答(ACK)し、従装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ内のｱﾄﾞﾚｽを格納します。受信したｱﾄﾞﾚｽが不一致なら、従装置は応答とｱﾄﾞﾚｽ格納を行わず、新しい開始条件を待ちます。

開始条件に後続する有効なｱﾄﾞﾚｽ ﾊﾞｲﾄが検出される時に、従装置ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)されます。一斉呼び出しｱﾄﾞﾚｽもこのﾌﾗｸﾞを設定(1)します。

開始条件直後の停止条件は不正操作で、ﾊﾞｽ異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

R/$\overline{\text{W}}$方向(DIR)ﾌﾗｸﾞはｱﾄﾞﾚｽと共に受信された方向ﾋﾞｯﾄを反映します。これは現在進行中の操作形式を決めるためにｿﾌﾄｳｪｱによって読むことができます。

R/$\overline{\text{W}}$方向ﾋﾞｯﾄとﾊﾞｽ状況に依存して、以降のｱﾄﾞﾚｽ ﾊﾟｹｯﾄで4つの別個の状態(S1～S4)の1つが起きます。異なる状態はｿﾌﾄｳｪｱで扱われなければなりません。

21.6.1.1. 状態S1: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受け入れ – 方向ﾋﾞｯﾄ=1

R/$\overline{\text{W}}$方向(DIR)ﾌﾗｸﾞが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、ﾊﾞｽ ｸﾛｯｸを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置ﾊｰﾄﾞｳｪｱは送信のためのﾃﾞｰﾀが必要なことを示すﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)を設定(1)します。その後にﾃﾞｰﾀ、再送開始条件、停止条件が受信され得ます。従装置によって否認応答(NACK)が送出される場合、従装置は新しい開始条件とｱﾄﾞﾚｽ一致を待ちます。

21.6.1.2. 状態S2: ｱﾄﾞﾚｽ ﾊﾟｹｯﾄ受け入れ – 方向ﾋﾞｯﾄ=0

R/$\overline{\text{W}}$方向(DIR)ﾌﾗｸﾞが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、ﾊﾞｽ ｸﾛｯｸを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置は受信されるべきﾃﾞｰﾀを待ちます。その後にﾃﾞｰﾀ、再送開始条件、停止条件が受信され得ます。否認応答(NACK)が送出される場合、従装置は新しい開始条件とｱﾄﾞﾚｽ一致を待ちます。

21.6.1.3. 状態S3: 衝突

従装置がHighﾚﾍﾞﾙまたは否認応答(NACK)を送出できない場合、衝突(COLL)ﾌﾗｸﾞが設定(1)され、従装置からのﾃﾞｰﾀと応答の出力が禁止されます。ｸﾛｯｸ保持は開放されます。開始条件と再送開始条件は受け入れられます。

21.6.1.4. 状態S4: 停止条件受信

停止条件が受信されると、ｱﾄﾞﾚｽ一致発生ではなく停止条件を示す従装置ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)されます。

21.6.2. ﾃﾞｰﾀ ﾊﾟｹｯﾄ受信

従装置は解除(0)されたR/$\overline{\text{W}}$方向ﾋﾞｯﾄと共にｱﾄﾞﾚｽ ﾊﾟｹｯﾄが成功裏に受信された時に知ります。これの応答後、従装置はﾃﾞｰﾀを受信する準備を整えなければなりません。ﾃﾞｰﾀ ﾊﾟｹｯﾄが受信されると、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が設定(1)され、従装置は確認応答(ACK)または否認応答(NACK)を示さなければなりません。NACK提示後、従装置は停止条件または再送開始条件を期待して待たなければなりません。

21.6.3. ﾃﾞｰﾀ ﾊﾟｹｯﾄ送信

従装置は設定(1)されたR/$\overline{\text{W}}$方向ﾋﾞｯﾄと共にｱﾄﾞﾚｽ ﾊﾟｹｯﾄが成功裏に受信された時に知ります。その後に従装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込みによって送出を始められます。ﾃﾞｰﾀ ﾊﾟｹｯﾄ送信が完了されると、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が設定(1)されます。主装置が否認応答(NACK)を提示する場合、従装置はﾃﾞｰﾀ送信を停止し、停止条件または再送開始条件を期待して待たなければなりません。

21.7. 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可

外部駆動部ｲﾝﾀｰﾌｪｰｽを許可(EDIEN=1)できます。これが行われると、入力濾波とｽﾘｭｰﾚｰﾄ制限付き内部駆動部が迂回されます。標準I/Oﾋﾟﾝ機能が使われ、方向は使用者ｿﾌﾄｳｪｱによって構成設定されなければなりません。この動作が許可されると、TWIﾊﾞｽに接続するために外部のTWI適合3状態駆動部が必要とされます。

既定ではﾎﾟｰﾄ ﾋﾟﾝ0(Px0)と1(Px1)がSDAとSCLに使われます。外部駆動部ｲﾝﾀｰﾌｪｰｽはSDA_IN、SCL_IN、SDA_OUT、SCL_OUT信号に対してﾎﾟｰﾄ ﾋﾟﾝ0～3を使います。

21.8. ﾚｼﾞｽﾀ説明 – TWI

21.8.1. CTRL – 共通制御ﾚｼﾞｽﾀ (Common Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	SDAHOLD1,0		EDIEN	CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2,1 – SDAHOLD1,0 : SDA保持時間許可** (SDA Hold Time Enable)

これらのﾋﾞｯﾄへの1設定はSCLの負端に関してSDAの内部保持時間を許可します。

表21-1. SDA保持時間

SDAHOLD1,0	群構成設定	内容
0 0	OFF	SDA保持時間OFF
0 1	50NS	代表的に50ns保持時間
1 0	300NS	代表的に300ns保持時間
1 1	400NS	代表的に400ns保持時間

● **ﾋﾞｯﾄ0 – EDIEN : 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可** (External Driver Interface Enable)

このﾋﾞｯﾄの設定(1)が外部駆動部ｲﾝﾀｰﾌｪｰｽの使用を許可し、このﾋﾞｯﾄの解除(0)が標準2線動作を許可します。詳細については**表21-2.**をご覧ください。

表21-2. 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可

EDIEN	動作種別	注釈
0	標準TWI	2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ、ｽﾘｭｰﾚｰﾄ制御と入力濾波器付き
1	外部駆動部ｲﾝﾀｰﾌｪｰｽ	4ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ、標準I/O、ｽﾘｭｰﾚｰﾄ制御と入力濾波器なし

21.9. ﾚｼﾞｽﾀ説明 – TWI主装置

21.9.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	INTLVL1,0		RIEN	WIEN	ENABLE	–	–	–	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄは90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるようにTWI主装置割り込みに対する割り込みﾚﾍﾞﾙを選びます。

● **ﾋﾞｯﾄ5 – RIEN : 読み込み割り込み許可** (Read Interrupt Enable)

読み込み割り込み許可(RIEN)ﾋﾞｯﾄの設定(1)は状態(STATUS)ﾚｼﾞｽﾀの読み込み割り込み要求ﾌﾗｸﾞ(RIF)が設定(1)される時の読み込み割り込みを許可します。加えて割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● **ﾋﾞｯﾄ4 – WIEN : 書き込み割り込み許可** (Write Interupt Enable)

書き込み割り込み許可(WIEN)ﾋﾞｯﾄの設定(1)は状態(STATUS)ﾚｼﾞｽﾀの書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)される時の書き込み割り込みを許可します。加えて割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● **ﾋﾞｯﾄ3 – ENABLE : TWI主装置許可** (Enable TWI Master)

TWI主装置許可(ENABLE)ﾋﾞｯﾄの設定(1)がTWI主装置を許可します。

● **ﾋﾞｯﾄ2~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

21.9.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	TIMEOUT1,0		QCEN	SMEN	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3,2 – TIMEOUT1,0 : 不活性ﾊﾞｽ時間経過** (Inactive Bus Timeout)

不活性ﾊﾞｽ時間経過(TIMEOUT)ﾋﾞｯﾄの0以外の設定は不活性ﾊﾞｽ時間経過監視器を許可します。ﾊﾞｽがTIMEOUT設定より長く不活性なら、ﾊﾞｽ状態論理回路はｱｲﾄﾞﾙ状態へ移行します。表21-3.は時間経過設定を一覧にします。

表21-3. TWI主装置不活性ﾊﾞｽ時間経過設置

TIMEOUT1,0	群構成設定	内容
0 0	DISABLED	禁止、通常はI^2Cに使用
0 1	50US	50µs、通常は100kHzでのSMBusに使用
1 0	100US	100µs
1 1	200US	200µs

● **ﾋﾞｯﾄ1 – QCEN : 迅速指令許可** (Quick Command Enable)

迅速指令が許可(1)されると、従装置がｱﾄﾞﾚｽに応答した直後に対応する割り込み要求ﾌﾗｸﾞが設定(1)されます(読み込みまたは書き込み割り込み)。この時点でｿﾌﾄｳｪｱは停止条件または再送開始条件のどちらかを発行することができます。

● **ﾋﾞｯﾄ0 – SMEN : 簡便動作許可** (Smart Mode Enable)

簡便動作許可ﾋﾞｯﾄの設定(1)が簡便動作を許可します。簡便動作が許可されると、制御ﾚｼﾞｽﾀC(CTRLC)の応答動作(ACKACT)ﾋﾞｯﾄで設定されるように応答動作がﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み直後に送出されます。

21.9.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	ACKACT	CMD1,0		CTRLC
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – ACKACT : 応答動作** (Acknowledge Action)

このﾋﾞｯﾄは主装置読み込み動作での主装置の応答の動きを定義します。応答動作は指令が指令(CMD)ﾋﾞｯﾄに書かれる時に実行されます。制御ﾚｼﾞｽﾀB(CTRLB)の簡便動作許可(SMEN)が設定(1)なら、応答動作はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが読まれる時に実行されます。

表21-4.は応答動作を一覧にします。

表21-4. ACKACTﾋﾞｯﾄ内容

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● **ﾋﾞｯﾄ1,0 – CMD1,0 : 指令** (Command)

指令(CMD)ﾋﾞｯﾄの書き込みは表21-5.で定義されるような主装置動作を起動します。CMDﾋﾞｯﾄはｽﾄﾛｰﾌﾞ(瞬間状態保持の)ﾋﾞｯﾄで、常に0として読めます。応答動作は主装置読み込み動作でだけ有効です。主装置書き込み動作では指令が再送開始条件または停止条件に終わるだけです。応答動作(ACKACT)ﾋﾞｯﾄとCMDﾋﾞｯﾄは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

CMDﾋﾞｯﾄへの指令書き込みは主装置割り込み要求ﾌﾗｸﾞとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞを解除(0)します。

表21-5. CMDﾋﾞｯﾄ内容

CMD1,0	群構成設定	動作種別	内容
0 0	NOACT	x	(予約)
0 1	START	x	再送開始条件が後続する応答動作を実行
1 0	BYTEREC	主装置書き込み	動作なし
		主装置読み込み	ﾊﾞｲﾄ受信が後続する応答動作を実行
1 1	STOP	x	停止条件が後続する応答動作を実行

21.9.4. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – RIF : 読み込み割り込み要求ﾌﾗｸﾞ** (Read Interrupt Flag)

このﾌﾗｸﾞは主装置読み込み動作でﾊﾞｲﾄが成功裏に受信された、換言すると動作中に調停敗退またはﾊﾞｽ異常発生がない時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはRIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、主装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞは次の時にも自動的に解除(0)されます。

- TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀへの書き込み
- TWI主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込み
- TWI主装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み
- 制御ﾚｼﾞｽﾀC(CTRLC)の指令(CMD)ﾋﾞｯﾄへの有効な指令書き込み

● **ﾋﾞｯﾄ6 – WIF : 書き込み割り込み要求ﾌﾗｸﾞ** (Write Interrupt Flag)

このﾌﾗｸﾞは主装置書き込み動作でﾊﾞｲﾄが送信された時に設定(1)されます。このﾌﾗｸﾞはﾊﾞｽ異常の発生または調停敗退状況と無関係に設定(1)されます。WIFは主装置読み込み動作で否認応答(NACK)の送出中に調停が失われた場合、ﾊﾞｽ状態が未知の時に開始条件を発行した場合にも設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはWIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、主装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞは読み込み割り込み要求ﾌﾗｸﾞ(RIF)と同じ条件についても自動的に解除(0)されます。

● **ﾋﾞｯﾄ5 – CLKHOLD : ｸﾛｯｸ保持ﾌﾗｸﾞ** (Clock Hold)

このﾌﾗｸﾞは主装置がSCL線をLowに保持するときに設定(1)されます。これは状態ﾌﾗｸﾞで、読み込み割り込み要求ﾌﾗｸﾞ(RIF)と書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)される時に設定(1)される読み込み専用ﾋﾞｯﾄです。これらの割り込み要求ﾌﾗｸﾞの解除(0)とSCL線の開放がこのﾌﾗｸﾞを間接的に解除(0)します。

このﾌﾗｸﾞは読み込み割り込み要求ﾌﾗｸﾞ(RIF)と同じ条件についても自動的に解除(0)されます。

● **ﾋﾞｯﾄ4 – RXACK : 受信応答ﾌﾗｸﾞ** (Received Acknowledge)

このﾌﾗｸﾞは従装置からの最終受信応答ﾋﾞｯﾄを含みます。これは読み込み専用ﾌﾗｸﾞです。0として読めると、従装置からの最終応答ﾋﾞｯﾄは確認応答(ACK)で、1として読めると、最終応答ﾋﾞｯﾄは否認応答(NACK)です。

● **ﾋﾞｯﾄ3 – ARBLOST : 調停敗退ﾌﾗｸﾞ** (Arbitration Lost)

このﾌﾗｸﾞはHighのﾃﾞｰﾀ ﾋﾞｯﾄ、否認応答(NACK)の送信、またはﾊﾞｽ上の開始条件や再送開始条件の発行中で調停に敗れた場合に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはARBLOSTを解除(0)します。

TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ書き込みはARBLOSTを自動的に解除(0)します。

● **ﾋﾞｯﾄ2 – BUSERR : ﾊﾞｽ異常ﾌﾗｸﾞ** (Bus Error)

このﾌﾗｸﾞは不正なﾊﾞｽ状態が起きた場合に設定(1)されます。不正なﾊﾞｽ状態は直前の開始条件からのﾋﾞｯﾄ数が9の倍数でない再送開始条件や停止条件が検出された場合に起きます。このﾋﾞｯﾄ位置への1書き込みはBUSERRを解除(0)します。

TWI主装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ書き込みはBUSERRを自動的に解除(0)します。

● **ﾋﾞｯﾄ1,0 – BUSSTATE1,0 : ﾊﾞｽ状態ﾌﾗｸﾞ** (Bus State)

これらのﾌﾗｸﾞは**表21-6.**で定義されるように現在のTWIﾊﾞｽ状態を示します。ﾊﾞｽ状態の変化はﾊﾞｽの動きに依存します。180頁の「**ﾊﾞｽ状態論理**」を参照してください。

BUSSTATEﾋﾞｯﾄへの01書き込みはﾊﾞｽ状態論理をｱｲﾄﾞﾙ状態に強制します。ﾊﾞｽ状態論理は他のどの状態にも強制できません。ﾘｾｯﾄ後と主装置が禁止される時にﾊﾞｽ状態論理は禁止され、ﾊﾞｽ状態が未知になります。

表21-6. TWI主装置ﾊﾞｽ状態

BUSSTATE1,0	群構成設定	内容
0 0	UNKNOWN	未知のﾊﾞｽ状態
0 1	IDLE	ｱｲﾄﾞﾙ ﾊﾞｽ状態
1 0	OWNER	所有者ﾊﾞｽ状態
1 1	BUSY	使用中ﾊﾞｽ状態

21.9.5. BAUD – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ (Baud Rate register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	BAUD7~0								BAUD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾎﾞｰﾚｰﾄ(BAUD)ﾚｼﾞｽﾀはｼｽﾃﾑ ｸﾛｯｸとTWIﾊﾞｽ ｸﾛｯｸ(SCL)周波数間の関係を定義します。この周波数関係は次式を使うことによって表すことができます。

$$f_{TWI} = \frac{f_{SYS}}{2\times(5+BAUD)}\ [\mathrm{Hz}] \cdots\cdots\cdots \text{式1.}$$

BAUDﾚｼﾞｽﾀは応用がどちらの規格に従うべきかに依存して100kHzまたは400kHzと等しいかまたはそれ以下のTWIﾊﾞｽ周波数(f_{TWI})での結果となる値に設定されなければなりません。次式(**式2.**)はBAUD値用に解決された**式1.**を表します。

$$BAUD = \frac{f_{SYS}}{2\times f_{TWI}} - 5 \cdots\cdots\cdots\cdots\cdots \text{式2.}$$

SCLｸﾛｯｸは50/50のﾃﾞｭｰﾃｨ ｻｲｸﾙを持つように設計されます。周波数が400kHzに近づく時にLow時間必要条件が合致するのを保証するため、BAUDは**式2.**で得られるものよりも高く設定されることが必要かもしれません。

SCLのLow時間とBAUD間の関係は次式によって表されます。

$$BAUD = (t_{LOW} + t_{of})\times f_{SYS} - 5 \cdots\cdots \text{式3.}$$

最高BAUD値を与える**式2.**と**式3.**の結果が使われるべきです。

BAUDﾚｼﾞｽﾀは主装置が禁止されている間にだけ書かれるべきです。

21.9.6. ADDR – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Address register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	ADDR7~0								ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾊﾞｽがｱｲﾄﾞﾙの間に従装置ｱﾄﾞﾚｽとR/Wﾋﾞｯﾄと共にｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀが書かれると、開始条件が発行され、7ﾋﾞｯﾄ ｱﾄﾞﾚｽとR/Wﾋﾞｯﾄがﾊﾞｽ上に送信されます。ADDRが書かれる時にﾊﾞｽが既に所有者なら、再送開始条件が発行されます。直前の転送処理が主装置読み込みで否認応答(NACK)が未だ送られていない場合、再送開始条件の前に応答動作が送出されます。

動作が完了して従装置からの応答ﾋﾞｯﾄが受信された後、調停が失われていなければ、SCL線はLowを強制されます。書き込み割り込み要求ﾌﾗｸﾞ(WIF)が設定(1)されます。

ADDRが書かれた時にﾊﾞｽ状態が未知の場合、WIFが設定(1)され、ﾊﾞｽ異常(BUSERR)が設定(1)されます。

全てのTWI主装置ﾌﾗｸﾞはADDRが書かれた時に自動的に解除(0)されます。これにはBUSERR、調停敗退(ARBLOST)、読み込み割り込み要求(RIF)、WIFを含みます。主装置ADDRﾚｼﾞｽﾀは実行中のﾊﾞｽ動作での妨害を除いて何時でも読むことができます。

21.9.7. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀを送受信する時に使われます。ﾃﾞｰﾀ転送中、ﾃﾞｰﾀはﾊﾞｽとDATAﾚｼﾞｽﾀ間で移動されます。これはﾊﾞｲﾄ転送中にDATAﾚｼﾞｽﾀがｱｸｾｽできないことを意味し、これはﾊｰﾄﾞｳｪｱで保護されています。ﾃﾞｰﾀ ﾚｼﾞｽﾀは主装置によってSCL線がLowを保持している時、換言するとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞが設定(1)されている時にだけｱｸｾｽできます。

主装置書き込み動作ではDATAﾚｼﾞｽﾀ書き込みがﾃﾞｰﾀ ﾊﾞｲﾄ転送を起動し、続いて主装置は従装置からの応答ﾋﾞｯﾄを受信します。書き込み割り込み要求ﾌﾗｸﾞ(WIF)とCLKHOLDﾌﾗｸﾞが設定(1)されます。

主装置読み込み動作では1ﾊﾞｲﾄがDATAﾚｼﾞｽﾀに受信された時に、読み込み割り込み要求ﾌﾗｸﾞ(RIF)とCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAﾚｼﾞｽﾀ読み込みは応答動作(ACKACT)ﾋﾞｯﾄでの設定のようにﾊﾞｽ操作を起動します。受信中にﾊﾞｽ異常が起きた場合、RIFの代わりにWIFとﾊﾞｽ異常(BUSERR)ﾌﾗｸﾞが設定(1)されます。

DATAﾚｼﾞｽﾀのｱｸｾｽは主装置割り込み要求ﾌﾗｸﾞとCLKHOLDﾌﾗｸﾞを解除(0)します。

21.10. ﾚｼﾞｽﾀ説明 – TWI従装置

21.10.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interupt Level)

これらのﾋﾞｯﾄは90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるようにTWI従装置割り込みに対する割り込みﾚﾍﾞﾙを選びます。

● **ﾋﾞｯﾄ5 – DIEN : ﾃﾞｰﾀ割り込み許可** (Data Interrupt Enable)

ﾃﾞｰﾀ割り込み許可(DIEN)ﾋﾞｯﾄの設定(1)はTWI従装置状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が設定(1)される時のﾃﾞｰﾀ割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄが0以外でなければなりません。

● **ﾋﾞｯﾄ4 – APIEN : ｱﾄﾞﾚｽ/停止割り込み許可** (Address/Stop Interrupt Enable)

ｱﾄﾞﾚｽ/停止割り込み許可(APIEN)ﾋﾞｯﾄの設定(1)はTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)される時のｱﾄﾞﾚｽ/停止割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みﾚﾍﾞﾙ(INTLVL)ﾋﾞｯﾄが0以外でなければなりません。

● **ﾋﾞｯﾄ3 – ENABLE : TWI従装置許可** (Enable TWI Slave)

このﾋﾞｯﾄの設定(1)がTWI従装置を許可します。

● **ﾋﾞｯﾄ2 – PIEN : 停止条件割り込み許可** (Stop Interrupt Enable)

このﾋﾞｯﾄの設定(1)は停止条件が検出された時にTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)を設定(1)させます。

● **ﾋﾞｯﾄ1 – PMEN : 無差別動作許可** (Promiscuous Mode Enable)

このﾋﾞｯﾄの設定(1)によって、従装置ｱﾄﾞﾚｽ一致論理回路は全ての受信ｱﾄﾞﾚｽに応答します。このﾋﾞｯﾄが解除(0)される場合、ｱﾄﾞﾚｽ一致論理回路は自身のｱﾄﾞﾚｽとしてどのｱﾄﾞﾚｽを認証するかを決めるのにTWI従装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀを使います。

● **ﾋﾞｯﾄ0 – SMEN : 簡便動作許可** (Smart Mode Enable)

このﾋﾞｯﾄは簡便動作を許可します。簡便動作が許可(1)されると、TWI従装置ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ読み込み直後にTWI従装置制御ﾚｼﾞｽﾀB(CTRLB)の応答動作(ACKACT)ﾋﾞｯﾄで設定されるように応答動作が送出されます。

21.10.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	ACKACT	CMD1,0		CTRLB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – ACKACT : 応答動作** (Acknowledge Action)

このﾋﾞｯﾄは主装置から受信したｱﾄﾞﾚｽまたはﾃﾞｰﾀの後での従装置の応答の動きを定義します。応答動作は指令(CMD)ﾋﾞｯﾄに書かれる時に実行されます。TWI従装置制御ﾚｼﾞｽﾀA(CTRLA)の簡便動作許可(SMEN)ﾋﾞｯﾄが設定(1)なら、応答動作はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが読まれる時に実行されます。

表21-7.は応答動作を一覧にします。

表21-7. TWI従装置応答動作

ACKACT	動作
0	確認応答(ACK)送出
1	否認応答(NACK)送出

● ﾋﾞｯﾄ1,0 – CMD1,0 : 指令 (Command)

これらのﾋﾞｯﾄの書き込みは表21-8.で定義されるような従装置動作を起動します。CMDﾋﾞｯﾄはｽﾄﾛｰﾌﾞ(瞬間だけ状態保持の)ﾋﾞｯﾄで、常に0として読めます。動作は従装置割り込み要求ﾌﾗｸﾞ、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)とｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)に依存します。応答動作は従装置が主装置からのｱﾄﾞﾚｽ ﾊﾞｲﾄまたはﾃﾞｰﾀ ﾊﾞｲﾄを受信した時にだけ実行されます。

表21-8. TWI従装置指令

CMD1,0	群構成設定	方向(DIR)	動作
0 0	NOACT	x	動作なし
0 1	–	x	(予約)
1 0	COMPLETE	完全な転送処理に使用	
		0	何れかの開始条件または再送開始条件の待機が後続する応答動作を実行
		1	何れかの開始条件または再送開始条件の待機
1 1	RESPONSE	ｱﾄﾞﾚｽ ﾊﾞｲﾄ(ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)=1)への応答で使用	
		0	次ﾊﾞｲﾄ受信が後続する応答動作を実行
		1	設定(1)されつつあるﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)が後続する応答動作を実行
		ﾃﾞｰﾀ ﾊﾞｲﾄ(ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)=1)への応答で使用	
		0	次ﾊﾞｲﾄ待機が後続する応答動作を実行
		1	動作なし

CMDﾋﾞｯﾄ書き込みは従装置割り込み要求ﾌﾗｸﾞとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞを解除(0)し、SCL線を開放します。応答動作(ACKACT)ﾋﾞｯﾄとCMDﾋﾞｯﾄは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

21.10.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – DIF : ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ (Data Interrupt Flag)

このﾌﾗｸﾞはﾃﾞｰﾀ ﾊﾞｲﾄが成功裏に受信された、換言すると動作中に衝突またはﾊﾞｽ異常が起きない時に設定(1)されます。このﾋﾞｯﾄ位置への1書き込みはDIFを解除(0)します。このﾌﾗｸﾞが設定(1)されると、従装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞはTWI従装置制御ﾚｼﾞｽﾀB(CTRLB)の指令(CMD)ﾋﾞｯﾄへの有効な指令書き込み時にも自動的に解除(0)されます。

● ﾋﾞｯﾄ6 – APIF : ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ (Address/Stop Interrupt Flag)

このﾌﾗｸﾞは有効なｱﾄﾞﾚｽが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。TWI従装置制御ﾚｼﾞｽﾀA(CTRLA)の停止条件割り込み許可(PIEN)ﾋﾞｯﾄが設定(1)なら、ﾊﾞｽの停止条件もAPIFを設定(1)します。このﾋﾞｯﾄ位置への1書き込みはAPIFを解除(0)します。ｱﾄﾞﾚｽ割り込みに対して設定(1)されると、従装置はSCL線をLowに強制し、TWIｸﾛｯｸ周期を引き伸ばします。この割り込み要求ﾌﾗｸﾞの解除(0)がSCL線を開放します。

このﾌﾗｸﾞはﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)と同じ条件についても自動的に解除(0)されます。

● ﾋﾞｯﾄ5 – CLKHOLD : ｸﾛｯｸ保持ﾌﾗｸﾞ (Clock Hold)

このﾌﾗｸﾞは従装置がSCL線をLowに保持する時に設定(1)されます。これは状態ﾌﾗｸﾞで、ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)またはｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)される時に設定(1)される読み込み専用ﾋﾞｯﾄです。これらの割り込み要求ﾌﾗｸﾞの解除(0)とSCL線の開放がこのﾌﾗｸﾞを間接的に解除(0)します。

● ﾋﾞｯﾄ4 – RXACK : 受信応答ﾌﾗｸﾞ (Received Acknowledge)

このﾌﾗｸﾞは主装置からの最終受信応答ﾋﾞｯﾄを含みます。これは読み込み専用ﾌﾗｸﾞです。0として読めると、主装置からの最終応答ﾋﾞｯﾄは確認応答(ACK)で、1として読めると、最終応答ﾋﾞｯﾄは否認応答(NACK)です。

● ﾋﾞｯﾄ3 – COLL : 衝突ﾌﾗｸﾞ (Collision)

このﾌﾗｸﾞは従装置がHighのﾃﾞｰﾀ ﾋﾞｯﾄ、否認応答(NACK)ﾋﾞｯﾄを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置はﾃﾞｰﾀと応答の出力を禁止し、Low値がSDA線上に移動出力されない通常動作を始めます。このﾋﾞｯﾄ位置への1書き込みはCOLLを解除(0)します。

このﾌﾗｸﾞは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。

● ﾋﾞｯﾄ2 – BUSERR : TWI従装置ﾊﾞｽ異常ﾌﾗｸﾞ (TWI Slave Bus Error)

このﾌﾗｸﾞは転送中に不正なﾊﾞｽ状態が起きた場合に設定(1)されます。不正なﾊﾞｽ状態は再送開始条件または停止条件が検出され、直前の開始条件からのﾋﾞｯﾄ数が9の倍数でない場合に起きます。このﾋﾞｯﾄ位置への1書き込みはBUSERRを解除(0)します。

検出されるべきﾊﾞｽ異常に関してはﾊﾞｽ状態論理回路が許可されていなければなりません。これはTWI主装置を許可することによって行われます。

● ﾋﾞｯﾄ1 – DIR : 読み/書き方向ﾌﾗｸﾞ (Rwad/Write Direction)

読み/書き方向(DIR)ﾌﾗｸﾞは主装置から受信した最後のｱﾄﾞﾚｽ ﾊﾟｹｯﾄからの方向ﾋﾞｯﾄを反映します。このﾋﾞｯﾄが1として読めると、主装置読み込み動作が進行中です。0として読める時は主装置書き込み動作が進行中です。

● ﾋﾞｯﾄ0 – AP : 従装置ｱﾄﾞﾚｽ/停止条件ﾌﾗｸﾞ (Slave Address or Stop)

このﾌﾗｸﾞはTWI従装置状態(STATUS)ﾚｼﾞｽﾀのｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)の最後の設定を有効なｱﾄﾞﾚｽまたは停止条件のどちらが起したかを示します。

表21-9. TWI従装置 ｱﾄﾞﾚｽまたは停止条件

AP	内容
0	停止条件がAPIFの割り込みを生成
1	ｱﾄﾞﾚｽ検出がAPIFの割り込みを生成

21.10.4. ADDR – ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Address register)

TWI従装置ｱﾄﾞﾚｽ ﾚｼﾞｽﾀはTWIが応答するために(ADDRの上位7ﾋﾞｯﾄ内に)7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽを格納されるべきです。ADDRの最下位ﾋﾞｯﾄは一斉呼び出しｱﾄﾞﾚｽ($00)の認証に使われます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	ADDR7~1							ADDR0	ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 –ADDR7~1 : TWI従装置ｱﾄﾞﾚｽ (TWI Slave Address)

このﾚｼﾞｽﾀは主装置が従装置をｱﾄﾞﾚｽ指定しているかを判断するための従装置ｱﾄﾞﾚｽ一致論理回路によって使われるTWI従装置ｱﾄﾞﾚｽを含みます。上位7ﾋﾞｯﾄ(ADDR7～1)が従装置ｱﾄﾞﾚｽを表します。

10ﾋﾞｯﾄ ｱﾄﾞﾚｽ使用時、ｱﾄﾞﾚｽ一致論理回路は10ﾋﾞｯﾄ ｱﾄﾞﾚｽの最初のﾊﾞｲﾄのﾊｰﾄﾞｳｪｱ ｱﾄﾞﾚｽ認証を支援するだけです。ADDR7～1='11110nn'設定で、'nn'は従装置ｱﾄﾞﾚｽのﾋﾞｯﾄ9と8を表します。次の受信ﾊﾞｲﾄが10ﾋﾞｯﾄ ｱﾄﾞﾚｽのﾋﾞｯﾄ7～0で、これはｿﾌﾄｳｪｱによって扱われなければなりません。

有効なｱﾄﾞﾚｽ ﾊﾞｲﾄが受信されたことをｱﾄﾞﾚｽ一致論理回路が検知すると、ｱﾄﾞﾚｽ/停止割り込み要求ﾌﾗｸﾞ(APIF)が設定(1)され、読み/書き方向(DIR)ﾌﾗｸﾞが更新されます。

従装置制御ﾚｼﾞｽﾀA(CTRLA)の無差別動作許可(PMEN)ﾋﾞｯﾄが設定(1)なら、ｱﾄﾞﾚｽ一致論理回路はTWIﾊﾞｽ上に送信された全てのｱﾄﾞﾚｽに応答します。ADDRﾚｼﾞｽﾀはこの動作種別で使われません。

● ﾋﾞｯﾄ0 – ADDR0 : 一斉呼び出し認証許可 (Genera Call Recognition Enable)

ADDR0設定(1)時に、これは一斉呼び出しｱﾄﾞﾚｽ認証論理回路を許可し、故に装置はﾊﾞｽ上の全ての装置をｱﾄﾞﾚｽ指定する一斉呼び出しに応答することができます。

21.10.5. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀを送受信する時に使われます。ﾃﾞｰﾀ転送中、ﾃﾞｰﾀはﾊﾞｽとDATAﾚｼﾞｽﾀ間で移動されます。これはﾊﾞｲﾄ転送中にDATAﾚｼﾞｽﾀがｱｸｾｽできないことを意味し、これはﾊｰﾄﾞｳｪｱで保護されています。ﾃﾞｰﾀ ﾚｼﾞｽﾀは従装置によってSCL線がLowを保持している時、換言するとｸﾛｯｸ保持(CLKHOLD)ﾌﾗｸﾞが設定(1)されている時にだけｱｸｾｽできます。

主装置が従装置からﾃﾞｰﾀを読むとき、送出すべきﾃﾞｰﾀがDATAﾚｼﾞｽﾀに書かれます。主装置が従装置からﾃﾞｰﾀ ﾊﾞｲﾄのｸﾛｯｸ駆動を始める時にﾊﾞｲﾄ転送が開始され、続いて従装置は主装置からの応答ﾋﾞｯﾄを受信します。ﾃﾞｰﾀ割り込み要求ﾌﾗｸﾞ(DIF)とCLKHOLDが設定(1)されます。

主装置が従装置にﾃﾞｰﾀを書くとき、1ﾊﾞｲﾄがDATAﾚｼﾞｽﾀに受信された時にDIFとCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAﾚｼﾞｽﾀ読み込みは応答動作(ACKACT)ﾋﾞｯﾄでの設定のようにﾊﾞｽ操作を起動します。

DATAﾚｼﾞｽﾀのｱｸｾｽは従装置割り込み要求ﾌﾗｸﾞとCLKHOLDﾌﾗｸﾞを解除(0)します。ｱﾄﾞﾚｽ一致が起こると、受信したｱﾄﾞﾚｽはDATAﾚｼﾞｽﾀ内に格納されます。

21.10.6. ADDRMASK – ｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀ (Address Mask register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	ADDRMASK7~0							ADDREN	ADDRMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~1 –ADDRMASK7~1 : 第2従ｱﾄﾞﾚｽ/ｱﾄﾞﾚｽ遮蔽** (Second Slave Address/Address Mask)

これらのﾋﾞｯﾄはｱﾄﾞﾚｽ許可(ADDREN)ﾋﾞｯﾄ設定に依存して、第2ｱﾄﾞﾚｽ一致ﾚｼﾞｽﾀまたはｱﾄﾞﾚｽ遮蔽ﾚｼﾞｽﾀとして働きます。

ADDRENが0に設定される場合、ADDRMASKは7ﾋﾞｯﾄの従装置ｱﾄﾞﾚｽ遮蔽を格納することができます。ADDRMASK内の各ﾋﾞｯﾄは従装置ｱﾄﾞﾚｽ(ADDR)ﾚｼﾞｽﾀ内の対応するｱﾄﾞﾚｽ ﾋﾞｯﾄを遮蔽(禁止)することができます。遮蔽ﾋﾞｯﾄが1の場合に到着ｱﾄﾞﾚｽ ﾋﾞｯﾄとADDR内の対応するﾋﾞｯﾄ間のｱﾄﾞﾚｽ一致が無視されます。換言すると、遮蔽されたﾋﾞｯﾄは常に一致します。

ADDRENが1に設定される場合、ADDRMASKはADDRﾚｼﾞｽﾀに加えて第2従装置ｱﾄﾞﾚｽを格納することができます。この動作では従装置がADDRの1つとADDRMASKの別の1つで2つの独自のｱﾄﾞﾚｽに一致します。

● **ﾋﾞｯﾄ0 – ADDREN : ｱﾄﾞﾚｽ許可** (Address Enable)

既定によるこのﾋﾞｯﾄは0で、ADDRMASKﾋﾞｯﾄはADDRﾚｼﾞｽﾀに対するｱﾄﾞﾚｽ遮蔽として働きます。このﾋﾞｯﾄが1に設定される場合、従装置ｱﾄﾞﾚｽ一致論理回路はADDRとADDRMASK内の2つの独自のｱﾄﾞﾚｽに応答します。

21.11. ﾚｼﾞｽﾀ要約 – TWI

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$08	従装置	従装置差分ｱﾄﾞﾚｽ								
+$01	主装置	主装置差分ｱﾄﾞﾚｽ								
+$00	CTRL	–	–	–	–	–	SDAHOLD1,0		EDIEN	184

21.12. ﾚｼﾞｽﾀ要約 – TWI主装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$06	DATA	DATA7~0								187
+$05	ADDR	ADDR7~0								187
+$04	BAUD	BAUD7~0								187
+$03	STATUS	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSSTATE1,0		186
+$02	CTRLC	–	–	–	–	–	ACKACT	CMD1,0		185
+$01	CTRLB	–	–	–	–	TIMEOUT1,0		QCEN	SMEN	185
+$00	CTRLA	INTLVL1,0		RIEN	WIEN	ENABLE	–	–	–	184

21.13. ﾚｼﾞｽﾀ要約 – TWI従装置

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$05	ADDRMASK	ADDRMASK7~1							ADDREN	191
+$04	DATA	DATA7~0								190
+$03	ADDR	ADDR7~0								190
+$02	STATUS	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	189
+$01	CTRLB	–	–	–	–	–	ACKACT	CMD1,0		188
+$00	CTRLA	INTLVL1,0		DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	188

21.14. 割り込みﾍﾞｸﾀ要約

表21-10. TWI割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	SLAVE_vect	TWI従装置割り込みﾍﾞｸﾀ
$02	MASTER_vect	TWI主装置割り込みﾍﾞｸﾀ

22. SPI – 直列周辺インターフェース

22.1. 要点

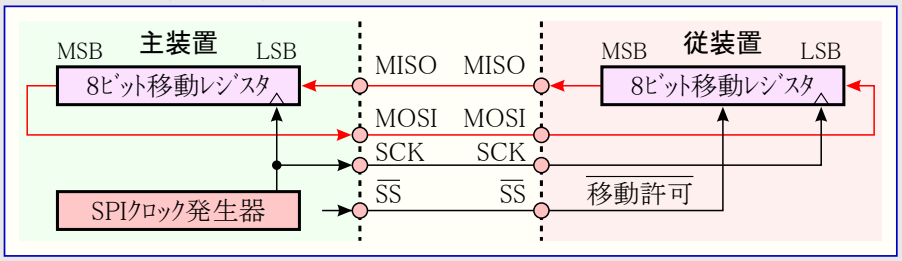
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

22.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはXMEGAデバイスと周辺装置間、または多数のマイクロ コントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が**図22-1.**で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択($\overline{SS}$)ピンをLowに引くことによって通信周回を開始します。主装置と従装置は送るべきデータをそれらの各々の移動レジスタに用意して、データを交換するためにSCK線上に必要とするクロック パルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へ移動されます。各データ パケット後、主装置は$\overline{SS}$線をHighに引くことによって従装置を同期化することができます。

図22-1. SPI主装置-従装置相互連絡



SPI単位部は送信方向で緩衝なし、受信方向で単一緩衝されています。これは移動周期全体が完了される前に送信されるべきデータがSPIデータ(DATA)レジスタに書けないことを意味します。データ受信時、受信したデータは次のデータが完全に移動入力される前に読まれなければなりません。さもなければ、最初のバイトが失われます。

SPI従装置動作では制御回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、最小Low及びHigh区間は2CPUクロック周期よりも長くなければなりません。

SPI単位部が許可されると、MOSI,MISO,SCK,$\overline{SS}$ピンのデータ方向は**表22-1.**に従って無効化されます。使用者定義方向のピンは応用に対応した正しい方向になるようにソフトウェアから構成設定されなければなりません。

表22-1. SPIピン無効化と方向

ピン	主装置時方向	従装置時方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
$\overline{SS}$	使用者定義	入力

22.3. 主装置動作

主装置動作で、SPIは$\overline{SS}$ピンの自動制御がありません。$\overline{SS}$ピンが使われる場合、それは出力として構成設定され、使用者ソフトウェアによって制御されなければなりません。バスが多数の従装置や主装置から成る場合、SPI主装置はバス上の従装置の各々への$\overline{SS}$線を制御するのに汎用I/Oピンを使うことができます。

データ(DATA)レジスタへのバイト書き込みがSPIクロック発生器を起動し、ハードウェアが選択した従装置への8ビット移動を行います。1バイトの移動後、SPIクロック発生器が停止し、SPI割り込み要求フラグ(IF)が設定(1)されます。主装置はデータ レジスタへ新しいデータを書くことによって次のバイトの移動を続けるか、または$\overline{SS}$線をHighに引くことによって転送終了を合図するかができます。最後に到着したバイトは緩衝レジスタに保持されています。

$\overline{SS}$ピンが使われずに入力として構成設定された場合、主装置動作を保証するためにHighに保持されなければなりません。$\overline{SS}$ピンが入力でLowに駆動される場合、SPI単位部はこれをバス制御を取得するための他の主装置の試みとして解釈します。バス衝突を避けるため、主装置は次の動作を行います。

1. 主装置は従装置動作へ移行します。
2. SPI割り込み要求フラグが設定(1)されます。

22.4. 従装置動作

従装置動作では、$\overline{SS}$ﾋﾟﾝがHighに駆動されている限り、SPIｲﾝﾀｰﾌｪｰｽはHi-ZにされたMISO線での休止に留まります。この状態で、ｿﾌﾄｳｪｱはﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀの内容を更新できますが、$\overline{SS}$ﾋﾟﾝがLowに駆動されるまで、そのﾃﾞｰﾀはSCKﾋﾟﾝでの到着ｸﾛｯｸ ﾊﾟﾙｽによって移動出力されません。$\overline{SS}$がLowに駆動された場合、従装置は最初のSCKｸﾛｯｸ ﾊﾟﾙｽでﾃﾞｰﾀの移動出力を開始します。1ﾊﾞｲﾄが完全に移動されると、SPI割り込み要求ﾌﾗｸﾞ(IF)が設定(1)されます。従装置は到着ﾃﾞｰﾀを読む前に送るべき新しいﾃﾞｰﾀをﾃﾞｰﾀ ﾚｼﾞｽﾀに置いて(動作を)継続できます。最後に到着したﾊﾞｲﾄは緩衝ﾚｼﾞｽﾀに保持されています。

$\overline{SS}$がHighに駆動されると、SPI論理回路はﾘｾｯﾄし、そしてSPI従装置はどの新しいﾃﾞｰﾀも受信しません。移動ﾚｼﾞｽﾀ内の何れの部分的な受信ﾊﾟｹｯﾄも取り落とされます。

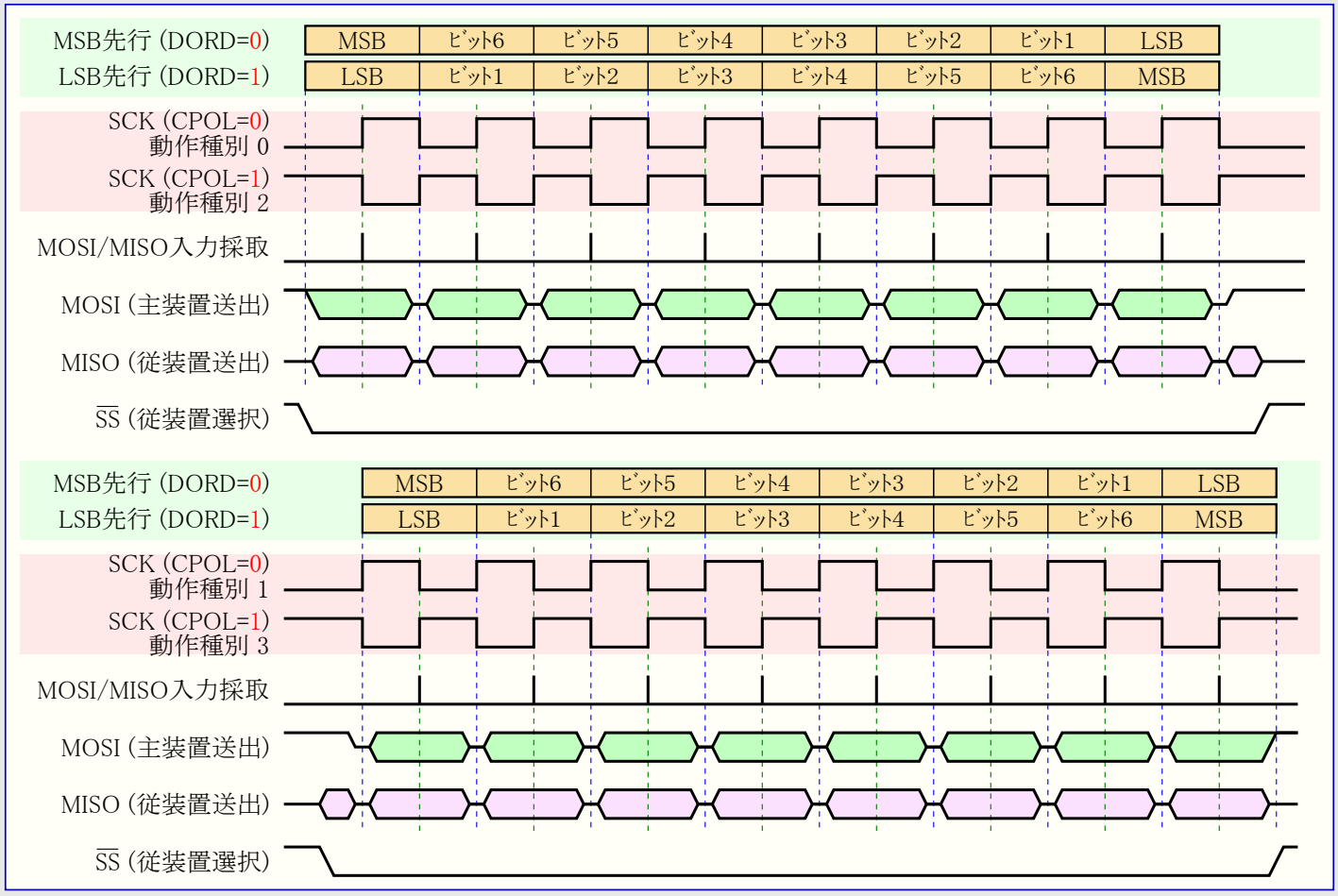
$\overline{SS}$ﾋﾟﾝが転送の開始と終了の合図に使われるので、これはﾊﾟｹｯﾄ/ﾊﾞｲﾄ同期、主装置ｸﾛｯｸ発生器での従装置ﾋﾞｯﾄ計数器同期維持にも有用です。

22.5. ﾃﾞｰﾀ転送種別

直列ﾃﾞｰﾀに関してSCKの位相と極性で4つの組み合わせがあります。SPI ﾃﾞｰﾀ転送形式が図22-2.で示されます。ﾃﾞｰﾀ ﾋﾞｯﾄはSCK信号の逆端で移動出力とﾗｯﾁが行われ、これはﾃﾞｰﾀ信号安定のための充分な時間を保証します。

先行端はｸﾛｯｸ周期の最初のｸﾛｯｸ端です。後行端はｸﾛｯｸ周期の最終ｸﾛｯｸ端です。

図22-2. SPI転送種別



22.6. DMA支援

SPI単位部でのDMA支援は従装置動作でだけ利用可能です。SPI従装置は1ﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ内に移動された時にDMA転送を起動できます。主装置動作でDMA支援を得るためにXMEGA USARTをSPI動作に設定することが可能です。詳細については204頁の「**主装置SPI動作でのUSART**」を参照してください。

22.7. ﾚｼﾞｽﾀ説明

22.7.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CLK2X : SPIｸﾛｯｸ倍速** (SPI Clock Double)

このﾋﾞｯﾄが設定(1)されると、SPI速度(SCK周波数)が主装置動作で2倍にされます(表22-3.をご覧ください)。

● **ﾋﾞｯﾄ6 – ENABLE : SPI許可** (SPI Enable)

このﾋﾞｯﾄの設定(1)がSPI単位部を許可します。このﾋﾞｯﾄはどのSPI操作をも可能とするために設定(1)されなければなりません。

● **ﾋﾞｯﾄ5 – DORD : ﾃﾞｰﾀ順** (Data Order)

DORDはﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀから移動出力される時のﾃﾞｰﾀ順を決めます。DORDが1を書かれると、ﾃﾞｰﾀ ﾊﾞｲﾄの最下位ﾋﾞｯﾄ(LSB)が最初に送信され、DORDが0を書かれると、ﾃﾞｰﾀ ﾊﾞｲﾄの最上位ﾋﾞｯﾄ(MSB)が最初に送信されます。

● **ﾋﾞｯﾄ4 – MASTER : 主/従選択** (Master/Slave Select)

このﾋﾞｯﾄは1の時に主装置動作を、0の時に従装置動作を選択します。$\overline{SS}$が入力として構成設定され、MASTERが設定(1)されている間にLowへ駆動される場合、MASTERは解除(0)されます。

● **ﾋﾞｯﾄ3,2 – MODE1,0 : SPI動作種別** (SPI Mode)

これらのﾋﾞｯﾄは転送種別を選びます。直列ﾃﾞｰﾀに関するSCKの位相と極性での4つの組み合わせが表22-2.で示されます。これらのﾋﾞｯﾄはｸﾛｯｸ周期での先頭端(先行端)が上昇または下降のどちらか、ﾃﾞｰﾀの設定と採取が先行端または後行端のどちらかを決めます。

先行端が上昇の時のSCKはｱｲﾄﾞﾙ時にLowで、先行端が下降の時のSCKはｱｲﾄﾞﾙ時にHighです。

表22-2. SPI転送動作種別

MODE1,0	群構成設定	SCK先行端	SCK後行端
0 0	0	上昇端,入力採取	下降端,出力設定
0 1	1	上昇端,出力設定	下降端,入力採取
1 0	2	下降端,入力採取	上昇端,出力設定
1 1	3	下降端,出力設定	上昇端,入力採取

● **ﾋﾞｯﾄ1,0 – PRESCALER1,0 : SPIｸﾛｯｸ前置分周** (SPI Clock Prescaler)

これら2ﾋﾞｯﾄは主装置動作に構成設定されたﾃﾞﾊﾞｲｽのSCK速度を制御します。これらのﾋﾞｯﾄは従装置動作で無効です。SCKと周辺機能ｸﾛｯｸ周波数(clk_{PER})間の関連は表22-3.で示されます。

表22-3. SCKと周辺機能ｸﾛｯｸ周波数(clk_{PER})間の関連

CLK2X	PRESCALER1,0	SCK周波数
0	0 0	$clk_{PER}/4$
0	0 1	$clk_{PER}/16$
0	1 0	$clk_{PER}/64$
0	1 1	$clk_{PER}/128$
1	0 0	$clk_{PER}/2$
1	0 1	$clk_{PER}/8$
1	1 0	$clk_{PER}/32$
1	1 1	$clk_{PER}/64$

22.7.2. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1,0 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄは90頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みはSPI状態(STATUS)ﾚｼﾞｽﾀのSPI割り込み要求ﾌﾗｸﾞ(IF)が設定(1)される時に起動されます。

22.7.3. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	IF	WRCOL	–	–	–	–	–	–	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – IF : 割り込み要求ﾌﾗｸﾞ** (Interrupt Flag)

このﾌﾗｸﾞは直列転送が完了して1ﾊﾞｲﾄがﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀで完全に移動入出力された時に設定(1)されます。SPIが主装置動作の時に$\overline{SS}$が入力として構成設定され、Lowに駆動された場合、これもこのﾌﾗｸﾞを設定(1)します。IFは対応する割り込みﾍﾞｸﾀ実行時、自動的に解除(0)されます。代わりにIFﾌﾗｸﾞはIFが1の時に最初にSTATUSﾚｼﾞｽﾀを読み、その後にDATAﾚｼﾞｽﾀをｱｸｾｽすることによっても解除(0)されます。

● **ﾋﾞｯﾄ6 – WRCOL : 上書き発生ﾌﾗｸﾞ** (Write Collision Flag)

このﾌﾗｸﾞはﾃﾞｰﾀ転送中にﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀが書かれた場合に設定(1)されます。このﾌﾗｸﾞはWRCOLが1の時に最初にSTATUSﾚｼﾞｽﾀを読み、その後にDATAﾚｼﾞｽﾀをｱｸｾｽすることによっても解除(0)されます。

● **ﾋﾞｯﾄ5~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

22.7.4. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DATA7~0								DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀはﾃﾞｰﾀの送受信に使われます。このﾚｼﾞｽﾀへの書き込みはﾃﾞｰﾀ送信を開始し、このﾚｼﾞｽﾀに書かれたﾊﾞｲﾄがSPI出力線へ移動出力されます。このﾚｼﾞｽﾀの読み込みは移動ﾚｼﾞｽﾀ受信緩衝部の読み出しを引き起こし、成功裏に受信した最終ﾊﾞｲﾄが返ります。

22.8. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	DATA	DATA7~0								195
+$02	STATUS	IF	WRCOL	–	–	–	–	–	–	195
+$01	INTCTRL	–	–	–	–	–	–	INTLVL1,0		194
+$00	CTRL	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		194

22.9. 割り込みﾍﾞｸﾀ要約

表22-4. SPI割り込みﾍﾞｸﾀとその変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	SPI_vect	SPI割り込みﾍﾞｸﾀ

23. USART

23.1. 要点

- 全二重動作
- 非同期と同期での動作
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/2までの同期ｸﾛｯｸ速度
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数の1/8までの非同期ｸﾛｯｸ速度
- 5, 6, 7, 8, 9ﾃﾞｰﾀ ﾋﾞｯﾄと1,2停止ﾋﾞｯﾄの直列ﾌﾚｰﾑ支援
- 分数ﾎﾞｰﾚｰﾄ発生器
  - どのｼｽﾃﾑ ｸﾛｯｸ周波数からも望むﾎﾞｰﾚｰﾄを生成可
  - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数ﾊﾟﾘﾃｨ生成器とﾊﾟﾘﾃｨ検査
  - ﾃﾞｰﾀ ｵｰﾊﾞﾗﾝとﾌﾚｰﾐﾝｸﾞ異常の検出
  - 不正開始ﾋﾞｯﾄ検出とﾃﾞｼﾞﾀﾙ低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信ﾃﾞｰﾀ ﾚｼﾞｽﾀ空
  - 受信完了
- 複数ﾌﾟﾛｾｯｻ通信動作
  - 複数ﾃﾞﾊﾞｲｽのﾊﾞｽ上で特定ﾃﾞﾊﾞｲｽをｱﾄﾞﾚｽ指定するためのｱﾄﾞﾚｽ指定の仕組み
  - ｱﾄﾞﾚｽ指定されないﾃﾞﾊﾞｲｽで全てのﾌﾚｰﾑを自動的に無視することが可
- 主装置SPI動作
  - 2重緩衝された動作
  - 構成設定可能なﾃﾞｰﾀ順
  - 周辺機能ｸﾛｯｸ周波数の1/2までの動作
- IrDA適合ﾊﾟﾙｽ変調/復調用赤外線通信(IRCOM)単位部

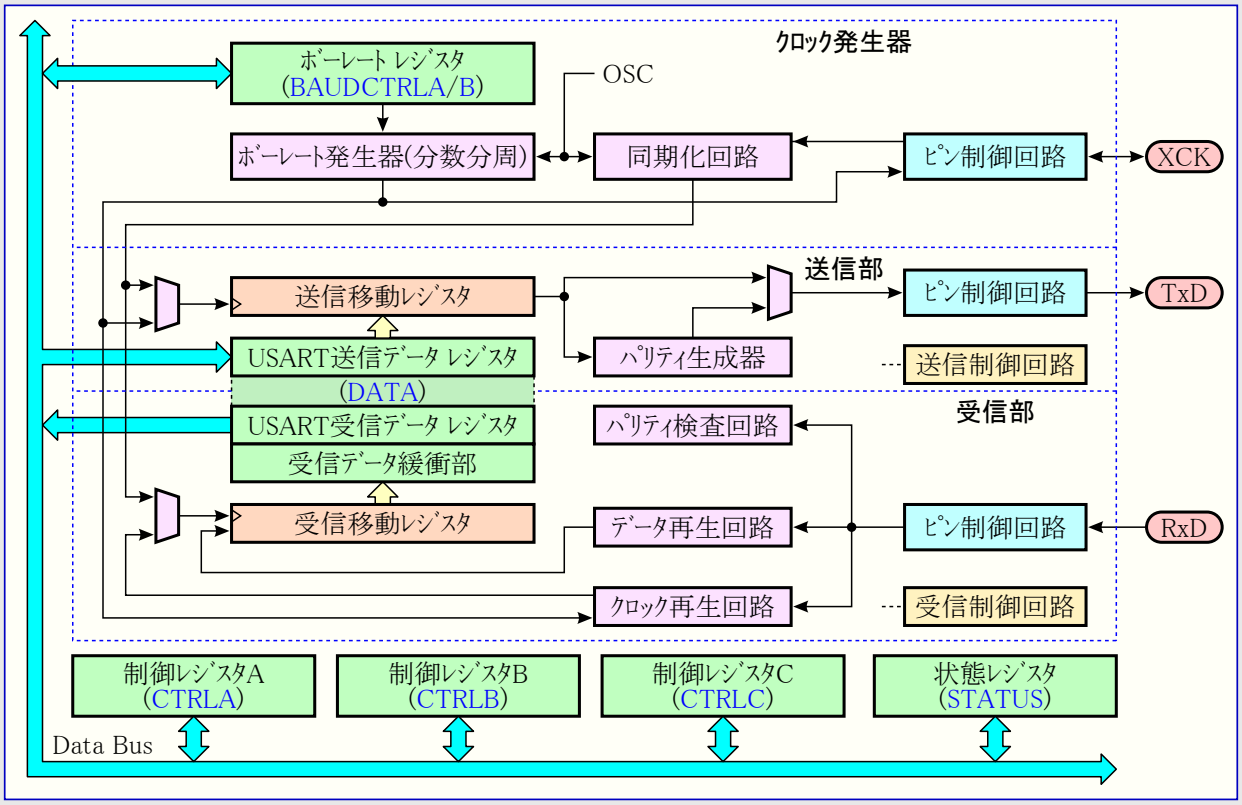
23.2. 概要

USART(Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置形態での動作に構成設定してSPI通信に使うことができます。

通信はﾌﾚｰﾑに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、ﾌﾚｰﾑ間のどんな遅延もなしに継続するﾃﾞｰﾀ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。ﾌﾚｰﾐﾝｸﾞ異常と緩衝部溢れはﾊｰﾄﾞｳｪｱで検知され、独立した状態ﾌﾗｸﾞで示されます。奇数または偶数のﾊﾟﾘﾃｨ生成とﾊﾟﾘﾃｨ検査も許可することができます。

USARTの構成図が図23-1.で示されます。主な機能部は破線枠で示されるｸﾛｯｸ発生器、送信部、受信部です。

図23-1. USART構成図



クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

送信部は単一書き込み緩衝部(DATA)、移動レジスタ、パリティ生成器から成ります。書き込み緩衝はフレーム間のどんな遅延もなしに連続データ送信を許します。

受信部は2段の受信緩衝部(DATA)と移動レジスタから成ります。データとクロックの再生部が非同期データ受信中の頑強な同期化と雑音濾波を保証します。これにはフレーミング異常、緩衝部溢れ、パリティ誤りの検出を含みます。

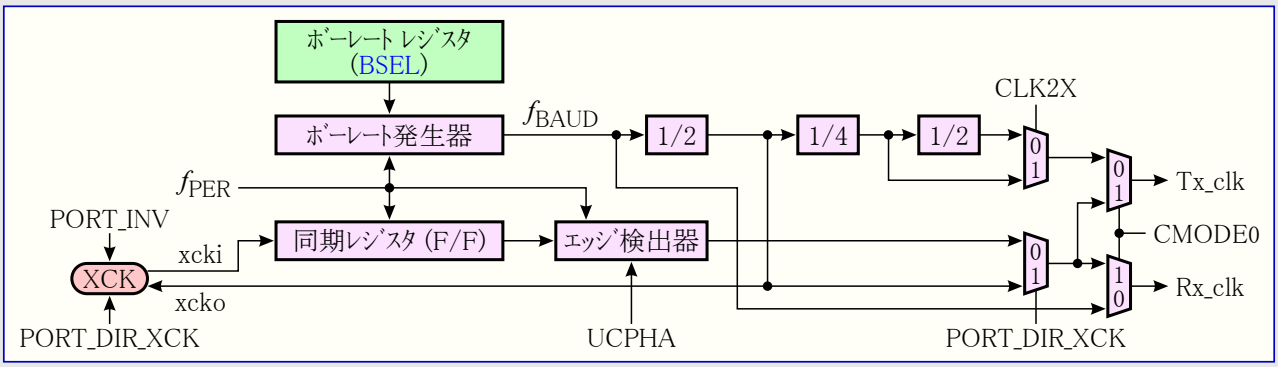
USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。詳細については211頁の「**IRCOM – 赤外線通信単位部**」を参照してください。

23.3. クロック生成

クロックはボーレート発生に使われ、データ ビットの移動と採取に関しては内部的に分数ボーレート発生器、または外部的に転送クロック(XCK)ピンから生成されます。標準と倍速の非同期動作、主装置と従装置の同期動作、主装置SPI動作の5つの動作のクロック生成が支援されます。

図23-2. クロック生成論理回路構成図



23.3.1. 内部クロック生成 – 分数ボーレート発生器

分数ボーレート発生器は、非同期動作、同期主装置動作、SPI主装置動作に対する内部クロック生成に使われます。生成された出力周波数(f_{BAUD})は周期設定(BSEL)、任意選択の倍率設定(BSCALE)、周辺機能クロック周波数(f_{PER})によって決められます。表23-1.は各動作種別に対する、(秒当たりのビット数での)ボーレートの計算とBSEL値の計算用の式を含みます。これは周辺機能クロック周波数に対する最大ボーレートも示します。BSELは0～4095間のどの値にも設定できます。BSCALEは-7～+7間のどの値にも設定でき、ボーレート発生器の分数ボーレート倍率を提供するためにボーレートを僅かに増減します。

BSELが0の時にBSCALEも0でなければなりません。また、値$2^{ABS(BSCALE)}$はフレームが取る最小クロック周期数の少なくても半分でなければなりません。詳細については203頁の「分数ボーレート生成」をご覧ください。

表23-1. ボーレート レジスタ設定計算式

動作種別	条件	ボーレート計算式	BSEL値計算式
標準速 非同期動作 (CLK2X=0)	$BSCALE \geqq 0,\ f_{BAUD} \leqq \frac{f_{PER}}{16}$	$f_{BAUD} = \frac{f_{PER}}{2^{BSCALE} \times 16 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2^{BSCALE} \times 16 \times f_{BAUD}} - 1$
	$BSCALE < 0,\ f_{BAUD} \leqq \frac{f_{PER}}{16}$	$f_{BAUD} = \frac{f_{PER}}{16 \times ((2^{BSCALE} \times BSEL)+1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{16 \times f_{BAUD}}\right) - 1$
倍速 非同期動作 (CLK2X=1)	$BSCALE \geqq 0,\ f_{BAUD} \leqq \frac{f_{PER}}{8}$	$f_{BAUD} = \frac{f_{PER}}{2^{BSCALE} \times 8 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2^{BSCALE} \times 8 \times f_{BAUD}} - 1$
	$BSCALE < 0,\ f_{BAUD} \leqq \frac{f_{PER}}{8}$	$f_{BAUD} = \frac{f_{PER}}{8 \times ((2^{BSCALE} \times BSEL)+1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{8 \times f_{BAUD}}\right) - 1$
同期及び SPI主装置動作	$f_{BAUD} < \frac{f_{PER}}{2}$	$f_{BAUD} = \frac{f_{PER}}{2 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2 \times f_{BAUD}} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BSEL=0に関して、全てのボーレートはBSCALE設定の代わりにBSEL変更によって達成されなければなりません。

BSEL=($2^{望むBSCALE}$−1)

BSCALE	BSEL		BSCALE	BSEL
1	0	⇒	0	1
2	0	⇒	0	3
3	0	⇒	0	7
4	0	⇒	0	15
5	0	⇒	0	31
6	0	⇒	0	63
7	0	⇒	0	127

23.3.2. 外部クロック

外部クロック(XCK)は同期従装置動作で使われます。XCKクロック入力は周辺機能クロック(f_{PER})によって採取され、最大外部XCKクロック周波数(f_{XCK})は次式によって制限されます。

$$f_{XCK} < \frac{f_{PER}}{4}$$

HighとLowの区間の各々に対して、XCKクロック周期は周辺機能クロックによって2度採取されなければなりません。XCKクロックに細動がある場合、またはHigh/Low区間のデューティ サイクルが50%/50%でない場合、それに応じてXCKクロック速度が低減、または周辺機能クロックが増加されなければなりません。

23.3.3. 倍速動作 (CLK2X)

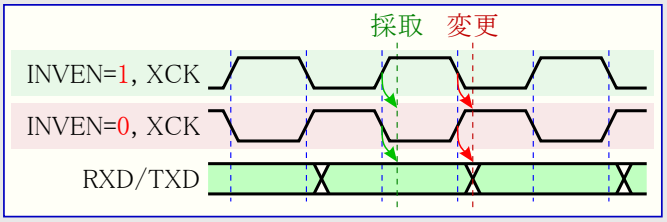
倍速動作は非同期動作下でより低い周辺機能クロック周波数でのより高いボーレートを許します。これが許可されると、表23-1.で示されるように非同期ボーレート設定を与えるためのボーレートが倍にされます。この動作では受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を用います。減らされた採取のため、より高い精度のボーレートと周辺機能クロックが必要とされます。より多くの詳細については202頁の「非同期データ受信」をご覧ください。

23.3.4. 同期クロック動作

同期動作が使われるとき、XCKピンは転送クロックが入力(従装置動作)または出力(主装置動作)のどちらかを制御します。対応するポートピンは主装置動作に対して出力、従装置動作に対して入力に設定されなければなりません。XCKピンの標準ポート動作は無効にされます。クロック端とデータ採取またはデータ変更間の依存性は同じです。(RxDでの)データ入力はデータ出力(TxD)が変更されるクロック端と逆のクロック端で採取されます。

対応するXCKポートピンに対する反転I/O許可(INVEN)設定の使用でデータ採取とデータ変更に使われるXCKクロック端を選択できます。反転I/Oが禁止(INVEN=0)なら、データはXCKクロック上昇端で変更され、XCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)なら、データはXCKクロック下降端で変更され、XCKクロック上昇端で採取されます。より多くの詳細については95頁の「**入出力ポート**」をご覧ください。

図23-3. 同期動作XCKタイミング



23.3.5. 主装置SPI動作クロック生成

主装置SPI動作形態ついては内部クロック生成だけが支援されます。これはUSART同期主装置動作と同じで、ボーレートまたはBSEL設定は同じ式を使って計算されます。198頁の**表23-1.**をご覧ください。

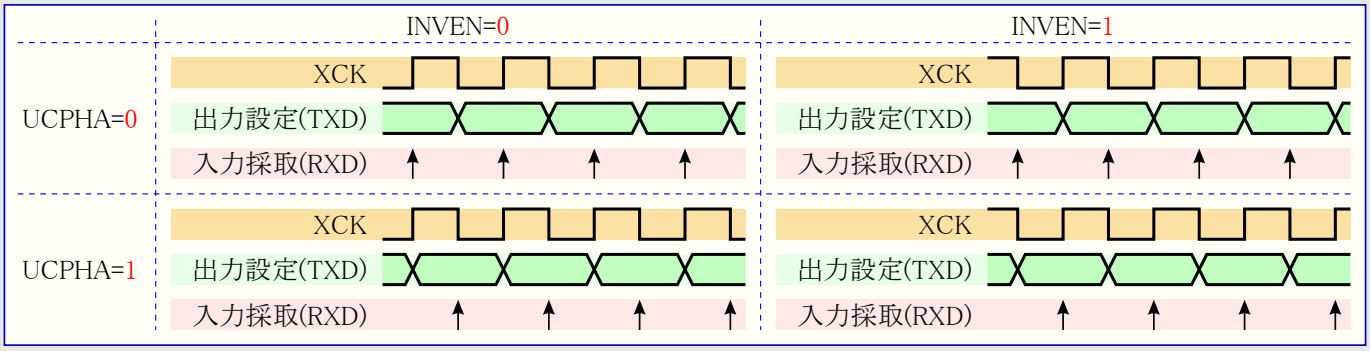
直列データに関してSPIクロック(SCK)の位相と極性で4つの組み合わせがあり、それらはクロック位相(UCPHA)制御ビットと反転I/Oピン(INVEN)設定によって決められます。データ転送タイミング構成図が**図23-4.**で示されます。データビットはXCK信号の逆端で移動出力とラッチ入力が行われ、データ信号の安定に充分な時間を保証します。UCPHAとINVENの設定は**表23-2.**で要約されます。送信中のこれらビットのどれかの設定変更は送受信部両方を不正にします。

表23-2. INVENとUCPHAの機能

SPI動作種別	INVEN	UCPHA	SCK先行端	SCK後行端
0	0	0	上昇端,入力採取	下降端,出力設定
1	0	1	上昇端,出力設定	下降端,入力採取
2	1	0	下降端,入力採取	上昇端,出力設定
3	1	1	下降端,出力設定	上昇端,入力採取

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。

図23-4. UCPHAとINVENによるデータ転送タイミング構成図



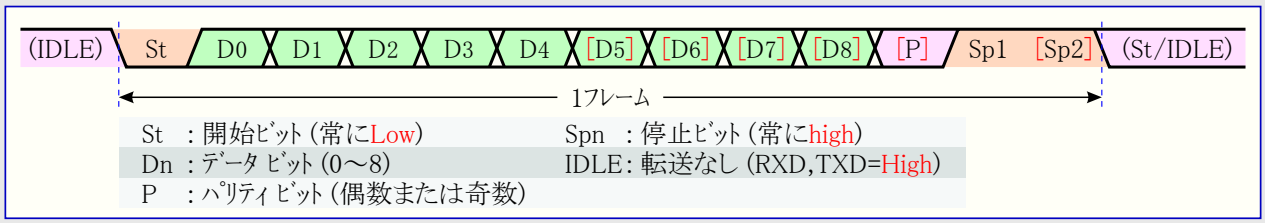
23.4. フレーム構成

データ転送はフレームに基いており、直列フレームは同期ビット(開始ビットと停止ビット)を持つ1つのデータ キャラクタと任意選択の誤り検査用パリティ ビットから成ります。これが主装置SPI動作に適用されないことに注意してください(「SPIフレーム構成」をご覧ください)。USARTは有効なフレーム構成として以下の組み合わせ全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 ビット データ
- 奇数または偶数パリティ ビット、またはなし
- 1 または 2 停止ビット

フレームは開始ビットで始まり、全てのデータ ビット(最下位データ ビット(LSB)先行、最上位データ ビット(MSB)最終)が後続します。許可なら、パリティ ビットがデータ ビットの後、最初の停止ビットの前に挿入されます。1つのフレームは新しいフレームとその開始ビットによって直ちに後続されるか、または通信線をアイドル状態(high)に戻すことができます。図23-5.は組み合わせが可能なフレーム形式を図解します。[ ]付きビットは任意選択です。

図23-5. フレーム構成



23.4.1. パリティ ビット計算

誤り検査用に奇数または偶数のパリティが選べます。偶数パリティが選択されたなら、パリティ ビットは論理1のデータ ビット数が奇数の場合に1を設定します(偶数の1の総数を作成)。奇数パリティが選択されたなら、パリティ ビットは論理1のデータ ビット数が偶数の場合に1を設定します(奇数の1の総数を作成)。

23.4.2. SPIフレーム構成

SPI動作での直列フレームは1つの8ビット データ キャラクタで定義されます。主装置SPI動作でのUSARTには2つの選択可能なフレーム構成があります。

- MSB先行の8ビット データ
- LSB先行の8ビット データ

完全な8ビットのフレームが送信された後、新しいフレームが直ぐに続くか、または通信線をアイドル状態(high)に戻すことができます。

23.5. USART初期化

USARTの初期化は以下の手順を使うべきです。

1. TxDピン値をHighに、任意選択のXCKピンをLowに設定してください。
2. TxDと任意選択のXCKピンを出力として設定してください。
3. ボーレートとフレーム構成を設定してください。
4. 動作種別を設定してください(同期動作でのXCKピン出力を許可してください)。
5. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に全体割り込みが禁止されるべきです。

ボーレートまたはフレーム構成の変更を伴う再初期化を行う前には、そのレジスタが変更される間で実行中の送信がないことを確認してください。

23.6. データ送信 – USART送信部

送信部が許可されると、TxDピンの標準ポート機能はUSARTによって無効にされ、送信部の直列出力としての機能を与えられます。ピンの方向は対応するポートの方向レジスタを使って出力として設定されなければなりません。ポート ピン制御と出力構成設定の詳細については95頁の「入出力ポート」を参照してください。

23.6.1. フレーム送信

ﾃﾞｰﾀ送信は送出すべきﾃﾞｰﾀを送信緩衝部(DATA)に格納することによって開始されます。送信緩衝部内のﾃﾞｰﾀは移動ﾚｼﾞｽﾀが空で新しいﾌﾚｰﾑ送出の準備が整っている時に移動ﾚｼﾞｽﾀへ移動されます。移動ﾚｼﾞｽﾀはそれがｱｲﾄﾞﾙ状態(送信実行中以外)の場合、または直前のﾌﾚｰﾑの最後の停止ﾋﾞｯﾄが送信された直後に格納されます。移動ﾚｼﾞｽﾀがﾃﾞｰﾀを格納されると、それは1つのﾌﾚｰﾑを完全に転送するでしょう。

移動ﾚｼﾞｽﾀ内のﾌﾚｰﾑ全体が移動出力され、送信緩衝部内に新しいﾃﾞｰﾀが存在しない時に、送信完了割り込み要求ﾌﾗｸﾞ(TXCIF)が設定(1)され、任意選択の割り込みが生成されます。

送信ﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀは、このﾚｼﾞｽﾀが空で新しいﾃﾞｰﾀに対する準備が整っていることを示すﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)の時にだけ書くことができます。

8ﾋﾞｯﾄ未満のﾌﾚｰﾑ使用時、DATAﾚｼﾞｽﾀへ書かれる(未使用)上位側ﾋﾞｯﾄは無視されます。9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合、ﾃﾞｰﾀの下位ﾊﾞｲﾄがDATAﾚｼﾞｽﾀへ書かれる前に、第9ﾋﾞｯﾄが制御ﾚｼﾞｽﾀB(CTRLB)の送信ﾋﾞｯﾄ8(TXB8)ﾋﾞｯﾄへ書かれなければなりません。

23.6.2. 送信部禁止

送信部の禁止は実行中と保留中の送信が完了される、換言すると送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信すべきﾃﾞｰﾀを含んでいない時まで有効になりません。送信部が禁止されると、もはやTxDﾋﾟﾝ(の標準I/O機能)を無効にせず、例えそれが使用者によって出力として構成設定されていたとしても、ﾋﾟﾝ方向はﾊｰﾄﾞｳｪｱによって自動的に入力として設定されます。

23.7. ﾃﾞｰﾀ受信 – USART受信部

受信部が許可されると、RxDﾋﾟﾝは受信部直列入力として機能します。ﾋﾟﾝの方向は入力として設定されなければならず、そしてこれは既定ﾋﾟﾝ設定です。

23.7.1. フレーム受信

受信部は有効な開始ﾋﾞｯﾄを検出した時にﾃﾞｰﾀ受信を開始します。開始ﾋﾞｯﾄに後続する各ﾋﾞｯﾄはﾎﾞｰﾚｰﾄまたはXCKのｸﾛｯｸで採取され、ﾌﾚｰﾑの最初の停止ﾋﾞｯﾄが受信されるまで受信移動ﾚｼﾞｽﾀ内に移動されます。受信部での第2停止ﾋﾞｯﾄは無視されます。最初の停止ﾋﾞｯﾄが受信され、完全な直列ﾌﾚｰﾑが受信移動ﾚｼﾞｽﾀに存在すると、移動ﾚｼﾞｽﾀの内容が受信緩衝部内へ移動されます。受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)され、任意選択の割り込みが生成されます。

受信緩衝部はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀ位置を読むことによって読めます。DATAﾚｼﾞｽﾀは受信完了割り込み要求ﾌﾗｸﾞが設定(1)されていなければ読むべきではありません。8ﾋﾞｯﾄ未満のﾌﾚｰﾑ使用時、未使用上位側ﾋﾞｯﾄは0として読めます。9ﾋﾞｯﾄ ﾃﾞｰﾀが使われる場合、ﾃﾞｰﾀの下位ﾊﾞｲﾄがDATAﾚｼﾞｽﾀから読まれる前に、状態(STATUS)ﾚｼﾞｽﾀの受信ﾋﾞｯﾄ8(RXB8)が読まれなければなりません。

23.7.2. 受信異常ﾌﾗｸﾞ

USART受信部は3つの異常ﾌﾗｸﾞを持っています。ﾌﾚｰﾐﾝｸﾞ異常(FERR)、緩衝部溢れ(BUFOVF)、ﾊﾟﾘﾃｨ誤り(PERR)が状態(STATUS)ﾚｼﾞｽﾀでｱｸｾｽ可能です。異常ﾌﾗｸﾞはそれらが対応するﾌﾚｰﾑと共に受信FIFO緩衝部に配置されます。この状態ﾌﾗｸﾞの緩衝処理のためにDATAﾚｼﾞｽﾀ位置読み込みがFIFO緩衝部を変更するので、状態ﾚｼﾞｽﾀは受信緩衝部(DATA)を読む前に読まれなければなりません。

23.7.3. ﾊﾟﾘﾃｨ検査器

許可時、ﾊﾟﾘﾃｨ検査器は到着するﾌﾚｰﾑのﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを計算し、その結果を対応するﾌﾚｰﾑのﾊﾟﾘﾃｨ ﾋﾞｯﾄと比較します。ﾊﾟﾘﾃｨ誤りが検出された場合、ﾊﾟﾘﾃｨ誤り(PERR)ﾌﾗｸﾞが設定(1)されます。

23.7.4. 受信部禁止

受信部の禁止は即時です。受信緩衝部が破棄され、実行中の受信ﾃﾞｰﾀは失われます。

23.7.5. 受信緩衝部破棄

通常動作中に受信緩衝部が破棄されなければならない場合、受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が解除(0)されるまでDATA位置を読んでください。

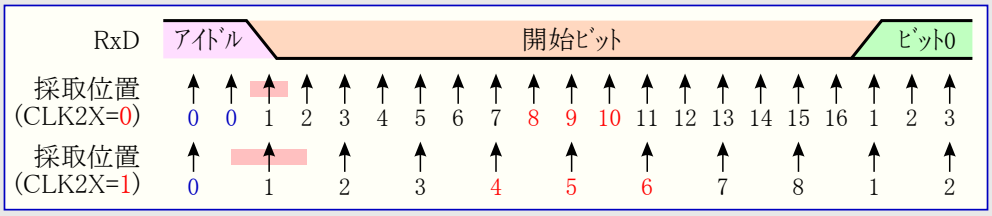
23.8. 非同期データ受信

USARTは非同期データ受信を使うためのクロック再生部とデータ再生部を含みます。クロック再生部はRxDピンに到着する非同期直列フレームを内部で生成されたボーレート クロックに同期化するのに使われます。それは各到着ビットを採取して低域通過濾波を行い、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は、内部ボーレート クロックの精度、到着フレームの速度、ビット数でのフレームの量に依存します。

23.8.1. 非同期クロック再生

クロック再生部は内部クロックを到着直列フレームに同期化します。**図23-6.**は到着フレームの開始ビットの採取処理を図解します。採取速度は標準速動作に対してボーレートの16倍、倍速動作に対して8倍です。赤帯(**訳注**:原文は水平矢印)は採取処理のための同期偏差を図示します。倍速動作(CLK2X=1)を使う時のより広い偏差時間に注意してください。0として記される採取はRxD線がアイドル、換言すると通信活動なしの時に行われる採取です。

図23-6. 開始ビット採取

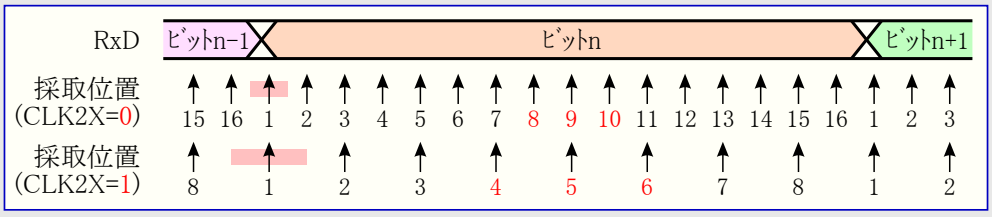


クロック再生論理回路がRxD線でHigh(アイドル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を記します。その後クロック再生論理回路は有効な開始ビットが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6を使います。2または3採取がLowレベルを持つ場合、その開始ビットは受け入れられます。クロック再生部は同期化され、データ再生が始められます。2または3採取がHighレベルを持つ場合、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLow遷移を探します。この処理は各開始ビット毎に繰り返されます。

23.8.2. 非同期データ再生

データ再生部は各ビットに対して、標準速動作で16採取、倍速動作で8採取を使います。**図23-7.**はデータ ビットとパリティ ビットの採取を示します。

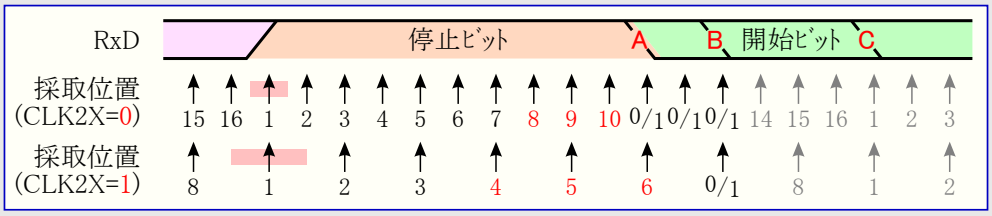
図23-7. データ ビットとパリティ ビットの採取



受信したビットの論理値を決定するために、開始ビット検出と同じ多数決技法が中央の3採取で使われます。この処理はフレームが完全に受信されるまで各ビットに対して繰り返されます。これは最初の停止ビットを含みますが、追加の停止ビットを含みません。採取した停止ビットが0値を持つ場合、フレーミング異常(FERR)フラグが設定(1)されます。

図23-8.は停止ビットの採取と次のフレームの最も早い開始ビットの始めの可能性を示します。

図23-8. 停止ビット採取と次の開始ビット採取



新しいフレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準速動作に関しては最初のLowレベル採取が停止ビット採取と次の開始ビット採取でのA点で有り得ます。倍速動作については最初のLowレベルがB点に遅らされなければなりません。C点は公称ボーレートでの停止ビット全長(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。

23.8.3. 非同期動作範囲

受信部の動作範囲は受信したﾋﾞｯﾄ ﾚｰﾄと内部的に生成したﾎﾞｰﾚｰﾄ間の不一致に依存します。外部の送信部が速すぎるまたは遅すぎるﾋﾞｯﾄ速度を用いて送出したり、内部的に生成した受信部のﾎﾞｰﾚｰﾄが外部供給元の基本周波数と一致しない場合、受信部は開始ﾋﾞｯﾄでﾌﾚｰﾑを同期できないでしょう。

次式は到着ﾃﾞｰﾀ速度と内部受信部ﾎﾞｰﾚｰﾄ間の比率計算に使えます。

$$R_{slow} = \frac{(D+1)S}{S-1+D\times S+S_F} \qquad R_{fast} = \frac{(D+2)S}{(D+1)S+S_M}$$

D	:	ﾃﾞｰﾀとﾊﾟﾘﾃｨのﾋﾞｯﾄ数 (5～10)
S	:	ﾋﾞｯﾄ当たりの採取数 (標準速動作=16、倍速動作=8)
S_F	:	多数決に使う最初の採取番号 (標準速動作=8、倍速動作=4)
S_M	:	多数決に使う中心の採取番号 (標準速動作=9、倍速動作=5)
R_{slow}	:	は受信側ﾎﾞｰﾚｰﾄに対して許容できる最低受信ﾋﾞｯﾄ速度の比率です。
R_{fast}	:	は受信側ﾎﾞｰﾚｰﾄに対して許容できる最高受信ﾋﾞｯﾄ速度の比率です。

表23-3.は許容できる最大受信部ﾎﾞｰﾚｰﾄ誤差を一覧にします。標準速動作にはより高いﾎﾞｰﾚｰﾄ変動許容力があります。

表23-3. 標準速と倍速での受信部ﾎﾞｰﾚｰﾄ推奨最大許容誤差

D	標準速動作 (CLK2X=0)				倍速動作 (CLK2X=1)			
	R_{slow}(%)	R_{fast}(%)	総合許容誤差(%)	推奨許容誤差(%)	R_{slow}(%)	R_{fast}(%)	総合許容誤差(%)	推奨許容誤差(%)
5	93.20	106.67	-6.80～+6.67	±3.0	94.12	105.66	-5.88～+5.66	±2.5
6	94.12	105.79	-5.88～+5.79	±2.5	94.92	104.92	-5.08～+4.92	±2.0
7	94.81	105.11	-5.19～+5.11	±2.0	95.52	104.35	-4.48～+4.35	±1.5
8	95.36	104.58	-4.54～+4.58	±2.0	96.00	103.90	-4.00～+3.90	±1.5
9	95.81	104.14	-4.19～+4.14	±1.5	96.39	103.53	-3.61～+3.53	±1.5
10	96.17	103.78	-3.83～+3.78	±1.5	96.70	103.23	-3.30～+3.23	±1.0

注: Dはﾃﾞｰﾀ ﾋﾞｯﾄ数とﾊﾟﾘﾃｨ ﾋﾞｯﾄの合計ﾋﾞｯﾄ数です。

(訳注) 原書の表23-3.と表23-4.は表23-3.として纏めました。

最大受信部ﾎﾞｰﾚｰﾄ誤差の推奨は送信部と受信部で等分割するとの仮定です。

23.9. 分数ﾎﾞｰﾚｰﾄ生成

分数ﾎﾞｰﾚｰﾄ生成は各ﾌﾚｰﾑに対して相対的に高いｸﾛｯｸ周期数のため、非同期動作に対して可能です。各ﾋﾞｯﾄは16回採取されますが、中央3採取だけが重要です。1つのﾌﾚｰﾑに対する総採取数も相対的に高くなります。1開始ﾋﾞｯﾄ、8ﾃﾞｰﾀ ﾋﾞｯﾄ、ﾊﾟﾘﾃｨなし、1停止ﾋﾞｯﾄのﾌﾚｰﾑ構成が与えられ、標準速動作が使われると仮定すると、ﾌﾚｰﾑに対する総採取数は(1+8+1)×16=160です。先に述べられたように、USARTは各採取に関してｸﾛｯｸ周期での変化を許容できます。重要な要素は開始ﾋﾞｯﾄの上昇端(換言するとｸﾛｯｸ同期化)から最後のﾋﾞｯﾄ(換言すると最初の停止ﾋﾞｯﾄ)の値が再生されるまでの時間です。

標準的なﾎﾞｰﾚｰﾄ発生器は高いﾎﾞｰﾚｰﾄ設定間に大きな周波数段差を持つ望まれない特性を持っています。最悪の場合はBSEL値$000と$001間で得られます。160ｸﾛｯｸ周期の10ﾋﾞｯﾄ ﾌﾚｰﾑでの$000のBSEL値から320ｸﾛｯｸ周期でのBSEL値$001への状態は、周波数での50%変化を生じます。理想的な段階量は最速ﾎﾞｰﾚｰﾄ間までも小さくあるべきです。これは分数ﾎﾞｰﾚｰﾄ発生器の優位性が登場する場面です。

原則的に分数ﾎﾞｰﾚｰﾄ発生器は一様でない計数とその後のﾌﾚｰﾑ全体に渡って誤差を均一に分配することによって動きます。通常のﾎﾞｰﾚｰﾄ発生器に対する代表的な計数の流れは以下です。

2, 1, 0, 2, 1, 0, 2, 1, 0, 2, ･･･

これは一様な時間周期を持ちます。ﾎﾞｰﾚｰﾄ ｸﾛｯｸは計数器が0に達する時毎に刻まれ、RxDで受信した信号の採取は第16ﾎﾞｰﾚｰﾄｸﾛｯｸ刻み毎に行われます。

分数ﾎﾞｰﾚｰﾄ発生器に関しては計数の流れが一様でない周期を持てます。

2, 1, 0, 3, 2, 1, 0, 2, 1, 0, 3, 2, ･･･

この例では追加周期が毎回の第2ﾎﾞｰﾚｰﾄ ｸﾛｯｸに付加されています。これはﾎﾞｰﾚｰﾄ ｸﾛｯｸの刻みに細動を与えますが、平均周期は0.5ｸﾛｯｸ周期の分数によって増やされます。

図23-9.は単にBSELを変更することによって可能な間でﾎﾞｰﾚｰﾄを達成するのにBSELとBSCALEがどう使われ得るかの例を示します。

分数ﾎﾞｰﾚｰﾄ発生器の衝撃はﾎﾞｰﾚｰﾄ設定間の段階量が低減されることです。-1の倍率係数が与えられると、その後の最悪段階は以前の160から320に比べて10ﾋﾞｯﾄﾌﾚｰﾑ当たり160から240採取になります。より大きな負の倍率係数はより細かい粒度(分解能)までも与えます。倍率係数をどれだけ高くできるかには制限があります。値2^{BSCALE}はﾌﾚｰﾑにかかるｸﾛｯｸ周期の少なくても半分でなければなりません。例えば10ﾋﾞｯﾄﾌﾚｰﾑに対する最小ｸﾛｯｸ周期数は160です。これは利用可能な最高倍率係数が$-6(2^{|-6|}=64<(160/2)=80)$であることを意味します。

より高いBSEL設定については倍率係数を増やすことができます。

表23-5.は非同期動作に対して最も一般的に使われるﾎﾞｰﾚｰﾄを生成するのに内部発振器を使う時のBSELとBSCALEの設定と更に一層ﾎﾞｰﾚｰﾄ誤差を減らすためにBSCALEがどう使われるかを示します。

図23-9. 分数ﾎﾞｰﾚｰﾄ例

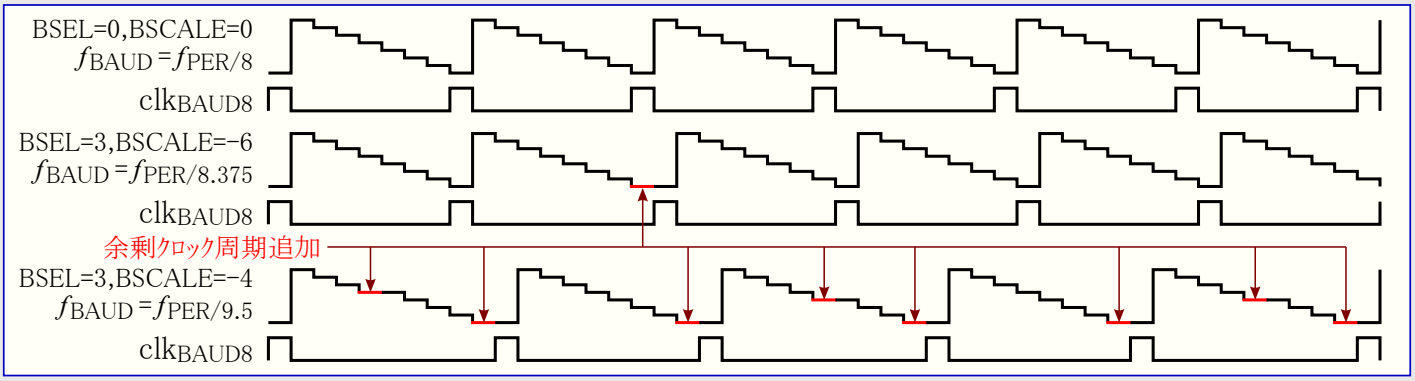


表23-5. USARTﾎﾞｰﾚｰﾄ

ﾎﾞｰﾚｰﾄ (bps)	fosc = 32MHz						ﾎﾞｰﾚｰﾄ (bps)	fosc = 32MHz					
	CLK2X=0			CLK2X=1				CLK2X=0			CLK2X=1		
	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)		BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)
2400	12	6	0.2	12	7	0.2	460.8k	27	-3	-0.8	31	-2	-0.8
4800	12	5	0.2	12	6	0.2		107	-5	-0.1	123	-4	-0.1
9600	12	4	0.2	12	5	0.2	921.6k	19	-4	-0.8	27	-3	-0.8
14400	34	2	0.8	34	3	0.2		75	-6	-0.1	107	-5	-0.1
	138	0	-0.1	138	1	-0.1	1.382M	7	-4	0.6	15	-3	0.6
19200	12	3	0.2	12	4	0.2		57	-7	0.1	121	-6	0.1
28800	34	1	-0.8	34	2	-0.8	1.843M	3	-5	-0.8	19	-4	-0.8
	137	-1	-0.1	138	0	-0.1		11	-7	-0.1	75	-6	-0.1
38400	12	2	0.2	12	3	0.2	2.0M	0	0	0.0	1	0	0.0
57600	34	0	-0.8	34	1	-0.8	2.304M	-	-	-	3	-2	-0.8
	135	-2	-0.1	137	-1	-0.1		-	-	-	47	-6	-0.1
76800	12	1	0.2	12	2	0.2	2.5M	-	-	-	19	-4	0.4
115.2k	33	-1	-0.8	34	0	-0.8		-	-	-	77	-7	-0.1
	131	-3	-0.1	135	-2	-0.1	3.0M	-	-	-	11	-5	-0.8
230.4k	31	-2	-0.8	33	-1	-0.8		-	-	-	43	-7	-0.2
							4.0M	-	-	-	0	0	0.0
							最高速	2.0Mbps			4.0Mbps		

23.10. 主装置SPI動作でのUSART

主装置SPI動作でUSARTを使うには送信部の許可が必要です。受信部は直列入力として扱うために任意選択で許可にできます。XCKﾋﾟﾝは転送ｸﾛｯｸとして使われます。

USARTでのようにﾃﾞｰﾀ転送はﾃﾞｰﾀ(DATA)ﾚｼﾞｽﾀへの書き込みによって開始されます。送信部が転送ｸﾛｯｸを制御するので、これは送受信ﾃﾞｰﾀの両方に対する場合です。DATAに書かれたﾃﾞｰﾀは移動ﾚｼﾞｽﾀが新しいﾌﾚｰﾑを送る準備が整った時に送信緩衝部から移動ﾚｼﾞｽﾀへ移動されます。

主装置SPI動作で使われる送受信割り込み要求ﾌﾗｸﾞと対応するUSART割り込みは通常のUSART動作での使用と機能的に同じです。受信部異常状態ﾌﾗｸﾞは未使用で常に0として読めます。

主装置SPI動作でのUSART送信部または受信部の禁止は通常のUSART動作でのそれらの禁止と同じです。

23.11. USART SPIとSPIの比較

主装置SPI動作でのUSARTは以下に於いて独立したSPI単位部と完全な互換性があります。

- ﾀｲﾐﾝｸﾞ図が同じ
- ｸﾛｯｸ位相選択(UCPHA)ﾋﾞｯﾄはSPIの動作種別0(MODE0)ﾋﾞｯﾄのそれと機能的に同じです。
- ﾃﾞｰﾀ順選択(UDORD)ﾋﾞｯﾄはSPIのﾃﾞｰﾀ順選択(DORD)ﾋﾞｯﾄのそれと機能的に同じです。

USARTが主装置SPI動作に設定されると、構成設定と使い方は独立したSPI単位部のそれらといくつかの場合で異なります。加えて、以下の違いが存在します。

- 主装置SPI動作でのUSART送信部は緩衝処理を含みます。SPI単位部は送信緩衝部を持ちません。
- 主装置SPI動作でのUSART受信部は追加の緩衝段を含みます。
- 主装置SPI動作でのUSARTはSPIの上書き発生(WRCOL)ﾋﾞｯﾄ((書き込み衝突)機能)を含みません。
- 主装置SPI動作でのUSARTはSPIの倍速許可(CLK2X)ﾋﾞｯﾄ(倍速動作機能)を含みませんが、これはそれに応じてﾎﾞｰﾚｰﾄ発生器を構成設定することによって達成することができます。
- 割り込みﾀｲﾐﾝｸﾞが互換ではありません。
- 主装置SPI動作でのUSARTが主装置動作だけのため、ﾋﾟﾝ制御が異なります。

主装置SPI動作でのUSARTとSPIでのﾋﾟﾝは表23-6.で示されます。

表23-6. 主装置SPI動作でのUSARTとSPIのﾋﾟﾝ比較

USART	SPI	注釈
TXD	MOSI	主装置出力のみ
RXD	MISO	主装置入力のみ
XCK	SCK	(機能的に同一)
該当なし	$\overline{SS}$	主装置SPI動作でのUSARTで未支援

23.12. 複数ﾌﾟﾛｾｯｻ通信動作

複数ﾌﾟﾛｾｯｻ通信動作(MPCM)は同一直列ﾊﾞｽ経由で複数ﾏｲｸﾛ ｺﾝﾄﾛｰﾗの通信を持つｼｽﾃﾑで、受信部によって扱われなければならない到着ﾌﾚｰﾑ数を効果的に減らします。この動作ではﾌﾚｰﾑがｱﾄﾞﾚｽまたはﾃﾞｰﾀのどちらかを示すためにﾌﾚｰﾑ内の専用ﾋﾞｯﾄが使われます。

受信部が5～8ﾃﾞｰﾀ ﾋﾞｯﾄを含むﾌﾚｰﾑ受信に初期設定されるなら、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ形式を示すのに使われます。受信部が9ﾃﾞｰﾀ ﾋﾞｯﾄのﾌﾚｰﾑに初期設定されるなら、第9ﾋﾞｯﾄが使われます。ﾌﾚｰﾑ形式(最初の停止または第9)ﾋﾞｯﾄが1のとき、そのﾌﾚｰﾑはｱﾄﾞﾚｽを含みます。ﾌﾚｰﾑ形式ﾋﾞｯﾄが0のとき、そのﾌﾚｰﾑはﾃﾞｰﾀﾌﾚｰﾑです。5～8ﾋﾞｯﾄ ﾃﾞｰﾀﾌﾚｰﾑが使われる場合、最初の停止ﾋﾞｯﾄがﾌﾚｰﾑ形式を示すのに使われるので、送信部は2停止ﾋﾞｯﾄ使用に設定されなければなりません。

特定の従装置MCUがｱﾄﾞﾚｽ指定されたなら、そのMCUは後続するﾃﾞｰﾀ ﾌﾚｰﾑを通常のように受信し、一方他の従装置MCUは別のｱﾄﾞﾚｽ ﾌﾚｰﾑが受信されるまでﾌﾚｰﾑを無視します。

23.12.1. 複数ﾌﾟﾛｾｯｻ通信動作の使い方

複数ﾌﾟﾛｾｯｻ通信動作でﾃﾞｰﾀを交換するために次の手順が使われるべきです。

1. 全ての従装置MCUは複数ﾌﾟﾛｾｯｻ通信動作です(MPCM=1)。
2. 主装置MCUはｱﾄﾞﾚｽ ﾌﾚｰﾑを送り、全ての従装置がこのﾌﾚｰﾑを受信して読みます。
3. 各従装置MCUは選択されたかを判定します。
4. ｱﾄﾞﾚｽ指定されたMCUはMPCMを禁止して全てのﾃﾞｰﾀ ﾌﾚｰﾑを受信します。他の従装置CPUはﾃﾞｰﾀ ﾌﾚｰﾑを無視します。
5. ｱﾄﾞﾚｽ指定されたMCUが最終ﾃﾞｰﾀ ﾌﾚｰﾑを受信すると、MPCMを再び許可して主装置からの新しいｱﾄﾞﾚｽ ﾌﾚｰﾑを待たなければなりません。

その後、手順は2.からを繰り返します。

5～8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ構成のどれかの使用は、受信側がnとn+1ﾋﾞｯﾄ ﾃﾞｰﾀ ﾌﾚｰﾑ構成の使用を切り替えなければならないため非実用的です。これは送信側と受信側が同じﾃﾞｰﾀ長設定を使わなければならないので、全二重動作を困難にします。

23.13. 赤外線通信(IRCOM)動作

IRCOM動作はUSARTと共にIRCOM単位部の使用を許可されることで行えます。これは115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA1.4適合の変調と復調を可能にします。IRCOM動作が許可されると、USARTに対して倍速動作は使えません。

複数のUSARTを持つﾃﾞﾊﾞｲｽについてはIRCOMが同時に1つのUSARTに対してだけ許可することができます。詳細については211頁の「IRCOM - 赤外線通信単位部」を参照してください。

23.14. DMA支援

DMA支援はUART、USRT、SPI主装置動作周辺機能で利用可能です。USARTの各種DMA転送起動の詳細については39頁の「転送起動元」を参照してください。

23.15. ﾚｼﾞｽﾀ説明

23.15.1. DATA – ﾃﾞｰﾀ ﾚｼﾞｽﾀ (Data register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	RXB7~0								DATA
	TXB7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

USART送信ﾃﾞｰﾀ緩衝(TXB)ﾚｼﾞｽﾀとUSART受信ﾃﾞｰﾀ緩衝(RXB)ﾚｼﾞｽﾀは同じI/Oｱﾄﾞﾚｽを共用し、USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ(DATA)として参照されます。TXBﾚｼﾞｽﾀはDATAﾚｼﾞｽﾀ位置に書かれるﾃﾞｰﾀの転送先です。DATAﾚｼﾞｽﾀ位置読み込みはRXBﾚｼﾞｽﾀの内容を返します。

5～7ﾋﾞｯﾄ ﾃﾞｰﾀに関しては上位未使用ﾋﾞｯﾄが送信部によって無視され、受信部によって0に設定されます。

送信緩衝部は状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空きﾌﾗｸﾞ(DREIF)が設定(1)されている時にだけ書くことができます。DREIFﾌﾗｸﾞが設定(1)されていない時にDATAﾚｼﾞｽﾀへ書かれたﾃﾞｰﾀはUSART送信部によって無視されます。送信部が許可されてﾃﾞｰﾀが送信緩衝部に書かれると、送信部は移動ﾚｼﾞｽﾀが空の時にﾃﾞｰﾀを送信移動ﾚｼﾞｽﾀへ格納します。その後ﾃﾞｰﾀはTxDﾋﾟﾝで送信されます。

受信緩衝部は2段のFIFOから成ります。受信緩衝部の正しい状態を得るため、常にDATAに先行してSTATUSを読んでください。

23.15.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	–	RXB8	STATUS
Read/Write	R	R/W	R	R	R	R	R	R/W	
初期値	0	0	1	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – RXCIF : 受信完了割り込み要求ﾌﾗｸﾞ** (Receive Complete Interrupt Flag)

このﾌﾗｸﾞは受信緩衝部内に未読ﾃﾞｰﾀがある時に設定(1)され、受信緩衝部が空の(換言すると何れの未読ﾃﾞｰﾀも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄され、その結果としてRXCIFが0になります。

● **ﾋﾞｯﾄ6 – TXCIF : 送信完了割り込み要求ﾌﾗｸﾞ** (Transmit Complete Interrupt Flag)

このﾌﾗｸﾞは送信移動ﾚｼﾞｽﾀのﾌﾚｰﾑ全体が移動出力され、送信緩衝部(DATA)内に新しいﾃﾞｰﾀがない時に設定(1)されます。TXCI Fは送信完了割り込みﾍﾞｸﾀが実行される時、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

● **ﾋﾞｯﾄ5 – DREIF : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ** (Data Register Empty Flag)

DREIFは送信緩衝部(DATA)が新しいﾃﾞｰﾀを受け取る準備が整っているかを示します。このﾌﾗｸﾞは送信緩衝部が空の時に1で、移動ﾚｼﾞｽﾀ内へ未だ移動されていない送信されるべきﾃﾞｰﾀを送信緩衝部が含む時に0です。DREIFは送信部準備完了を示すためにﾘｾｯﾄ後に設定(1)されます。

DREIFはDATA書き込みによって解除(0)されます。割り込み駆動ﾃﾞｰﾀ送信が使われるとき、ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み処理ﾙｰﾁﾝはDREIFを解除(0)するためにDATAに新しいﾃﾞｰﾀを書くか、またはﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みを禁止しなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。

● **ﾋﾞｯﾄ4 – FERR : ﾌﾚｰﾐﾝｸﾞ異常ﾌﾗｸﾞ** (Frame Error)

FERRﾌﾗｸﾞは受信緩衝部に格納された読み込み可能な次のﾌﾚｰﾑの最初の停止ﾋﾞｯﾄの状態を示します。このﾋﾞｯﾄは受信したﾃﾞｰﾀがﾌﾚｰﾐﾝｸﾞ異常を持つ、換言すると、最初の停止ﾋﾞｯﾄが0だった場合に設定(1)され、受信したﾃﾞｰﾀの停止ﾋﾞｯﾄが1の時に解除(0)されます。このﾋﾞｯﾄは受信緩衝部が読まれるまで有効です。それが最初の停止ﾋﾞｯﾄだけを使うので、FERRは使う停止ﾋﾞｯﾄ設定によって影響を及ぼされません。STATUSﾚｼﾞｽﾀを書く時、常にこのﾋﾞｯﾄ位置に0を書いてください。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

● **ﾋﾞｯﾄ3 – BUFOVF : 緩衝部溢れﾌﾗｸﾞ** (Buffer Overflow)

このﾌﾗｸﾞは受信緩衝部満杯状態のためのﾃﾞｰﾀ損失を示します。このﾌﾗｸﾞは緩衝部溢れ状態が検出される場合に設定(1)されます。緩衝部溢れは受信緩衝部が満杯(2ﾃﾞｰﾀ)で、新しいﾃﾞｰﾀが受信移動ﾚｼﾞｽﾀで待機中で、且つ新しい開始ﾋﾞｯﾄが検出される時に起きます。このﾌﾗｸﾞは受信緩衝部(DATA)が読まれるまで有効です。STATUSﾚｼﾞｽﾀを書く時は常にこのﾋﾞｯﾄ位置に0を書いてください。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

● **ﾋﾞｯﾄ2 – PERR : ﾊﾟﾘﾃｨ誤りﾌﾗｸﾞ** (Parity Error)

ﾊﾟﾘﾃｨ検査が許可され、受信緩衝部の次のﾃﾞｰﾀがﾊﾟﾘﾃｨ誤りを持つ場合に、このﾌﾗｸﾞが設定(1)されます。ﾊﾟﾘﾃｨ検査が許可されていなければ、このﾌﾗｸﾞは常に0として読めます。このﾌﾗｸﾞは受信緩衝部(DATA)が読まれるまで有効です。STATUSﾚｼﾞｽﾀを書く時、常にこのﾋﾞｯﾄ位置に0を書いてください。ﾊﾟﾘﾃｨ計算の詳細については200頁の「**ﾊﾟﾘﾃｨ ﾋﾞｯﾄ計算**」を参照してください。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

● **ﾋﾞｯﾄ1 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – RXB8 : 受信ﾋﾞｯﾄ8** (Receive Bit 8)

RXB8は第9ﾃﾞｰﾀ ﾋﾞｯﾄを持つ直列ﾌﾚｰﾑでの動作時に受信したﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄです。使用時、このﾋﾞｯﾄはDATAﾚｼﾞｽﾀから下位ﾋﾞｯﾄを読む前に読まれなければなりません。

このﾌﾗｸﾞは主装置SPI動作形態で使われません。

23.15.3. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		CTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5,4 – RXCINTLVL1,0 : 受信完了割り込みﾚﾍﾞﾙ** (Receive Complete Interrupt Level)

これらのﾋﾞｯﾄは90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀの受信完了割り込み要求ﾌﾗｸﾞ(RXCIF)が設定(1)される時に起動されます。

● **ﾋﾞｯﾄ3,2 – TXCINTLVL1,0 : 送信完了割り込みﾚﾍﾞﾙ** (Transmit Complete Interrupt Level)

これらのﾋﾞｯﾄは90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀの送信完了割り込み要求ﾌﾗｸﾞ(TXCIF)が設定(1)される時に起動されます。

● **ﾋﾞｯﾄ1,0 – DREINTLVL1,0 : ﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込みﾚﾍﾞﾙ** (USART Data Register Empty Interrupt Level)

これらのﾋﾞｯﾄは90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは状態(STATUS)ﾚｼﾞｽﾀのﾃﾞｰﾀ ﾚｼﾞｽﾀ空割り込み要求ﾌﾗｸﾞ(DREIF)が設定(1)される時に起動されます。

23.15.4. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	RXEN	TXEN	CLK2X	MPCM	TXB8	CTRLB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – RXEN : 受信許可** (Receiver Enable)

このﾋﾞｯﾄの設定(1)がUSART受信部を許可します。受信部は許可された時にRxDﾋﾟﾝに対する標準ﾎﾟｰﾄ動作を無効にします。受信部の禁止(RXENの0書き込み)は受信緩衝部を破棄してﾌﾚｰﾐﾝｸﾞ異常(FERR)、緩衝部溢れ(BUFOVF)、ﾊﾟﾘﾃｨ誤り(PERR)のﾌﾗｸﾞを無効にします。

● **ﾋﾞｯﾄ3 – TXEN : 送信許可** (Transmitter Enable)

このﾋﾞｯﾄの設定(1)がUSART送信部を許可します。送信部は許可された時にTxDﾋﾟﾝに対する標準ﾎﾟｰﾄ動作を無効にします。送信部の禁止(TXENの0書き込み)は実行中と保留中の送信が完了される、換言すると送信移動ﾚｼﾞｽﾀと送信緩衝ﾚｼﾞｽﾀが送信すべきﾃﾞｰﾀを含まない時まで有効になりません。禁止時、送信部はもはやTxDﾋﾟﾝを無効にしません。

● **ﾋﾞｯﾄ2 – CLK2X : 倍速動作** (Double Transmission Speed)

このﾋﾞｯﾄの設定(1)はﾎﾞｰﾚｰﾄ分周器の分周数を16から8に減らし、非同期通信動作に対して転送速度を効果的に倍にします。同期動作に対しては、このﾋﾞｯﾄが無効で、常に0として読めます。このﾋﾞｯﾄはUSART通信動作種別がIRCOMに構成設定されている時に0でなければなりません。

このﾋﾞｯﾄは主装置SPI動作形態で使われません。

● **ﾋﾞｯﾄ1 – MPCM : 複数ﾌﾟﾛｾｯｻ通信動作** (Multi-processor Communication Mode)

このﾋﾞｯﾄは複数ﾌﾟﾛｾｯｻ通信動作を許可します。MPCMﾋﾞｯﾄが1を書かれると、USART受信部はｱﾄﾞﾚｽ情報を含まない到着ﾌﾚｰﾑ全てを無視します。送信部はMPCM設定によって影響を及ぼされません。より多くの詳細情報については205頁の「**複数ﾌﾟﾛｾｯｻ通信動作**」をご覧ください。

このﾋﾞｯﾄは主装置SPI動作形態で使われません。

● ﾋﾞｯﾄ0 – TXB8 : 送信ﾋﾞｯﾄ8 (Transmit Bit 8)

TXB8は第9ﾃﾞｰﾀ ﾋﾞｯﾄを持つ直列ﾌﾚｰﾑで動作する時に送信されるべきﾃﾞｰﾀの第9ﾃﾞｰﾀ ﾋﾞｯﾄです。使用時、このﾋﾞｯﾄはDATAﾚｼﾞｽﾀへ下位ﾋﾞｯﾄが書かれる前に書かれなければなりません。

このﾋﾞｯﾄは主装置SPI動作形態で使われません。

23.15.5. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			CTRLC
	CMODE1,0		–	–	–	UDORD	UCPHA	–	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0 1	0 1	0 0	0 0	0 0	0 1	1 1	1 0	

注: 下段は主装置SPI動作での機能と初期値(訳注)です。

● ﾋﾞｯﾄ7,6 – CMODE1,0 : 通信動作種別 (Communication Mode)

これらのﾋﾞｯﾄは表23-7.で示されるようにUSARTの動作種別を選びます。

表23-7. CMODEﾋﾞｯﾄ設定

CMODE1,0	群構成設定	動作種別
0 0	ASYNCHRONOUS	非同期USART
0 1	SYNCHRONOUS	同期USART
1 0	IRCOM	赤外線通信(IRCOM) (注1)
1 1	MSPI	主装置SPI (注2)

注1: IRCOM動作使用の完全な記述については211頁の「IRCOM – 赤外線通信単位部」をご覧ください。

注2: 主装置SPI動作の完全な記述については204頁の「主装置SPI動作でのUSART」をご覧ください。

● ﾋﾞｯﾄ5,4 – PMODE1,0 : ﾊﾟﾘﾃｨ動作種別 (Parity Mode)

これらのﾋﾞｯﾄは表23-8.に従ってﾊﾟﾘﾃｨ生成の形式の許可と設定を行います。許可時、送信部は各ﾌﾚｰﾑ内の送信すべきﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨを自動的に生成して送出します。受信部は到着ﾃﾞｰﾀに対してﾊﾟﾘﾃｨ値を生成し、それをPMODE設定と比較して、不一致が検出された場合に状態(STATUS)ﾚｼﾞｽﾀのﾊﾟﾘﾃｨ誤り(PERR)ﾌﾗｸﾞが設定(1)されます。

これらのﾋﾞｯﾄは主装置SPI動作で使われません。

表23-8. PMODEﾋﾞｯﾄ設定

PMODE1,0	群構成設定	ﾊﾟﾘﾃｨ動作種別
0 0	DISABLED	禁止
0 1	–	(予約)
1 0	EVEN	偶数ﾊﾟﾘﾃｨ許可
1 1	ODD	奇数ﾊﾟﾘﾃｨ許可

● ﾋﾞｯﾄ3 – SBMODE : 停止ﾋﾞｯﾄ種別 (Stop Bit Mode)

このﾋﾞｯﾄは表23-9.に従って送信部で挿入される停止ﾋﾞｯﾄ数を選びます。受信部はこの設定を無視します。

このﾋﾞｯﾄは主装置SPI動作形態で使われません。

表23-9. SBMODEﾋﾞｯﾄ設定

SBMODE	停止ﾋﾞｯﾄ
0	1
1	2

● ﾋﾞｯﾄ2~0 – CHSIZE2~0 : ﾃﾞｰﾀ量 (Character Size)

CHSIZE2～0ﾋﾞｯﾄは表23-10.に従ってﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄ数を設定します。送受信部が同じ設定を使います。

表23-10. CHSIZEﾋﾞｯﾄ設定

CHSIZE2~0	群構成設定	ﾃﾞｰﾀ長
0 0 0	5BIT	5ﾋﾞｯﾄ
0 0 1	6BIT	6ﾋﾞｯﾄ
0 1 0	7BIT	7ﾋﾞｯﾄ
0 1 1	8BIT	8ﾋﾞｯﾄ
1 0 0	–	(予約)
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	9BIT	9ﾋﾞｯﾄ

訳注:原書での初期値下段はMSPI動作時の初期値と思われますが、であればCMODE1,0は00ではなく11である筈です(本書では修正)。また初期値はﾘｾｯﾄ時の値なので、この下段の値は本来不要な筈ですが、敢てこれが記載されているのはMSPI動作切り替え時にこの値で初期化されるのかもしれませんが、多分、単純な削除忘れでしょう。

● ﾋﾞｯﾄ2 – UDORD : ﾃﾞｰﾀ順 (Data Order)

このﾋﾞｯﾄはﾋﾟｯﾄは主装置SPI動作専用でこのﾋﾟｯﾄはﾌﾚｰﾑ形式を設定します。1書き込み時、ﾃﾞｰﾀ語のLSBが最初に送信されます。0書き込み時、ﾃﾞｰﾀ語のMSBが最初に送信されます。送受信部が同じ設定を使います。UDORDの設定変更は送受信部両方に対して実行中の通信を不正にします。

● ﾋﾞｯﾄ1 – UCPHA : ｸﾛｯｸ位相 (Clock Phase)

このﾋﾞｯﾄはﾋﾟｯﾄは主装置SPI動作専用でこのﾋﾞｯﾄはﾃﾞｰﾀがXCKの先行(先頭)端または後行(最終)端のどちらで採取されるのかを決めます。詳細については199頁の「主装置SPI動作ｸﾛｯｸ生成」を参照してください。

23.15.6. BAUDCTRLA – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀA (Baud Rate register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	BSEL7~0								BAUDCTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – BSEL7~0 : ﾎﾞｰﾚｰﾄ (Baud Rate bits)

これらはUSARTﾎﾞｰﾚｰﾄ設定に使われる12ﾋﾞｯﾄのBSEL値の下位8ﾋﾞｯﾄです。BAUDCTRLBが上位4ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更された場合、送受信部による実行中の転送が不正にされます。BSEL書き込みがﾎﾞｰﾚｰﾄ前置分周器更新を直ちに起動します。198頁の表23-1.の式をご覧ください。

23.15.7. BAUDCTRLB – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀB (Baud Rate register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	BSCALE3~0				BSEL11~8				BAUDCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – BSCALE3~0 : ﾎﾞｰﾚｰﾄ倍率 (Baud Rate Scale factor)

これらのﾋﾞｯﾄはﾎﾞｰﾚｰﾄ発生器倍率を選択します。倍率は-7(1001)～+7(0111)の2の補数で与えられます。-8(1000)設定は予約されています。198頁の表23-1.の式をご覧ください。

● ﾋﾞｯﾄ3~0 – BSEL11~8 : ﾎﾞｰﾚｰﾄ (Baud Rate bits)

これらはUSARTﾎﾞｰﾚｰﾄ設定に使われる12ﾋﾞｯﾄのBSEL値の上位4ﾋﾞｯﾄです。BAUDCTRLAがUSARTﾎﾞｰﾚｰﾄの下位8ﾋﾞｯﾄを含みます。ﾎﾞｰﾚｰﾄが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがﾎﾞｰﾚｰﾄ前置分周器更新を直ちに起動します。

23.16. ﾚｼﾞｽﾀ要約

23.16.1. ﾚｼﾞｽﾀ要約 – USART

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				209
+$06	BAUDCTRLA	BSEL7~0								209
+$05	CTRLC	CMODE1,0		PMODE1,0		SBMODE	CHSIZE2~0			208
+$04	CTRLB	–	–	–	RXEN	TXEN	CLK2X	MPCM	TXB8	207
+$03	CTRLA	–	–	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		207
+$02	予約	–	–	–	–	–	–	–	–	
+$01	STATUS	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	–	RXB8	206
+$00	DATA	DATA7~0								206

23.16.2. ﾚｼﾞｽﾀ要約 – 主装置SPI動作でのUSART

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	BAUDCTRLB	BSCALE3~0				BSEL11~8				209
+$06	BAUDCTRLA	BSEL7~0								209
+$05	CTRLC	CMODE1,0		–	–	–	UDORD	UCPHA	–	208
+$04	CTRLB	–	–	–	RXEN	TXEN	–	–	–	207
+$03	CTRLA	–	–	RXCINTLVL1,0		TXCINTLVL1,0		DREINTLVL1,0		207
+$02	予約	–	–	–	–	–	–	–	–	
+$01	STATUS	RXCIF	TXCIF	DREIF	–	–	–	–	–	206
+$00	DATA	DATA7~0								206

23.17. 割り込みﾍﾞｸﾀ要約

表23-11. USART割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	RXC_vect	USART受信完了割り込みﾍﾞｸﾀ
$02	DRE_vect	USARTﾃﾞｰﾀ ﾚｼﾞｽﾀ空き割り込みﾍﾞｸﾀ
$04	TXC_vect	USART送信完了割り込みﾍﾞｸﾀ

24. IRCOM – 赤外線通信単位部

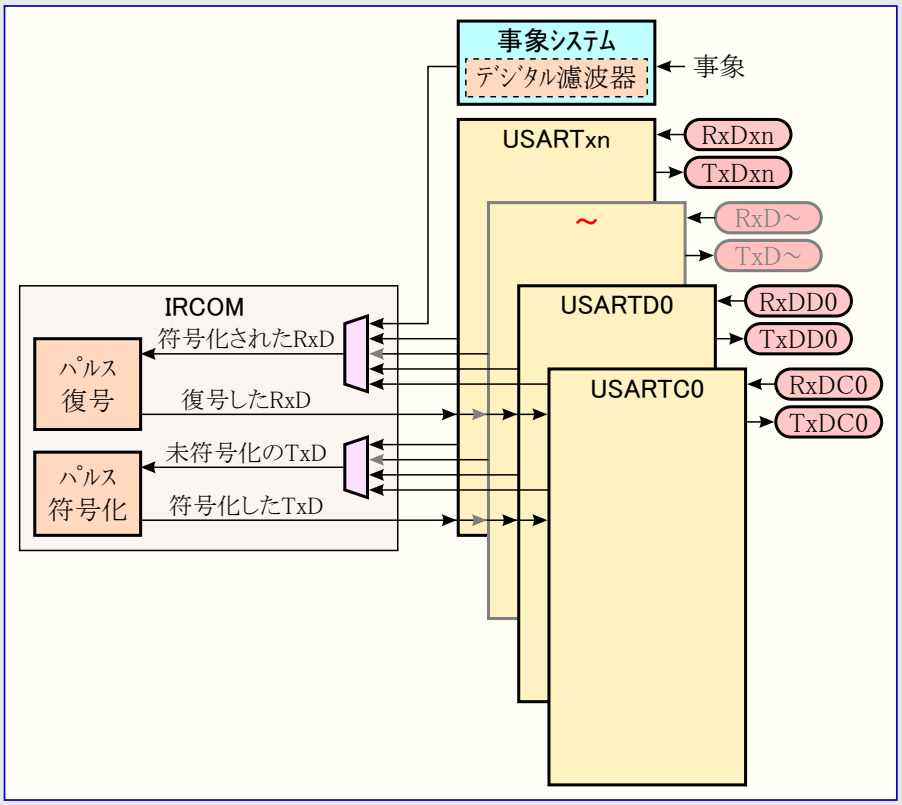
24.1. 要点

- 赤外線通信用ﾊﾟﾙｽ変調/復調
- 115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合
- 選択可能なﾊﾟﾙｽ変調方式
  - 3/16ﾎﾞｰﾚｰﾄ周期
  - 固定ﾊﾟﾙｽ周期、設定可能な8ﾋﾞｯﾄ
  - ﾊﾟﾙｽ変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

24.2. 概要

XMEGAﾃﾞﾊﾞｲｽは115.2kbpsまでのﾎﾞｰﾚｰﾄに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線ﾊﾟﾙｽの符号化と復号を可能とするためにどのUSARTにも接続することができます。

図24-1. USARTへのIRCOM接続と関連ﾎﾟｰﾄ ﾋﾟﾝ



IRCOMはUSARTが赤外線通信(IRCOM)動作に設定されると、自動的に許可されます。そしてUSARTとRxD/TxDﾋﾟﾝ間の信号は図24-1.で示すようにこの単位部を通して配線されます。TX/RXﾋﾟﾝ上のﾃﾞｰﾀは送受信される赤外ﾊﾟﾙｽの反転値です。これはIRCOM受信部に対する入力として事象ｼｽﾃﾑからの事象ﾁｬﾈﾙも選択することが可能です。これはUSARTﾋﾟﾝからのRxD入力を禁止します。

送信については3つのﾊﾟﾙｽ変調方式が利用可能です。

- 3/16ﾎﾞｰﾚｰﾄ周期
- 周辺機能ｸﾛｯｸ周波数に基いた設定可能な固定ﾊﾟﾙｽ時間
- ﾊﾟﾙｽ変調禁止

受信については論理0として復号されるべきﾊﾟﾙｽに対する定められた選択可能な最小Highﾚﾍﾞﾙ ﾊﾟﾙｽ幅が使われます。そしてより短いﾊﾟﾙｽは破棄され、そのﾋﾞｯﾄはﾊﾟﾙｽが全く受信されなかった場合に論理1に復号されます。

この単位部は同時に1つのUSARTとの組み合わせでだけ使え、従ってIRCOM動作は同時に複数のUSARTに対して設定してはなりません。これは使用者ｿﾌﾄｳｪｱで保証しなければなりません。

24.2.1. 事象ｼｽﾃﾑの濾波

事象ｼｽﾃﾑが受信部入力として使えます。これは対応するRxDﾋﾟﾝ以外のI/Oﾋﾟﾝまたは供給元からの入力をIRCOMまたはUSAR Tに許します。事象ｼｽﾃﾑ入力が許可された場合、USARTのRxDﾋﾟﾝからの入力は自動的に禁止されます。事象ｼｽﾃﾑは事象ﾁｬﾈﾙにﾃﾞｼﾞﾀﾙ濾波器(DIF)を持ち、濾波するために使うことができます。事象ｼｽﾃﾑの使い方の詳細については50頁の「事象ｼｽﾃﾑ」を参照してください。

24.3. ﾚｼﾞｽﾀ説明

24.3.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	EVSEL3~0				CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – EVSEL3~0 : 事象ﾁｬﾈﾙ選択** (Event Channel Selection)

これらのﾋﾞｯﾄは表24-1.に従ってIRCOM受信部に対する事象ﾁｬﾈﾙ元を選びます。IRCOM受信部に対して事象入力が選択された場合、USARTのRxDﾋﾟﾝからの入力は自動的に禁止されます。

表24-1. 事象ﾁｬﾈﾙ選択

EVSEL3~0	群構成設定	内容
0 0 0 0	–	なし
0 0 0 1	–	(予約)
0 0 1 0	–	(予約)
0 0 1 1	–	(予約)
0 1 0 0	–	(予約)
0 1 0 1	–	(予約)
0 1 1 0	–	(予約)
0 1 1 1	–	(予約)
1 x x x	CHn	事象ｼｽﾃﾑ ﾁｬﾈﾙn (x,n=0～7)

24.3.2. TXPLCTRL – 送信ﾊﾟﾙｽ長制御ﾚｼﾞｽﾀ (Transmitter Pulse Length Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	TXPLCTRL7~0								TXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – TXPLCTRL7~0 : 送信ﾊﾟﾙｽ長制御** (Transmitter Pulse Length Control)

この8ﾋﾞｯﾄ値は送信部に対するﾊﾟﾙｽ変調方式を設定します。このﾚｼﾞｽﾀ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このﾚｼﾞｽﾀ値を0のままにすることによって、3/16ﾎﾞｰﾚｰﾄ周期ﾊﾟﾙｽ変調が使われます。

この値の1～254設定は固定ﾊﾟﾙｽ長符号化を行います。この8ﾋﾞｯﾄ値はﾊﾟﾙｽに対する周辺機能ｸﾛｯｸ周期数を設定します。ﾊﾟﾙｽの始めはﾎﾞｰﾚｰﾄ ｸﾛｯｸの上昇端に同期されます。

この値の255($FF)設定はﾊﾟﾙｽ符号化を禁止し、送受信信号はIRCOM単位部を無変化でそのまま通過します。これは半二重USART、行き戻し検査、事象ﾁｬﾈﾙからのUSART受信入力のような、IRCOM単位部を通す他の機能を可能にします。

TXPLCTRLはUSART送信部が許可(TXEN)される前に構成設定されなければなりせん。

24.3.3. RXPLCTRL – 受信ﾊﾟﾙｽ長制御ﾚｼﾞｽﾀ (Receiver Pulse Length Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	RXPLCTRL7~0								RXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – RXPLCTRL7~0 : 受信ﾊﾟﾙｽ長制御** (Receiver Pulse Length Control)

この8ﾋﾞｯﾄ値はIRCOM送受信部に対する濾波器係数を設定します。このﾚｼﾞｽﾀ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このﾚｼﾞｽﾀ値を0のままにすることによって濾波が禁止されます。この値の1～255設定は濾波を許可し、そしてそれは受け入れるべきﾊﾟﾙｽに対して、この値+1に等しい採取を必要とします。

RXPLCTRLはUSART受信部が許可(RXEN)される前に構成設定されなければなりせん。

24.4. レジスタ要約

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$02	RXPLCTRL	RXPLCTRL7~0								212
+$01	TXPLCTRL	TXPLCTRL7~0								212
+$00	CTRL	–	–	–	–	EVSEL3~0				212

25. AESとDESの暗号ｴﾝｼﾞﾝ

25.1. 要点

- ﾃﾞｰﾀ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
  - 暗号化と解読
  - DES支援
  - 8ﾊﾞｲﾄの塊当たり16CPUｸﾛｯｸ周期の暗号化/解読
- AES暗号部
  - 暗号化と解読
  - 128ﾋﾞｯﾄ鍵支援
  - 状態ﾒﾓﾘへのXORﾃﾞｰﾀ設定支援
  - 16ﾊﾞｲﾄの塊当たり375ｸﾛｯｸ周期の暗号化/解読

25.2. 概要

新暗号化規格(AES)とﾃﾞｰﾀ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信ｲﾝﾀｰﾌｪｰｽとCPUはこれらを高速で暗号化された通信と安全なﾃﾞｰﾀ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8ﾊﾞｲﾄの鍵と8ﾊﾞｲﾄのﾃﾞｰﾀ塊がﾚｼﾞｽﾀ ﾌｧｲﾙに格納され、そしてそのﾃﾞｰﾀ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ﾋﾞｯﾄ鍵を使う128ﾋﾞｯﾄ ﾃﾞｰﾀ塊の暗号化と解読を行います。鍵とﾃﾞｰﾀは暗号化/解読が開始される前に単位部内の鍵と状態のﾒﾓﾘに格納されなければなりません。暗号化/解読が行われる前に375周辺機能ｸﾛｯｸ周期かかります。その後に暗号化/解読されたﾃﾞｰﾀが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列ﾒﾓﾘが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

25.3. DES命令

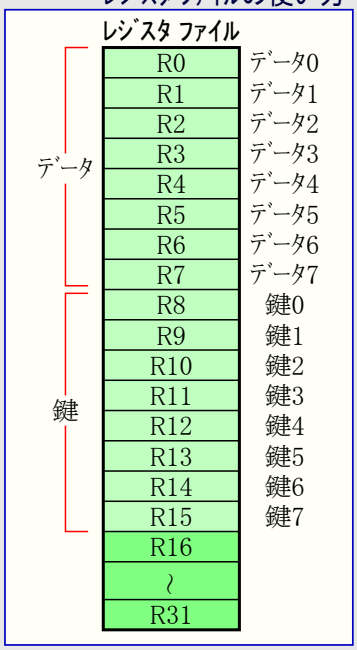
DES命令は単一周期命令です。64ﾋﾞｯﾄ(8ﾊﾞｲﾄ)のﾃﾞｰﾀ塊を暗号化または解読するために、命令が16回実行されなければなりません

ﾃﾞｰﾀと鍵の塊は暗号化/解読が行われる前にﾚｼﾞｽﾀ ﾌｧｲﾙ内に設定されなければなりません。64ﾋﾞｯﾄのﾃﾞｰﾀ塊(平文または暗号文)はR0～R7ﾚｼﾞｽﾀに配置され、ﾃﾞｰﾀのLSBはR0に、ﾃﾞｰﾀのMSBはR7に配置されます。(ﾊﾟﾘﾃｨ ﾋﾞｯﾄを含む)完全な64ﾋﾞｯﾄ鍵は鍵のLSBがR8、鍵のMSBがR15で、R8～R15ﾚｼﾞｽﾀに配置されます。

1つのDES命令実行はDES演算法での1巡を実行します。正しい暗号文または平文にするためには16回実行されなければなりません。中間結果は各DES命令後でﾚｼﾞｽﾀ ﾌｧｲﾙ(R0～R15)に格納されます。16巡後に鍵がR18～R16に配置され、暗号文/平文がR0～R7に配置されます。命令のｵﾍﾟﾗﾝﾄﾞ(K)はどの周回が実行されるのかを決め、CPUのｽﾃｰﾀｽ ﾚｼﾞｽﾀ内のﾊｰﾌｷｬﾘｰ(H)ﾌﾗｸﾞが暗号化または解読のどちらが実行されるのかを決めます。ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが設定(1)なら解読が実行され、このﾌﾗｸﾞが解除(0)なら暗号化が実行されます。

DES命令の詳細についてはAVR命令一式手引書を参照してください。

図25-1. DES暗号化/解読間のﾚｼﾞｽﾀ ﾌｧｲﾙの使い方



25.4. AES暗号単位部

AES暗号単位部は新暗号規格(FIPS-197)に従った暗号化と解読を実行します。128ﾋﾞｯﾄ鍵と128ﾋﾞｯﾄ ﾃﾞｰﾀ塊(平文または暗号文)はAES暗号単位部の鍵と状態のﾒﾓﾘ内に格納されなければなりません。これは16ﾊﾞｲﾄに続いて起こるAES鍵(KEY)ﾚｼﾞｽﾀとAES状態配列(STATE)ﾚｼﾞｽﾀへの書き込みによって行われます。

単位部が暗号化または解読のどちらを実行すべきかはｿﾌﾄｳｪｱ選択可能です。また、状態配列に格納される全ての新しいﾃﾞｰﾀが状態配列内の現在のﾃﾞｰﾀとXORされるXOR動作を許可することも可能です。

AES単位部は暗号化/解読された暗号文/平文が状態ﾒﾓﾘでの読み出しに関して利用可能になるまでに375ｸﾛｯｸ周期を使います。

次の構成設定と手順の使用が推奨されます。

1. AES割り込みを許可してください(任意)。
2. AES方向、暗号化か解読かを選択してください。
3. AES鍵ﾒﾓﾘ内に鍵ﾃﾞｰﾀ塊を設定してください。
4. AES状態ﾒﾓﾘ内にﾃﾞｰﾀ塊を設定してください。
5. 暗号化/解読操作を開始してください。

複数の塊が暗号化または解読されるべきならば、手順3.からの手順を繰り返してください。

暗号化/解読手順が完了されると、AES割り込み要求ﾌﾗｸﾞ(SRIF)が設定(1)され、任意選択の割り込みが生成されます。

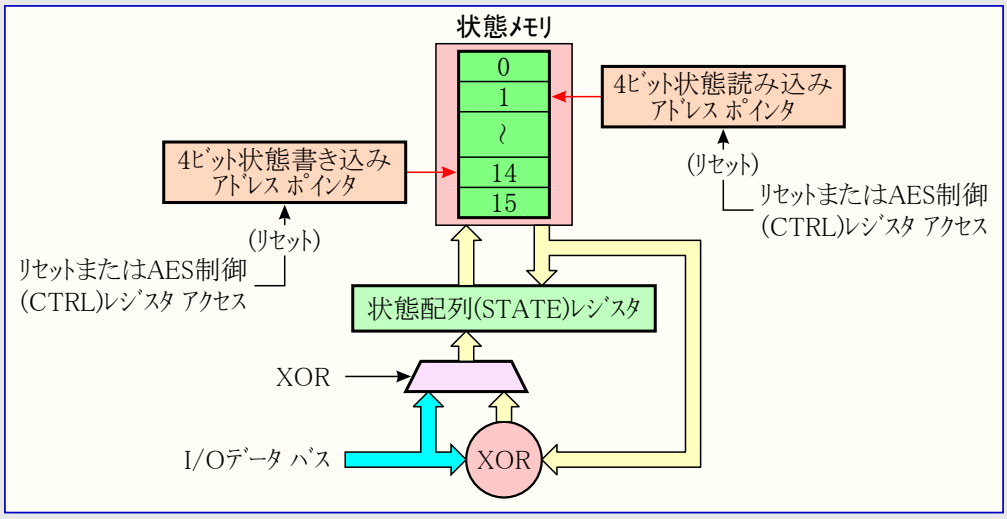
25.4.1. 鍵と状態のﾒﾓﾘ

AES鍵と状態のﾒﾓﾘは各々鍵(KEY)と状態配列(STATE)のﾚｼﾞｽﾀを通してｱｸｾｽ可能な共に16×8ﾋﾞｯﾄのﾒﾓﾘです。

各ﾒﾓﾘは読み書きに対して各々ﾒﾓﾘのｱﾄﾞﾚｽ指示に使う2つの4ﾋﾞｯﾄ ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀを持ちます。ﾎﾟｲﾝﾀの初期化は0です。STATEまたはKEYﾚｼﾞｽﾀへの読み書き操作後、適切なﾎﾟｲﾝﾀが自動的に増加(+1)されます。制御(CTRL)ﾚｼﾞｽﾀの(読み書き)ｱｸｾｽが全てのﾎﾟｲﾝﾀを0にﾘｾｯﾄします。ﾎﾟｲﾝﾀ上昇溢れ(続いて起こる読み書きが16回以上行われる)も影響を受けたﾎﾟｲﾝﾀを0に設定します。このﾎﾟｲﾝﾀはｿﾌﾄｳｪｱからｱｸｾｽできません。読みと書きのﾎﾟｲﾝﾀはXOR動作での書き込み操作の間に共に増加(+1)されます。

KEYとSTATEのﾚｼﾞｽﾀへのｱｸｾｽは暗号化/解読が実行中でない時にだけ可能です。

図25-2. ﾎﾟｲﾝﾀとﾚｼﾞｽﾀによる状態ﾒﾓﾘ



状態配列は暗号化/解読処理中のAES状態を含みます。この状態の初期値は初期ﾃﾞｰﾀ(換言すると、暗号化動作での平文、解読動作での暗号文)です。この状態の最終値は暗号化/解読されたﾃﾞｰﾀです。

AES暗号単位部では次の鍵の定義が使われます。

- 暗号化動作での鍵はAES規格で定義されたものです。
- 解読動作での鍵はAES規格で定義された拡張鍵の最後の補助鍵です。

解読動作での鍵拡張手順はAES暗号単位部での操作前にｿﾌﾄｳｪｱによって実行されなければならず、故に最後の補助鍵は鍵(KEY)ﾚｼﾞｽﾀを通じて格納されるべく用意されます。代わりに、この手順は暗号化動作で便宜ﾃﾞｰﾀ塊を処理することでAES暗号単位部を使ってﾊｰﾄﾞｳｪｱで実行もできます。暗号化の終了後の鍵ﾒﾓﾘからの読み込みが得られるべき最後の補助鍵、換言すると鍵拡張手順の結果を得ることを可能にします。表25-1.は動作種別(暗号化または解読)とAES暗号単位部の状態に依存する鍵の読み込み結果を示します。

図25-3. ﾎﾟｲﾝﾀとﾚｼﾞｽﾀによる鍵ﾒﾓﾘ

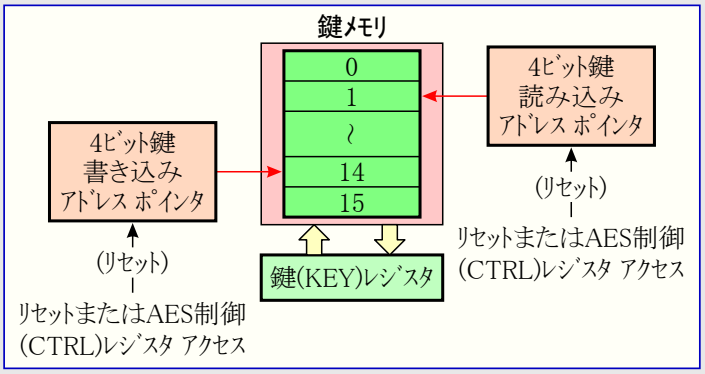


表25-1. 各種段階での鍵ﾒﾓﾘ読み込み結果

暗号化		解読	
ﾃﾞｰﾀ処理前	ﾃﾞｰﾀ処理後	ﾃﾞｰﾀ処理前	ﾃﾞｰﾀ処理後
格納されたのと同じ鍵	格納された鍵から生成した最後の補助鍵	格納されたのと同じ鍵	最後に格納された補助鍵から生成された初期鍵

25.4.2. DMA支援

AES単位部は暗号化/解読手順完了時にDMA転送を起動できます。DMA転送起動のより多くの詳細については39頁の「転送起動元」を参照してください。

25.5. ﾚｼﾞｽﾀ説明 – AES

25.5.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	START	AUTO	RESET	DECRYPT	–	XOR	–	–	CTRL
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – START : 開始/走行** (Start/Run)

このﾋﾞｯﾄの設定(1)が暗号化/解読手順を開始し、そしてこのﾋﾞｯﾄは暗号化/解読実行中の間、設定(1)に留まります。このﾋﾞｯﾄへの0書き込みは実行中のどんな暗号化/解読処理も停止/中断します。このﾋﾞｯﾄは状態(STATUS)ﾚｼﾞｽﾀの状態配列準備可割り込み要求ﾌﾗｸﾞ(SRIF)または異常(ERROR)ﾌﾗｸﾞが設定(1)された場合、自動的に解除(0)されます。

● **ﾋﾞｯﾄ6 – AUTO : 自動開始許可** (Auto Start Trigger)

このﾋﾞｯﾄの設定(1)が自動開始動作を許可します。自動開始動作ではAES開始/走行(START)ﾋﾞｯﾄが自動的に起動され、以下の条件の全てがが合致した時に暗号化/解読が始まります。

- 状態ﾒﾓﾘ格納前のAUTOﾋﾞｯﾄの設定(1)
- 全ﾒﾓﾘ ﾎﾟｲﾝﾀ(状態配列読み/書きと鍵読み/書き)が0
- 状態ﾒﾓﾘ満格納

これらの条件の全てが合致しない場合、暗号化/解読は不正な鍵で開始されるでしょう。

● **ﾋﾞｯﾄ5 – RESET : ｿﾌﾄｳｪｱ ﾘｾｯﾄ** (Software Reset)

このﾋﾞｯﾄの設定(1)は周辺機能ｸﾛｯｸの次の正端でAES暗号単位部を初期状態にﾘｾｯﾄします。本単位部内の全てのﾚｼﾞｽﾀ、ﾎﾟｲﾝﾀ、ﾒﾓﾘはそれらの初期値に設定されます。1書き込み時、このﾋﾞｯﾄはﾊｰﾄﾞｳｪｱによって0にﾘｾｯﾄされる前に1ｸﾛｯｸ周期間、1に留まります。

● **ﾋﾞｯﾄ4 – DECRYPT : 解読/方向** (Decryption/Direction)

このﾋﾞｯﾄはAES暗号単位部に対して方向を設定します。このﾋﾞｯﾄへの0書き込みはこの単位部を暗号化動作に設定します。このﾋﾞｯﾄへの1書き込みはこの単位部を解読動作に設定します。

● **ﾋﾞｯﾄ3 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – XOR : 代数式配列XOR格納許可** (State XOR Load Enable)

このﾋﾞｯﾄの設定(1)が状態ﾒﾓﾘへのXORﾃﾞｰﾀ格納を許可します。このﾋﾞｯﾄが設定(1)されると、状態ﾒﾓﾘに格納されるﾃﾞｰﾀは状態ﾒﾓﾘ内の現在のﾃﾞｰﾀとﾋﾞｯﾄ単位でXORされます。このﾋﾞｯﾄへの0書き込みはXOR格納動作を禁止し、状態ﾒﾓﾘへ書かれる新しいﾃﾞｰﾀは状態ﾒﾓﾘ内の現在のﾃﾞｰﾀに上書きします。

● **ﾋﾞｯﾄ1,0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

25.5.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	ERROR	–	–	–	–	–	–	SRIF	STATUS
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – ERROR : 異常** (Error)

ERROR ﾌﾗｸﾞはAES暗号単位部の不正な取り扱いを示します。このﾌﾗｸﾞは次の状態で設定(1)されます。

- 状態ﾒﾓﾘと/または鍵ﾒﾓﾘが完全に格納または読み込まれていない間の制御(CTRL)ﾚｼﾞｽﾀでの開始/走行(START)の設定(1)。この異常はAES開始前に状態配列(STATE)と鍵(KEY)のﾚｼﾞｽﾀとの総読み書き操作数が16の倍数でなかった時に起きます。
- STARTﾋﾞｯﾄが1の間の制御(CTRL)ﾚｼﾞｽﾀ(読みまたは書き)ｱｸｾｽ。

このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによって解除(0)できます。

● **ﾋﾞｯﾄ6~1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – SRIF : 状態配列準備可割り込み要求ﾌﾗｸﾞ (State Ready Interrupt Flag)

このﾌﾗｸﾞは割り込み/DMA要求ﾌﾗｸﾞで、暗号化/解読手順が完了されて状態ﾒﾓﾘが有効なﾃﾞｰﾀを含む時に設定(1)されます。ﾌﾗｸﾞが0である限り、状態ﾒﾓﾘ内に暗号化/解読された有効なﾃﾞｰﾀがないことを示します。

このﾌﾗｸﾞは状態ﾒﾓﾘへの読み込みｱｸｾｽが行われる(先頭ﾊﾞｲﾄが読まれる)時にﾊｰﾄﾞｳｪｱによって解除(0)されます。代わりにこのﾋﾞｯﾄ位置へ1を書くことによってもこのﾋﾞｯﾄは解除(0)できます。

25.5.3. STATE – 状態配列ﾚｼﾞｽﾀ (State register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	STATE7~0								STATE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

STATEﾚｼﾞｽﾀは状態ﾒﾓﾘのｱｸｾｽに使われます。暗号化/解読が行われ得る前に、状態ﾒﾓﾘはSTATEﾚｼﾞｽﾀを通してﾊﾞｲﾄ単位で続けて書かれなければなりません。暗号化/解読が行われた後、暗号文/平文はSTATEﾚｼﾞｽﾀを通してﾊﾞｲﾄ単位で続けて読むことができます。

STATEﾚｼﾞｽﾀへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。このﾚｼﾞｽﾀは暗号化/解読中にｱｸｾｽできません。

25.5.4. KEY – 鍵ﾚｼﾞｽﾀ (Key register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	KEY7~0								KEY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

KEYﾚｼﾞｽﾀは鍵ﾒﾓﾘのｱｸｾｽに使われます。暗号化/解読が行われ得る前に、鍵ﾒﾓﾘはKEYﾚｼﾞｽﾀを通してﾊﾞｲﾄ単位で続けて書かれなければなりません。暗号化/解読が行われた後、最後の補助鍵がKEYﾚｼﾞｽﾀを通してﾊﾞｲﾄ単位で続けて読めます。

KEYﾚｼﾞｽﾀへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。

25.5.5. INTCTRL – 割り込み制御ﾚｼﾞｽﾀ (Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	–	INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1,0 – INTLVL1,0 : 割り込み優先権と許可 (Interrupt and Enable)

これらのﾋﾞｯﾄはAES割り込みを許可し、90頁の「**割り込みと多段割り込み制御器**」で記述されるように割り込みﾚﾍﾞﾙを選びます。状態(STATUS)ﾚｼﾞｽﾀの状態配列準備可割り込み要求ﾌﾗｸﾞ(SRIF)が設定(1)される時に許可された割り込みが生成されます。

25.6. ﾚｼﾞｽﾀ要約 – AES

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	予約	–	–	–	–	–	–	–	–	
+$04	INTCTRL	–	–	–	–	–	–	INTLVL1,0		218
+$03	KEY	KEY7~0								218
+$02	STATE	STATE7~0								218
+$01	STATUS	–	–	–	–	–	–	–	SRIF	217
+$00	CTRL	START	AUTO	RESET	DECRYPT	–	XOR	–	–	217

25.7. 割り込みﾍﾞｸﾀ要約

表25-2. AES割り込みﾍﾞｸﾀとその変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	AES_vect	AES割り込みﾍﾞｸﾀ

26. CRC – 巡回冗長検査生成器 (Cyclic Redundancy Check Generator)

26.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
  - 通信データ
  - フラッシュ メモリ内のプログラムまたはデータ
  - SRAMとI/Oメモリ空間内のデータ
- フラッシュ メモリ、DMA制御器、CPUとの統合
  - DMAチャネルを通して行うデータでの継続的なCRC
  - フラッシュ メモリの全体または選択可能な範囲の自動CRC
  - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
  - CRC-16 (CRC-CCITT)
  - CRC-32 (IEEE 802.3)
- 0剰余検出

26.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にデータ送信やデータとプログラムのメモリ内のデータの存在の正しさを決めるのに使われます。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使うことができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用は誤りを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の$1-2^{-n}$を検出します。XMEGAデバイスのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

- CRC-16:

  生成多項式：$X^{16}+X^{12}+X^{5}+1$

  16進値　　：$1021

- CRC-32:

  生成多項式：$X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$

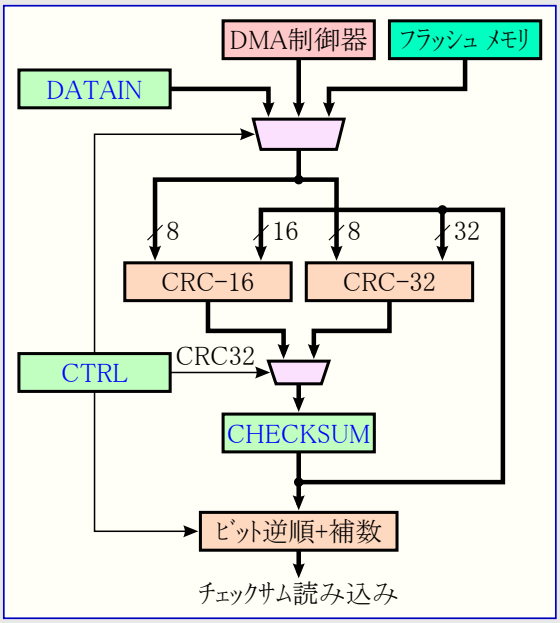
  16進値　　：$04C11DB7

26.3. 動作

CRC単位部に対するデータ元はフラッシュ メモリ、DMAチャネル、またはI/Oインターフェースのどれかとしてソフトウェアで選ばれなければなりません。そしてCRC単位部は選択した供給元からデータ入力を取り、それらのデータをに基づいてチェックサムを生成します。チェックサムはCRC単位部内のチェックサム(CHECKSUM)レジスタで利用可能です。CRC-32生成多項式使用時、最後のチェックサム読み込みは逆順で補数にされます(図26-1.をご覧ください)。

I/OインターフェースやDMAチャネルに対して、どちらのCRC生成多項式が使われるかはソフトウェア選択可能ですが、既定設定はCRC-16です。供給元としてフラッシュ メモリが選択される場合、自動的にCRC-32が使われます。CRC単位部はバイトでだけ動作します。

図26-1. CRC生成器構成図



26.4. フラッシュ メモリでのCRC

フラッシュ メモリ全体、応用領域だけ、ブート領域だけ、またはソフトウェアで選択可能なフラッシュ メモリの範囲でCRC-32計算を実行することができます。供給元としてフラッシュ メモリを選択すること以外、更なる全ての制御と構成設定はNVM制御器から行われます。これはNVM制御器がCRCを実行するメモリ範囲を構成設定し、CRCがNVM指令を用いて開始されることを意味します。一旦完了されると、結果はCRC単位部のチェックサム(CHECKSUM)レジスタで利用可能です。フラッシュ メモリでの構成設定とCRC実行の更なる詳細については290頁の「メモリ プログラミング」を参照してください。

26.5. DMAデータでのCRC

何れかのDMAチャネルを通してデータを渡すことでCRC-16またはCRC-32計算を実行することができます。一旦供給元としてDMAチャネルが選択されると、CRC単位部はDMAチャネルを通して渡すデータで継続的にCRCを生成します。DMA転送処理が一旦完了または中断されると、チェックサムが読み出し可能です。CRCは通信データだけでなく、DMAチャネルを通してそれらのデータを渡すことによって、SRAMやI/Oメモリ内のデータでも実行することができます。後者が行われた場合、DMAデータに対する転送先レジスタはCRC単位部内のデータ入力(DATAIN)レジスタにすることができます。DMA転送処理構成設定のより多くの詳細については38頁の「DMAC – 直接メモリ入出力制御器」を参照してください。

26.6. I/Oインターフェースを用いるCRC

CPUを用いてCRC単位部内にそれらを運ぶ、DATAINレジスタにデータを書くことによってどのデータでもCRCを実行することができます。この方法の使用で、CPUによって任意のバイト数をレジスタに書くことができ、CRCは各バイトに対して継続的に行われます。新しいデータは各周回に対して書くことができます。CRC完了は状態(STATUS)レジスタ内の多忙(BUSY)ビットへの書き込みによって合図されます。

26.7. ﾚｼﾞｽﾀ説明

26.7.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	RESET1,0		CRC32	–	SOURCE3~0				CTRL
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – RESET1,0 : ﾘｾｯﾄ (Reset)

これらのﾋﾞｯﾄはCRC単位部のﾘｾｯﾄに使われ、これらは常に0として読めます。CRCﾚｼﾞｽﾀはRESET1ﾋﾞｯﾄが設定(1)された後の1周辺機能ｸﾛｯｸ周期でﾘｾｯﾄします。

表26-1. CRCﾘｾｯﾄ

RESET1,0	群構成設定	内容
0 0	NO	ﾘｾｯﾄなし
0 1	–	(予約)
1 0	RESET0	CHECKSUMを全0でCRCをﾘｾｯﾄ
1 1	RESET1	CHECKSUMを全1でCRCをﾘｾｯﾄ

● ﾋﾞｯﾄ5 – CRC32 : CRC-32許可 (CRC-32 Enable)

このﾋﾞｯﾄの設定(1)はCRC-16の代わりにCRC-32を許可します。これは多忙(BUSY)ﾌﾗｸﾞが設定(1)されている間に変更することはできません。

● ﾋﾞｯﾄ4 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – SOURCE3~0 : 入力元 (Input Source)

これらのﾋﾞｯﾄはCRCを生成するための入力元を選びます。選択した供給元はCRC生成が完了されるか、またはCRC単位部がﾘｾｯﾄされるかのどちらかまで固定化されます。CRC生成完了はDMA制御器またはﾌﾗｯｼｭ ﾒﾓﾘで使われた時に選択した供給元から合図されます。

表26-2. CRC供給元選択

SOURCE3~0	群構成設定	内容
0 0 0 0	DISABLE	CRC禁止
0 0 0 1	IO	I/Oｲﾝﾀｰﾌｪｰｽ
0 0 1 0	FLASH	ﾌﾗｯｼｭ ﾒﾓﾘ
0 0 1 1	–	(将来の使用に予約)
0 1 0 0	DMACH0	DMA制御器ﾁｬﾈﾙ0
0 1 0 1	DMACH1	DMA制御器ﾁｬﾈﾙ1
0 1 1 0	DMACH2	DMA制御器ﾁｬﾈﾙ2
0 1 1 1	DMACH3	DMA制御器ﾁｬﾈﾙ3
1 x x x	–	(将来の使用に予約)

26.7.2. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	–	ZERO	BUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – ZERO : ﾁｪｯｸｻﾑ0 (Checksum Zero)

このﾌﾗｸﾞはCRC生成完了時にﾁｪｯｸｻﾑ(CHECKSUM)ﾚｼﾞｽﾀが0の場合に設定(1)されます。これは新しいCRC供給元が選択された時に自動的に解除(0)されます。

CRC-32走行で(ﾘﾄﾙｴﾝﾃﾞｨｱﾝとして)ﾊﾟｹｯﾄの最後でﾁｪｯｸｻﾑを追加する時に最終ﾁｪｯｸｻﾑは0ではなく$2144DF1Cであるべきです。けれども、ﾁｪｯｸｻﾑが(ﾘﾄﾙｴﾝﾃﾞｨｱﾝとして)ﾃﾞｰﾀに追加される前に補数にされる場合、CHECKSUMﾚｼﾞｽﾀ内の最終結果は0でしょう。

CHECKSUMの各種版を読むためにCHECKSUMの記述をご覧ください。

● ﾋﾞｯﾄ0 – BUSY : 多忙 (Busy)

このﾌﾗｸﾞは供給元構成設定が選択され、その供給元がCRC単位部を使う限り、1として読めます。供給元としてI/Oｲﾝﾀｰﾌｪｰｽが選択される場合、このﾌﾗｸﾞはこの位置に1を書くことによって解除(0)することができます。供給元としてDMAﾁｬﾈﾙが選択される場合、このﾌﾗｸﾞはDMAﾁｬﾈﾙの転送処理が完了または中断された時に解除(0)されます。供給元としてﾌﾗｯｼｭ ﾒﾓﾘが選択される場合、このﾌﾗｸﾞはCRC生成が完了された時に解除(0)されます。

26.7.3. DATAIN – ﾃﾞｰﾀ入力ﾚｼﾞｽﾀ (Data Input register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	DATAIN7~0								DATAIN
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – DATAIN7~0 : ﾃﾞｰﾀ入力 (Data input)

このﾚｼﾞｽﾀはCRCﾁｪｯｸｻﾑが計算されるためのﾃﾞｰﾀを格納するのに使われます。DATAINﾚｼﾞｽﾀが書かれた後の1ｸﾛｯｸ周期でﾁｪｯｸｻﾑ(CHECKSUM)ﾚｼﾞｽﾀは準備が整います。

26.7.4. CHECKSUM0 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ0 (Checksum register 0)

CHECKSUM0,CHECKSUM1,CHECKSUM2,CHECKSUM3は生成されたCRC、16または32ﾋﾞｯﾄのﾁｪｯｸｻﾑ(CHECKSUM)値を表します。ﾚｼﾞｽﾀは既定で0にﾘｾｯﾄされますが、全ﾋﾞｯﾄを1にﾘｾｯﾄするようにCRCﾘｾｯﾄ(RESET)ﾋﾞｯﾄを書くことが可能です。CRC単位部が禁止されている時にだけ、これらのﾚｼﾞｽﾀを書くことが可能です。供給元として不揮発性ﾒﾓﾘ(NVM)が選択される場合、CHECKSUMの読み込みは多忙(BUSY)ﾌﾗｸﾞが解除(0)されるまで0値を返します。CRC-32が選択され、BUSYﾌﾗｸﾞが解除(0)(換言すると、CRC生成が完了または中断)された場合、ﾋﾞｯﾄ逆順(ﾋﾞｯﾄ31がﾋﾞｯﾄ0と交換され、ﾋﾞｯﾄ30がﾋﾞｯﾄ1と、以下同様)と補数にされた結果がCHECKSUMから読まれます。CRC-16が選択される、またはBUSYﾌﾗｸﾞが設定(1)される(換言すると、CRC生成が進行中の)場合、CHECKSUMは実際の内容を含みます。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	CHECKSUM7~0								CHECKSUM0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM7~0 : ﾁｪｯｸｻﾑ7~0 (Checksum byte 0)

これらのﾋﾞｯﾄは生成されたCRCの第1ﾊﾞｲﾄを保持します。

26.7.5. CHECKSUM1 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ1 (Checksum register 1)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	CHECKSUM15~8								CHECKSUM1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM15~8 : ﾁｪｯｸｻﾑ15~8 (Checksum byte 1)

これらのﾋﾞｯﾄは生成されたCRCの第2ﾊﾞｲﾄを保持します。

26.7.6. CHECKSUM2 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ2 (Checksum register 2)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	CHECKSUM23~16								CHECKSUM2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM23~16 : ﾁｪｯｸｻﾑ23~16 (Checksum byte 2)

これらのﾋﾞｯﾄは生成されたCRCの第3ﾊﾞｲﾄを保持します。

26.7.7. CHECKSUM3 – ﾁｪｯｸｻﾑ ﾚｼﾞｽﾀ3 (Checksum register 3)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	CHECKSUM31~24								CHECKSUM3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CHECKSUM31~24 : ﾁｪｯｸｻﾑ31~24 (Checksum byte 3)

これらのﾋﾞｯﾄは生成されたCRCの第4ﾊﾞｲﾄを保持します。

26.8. レジスタ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	CHECKSUM3	CHECKSUM31~24								223
+$06	CHECKSUM2	CHECKSUM23~16								223
+$05	CHECKSUM1	CHECKSUM15~8								223
+$04	CHECKSUM0	CHECKSUM7~0								223
+$03	DATAIN	DATAIN7~0								223
+$02	予約	–	–	–	–	–	–	–	–	
+$01	STATUS	–	–	–	–	–	–	ZERO	BUSY	222
+$00	CTRL	RESET1,0		CRC32	–	SOURCE3~0				222

27. EBI – 外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ

27.1. 要点

- 以下までのSRAM支援
  - 2ﾎﾟｰﾄEBI使用で512Kﾊﾞｲﾄ
  - 3ﾎﾟｰﾄEBI使用で16Mﾊﾞｲﾄ
- 以下までのSDRAM支援
  - 3ﾎﾟｰﾄEBI使用で128Mﾋﾞｯﾄ
- ｿﾌﾄｳｪｱで構成設定可能な4つのﾁｯﾌﾟ選択
- ｿﾌﾄｳｪｱで構成設定可能な待ち状態挿入
- 高速ｱｸｾｽのために周辺機能ｸﾛｯｸ周波数×2で走行可

27.2. 概要

外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ(EBI)はﾃﾞｰﾀ ﾒﾓﾘ空間を通してｱｸｾｽするために外部の周辺機能とﾒﾓﾘを接続するのに使われます。EBIが許可されると、内部SRAMに属さない(訳補:正確には内部で未定義の)ﾃﾞｰﾀ ｱﾄﾞﾚｽ空間が専用EBIﾋﾟﾝを使って利用可能になります。

EBIは外部のSRAM、SDRAMや、LCD表示器、その他のﾒﾓﾘ割り当てﾃﾞﾊﾞｲｽのような周辺機能をｲﾝﾀｰﾌｪｰｽすることができます。

ｱﾄﾞﾚｽ空間は256ﾊﾞｲﾄ(8ﾋﾞｯﾄ)～16Mﾊﾞｲﾄ(24ﾋﾞｯﾄ)まで選択可能です。より多いまたはより少ないﾋﾟﾝがEBIに対して利用可能な時に、ﾋﾟﾝの最適使用のためにｱﾄﾞﾚｽ線とﾃﾞｰﾀ線に関する多くの多重化動作種別が選択できます。ﾒﾓﾘ全体は内部SRAMの最後に続く1つの直線的なﾃﾞｰﾀ ｱﾄﾞﾚｽ空間に割り当てられます。これの詳細については17頁の「ﾃﾞｰﾀ ﾒﾓﾘ」を参照してください。

EBIは各々独立した構成設定の4つのﾁｯﾌﾟ選択を持っています。各々はSRAM、少ﾋﾟﾝ数(LPC)SRAM、またはSDRAM用に構成設定することができます。

EBIはCPUよりも2倍まで速い高速周辺×2ｸﾛｯｸからｸﾛｯｸ駆動されます。

4ﾋﾞｯﾄと8ﾋﾞｯﾄのSDRAMが支援され、CAS遅延や再活性速度のようなSDRAM構成設定はｿﾌﾄｳｪｱで設定することができます。

SRAM、SDRAM、それらのﾒﾓﾘ型式がどう構成され、どう動作するかのより多くの詳細については、SRAMとSDRAM仕様書とﾃﾞｰﾀｼｰﾄを参照してください。本項はEBI仕様詳細だけを含みます。

27.3. ﾁｯﾌﾟ選択

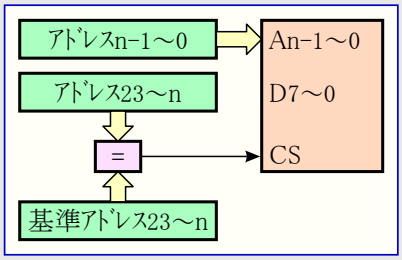
EBI単位部は各々が独立したｱﾄﾞﾚｽ範囲で連携できる4つのﾁｯﾌﾟ選択線(CS0～CS3)を持ちます。ﾁｯﾌﾟ選択は与えられたﾒﾓﾘ ｱﾄﾞﾚｽがEBIで発行される時に、ﾒﾓﾘまたはﾒﾓﾘ割り当てされた外部ﾊｰﾄﾞｳｪｱのどれがｱｸｾｽされるかを制御します。各ﾁｯﾌﾟ選択は独立した構成設定を持ち、SRAMまたは少ﾋﾟﾝ数(LPC)SRAM用に設定することができます。ﾁｯﾌﾟ選択3はSDRAM用にも構成設定することができます。

各ﾁｯﾌﾟ選択は各ﾁｯﾌﾟ選択と提携するﾃﾞｰﾀ ﾒﾓﾘ ｱﾄﾞﾚｽ空間を決めるのに使われる構成設定可能な基準ｱﾄﾞﾚｽとｱﾄﾞﾚｽ容量を持ちます。

27.3.1. 基準ｱﾄﾞﾚｽ

ﾁｯﾌﾟ選択に割り当てられた基準ｱﾄﾞﾚｽはｱﾄﾞﾚｽ空間内の最低位ｱﾄﾞﾚｽで、接続されたﾒﾓﾘﾊｰﾄﾞｳｪｱがｱｸｾｽされ得るﾃﾞｰﾀ ﾒﾓﾘ空間内の先頭位置を決めます。各ﾁｯﾌﾟ選択に関連する基準ｱﾄﾞﾚｽは4Kﾊﾞｲﾄ境界でなければなりません。

図27-1. 基準ｱﾄﾞﾚｽ



27.3.2. ｱﾄﾞﾚｽ容量

ｱﾄﾞﾚｽ容量はﾁｯﾌﾟ選択が生成されている時に比較されるべきｱﾄﾞﾚｽのﾋﾞｯﾄ数を選択します。ｱﾄﾞﾚｽ容量は256ﾊﾞｲﾄ～16Mﾊﾞｲﾄのどれかにできます。ｱﾄﾞﾚｽ空間(容量)が4Kﾊﾞｲﾄよりも大きなどれかに設定される場合、基準ｱﾄﾞﾚｽはｱﾄﾞﾚｽ空間に等しい境界でなければなりません。例えば、ﾁｯﾌﾟ選択に対して1Mﾊﾞｲﾄのｱﾄﾞﾚｽ空間では、基準ｱﾄﾞﾚｽが0, 1Mﾊﾞｲﾄ, 2Mﾊﾞｲﾄなどのような境界でなければなりません。

ｱﾄﾞﾚｽ空間が重なるようにEBIが構成設定される場合、内部的なﾒﾓﾘ空間はﾁｯﾌﾟ選択0(CS0), CS1, CS2, CS3(の順)に従って優先権を持ちます。

27.3.3. ｱﾄﾞﾚｽ線としてのﾁｯﾌﾟ選択線

何れかのﾁｯﾌﾟ選択線が未使用の場合、それらはいくつかの組み合わせでｱﾄﾞﾚｽ線として使うことができます。これはより大きな外部ﾒﾓﾘまたは外部CS生成を許します。図27-2.の各列は許可されたﾁｯﾌﾟ選択線(CSn)と未使用ﾁｯﾌﾟ選択線で利用可能なｱﾄﾞﾚｽ線(An)を示します。右端列はCS3だけが許可される時に4つのCS線がｱﾄﾞﾚｽ線として使われるのを示します。

図27-2. ﾁｯﾌﾟ選択線とｱﾄﾞﾚｽ線の可能な組み合わせ

CS3	CS3	CS3	A19
CS2	CS2	CS2	A18
CS1	CS1	A17	A17
CS0	A16	A16	A16

27.4. EBIｸﾛｯｸ

EBIは周辺2倍ｸﾛｯｸ(clkPER2)からｸﾛｯｸ駆動されます。このｸﾛｯｸはCPUｸﾛｯｸ周波数、またはCPUｸﾛｯｸ周波数の2倍で走行することができます。これはより速いEBIｱｸｾｽ時間に使うことができます。周辺2倍ｸﾛｯｸとこれを構成設定する方法の詳細については57頁の「ｼｽﾃﾑ ｸﾛｯｸとｸﾛｯｸ選択」を参照してください。

27.5. SRAM構成設定

SRAMで使う時に、EBIは外部ｱﾄﾞﾚｽ ﾗｯﾁを使うことによる様々なｱﾄﾞﾚｽ多重化動作種別の使用、または多重化なしで構成設定することができます。EBIに対してﾃﾞﾊﾞｲｽで利用可能なﾋﾟﾝ数が制限されるとき、EBIからｱﾄﾞﾚｽ線を多重化する外部ﾗｯﾁを制御するのにｱﾄﾞﾚｽ ﾗｯﾁ許可(ALE:Address Latch Enable)信号が使われます。利用可能な構成設定は27.5.1.項～次頁の27.5.4.項で示されます。表27-1.はSRAMｲﾝﾀｰﾌｪｰｽ信号を記述します。

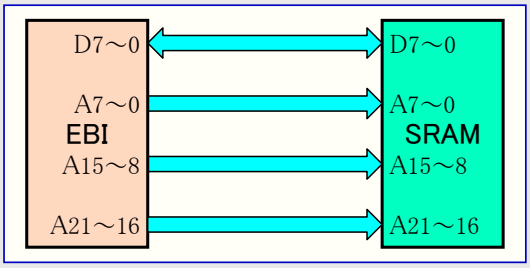
表27-1. SRAMｲﾝﾀｰﾌｪｰｽ信号

信号名	内容
$\overline{CS}$	ﾁｯﾌﾟ選択
$\overline{WE}$	書き込み許可
$\overline{RE}$	読み込み許可
ALE2～0	ｱﾄﾞﾚｽ ﾗｯﾁ許可
A23～0	ｱﾄﾞﾚｽ
D7～0	ﾃﾞｰﾀ ﾊﾞｽ
AD7～0	ｱﾄﾞﾚｽとﾃﾞｰﾀの組み合わせ

27.5.1. 多重化なし

多重化なしが使われると、EBIとSRAM間は1対1の接続です。外部ｱﾄﾞﾚｽ ﾗｯﾁは使われません。

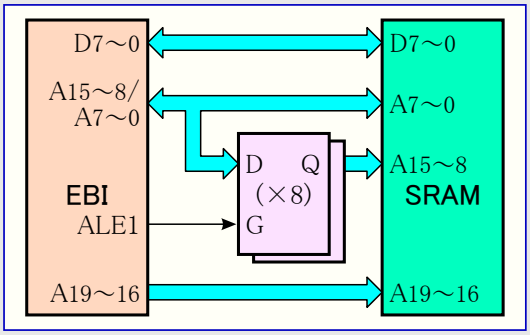
図27-3. 多重化なしSRAM接続



27.5.2. ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と1の多重化

ｱﾄﾞﾚｽ ﾊﾞｲﾄ0(A7～0)とｱﾄﾞﾚｽ ﾊﾞｲﾄ1(A15～8)が多重化されると、それらは同じﾎﾟｰﾄからの出力で、ﾃﾞﾊﾞｲｽからのALE1信号がｱﾄﾞﾚｽ ﾗｯﾁを制御します。

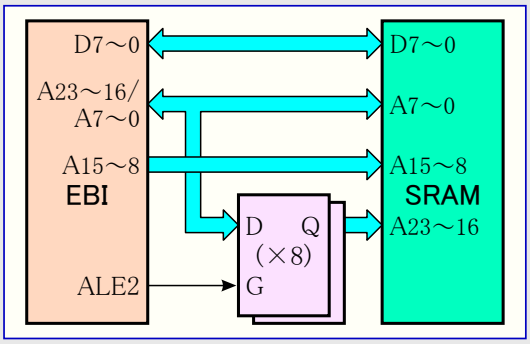
図27-4. ALE1使用の多重化SRAM接続



27.5.3. ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と2の多重化

ｱﾄﾞﾚｽ ﾊﾞｲﾄ0(A7～0)とｱﾄﾞﾚｽ ﾊﾞｲﾄ2(A23～16)が多重化されると、それらは同じﾎﾟｰﾄからの出力で、ﾃﾞﾊﾞｲｽからのALE2信号がｱﾄﾞﾚｽ ﾗｯﾁを制御します。

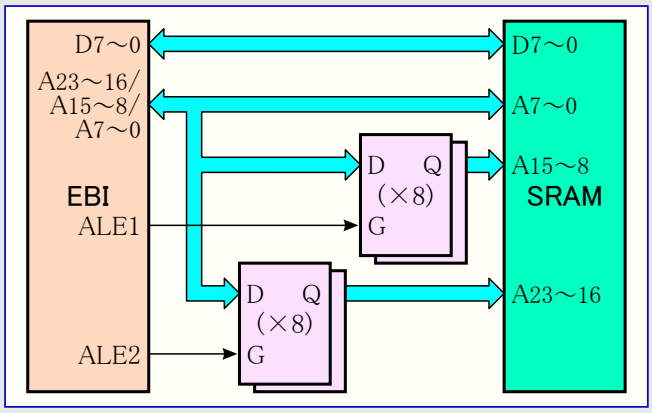
図27-5. ALE2使用の多重化SRAM接続



27.5.4. ｱﾄﾞﾚｽ ﾊﾞｲﾄ0,1と2の多重化

ｱﾄﾞﾚｽ ﾊﾞｲﾄ0(A7～0)、ｱﾄﾞﾚｽ ﾊﾞｲﾄ1(A15～8)、ｱﾄﾞﾚｽ ﾊﾞｲﾄ2(A23～16)が多重化されると、それらは同じﾎﾟｰﾄからの出力で、ﾃﾞﾊﾞｲｽからのALE1信号とALE2信号が外部ｱﾄﾞﾚｽ ﾗｯﾁを制御します。

図27-6. ALE1とALE2使用の多重化SRAM接続



27.5.5. ｱﾄﾞﾚｽ ﾗｯﾁ

ｱﾄﾞﾚｽ ﾗｯﾁ ﾀｲﾐﾝｸﾞとﾊﾟﾗﾒｰﾀの必要条件はﾃﾞｰﾀｼｰﾄで記述されます。詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄの特性をご覧ください。ｱﾄﾞﾚｽの多重化使用時にｱｸｾｽ時間を減らすため、ﾗｯﾁされたｱﾄﾞﾚｽの更新が必要とされる時にだけALE信号が発行されます。例えばｱﾄﾞﾚｽ線のA15～8がA7～0と多重化される場合、ALEが設定された最後の時からA15～8内のどれかのﾋﾞｯﾄが変更される場合にだけALE1とA15～8が与えられます。

27.5.6. ﾀｲﾐﾝｸﾞ

SRAMまたは外部ﾒﾓﾘは異なるﾀｲﾐﾝｸﾞ必要条件を持つかもしれません。それらの異なる必要条件に応じるため、各ﾁｯﾌﾟ選択は各種待ち状態に構成設定することができます。詳細ﾀｲﾐﾝｸﾞはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄで記述されます。

27.6. SRAM LPC構成設定

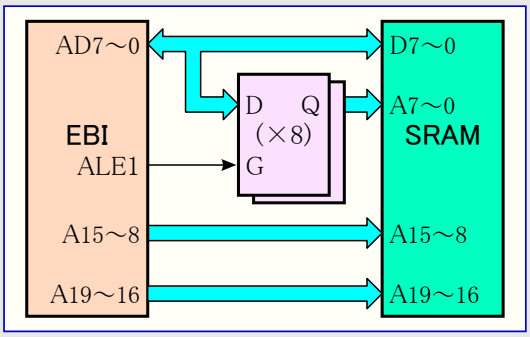
SRAM少ﾋﾟﾝ数(LPC)構成設定はﾃﾞｰﾀ線とｱﾄﾞﾚｽ線が多重化された多重化動作用に構成設定されたEBIを許可します。SRAM構成設定と比べて、これはEBIに対して必要とするﾋﾟﾝ数を更に減らすことができます。利用可能な構成設定は27.6.1.項～次頁の27.6.2.項で示されます。

ﾀｲﾐﾝｸﾞとｱﾄﾞﾚｽ ﾗｯﾁの必要条件はSRAM構成設定と類似です。

27.6.1. ｱﾄﾞﾚｽ ﾊﾞｲﾄ0とのﾃﾞｰﾀ多重化

ﾃﾞｰﾀ ﾊﾞｲﾄとｱﾄﾞﾚｽ ﾊﾞｲﾄ0(AD7～0)が多重化されると、それらは同じﾎﾟｰﾄから出力され、ﾃﾞﾊﾞｲｽからのALE1信号がｱﾄﾞﾚｽ ﾗｯﾁを制御します。

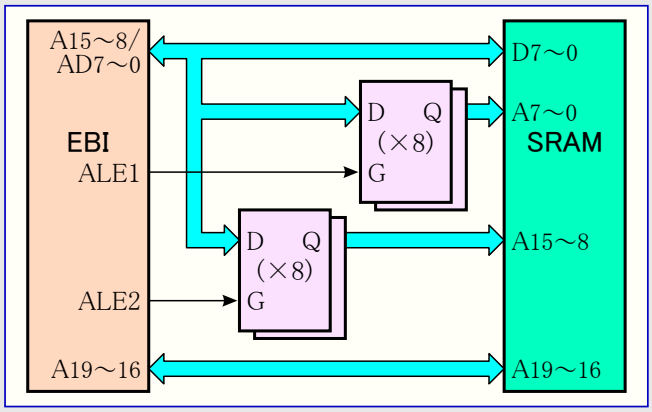
図27-7. ALE1使用の多重化SRAM LPC接続



27.6.2. ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と1とのﾃﾞｰﾀ多重化

ﾃﾞｰﾀ ﾊﾞｲﾄとｱﾄﾞﾚｽ ﾊﾞｲﾄ0(AD7～0)、それとｱﾄﾞﾚｽ ﾊﾞｲﾄ1(A15～8)が多重化されると、それらは同じﾎﾟｰﾄからの出力で、ﾃﾞﾊﾞｲｽからのALE1信号とALE2信号が外部ｱﾄﾞﾚｽ ﾗｯﾁを制御します。

図27-8. ALE1とALE2使用の多重化SRAM LPC接続



27.7. SDRAM構成設定

EBIのﾁｯﾌﾟ選択3はSDRAM動作に構成設定することができ、EBIは3ﾎﾟｰﾄまたは4ﾎﾟｰﾄのｲﾝﾀｰﾌｪｰｽに構成設定されなければなりません。SDRAMは4ﾋﾞｯﾄまたは8ﾋﾞｯﾄのﾃﾞｰﾀ ﾊﾞｽに構成設定することができ、4ﾎﾟｰﾄ ｲﾝﾀｰﾌｪｰｽは8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽに対して使われなければなりません。EBIからSDRAMへのSDRAMｲﾝﾀｰﾌｪｰｽ信号は表27-2.で一覧にされます。

表27-2. SDRAMｲﾝﾀｰﾌｪｰｽ信号

信号名	内容
$\overline{CS}$	ﾁｯﾌﾟ選択
$\overline{WE}$	書き込み許可
$\overline{RAS}$	行ｱﾄﾞﾚｽ ｽﾄﾛｰﾌﾞ
$\overline{CAS}$	列ｱﾄﾞﾚｽ ｽﾄﾛｰﾌﾞ
$\overline{DQM}$	ﾃﾞｰﾀ遮蔽信号/出力許可
CKE	ｸﾛｯｸ許可
CLK	ｸﾛｯｸ
BA1,0	ﾊﾞﾝｸ ｱﾄﾞﾚｽ
A12～0	ｱﾄﾞﾚｽ ﾊﾞｽ
A10	ﾌﾟﾘﾁｬｰｼﾞ
D7～0	ﾃﾞｰﾀ ﾊﾞｽ

27.7.1. 支援される命令

EBIによって支援されるSDRAM命令は表27-3.で一覧にされます。

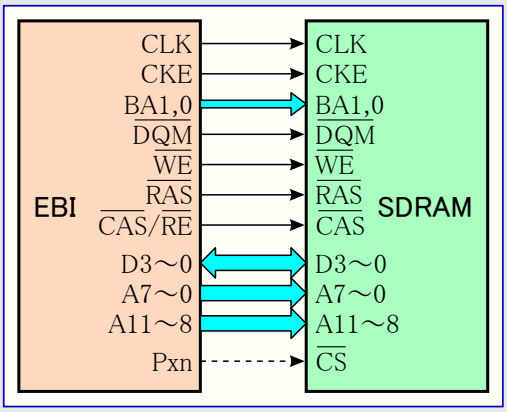
表27-3. 支援されるSDRAM命令

命令	内容
NOP	無操作
ACTIVE	選択したﾊﾞﾝｸを活性にして行を選択
READ	列ｱﾄﾞﾚｽの入力を開始して集中読み込み操作を開始
WRITE	列ｱﾄﾞﾚｽの入力を開始して集中書き込み操作を開始
PRECHARGE	選択ﾊﾞﾝｸまたは全ﾊﾞﾝｸを開放して非活性
AUTO REFRESH	各ﾊﾞﾝｸの1行を再活性
LOAD MODE	形態(Mode)ﾚｼﾞｽﾀ設定
SELF REFRESH	自己再活性動作を活性化(許可)

27.7.2. 3ﾎﾟｰﾄEBI構成設定

3ﾎﾟｰﾄEBIが利用可能な時にSDRAMは3ﾎﾟｰﾄEBI構成設定で接続することができます。これが行われると、4ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽだけが利用可能で、どのﾁｯﾌﾟ選択もｿﾌﾄｳｪｱから汎用I/Oﾋﾟﾝ(Pxn)を使って制御されなければなりません。

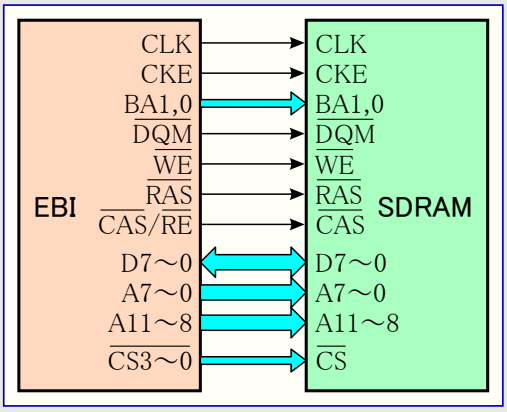
図27-9. 3ﾎﾟｰﾄSDRAM構成設定



27.7.3. 4ﾎﾟｰﾄEBI構成設定

4ﾎﾟｰﾄEBIが利用可能な時にSDRAMは3ﾎﾟｰﾄまたは4ﾎﾟｰﾄのEBI構成設定で接続することができます。4ﾎﾟｰﾄEBI構成設定が使われると、8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽが利用可能で、4つ全てのﾁｯﾌﾟ選択が利用可能です。

図27-10. 4ﾎﾟｰﾄSDRAM構成設定



27.7.4. ﾀｲﾐﾝｸﾞ

EBIがCPUｸﾛｯｸ速度の2倍でｸﾛｯｸ駆動されるとき、SDRAMに対してｸﾛｯｸ許可(CKE)信号が必要とされます。

27.7.5. 初期化

SDRAMへのﾁｯﾌﾟ選択3構成設定はSDRAMの初期化を許可します。初期化の終りで"Load Mode Register"命令が自動的に発行されます。SDRAMに格納されるべき正しい情報に関して次の1つが行われなければなりません。

1. ﾁｯﾌﾟ選択3をSDRAMに許可する前にSDRAM制御ﾚｼﾞｽﾀを設定してください。
2. SDRAMが初期化された後で"Load Mode Register"命令を発行して擬似ｱｸｾｽを実行してください。

SDRAM初期化は他のEBIｱｸｾｽによる割り込みができません(訳補:他のEBI関係操作不可の意)。

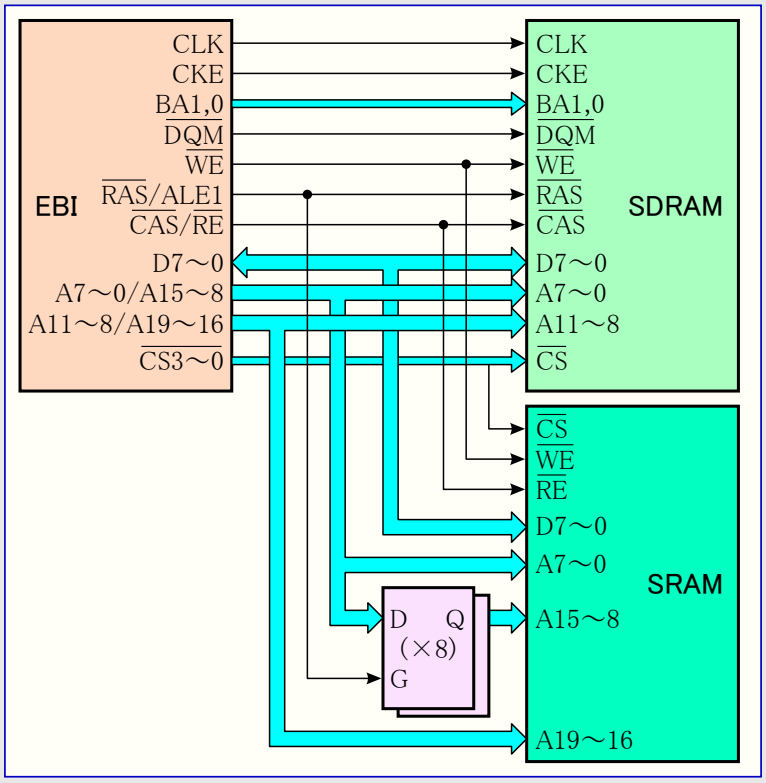
27.7.6. 再活性 (ﾘﾌﾚｯｼｭ)

EBIは再活性周期が設定されている限り、SDRAM再活性を自動的に取り扱います。平均ではSDRAM再活性周期(REFRESH)ﾚｼﾞｽﾀによって与えられる間隔で1つの再活性命令を発行します。再活性が実行されるべき時にｲﾝﾀｰﾌｪｰｽが他のﾁｯﾌﾟ選択で多忙、または読み書きの最中の場合にEBIは4つまでの再活性命令を集積することができます。

27.8. SRAMとSDRAMの結合構成設定

SRAMとSDRAMの結合構成設定はSRAMとSDRAMの両方の同時接続をEBIで可能にします。これは4ポートEBIインターフェース使用時にだけ利用可能です。図27-11.は全インターフェース信号での構成設定を示します。

図27-11. SRAMとSDRAMの結合接続



27.9. I/Oピンとピン出力構成設定

EBIが許可されると、EBI線が配置されたI/Oピンに対する方向と/または値を無効にします。EBIはEBIデータ線が配置されたI/Oピンに対する方向と値を無効にします。EBIは値だけを無効にし、EBIのアドレス線と制御線が配置されたI/Oピンに対する方向を無効にしません。これらのI/OピンはEBIが使われる時に出力に構成設定されなければなりません。未使用のEBIアドレスと制御線に対するI/Oピンは標準I/Oピンまたはそのピンの他の交換機能として使うことができます。

Low活性の制御信号についてはピン出力値が1(High)に設定されるべきです。High活性の制御信号についてはピン出力値が0(Low)に設定されるべきです。アドレス線は特定ピン出力値構成設定の必要がありません。チップ選択線は電源ONやリセットの間にそれらがHighを保つのを保証するためにプルアップ抵抗を持つべきです。チップ選択線がHigh活性の場合、プルアップの代わりにプルダウンが使われるべきです。

第4のEBIポート用のピン出力はEBI出力(EBIOUT)レジスタで構成設定することができます。

I/Oピン構成設定のより多くの詳細については95頁の「**入出力ポート**」を参照してください。

下表は様々なSRAMとSDRAM構成設定に対する実際のポートピン配置を要約し、必要とされるピンとピンの使い方を示します。特定のAVR XMEGAデバイスに関してEBIのPORT0～3として実際にどの入出力ポートが使われるかを知るためにデバイスのデータシートを参照してください。

表27-4. SRAMのピン配置

ポート	ピン	SRAM 3ポート ALE1	SRAM 3ポート ALE12	SRAM 4ポート ALE2	SRAM 4ポート ALEなし
PORT3	7～0	–	–	A15～8	A15～8
PORT2	7～0	A7～0/ A15～8	A7～0/ A15～8/ A23～16	A7～0/ A23～16	A7～0
PORT1	7～0	D7～0	D7～0	D7～0	D7～0
PORT0	7～4	$\overline{CS}$3～0 (A19～16)	$\overline{CS}$3～0	$\overline{CS}$3～0	$\overline{CS}$3～0 (A21～18)
	3	–	$\overline{ALE2}$	$\overline{ALE2}$	A17
	2	$\overline{ALE1}$	$\overline{ALE1}$	–	A16
	1	$\overline{RE}$	$\overline{RE}$	$\overline{RE}$	$\overline{RE}$
	0	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$

表27-5. SRAM LPCのﾋﾟﾝ配置

ﾎﾟｰﾄ	ﾋﾟﾝ	SRAM LPC 2ﾎﾟｰﾄ ALE1	SRAM LPC 3/4ﾎﾟｰﾄ ALE1	SRAM 2/3/4ﾎﾟｰﾄ ALE12
PORT3	7～0	–	–	–
PORT2	7～0	–	A15～8	–
PORT1	7～0	D7～0/ A7～0	D7～0/ A7～0	D7～0/ A7～0/ A15～8
PORT0	7～4	$\overline{CS}$3～0	$\overline{CS}$3～0 (A19～16)	$\overline{CS}$3～0 (A19～16)
	3	–	–	$\overline{ALE2}$
	2	$\overline{ALE1}$	$\overline{ALE1}$	–
	1	$\overline{RE}$	$\overline{RE}$	$\overline{RE}$
	0	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$

表27-6. SDRAMとの組み合わせ時のSRAMとSRAM LPCのﾋﾟﾝ配置 (4ﾎﾟｰﾄ専用)

ﾎﾟｰﾄ	ﾋﾟﾝ	SRAM LPC ALE1 (SDRAMと共の)	SRAM LPC ALE12 (SDRAMと共の)	SRAM ALE1 (SDRAMと共の)	SRAM ALE12 (SDRAMと共の)
PORT3	7～4	$\overline{CS}$3～0 (A23～20)	$\overline{CS}$3～0 (A23～20)	$\overline{CS}$3～0 (A23～20)	$\overline{CS}$3～0
	3～0	A19～16	A19～16	A19～16	–
PORT2	7～0	A15～8	–	A7～0/ A15～8	A7～0/ A15～8/ A23～16
PORT1	7～0	D7～0/ A7～0/	D7～0/ A7～0/ A15～8	D7～0/	D7～0/
PORT0	7～4	–	–	–	–
	3	–	$\overline{ALE2}$	–	$\overline{ALE2}$
	2	$\overline{ALE1}$	$\overline{ALE1}$	$\overline{ALE1}$	$\overline{ALE1}$
	1	$\overline{RE}$	$\overline{RE}$	$\overline{RE}$	$\overline{RE}$
	0	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$

表27-7. SDRAMのﾋﾟﾝ配置

ﾎﾟｰﾄ	ﾋﾟﾝ	SDRAM 3ﾎﾟｰﾄ 4ﾋﾞｯﾄ	SDRAM 4ﾎﾟｰﾄ 4ﾋﾞｯﾄ	SDRAM 4ﾎﾟｰﾄ 8ﾋﾞｯﾄ
PORT3	7～4	–	$\overline{CS}$3～0	$\overline{CS}$3～0
	3～0	–	–	A11～8
PORT2	7～0	A7～0	A7～0	A7～0
PORT1	7～4	A11～8	A11～8	D7～4
	3～0	D3～0	D3～0	D3～0
PORT0	7	CLK	CLK	CLK
	6	CKE	CKE	CKE
	5	BA1	BA1	BA1
	4	BA0	BA0	BA0
	3	$\overline{DQM}$	$\overline{DQM}$	$\overline{DQM}$
	2	$\overline{RAS}$	$\overline{RAS}$	$\overline{RAS}$
	1	$\overline{CAS}$	$\overline{CAS}$	$\overline{CAS}$
	0	$\overline{WE}$	$\overline{WE}$	$\overline{WE}$

27.10. ﾚｼﾞｽﾀ説明 – EBI

27.10.1. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	SDDATAW1,0		LPCMODE1,0		SRMODE1,0		IFMODE1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – SDDATAW1,0 : SDRAMﾃﾞｰﾀ幅設定** (SDRAM Data Width Setting)

これらのﾋﾞｯﾄは表27-8.に従ってEBI SDRAMﾃﾞｰﾀ幅構成設定を選びます。

表27-8. SDRAM種別

SDDATAW1,0	群構成設定	内容
0 0	4BIT	4ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽ
0 1	8BIT	8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽ (注)
1 0	–	(予約)
1 1	–	(予約)

注: 8ﾋﾞｯﾄ ﾃﾞｰﾀ ﾊﾞｽは4ﾎﾟｰﾄEBIｲﾝﾀｰﾌｪｰｽでだけ利用可能です。

● **ﾋﾞｯﾄ5,4 – LPCMODE1,0 : 少ﾋﾟﾝ数SRAM種別** (SRAM Low Pin-count Mode)

これらのﾋﾞｯﾄは表27-9.に従ってEBI SRAM LPC構成設定を選びます。

表27-9. SRAM LPC種別

LPCMODE1,0	群構成設定	内容
0 0	ALE1	ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と多重化されたﾃﾞｰﾀ
0 1	–	(予約)
1 0	ALE12	ｱﾄﾞﾚｽ ﾊﾞｲﾄ0,1と多重化されたﾃﾞｰﾀ
1 1	–	(予約)

● **ﾋﾞｯﾄ3,2 – SRMODE1,0 : SRAM種別** (SRAM Mode)

これらのﾋﾞｯﾄは表27-10.に従ってEBI SRAM構成設定を選びます。

表27-10. SRAM種別

SRMODE1,0	群構成設定	ALE	内容
0 0	ALE1	ALE1	ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と1の多重化
0 1	ALE2	ALE2	ｱﾄﾞﾚｽ ﾊﾞｲﾄ0と2の多重化 (注)
1 0	ALE12	ALE1と2	ｱﾄﾞﾚｽ ﾊﾞｲﾄ0,1と2の多重化
1 1	NOALE	ALEなし	ｱﾄﾞﾚｽ多重化なし (注)

注: ALE2とNOALEは4ﾎﾟｰﾄEBIｲﾝﾀｰﾌｪｰｽでだけ利用可能です。

● **ﾋﾞｯﾄ1,0 – IFMODE1,0 : ｲﾝﾀｰﾌｪｰｽ種別** (Interface Mode)

これらのﾋﾞｯﾄは表27-11.に従ってEBIｲﾝﾀｰﾌｪｰｽ種別と(標準機能を)無効化してEBI用に許可されるﾎﾟｰﾄ数を選びます。

表27-11. EBI種別

IFMODE1,0	群構成設定	内容
0 0	DISABLED	EBI禁止
0 1	3PORT	3ﾎﾟｰﾄ ｲﾝﾀｰﾌｪｰｽでEBI許可
1 0	4PORT	4ﾎﾟｰﾄ ｲﾝﾀｰﾌｪｰｽでEBI許可
1 1	2PORT	2ﾎﾟｰﾄ ｲﾝﾀｰﾌｪｰｽでEBI許可

27.10.2. SDRAMCTRLA – SDRAM制御ﾚｼﾞｽﾀA (SDRAM Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	SDCAS	SDROW	SDCOL1,0		SDRAMCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – SDCAS : SDRAM CAS遅延** (SDRAM CAS latency)

このﾋﾞｯﾄはclk_{PER2}周期数としてCAS遅延を設定します。既定でのこのﾋﾞｯﾄは0で、CAS遅延は2clk_{PER2}周期です。このﾋﾞｯﾄが1に設定された時のCAS遅延は3clk_{PER2}周期です。

表27-12. SDRAM CAS遅延

SDCAS	群構成設定	内容
0	2CLK	2clk_{PER2}周期遅延
1	3CLK	3clk_{PER2}周期遅延

● **ﾋﾞｯﾄ2 – SDROW : SDRAM行ﾋﾞｯﾄ数** (SDRAM Row Bits)

このﾋﾞｯﾄは接続されたSDRAMに対して使う行ﾋﾞｯﾄ数を設定します。既定でのこのﾋﾞｯﾄは0で、行ﾋﾞｯﾄ数設定は11ﾋﾞｯﾄ行に設定されます。このﾋﾞｯﾄが1に設定された時の行ﾋﾞｯﾄ数設定は12ﾋﾞｯﾄ行に設定されます。

表27-13. SDRAM行ﾋﾞｯﾄ数

SDROW	群構成設定	内容
0	11BIT	行11ﾋﾞｯﾄ
1	12BIT	行12ﾋﾞｯﾄ

● **ﾋﾞｯﾄ1,0 – SDCOL1,0 : SDRAM列ﾋﾞｯﾄ数** (SDRAM Column Bits)

これらのﾋﾞｯﾄは**表27-14.**に従って、接続されたSDRAMに対して使う列ﾋﾞｯﾄ数を選びます。

表27-14. SDRAM列ﾋﾞｯﾄ数

SDCOL1,0	群構成設定	内容
0 0	8BIT	8ﾋﾞｯﾄ列
0 1	9BIT	9ﾋﾞｯﾄ列
1 0	10BIT	10ﾋﾞｯﾄ列
1 1	11BIT	11ﾋﾞｯﾄ列

27.10.3. REFRESH – SDRAM再活性周期ﾚｼﾞｽﾀ (SDRAM Refresh Period register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
+$05	–	–	–	–	–	–	REFRESH9~8		REFRESHH
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	REFRESH7~0								REFRESHL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ15~10 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ9~0 – REFRESH9~0 : SDRAM再活性周期** (SDRAM Refresh Period)

このﾚｼﾞｽﾀはclk_{PER2}周期数として再活性周期を設定します。再活性時にEBIが他の外部ﾒﾓﾘ ｱｸｾｽで多忙の場合、4回までの再活性が記憶され、最初の利用可能時に行われます。

27.10.4. INITDLY – SDRAM初期化遅延ﾚｼﾞｽﾀ (SDRAM Initialization Delay register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
+$07	–	–	INITDLY13~8						INITDLYH
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	INITDLY7~0								INITDLYL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ15,14 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ13~0 – INTDLY13~0 : SDRAM初期化遅延** (SDRAM Initialization Delay)

このﾚｼﾞｽﾀは制御器許可後、全ての電圧が安定にされてSDRAMｸﾛｯｸが初期化手順を通すのに充分長く走行してしまうまでの初期化手順遅延に使われます。この初期化手順は自動再活性周期を発行するそれらのｱｲﾄﾞﾙ状態とその後の多くのﾚｼﾞｽﾀ格納のための全ﾊﾞﾝｸの事前充電を含みます。このﾚｼﾞｽﾀの設定はclk_{PER2}周期数としてです。

27.10.5. SDRAMCTRLB – SDRAM制御ﾚｼﾞｽﾀB (SDRAM Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	MRDLY1,0		ROWCYCDLY2~0			RPDLY2~0			SDRAMCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – MRDLY1,0 : SDRAM Mode Register遅延** (SDRAM Mode Register Delay)

これらのﾋﾞｯﾄは**表27-15.**に従って、周辺2倍ｸﾛｯｸ(clk_{PER2})周期数でのLOAD MODE命令とACTIVE命令間遅延を選びます。

表27-15. SDRAM Load Mode⇒Activeの命令間遅延設定

MRDLY1,0	群構成設定	内容
0 0	0CLK	0 clk_{PER2}周期遅延
0 1	1CLK	1 clk_{PER2}周期遅延
1 0	2CLK	2 clk_{PER2}周期遅延
1 1	3CLK	3 clk_{PER2}周期遅延

● **ﾋﾞｯﾄ5~3 – ROWCYCDLY2~0 : SDRAM行周期遅延** (SDRAM Row Cycle Delay)

これらのﾋﾞｯﾄは**表27-16.**に従って、clk_{PER2}周期数でのREFRESHとACTIVE命令間遅延を選びます。

表27-16. SDRAM行周期遅延設定

ROWCYCDLY2～0	群構成設定	内容	ROWCYCDLY2～0	群構成設定	内容
0 0 0	0CLK	0 clk_{PER2}周期遅延	1 0 0	4CLK	4 clk_{PER2}周期遅延
0 0 1	1CLK	1 clk_{PER2}周期遅延	1 0 1	5CLK	5 clk_{PER2}周期遅延
0 1 0	2CLK	2 clk_{PER2}周期遅延	1 1 0	6CLK	6 clk_{PER2}周期遅延
0 1 1	3CLK	3 clk_{PER2}周期遅延	1 1 1	7CLK	7 clk_{PER2}周期遅延

● **ﾋﾞｯﾄ2~0 – RPDLY2~0 : SDRAM行事前充電遅延** (SDRAM Row to Pre-charge Delay)

これらのﾋﾞｯﾄは**表27-17.**に従って、clk_{PER2}周期数でのACTIVE命令とPRECHARGE命令間遅延を定義します。

表27-17. SDRAM行事前充電遅延設定

RPDLY2～0	群構成設定	内容	RPDLY2～0	群構成設定	内容
0 0 0	0CLK	0 clk_{PER2}周期遅延	1 0 0	4CLK	4 clk_{PER2}周期遅延
0 0 1	1CLK	1 clk_{PER2}周期遅延	1 0 1	5CLK	5 clk_{PER2}周期遅延
0 1 0	2CLK	2 clk_{PER2}周期遅延	1 1 0	6CLK	6 clk_{PER2}周期遅延
0 1 1	3CLK	3 clk_{PER2}周期遅延	1 1 1	7CLK	7 clk_{PER2}周期遅延

27.10.6. SDRAMCTRLC – SDRAM制御ﾚｼﾞｽﾀC (SDRAM Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	WRDLY1,0		ESRDLY2~0			ROWCOLDLY2~0			SDRAMCTRLC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – WRDLY1,0 : SDRAM書き込み回復遅延** (SDRAM Write Recovery Delay)

これらのﾋﾞｯﾄは**表27-18.**に従って、clk_{PER2}周期数での書き込み回復時間を選びます。

表27-18. SDRAM書き込み回復時間設定

WRDLY1,0	群構成設定	内容
0 0	0CLK	0 clk_{PER2}周期遅延
0 1	1CLK	1 clk_{PER2}周期遅延
1 0	2CLK	2 clk_{PER2}周期遅延
1 1	3CLK	3 clk_{PER2}周期遅延

● **ﾋﾞｯﾄ5~3 – ESRDLY2~0 : SDRAM自己再活性後活性遅延** (SDRAM Exit Self-refresh to Active Delay)

この領域は**表27-19.**に従って、clk_{PER2}周期数でのCKE=High設定とACTIVE命令間遅延を定義します。

表27-19. SDRAM自己再活性抜け出し遅延設定

ESRDLY2~0	群構成設定	内容	ESRDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clk_{PER2}周期遅延	1 0 0	4CLK	4 clk_{PER2}周期遅延
0 0 1	1CLK	1 clk_{PER2}周期遅延	1 0 1	5CLK	5 clk_{PER2}周期遅延
0 1 0	2CLK	2 clk_{PER2}周期遅延	1 1 0	6CLK	6 clk_{PER2}周期遅延
0 1 1	3CLK	3 clk_{PER2}周期遅延	1 1 1	7CLK	7 clk_{PER2}周期遅延

● **ﾋﾞｯﾄ2~0 – ROWCOLDLY2~0 : SDRAM行後列遅延** (SDRAM Row to Column Delay)

この領域は**表27-20.**に従って、clk_{PER2}周期数でのACTIVE命令とREAD/WRITE命令間遅延を定義します。

表27-20. SDRAM行/列遅延設定

ESRDLY2~0	群構成設定	内容	ESRDLY2~0	群構成設定	内容
0 0 0	0CLK	0 clk_{PER2}周期遅延	1 0 0	4CLK	4 clk_{PER2}周期遅延
0 0 1	1CLK	1 clk_{PER2}周期遅延	1 0 1	5CLK	5 clk_{PER2}周期遅延
0 1 0	2CLK	2 clk_{PER2}周期遅延	1 1 0	6CLK	6 clk_{PER2}周期遅延
0 1 1	3CLK	3 clk_{PER2}周期遅延	1 1 1	7CLK	7 clk_{PER2}周期遅延

27.11. ﾚｼﾞｽﾀ説明 – EBI ﾁｯﾌﾟ選択

27.11.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	ASIZE4~0					MODE1,0		CTRLA
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6~2 – ASIZE4~0 : ｱﾄﾞﾚｽ容量** (Address Size)

これらのﾋﾞｯﾄはﾁｯﾌﾟ選択に対するｱﾄﾞﾚｽ容量を選びます。これは基準ｱﾄﾞﾚｽから上位の塊量です。

表27-21. ｱﾄﾞﾚｽ空間符号化

ASIZE4~0	群構成設定	ｱﾄﾞﾚｽ容量	比較ｱﾄﾞﾚｽ線	ASIZE4~0	群構成設定	ｱﾄﾞﾚｽ容量	比較ｱﾄﾞﾚｽ線
0 0 0 0 0	256B	256ﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～8	0 1 0 0 1	128K	128Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～17
0 0 0 0 1	512B	512ﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～9	0 1 0 1 0	256K	256Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～18
0 0 0 1 0	1K	1Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～10	0 1 0 1 1	512K	512Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～19
0 0 0 1 1	2K	2Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～11	0 1 1 0 0	1M	1Mﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～20
0 0 1 0 0	4K	4Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～12	0 1 1 0 1	2M	2Mﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～21
0 0 1 0 1	8K	8Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～13	0 1 1 1 0	4M	4Mﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～22
0 0 1 1 0	16K	16Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～14	0 1 1 1 1	8M	8Mﾊﾞｲﾄ	ｱﾄﾞﾚｽ23
0 0 1 1 1	32K	32Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～15	1 0 0 0 0	16M	16Mﾊﾞｲﾄ(注)	–
0 1 0 0 0	64K	64Kﾊﾞｲﾄ	ｱﾄﾞﾚｽ23～16	その他	–	–	(予約)

注: 利用可能なﾃﾞｰﾀ空間全体が使われます。

● **ﾋﾞｯﾄ1,0 – MODE1,0 : ﾁｯﾌﾟ選択動作種別** (Chip Select Mode)

これらのﾋﾞｯﾄは表27-22.に従ってﾁｯﾌﾟ選択動作種別を選択して、外部のﾒﾓﾘまたは周辺機能に対してどのｲﾝﾀｰﾌｪｰｽ形式が使われるかを決めます。

表27-22. ﾁｯﾌﾟ選択動作種別選択

MODE1,0	群構成設定	内容
0 0	DISABLE	ﾁｯﾌﾟ選択禁止
0 1	SRAM	SRAM用ﾁｯﾌﾟ選択許可
1 0	LPC	少ﾋﾟﾝ数(LPC) SRAM用ﾁｯﾌﾟ選択許可
1 1	SDRAM	SDRAM用ﾁｯﾌﾟ選択許可 (注)

注: SDRAMはﾁｯﾌﾟ選択(CS)3に対してだけ選択できます。

27.11.2. CTRLB(対SRAM) – 制御ﾚｼﾞｽﾀB (Control register B)

このﾚｼﾞｽﾀでの構成設定任意選択はﾁｯﾌﾟ選択動作種別設定に依存します。以下のﾚｼﾞｽﾀ記述はﾁｯﾌﾟ選択動作種別がSRAMまたはSRAM LPCに構成設定される時に有効です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	–	–	–	–	SRWS2~0			CTRLB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – SRWS2~0 : SRAM待ち状態** (SRAM Wait State)

これらのﾋﾞｯﾄは表27-23.に従って、SRAMとSRAM LPCに対する待ち状態をclk_{PER2}周期数として選びます。

表27-23. SRAM待ち状態選択

SRWS2～0	群構成設定	内容	SRWS2～0	群構成設定	内容
0 0 0	0CLK	0 clk_{PER2}周期遅延	1 0 0	4CLK	4 clk_{PER2}周期遅延
0 0 1	1CLK	1 clk_{PER2}周期遅延	1 0 1	5CLK	5 clk_{PER2}周期遅延
0 1 0	2CLK	2 clk_{PER2}周期遅延	1 1 0	6CLK	6 clk_{PER2}周期遅延
0 1 1	3CLK	3 clk_{PER2}周期遅延	1 1 1	7CLK	7 clk_{PER2}周期遅延

27.11.3. CTRLB(対SDRAM) – 制御ﾚｼﾞｽﾀB (Control register B)

このﾚｼﾞｽﾀでの構成設定任意選択はﾁｯﾌﾟ選択動作種別設定に依存します。以下のﾚｼﾞｽﾀ記述はﾁｯﾌﾟ選択動作種別がSDRAMに構成設定される時に有効です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	SDINITDONE	–	–	–	–	SDREN	SDMODE1,0		CTRLB
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – SDINITDONE : SDRAM初期化完了ﾌﾗｸﾞ** (SDRAM Initialization Complete)

このﾌﾗｸﾞはSDRAM初期化手順の最後で設定(1)されます。このﾌﾗｸﾞはEBIが許可され、ﾁｯﾌﾟ選択がSDRAM用に構成設定されている限り設定(1)に留まります。

● **ﾋﾞｯﾄ6～3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2 – SDSREN : SDRAM自己再活性許可** (SDRAM SELf-refresh Enable)

このﾋﾞｯﾄが1を書かれると、EBI制御器はSDRAMに自己再活性(Self-refresh)命令を送ります。自己再活性動作を抜け出すには、このﾋﾞｯﾄが0を書かれなければなりません。

● **ﾋﾞｯﾄ1,0 – SDMODE1,0 : SDRAM動作種別** (SDRAM Mode)

これらのﾋﾞｯﾄは表27-24.に従って、SDRAMｱｸｾｽ時の動作種別を選びます。

表27-24. SDRAM動作種別

SDMODE1,0	群構成設定	内容
0 0	NORMAL	標準動作、SDRAMへのｱｸｾｽは標準的に復号されます。
0 1	LOAD	格納動作、EBIはSDRAMがｱｸｾｽされる時に"Load Mode Register"命令を発行します。
1 0	–	(予約)
1 1	–	(予約)

27.11.4. BASEADDR – 基準ｱﾄﾞﾚｽ ﾚｼﾞｽﾀ (Base Address register)

ﾋﾞｯﾄ	15	14	13	12	11	10	9	8	
+$03	BASEADDR23~16								BASEADDRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	BASEADDR15~12				–	–	–	–	BASEADDRL
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ15～4 – BASEADDR23~12 : ﾁｯﾌﾟ選択基準ｱﾄﾞﾚｽ** (Chip Select Base Address)

基準ｱﾄﾞﾚｽはﾁｯﾌﾟ選択によって許可されるｱﾄﾞﾚｽ空間内の最下位ｱﾄﾞﾚｽです。ﾁｯﾌﾟ選択制御ﾚｼﾞｽﾀA(CTRLA)で設定するﾁｯﾌﾟ選択ｱﾄﾞﾚｽ容量(ASIZE)とで、これはﾁｯﾌﾟ選択に対するｱﾄﾞﾚｽ空間を与えます。

● **ﾋﾞｯﾄ3～0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

27.12. ﾚｼﾞｽﾀ要約 – EBI

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$1C	CS3	ﾁｯﾌﾟ選択3 差分ｱﾄﾞﾚｽ								
+$18	CS2	ﾁｯﾌﾟ選択2 差分ｱﾄﾞﾚｽ								
+$14	CS1	ﾁｯﾌﾟ選択1 差分ｱﾄﾞﾚｽ								
+$10	CS0	ﾁｯﾌﾟ選択0 差分ｱﾄﾞﾚｽ								
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	予約	–	–	–	–	–	–	–	–	
+$0A	予約	–	–	–	–	–	–	–	–	
+$09	SDRAMCTRLC	RWDLY1,0		ESRDLY2~0			ROWCOLDLY2~0			235
+$08	SDRAMCTRLB	MRDLY1,0		ROWCYCDLY2~0			RPDLY2~0			234
+$07	INITDLYH	–	–	SDRAM初期化遅延上位ﾊﾞｲﾄ (INITDLY13~8)						234
+$06	INITDLYL	SDRAM初期化遅延下位ﾊﾞｲﾄ (INITDLY7~0)								234
+$05	REFRESHH	–	–	–	–	–	–	REFRESH9,8		233
+$04	REFRESHL	SDRAM再活性周期下位ﾊﾞｲﾄ (REFRESH7~0)								233
+$03	予約	–	–	–	–	–	–	–	–	
+$02	予約	–	–	–	–	–	–	–	–	
+$01	SDRAMCTRLA	–	–	–	–	SDCAS	SDROW	SDCOL1,0		233
+$00	CTRL	SDDATAW1,0		LPCMODE1,0		SRMODE1,0		IFMODE1,0		232

27.13. ﾚｼﾞｽﾀ要約 – EBI ﾁｯﾌﾟ選択

ｱﾄﾞﾚｽ	略称		ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	BASEADDRH		ﾁｯﾌﾟ選択基準ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ (BASEADDR23~16)								237
+$02	BASEADDRL		ﾁｯﾌﾟ選択基準ｱﾄﾞﾚｽ上位ﾊﾞｲﾄ (BASEADDR15~12)				–	–	–	–	237
+$01	CTRLB	SRAM	–	–	–	–	–	SRWS2~0			236
		SDRAM	SDINITDONE	–	–	–	–	SDSREN	SDMODE1,0		237
+$00	CTRLA		–	ASIZE4~0					MODE1,0		236

28. ADC – A/D変換器

28.1. 要点

- 12ﾋﾞｯﾄ分解能
- 1秒当たり最大200万採取
  - ADCと×1利得段を使って2つの入力を同時採取可
  - 1.5µs内で4入力の採取可
  - 8ﾋﾞｯﾄ分解能で最小2.5µsの変換時間
  - 12ﾋﾞｯﾄ分解能で最小3.5µsの変換時間
- 差動とｼﾝｸﾞﾙｴﾝﾄﾞの入力
  - 最大16のｼﾝｸﾞﾙｴﾝﾄﾞ入力
  - 16×4種の利得なし差動入力
  - 8×4種の利得付き差動入力
- 組み込み差動利得段
  - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 4つの内部入力
  - 内部温度感知器
  - D/A変換器(DAC)出力
  - VCCの1/10の電圧
  - 1.1Vﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 個別の入力制御と結果ﾚｼﾞｽﾀを持つ4つの変換ﾁｬﾈﾙ
  - 4つの並列構成設定と結果を許可
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なﾀｲﾐﾝｸﾞ用事象起動変換
- 任意選択の変換結果DMA転送
- 任意選択の比較結果での割り込み/事象

28.2. 概要

A/D変換器(ADC)はｱﾅﾛｸﾞ信号をﾃﾞｼﾞﾀﾙ値に変換します。ADCは12ﾋﾞｯﾄ分解能と秒当たり200万採取(MSPS)までの変換能力を持ちます。入力選択は柔軟で、ｼﾝｸﾞﾙｴﾝﾄﾞと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

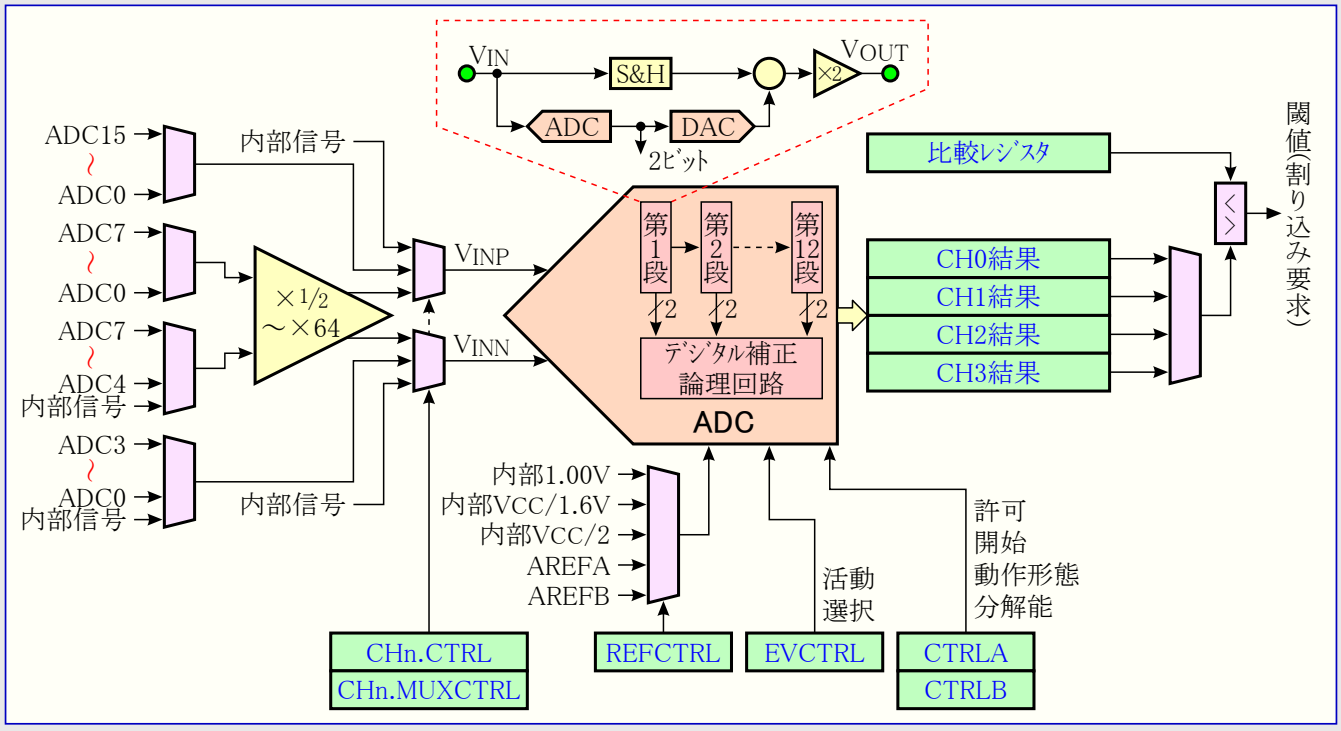
これは多くの連続段から成るﾊﾟｲﾌﾟﾗｲﾝADCです。ﾊﾟｲﾌﾟﾗｲﾝ設計は低いｼｽﾃﾑ ｸﾛｯｸ周波数での高い採取速度を許します。それは他のADC変換が未だ実行中と同時に新しい入力が採取され、新規のADC変換が始められることも意味します。これは採取速度と伝播遅延間の依存性を取り去ります。

ADC個別の入力選択、結果ﾚｼﾞｽﾀ、変換開始制御を持つ4つの変換ﾁｬﾈﾙ(0～3)を持ちます。そしてADCは4つの並列構成設定と結果を維持して使うことができ、これは高いﾃﾞｰﾀ単位処理能力またはADC依存性を用いる複数単位部での応用に対する使用を容易にします。変換が行われる時にADCの結果を直接、ﾒﾓﾘまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。D/A変換器、VCC/10、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のｿﾌﾄｳｪｱ介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。

図28-1. ADC概要



28.3. 入力元

入力元はADCが測定と変換を行える電圧入力です。4つの測定形式が選択できます。

- (利得なし)差動入力
- 利得付き差動入力
- シングルエンド入力
- 内部入力

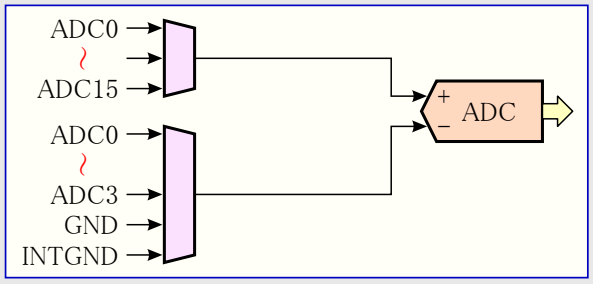
入力ピンはシングルエンドと差動の入力に使われ、一方内部入力はデバイスの内側で直接的に利用可能です。2つのADCを持つデバイスでは、PORTAピンがADCAへの入力にでき、PORTBピンがADCBへの入力にできます。1つだけのADCを持つAVR XMEGA デバイスについては、PORTAとPORTBの両方でADCに対して利用可能かもしれません。

ADCは差動で、故にシングルエンド測定については負入力が内部固定値に接続されます。4つの測定形式とそれらに対応する入力選択は図28-2.～241頁の図28-7.で示されます

28.3.1. 利得なし差動入力

差動入力が許可されると、全ての入力ピンは正入力として選択でき、入力ピン0～3は負入力として選択できます。差動入力が使われる時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

図28-2. 利得なし差動測定

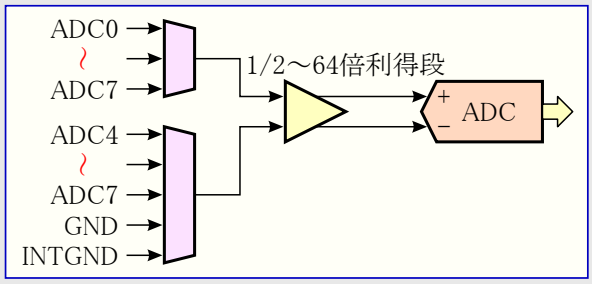


28.3.2. 利得付き差動入力

利得付き差動入力が許可されると、全ての入力ﾋﾟﾝは正入力として選択でき、入力ﾋﾟﾝ4～7は負入力として選択できます。利得段が使われると、差動入力は最初に採取され、その結果がADCに送られる前に利得段によって増幅されます。利得付き差動入力が使われる時、ADCは符号付き動作(CONVMODE=1)でなければなりません。

利得は、1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得が選択可能です。

図28-3. 利得付き差動測定



28.3.3. ｼﾝｸﾞﾙｴﾝﾄﾞ入力

ｼﾝｸﾞﾙｴﾝﾄﾞ測定については全ての入力ﾋﾟﾝが入力として使うことができます。ｼﾝｸﾞﾙｴﾝﾄﾞ測定は符号付きと符号なしの両動作で行うことができます。

負入力は符号付き動作で内部GNDに接続されます。

符号なし動作では、負入力が基準電圧(VREF)の半分-固定変位に接続されます。この変位に対する公称値は以下です。

$$\Delta V = VREF \times 0.05$$

ADCが差動なので、入力範囲ｼﾝｸﾞﾙｴﾝﾄﾞ入力に対してVREFから0までです。変位はADCに対して符号なし動作での0交差測定を可能にし、ﾃﾞﾊﾞｲｽの内部GNDが外部GNDよりも高い時の正の変位(ｵﾌｾｯﾄ)校正を許します。詳細については243頁の図28-11.をご覧ください。

図28-4. 符号付き動作でのｼﾝｸﾞﾙｴﾝﾄﾞ測定

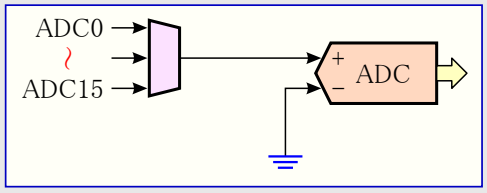
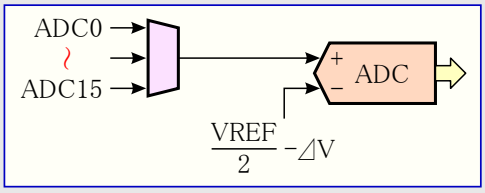


図28-5. 符号なし動作でのｼﾝｸﾞﾙｴﾝﾄﾞ測定



28.3.4. 内部入力

ADCによって4つの内部信号を測定または使うことができます。

- 温度感知器
- ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
- 縮尺VCC
- D/A変換器(DAC)出力
- ﾊﾟｯﾄﾞと内部のGND

温度感知器はﾃﾞﾊﾞｲﾄの内部温度で直線的に増加する出力電圧を生じます。温度感知器からの温度を計算するのに1つ以上の校正点が必要とされます。温度感知器は製造検査で1点校正され、結果が製品識票列内の温度感知器校正ﾚｼﾞｽﾀ(TEMPSENSE0とTEMPSENSE1)に格納されます。より多くの校正条件の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧は正確な内部電圧基準です。

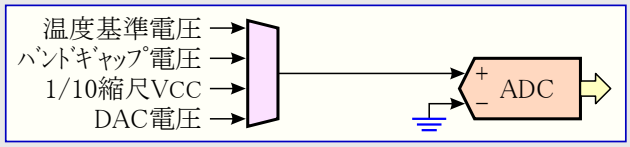
VCCはADC入力の前で1/10して縮尺することによって直接測定することができます。従って、1.8VのVCCは0.18Vとして測定され、3.6VのVCCは0.36Vとして測定され、これは容易なVCC電圧測定を許します。

内部信号はそれらが測定され得るのに先立って許可される必要があります。それらを許可する方法の詳細について、ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟとDACに関してはそれらの手引書の項目を参照してください。内部信号に対する採取速度はADCのそれよりも遅いです。詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄ内のADC特性を参照してください。

差動測定に関して負入力としてﾊﾟｯﾄﾞGND(GND)と内部GNDを選択することができます。ﾊﾟｯﾄﾞGNDはﾋﾟﾝでのGNDﾚﾍﾞﾙで、外部GNDと同じまたは非常に近いものです。内部GNDは内部ﾃﾞﾊﾞｲｽGNDﾚﾍﾞﾙです。

内部GNDは他の内部信号がｼﾝｸﾞﾙｴﾝﾄﾞ動作で測定される時の負入力として使われます。

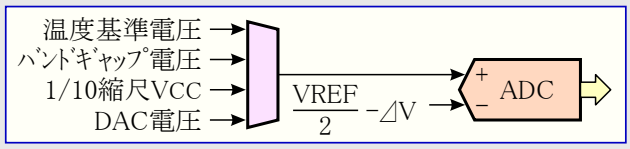
図28-6. 符号付き動作での内部測定



符号なし動作で内部信号を測定するため、負入力は下の式によって与えられる固定値に接続され、それは符号なしｼﾝｸﾞﾙｴﾝﾄﾞ入力に対する負入力として、基準電圧(VREF)の半分-固定変位です。詳細については243頁の図28-11.をご覧ください。

$$VINN = VREF/2 - \Delta V$$

図28-7. 符号なし動作での内部測定



28.4. ADCﾁｬﾈﾙ

ADCの最大利用を容易にするため、対応する結果ﾚｼﾞｽﾀと共に4つの独立した多重器(MUX)制御ﾚｼﾞｽﾀ対を持ちます。各対がADCﾁｬﾈﾙを形成します。240頁の図28-1.をご覧ください。そしてADCは入力元と起動の4つの並列構成設定を保って使うことができます。各ﾁｬﾈﾙは専用の結果ﾚｼﾞｽﾀ、事象と割り込み、DMA起動を持ちます。

ADCﾁｬﾈﾙ使用法の例として、1つのﾁｬﾈﾙは事象ﾁｬﾈﾙによって起動されるｼﾝｸﾞﾙｴﾝﾄﾞ測定に構成設定でき、2つ目のﾁｬﾈﾙは別の事象を用いて差動入力を測定でき、そして最後の2つのﾁｬﾈﾙは応用ｿﾌﾄｳｪｱによって開始される他の2つの入力元を測定できます。

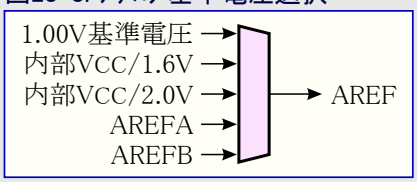
全てのADCﾁｬﾈﾙは変換に関して同じADCﾊﾟｲﾌﾟﾗｲﾝを使い、ﾊﾟｲﾌﾟﾗｲﾝは各ADCｸﾛｯｸ周期での開始を新しい変換に許します。これは異なるﾁｬﾈﾙからの複数のADC測定を同時且つ独立して変換できることを意味します。ﾁｬﾈﾙの結果ﾚｼﾞｽﾀは個別に更新され、他のﾁｬﾈﾙでの変換によって影響を及ぼされません。完全にお互い無関係に変換を開始して変換結果を読むことを異なるｿﾌﾄｳｪｱ部に許すことによって、これはｿﾌﾄｳｪｱの複雑さを低減する助けになり得ます。

28.5. 基準電圧選択

ADCに対する基準電圧(AREF)として以下の電圧が利用可能です。

- ﾊﾞｯﾄﾞｷﾞｬｯﾌﾟから生成された正確な内部1.00V電圧
- 内部VCC/1.6V電圧
- 内部VCC/2V電圧
- PORTAのAREFﾋﾟﾝに印加された外部基準電圧
- PORTBのAREFﾋﾟﾝに印加された外部基準電圧

図28-8. ｱﾅﾛｸﾞ基準電圧選択



28.6. 変換結果

A/D変換の結果は対応するﾁｬﾈﾙの結果(RES)ﾚｼﾞｽﾀに書かれます。ADCは符号付きと符号なしのどちらかです。この設定はADCと全てのADCﾁｬﾈﾙに対する全体設定です。

符号付き動作では、正と負の結果が生成されます。どのADCﾁｬﾈﾙも差動測定に設定される時は符号付き動作が使われなければなりません。符号なし動作ではｼﾝｸﾞﾙｴﾝﾄﾞまたは内部信号だけを測定することができます。12ﾋﾞｯﾄ分解能では符号付き結果のTOP値が2047で、結果は-2048～+2047($F800～$07FF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - VINN}{VREF} \times GAIN \times (TOP+1)$$

VINPとVINNはADCへの正入力と負入力です。

差動測定に関して利得(GAIN)は1/2～64です。ｼﾝｸﾞﾙｴﾝﾄﾞと内部測定に関して、利得(GAIN)は常に1で、VINPは内部GNDです。

符号なし動作では、正の結果だけが生成されます。符号なしの結果のTOP値は4095で、結果は0～4095($0000～$0FFF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - (-\Delta V)}{VREF} \times (TOP+1)$$

VINPはｼﾝｸﾞﾙｴﾝﾄﾞまたは内部の入力です。

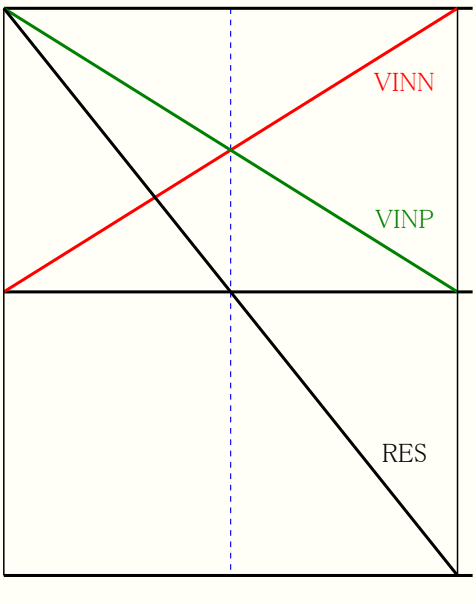
ADCは8ﾋﾞｯﾄまたは12ﾋﾞｯﾄの結果のどちらかを生成するように構成設定することができます。より低い分解能での結果はより早く利用可能になります。伝播遅延の記述については「ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ」をご覧ください。

結果ﾚｼﾞｽﾀは右揃えされた16ﾋﾞｯﾄとして格納される16ﾋﾞｯﾄ幅です。右揃えは下位8ﾋﾞｯﾄが下位ﾊﾞｲﾄで得られることを意味します。12ﾋﾞｯﾄの結果は左揃えまたは右揃えのどちらかで表されます。左揃えは上位8ﾋﾞｯﾄが上位ﾊﾞｲﾄで得られることを意味します。

ADCが符号付き動作のとき、最上位ﾋﾞｯﾄは符号ﾋﾞｯﾄを表します。12ﾋﾞｯﾄ右揃え動作では、直接的な符号付き16ﾋﾞｯﾄ数値を作成するために符号ﾋﾞｯﾄ(ﾋﾞｯﾄ11)値がﾋﾞｯﾄ12～15に詰められます。8ﾋﾞｯﾄ動作では符号ﾋﾞｯﾄ(ﾋﾞｯﾄ7)値が上位ﾊﾞｲﾄ全体に詰められます。

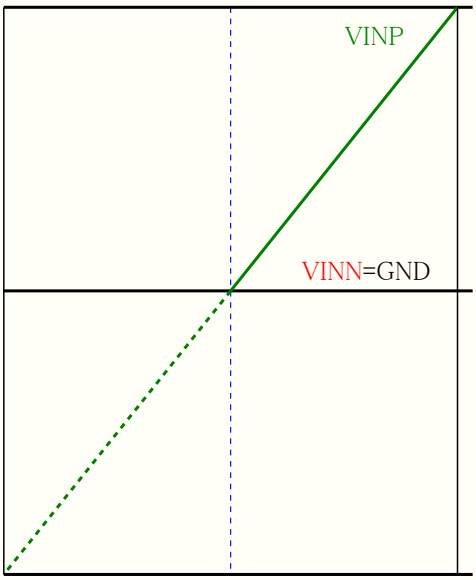
次頁の図28-9.～図28-11.は差動入力任意選択、信号入力範囲、12ﾋﾞｯﾄ右揃え動作での結果表現を示します。

図28-9. (利得付き)符号付き差動入力、入力範囲、結果表現



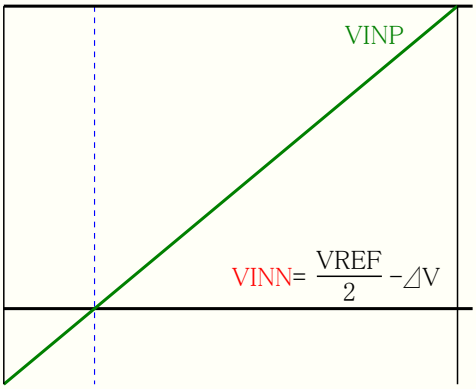
10進	16進	2進	16ﾋﾞｯﾄ結果ﾚｼﾞｽﾀ
2047	7FF	0111 1111 1111	0000 0111 1111 1111
2046	7FE	0111 1111 1110	0000 0111 1111 1110
2045	7FD	0111 1111 1101	0000 0111 1111 1101
～	～	～	～
3	003	0000 0000 0011	0000 0000 0000 0011
2	002	0000 0000 0010	0000 0000 0000 0010
1	001	0000 0000 0001	0000 0000 0000 0001
0	000	0000 0000 0000	0000 0000 0000 0000
-1	FFF	1111 1111 1111	1111 1111 1111 1111
-2	FFE	1111 1111 1110	1111 0111 1111 1111
～	～	～	～
-2045	803	1000 0000 0011	1111 1000 0000 0011
-2046	802	1000 0000 0010	1111 1000 0000 0010
-2047	801	1000 0000 0001	1111 1000 0000 0001
-2048	800	1000 0000 0000	1111 1000 0000 0000

図28-10. 符号付きｼﾝｸﾞﾙ ｴﾝﾄﾞ入力と内部入力、入力範囲、結果表現



10進	16進	2進	16ﾋﾞｯﾄ結果ﾚｼﾞｽﾀ
2047	7FF	0111 1111 1111	0000 0111 1111 1111
2046	7FE	0111 1111 1110	0000 0111 1111 1110
2045	7FD	0111 1111 1101	0000 0111 1111 1101
～	～	～	～
3	003	0000 0000 0011	0000 0000 0000 0011
2	002	0000 0000 0010	0000 0000 0000 0010
1	001	0000 0000 0001	0000 0000 0000 0001
0	000	0000 0000 0000	0000 0000 0000 0000
-1	FFF	1111 1111 1111	1111 1111 1111 1111
-2	FFE	1111 1111 1110	1111 0111 1111 1111
～	～	～	～
-2045	803	1000 0000 0011	1111 1000 0000 0011
-2046	802	1000 0000 0010	1111 1000 0000 0010
-2047	801	1000 0000 0001	1111 1000 0000 0001
-2048	800	1000 0000 0000	1111 1000 0000 0000

図28-11. 符号なしｼﾝｸﾞﾙ ｴﾝﾄﾞ入力と内部入力、入力範囲、結果表現



10進	16進	2進	16ﾋﾞｯﾄ結果ﾚｼﾞｽﾀ
4095	FFF	1111 1111 1111	0000 1111 1111 1111
4094	FFE	1111 1111 1110	0000 1111 1111 1110
4093	FFD	1111 1111 1101	0000 1111 1111 1101
～	～	～	～
203	0CB	0000 1100 1011	0000 0000 1100 1011
202	0CA	0000 1100 1010	0000 0000 1100 1010
201	0C9	0000 1100 1001	0000 0000 1100 1001
200	0C8	0000 1100 1000	0000 0000 1100 1000
～	～	～	～
0	000	0000 0000 0000	0000 0000 0000 0000

28.7. 比較機能

ADCは組み込みの12ﾋﾞｯﾄ比較機能を持っています。ADC比較(CMP)ﾚｼﾞｽﾀは閾値電圧を表す12ﾋﾞｯﾄを保持することができます。各ADCﾁｬﾈﾙは(比較)結果が閾値以上または以下の時にだけ割り込みまたは事象を生成するために、(変換)結果をこの比較値と自動的に比較するように構成設定することができます。

4つ全てのADCﾁｬﾈﾙが同じ比較ﾚｼﾞｽﾀを共用します。

28.8. 変換の開始方法

変換が開始される前に、1つ以上のADCﾁｬﾈﾙに対して入力元が選択されなければなりません。ﾁｬﾈﾙに対するA/D変換はそのﾁｬﾈﾙに対する変換開始(START)ﾋﾞｯﾄへのｿﾌﾄｳｪｱ書き込みによって、または事象ｼｽﾃﾑでのどれかの事象からのどちらからでも開始することができます。同時に多数のﾁｬﾈﾙに対して変換開始ﾋﾞｯﾄを書くこと、または同時に多数のﾁｬﾈﾙでの変換起動に1つの事象を使うことが可能です。これは1つの事象から多数または全てのﾁｬﾈﾙを走査することを可能にします。走査は最低ﾁｬﾈﾙ番号から始まります。

28.8.1. 入力元走査

ADCﾁｬﾈﾙ0に対し、変換が開始される時に自動的に走査されて測定される連続的な入力元の範囲を選択することが可能です。これは多重器制御(MUXCTRL)ﾚｼﾞｽﾀを用いて最初(最低)の正ADCﾁｬﾈﾙ入力を、走査(SCAN)ﾚｼﾞｽﾀで連続正入力数を設定することによって行われます。変換が開始されると、最初に選択された入力元が変換されて測定され、そして走査のために指定された供給元数に達するまで各変換後に正入力元選択が増やされます。

28.9. ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ

ADCは周辺機能ｸﾛｯｸからｸﾛｯｸ駆動されます。ADCの動作範囲内で応用の必要条件に合致するADCｸﾛｯｸ(clk_{ADC})を供給するために、ADCは周辺機能ｸﾛｯｸを前置分周できます。

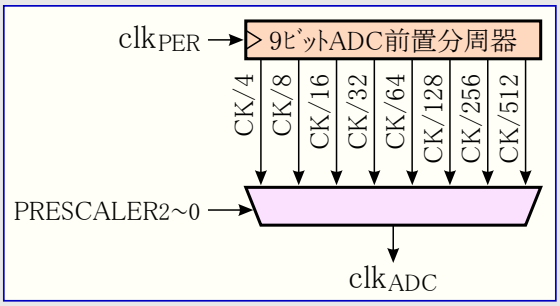
ADC最大採取速度はADCｸﾛｯｸ周波数(f_{ADC})によって与えられます。ADCは毎回のADCｸﾛｯｸ周期で新しい測定を採取できます。

$$\text{採取速度} = f_{ADC}$$

ADC測定の伝播遅延は次式によって与えられます。

$$\text{伝播遅延} = \frac{1 + \frac{\text{RESOLUSION}}{2} + \text{GAIN}}{f_{ADC}}$$

図28-12. ADC前置分周器



RESOLUSIONは分解能で8または12ﾋﾞｯﾄです。利得段(GAIN)が使われた場合、伝播遅延は1追加ADCｸﾛｯｸ周期増えます。

伝播遅延は1ADCｸﾛｯｸ周期よりも長いのですが、ﾊﾟｲﾌﾟﾗｲﾝ化された設計は採取速度が伝播遅延によって制限されるのではなく、ADCｸﾛｯｸ速度によることを意味します。

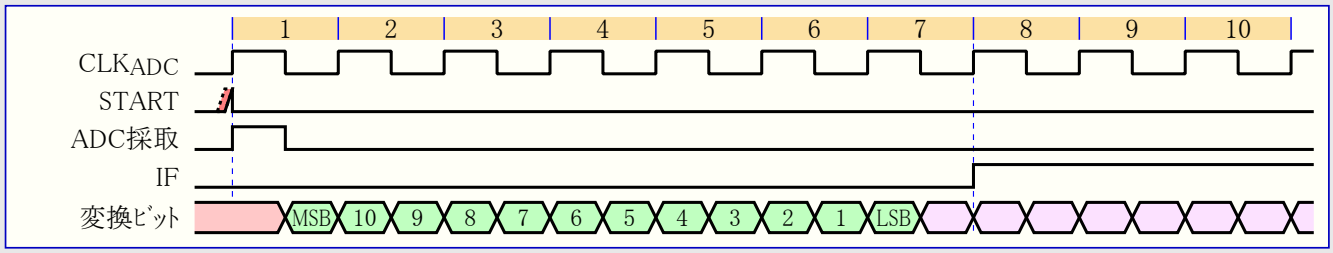
結果の最上位ﾋﾞｯﾄ(MSB)が最初に変換され、残りのﾋﾞｯﾄは次からの(8ﾋﾞｯﾄ結果に対して)3または(12ﾋﾞｯﾄ結果に対して)5周期の間に変換されます。1ﾋﾞｯﾄの変換はADCｸﾛｯｸ半周期かかります。最終周期間で割り込み要求ﾌﾗｸﾞが設定(1)される前に結果が準備され、結果は読み出し用の結果ﾚｼﾞｽﾀで利用可能です。

28.9.1. 利得なし単独変換

図28-13.は利得なしでの単独変換に関するADCﾀｲﾐﾝｸﾞを示します。変換開始ﾋﾞｯﾄの書き込みまたは事象が起動する変換(START)は、(START起動元の赤色(訳注:原書は灰色)傾斜で示される)変換が始まるADCｸﾛｯｸ周期の、最低1周辺機能ｸﾛｯｸ周期前に起きなければなりません。

入力元は最初の周期の前半で採取されます。

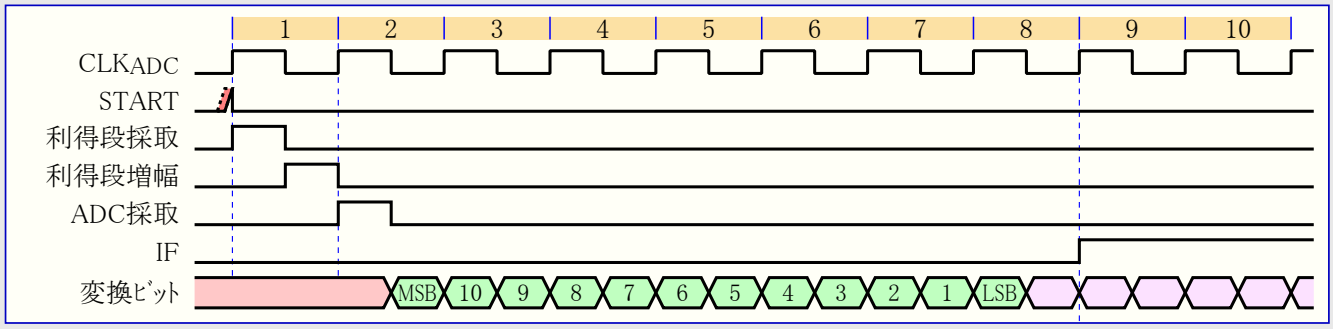
図28-13. 利得なしでの単独変換用ADCﾀｲﾐﾝｸﾞ



28.9.2. 利得付き単独変換

次頁の図28-14.は利得付きでの単独変換に関するADCﾀｲﾐﾝｸﾞを示します。239頁の「概要」で見られるように、利得段は実際のADCに先行して配置されます。ADCがそれを採取して増幅された値を変換する前に、利得段が入力元を採取して増幅します。利得なしでの単独変換と比べて、これは利得段の採取と増幅のために(STARTとADC採取間に)1 ADCｸﾛｯｸ周期を追加します。利得段に対する採取時間はADCｸﾛｯｸ周期の半分です。

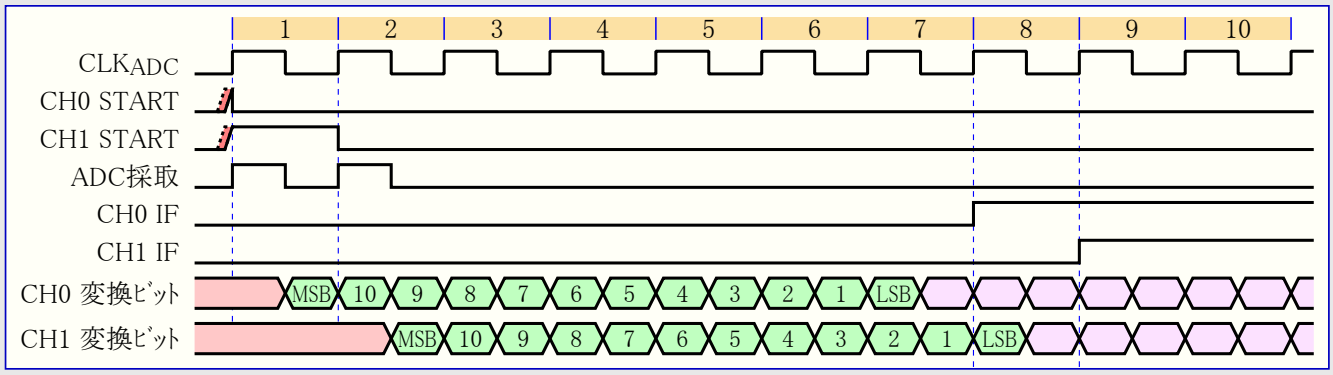
図28-14. 利得付きでの単独変換用ADCﾀｲﾐﾝｸﾞ



28.9.3. 2つのADCﾁｬﾈﾙでの単独変換

図28-15.は2つのﾁｬﾈﾙでの単独変換に関するADCﾀｲﾐﾝｸﾞを示します。ﾊﾟｲﾌﾟﾗｲﾝ化された設計は最初の変換が開始された後の次のADCｸﾛｯｸ周期での2つ目の変換開始を可能にします。この例では両方の変換が同時に置き換えられますが、ﾁｬﾈﾙ1(CH1)の変換はADCがﾁｬﾈﾙ0(CH0)のMSBの変換を実行するまで開始しません。

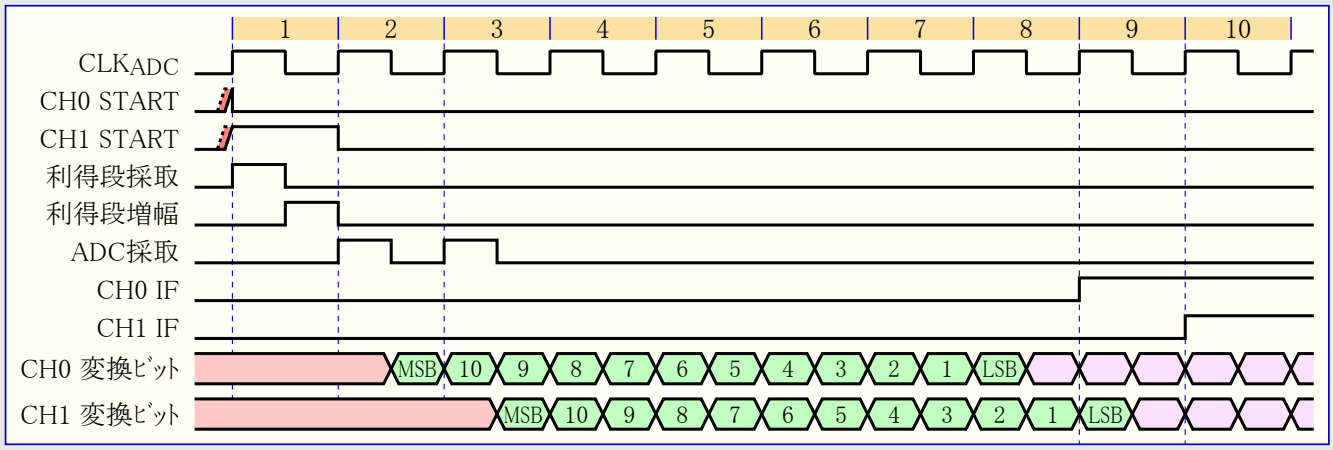
図28-15. 2つのADCﾁｬﾈﾙでの単独変換用ADCﾀｲﾐﾝｸﾞ



28.9.4. 利得付きCH0を含む2つのADCﾁｬﾈﾙでの単独変換

図28-16.はADCﾁｬﾈﾙ0が利得段を使う2つのADCﾁｬﾈﾙでの単独変換に関する変換ﾀｲﾐﾝｸﾞを示します。利得段が採取と増幅のために1つの追加周期を持ち込むので、ADCﾁｬﾈﾙ0に対してADCの採取とMSB変換が行われるまで、ADCﾁｬﾈﾙ1に対する採取も1ADCｸﾛｯｸ周期遅らされます。

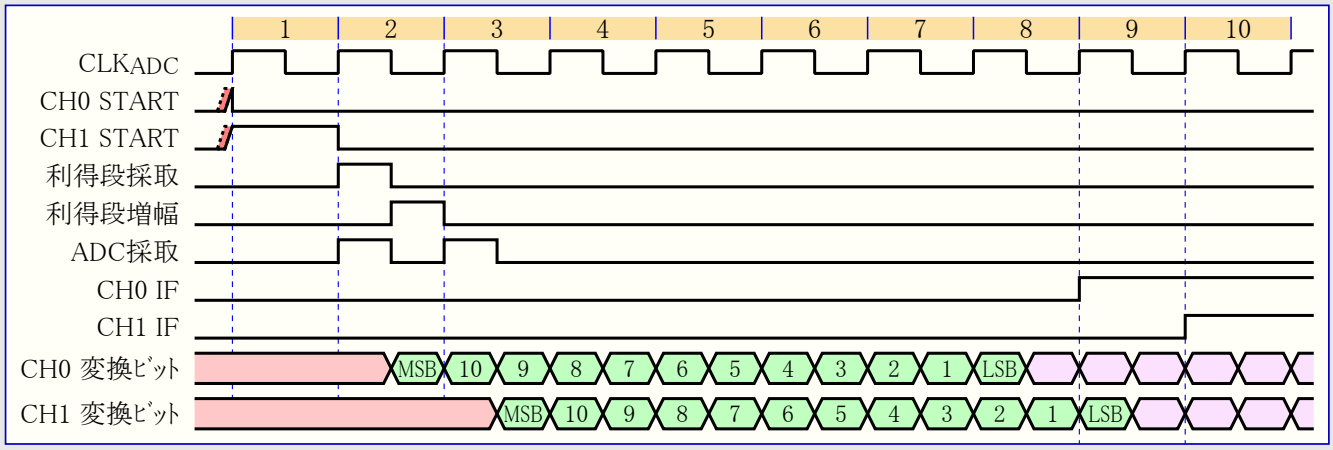
図28-16. 利得付きCH0を含む2つのADCﾁｬﾈﾙでの単独変換用ADCﾀｲﾐﾝｸﾞ



28.9.5. 利得付きCH1を含む2つのADCﾁｬﾈﾙでの単独変換

次頁の図28-17.はADCﾁｬﾈﾙ1が利得段を使う2つのADCﾁｬﾈﾙでの単独変換に関する変換ﾀｲﾐﾝｸﾞを示します。

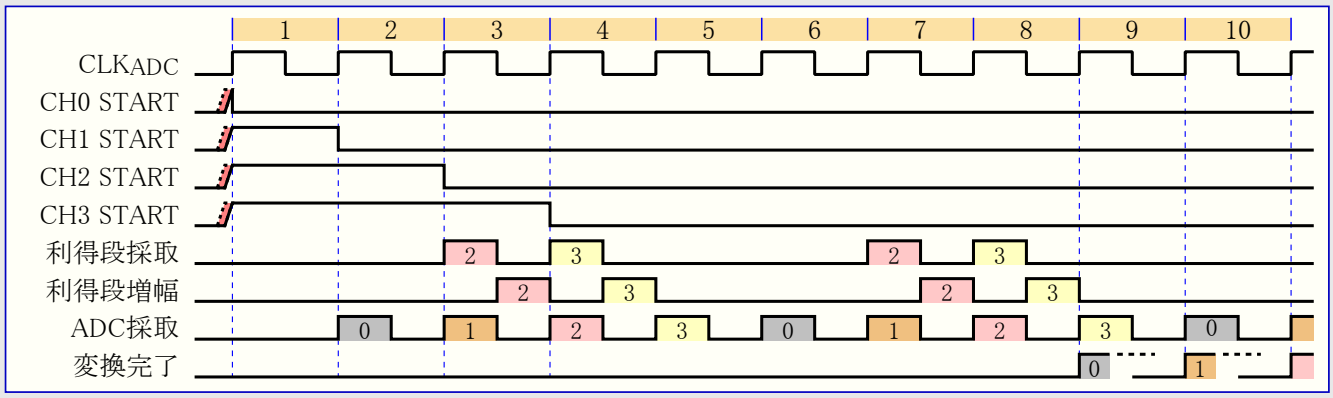
図28-17. 利得付きCH1を含む2つのADCチャネルでの単独変換用ADCタイミング



28.9.6. 利得付きの2つのADCチャネルでの連続変換

図28-18.は利得なしのCH0とCH1、利得付きのCH2とCH3、連続変換動作での4つ全てのADCチャネルに関する変換タイミングを示します。連続変換動作に設定されると、ADCチャネルは継続的に採取と新しい変換を行います。この例では全てのADCチャネルが同時に起動され、各ADCチャネルは直前のチャネルが採取とMSB変換を終えると直ぐに変換を始めます。4ADCクロック周期後に全てのADCチャネルが最初の採取を終え、最初の変換が開始され、その後に各ADCチャネルはそれらの2回目の変換用の採取を行えます。(12ビット動作に対して) 8ADCクロック周期後にADCチャネル0に対する最初の変換が終り、残りのADCチャネルの結果は後続するADCクロック周期で利用できます。次のクロック周期後(周期10で)2つ目のADCチャネルからの結果が完了されて利用可能になり、以下同様です。この動作では8つまでの変換が同時に進行中です。

図28-18. 連続変換動作用ADCタイミング



28.10. ADC入力模式

入力電圧は最大精度を得るためにADC内の採取/保持(S/H)コンデンサを充電しなければなりません。外部的に見たADC入力は入力抵抗(Rin=Rchannel+Rswitch)とS/Hコンデンサ(Csample)から成ります。図28-19.と図28-20.はADC入力チャネルを示します。

図28-19. シングル エンド測定用ADC入力

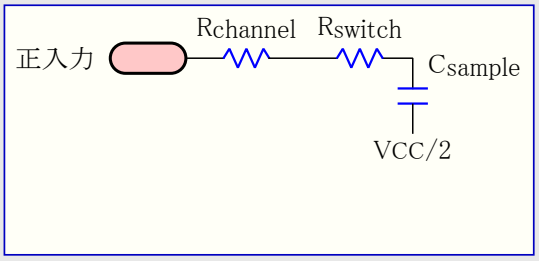
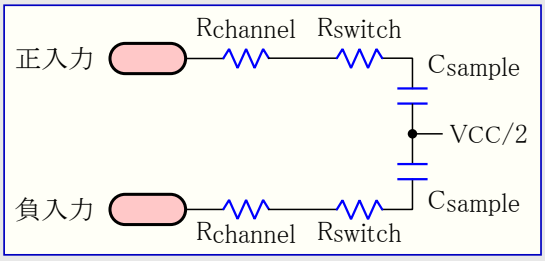


図28-20. (利得付き)差動測定用ADC入力



nビット精度を達成するために供給元出力抵抗(Rsource)はピンのADC入力よりも低くなければなりません。

$$R_{source} \leqq \frac{T_s}{C_{sample} \times \ln(2^{n+1})} - R_{channel} - R_{switch}$$

ここでADC採取時間(Ts)は

$$T_s \leqq \frac{1}{2 \times f_{ADC}}$$

によって与えられる0.5ADCクロック周期です。

Rchannel,Rswitch,Csampleの詳細についてはデバイスのデータシートでADCとADC利得段の電気的特性を参照してください。

28.10.1. 利得段ｲﾝﾋﾟｰﾀﾞﾝｽ形態

非常に高い供給出力抵抗を持つ応用を支援するため、利得段は高ｲﾝﾋﾟｰﾀﾞﾝｽ形態を持ちます。この形態ではS/Hｺﾝﾃﾞﾝｻの充電は各採取後に保持され、S/Hｺﾝﾃﾞﾝｻは同じ入力ﾁｬﾈﾙで多数の採取を行うことによって完全に充電することができます。低ｲﾝﾋﾟｰﾀﾞﾝｽ形態使用時、S/Hｺﾝﾃﾞﾝｻの充電は各採取後に破棄されます。

28.11. DMA転送

ADCの変換結果をﾒﾓﾘや他の周辺機能へ転送するのにDMA制御器を使うことができます。ADCﾁｬﾈﾙの何れの新しい変換結果も1つまたは数個のADCﾁｬﾈﾙに対してDMA転送処理を起動することができます。DMA転送の詳細については38頁の「DMAC – 直接ﾒﾓﾘ入出力制御器」を参照してください。

28.12. 割り込みと事象

ADCは割り込み要求と事象を生成できます。各ADCﾁｬﾈﾙは個別の割り込み設定と割り込みﾍﾞｸﾀを持ちます。割り込み要求と事象はADC変換が完了する時、またはADC測定がADC比較ﾚｼﾞｽﾀ値より上または下の時に生成することができます。

28.13. 校正

ADCは組み込みの直線状校正を持ちます。ADC内の内部ﾊﾟｲﾌﾟﾗｲﾝを校正する組み込み校正機構を持っています。指定された精度を達成するために、ｿﾌﾄｳｪｱで製造検査校正からの値が識票列からADC校正ﾚｼﾞｽﾀ内に格納されなければなりません。直線性の使用者校正は不要で、故に不可能です。変位(ｵﾌｾｯﾄ)と利得の校正はｿﾌﾄｳｪｱで行われなければなりません。

28.14. ﾁｬﾈﾙ優先権

ADCｸﾛｯｸよりも周辺機能ｸﾛｯｸが速いので、同じADCｸﾛｯｸ周期内で多数のADCﾁｬﾈﾙに対して変換開始ﾋﾞｯﾄを設定(1)することが可能です。事象も多数のADCﾁｬﾈﾙでの変換を起動するかもしれず、同じ筋書きを生じます。この場合は最小番号のADCﾁｬﾈﾙが優先されます。これは244頁の「ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ」内のﾀｲﾐﾝｸﾞ図で示されます。

28.15. 同期採取

ADCは3つの異なる方法で同期採取を行うように構成設定することができます。

1. 同時に2つの入力ﾁｬﾈﾙを採取
2. 同時に2つのADCを採取
3. 外部起動で採取

28.15.1. 2つのADC入力の同期採取

ADCは同時に2つの入力ﾁｬﾈﾙの採取を支援します。これはﾁｬﾈﾙnを利得不使用に、ﾁｬﾈﾙn+1を×1利得に構成設定することによって達成されます。利得を使用するﾁｬﾈﾙからの変換結果は他のﾁｬﾈﾙ後1ADCｸﾛｯｸ周期で準備が整います。詳細なﾀｲﾐﾝｸﾞ構成図については245頁の「利得付きCH1を含む2つのADCﾁｬﾈﾙでの単独変換」をご覧ください。

28.15.2. 事象での同期採取

より高い優先権のADCﾁｬﾈﾙの変換が保留中で有り得る、または周辺機能ｸﾛｯｸがADCｸﾛｯｸよりも速いので、ADC変換の開始は開始の起動または事象と実際の変換開始の間に未知の遅延が起き得ます。到着事象で直ちにADC変換を開始するために、全ての測定のADCを破棄し、ADCｸﾛｯｸをﾘｾｯﾄして次の周辺機能ｸﾛｯｸ周期(それはその後の次のADCｸﾛｯｸ周期でもある)で変換を開始することが可能です(FLUSH=1)。これが行われた場合、ADCﾊﾟｲﾌﾟﾗｲﾝ内の全ての進行中の変換が失われます。

ADCはｿﾌﾄｳｪｱから、またはこれを自動的に行い得る、やって来る事象で破棄することができます。この機能が使われる時に、ADCﾊﾟｲﾌﾟﾗｲﾝが破棄されて次の変換が開始される前に1つの変換が終了することを保証するために、各変換開始起動間の時間は伝播遅延よりも長くなければなりません。

破棄を行う前に保留の事象やADC変換開始指令を解除することも大事です。そうしなければ、破棄後直ちに保留中の変換が開始します。

28.15.3. 2つのADCの同期採取

2つのADC周辺機能を持つﾃﾞﾊﾞｲｽでは、両ADCの起動に同じ事象ﾁｬﾈﾙを使うことによって、2つのADCで同期して2つのADC採取を開始することが可能です。

28.16. ﾚｼﾞｽﾀ説明 – ADC

28.16.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	DMASEL1,0		CHnSTART				FLUSH	ENABLE	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – DMASEL1,0 : DMA要求選択** (DMA Request Selection)

1つよりも多くのADCﾁｬﾈﾙの扱いをDMAﾁｬﾈﾙに許すため、ﾁｬﾈﾙからのDMA要求は共通のDMA要求に組み合わせることができます。詳細については**表28-1.**をご覧ください。

表28-1. ADC DMA要求選択

DMASEL1,0	群構成設定	内容
0 0	OFF	結合DMA要求なし
0 1	CH01	ADCﾁｬﾈﾙ0または1
1 0	CH012	ADCﾁｬﾈﾙ0または1または2
1 1	CH0123	ADCﾁｬﾈﾙ0または1または2または3

● **ﾋﾞｯﾄ5~2 – CHnSTART : ﾁｬﾈﾙn単独変換開始** (Channel Start single conversion)

これらのﾋﾞｯﾄのどれかの設定(1)が対応するADCﾁｬﾈﾙでの変換を開始します。多数ﾋﾞｯﾄの同時設定(1)は選択したADCﾁｬﾈﾙでの変換を開始し、これは最小番号のﾁｬﾈﾙから始まります。これらのﾋﾞｯﾄは変換が開始される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。

● **ﾋﾞｯﾄ1 – FLUSH : ﾊﾟｲﾌﾟﾗｲﾝ破棄** (Pipeline Flush)

このﾋﾞｯﾄの設定(1)がADCﾊﾟｲﾌﾟﾗｲﾝを破棄します。これが行われると、進行中の全ての変換が中止されて失われ、ADCｸﾛｯｸは次の周辺機能ｸﾛｯｸ端で再始動されます。

破棄及びADCｸﾛｯｸ再開後、ADCは中断された処から再開、換言するとﾁｬﾈﾙ掃引進行中または何れかの変換保留中だった場合、それらがADCﾊﾟｲﾌﾟﾗｲﾝに入って完了するでしょう。

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がADCを許可します。

28.16.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	IMPMODE	CURRLIMIT1,0		CONVMODE	FREERUN	RESOLUTION1,0		–	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – INPMODE : 利得段ｲﾝﾋﾟｰﾀﾞﾝｽ形態** (Gain Stage Impedance Mode)

このﾋﾞｯﾄは利得段ｲﾝﾋﾟｰﾀﾞﾝｽ形態を制御します。より多くの情報についてはADCﾁｬﾈﾙ ﾚｼﾞｽﾀでの利得(GAIN)設定をご覧ください(253頁のﾁｬﾈﾙn制御(CTRL)ﾚｼﾞｽﾀ)。

表28-2. 利得段ｲﾝﾋﾟｰﾀﾞﾝｽ形態

IMPMODE	群構成設定	内容
0	HIGHIMP	高ｲﾝﾋﾟｰﾀﾞﾝｽ供給元用。充電が入力に残ります。
1	LOWIMP	低ｲﾝﾋﾟｰﾀﾞﾝｽ用

注: これは高または低どちらかのｲﾝﾋﾟｰﾀﾞﾝｽです。高ｲﾝﾋﾟｰﾀﾞﾝｽの間は1,2,4,8倍に対してだけ利用可能で、他の全てに対しては低ｲﾝﾋﾟｰﾀﾞﾝｽが強制されます。253頁の**表28-10.**をご覧ください。

● **ﾋﾞｯﾄ6,5 – CURRLIMIT1,0 : 電流制限** (Current Limitation)

これらのﾋﾞｯﾄは最大採取速度を減らすことによってADCの消費電流を制限するのに使うことができます。利用可能な設定は**表28-3.**で示されます。示された電流制限は公称値です。各設定に対する実際の電流制限についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表28-3. ADC電流制限

CURRLIMIT1,0	群構成設定	内容
0 0	NO	制限なし
0 1	LOW	低電流制限、最大採取速度=1.5MSPS
1 0	MED	中電流制限、最大採取速度=1MSPS
1 1	HIGH	高電流制限、最大採取速度=0.5MSPS

● **ﾋﾞｯﾄ4 – CONVMODE : 両極/単極変換** (Conversion Mode)

このﾋﾞｯﾄはADCが符号付きまたは符号なしのどちらの動作で動くかを制御します。既定でのこのﾋﾞｯﾄは解除(0)され、ADCは符号なし動作に構成設定されます。このﾋﾞｯﾄが設定(1)されると、ADCは符号付き動作に構成設定されます。

● **ﾋﾞｯﾄ3 – FREERUN : 連続動作** (Free Running Mode)

このﾋﾞｯﾄが1に設定されると、ADCは連続動作で、事象制御(EVCTRL)ﾚｼﾞｽﾀで定義されたADCﾁｬﾈﾙが繰り返し掃引されます。

● ﾋﾞｯﾄ2,1 – RESOUSION1,0 : 分解能/整列 (Conversion Result Resolusion)

これらのﾋﾞｯﾄはADCが12ﾋﾞｯﾄまたは8ﾋﾞｯﾄのどちらの分解能の変換結果で完了するかを制御します。これらは12ﾋﾞｯﾄの結果が16ﾋﾞｯﾄの結果ﾚｼﾞｽﾀ内で右または左のどちらに揃えられるかも定義します。可能な設定については表28-4.をご覧ください。

表28-4. ADC変換結果分解能

RESOLUSION1,0	群構成設定	内容
0 0	12BIT	12ﾋﾞｯﾄ結果、右揃え
0 1	-	(予約)
1 0	8BIT	8ﾋﾞｯﾄ結果、右揃え
1 1	LEFT12BIT	12ﾋﾞｯﾄ結果、左揃え

● ﾋﾞｯﾄ0 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

28.16.3. REFCTRL – 基準電圧制御ﾚｼﾞｽﾀ (Reference Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	REFSEL2~0			–	–	BANDGAP	TEMPREF	REFCTRL
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ6~4 – REFSEL2~0 : 基準電圧選択 (Reference Selection)

これらのﾋﾞｯﾄは表28-5.に従ってADCに対する基準電圧を選びます。

表28-5. ADC基準電圧形態

REFSEL2~0	群構成設定	内容
0 0 0	INT1V	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ(1.1V)の10/11(1.0V)
0 0 1	INTVCC	VCC/1.6
0 1 0	AREFA	PORTAのAREFﾋﾟﾝからの外部基準電圧
0 1 1	AREFB	PORTBのAREFﾋﾟﾝからの外部基準電圧
1 0 0	INTVCC2	VCC/2
1 0 1～1 1 1	-	(予約)

● ﾋﾞｯﾄ3,2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – BANDGAP : ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ許可 (Bandgap enable)

このﾋﾞｯﾄの設定(1)はADC測定用ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟを許可します。他の何れかの機能が既にﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟを使っている場合、内部1.00V基準電圧が別のADCまたはDACで使われる時、または低電圧検出器(Brown-out Detectr)が許可されている場合、このﾋﾞｯﾄの設定(1)が必要ないことに留意してください。

● ﾋﾞｯﾄ0 – TEMPREF : 温度基準電圧許可 (Temperature Reference enable)

このﾋﾞｯﾄの設定(1)はADC測定用温度感知器を許可します。

28.16.4. EVCTRL – 事象制御ﾚｼﾞｽﾀ (ADC Event Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	SWEEP1,0		EVSEL2~0			EVACT2~0			EVCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – SWEEP1,0 : ﾁｬﾈﾙ掃引** (Channel Sweep)

これらのﾋﾞｯﾄは事象ｼｽﾃﾑによって起動されるﾁｬﾈﾙ掃引、または連続動作での時に、どのADCﾁｬﾈﾙが含まれるかを制御します。表28-6.をご覧ください。

表28-6. ADCﾁｬﾈﾙ選択

SWEEP1,0	群構成設定	掃引活性ADCﾁｬﾈﾙ
0 0	0	ADCﾁｬﾈﾙ0のみ
0 1	01	ADCﾁｬﾈﾙ0と1
1 0	012	ADCﾁｬﾈﾙ0と1と2
1 1	0123	ADCﾁｬﾈﾙ0と1と2と3

● **ﾋﾞｯﾄ5~3 – EVSEL2~0 : 事象ﾁｬﾈﾙ入力選択** (Event channel Input Select)

これらのﾋﾞｯﾄはどの事象ﾁｬﾈﾙがどのADCﾁｬﾈﾙを起動すべきかを定義します。各設定は事象ﾁｬﾈﾙの群を定義し、これは最小番号の事象ﾁｬﾈﾙがADCﾁｬﾈﾙ0を、次の事象ﾁｬﾈﾙがADCﾁｬﾈﾙ1を起動し、以下同様です。表28-7.をご覧ください。

表28-7. ADC事象ﾁｬﾈﾙ選択

EVSEL2~0	群構成設定	選択する事象線
0 0 0	0123	起動入力として事象ﾁｬﾈﾙ0,1,2,3を選択
0 0 1	1234	起動入力として事象ﾁｬﾈﾙ1,2,3,4を選択
0 1 0	2345	起動入力として事象ﾁｬﾈﾙ2,3,4,5を選択
0 1 1	3456	起動入力として事象ﾁｬﾈﾙ3,4,5,6を選択
1 0 0	4567	起動入力として事象ﾁｬﾈﾙ4,5,6,7を選択
1 0 1	567	起動入力として事象ﾁｬﾈﾙ5,6,7を選択
1 1 0	67	起動入力として事象ﾁｬﾈﾙ6,7を選択
1 1 1	7	起動入力として事象ﾁｬﾈﾙ7を選択

● **ﾋﾞｯﾄ2~0 – EVACT2~0 : 事象活動種別** (Event Mode)

これらのﾋﾞｯﾄは選択した事象ﾁｬﾈﾙのいくつが使われ、そして更にADCﾁｬﾈﾙ起動も制限するかを、選択そして制限します。これは表28-7.で定義されるようなものをもっと特別な事象起動も定義します。

表28-8. ADC事象活動種別選択

EVACT2~0	群構成設定	選択入力動作形態
0 0 0	NONE	事象入力なし
0 0 1	CH0	EVSELで定義された最小番号の事象ﾁｬﾈﾙがADCﾁｬﾈﾙ0での変換を起動
0 1 0	CH01	EVSELで定義された2つの下位側番号の事象ﾁｬﾈﾙが各々ADCﾁｬﾈﾙ0と1での変換を起動
0 1 1	CH012	EVSELで定義された3つの下位側番号の事象ﾁｬﾈﾙが各々ADCﾁｬﾈﾙ0,1と2での変換を起動
1 0 0	CH0123	EVSELで定義された事象ﾁｬﾈﾙが各々ADCﾁｬﾈﾙ0,1,2と3での変換を起動
1 0 1	SWEEP	EVSELで定義された最小番号の事象ﾁｬﾈﾙ到着で、SWEEPによって定義されたADCﾁｬﾈﾙ全てを1回掃引
1 1 0	SYNCSWEEP	EVSELで定義された最小番号の事象ﾁｬﾈﾙ到着で、SWEEPによって定義された有効ADCﾁｬﾈﾙ全てを1回掃引。加えてADCは正確なﾀｲﾐﾝｸﾞで破棄そして再始動されます。
1 1 1	–	(予約)

28.16.5. PRESCALER – ｸﾛｯｸ前置分周ﾚｼﾞｽﾀ (Clock Prescaler register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	PRESCALER2~0			PRESCALER
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2~0 – PRESCALER2~0 : 前置分周器設定 (Prescaler configuration)

これらのﾋﾞｯﾄは表28-9.に従って周辺機能ｸﾛｯｸに相対するADCｸﾛｯｸを定義します。

表28-9. ADC前置分周器設定

PRESCALER2~0	群構成設定	周辺機能ｸﾛｯｸ分周数
0 0 0	DIV4	4
0 0 1	DIV8	8
0 1 0	DIV16	16
0 1 1	DIV32	32
1 0 0	DIV64	64
1 0 1	DIV128	128
1 1 0	DIV256	256
1 1 1	DIV512	512

28.16.6. INTFLAGS – 割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	–	CHnIF				INTFLAGS
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3~0 – CHnIF : ADCﾁｬﾈﾙn割り込み要求ﾌﾗｸﾞ (Interrupt Flag)

これらのﾌﾗｸﾞは対応するADCﾁｬﾈﾙに対してADC変換が完了される時に設定(1)されます。ADCﾁｬﾈﾙが比較動作に構成設定されている場合、対応するﾌﾗｸﾞは比較条件一致時に設定(1)されます。CHnIFはADCﾁｬﾈﾙn割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。これらのﾌﾗｸﾞはそのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

28.16.7. TEMP – 一時ﾚｼﾞｽﾀ (Temporary register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	TEMP7~0								TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – TEMP7~0 : 一時値 (Temporary bits)

このﾚｼﾞｽﾀはADC制御器内の16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込み時に使われます。CPUによって下位ﾊﾞｲﾄが読まれる時に16ﾋﾞｯﾄ ﾚｼﾞｽﾀの上位ﾊﾞｲﾄがここに格納されます。このﾚｼﾞｽﾀは使用者ｿﾌﾄｳｪｱから読み書きすることもできます。

16ﾋﾞｯﾄ ﾚｼﾞｽﾀ ｱｸｾｽのより多くの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

28.16.8. CALL – 校正値下位ﾚｼﾞｽﾀ (Calibration value register)

CALHとCALLﾚｼﾞｽﾀ対は12ﾋﾞｯﾄ校正値を保持します。ADCﾊﾟｲﾌﾟﾗｲﾝは製造書き込み中に校正され、その校正値はｿﾌﾄｳｪｱで識票列から読まれてCALﾚｼﾞｽﾀに書かれなければなりません。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0C	CAL7~0								CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~0 – CAL7~0 : 校正値 (Calibration value)

これは12ﾋﾞｯﾄCAL値の下位側8ﾋﾞｯﾄです。

28.16.9. CALH – 校正値上位ﾚｼﾞｽﾀ (Calibration value register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0D	–	–	–	–	CAL11~8				CALH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CAL11~8 : ADC校正値** (ADC Calibration value)

これは12ﾋﾞｯﾄCAL値の上位側4ﾋﾞｯﾄです。

28.16.10. CHnRESH – ﾁｬﾈﾙn結果ﾚｼﾞｽﾀ上位 (Channel n Result register High)

CHnRESHとCHnRESLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値CHnRESを表します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み込みの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	CHRES11~4								
12ﾋﾞｯﾄ右揃え	–	–	–	–	CHRES11~8				CHnRESH
8ﾋﾞｯﾄ	–	–	–	–	–	–	–	–	+$11,13,15,17
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

28.16.10.1. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES11~4 : ﾁｬﾈﾙ結果上位** (Channel Result, high)

これらは12ﾋﾞｯﾄADCの結果の上位8ﾋﾞｯﾄです。

28.16.10.2. 右揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが差動動作で動く時のCHRES11符号ﾋﾞｯﾄの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● **ﾋﾞｯﾄ3~0 – CHRES11~8 : ﾁｬﾈﾙ結果上位** (Channel Result, high)

これらは12ﾋﾞｯﾄADCの結果の上位4ﾋﾞｯﾄです。

28.16.10.3. 8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが符号付き動作で動く時のCHRES7符号ﾋﾞｯﾄの拡張で、ADCがｼﾝｸﾞﾙｴﾝﾄﾞ動作で動く時に0が設定されます。

28.16.11. CHnRESL – ﾁｬﾈﾙn結果ﾚｼﾞｽﾀ下位 Channel n Result register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	CHRES3~0				–	–	–	–	
12ﾋﾞｯﾄ右揃え	CHRES7~0								CHnRESL
8ﾋﾞｯﾄ	CHRES7~0								+$10,12,14,16
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

28.16.11.1. 左揃え12ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~4 – CHRES3~0 : ﾁｬﾈﾙ結果下位ﾊﾞｲﾄ** (Channel Result, low)

これらは12ﾋﾞｯﾄADCの結果の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

28.16.11.2. 右揃え12ﾋﾞｯﾄ動作、8ﾋﾞｯﾄ動作

● **ﾋﾞｯﾄ7~0 – CHRES7~0 : ﾁｬﾈﾙ結果下位ﾊﾞｲﾄ** (Channel Result, low)

これらはADCの結果の下位8ﾋﾞｯﾄです。

28.16.12. CMPH – 比較ﾚｼﾞｽﾀ上位 (Compare register High)

CMPHとCMPLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄのCMP値を表します。16ﾋﾞｯﾄ ﾚｼﾞｽﾀ読み書きの詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$19	CMP15~8								CMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CMP15~8 : 比較値上位** (Compare value high)

これらは16ﾋﾞｯﾄのADC比較値の上位8ﾋﾞｯﾄです。符号付き動作では、数値が2の補数で表され、最上位ﾋﾞｯﾄが符号ﾋﾞｯﾄです。

28.16.13. CMPL – 比較ﾚｼﾞｽﾀ下位 (Compare register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$18	CMP7~0								CMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CMP7~0 : 比較値上位** (Compare value low)

これらは16ﾋﾞｯﾄのADC比較値の下位8ﾋﾞｯﾄです。符号付き動作では、数値が2の補数で表されます。

28.17. ﾚｼﾞｽﾀ説明 – ADCﾁｬﾈﾙ

28.17.1. CTRL – ﾁｬﾈﾙn制御ﾚｼﾞｽﾀ (Channel Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	START	–	–	GAIN2~0			INPUTMODE1,0		CTRL
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – START : ﾁｬﾈﾙn変換開始** (Start Conversion on Channel)

このﾋﾞｯﾄの設定(1)がﾁｬﾈﾙでの変換を開始します。このﾋﾞｯﾄは変換が開始される時にﾊｰﾄﾞｳｪｱによって解除(0)されます。このﾋﾞｯﾄが既に設定(1)されている時の設定(1)は無効です。このﾋﾞｯﾄの読み書きは248頁の「CTRLA – ADC制御ﾚｼﾞｽﾀA」のADCﾁｬﾈﾙn単独変換開始(CHnSTART)ﾋﾞｯﾄ書き込みと等価です。

● **ﾋﾞｯﾄ6,5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4~2 – GAIN2~0 : 利得選択** (Gain Factor)

これらのﾋﾞｯﾄはADC利得段に対する利得係数を定義します。

表28-10.をご覧ください。利得は正しい多重器(MUX)設定でだけ有効です。次頁の「MUXCTRL – ADC ﾁｬﾈﾙ多重器制御ﾚｼﾞｽﾀ」をご覧ください。

表28-10. ADC利得係数

GAIN2~0	群構成設定	利得係数
0 0 0	1X	1倍
0 0 1	2X	2倍
0 1 0	4X	4倍
0 1 1	8X	8倍
1 0 0	16X	16倍
1 0 1	32X	32倍
1 1 0	64X	64倍
1 1 1	DIV2	1/2倍

● ﾋﾞｯﾄ1,0 – INPUTMODE1,0 : ﾁｬﾈﾙn入力動作種別 (Channel Input Mode)

これらのﾋﾞｯﾄはﾁｬﾈﾙ入力動作種別を定義します。入力形態変更はﾊﾟｲﾌﾟﾗｲﾝ内のどのﾃﾞｰﾀも不正にします。

表28-11. ﾁｬﾈﾙ入力種別、CONVMODE=0 (符号なし動作)

INPUTMODE1,0	群構成設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	ｼﾝｸﾞﾙｴﾝﾄﾞ正入力信号
1 0	–	(予約)
1 1	–	(予約)

表28-12. ﾁｬﾈﾙ入力種別、CONVMODE=1 (符号付き動作)

INPUTMODE1,0	群構成設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	ｼﾝｸﾞﾙｴﾝﾄﾞ正入力信号
1 0	DIFF	差動入力信号
1 1	DIFFWGAIN	利得付き差動入力信号

28.17.2. MUXCTRL – ﾁｬﾈﾙn多重器制御ﾚｼﾞｽﾀ (Channel MUX Control register)

MUXCTRLﾚｼﾞｽﾀはﾁｬﾈﾙに対する入力元を定義します。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	MUXPOS3~0				MUXNEG2~0			MUXCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7 – 予約 (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ6~3 – MUXPOS3~0 : ADC正入力選択 (MUX selection on Positive ADC Input)

これらのﾋﾞｯﾄはADC正入力に対する多重器(MUX)選択を定義します。表28-13.は内部信号に対する、表28-14.と表28-15.はｼﾝｸﾞﾙｴﾝﾄﾞと差動入力動作に対する可能な入力選択を示します。

表28-13. INPUTMODE=00(内部信号)使用時の ADC MUXPOS構成設定

MUXPOS3~0	群構成設定	ｱﾅﾛｸﾞ入力
0 0 0 0	TEMP	温度基準電圧
0 0 0 1	BANDGAP	ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ電圧
0 0 1 0	SCALEDVCC	1/10縮尺VCC
0 0 1 1	DAC	DAC出力電圧
0100～1111	–	(予約)

表28-14. INPUTMODE=01(ｼﾝｸﾞﾙｴﾝﾄﾞ),=10(利得なし差動) 使用時のADC MUXPOS構成設定

MUXPOS3~0	群構成設定	ｱﾅﾛｸﾞ入力
0 0 0 0	PIN0	ADC0ﾋﾟﾝ
0 0 0 1	PIN1	ADC1ﾋﾟﾝ
0 0 1 0	PIN2	ADC2ﾋﾟﾝ
0 0 1 1	PIN3	ADC3ﾋﾟﾝ
0 1 0 0	PIN4	ADC4ﾋﾟﾝ
0 1 0 1	PIN5	ADC5ﾋﾟﾝ
0 1 1 0	PIN6	ADC6ﾋﾟﾝ
0 1 1 1	PIN7	ADC7ﾋﾟﾝ
1 0 0 0	PIN8	ADC8ﾋﾟﾝ
1 0 0 1	PIN9	ADC9ﾋﾟﾝ
1 0 1 0	PIN10	ADC10ﾋﾟﾝ
1 0 1 1	PIN11	ADC11ﾋﾟﾝ
1 1 0 0	PIN12	ADC12ﾋﾟﾝ
1 1 0 1	PIN13	ADC13ﾋﾟﾝ
1 1 1 0	PIN14	ADC14ﾋﾟﾝ
1 1 1 1	PIN15	ADC15ﾋﾟﾝ

表28-15. INPUTMODE=11(利得付き差動)使用時の ADC MUXPOS構成設定

MUXPOS3~0	群構成設定	ｱﾅﾛｸﾞ入力
0 0 0 0	PIN0	ADC0ﾋﾟﾝ
0 0 0 1	PIN1	ADC1ﾋﾟﾝ
0 0 1 0	PIN2	ADC2ﾋﾟﾝ
0 0 1 1	PIN3	ADC3ﾋﾟﾝ
0 1 0 0	PIN4	ADC4ﾋﾟﾝ
0 1 0 1	PIN5	ADC5ﾋﾟﾝ
0 1 1 0	PIN6	ADC6ﾋﾟﾝ
0 1 1 1	PIN7	ADC7ﾋﾟﾝ
1 x x x	–	(予約)

ﾃﾞﾊﾞｲｽのﾋﾟﾝ数と機能の構成設定に依存して、実際のｱﾅﾛｸﾞ入力ﾋﾟﾝの数は16よりも少ないかもしれず、詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄとﾋﾟﾝ配置記述を参照してください。

● ﾋﾞｯﾄ2~0 – MUXNEG2~0 : ADC負入力選択 (MUX selection on Negative ADC Input)

これらのﾋﾞｯﾄは差動測定が行われる時のADC負入力に対する多重器(MUX)選択を定義します。

表28-16.は利得なしに対する、表28-17.は利得付きに対する可能な入力選択を示します。

表28-16. INPUTMODE=10(利得なし差動)使用時のADC MUXNEG構成設定

MUXNEG2~0	群構成設定	ｱﾅﾛｸﾞ入力
0 0 0	PIN0	ADC0ﾋﾟﾝ
0 0 1	PIN1	ADC1ﾋﾟﾝ
0 1 0	PIN2	ADC2ﾋﾟﾝ
0 1 1	PIN3	ADC3ﾋﾟﾝ
1 0 0	–	(予約)
1 0 1	GND	ﾊﾟｯﾄﾞGND
1 1 0	–	(予約)
1 1 1	INTGND	内部GND

表28-17. INPUTMODE=11(利得付き差動)使用時のADC MUXNEG構成設定

MUXNEG2~0	群構成設定	ｱﾅﾛｸﾞ入力
0 0 0	PIN4	ADC4ﾋﾟﾝ
0 0 1	PIN5	ADC5ﾋﾟﾝ
0 1 0	PIN6	ADC6ﾋﾟﾝ
0 1 1	PIN7	ADC7ﾋﾟﾝ
1 0 0	INTGND	内部GND
1 0 1	–	(予約)
1 1 0	–	(予約)
1 1 1	GND	ﾊﾟｯﾄﾞGND

28.17.3. INTCTRL – ﾁｬﾈﾙn割り込み制御ﾚｼﾞｽﾀ (Channel Interrupt Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	INTMODE1,0		INTLVL1,0		INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~4 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ3,2 – INTMODE1,0 : ADC割り込み種別 (ADC Interrupt Mode)

これらのﾋﾞｯﾄは表28-18.に従ってﾁｬﾈﾙnに対する割り込み種別を選択します。

表28-18. ADC割り込み種別

INTMODE1,0	群構成設定	割り込み種別
0 0	COMPLETE	変換完了
0 1	BELOW	閾値以下の比較結果
1 0	–	(予約)
1 1	ABOVE	閾値以上の比較結果

● ﾋﾞｯﾄ1,0 – INTLVL1,0 : ADC割り込みﾚﾍﾞﾙ (ADC Interrupt Priority Level and Enable)

これらのﾋﾞｯﾄは90頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ(INTFLAGS)ﾚｼﾞｽﾀのADCﾁｬﾈﾙ割り込み要求ﾌﾗｸﾞ(IF)が設定(1)される時の条件に対して起動されます。

28.17.4. INTFLAGS – ﾁｬﾈﾙn割り込み要求ﾌﾗｸﾞ ﾚｼﾞｽﾀ (Channel Interrupt Flag register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	–	–	–	IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~1 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ0 – IF : ﾁｬﾈﾙn割り込み要求ﾌﾗｸﾞ (Channel Interrupt Flag)

この割り込み要求ﾌﾗｸﾞはA/D変換完了時に設定(1)されます。ﾁｬﾈﾙが比較動作に構成設定されている場合、このﾌﾗｸﾞは比較条件に一致した時に設定(1)されます。このﾌﾗｸﾞはADCﾁｬﾈﾙ割り込みﾍﾞｸﾀが実行される時に自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置への1書き込みによっても解除(0)できます。

28.17.5. RESH – ﾁｬﾈﾙn結果ﾚｼﾞｽﾀ上位 (Channel n Result register High)

どのADC分解能でも全ての結果ﾚｼﾞｽﾀについて、符号付き数値は2の補数形式で表され、最上位ﾋﾞｯﾄが符号ﾋﾞｯﾄを表します。

RESHとRESLﾚｼﾞｽﾀ対は16ﾋﾞｯﾄ値RESを表します。16ﾋﾞｯﾄ値の読み書きは特別な注意が必要です。詳細については9頁の「16ﾋﾞｯﾄ ﾚｼﾞｽﾀのｱｸｾｽ」を参照してください。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	RES11~4								RESH
12ﾋﾞｯﾄ右揃え	–	–	–	–	RES11~8				+$05
8ﾋﾞｯﾄ	–	–	–	–	–	–	–	–	
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

28.17.5.1. 左揃え12ﾋﾞｯﾄ動作

- **ﾋﾞｯﾄ7~0 – CHRES11~4 : ﾁｬﾈﾙn結果上位ﾊﾞｲﾄ** (Channel Result, high)

これらは12ﾋﾞｯﾄADCの結果の上位8ﾋﾞｯﾄです。

28.17.5.2. 右揃え12ﾋﾞｯﾄ動作

- **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが差動動作で動く時のRES11符号ﾋﾞｯﾄの拡張で、ADCが符号なし動作で動く時に0が設定されます。

- **ﾋﾞｯﾄ3~0 – CHRES11~8 : ﾁｬﾈﾙn結果上位ﾊﾞｲﾄ** (Channel Result, high)

これらは12ﾋﾞｯﾄADCの結果の上位4ﾋﾞｯﾄです。

28.17.5.3. 8ﾋﾞｯﾄ動作

- **ﾋﾞｯﾄ7~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは実際問題としてADCが符号付き動作で動く時のRES7符号ﾋﾞｯﾄの拡張で、ADCがｼﾝｸﾞﾙｴﾝﾄﾞ動作で動く時に0が設定されます。

28.17.6. RESL – ﾁｬﾈﾙn結果ﾚｼﾞｽﾀ下位 (Channel n Result register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
12ﾋﾞｯﾄ左揃え	RES3~0				–	–	–	–	RESL
12ﾋﾞｯﾄ右揃え	RES7~0								+$04
8ﾋﾞｯﾄ	RES7~0								
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

28.17.6.1. 左揃え12ﾋﾞｯﾄ動作

- **ﾋﾞｯﾄ7~4 – CHRES3~0 : ﾁｬﾈﾙn結果下位ﾊﾞｲﾄ** (Channel Result, low)

これらは12ﾋﾞｯﾄADCの結果の下位4ﾋﾞｯﾄです。

- **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

28.17.6.2. 右揃え12ﾋﾞｯﾄ動作、8ﾋﾞｯﾄ動作

- **ﾋﾞｯﾄ7~0 – CHRES7~0 : ﾁｬﾈﾙn結果下位ﾊﾞｲﾄ** (Channel Result, low)

これらはADCの結果の下位8ﾋﾞｯﾄです。

28.17.7. SCAN – ﾁｬﾈﾙ走査ﾚｼﾞｽﾀ (Channel Scan register)

COUNTが0以外に設定される時に走査が許可されます。このﾚｼﾞｽﾀはADCﾁｬﾈﾙ0に対してだけ利用可能です。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	OFFSET3~0				COUNT3~0				SCAN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – OFFSET3~0 : 正多重器設定変位(ｵﾌｾｯﾄ)** (Positive MUX setting offset)

COUNT≠0の時にﾁｬﾈﾙ走査が許可され、このﾚｼﾞｽﾀはADCﾁｬﾈﾙ0(CH0)上で変換されるべき次の入力元に対する変位(ｵﾌｾｯﾄ)を含みます。実際の正入力用多重器設定はMUXPOS+OFFSETに等しくなります。この値はCOUNTによって与えられる最大値に達するまで各変換後に増加されます。OFFSETがCOUNTに等しい時に、OFFSETは次の変換で解除(0)されます。

● **ﾋﾞｯﾄ3~0 – COUNT3~0 : 走査に含まれる入力ﾁｬﾈﾙ数** (Number of Input channels included in scan)

このﾚｼﾞｽﾀはﾁｬﾈﾙ走査に含まれる入力供給元数を与えます。含まれる入力供給元数はCOUNT+1です。含まれる入力ﾁｬﾈﾙはMUXPOSからMUXPOS+COUNTまでの範囲です。

28.18. ﾚｼﾞｽﾀ要約 - ADC

これはADCが標準的な12ﾋﾞｯﾄの結果を生じるように構成設定された時のﾚｼﾞｽﾀ要約です。8ﾋﾞｯﾄと左揃え12ﾋﾞｯﾄに対するﾚｼﾞｽﾀ要約は同様ですが、CHnRESHとCHnRESLの結果ﾚｼﾞｽﾀでいくつかが変わります。

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$38	CH3変位	-	-	-	-	-	-	-	-	
+$30	CH2変位	-	-	-	-	-	-	-	-	
+$28	CH1変位	-	-	-	-	-	-	-	-	
+$20	CH0変位	-	-	-	-	-	-	-	-	
+$1F	予約	-	-	-	-	-	-	-	-	
+$1E	予約	-	-	-	-	-	-	-	-	
+$1D	予約	-	-	-	-	-	-	-	-	
+$1C	予約	-	-	-	-	-	-	-	-	
+$1B	予約	-	-	-	-	-	-	-	-	
+$1A	予約	-	-	-	-	-	-	-	-	
+$19	CMPH	CMP15~8								253
+$18	CMPL	CMP7~0								253
+$17	CH3RESH	CH3RES11~8または11~4								252
+$16	CH3RESL	CH3RES7~0または3~0								252
+$15	CH2RESH	CH2RES11~8または11~4								252
+$14	CH2RESL	CH2RES7~0または3~0								252
+$13	CH1RESH	CH1RES11~8または11~4								252
+$12	CH1RESL	CH1RES7~0または3~0								252
+$11	CH0RESH	CH0RES11~8または11~4								252
+$10	CH0RESL	CH0RES7~0または3~0								252
+$0F	予約	-	-	-	-	-	-	-	-	
+$0E	予約	-	-	-	-	-	-	-	-	
+$0D	CALH	-	-	-	-	CAL11~8				252
+$0C	CALL	CAL7~0								251
+$0B	予約	-	-	-	-	-	-	-	-	
+$0A	予約	-	-	-	-	-	-	-	-	
+$09	予約	-	-	-	-	-	-	-	-	
+$08	予約	-	-	-	-	-	-	-	-	
+$07	TEMP	TEMP7~0								251
+$06	INTFLAGS	-	-	-	-	CH3IF	CH2IF	CH1IF	CH0IF	251
+$05	予約	-	-	-	-	-	-	-	-	
+$04	PRESCALER	-	-	-	-	-	PRESCALER2~0			250
+$03	EVCTRL	SWEEP1,0		EVSEL2~0			EVACT2~0			250
+$02	REFCTRL	-	REFSEL2~0			-	-	BANDGAP	TEMPREF	249
+$01	CTRLB	IMPMODE	CURRLIMIT1,0		CONVMODE	FREERUN	RSOLUTION1,0		-	248
+$00	CTRLA	DMASEL1,0		CH3START	CH2START	CH1START	CH0START	FLUSH	ENABLE	248

28.19. ﾚｼﾞｽﾀ要約 – ADCﾁｬﾈﾙ

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$07	予約	–	–	–	–	–	–	–	–	
+$06	SCAN	OFFSET3~0				COUNT3~0				257
+$05	RESH	RES11~8または11~4								256
+$04	RESL	RES7~0または3~0								256
+$03	INTFLAGS	–	–	–	–	–	–	–	IF	255
+$02	INTCTRL	–	–	–	–	INTMODE1,0		INTLVL1,0		255
+$01	MUXCTRL	–	MUXPOS3~0				MUXNEG2~0			254
+$00	CTRL	START	–	–	GAIN2~0			INPUTMODE1,0		253

28.20. 割り込みﾍﾞｸﾀ要約

表28-19. A/D変換器割り込みﾍﾞｸﾀとそれらの変位(ｵﾌｾｯﾄ)語ｱﾄﾞﾚｽ

変位	記述例	割り込み内容
$00	CH0_vect	A/D変換器ﾁｬﾈﾙ0割り込みﾍﾞｸﾀ
$02	CH1_vect	A/D変換器ﾁｬﾈﾙ1割り込みﾍﾞｸﾀ
$04	CH2_vect	A/D変換器ﾁｬﾈﾙ2割り込みﾍﾞｸﾀ
$06	CH3_vect	A/D変換器ﾁｬﾈﾙ3割り込みﾍﾞｸﾀ

29. DAC – D/A変換器

29.1. 要点

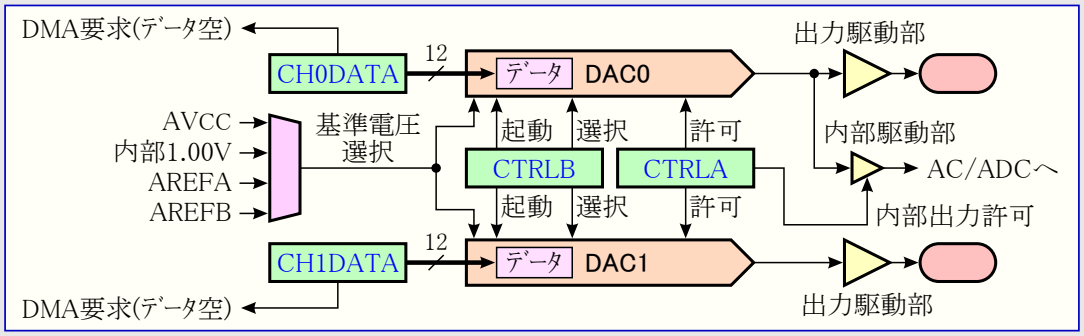
- 12ﾋﾞｯﾄ分解能
- 2つの独立、継続駆動ﾁｬﾈﾙ
- DACﾁｬﾈﾙ当たり100万採取/秒までの変換速度
- 以下を取り去る組み込み校正
  - 変位(ｵﾌｾｯﾄ)誤差
  - 利得誤差
- 複数の変換起動元
  - 利用可能な新ﾃﾞｰﾀで
  - 事象ｼｽﾃﾑからの事象
- 高い駆動能力と以下を支援
  - 抵抗性負荷
  - 容量性負荷
  - 抵抗性と容量性の組み合わせ負荷
- 内部と外部の基準電圧任意選択
- ｱﾅﾛｸﾞ比較器とA/D変換器(ADC)への入力として利用可能なDAC出力
- 低減された駆動力を持つ低電力動作形態
- 任意選択のDMAﾃﾞｰﾀ転送

29.2. 概要

D/A変換器(DAC)はﾃﾞｼﾞﾀﾙ値を電圧に変換します。DACは2つのﾁｬﾈﾙ、各々12ﾋﾞｯﾄの分解能と、各ﾁｬﾈﾙで秒当たり最大100万採取(MSPS)の変換能力を持ちます。組み込み校正ｼｽﾃﾑはｿﾌﾄｳｪｱで校正値を設定した時に変位(ｵﾌｾｯﾄ)と利得の誤差を取り去ることができます。

図29-1.はDACの基本的な機能を図解します。全ての機能が示されている訳ではありません。

図29-1. DAC概要



DAC変換は変換されるべき新しいﾃﾞｰﾀが利用可能な時に自動的に開始されます。事象ｼｽﾃﾑからの事象も使うことでき、これはﾀｲﾏ/ｶｳﾝﾀのような他の周辺機能とDAC間での時間を定めて同期した変換を許します。DMA制御器はDACへﾃﾞｰﾀを転送するのに使うことができます。

DACは高い駆動力を持ち、抵抗性と容量性の両方と更に両方を組み合わせた負荷の駆動能力があります。低電力動作が利用可能で、これは出力の駆動能力を減らします。

内部と外部の基準電圧を使うことができます。DAC出力は内部的にｱﾅﾛｸﾞ比較器やA/D変換器(ADC)への入力としての使用にも利用可能です。

29.3. 基準電圧選択

DAC用の基準(VREF)として以下の電圧を使うことができます。

- AVCC電圧
- 正確な内部1.00V電圧
- PORTAのAREFﾋﾟﾝに印加された外部電圧
- PORTBのAREFﾋﾟﾝに印加された外部電圧

29.4. 変換の開始

既定によって変換は新しいﾃﾞｰﾀがﾁｬﾈﾙ ﾃﾞｰﾀ(CHnDATA)ﾚｼﾞｽﾀに書かれる時に自動的に開始されます。変換開始を起動するために事象ｼｽﾃﾑからの事象を許可ことも可能です。これが許可されると、新しい変換はDACﾁｬﾈﾙが事象を受け取った時とﾁｬﾈﾙ ﾃﾞｰﾀﾚｼﾞｽﾀが更新された場合に開始されます。これは外部事象で同期化される、そして/または規則的で一定の変換間隔を保証するために時を定めるべき変換開始を許します。

29.5. 出力と出力ﾁｬﾈﾙ

2つのDACﾁｬﾈﾙは完全に独立した出力と個別ﾃﾞｰﾀ、それと変換制御ﾚｼﾞｽﾀを持ちます。これはDACに2つの異なるｱﾅﾛｸﾞ信号の作成を許します。ﾁｬﾈﾙ0出力はｱﾅﾛｸﾞ比較器とA/D変換器用の入力として内部的に利用可能にさせることもできます。

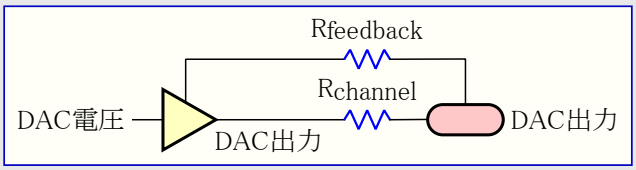
DACﾁｬﾈﾙからの出力電圧(VDAC)は次のように与えられます。

$$V_{DACn} = \frac{CHnDATA}{4096 - 1} \times VREF$$

29.6. DAC出力模式

各DAC出力ﾁｬﾈﾙはDAC出力ﾋﾟﾝの電圧がDACの内部電圧と等しいことを保証する帰還を持つ駆動緩衝器を持ちます。**図29-2.**はDAC出力模式を示します。Rchannelの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄでDAC特性を参照してください。

図29-2. DAC出力模式



29.7. DACｸﾛｯｸ

DACは周辺機能ｸﾛｯｸ(clkPER)から直接ｸﾛｯｸ駆動され、これは新しいﾃﾞｰﾀがどれだけ速くDACﾃﾞｰﾀ ﾚｼﾞｽﾀにｸﾛｯｸ駆動され得るかでの制限に帰します。

29.8. 低電力動作

D/A変換での電力消費を低減するために、DACを低電力動作に設定できます。この動作で新しい変換が開始される場合に変換時間がより長くなります。これは2つの要素によってDACﾁｬﾈﾙ当たりのDAC変換時間を増します。

29.9. 校正

改善された精度のために、DACで利得と変位の誤差を校正することが可能です。

最良の校正結果を得るため、校正中に最終応用で使われるのと同じDAC構成設定を使うことが推奨されます。DACに対する理論上の伝達関数は「**出力と出力ﾁｬﾈﾙ**」内の式によって示されました。利得と変位(ｵﾌｾｯﾄ)の誤差を含み、DAC出力値は次のように表すことができます。

式29-1. DAC出力値の計算

$$V_{DAC} = VREF \times \left(\frac{DATA}{\$FFF} \times ERROR_{GAIN}\right) + V_{OFFSET}$$

変位誤差を校正するには、DACﾁｬﾈﾙの中間符号($800)を出力し、測定された出力値が可能な限り中間値(VREF/2)に近づくまで変位校正値を調節してください。変位校正用の式は**式29-2.**によって与えられ、そこでのOCALはOFFSETCAL、GCALはGAINCALです。

式29-2. 変位校正

$$V_{OCAL} = VREF \times (2 \times OCAL[7] - 1) \times \left(\frac{OCAL[6]}{16} + \frac{OCAL[5]}{32} + \frac{OCAL[4]}{64} + \frac{OCAL[3]}{128} + \frac{OCAL[2]}{256} + \frac{OCAL[1]}{512} + \frac{OCAL[0]}{1024}\right)$$

利得誤差を校正するには、DACﾁｬﾈﾙの最大符号(0FFF)を出力し、測定された出力値が可能な限り頂上値(VREF×4095)/4096に近づくまで利得校正値を調節してください。利得校正は中間符号周辺で伝達関数を回転することによってDAC特性の傾きを制御します。利得校正用の式は**式29-3.**によって与えられます。

式29-3. 利得校正

$$V_{GCAL} = \left(V_{DAC} - \left(\frac{VREF}{2}\right)\right) \times (1 - 2 \times GCAL[7]) \times \left(\frac{GCAL[6]}{16} + \frac{GCAL[5]}{32} + \frac{GCAL[4]}{64} + \frac{GCAL[3]}{128} + \frac{GCAL[2]}{256} + \frac{GCAL[1]}{512} + \frac{GCAL[0]}{1024}\right)$$

式での校正を含み、DAC出力は**式29-4.**によって表されます。

式29-4. DAC出力計算

$$V_{DAC\_OUT} = V_{DAC} + V_{OCAL} + V_{GCAL}$$

29.10. ﾚｼﾞｽﾀ説明

29.10.1. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	IDOEN	CH1EN	CH0EN	LPMODE	ENABLE	CTRLA
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4 – IDOEN : 内部出力許可** (Internal Output Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器とA/D変換器(ADC)によって使われることをDACﾁｬﾈﾙ0出力に許可します。そしてこれはDACﾁｬﾈﾙ0用の出力ﾋﾟﾝも禁止します。

● **ﾋﾞｯﾄ3 – CH1EN : ﾁｬﾈﾙ1出力許可** (Channel 1 Output Enable)

このﾋﾞｯﾄの設定(1)がﾁｬﾈﾙ1を出力ﾋﾟﾝで利用可能にします。

● **ﾋﾞｯﾄ2 – CH0EN : ﾁｬﾈﾙ0出力許可** (Channel 0 Output Enable)

DAC内部出力許可(IDOEN)が1に設定されていなければ、このﾋﾞｯﾄの設定(1)はﾁｬﾈﾙ0を出力ﾋﾟﾝで利用可能にします。

● **ﾋﾞｯﾄ1 – LPMODE : 低電力動作** (Low Power Mode)

このﾋﾞｯﾄの設定(1)はDACの低電力動作形態を許可します。電流を節約するためにDACは各変換の間にOFFされます。この動作形態で新しい変換が開始される時に変換時間は倍にされます。

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄ(=1)がDAC全体を許可します。

29.10.2. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	–	CHSEL1,0		–	–	–	CH1TRIG	CH0TRIG	CTRLB
Read/Write	R	R/W	R/W	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ6,5 – CHSEL1,0 : ﾁｬﾈﾙ選択** (Channel Selection)

これらのﾋﾞｯﾄは許可されて動作するﾁｬﾈﾙを制御します。表29-1.は利用可能な選択を示します。

表29-1. DACﾁｬﾈﾙ選択

CHSEL1,0	群構成設定	内容
0 0	SINGLE	ﾁｬﾈﾙ0での単一ﾁｬﾈﾙ動作
0 1	SINGLE1	ﾁｬﾈﾙ1での単一ﾁｬﾈﾙ動作
1 0	DUAL	2重ﾁｬﾈﾙ動作
1 1	–	(予約)

● **ﾋﾞｯﾄ4~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – CH1TRIG : ﾁｬﾈﾙ1自動起動動作** (Auto triggered mode Channel 1)

このﾋﾞｯﾄが設定(1)されている場合、事象制御(EVCTRL)ﾚｼﾞｽﾀの設定で構成設定された事象ﾁｬﾈﾙでの事象は、それのﾃﾞｰﾀ(CH1DATA)ﾚｼﾞｽﾀが更新されていた場合にDACﾁｬﾈﾙ1での変換を起動します。

● **ﾋﾞｯﾄ0 – CH0TRIG : ﾁｬﾈﾙ0自動起動動作** (Auto triggered mode Channel 0)

このﾋﾞｯﾄが設定(1)されている場合、事象制御(EVCTRL)ﾚｼﾞｽﾀの設定で構成設定された事象ﾁｬﾈﾙでの事象は、それのﾃﾞｰﾀ(CH0DATA)ﾚｼﾞｽﾀが更新されていた場合にDACﾁｬﾈﾙ0での変換を起動します。

29.10.3. CTRLC – 制御ﾚｼﾞｽﾀC (Control register C)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	REFSEL1,0		–	–	LEFTADJ	CTRLC
Read/Write	R	R	R	R/W	R/W	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~5 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ4,3 – REFSEL1,0 : 基準電圧選択** (Reference Selection)

これらのﾋﾞｯﾄは表29-2.に従ってDAC用の基準電圧を選びます。

表29-2. DAC基準電圧選択

REFSEL1,0	群構成設定	内容
0 0	INT1V	内部1.00V基準電圧
0 1	AVCC	AVCC
1 0	AREFA	PORTAのAREFﾋﾟﾝ
1 1	AREFB	PORTBのAREFﾋﾟﾝ

● **ﾋﾞｯﾄ2,1 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ0 – LEFTADJ : 左揃え値** (Left-Adjust Value)

このﾋﾞｯﾄが設定(1)なら、ﾃﾞｰﾀ(CH0DATAとCH1DATA)ﾚｼﾞｽﾀは左揃えにされます。

29.10.4. EVCTRL – 事象制御ﾚｼﾞｽﾀ (Event Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$03	–	–	–	–	EVSEL3~0				EVCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3 – EVSEL3 : 事象選択ﾋﾞｯﾄ3** (Event Selection bit 3)

このﾋﾞｯﾄの1設定はDACﾁｬﾈﾙ1に対する起動元としてEVSEL2～0+1の事象ﾁｬﾈﾙを許可します。このﾋﾞｯﾄが0の時は両DACﾁｬﾈﾙに対する起動元として同じ事象ﾁｬﾈﾙが使われます。

● **ﾋﾞｯﾄ2~0 – EVSEL2~0 : 事象ﾁｬﾈﾙ入力選択** (Event Channel Selection)

これらのﾋﾞｯﾄは事象ｼｽﾃﾑからのどのﾁｬﾈﾙがDAC変換の起動に使われるかを定義します。

表29-3.は利用可能な選択を示します。

表29-3. DAC事象入力選択

EVSEL2~0	群構成設定	内容
0 0 0	0	DACへの起動入力として事象ﾁｬﾈﾙ0を選択
0 0 1	1	DACへの起動入力として事象ﾁｬﾈﾙ1を選択
0 1 0	2	DACへの起動入力として事象ﾁｬﾈﾙ2を選択
0 1 1	3	DACへの起動入力として事象ﾁｬﾈﾙ3を選択
1 0 0	4	DACへの起動入力として事象ﾁｬﾈﾙ4を選択
1 0 1	5	DACへの起動入力として事象ﾁｬﾈﾙ5を選択
1 1 0	6	DACへの起動入力として事象ﾁｬﾈﾙ6を選択
1 1 1	7	DACへの起動入力として事象ﾁｬﾈﾙ7を選択

29.10.5. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	–	–	–	–	CH1DRE	CH0DRE	STATUS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – CH1DRE : ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ空ﾌﾗｸﾞ** (Channel 1 Data Register Empty)

このﾌﾗｸﾞが設定(1)の時はﾁｬﾈﾙ1用のﾃﾞｰﾀ(CH1DATA)ﾚｼﾞｽﾀが空で、新しい値が書けることを示します。このﾋﾞｯﾄが解除(0)されている時のﾃﾞｰﾀ ﾚｼﾞｽﾀ書き込みは保留中の変換ﾃﾞｰﾀ上書きを引き起こします。このﾋﾞｯﾄはDMA要求に対して直接的に使われます。

● **ﾋﾞｯﾄ0 – CH0DRE : ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ空ﾌﾗｸﾞ** (Channel 0 Data Register Empty)

このﾌﾗｸﾞが設定(1)の時はﾁｬﾈﾙ0用のﾃﾞｰﾀ(CH0DATA)ﾚｼﾞｽﾀが空で、新しい値が書けることを示します。このﾋﾞｯﾄが解除(0)されている時のﾃﾞｰﾀ ﾚｼﾞｽﾀ書き込みは保留中の変換ﾃﾞｰﾀ上書きを引き起こします。このﾋﾞｯﾄはDMA要求に対して直接的に使われます。

29.10.6. CH0DATAH – ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (Channel 0 Data register High)

CHnDATAHとCHnDATALのこれら2つのﾚｼﾞｽﾀはDACﾁｬﾈﾙnで電圧に変換される12ﾋﾞｯﾄ値CHnDATAの各々上位ﾊﾞｲﾄと下位ﾊﾞｲﾄです。既定では、この12ﾋﾞｯﾄがCHnDATALの8ﾋﾞｯﾄとCHnDATAHの下位4ﾋﾞｯﾄ位置の4ﾋﾞｯﾄに分配されます(右揃え)。左揃えのﾃﾞｰﾀの選択は、制御ﾚｼﾞｽﾀC(CTRLC)の左揃え(LEFTADJ)ﾋﾞｯﾄを設定(1)してください。

左揃えﾃﾞｰﾀが選択されると、CHnDATAの上位ﾊﾞｲﾄ、換言するとCHnDATAHだけの書き込みによって8ﾋﾞｯﾄ変換を行うことが可能です。8ﾋﾞｯﾄ変換動作だけが使われる場合、一時(TEMP)ﾚｼﾞｽﾀは0に初期化されるべきです(**訳注**:TEMPﾚｼﾞｽﾀ記述なし)。

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	–	–	–	–	CHDATA11~8				CH0DATAH +$19
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

29.10.6.1. 右揃え

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CHDATA11~8 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ上位** (Conversion Data Channel 0, 4 MSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の上位4ﾋﾞｯﾄです。

29.10.6.2. 左揃え

● **ﾋﾞｯﾄ7~0 – CHDATA11~4 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ上位** (Conversion Data Channel 0, 8 MSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の上位8ﾋﾞｯﾄです。

29.10.7. CH0DATAL – ﾁｬﾈﾙ0ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (Channel 0 Data register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH0DATAL +$18
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				–	–	–	–	
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

29.10.7.1. 右揃え

● **ﾋﾞｯﾄ7~0 – CHDATA7~0 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ下位** (Conversion Data Channel 0, 8 LSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の下位8ﾋﾞｯﾄです。

29.10.7.2. 左揃え

● **ﾋﾞｯﾄ7~4 – CHDATA3~0 : ﾁｬﾈﾙ0変換ﾃﾞｰﾀ下位** (Conversion Data Channel 0, 4 LSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ0に変換される12ﾋﾞｯﾄ値の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

29.10.8. CH1DATAH – ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ上位 (Channel 1 Data register High)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	–	–	–	–	CHDATA11~8				CH1DATAH +$1B
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
左揃え	CHDATA11~4								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

29.10.8.1. 右揃え

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CHDATA11~8 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ上位** (Conversion Data Channel 1, 4 MSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の上位4ﾋﾞｯﾄです。

29.10.8.2. 左揃え

● **ﾋﾞｯﾄ7~0 – CHDATA11~4 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ上位** (Conversion Data Channel 1, 8 MSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の上位8ﾋﾞｯﾄです。

29.10.9. CH1DATAL – ﾁｬﾈﾙ1ﾃﾞｰﾀ ﾚｼﾞｽﾀ下位 (Channel 1 Data register Low)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
右揃え	CHDATA7~0								CH1DATAL +$1A
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
左揃え	CHDATA3~0				–	–	–	–	
Read/Write	R/W	R/W	R/W	R/W	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

29.10.9.1. 右揃え

● **ﾋﾞｯﾄ7~0 – CHDATA7~0 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ下位** (Conversion Data Channel 1, 8 LSB)

これらのﾋﾞｯﾄは右揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の下位8ﾋﾞｯﾄです。

29.10.9.2. 左揃え

● **ﾋﾞｯﾄ7~4 – CHDATA3~0 : ﾁｬﾈﾙ1変換ﾃﾞｰﾀ下位** (Conversion Data Channel 1, 4 LSB)

これらのﾋﾞｯﾄは左揃え動作でﾁｬﾈﾙ1に変換される12ﾋﾞｯﾄ値の下位4ﾋﾞｯﾄです。

● **ﾋﾞｯﾄ3~0 – 予約** (Reserved)

これらのﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

29.10.10. CH0GAINCAL – ﾁｬﾈﾙ0利得校正ﾚｼﾞｽﾀ (Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CH0GAINCAL7~0								CH0GAINCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH0GAINCAL7~0 : ﾁｬﾈﾙ0利得校正値** (Gain Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ0での利得誤差に対する補償に使われます。詳細については261頁の「**校正**」をご覧ください。

29.10.11. CH0OFFSETCAL – ﾁｬﾈﾙ0変位校正ﾚｼﾞｽﾀ (Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	CH0OFFSETCAL7~0								CH0OFFSETCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH0OFFSETCAL7~0 : ﾁｬﾈﾙ0変位校正値** (Offset Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ0での変位誤差に対する補償に使われます。詳細については261頁の「**校正**」をご覧ください。

29.10.12. CH1GAINCAL – ﾁｬﾈﾙ1利得校正ﾚｼﾞｽﾀ (Gain Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0A	CH1GAINCAL7~0								CH1GAINCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH1GAINCAL7~0 : ﾁｬﾈﾙ1利得校正値** (Gain Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ1での利得誤差に対する補償に使われます。詳細については261頁の「**校正**」をご覧ください。

29.10.13. CH1OFFSETCAL – ﾁｬﾈﾙ1変位校正ﾚｼﾞｽﾀ (Offset Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$0B	CH1OFFSETCAL7~0								CH1OFFSETCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~0 – CH1OFFSETCAL7~0 : ﾁｬﾈﾙ1変位校正値** (Offset Calibration value)

これらのﾋﾞｯﾄはDACﾁｬﾈﾙ1での変位誤差に対する補償に使われます。詳細については261頁の「**校正**」をご覧ください。

29.11. レジスタ要約

これはD/A変換器が標準的な12ビットの結果を与えるように構成設定された時のレジスタ要約です。左揃え12ビット結果用のレジスタ要約は同様ですが、CHnDATAHとCHnDATALのデータ レジスタ内でいくつかの変更を伴います。

アドレス	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	頁
+$1B	CH1DATAH	CHDATA11~8または11~4								265
+$1A	CH1DATAL	CHDATA7~0または3~0								265
+$19	CH0DATAH	CHDATA11~8または11~4								264
+$18	CH0DATAL	CHDATA7~0または3~0								264
+$17	予約	–	–	–	–	–	–	–	–	
+$16	予約	–	–	–	–	–	–	–	–	
+$15	予約	–	–	–	–	–	–	–	–	
+$14	予約	–	–	–	–	–	–	–	–	
+$13	予約	–	–	–	–	–	–	–	–	
+$12	予約	–	–	–	–	–	–	–	–	
+$11	予約	–	–	–	–	–	–	–	–	
+$10	予約	–	–	–	–	–	–	–	–	
+$0F	予約	–	–	–	–	–	–	–	–	
+$0E	予約	–	–	–	–	–	–	–	–	
+$0D	予約	–	–	–	–	–	–	–	–	
+$0C	予約	–	–	–	–	–	–	–	–	
+$0B	CH1OFFSETCAL	CH1OFFSETCAL7~0								266
+$0A	CH1GAINCAL	CH1GAINCAL7~0								266
+$09	CH0OFFSETCAL	CH0OFFSETCAL7~0								266
+$08	CH0GAINCAL	CH0GAINCAL7~0								265
+$07	予約	–	–	–	–	–	–	–	–	
+$06	予約	–	–	–	–	–	–	–	–	
+$05	STATUS	–	–	–	–	–	–	CH1DRE	CH0DRE	264
+$04	予約	–	–	–	–	–	–	–	–	
+$03	EVCTRL	–	–	–	–	EVSEL3~0				263
+$02	CTRLC	–	–	–	REFSEL1,0		–	–	LEFTADJ	263
+$01	CTRLB	–	CHSEL1,0		–	–	–	CH1TRIG	CH0TRIG	262
+$00	CTRLA	–	–	–	IDOEN	CH1EN	CH0EN	LPMODE	ENABLE	262

30. AC – ｱﾅﾛｸﾞ比較器

30.1. 要点

- 選択可能な伝播遅延対電流消費
- 選択可能なﾋｽﾃﾘｼｽ
  - なし
  - 小
  - 大
- ﾋﾟﾝで利用可能なｱﾅﾛｸﾞ比較器出力
- 柔軟な入力選択
  - ﾎﾟｰﾄ上の全ﾋﾟﾝ
  - D/A変換器(DAC)からの出力
  - ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
  - 内部VCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
  - 上昇端
  - 下降端
  - 切り替わり
- 以下での窓機能割り込みと事象の生成
  - 窓以上の信号
  - 窓内側の信号
  - 窓以下の信号
- 構成設定可能な出力ﾋﾟﾝ選択を持つ定電流源

30.2. 概要

ｱﾅﾛｸﾞ比較器(AC)は2つの入力の電圧ﾚﾍﾞﾙを比較してその比較に基いたﾃﾞｼﾞﾀﾙ出力を与えます。ｱﾅﾛｸﾞ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

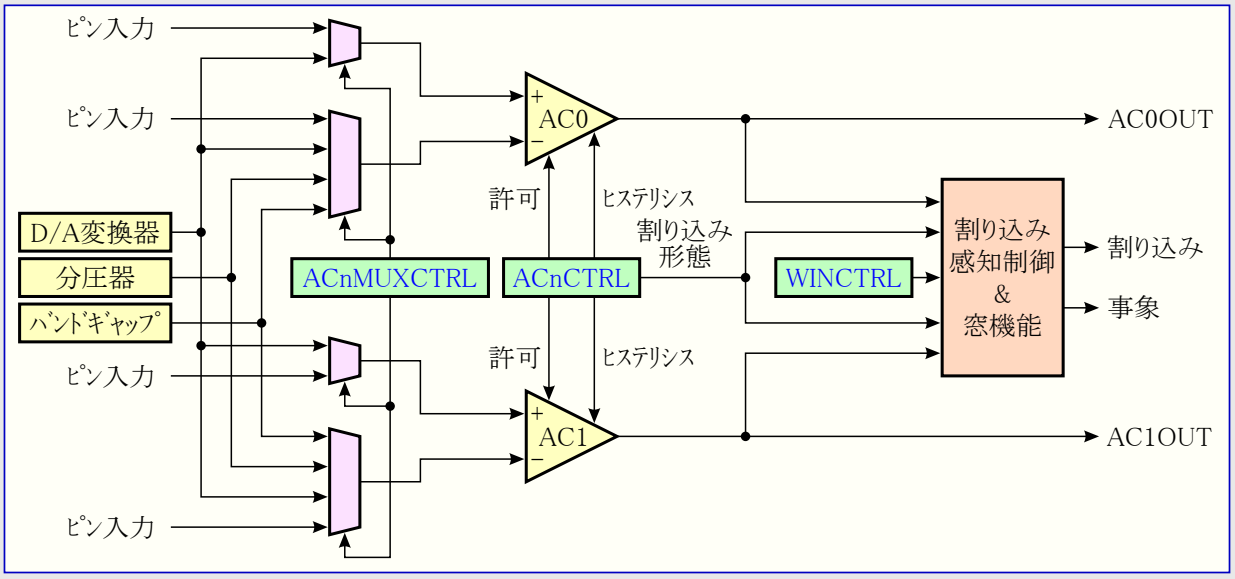
ｱﾅﾛｸﾞ比較器の動的な動きの2つの重要な特性はﾋｽﾃﾘｼｽと伝播遅延です。これらの両ﾊﾟﾗﾒｰﾀは各応用に対して最適な動作を得るために調節できます。

入力選択はｱﾅﾛｸﾞ ﾎﾟｰﾄ ﾋﾟﾝ、多数の内部信号、64段階の設定可能な分圧器を含みます。ｱﾅﾛｸﾞ比較器出力の状態は外部ﾃﾞﾊﾞｲｽによって使うためにﾋﾟﾝ上に出力することもできます。

定電流源を許可することができ、選択可能なﾋﾟﾝ上に出力することができます。これは例えば容量性接触感知応用でｺﾝﾃﾞﾝｻを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

ｱﾅﾛｸﾞ比較器は常に各ﾎﾟｰﾄ上の対で分類されます。それらはｱﾅﾛｸﾞ比較器0(AC0)とｱﾅﾛｸﾞ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御ﾚｼﾞｽﾀを持ちます。対として使うと、それらは電圧ﾚﾍﾞﾙの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

図30-1. ｱﾅﾛｸﾞ比較器概要



30.3. 入力元

各ｱﾅﾛｸﾞ比較器は1つの正入力と1つの負入力を持っています。各入力はｱﾅﾛｸﾞ入力ﾋﾟﾝ、内部入力、VCCを縮尺した入力から選ぶことができます。ｱﾅﾛｸﾞ比較器からのﾃﾞｼﾞﾀﾙ出力は正と負の入力電圧間の差が正の時に1、差が負の時に0です。

30.3.1. ﾋﾟﾝ入力

ﾎﾟｰﾄのｱﾅﾛｸﾞ入力ﾋﾟﾝのどれもがｱﾅﾛｸﾞ比較器への入力として選択することができます。

30.3.2. 内部入力

ｱﾅﾛｸﾞ比較器に対して3つの内部入力が利用可能です。

- DACからの出力
- ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
- 内部VCC電圧を縮尺した64段階を提供する分圧器

30.4. 信号比較

信号比較を開始するため、この単位部が許可される前に、ｱﾅﾛｸﾞ比較器は望んだ特性と入力で構成設定されなければなりません。比較結果は連続的に更新され、応用ｿﾌﾄｳｪｱと事象ｼｽﾃﾑで利用可能です。

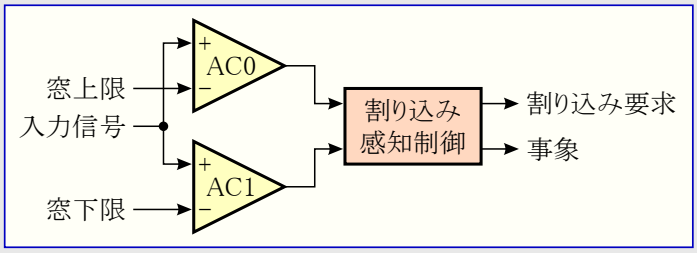
30.5. 割り込みと事象

ｱﾅﾛｸﾞ比較器は出力が切り替わる時、出力が0から1に変化する(上昇端)時、または出力が1から0に変化する(下降端)時に割り込みを生成するように構成設定することができます。割り込みが許可されているか否かのどちらかに拘らず、事象は割り込みと同じ条件の間、常時生成されます。

30.6. 窓動作

同じﾎﾟｰﾄの2つのｱﾅﾛｸﾞ比較器は窓動作で共に動作するように構成設定することができます。この動作では電圧範囲が定義され、ｱﾅﾛｸﾞ比較器は入力信号がこの範囲内か否かのどちらかかについての情報を提供できます。

図30-2. ｱﾅﾛｸﾞ比較器窓動作



30.7. 入力ﾋｽﾃﾘｼｽ

応用ｿﾌﾄｳｪｱは比較に関してﾋｽﾃﾘｼｽのなし、低、高を選ぶことができます。ﾋｽﾃﾘｼｽ付加は入力信号(値)がお互いに近い時に雑音によって引き起こされ得る定常的な出力切り換わりを防ぐのを手助けします。

30.8. 伝播遅延対電力消費

可能な限り最短の伝播遅延を得るために高速動作を許可することが可能です。この動作は相応じてより長い伝播遅延を持つ既定の低電力動作よりもっと電力を消費します。

30.9. ﾚｼﾞｽﾀ説明

30.9.1. ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ (Analog Comparator n Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00,$01	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	ACnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – INTMODE1,0 : 割り込み種別** (Interrupt Modes)

これらのﾋﾞｯﾄは表30-1.に従ってｱﾅﾛｸﾞ比較器nに対する割り込み種別を構成設定します。

表30-1. ｱﾅﾛｸﾞ比較器n割り込み設定

INTMODE1,0	群構成設定	内容
0 0	BOTHEDGES	出力切り替わりでの比較器割り込みまたは事象
0 1	–	(予約)
1 0	FALLING	出力下降端での比較器割り込みまたは事象
1 1	RISING	出力上昇端での比較器割り込みまたは事象

● **ﾋﾞｯﾄ5,4 – INTLVL1,0 : 割り込みﾚﾍﾞﾙ** (Interrupt Level)

これらのﾋﾞｯﾄはｱﾅﾛｸﾞ比較器nの割り込みを許可して90頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは割り込み種別(INTMODE)設定に従って起動します。

● **ﾋﾞｯﾄ3 – HSMODE : 高速動作** (High-Speed Mode Select)

既定によってｱﾅﾛｸﾞ比較器nは低電力動作で、このﾋﾞｯﾄが0です。このﾋﾞｯﾄの設定(1)はより短い伝播遅延のための高速動作を選びます。実際の性能の詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

● **ﾋﾞｯﾄ2,1 – HYSMODE1,0 : ﾋｽﾃﾘｼｽ選択** (Hysteresis Mode Select)

これらのﾋﾞｯﾄは表30-2.に従ってﾋｽﾃﾘｼｽ形態を選択します。実際のﾋｽﾃﾘｼｽ ﾚﾍﾞﾙの詳細についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表30-2. ｱﾅﾛｸﾞ比較器nﾋｽﾃﾘｼｽ設定

HYSMODE1,0	群構成設定	内容
0 0	NO	ﾋｽﾃﾘｼｽなし
0 1	SMALL	ﾋｽﾃﾘｼｽ小
1 0	LARGE	ﾋｽﾃﾘｼｽ大
1 1	–	(予約)

● **ﾋﾞｯﾄ0 – ENABLE : 許可** (Enable)

このﾋﾞｯﾄの設定(1)がｱﾅﾛｸﾞ比較器nを許可します。

30.9.2. ACnMUXCTRL – ｱﾅﾛｸﾞ比較器n多重器(MUX)制御ﾚｼﾞｽﾀ (Analog Comparator n MUX Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02,$03	–	–	MUXPOS2~0			MUXNEG2~0			ACnMUXCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7,6 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ5~3 – MUXPOS2~0 : 正入力選択** (Positive Input MUX Selection)

これらのﾋﾞｯﾄは表30-3.に従ってｱﾅﾛｸﾞ比較器nの正入力にどの入力が接続されるかを選びます。

表30-3. ｱﾅﾛｸﾞ比較器n正入力多重器(MUX)選択

MUXPOS2~0	群構成設定	正入力
0 0 0	PIN0	ｱﾅﾛｸﾞ入力ﾋﾟﾝ0
0 0 1	PIN1	ｱﾅﾛｸﾞ入力ﾋﾟﾝ1
0 1 0	PIN2	ｱﾅﾛｸﾞ入力ﾋﾟﾝ2
0 1 1	PIN3	ｱﾅﾛｸﾞ入力ﾋﾟﾝ3
1 0 0	PIN4	ｱﾅﾛｸﾞ入力ﾋﾟﾝ4
1 0 1	PIN5	ｱﾅﾛｸﾞ入力ﾋﾟﾝ5
1 1 0	PIN6	ｱﾅﾛｸﾞ入力ﾋﾟﾝ6
1 1 1	DAC	DAC出力

● ﾋﾞｯﾄ2~0 – MUXNEG2~0 : 負入力選択 (Negative Input MUX Selection)

これらのﾋﾞｯﾄは表30-4.に従ってｱﾅﾛｸﾞ比較器nの負入力にどの入力が接続されるかを選びます。

表30-4. ｱﾅﾛｸﾞ比較器n負入力多重器(MUX)選択

MUXPOS2~0	群構成設定	負入力
0 0 0	PIN0	ｱﾅﾛｸﾞ入力ﾋﾟﾝ0
0 0 1	PIN1	ｱﾅﾛｸﾞ入力ﾋﾟﾝ1
0 1 0	PIN3	ｱﾅﾛｸﾞ入力ﾋﾟﾝ3
0 1 1	PIN5	ｱﾅﾛｸﾞ入力ﾋﾟﾝ5
1 0 0	PIN7	ｱﾅﾛｸﾞ入力ﾋﾟﾝ7
1 0 1	DAC	DAC出力
1 1 0	BANDGAP	内部ﾊﾞﾝﾄﾞｷﾞｬｯﾌﾟ基準電圧
1 1 1	SCALER	縮尺VCC電圧

30.9.3. CTRLA – 制御ﾚｼﾞｽﾀA (Control register A)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$04	–	–	–	–	–	–	AC1OUT	AC0OUT	CTRLA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~2 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ1 – AC1OUT : ｱﾅﾛｸﾞ比較器1出力許可 (Analog Comparator 1 Output)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器1(AC1)の出力を同じﾎﾟｰﾄのﾋﾟﾝ6で利用可能にします。

● ﾋﾞｯﾄ0 – AC0OUT : ｱﾅﾛｸﾞ比較器0出力許可 (Analog Comparator 0 Output)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器0(AC0)の出力を同じﾎﾟｰﾄのﾋﾟﾝ7で利用可能にします。

30.9.4. CTRLB – 制御ﾚｼﾞｽﾀB (Control register B)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$05	–	–	SCALEFAC5~0						CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ5~0 – SCALEFAC5~0 : VCC入力縮尺 (Voltage Scalling Factor)

これらのﾋﾞｯﾄはVCC電圧分圧器に対する縮尺係数を定義します。ｱﾅﾛｸﾞ比較器への入力V_{SCALE}は以下です。

$$V_{SCALE} = \frac{VCC \times (SCALEFAC + 1)}{64}$$

30.9.5. WINCTRL – 窓制御ﾚｼﾞｽﾀ (Window Function Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$06	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		WINCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7~5 – 予約 (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ4 – WEN : 窓動作許可 (Window Mode Enable)

このﾋﾞｯﾄの設定(1)はｱﾅﾛｸﾞ比較器窓動作を許可します。

● ﾋﾞｯﾄ3,2 – WINTMODE1,0 : 窓割り込み種別 (Window Interrupt Mode Settings)

これらのﾋﾞｯﾄは表30-5.に従ってｱﾅﾛｸﾞ比較器窓動作に対する割り込み動作種別を構成設定します。

表30-5. 窓動作割り込み設定

WINTMODE1,0	群構成設定	内容
0 0	ABOVE	窓以上の信号で割り込み
0 1	INSIDE	窓内の信号で割り込み
1 0	BELOW	窓以下の信号で割り込み
1 1	OUTSIDE	窓外の信号で割り込み

● ﾋﾞｯﾄ1,0 – WINTLVL1,0 : 窓割り込みﾚﾍﾞﾙ (Window Interrupt Enable)

これらのﾋﾞｯﾄはｱﾅﾛｸﾞ比較器窓動作割り込みを許可して90頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みﾚﾍﾞﾙを選びます。許可した割り込みは窓割り込み種別(WINTMODE)設定に従って起動します。

30.9.6. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$07	WSTATE1,0		AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF	STATUS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ﾋﾞｯﾄ7,6 – WSTATE1,0 : ｱﾅﾛｸﾞ比較器窓動作現状 (Window Mode Current State)

これらのﾋﾞｯﾄは表30-6.に従って窓動作が許可された場合の信号の現在の状態を示します。

表30-6. 窓動作での現在の状態

WSTATE1,0	群構成設定	内容
0 0	ABOVE	信号は窓以上
0 1	INSIDE	信号は窓内
1 0	BELOW	信号は窓以下
1 1	OUTSIDE	信号は窓外

● ﾋﾞｯﾄ5 – AC1STATE : ｱﾅﾛｸﾞ比較器1現状 (Analog Comparator 1 Current State)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器1からの出力信号の現在の状態を示します。

● ﾋﾞｯﾄ4 – AC0STATE : ｱﾅﾛｸﾞ比較器0現状 (Analog Comparator 0 Current State)

このﾋﾞｯﾄはｱﾅﾛｸﾞ比較器0からの出力信号の現在の状態を示します。

● ﾋﾞｯﾄ3 – 予約 (Reserved)

このﾋﾞｯﾄは予約されており、常に0として読めます。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

● ﾋﾞｯﾄ2 – WIF : ｱﾅﾛｸﾞ比較器窓割り込み要求ﾌﾗｸﾞ (Analog Comparator Window Interrupt Flag)

このﾋﾞｯﾄは窓動作に対する割り込み要求ﾌﾗｸﾞです。WIFは「WINCTRL – ｱﾅﾛｸﾞ比較器窓制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器窓割り込み種別(WINTMODE)設定に従って設定(1)されます。

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器窓割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

● ﾋﾞｯﾄ1 – AC1IF : ｱﾅﾛｸﾞ比較器1割り込み要求ﾌﾗｸﾞ (Analog Comparator 1 Interrupt Flag)

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器1に対する割り込み要求ﾌﾗｸﾞです。AC1IFは270頁の「ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

AC1IFはｱﾅﾛｸﾞ比較器1割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

● ﾋﾞｯﾄ0 – AC0IF : ｱﾅﾛｸﾞ比較器0割り込み要求ﾌﾗｸﾞ (Analog Comparator 0 Interrupt Flag)

このﾌﾗｸﾞはｱﾅﾛｸﾞ比較器0に対する割り込み要求ﾌﾗｸﾞです。AC0IFは270頁の「ACnCTRL – ｱﾅﾛｸﾞ比較器n制御ﾚｼﾞｽﾀ」のｱﾅﾛｸﾞ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

AC0IFはｱﾅﾛｸﾞ比較器0割り込みﾍﾞｸﾀが実行されると、自動的に解除(0)されます。このﾌﾗｸﾞはこのﾋﾞｯﾄ位置に1を書くことによっても解除(0)することができます。

30.9.7. CURRCTRL – 電流源制御ﾚｼﾞｽﾀ (Current Source Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$08	CURRENT	CURRMODE	–	–	–	–	AC1CURR	AC0CURR	CURRCTRL
Read/Write	R/W	R/W	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7 – CURRENT : 電流源許可** (Current Source Enable)

このﾋﾞｯﾄの1設定は定電流源を許可します。

● **ﾋﾞｯﾄ6 – CURRMODE : 電流形態** (Current Mode)

このﾋﾞｯﾄの1設定は各ｱﾅﾛｸﾞ比較器に対して出力電流を2倍にするために2つのｱﾅﾛｸﾞ比較器電流源を結合します。

● **ﾋﾞｯﾄ5~2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – AC1CURR : ｱﾅﾛｸﾞ比較器1電流源出力許可** (AC1 Current Source Output Enable)

このﾋﾞｯﾄの1設定はｱﾅﾛｸﾞ比較器1多重器(MUX)制御(AC1MUXCTRL)ﾚｼﾞｽﾀ内の負入力選択(MUXNEG)によって選択されたﾋﾟﾝ上での定電流源出力を許可します。

● **ﾋﾞｯﾄ0 – AC0CURR : ｱﾅﾛｸﾞ比較器0電流源出力許可** (AC0 Current Source Output Enable)

このﾋﾞｯﾄの1設定はｱﾅﾛｸﾞ比較器0多重器(MUX)制御(AC0MUXCTRL)ﾚｼﾞｽﾀ内の負入力選択(MUXNEG)によって選択されたﾋﾟﾝ上での定電流源出力を許可します。

30.9.8. CURRCALIB – 電流源校正ﾚｼﾞｽﾀ (Current Source Calibration register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$09	–	–	–	–	CALIB3~0				CURRCALIB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~4 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ3~0 – CALIB3~0 : 電流源校正** (Current Source Calibration)

定電流源は製造中に校正されます。校正値はｿﾌﾄｳｪｱで識票列から読んでCURRCALIBﾚｼﾞｽﾀに書くことができます。既定校正値と使用者校正範囲についてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください

30.10. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$09	CURRCALIB	–	–	–	–	CALIB3~0				273
+$08	CURRCTRL	CURRENT	CURRMODE	–	–	–	–	AC1CURR	AC0CURR	273
+$07	STATUS	WSTATE1,0		AC1STATE	AC0STATE	–	WIF	AC1IF	AC0IF	272
+$06	WINCTRL	–	–	–	WEN	WINTMODE1,0		WINTLVL1,0		271
+$05	CTRLB	–	–	SCALEFACL5~0						271
+$04	CTRLA	–	–	–	–	–	–	AC1OUT	AC0OUT	271
+$03	AC1MUXCTRL	–	–	MUXPOS2~0			MUXNEG2~0			270
+$02	AC0MUXCTRL	–	–	MUXPOS2~0			MUXNEG2~0			270
+$01	AC1CTRL	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	270
+$00	AC0CTRL	INTMODE1,0		INTLVL1,0		HSMODE	HYSMODE1,0		ENABLE	270

30.11. 割り込みﾍﾞｸﾀ要約

表30-7. ｱﾅﾛｸﾞ比較器割り込みﾍﾞｸﾀ

変位	記述例	割り込み内容
$00	COMP0_vect	ｱﾅﾛｸﾞ比較器0割り込みﾍﾞｸﾀ
$02	COMP1_vect	ｱﾅﾛｸﾞ比較器1割り込みﾍﾞｸﾀ
$04	WINDOW_vect	ｱﾅﾛｸﾞ比較器窓割り込みﾍﾞｸﾀ

31. IEEE 1149.1 JTAG 境界走査ｲﾝﾀｰﾌｪｰｽ

31.1. 要点

- JTAG(IEEE規格1149.1-2001適合)ｲﾝﾀｰﾌｪｰｽ
- JTAG規格に従った境界走査能力
- 全I/Oﾋﾟﾝの完全な走査
- SAMPLE, IDCODE, PRELOAD, EXTEST, BYPASS必須命令支援
- HIGHZ, CLAMP任意命令支援
- PDIｱｸｾｽ用AVR特定PDICOM命令支援

31.2. 概要

JTAGｲﾝﾀｰﾌｪｰｽはJTAG境界走査能力の使用によって基板を検査することを主に意図されています。副次的にJTAGｲﾝﾀｰﾌｪｰｽは任意のJTAG動作でﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽの入出力に使われます。

境界走査ﾁｪｰﾝはI/Oﾋﾟﾝの論理値を駆動、監視する能力持っています。ｼｽﾃﾑ上ではJTAG能力を持つ全てのﾏｲｸﾛ ｺﾝﾄﾛｰﾗや基板部品がTDIとTDO信号によって長い移動ﾚｼﾞｽﾀの形態で直列に接続されます。外部制御器はそれらの出力ﾋﾟﾝで値を駆動するためにﾃﾞﾊﾞｲｽを設定し、他のﾃﾞﾊﾞｲｽから受信した入力値を監視します。この制御器は予測される結果と受信した値を比較します。このように境界走査の方法は4つのTAP信号だけを使うことによって、基板上の部品の完全性と内部連絡検査に対する機構を提供します。代わりに、全てのI/Oﾋﾟﾝを不活性駆動状態にして置き、同時にﾁｯﾌﾟの境界走査ﾚｼﾞｽﾀ ﾁｪｰﾝを迂回するのにHIGHZ命令を使うことができます。

AVR特定PDICOM命令はﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用のPDIをｱｸｾｽするためのｲﾝﾀｰﾌｪｰｽとしてPDIﾃﾞｰﾀ ﾚｼﾞｽﾀの使用を可能にします。これはJTAGｲﾝﾀｰﾌｪｰｽを使うことによって内部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞの資源をｱｸｾｽする方法の切り換えを提供します。PDI、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞのより多くの詳細については280頁の「**ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ**」を参照してください。

JTAGｲﾝﾀｰﾌｪｰｽとJTAG検査入出力ﾎﾟｰﾄ(TAP)を許可するには、JTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTAGD)ﾋﾞｯﾄが解除(0)されなければなりません。より多くの詳細については23頁の「**FUSEBYTE4 – ﾋｭｰｽﾞ ﾊﾞｲﾄ4**」と33頁の「**MCUCR – MCU制御ﾚｼﾞｽﾀ**」をご覧ください。

境界走査に対してJTAGｲﾝﾀｰﾌｪｰｽを使うとき、JTAG TCKｸﾛｯｸ周波数はﾃﾞﾊﾞｲｽの内部周波数より高くできます。境界走査に対してﾃﾞﾊﾞｲｽのｼｽﾃﾑ ｸﾛｯｸは必要ありません。

31.3. 検査入出力ﾎﾟｰﾄ (TAP:Test Access Port)

JTAGｲﾝﾀｰﾌｪｰｽは4つのﾃﾞﾊﾞｲｽ ﾋﾟﾝの使用が必要です。JTAG用語では、これらのﾋﾟﾝが検査入出力ﾎﾟｰﾄ(TAP)を構成します。

- **TMS**：検査種別選択。このﾋﾟﾝはTAP制御器順次回路を通しての指示に使われます。
- **TCK**：検査ｸﾛｯｸ。これはJTAGｸﾛｯｸ信号で、全ての操作はTCKに同期します。
- **TDI**：検査ﾃﾞｰﾀ入力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀ(走査ﾁｪｰﾝ)内に移動されるべき直列入力ﾃﾞｰﾀです。
- **TDO**：検査ﾃﾞｰﾀ出力。命令ﾚｼﾞｽﾀまたはﾃﾞｰﾀ ﾚｼﾞｽﾀからの直列出力ﾃﾞｰﾀです。

IEEE規格1149.1-2001では任意の検査ﾘｾｯﾄ(TRST)も指定されています。これは利用できません。

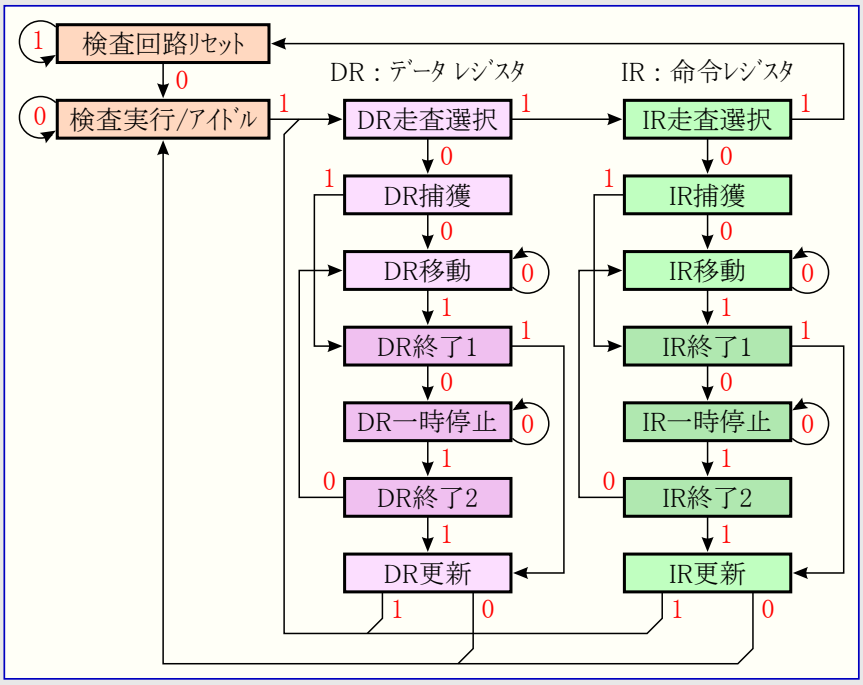
JTAGENﾋｭｰｽﾞが非ﾌﾟﾛｸﾞﾗﾑ(1)またはJTAGｲﾝﾀｰﾌｪｰｽ禁止(JTAGD)ﾋﾞｯﾄが設定(1)の時にJTAGｲﾝﾀｰﾌｪｰｽが禁止されます。4つのTAPﾋﾟﾝは標準ﾎﾟｰﾄ ﾋﾟﾝで、TAP制御器はﾘｾｯﾄです。許可されると、TAP信号入力は内部的にHighへ引かれてJTAGが境界走査動作を許可されます。

TAP制御器は境界走査回路の働きを制御する16段の有限順次回路です。図31-1.に示された状態遷移はTCKでの上昇端の時の(図の各状態遷移付近で示される)TMS上に存在する信号に依存します。電源ONﾘｾｯﾄ後の初期状態は検査回路ﾘｾｯﾄ状態です。

現在の状態が検査実行/ｱｲﾄﾞﾙ状態と仮定して、JTAGｲﾝﾀｰﾌｪｰｽを使う代表的な筋書きは以下です。

- 命令ﾚｼﾞｽﾀ(IR)移動状態へ移行するためにTCKの上昇端でTMS入力に順次1,1,0,0を与えてください。この状態中にTCKの上昇端でTDI入力からJTAG命令ﾚｼﾞｽﾀ内に4ﾋﾞｯﾄのJTAG命令を移動してください。TMS入力はIR移動状態に留まるために3 LSBの入力中、Lowに保持されなければなりません。命令のMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。命令がTDIﾋﾟﾝから移動入力されている間に捕獲されたIRの状態($01)がTDOﾋﾟﾝへ移動出力されます。JTAG命令はTDIとTDO間の経路として特定のﾃﾞｰﾀ ﾚｼﾞｽﾀを選択し、選択したﾃﾞｰﾀ ﾚｼﾞｽﾀ周辺回路を制御します。
- 検査実行/ｱｲﾄﾞﾙ状態へ再度移行するためにTMSへ順次1,1,0を与えてください。この命令はIR更新状態で移動ﾚｼﾞｽﾀ経路から並列出力にﾗｯﾁされます。IR終了1、IR一時停止、IR終了2の各状態は順次回路の誘導にだけ使われます。
- ﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)移動状態へ移行するためにTCKの上昇端でTMSに順次1,0,0を与えてください。この状態中にTCKの上昇端でTDI入力から(JTAG命令ﾚｼﾞｽﾀ内に存在するJTAG命令によって選択された)選択ﾃﾞｰﾀ ﾚｼﾞｽﾀに値を移動入力してください。DR移動状態に留まるために、MSBを除く全ﾋﾞｯﾄの入力の間、TMS入力はLowに保持されなければなりません。ﾃﾞｰﾀのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。ﾃﾞｰﾀ ﾚｼﾞｽﾀがTDIﾋﾟﾝから移動入力されている間、DR捕獲状態(1,0)で捕獲したﾃﾞｰﾀ ﾚｼﾞｽﾀへの並列入力がTDOﾋﾟﾝで移動出力されます。
- 検査実行/ｱｲﾄﾞﾙ状態へ再度移行するためにTMSに順次1,1,0を与えてください。選択したﾃﾞｰﾀ ﾚｼﾞｽﾀがﾗｯﾁした並列出力を持つ場合、DR更新状態でﾗｯﾁを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導にだけ使われます。

図31-1. TAP制御器状態遷移図



状態遷移図で示されるように、検査実行/ｱｲﾄﾞﾙ状態はJTAG命令選択とﾃﾞｰﾀ ﾚｼﾞｽﾀ使用の間で移行の必要はありません。

注: TAP制御器の初期状態に関係なく、5 TCKｸﾛｯｸ周期に対してTMSをHighに保持することによって、常に検査回路ﾘｾｯﾄ状態へ移行できます。

31.4. JTAG命令

命令ﾚｼﾞｽﾀ(IR)は4ﾋﾞｯﾄ幅です。以下の一覧は境界走査操作用JTAG命令とJTAG動作でのPDI入出力に使われるPDICOM命令です。

全ての移動ﾚｼﾞｽﾀに対してLSBが先に移動入出力されます。

各命令に対する符号は命令名後の16進形式で示されます。本文は各命令に関してTDIとTDO間の経路としてどのﾃﾞｰﾀ ﾚｼﾞｽﾀが選択されるかを記述します。

31.4.1. EXTEST; $0

EXTESTはAVR XMEGAﾃﾞﾊﾞｲｽ製品への外部的な回路の検査用のﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)として境界走査ﾁｪｰﾝを選択するための命令です。この命令は外部ﾋﾟﾝの採取と出力ﾋﾟﾝへのﾃﾞｰﾀ設定に使われます。I/Oﾎﾟｰﾄ ﾋﾟﾝに関しては出力制御(DIR)と出力ﾃﾞｰﾀ(OUT)が走査ﾁｪｰﾝ経由で制御可能で、一方出力制御と実際のﾋﾟﾝ値が監視可能です。境界走査ﾁｪｰﾝのﾗｯﾁされた出力の内容はJTAG命令ﾚｼﾞｽﾀ(IR)がEXTEST命令を格納されると直ぐに出力駆動されます。

活性(有効)な状態は以下です。

- **DR捕獲** ：外部ﾋﾟﾝ上のﾃﾞｰﾀが境界走査ﾁｪｰﾝ内に採取されます。
- **DR移動** ：境界走査ﾁｪｰﾝ内のﾃﾞｰﾀがTCK入力によって移動されます。
- **DR更新** ：走査ﾁｪｰﾝからのﾃﾞｰﾀが出力ﾋﾟﾝに供給されます。

31.4.2. IDCODE; $3

IDCODEはデータ レジスタ(DR)として32ビットの識別符号(ID)レジスタを選択するための命令です。識別符号レジスタは版番号、デバイス番号と、電子機器技術評議会(JEDEC)によって決めれた製造者符号から成ります。これは電源投入後の既定命令です。

活性(有効)状態は以下です。

- **DR捕獲** ：識別符号レジスタの値がデバイス識別レジスタ内に採取されます。
- **DR移動** ：識別符号走査チェーンがTCK入力によって移動されます。

31.4.3. SAMPLE/PRELOAD; $2

SAMPLE/PRELOADはシステム動作への影響なしに入出力ピンの状態採取と出力ラッチの事前格納を行うための命令です。けれども出力ラッチはピンに接続されません。データ レジスタ(DR)として境界走査チェーンが選択されます。SAMPLEとPRELOADの各々の命令が別の機能を実行するので、これらは共通の2進値を共用し、単一合併命令として扱うことができます。

活性(有効)状態は以下です。

- **DR捕獲** ：外部ピンのデータが境界走査チェーン内に採取されます。
- **DR移動** ：境界走査チェーンがTCK入力によって移動されます。
- **DR更新** ：境界走査チェーンからのデータが出力ラッチに供給されますが、出力ラッチはピンに接続されません。

31.4.4. BYPASS; $F

BYPASSはデータ レジスタ(DR)に対して迂回(Bypass)レジスタを選択する命令です。この命令はデバイスを通る可能な最短走査チェーンを作るのに発行することができます。

活性(有効)状態は以下です。

- **DR捕獲** ：迂回レジスタに0を格納します。
- **DR移動** ：TDIとTDO間の迂回レジスタ(セル)が移動されます。

31.4.5. CLAMP; $4

CLAMPは事前格納された出力ラッチから決められる状態を入出力ピンに許す任意命令です。この命令は境界走査レジスタ経由で印加されるべきピン静止値を許すと同時に走査経路内のこれらのレジスタを迂回し、直列検査経路の総合長を効率的に短くします。データ レジスタ(DR)として迂回(Bypass) レジスタが選択されます。

活性(有効)状態は以下です。

- **DR捕獲** ：迂回レジスタに0を格納します。
- **DR移動** ：TDIとTDO間の迂回レジスタ(セル)が移動されます。

31.4.6. HIGHZ; $5

HIGHZは全ての出力を不活性状態(例えば高インピーダンス)にする任意命令です。データ レジスタ(DR)として迂回(Bypass)レジスタが選択されます。

活性(有効)状態は以下です。

- **DR捕獲** ：迂回レジスタに0を格納します。
- **DR移動** ：TDIとTDO間の迂回レジスタ(セル)が移動されます。

31.4.7. PDICOM; $7

PDICOMはPDIに対する代替インターフェースとしてJTAG TAPを使うためのAVR XMEGA特定命令です。

活性(有効)状態は以下です。

- **DR捕獲** ：PDIからの並列データがPDICOMデータ レジスタ内に採取されます。
- **DR移動** ：命令またはオペランドがPDICOMデータ レジスタからPDI内へ並列ラッチされます。

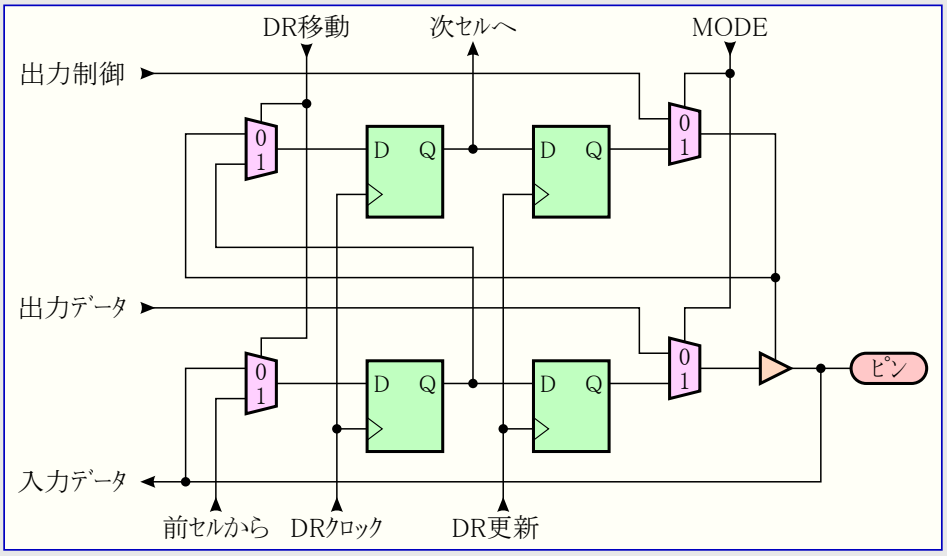
31.5. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝはI/Oﾋﾟﾝの論理値の設定と監視の能力を持ちます。EXTEST,CLAMP,HIGHZ命令中とその後での予測可能なﾃﾞﾊﾞｲｽの動きを保証するために、ﾃﾞﾊﾞｲｽは自動的にﾘｾｯﾄ(状態)に置かれます。ﾘｾｯﾄが活性(有効)な間、外部用発振器、ｱﾅﾛｸﾞ単位部、(ﾌﾟﾙｱｯﾌﾟ/ﾀﾞｳﾝ、ﾊﾞｽ保持、ﾜｲﾔｰﾄﾞAND/ORのような)既定以外のﾎﾟｰﾄ設定は禁止されます。現在のﾃﾞﾊﾞｲｽとﾎﾟｰﾄ ﾋﾟﾝの状態がSAMPLEとPRELOAD命令によって影響を及ぼされないことに注目されるべきです。

31.5.1. ﾎﾟｰﾄ ﾋﾟﾝの走査

図31-2.は全ての双方向ﾎﾟｰﾄ ﾋﾟﾝに対して使われる境界走査ｾﾙを示します。このｾﾙは2段の移動ﾚｼﾞｽﾀ経由でﾋﾟﾝ方向とﾋﾟﾝ値の両方の制御と監視を行えます。交換ﾎﾟｰﾄ機能が存在しないとき、出力制御はDIRﾚｼﾞｽﾀ値に対応し、出力ﾃﾞｰﾀはOUTﾚｼﾞｽﾀ値に対応し、入力ﾃﾞｰﾀは(入力反転と同期化前に分岐された)INﾚｼﾞｽﾀ値に対応します。MODEは活動中のCLAMPまたはEXTESTのどちらかの命令を表し、一方DR移動はTAP制御器がDR移動状態の時に設定(1)されます。

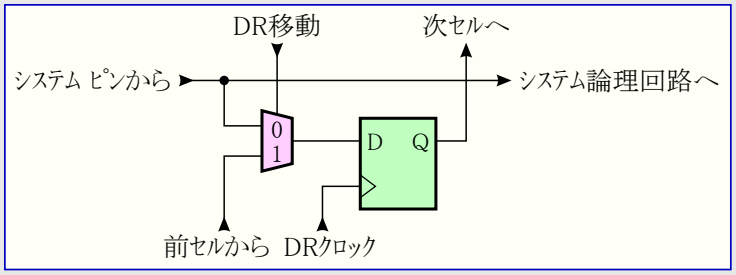
図31-2. 双方向ﾎﾟｰﾄ用境界走査(Boundary-Scan)ｾﾙ



31.5.2. PDIﾋﾟﾝの走査

組み合わされたRESETとPDI_CLKﾋﾟﾝのために2つの監視専用ｾﾙが挿入され、PDI_DATAﾋﾟﾝが監視可能です。例えPDI_DATAﾋﾟﾝが双方向でも、PDI_DATA出力経路にどんな追加論理回路も避けるために監視可能なだけにされています。

図31-3. 監視専用入力ｾﾙ

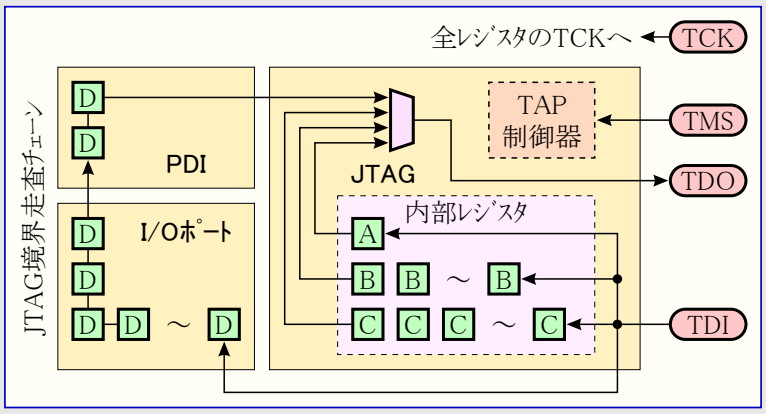


31.6. ﾃﾞｰﾀ ﾚｼﾞｽﾀ

TDIとTDO間に接続可能な支援されるﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)は以下です。

- **迂回**(Bypass)**ﾚｼﾞｽﾀ** (図31-4.でAとして参照)
- **ﾃﾞﾊﾞｲｽ識別**(Device Identification)**ﾚｼﾞｽﾀ** (図31-4.でCとして参照)
- **境界走査ﾁｪｰﾝ**(Boundary-Scan chain) (図31-4.でDとして参照)
- **PDICOMﾃﾞｰﾀ ﾚｼﾞｽﾀ** (図31-4.でBとして参照)

図31-4. JTAGﾃﾞｰﾀ ﾚｼﾞｽﾀ概要



31.6.1. 迂回 (Bypass) ﾚｼﾞｽﾀ

迂回ﾚｼﾞｽﾀは単一の移動ﾚｼﾞｽﾀ段から成ります。TDIとTDO間の経路として迂回ﾚｼﾞｽﾀが選択されると、このﾚｼﾞｽﾀはﾃﾞｰﾀ ﾚｼﾞｽﾀ(DR)捕獲制御器状態を抜ける時に0へﾘｾｯﾄされます。迂回ﾚｼﾞｽﾀは他のﾃﾞﾊﾞｲｽが検査されるべき時にｼｽﾃﾑ上の走査ﾁｪｰﾝを短くするのに使えます。

31.6.2. ﾃﾞﾊﾞｲｽ識別 (Device Identification) ﾚｼﾞｽﾀ

ﾋﾞｯﾄ	31 28	27 12	11 1	0
ﾃﾞﾊﾞｲｽ識別	版	部品番号	製造者識別	1
ﾋﾞｯﾄ数	4	16	11	1

31.6.2.1. 版

版はﾃﾞﾊﾞｲｽの改訂を示す4ﾋﾞｯﾄです。JTAG版番号はﾃﾞﾊﾞｲｽ改訂に従います。改訂Aは$00、改訂Bは$01、以下同様です。

31.6.2.2. 部品番号

部品番号はﾃﾞﾊﾞｲｽを識別する16ﾋﾞｯﾄ符号です。正確な番号を得るにはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

31.6.2.3. 製造者識別

製造者識別は製造業者を識別する11ﾋﾞｯﾄ符号です。Atmelに関しては、この符号が$01Fです。

31.6.3. 境界走査ﾁｪｰﾝ(Boundary-Scan Chain)

境界走査ﾁｪｰﾝは全I/Oﾋﾟﾝの論理値の設定と監視能力を持ちます。完全な記述については前頁の「境界走査ﾁｪｰﾝ(Boundary-Scan chain)」を参照してください。

31.6.4. PDICOMﾃﾞｰﾀ ﾚｼﾞｽﾀ

PDICOMﾃﾞｰﾀ ﾚｼﾞｽﾀはJTAG TAPとPDI間でのﾃﾞｰﾀの直列⇒並列と並列⇒直列の変換に使われる9ﾋﾞｯﾄ幅のﾚｼﾞｽﾀです。詳細については280頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ」を参照してください。

32. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ

32.1. 要点

- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - PDIまたはJTAGのｲﾝﾀｰﾌｪｰｽを通す外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
    - 高速動作のための最小の規約付随負荷
    - 確かな動作のための組み込みの異常検出と処理
  - 何れかの通信ｲﾝﾀｰﾌｪｰｽを通すﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用のﾌﾞｰﾄ ﾛｰﾀﾞ支援
- ﾃﾞﾊﾞｯｸﾞ
  - 不干渉、実時間、ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑ
  - ﾋﾟﾝ接続を除き、ﾃﾞﾊﾞｲｽから必要とされるｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱなし
  - ﾌﾟﾛｸﾞﾗﾑの流れ制御
    - 実行、停止、ﾘｾｯﾄ、1行実行、内側実行、外側実行、ｶｰｿﾙまで実行
  - 無制限数の使用者ﾌﾟﾛｸﾞﾗﾑ中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)
  - 無制限数の使用者ﾃﾞｰﾀ中断点、以下で中断
    - ﾃﾞｰﾀ位置読み、書き、または読み書き両方
    - ﾃﾞｰﾀ位置内容が値と等しいまたは等しくない
    - ﾃﾞｰﾀ位置内容が値よりも大きいまたは小さい
    - ﾃﾞｰﾀ位置内容が範囲の内側または外側
  - ﾃﾞﾊﾞｲｽ ｸﾛｯｸ周波数での制限なし
- ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)
  - 外部のﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽ
  - ﾘｾｯﾄ ﾋﾟﾝと専用ﾋﾟﾝを使用
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞまたはﾃﾞﾊﾞｯｸﾞ中にI/Oﾋﾟﾝの必要なし
- JTAGｲﾝﾀｰﾌｪｰｽ
  - ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用の4ﾋﾟﾝ、IEEE規格1149.1適合ｲﾝﾀｰﾌｪｰｽ
  - IEEE規格149.1(JTAG)に従った境界走査能力

32.2. 概要

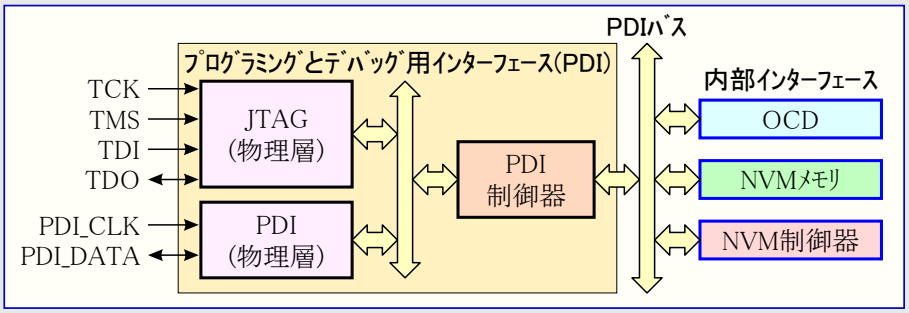
ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ(PDI)はﾃﾞﾊﾞｲｽの外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ用のAtmel専有ｲﾝﾀｰﾌｪｰｽです。

PDIはﾌﾗｯｼｭ、EEPROM、ﾋｭｰｽﾞ、施錠ﾋﾞｯﾄ、使用者識票列の不揮発性ﾒﾓﾘ(NVM)の高速ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを支援します。これはNVM制御器をｱｸｾｽして、290頁の「ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ」で記述されるようにNVM制御器命令を実行することによって行われます。

ﾃﾞﾊﾞｯｸﾞは不干渉、実時間のﾃﾞﾊﾞｯｸﾞを提供するﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ ｼｽﾃﾑを通して支援されます。これはﾃﾞﾊﾞｲｽ ﾋﾟﾝ接続を除いてどんなｿﾌﾄｳｪｱまたはﾊｰﾄﾞｳｪｱも必要としません。Atmelのﾂｰﾙ ﾁｪｰﾝ使用は完全なﾌﾟﾛｸﾞﾗﾑの流れ制御を提供し、ﾌﾟﾛｸﾞﾗﾑと複雑なﾃﾞｰﾀの無制限数の中断点(ﾌﾞﾚｰｸﾎﾟｲﾝﾄ)を支援します。応用ﾃﾞﾊﾞｯｸﾞはｱｾﾝﾌﾞﾗと逆ｱｾﾝﾌﾞﾗ ﾚﾍﾞﾙからだけでなく、Cまたは他の高位言語ｿｰｽｺｰﾄﾞのﾚﾍﾞﾙからも行うことができます。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞは2つの物理ｲﾝﾀｰﾌｪｰｽを通して行えます。基本は全てのﾃﾞﾊﾞｲｽで利用可能なPDI物理層です。これはｸﾛｯｸ入力用のﾘｾｯﾄ ﾋﾟﾝ(PDI_CLK)とﾃﾞｰﾀ入出力用の他の1つの専用検査ﾋﾟﾝ(PDI_DATA)を使う2ﾋﾟﾝ ｲﾝﾀｰﾌｪｰｽです。殆どのﾃﾞﾊﾞｲｽでJTAGｲﾝﾀｰﾌｪｰｽも利用可能で、これは4ﾋﾟﾝのJTAGｲﾝﾀｰﾌｪｰｽを通してﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞに使うことができます。JTAGｲﾝﾀｰﾌｪｰｽはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはﾁｯﾌﾟ上ﾃﾞﾊﾞｯｶﾞ/ｴﾐｭﾚｰﾀがこれらｲﾝﾀｰﾌｪｰｽのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すｱｸｾｽと仮定します。

図32-1. JTAGとPDI物理層でのPDI、密接に関連する単位部(青枠)

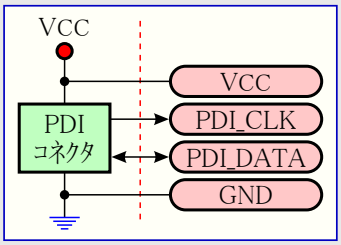


32.3. PDI物理層

PDI物理層は低位直列通信を扱います。これは(丁度USRT動作でのUSARTのように)双方向半二重同期直列送受信器を使います。物理層はﾌﾚｰﾑ開始検出、ﾌﾚｰﾐﾝｸﾞ異常検出、ﾊﾟﾘﾃｨ生成、ﾊﾟﾘﾃｨ誤り検出、衝突検出を含みます。

PDI_CLKとPDI_DATAに加え、PDI_DATAﾋﾟﾝは内部ﾌﾟﾙｱｯﾌﾟ抵抗を持ち、VCCとGNDは外部書き込み器/ﾃﾞﾊﾞｯｶﾞとﾃﾞﾊﾞｲｽ間で接続されなければなりません。図32-2.は代表的な接続を示します。

図32-2. PDI接続



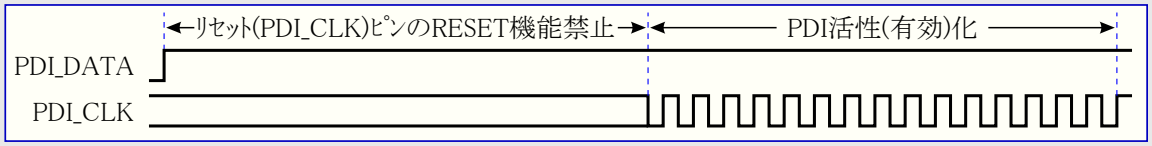
本項の残りはAtmel AVR XMEGAﾃﾞﾊﾞｲｽに対する第3者開発書き込み器またはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ支援による使用だけを意図したものです。

32.3.1. 許可方法

PDI物理層は使用前に許可されなければなりません。これは最初にPDI_DATA線を外部ﾘｾｯﾄ最小ﾊﾟﾙｽ幅と等しい長さよりも長い期間、Highに強制することによって行われます(外部ﾘｾｯﾄ ﾊﾟﾙｽ幅のﾃﾞｰﾀについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください)。これはﾋｭｰｽﾞ設定によって未だ禁止されていない場合に、ﾘｾｯﾄ ﾋﾟﾝの$\overline{\text{RESET}}$機能を禁止します。

次に、PDI_DATAを16PDI_CLK周期間、High保持を継続してください。最初のPSI_CLK周期はﾘｾｯﾄ ﾋﾟﾝの$\overline{\text{RESET}}$機能が禁止された後、100μsよりも遅れてはなりません。これがその時間で起きない場合、許可手順は始めから再び開始されなければなりません。許可の流れは図32-3.で示されます。

図32-3. PDI許可の流れ



$\overline{\text{RESET}}$ﾋﾟﾝはPDIｲﾝﾀｰﾌｪｰｽが許可されている時に採取されます。そしてﾘｾｯﾄ ﾚｼﾞｽﾀは$\overline{\text{RESET}}$ﾋﾟﾝの状態に従って設定され、このﾋﾟﾝのﾘｾｯﾄ機能が禁止された後でのｺｰﾄﾞ走行からﾃﾞﾊﾞｲｽを保護します。

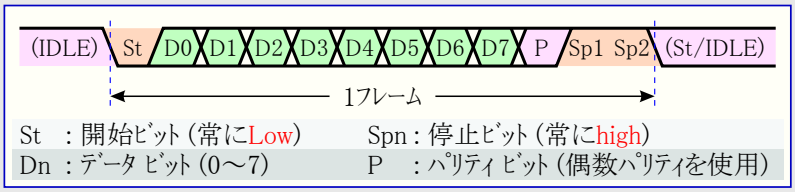
32.3.2. 禁止方法

PDI_CLKのｸﾛｯｸ周波数が概ね10kHzよりも低い場合、これはｸﾛｯｸ線での無活動と見なします。それはPDIを自動的に禁止します。ﾋｭｰｽﾞによって禁止されていなければ、ﾘｾｯﾄ(PDI_CLK)ﾋﾟﾝのﾘｾｯﾄ機能が再び許可されます。これは最低ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ周波数が概ね10kHzであることも意味します。

32.3.3. ﾌﾚｰﾑ形式とｷｬﾗｸﾀ

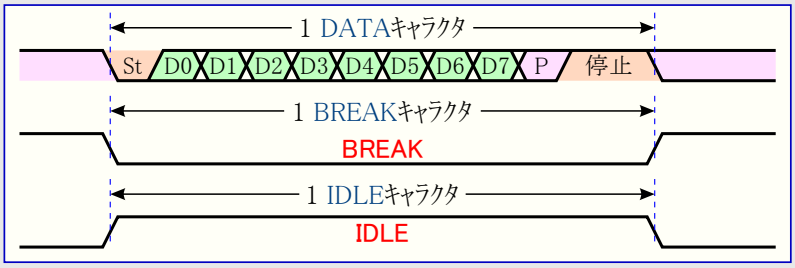
PDI物理層は開始ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、2つの停止ﾋﾞｯﾄを持つ8ﾋﾞｯﾄ ﾃﾞｰﾀの1ｷｬﾗｸﾀで定義される固定ﾌﾚｰﾑ形式を使います。

図32-4. PDI直列ﾌﾚｰﾑ形式



DATA,BREAK,IDLEの3つの異なるｷｬﾗｸﾀが使われます。BREAKｷｬﾗｸﾀは12ﾋﾞｯﾄ長のLowﾚﾍﾞﾙと当価です。IDLEｷｬﾗｸﾀは12ﾋﾞｯﾄ長のHighﾚﾍﾞﾙと当価です。BREAKとIDLEのｷｬﾗｸﾀは12ﾋﾞｯﾄ長を超えて延ばすことができます。

図32-5. PDI物理層に関するｷｬﾗｸﾀとﾀｲﾐﾝｸﾞ

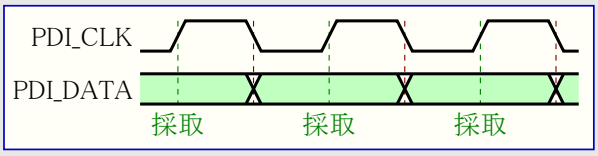


32.3.4. 直列送受信

PDI物理層は送信動作(TX)または受信動作(RX)のどちらかです。既定ではそれがRX動作で、開始ﾋﾞｯﾄを待ちます。

書き込み器とPDIは書き込み器によって供給されるPDI_CLKで同期して動作します。ｸﾛｯｸ端とﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更の間の依存性は固定化されています。図32-6.で図解されるように、(書き込み器またはPDIのどちらかからの)出力ﾃﾞｰﾀは常にPDI_CLKの下降端で設定(変更)され、PDI_CLKの上昇端で採取されます。

図32-6. ﾃﾞｰﾀの変更と採取



32.3.5. 直列送信

PDI制御器によってﾃﾞｰﾀ送信が開始されると、送信部は開始ﾋﾞｯﾄ、ﾃﾞｰﾀ ﾋﾞｯﾄ、ﾊﾟﾘﾃｨ ﾋﾞｯﾄ、2つの停止ﾋﾞｯﾄをPDI_DATAへ単純に移動出力します。送信速度はPDI_CLK信号によって指示されます。送信動作の間では、連続するDATAｷｬﾗｸﾀ間の隙間を可能な限り満たすためにIDLEﾋﾞｯﾄ(Highﾋﾞｯﾄ)が自動的に送信されます。送信中に衝突が検出された場合、出力駆動部が禁止されてｲﾝﾀｰﾌｪｰｽはBREAKｷｬﾗｸﾀを待つRX動作に置かれます。

32.3.6. 直列受信

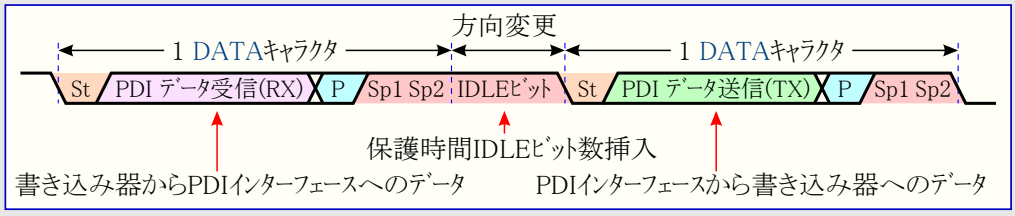
開始ﾋﾞｯﾄが検出されると、受信部は8つのﾃﾞｰﾀ ﾋﾞｯﾄ収集を始めます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄがﾃﾞｰﾀ ﾋﾞｯﾄのﾊﾟﾘﾃｨに対応していない場合、ﾊﾟﾘﾃｨ誤りが発生しています。1つまたは両方の停止ﾋﾞｯﾄがLowなら、ﾌﾚｰﾐﾝｸﾞ異常が発生しています。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが正しくてﾌﾚｰﾐﾝｸﾞ異常が検出されないなら、受信ﾃﾞｰﾀ ﾋﾞｯﾄはPDI制御器で利用可能です。

PDIがTX動作の時に、書き込み器によるBREAKｷｬﾗｸﾀの合図はBREAK(中断)として解釈されませんが、一般的なﾃﾞｰﾀ衝突を代わりに引き起こします。PDIがRX動作の時に、BREAKｷｬﾗｸﾀはBREAKとして認識されます。(1つ以上のHighﾋﾞｯﾄによって分けられていなければならない)2つの連続するBREAKｷｬﾗｸﾀの送信によって、PDIが始めにTXまたはRX動作のどちらだったかに拘らず、最後のBREAKｷｬﾗｸﾀが常にBREAK(中断)として認識されます。これはTX動作に於いて最初のBREAKが衝突として見えるためです。その後にPDIはRX動作に移動して2つ目のBREAKをBREAK(中断)として知ります。

32.3.7. 方向変更

半二重動作に対して正しいﾀｲﾐﾝｸﾞを保証するため、保護時間機構が使われます。PDIがRX動作からTX動作へ動作変更する時で開始ﾋﾞｯﾄが送信される前に構成設定可能なﾋﾞｯﾄ数のIDLEﾋﾞｯﾄが挿入されます。RXとTXの動作間の最小遷移時間は2IDLE周期で、これらが常に挿入されます。PDI制御器の制御(CTRL)ﾚｼﾞｽﾀ内の保護時間(GUARDTIME)ﾋﾞｯﾄ書き込みが追加保護時間を指定します。既定保護時間は128ﾋﾞｯﾄです。

図32-7. IDLEﾋﾞｯﾄ挿入によるPDI方向変更

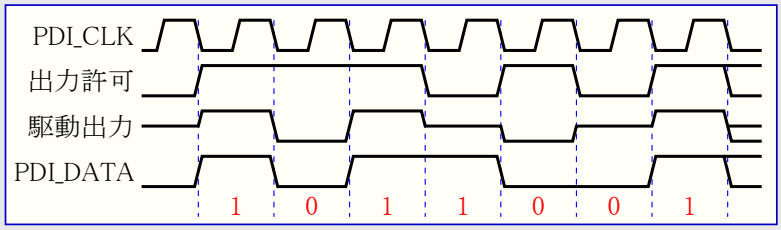


外部書き込み器は目的PDIがRX動作からTX動作へ変更する点でPDI_DATA線の制御を失うでしょう。保護時間は通信のこの重要な段階を緩和します。書き込み器がRX動作からTX動作へ変更する時は、開始ﾋﾞｯﾄが送信される前に最小で単一IDLEﾋﾞｯﾄが挿入されるべきです。

32.3.8. 駆動競合と衝突検出

駆動競合(PDIと書き込み器が同時にPDI_DATAを駆動)の影響を低減するために衝突検出用機構が使われます。この機構はPDI_ DATA線でのﾃﾞｰﾀ出力のPDI駆動方法に基きます。図32-8.で示されるように、PDI出力駆動部は出力値が変化(0⇒1または1⇒0)する時にだけ活性(有効)です。従って、2つ以上の連続するﾋﾞｯﾄ値が同じ場合、その値は最初のｸﾛｯｸ周期だけ能動的に駆動されます。この時点の後はPDI出力駆動部が自動的にHi-Zにされ、PDI_DATAﾋﾟﾝは出力駆動部がﾋﾞｯﾄ値での変化のために再許可されるまでﾋﾟﾝ値を無変化に保つ責任があるﾊﾞｽ保持器を持ちます。

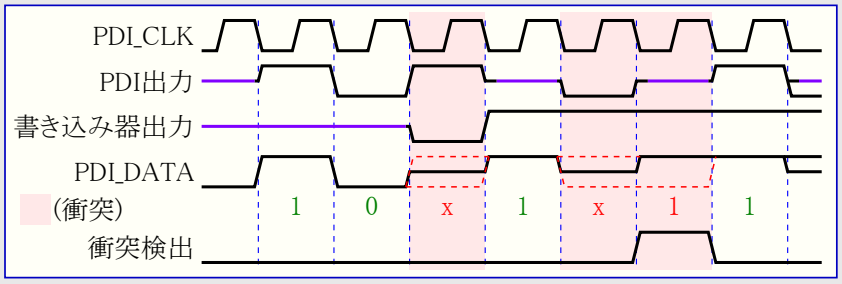
図32-8. ﾊﾞｽ保持器を使用するPDI_DATAでのﾃﾞｰﾀ出力駆動



書き込み器とPDIの両方が同時にPDI_DATAを駆動する場合、図32-9.で図解されるように駆動競合が起きます。ﾋﾞｯﾄ値が2ｸﾛｯｸ周期以上保たれていれば、いつもPDIはPDI_DATA線で駆動されている正しいﾋﾞｯﾄ値を検証できます。PDIが予期するものと逆のﾋﾞｯﾄ値で書き込み器がPDI_DATA線を駆動する場合に衝突が検出されます。

PDI出力駆動部が活動する時はPDI_DATA線のﾎﾟｰﾘﾝｸﾞを妨げるので、PDIが1と0を切り換えながら送信する限り、衝突を検知することができません。けれども、1つのﾌﾚｰﾑ内で2つの停止ﾋﾞｯﾄが常に1として送信されるべきなので、少なくてもﾌﾚｰﾑ当たりに1度は衝突検出を許します。

図32-9. PDI_DATAでの駆動競合と衝突検出



32.4. JTAG物理層

JTAG物理層はTMS,TCK,TDI,TDOの4つのI/O線に対して基本的な低位直列通信を扱いします。JTAG物理層はBREAK(中断)検出、ﾊﾟﾘﾃｨ誤り検出、ﾊﾟﾘﾃｨ生成を含みます。より多くの詳細については275頁の「IEEE 1149.1 JTAG 境界走査ｲﾝﾀｰﾌｪｰｽ」を参照してください。

32.4.1. 許可方法

JTAGｲﾝﾀｰﾌｪｰｽを許可するにはJTAGENﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)され、MCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAG禁止(JTAGD)ﾋﾞｯﾄが解除(0)されなければなりません。これは既定によって行われます。PDICOM JTAG命令がJTAG命令ﾚｼﾞｽﾀ(IR)内に移動されると、外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ用のPDIの入出力にJTAGｲﾝﾀｰﾌｪｰｽを使うことができます。

32.4.2. 禁止方法

JTAGｲﾝﾀｰﾌｪｰｽはJTAGENﾋｭｰｽﾞの非ﾌﾟﾛｸﾞﾗﾑ(1)、または応用ｺｰﾄﾞからMCU制御ﾚｼﾞｽﾀ(MCUCR)のJTAG禁止(JTAGD)ﾋﾞｯﾄを設定(1)することによって禁止することができます。

32.4.3. JTAG命令一式

Atmel XMEGA特定JTAG命令一式は境界走査とﾌﾟﾛｸﾞﾗﾐﾝｸﾞに関するPDI入出力に関連する8つの命令から成ります。JTAGと一般的なJTAG命令一式の詳細については276頁の「JTAG命令」を参照してください。

32.4.3.1. PDICOM命令

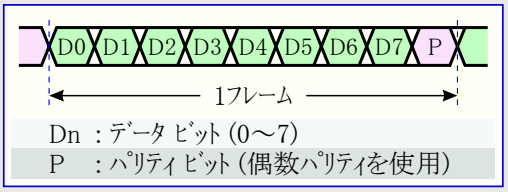
PDICOM命令がJTAG命令ﾚｼﾞｽﾀ内に移動されると、ﾃﾞｰﾀ ﾚｼﾞｽﾀとして9ﾋﾞｯﾄのPDI通信ﾚｼﾞｽﾀが選択されます。直前の命令からの結果がこのﾚｼﾞｽﾀから移動出力されている時に、命令がこのﾚｼﾞｽﾀ内に移動されます。活性の(有効な)TAP制御器状態は以下です(275頁の「検査入出力ﾎﾟｰﾄ(TAP:Test Access Port)」をご覧ください)。

- **DR捕獲** ：PDI制御器からの並列ﾃﾞｰﾀがPDI通信ﾚｼﾞｽﾀ内に採取されます。
- **DR移動** ：PDI通信ﾚｼﾞｽﾀがTCK入力によって移動されます。
- **DR更新** ：命令またはｵﾍﾟﾗﾝﾄﾞがPDI制御器のﾚｼﾞｽﾀ内に並列ﾗｯﾁされます。

32.4.4. ﾌﾚｰﾑ形式とｷｬﾗｸﾀ

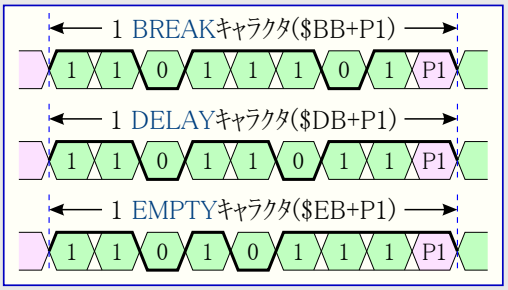
JTAG物理層は固定ﾌﾚｰﾑ形式を支援します。直列ﾌﾚｰﾑは1つのﾊﾟﾘﾃｨ ﾋﾞｯﾄが後続する8つのﾃﾞｰﾀ ﾋﾞｯﾄの1ｷｬﾗｸﾀで定義されます。

図32-10. JTAG直列ﾌﾚｰﾑ形式



3つの特別なﾃﾞｰﾀ ｷｬﾗｸﾀが使われます。これらの間で共通なのは受信でﾊﾟﾘﾃｨ誤りを強制するためにﾊﾟﾘﾃｨ ﾋﾞｯﾄが反転されることです。BREAKｷｬﾗｸﾀ($BB+P1)はどんな実行中の動作も中止することをPDIに強制し、そしてPDI制御器を既知の状態に引き戻すために外部書き込み器によって使われます。DELAYｷｬﾗｸﾀ($DB+P1)はPDIが書き込み器への用意されたﾃﾞｰﾀがないことを書き込み器に知らせるためにPDIによって使われます。EMPTYｷｬﾗｸﾀ($EB+P1)は保留中の送信がない(換言するとPDIがRX動作である)ことを書き込み器に知らせるためにPDIによって使われます。

図32-11. 特殊ﾃﾞｰﾀ ｷｬﾗｸﾀ

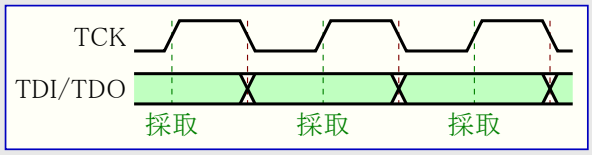


32.4.5. 直列送受信

JTAGｲﾝﾀｰﾌｪｰｽは全二重通信を支援します。入力ﾃﾞｰﾀがTDIﾋﾟﾝで移動入力されるのと同時に、出力ﾃﾞｰﾀがTDOﾋﾟﾝで移動出力されます。けれども、PDI通信は半二重ﾃﾞｰﾀ転送に頼ります。このため、JTAG物理層は送信(TX)または受信(RX)のどちらかでだけ動作します。利用可能なJTAGﾋﾞｯﾄ ﾁｬﾈﾙが制御と状態の合図に使われます。

書き込み器とJTAGｲﾝﾀｰﾌｪｰｽは書き込み器によって供給されるTCKｸﾛｯｸで同期して動作します。ｸﾛｯｸ端とﾃﾞｰﾀ採取またはﾃﾞｰﾀ変更の間の依存性は固定されています。図32-12.で図解されるように、TDIとTDOはTCKの下降端で設定(変更)され、一方ﾃﾞｰﾀは常にTCKの上昇端で採取されるべきです。

図32-12. ﾃﾞｰﾀの変更と採取



32.4.6. 直列送信

ﾃﾞｰﾀ送信が開始されるとき、ﾃﾞｰﾀが移動ﾚｼﾞｽﾀ内に格納され、その後にTDOに出力されます。ﾊﾟﾘﾃｨ ﾋﾞｯﾄが生成されて送信中にﾃﾞｰﾀ ﾋﾞｯﾄへ追加されます。送信速度はTCK信号によって与えられます。

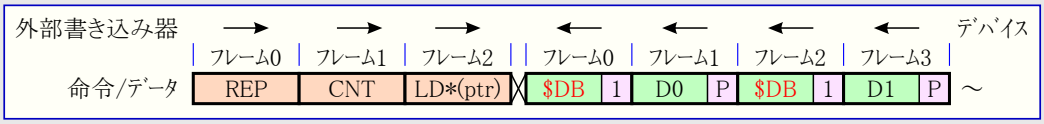
PDIが(LD命令への応答として)TX動作で、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中なら、有効なﾃﾞｰﾀが移動ﾚｼﾞｽﾀ内に並列ﾗｯﾁされ、正しいﾊﾟﾘﾃｨ ﾋﾞｯﾄが生成されてDR移動状態でﾃﾞｰﾀ ﾊﾞｲﾄと共に送信されます。

TAP制御器がDR捕獲状態へ移行する時にPDIがRX動作なら、EMPTYﾊﾞｲﾄ($EB)が移動ﾚｼﾞｽﾀ内にﾗｯﾁされ、ﾃﾞｰﾀがDR移動状態で移動出力される時に(ﾊﾟﾘﾃｨ誤りを強制する)ﾊﾟﾘﾃｨ ﾋﾞｯﾄが設定されます。この状態は標準PDI命令とそのｵﾍﾟﾗﾝﾄﾞ受信中に起きます。

PDIが(LD命令への応答として)TX動作であるけれど、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中でないなら、DELAYﾊﾞｲﾄ($DB)が移動ﾚｼﾞｽﾀ内にﾗｯﾁされ、ﾃﾞｰﾀがDR移動状態で移動出力される時に(ﾊﾟﾘﾃｨ誤りを強制する)ﾊﾟﾘﾃｨ ﾋﾞｯﾄが設定されます。この状態は送信されるべきﾃﾞｰﾀが未だ利用可能でない場合のﾃﾞｰﾀ送信中に起きます。

図32-13.は繰り返された間接LD命令への応答としてPDIからの割り込まれないﾃﾞｰﾀ ﾌﾚｰﾑの流れを示します。この例ではﾃﾞﾊﾞｲｽが2つの送信ﾌﾚｰﾑ当たり1つの有効ﾃﾞｰﾀ ﾊﾞｲﾄよりも速くﾃﾞｰﾀ ﾊﾞｲﾄを返すことができず、従って、中間にDELAYｷｬﾗｸﾀが挿入されています。

図32-13. ﾃﾞｰﾀ未準備での推移



LD命令への応答としてDELAYﾃﾞｰﾀ ﾌﾚｰﾑが送信される場合、書き込み器はこれを直前のDR捕獲状態での送信に対してJTAGｲﾝﾀｰﾌｪｰｽが準備されたﾃﾞｰﾀを持っていないと解釈すべきです。書き込み器は有効なﾃﾞｰﾀ ﾊﾞｲﾄが受信されるまで繰り返し転送を始めなければなりません。LD命令はﾌﾚｰﾑ数ではなく、有効なﾌﾚｰﾑを指定数分返すことと定義されています。従って書き込み器がLD命令を送信した後でDELAYｷｬﾗｸﾀを検知する場合、最初のLD命令が未だ保留中なので、LD命令を再送信すべきではありません。

32.4.7. 直列受信

受信の間、PDIはTDIから8つのﾃﾞｰﾀ ﾋﾞｯﾄとﾊﾟﾘﾃｨ ﾋﾞｯﾄを収集してそれらを移動ﾚｼﾞｽﾀ内に移動します。有効なﾌﾚｰﾑが受信されればいつもﾃﾞｰﾀがDR更新状態でﾗｯﾁされます。

ﾊﾟﾘﾃｨ検査器は到着ﾌﾚｰﾑ内のﾃﾞｰﾀ ﾋﾞｯﾄの(偶数)ﾊﾟﾘﾃｨを計算してその結果を直列ﾌﾚｰﾑからのﾊﾟﾘﾃｨ ﾋﾞｯﾄと比較します。ﾊﾟﾘﾃｨ誤りの場合はPDI制御器に合図します

ﾊﾟﾘﾃｨ検査器はTXとRXの両動作で活性(有効)です。ﾊﾟﾘﾃｨ誤りが検出された場合、受信したﾃﾞｰﾀ ﾊﾞｲﾄは(常にﾊﾟﾘﾃｨ誤りが生成される)BREAKｷｬﾗｸﾀと比較されて評価されます。BREAKｷｬﾗｸﾀの場合はPDI制御器に合図します。

32.5. PDI制御器

PDI制御器はﾊﾞｲﾄ ﾚﾍﾞﾙのﾃﾞｰﾀ送受信、命令復号、高位方向制御、制御と状態のﾚｼﾞｽﾀ入出力、例外操作、ｸﾛｯｸ切り換え(TCKとPDI_CLK)を実行します。外部書き込み器とPDI制御器間の相互作用は書き込み器がPDI制御器へ様々な形式の要求を送信し、そしてPDI制御器が指定要求に応じて応答を返す仕組みに基いています。書き込み器要求は命令の形式でやって来て、それは1つまたはそれ以上のﾊﾞｲﾄ ｵﾍﾟﾗﾝﾄﾞが後続するかもしれません。PDI制御器の応答は沈黙かもしれず(例えばﾃﾞﾊﾞｲｽ内の位置へﾃﾞｰﾀ ﾊﾞｲﾄが格納される)、または書き込み器へ返されつつあるﾃﾞｰﾀを巻き込むかもしれません(例えばﾃﾞﾊﾞｲｽ内の位置からﾃﾞｰﾀ ﾊﾞｲﾄを読む)。

32.5.1. PDI動作とJTAG動作間の切り換え

PDI制御器は書き込み器への接続確立にJTAGまたはPDIのどちらかの物理層を使います。これに基いてPDIはJTAG動作またはPDI動作のどちらかです。この動作の1つに移行すると、PDI制御器のﾚｼﾞｽﾀは初期化され、正しいｸﾛｯｸ元が選択されます。PDI動作はJTAG動作よりも高い優先権を持ちます。従ってPDI制御器が既にJTAG動作中にPDI動作が許可された場合、入出力層は自動的にPDI動作へ切り換わります。ﾃﾞﾊﾞｲｽの電源ON/ OFFなしに物理層を切り換える場合、活動中の物理層は代わりの物理層が許可される前に禁止されるべきです。

32.5.2. 内部ｲﾝﾀｰﾌｪｰｽの入出力

外部書き込み器がPDIとの通信を確立した後、内部ｲﾝﾀｰﾌｪｰｽは既定で入出力不能です。ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ用にNVM制御器と不揮発性ﾒﾓﾘへの入出力を得るには、KEY命令の使用によって固有の鍵で合図されなければなりません。内部ｲﾝﾀｰﾌｪｰｽはPDIと内部ｲﾝﾀｰﾌｪｰｽ間の専用(PDIBUS)ﾊﾞｽを使って1つの直線的なｱﾄﾞﾚｽ空間として入出力されます。PDIBUSｱﾄﾞﾚｽ空間は301頁の**図33-3.**で示されます。NVM制御器はNVMｲﾝﾀｰﾌｪｰｽへのどのｱｸｾｽのためにもPDI制御器に対して許可されなければなりません。PDI制御器はﾌﾟﾛｸﾞﾗﾐﾝｸﾞ動作でだけNVMとNVM制御器にｱｸｾｽすることができます。PDI制御器はNVM読み書き時にNVM制御器のﾃﾞｰﾀやｱﾄﾞﾚｽ ﾚｼﾞｽﾀのｱｸｾｽを必要としません。

32.5.3. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ鍵

KEY命令を使って送らなければならない鍵は64ﾋﾞｯﾄ長です。NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許可する鍵は $1289AB45CDD888FF です。

32.5.4. 例外操作

通常動作から考察される例外が様々な状態であります。例外はPDIがRXまたはTXのどちらの動作か、PDIまたはJTAGのどちらの動作が使われているかに依存します。

PDIがRX動作の間の例外は以下です。

- PDI:
  - 物理層がﾊﾟﾘﾃｨ誤りを検出
  - 物理層がﾌﾚｰﾐﾝｸﾞ異常を検出
  - 物理層がBREAKｷｬﾗｸﾀを認識 (ﾌﾚｰﾐﾝｸﾞ異常としても検出)
- JTAG:
  - 物理層がﾊﾟﾘﾃｨ誤りを検出
  - 物理層がBREAKｷｬﾗｸﾀを認識 (ﾌﾚｰﾐﾝｸﾞ異常としても検出)

PDIがTX動作の間の例外は以下です。

- PDI:
  - 物理層がﾃﾞｰﾀ衝突を検出
- JTAG:
  - 物理層がﾊﾟﾘﾃｨ誤りを検出 (TDIでの擬似ﾃﾞｰﾀの移動入力)
  - 物理層がBREAKｷｬﾗｸﾀを認識

例外はPDI制御器に合図されます。そして実行中の全ての動作が中止され、PDIがERROR状態に置かれます。PDIは外部書き込み器からBREAKが送られるまでERROR状態に留まり、これはPDIを既定RX状態に引き戻します。

この構造のため、書き込み器は2つの連続するBREAKｷｬﾗｸﾀを送信することによって常に規約を同期することができます。

32.5.5. ﾘｾｯﾄ指示

ﾘｾｯﾄ(RESET)ﾚｼﾞｽﾀを通して書き込み器はﾘｾｯﾄを発行してﾃﾞﾊﾞｲｽをﾘｾｯﾄに強制できます。ﾘｾｯﾄ ﾚｼﾞｽﾀの解除(0)後、別のいくつかのﾘｾｯﾄ元が活性(有効)でなければ、ﾘｾｯﾄが開放されます。

32.5.6. 命令一式

PDIはPDI自身と内部ｲﾝﾀｰﾌｪｰｽの両方の入出力に使われる小さな一式の命令を持っています。全ての命令はﾊﾞｲﾄ命令です。命令は外部書き込み器にPDI制御器、NVM制御器、不揮発性ﾒﾓﾘの入出力を許します。

32.5.6.1. LDS – 直接ｱﾄﾞﾚｽ指定を使うPDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ取得

LDS命令は読み出し用にPDIﾊﾞｽ ﾃﾞｰﾀ空間からﾃﾞｰﾀを取得するのに使われます。LDS命令は直接ｱﾄﾞﾚｽ指定に基き、それはｱﾄﾞﾚｽが命令の引数として与えられなければならないことを意味します。例え規約がﾊﾞｲﾄ単位通信に基いていても、LDS命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。LDS命令使用時、ﾃﾞｰﾀ転送の前にｱﾄﾞﾚｽ ﾊﾞｲﾄが送信されなければなりません。

32.5.6.2. STS – 直接ｱﾄﾞﾚｽ指定を使うPDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ格納

STS命令は物理層の移動ﾚｼﾞｽﾀ内へ直列で移動入力してPDIﾊﾞｽ ﾃﾞｰﾀ空間内の位置にﾃﾞｰﾀを格納するのに使われます。STS命令は直接ｱﾄﾞﾚｽ指定に基き、それはｱﾄﾞﾚｽが命令の引数として与えられなければならないことを意味します。例え規約がﾊﾞｲﾄ単位通信に基いていても、STS命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。単一ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。STS命令使用時、ﾃﾞｰﾀ転送の前にｱﾄﾞﾚｽ ﾊﾞｲﾄが送信されなければなりません。

32.5.6.3. LD – 間接ｱﾄﾞﾚｽ指定を使うPDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ取得

LD命令は直列読み出し用にPDIﾊﾞｽ ﾃﾞｰﾀ空間からﾃﾞｰﾀを取得するのに使われます。LD命令は間接ｱﾄﾞﾚｽ指定(ﾎﾟｲﾝﾀ入出力)に基き、それはﾃﾞｰﾀ入出力に先行してｱﾄﾞﾚｽがﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されていなければならないことを意味します。間接ｱﾄﾞﾚｽ指定はﾎﾟｲﾝﾀ進行と組み合わせることができます。PDIﾊﾞｽ ﾃﾞｰﾀ空間からのﾃﾞｰﾀ読み込みに加え、LD命令はﾎﾟｲﾝﾀ ﾚｼﾞｽﾀを読むことができます。例え規約がﾊﾞｲﾄ単位通信に基いていても、LD命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。単一ﾊﾞｲﾄ、語(2ﾊﾞｲﾄ)、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

32.5.6.4. ST – 間接ｱﾄﾞﾚｽ指定を使うPDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ格納

ST命令は物理層の移動ﾚｼﾞｽﾀ内へ直列で移動入力してPDIﾊﾞｽ ﾃﾞｰﾀ空間内の位置にﾃﾞｰﾀを格納するのに使われます。ST命令は間接ｱﾄﾞﾚｽ指定(ﾎﾟｲﾝﾀ入出力)に基き、それはﾃﾞｰﾀ入出力に先行してｱﾄﾞﾚｽがﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されていなければならないことを意味します。間接ｱﾄﾞﾚｽ指定はﾎﾟｲﾝﾀ進行と組み合わせることができます。PDIﾊﾞｽ ﾃﾞｰﾀ空間へのﾃﾞｰﾀ書き込みに加え、ST命令はﾎﾟｲﾝﾀ ﾚｼﾞｽﾀに書くことができます。例え規約がﾊﾞｲﾄ単位通信に基いていても、ST命令は複数ﾊﾞｲﾄのｱﾄﾞﾚｽとﾃﾞｰﾀの入出力を支援します。ﾊﾞｲﾄ、語、3ﾊﾞｲﾄ、ﾛﾝｸﾞ(4ﾊﾞｲﾄ)の4つの異なるｱﾄﾞﾚｽ/ﾃﾞｰﾀ量が支援されます。複数ﾊﾞｲﾄ入出力は内部的に単一ﾊﾞｲﾄ入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

32.5.6.5. LDCS – PDI制御/状態ﾚｼﾞｽﾀ空間からのﾃﾞｰﾀ取得

LDCS命令はPDI制御/状態ﾚｼﾞｽﾀから直列読み出し用の物理層移動ﾚｼﾞｽﾀへﾃﾞｰﾀを取得するのに使われます。LDCS命令は直接ｱﾄﾞﾚｽ指定と単一ﾊﾞｲﾄ入出力だけを支援します。

32.5.6.6. STCS – PDI制御/状態ﾚｼﾞｽﾀ空間へのﾃﾞｰﾀ格納

STCS命令は物理層の移動ﾚｼﾞｽﾀ内へ直列で移動入力してPDI制御/状態ﾚｼﾞｽﾀ内の位置にﾃﾞｰﾀを格納するのに使われます。STCS命令は直接ｱﾄﾞﾚｽ指定と単一ﾊﾞｲﾄ入出力だけを支援します。

32.5.6.7. KEY – 活性化鍵設定

KEY命令はNVMｲﾝﾀｰﾌｪｰｽを活性(有効)化するのに必要とされる活性化鍵ﾊﾞｲﾄの通信に使われます。

32.5.6.8. REPEAT – 命令繰り返し計数器設定

REPEAT命令は物理層の移動ﾚｼﾞｽﾀ内へ直列で移動入力して繰り返し計数器ﾚｼﾞｽﾀにﾃﾞｰﾀを格納するのに使われます。REPEAT命令のｵﾍﾟﾗﾝﾄﾞの直後に取得された命令が指定した繰り返し計数器ﾚｼﾞｽﾀ値に対応した回数を繰り返します。故に繰り返し計数器ﾚｼﾞｽﾀ初期値+1が総命令実行回数を与えます。繰り返し計数器ﾚｼﾞｽﾀの0設定は繰り返しなしの後続命令1回動作を行います。

REPEAT命令は繰り返すことができません。KEY命令は繰り返すことができず、繰り返し計数器ﾚｼﾞｽﾀの現在値を無効にします。

32.5.7. 命令一式要約

PDI命令一式要約は図32-14.で示されます。

図32-14. PDI命令一式要約

	指令				A量		D量	
LDS	0	0	0	0	x	x	x	x
STS	0	1	0	0	x	x	x	x
					P種別		A/D量	
LD	0	0	1	0	x	x	x	x
ST	0	1	1	0	x	x	x	x
					CSｱﾄﾞﾚｽ			
LDCS	1	0	0	0	x	x	x	x
STCS	1	1	0	0	x	x	x	x
							D量	
REPEAT	1	0	1	0	0	0	x	x
KEY	1	1	1	0	0	0	0	0

指令			
0	0	0	LDS (直接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ取得)
0	0	1	LD (間接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ取得)
0	1	0	STS (直接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ設定)
0	1	1	ST (間接ｱﾄﾞﾚｽ指定ﾃﾞｰﾀ設定)
1	0	0	LDCS (LDS 制御/状態ﾚｼﾞｽﾀ)
1	0	1	REPEAT (繰り返し指定)
1	1	0	STCS (STS 制御/状態ﾚｼﾞｽﾀ)
1	1	1	KEY (NVMｲﾝﾀｰﾌｪｰｽ許可鍵)

A量 (直接ｱﾄﾞﾚｽ指定時ｱﾄﾞﾚｽ長)		
0	0	ﾊﾞｲﾄ
0	1	語 (2ﾊﾞｲﾄ)
1	0	3ﾊﾞｲﾄ
1	1	ﾛﾝｸﾞ (4ﾊﾞｲﾄ)

D量 (ﾃﾞｰﾀ長)		
0	0	ﾊﾞｲﾄ
0	1	語 (2ﾊﾞｲﾄ)
1	0	3ﾊﾞｲﾄ
1	1	ﾛﾝｸﾞ (4ﾊﾞｲﾄ)

P種別 (間接ｱﾄﾞﾚｽ指定時)		
0	0	*(ptr) (ﾎﾟｲﾝﾀ間接ﾃﾞｰﾀ)
0	1	*(ptr++) (上記+ﾎﾟｲﾝﾀ進行)
1	0	ptr (ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ)
1	1	ptr++ (予約)

CSｱﾄﾞﾚｽ (制御/状態ﾚｼﾞｽﾀ)																			
0	0	0	0	ﾚｼﾞｽﾀ0	0	1	0	0	(予約)	1	0	0	0	(予約)	1	1	0	0	(予約)
0	0	0	1	ﾚｼﾞｽﾀ1	0	1	0	1	(予約)	1	0	0	1	(予約)	1	1	0	1	(予約)
0	0	1	0	ﾚｼﾞｽﾀ2	0	1	1	0	(予約)	1	0	1	0	(予約)	1	1	1	0	(予約)
0	0	1	1	(予約)	0	1	1	1	(予約)	1	0	1	1	(予約)	1	1	1	1	(予約)

32.6. ﾚｼﾞｽﾀ説明 – PDI命令とｱﾄﾞﾚｽ指定ﾚｼﾞｽﾀ

PDI命令とｱﾄﾞﾚｽ指定のﾚｼﾞｽﾀは全て命令復号とPDIBUSｱﾄﾞﾚｽ指定に利用される内部ﾚｼﾞｽﾀです。これらのﾚｼﾞｽﾀはﾚｼﾞｽﾀ空間でのﾚｼﾞｽﾀとして入出力不能です。

32.6.1. 命令ﾚｼﾞｽﾀ

命令が成功裏に物理層の移動ﾚｼﾞｽﾀ内へ移動されると、それが命令ﾚｼﾞｽﾀに複写されます。命令は別の命令が格納されるまで保持されます。この理由は必要な指令の復号を繰り返し行って同じ命令を多数回実行するために、REPEAT命令が同じ命令を強制するかもしれないからです。

32.6.2. ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ

ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀはPDIBUSｱﾄﾞﾚｽ空間内の位置を指定するｱﾄﾞﾚｽ値の格納に使われます。直接ﾃﾞｰﾀ入出力の間、ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀは命令ﾊﾞｲﾄのｵﾍﾟﾗﾝﾄﾞとして与えられたｱﾄﾞﾚｽ ﾊﾞｲﾄの指定値によって更新されます。間接ﾃﾞｰﾀ入出力の間、その入出力自体に先行して既にﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ内に格納されているｱﾄﾞﾚｽに基いてｱﾄﾞﾚｽ指定を行います。間接ﾃﾞｰﾀ入出力は他のどのﾚｼﾞｽﾀ入出力もなしでﾎﾟｲﾝﾀ ﾚｼﾞｽﾀの読み書きを可能する任意選択を持ちます。どのﾚｼﾞｽﾀ更新もﾘﾄﾙ ｴﾝﾃﾞｨｱﾝ(下位側優先)形式で実行されます。従って、ｱﾄﾞﾚｽ ﾚｼﾞｽﾀの単一ﾊﾞｲﾄ格納は常にLSB側ﾊﾞｲﾄが更新され、一方MSB側ﾊﾞｲﾄは無変化のままです。

ﾎﾟｲﾝﾀ ﾚｼﾞｽﾀはPDI制御/状態ﾚｼﾞｽﾀ空間(CSRS)内のｱﾄﾞﾚｽ指定ﾚｼﾞｽﾀと無関係です。

32.6.3. 繰り返し計数器ﾚｼﾞｽﾀ

REPEAT命令は繰り返されるべき次の命令回数を定義する1つ以上のｵﾍﾟﾗﾝﾄﾞ ﾊﾞｲﾄを常に伴います。これらのｵﾍﾟﾗﾝﾄﾞ ﾊﾞｲﾄは受信で繰り返し計数器ﾚｼﾞｽﾀ内に複写されます。REPEAT命令とそのｵﾍﾟﾗﾝﾄﾞの直ぐに後続する命令の繰り返し実行の間、繰り返し計数器ﾚｼﾞｽﾀはそれが全ての繰り返し完了を示す0に達するまで減数(-1)されます。繰り返し計数器は鍵受信にも関係します。

32.6.4. ｵﾍﾟﾗﾝﾄﾞ計数ﾚｼﾞｽﾀ

(LDCSとSTCS命令を除く)命令直後、(命令の量部分によって与えられる)指定数のｵﾍﾟﾗﾝﾄﾞまたはﾃﾞｰﾀ ﾊﾞｲﾄが期待されます。ｵﾍﾟﾗﾝﾄﾞ計数ﾚｼﾞｽﾀは何ﾊﾞｲﾄが転送されたかの経過を保持するのに使われます。

32.7. ﾚｼﾞｽﾀ説明 – PDI制御/状態ﾚｼﾞｽﾀ

PDIの制御と状態のﾚｼﾞｽﾀはLDCSとSTCSの命令を使って入出力可能なPDI制御/状態ﾚｼﾞｽﾀ空間(CSRS)内のﾚｼﾞｽﾀです。CSRSはPDI自身の構成設定と状態監視に直接関係するﾚｼﾞｽﾀを含みます。

32.7.1. STATUS – 状態ﾚｼﾞｽﾀ (Status register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$00	–	–	–	–	–	–	NVMEN	–	STATUS
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～2 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ1 – NVMEN : 不揮発性ﾒﾓﾘ許可** (Non-Volatile Memory Enable)

この状態ﾋﾞｯﾄは鍵指令がNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽを許可する時に設定(1)されます。外部書き込み器は許可の成功を検証するために、このﾋﾞｯﾄをﾎﾟｰﾘﾝｸﾞすることができます。NVMENﾋﾞｯﾄ書き込みはNVMｲﾝﾀｰﾌｪｰｽを禁止します。

● **ﾋﾞｯﾄ0 – 予約** (Reserved)

このﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、このﾋﾞｯﾄへ常に0を書いてください。

32.7.2. RESET – ﾘｾｯﾄ ﾚｼﾞｽﾀ (Reset register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$01	RESET7～0								RESET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7～0 – RESET7～0 : ﾘｾｯﾄ識票** (Reset Signature)

ﾘｾｯﾄ識票($59)がRESETﾚｼﾞｽﾀに書かれると、ﾃﾞﾊﾞｲｽはﾘｾｯﾄを強制されます。ﾃﾞﾊﾞｲｽはRESETﾚｼﾞｽﾀがﾘｾｯﾄ識票と異なるﾃﾞｰﾀ値で書かれるまでﾘｾｯﾄを維持します。LSBﾋﾞｯﾄ読み込みはRESETﾚｼﾞｽﾀ(ﾘｾｯﾄ)の状態を返します。上位7ﾋﾞｯﾄはﾃﾞﾊﾞｲｽがﾘｾｯﾄか否かのどちらかに拘らず常に0を返します。

32.7.3. CTRL – 制御ﾚｼﾞｽﾀ (Control register)

ﾋﾞｯﾄ	7	6	5	4	3	2	1	0	
+$02	–	–	–	–	–	GUARDTIME2~0			CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● **ﾋﾞｯﾄ7~3 – 予約** (Reserved)

これらのﾋﾞｯﾄは未使用で将来用に予約されています。将来のﾃﾞﾊﾞｲｽとの互換性のため、このﾚｼﾞｽﾀが書かれる時に、これらのﾋﾞｯﾄへ常に0を書いてください。

● **ﾋﾞｯﾄ2~0 – GUADTIME2~0 : 保護時間** (Guard Time)

これらのﾋﾞｯﾄはPDI送受信方向の変更間に挿入される保護時間のIDLEﾋﾞｯﾄ数を指定します。既定保護時間は128 IDLEﾋﾞｯﾄで、利用可能な設定は**表32-1.**で示されます。通信速度向上のために、保護時間は許容される安全で最低の構成設定にされるべきです。保護時間はTX動作からRX動作への切り換え時に全く挿入されません。

表32-1. 保護時間設定

GUARDTIME2~0	IDLEﾋﾞｯﾄ数
0 0 0	128
0 0 1	64
0 1 0	32
0 1 1	16
1 0 0	8
1 0 1	4
1 1 0	2
1 1 1	2

32.8. ﾚｼﾞｽﾀ要約

ｱﾄﾞﾚｽ	略称	ﾋﾞｯﾄ7	ﾋﾞｯﾄ6	ﾋﾞｯﾄ5	ﾋﾞｯﾄ4	ﾋﾞｯﾄ3	ﾋﾞｯﾄ2	ﾋﾞｯﾄ1	ﾋﾞｯﾄ0	頁
+$03	予約	–	–	–	–	–	–	–	–	
+$02	CTRL	–	–	–	–	–	GUARDTIME2~0			289
+$01	RESET	RESET7~0								288
+$00	STATUS	–	–	–	–	–	–	NVMEN	–	288

33. ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

33.1. 要点

- 以下からの全ﾒﾓﾘ空間への読み書きｱｸｾｽ
  - 外部書き込み器
  - 応用ｿﾌﾄｳｪｱ自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞの支援
  - 書き中の読み(Read-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - CPUはﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)最中にｺｰﾄﾞ実行と走行が可能
  - どの通信ｲﾝﾀｰﾌｪｰｽもﾌﾟﾛｸﾞﾗﾑの両方向転送に使用可能
- 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
  - 実装時と製造時のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ支援
  - 直列PDIまたはJTAGｲﾝﾀｰﾌｪｰｽを通したﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- 以下に対する独立したﾌﾞｰﾄ施錠ﾋﾞｯﾄでの高い安全性
  - 外部書き込み器ｱｸｾｽ
  - ﾌﾞｰﾄﾛｰﾀﾞ領域ｱｸｾｽ
  - 応用領域ｱｸｾｽ
  - 応用表領域ｱｸｾｽ
- 以下の先頭でのﾘｾｯﾄ ﾍﾞｸﾀ ｱﾄﾞﾚｽを選択するためのﾘｾｯﾄ ﾋｭｰｽﾞ
  - 応用領域、または
  - ﾌﾞｰﾄﾛｰﾀﾞ領域

33.2. 概要

本項はAtmel AVR XMEGAﾃﾞﾊﾞｲｽ内の不揮発性ﾒﾓﾘ(NVM)のﾌﾟﾛｸﾞﾗﾐﾝｸﾞ方法を記述し、自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方を網羅します。NVMはﾌﾟﾛｸﾞﾗﾑ ﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列と製品識票(校正)列、ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ、ﾃﾞｰﾀ用EEPROMから成ります。実際のﾒﾓﾘ詳細、それらがどう構成されるかと、ﾒﾓﾘをｱｸｾｽするのに使われるNVM制御器に関するﾚｼﾞｽﾀ記述については15頁の「**ﾒﾓﾘ**」を参照してください。

NVMは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを通す応用ｿﾌﾄｳｪｱと外部書き込み器から読み書きに関してｱｸｾｽすることができます。NVMｱｸｾｽはNVM制御器を通して行われ、この2つのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ方法は同様です。ﾒﾓﾘ ｱｸｾｽは選択したﾒﾓﾘまたはNVM制御器にｱﾄﾞﾚｽと/またはﾃﾞｰﾀを設定することによって行われ、1式の命令の使用と起動元がNVM制御器に不揮発性ﾒﾓﾘでの特別な作業をさせます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞからは、読み込みだけ可能な製品識票列を除いて、全ﾒﾓﾘ空間が読み書きできます。ﾃﾞﾊﾞｲｽは実装ﾌﾟﾛｸﾞﾗﾐﾝｸﾞができ、PDIまたはJTAG物理ｲﾝﾀｰﾌｪｰｽを使うPDIを通してｱｸｾｽされます。301頁の「**外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ**」はPDIとJTAGを詳細に記述します。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援はﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、EEPROMの読み書きと、より安全な設定への施錠ﾋﾞｯﾄ書き込みと、製品識票列とﾋｭｰｽﾞの読み込みをﾃﾞﾊﾞｲｽ内の応用ｿﾌﾄｳｪｱに許します。ﾌﾗｯｼｭ ﾒﾓﾘは、ﾌﾗｯｼｭ ﾒﾓﾘがﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込まれつつある)最中にCPUがｺｰﾄﾞを実行して動作を続けられることを意味する、書き中の読み(Read-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを許します。293頁の「**自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援**」はこれを詳細に記述します。

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方について、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ後の内容を検証するためにﾌﾗｯｼｭ ﾒﾓﾘまたはﾌﾗｯｼｭ ﾒﾓﾘの領域でのCRC検査を走行することが可能です。

ﾃﾞﾊﾞｲｽはNVMの読みと/または書きを防ぐために施錠することができます。外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのｱｸｾｽと、ﾌﾞｰﾄﾛｰﾀﾞ領域、応用領域、応用表領域への自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞでのｱｸｾｽに対して独立した施錠ﾋﾞｯﾄがあります。

33.3. NVM制御器

不揮発性ﾒﾓﾘへのｱｸｾｽはNVM制御器を通して行われます。これは外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方に対する共通NVMｲﾝﾀｰﾌｪｰｽで、NVMﾀｲﾐﾝｸﾞとｱｸｾｽ権限を制御してNVMの状態を保持します。より多くの詳細については305頁の「**ﾚｼﾞｽﾀ説明**」を参照してください。

33.4. NVM指令

NVM制御器はNVMで作業を実行するのに使われる1組の指令を持っています。これはNVM指令(CMD)ﾚｼﾞｽﾀへ選択した指令を書くことによって行われます。加えてﾒﾓﾘ読み書き操作についてはﾃﾞｰﾀとｱﾄﾞﾚｽがNVMﾃﾞｰﾀとNVMｱﾄﾞﾚｽのﾚｼﾞｽﾀと読み書きされなければなりません。

操作に関するｱﾄﾞﾚｽとﾃﾞｰﾀが設定され、選択した指令が格納されると、各指令はその操作を開始する起動源を持ちます。それらの起動源に基くものには主に3つの命令形式があります。

33.4.1. 活動起動指令

活動起動指令はNVM制御ﾚｼﾞｽﾀA(CTRLA)で指令実行(CMDEX)ﾋﾞｯﾄが書かれる時に起動されます。活動起動指令は代表的にCRC検査のような、NVM読み書きをしない操作に対して用いられます。

33.4.2. NVM読み込み起動指令

NVM読み込み起動指令はNVMが読まれる時に起動され、これは代表的にNVM読み込み操作に用いられます。

33.4.3. NVM書き込み起動指令

NVM書き込み起動指令はNVMが書かれる時に起動され、これは代表的にNVM書き込み操作に用いられます。

33.4.4. 書き込み/実行保護

殆どの指令起動源は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中の不慮の変更/実行から保護されます。これはﾋﾞｯﾄ変更または指令実行のために特別な書き込みや実行の手順を必要とする、構成設定変更保護(CCP)機能を使って行われます。CCPの詳細については10頁の「**構成設定変更保護**」を参照してください。

33.5. NVM制御器多忙状態

NVM制御器が操作実行中で多忙のとき、NVM状態(STATUS)ﾚｼﾞｽﾀの多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、以下のﾚｼﾞｽﾀが書き込みｱｸｾｽに対して防がれます。

- NVM指令(CMD)ﾚｼﾞｽﾀ
- NVM制御A(CTRLA)ﾚｼﾞｽﾀ
- NVM制御B(CTRLB)ﾚｼﾞｽﾀ
- NVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀ
- NVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀ

これは新しい操作の開始前に与えられた指令が実行されて操作が終了するのを保証します。外部書き込み器または応用ｿﾌﾄｳｪｱはﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作で多忙の間にVNMがｱﾄﾞﾚｽ指定されないことを保証しなければなりません。

NVMのどの部分のﾌﾟﾛｸﾞﾗﾐﾝｸﾞも以下のように自動的に防がれます。

- NVMの他の部分への全てのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ
- ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ緩衝部の全ての格納/消去
- 外部書き込み器からの全てのNVM読み込み
- 応用領域からの全てのNVM読み込み

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの間は割り込みが禁止されなければならないか、または90頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みﾍﾞｸﾀ表がﾌﾞｰﾄﾛｰﾀﾞ領域へ移動されなければなりません。

33.6. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ緩衝部

ﾌﾗｯｼｭ ﾒﾓﾘはﾍﾟｰｼﾞ単位で更新されます。EEPROMはﾊﾞｲﾄ単位とﾍﾟｰｼﾞ単位で更新することができます。ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ書き込みは最初に関連するﾍﾟｰｼﾞ緩衝部を満たし、そしてﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROM内の選択したﾍﾟｰｼﾞにﾍﾟｰｼﾞ緩衝部全体を書くことによって行われます。

ﾍﾟｰｼﾞとﾍﾟｰｼﾞ緩衝部の容量は各ﾃﾞﾊﾞｲｽでのﾌﾗｯｼｭ ﾒﾓﾘとEEPROMの容量に依存し、ﾍﾟｰｼﾞ容量とﾍﾟｰｼﾞ数の詳細はﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄで記述されます。

33.6.1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部は1語(ﾜｰﾄﾞ)づつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でﾍﾟｰｼﾞ緩衝部が格納される時の結果はﾍﾟｰｼﾞ緩衝部位置の内容と新しい値間の2進でのANDです。ﾍﾟｰｼﾞ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

未格納のﾍﾟｰｼﾞ緩衝部位置は$FFFFの値を持ち、(**訳補**:そのままで書かれたなら、)その後この値が対応するﾌﾗｯｼｭ ﾒﾓﾘのﾍﾟｰｼﾞ位置に書かれます。

ﾍﾟｰｼﾞ緩衝部は以下の後で自動的に消去されます。

- ﾃﾞﾊﾞｲｽ ﾘｾｯﾄ
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み指令実行
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去&書き込み指令実行
- 識票列書き込み指令実行
- 施錠ﾋﾞｯﾄ書き込み指令実行

33.6.2. EEPROM ﾍﾟｰｼﾞ緩衝部

EEPROMﾍﾟｰｼﾞ緩衝部は1ﾊﾞｲﾄづつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でﾍﾟｰｼﾞ緩衝部が格納される時の結果はﾍﾟｰｼﾞ緩衝部位置の内容と新しい値間の2進でのANDです。EEPROMﾍﾟｰｼﾞ緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

格納されたEEPROMﾍﾟｰｼﾞ緩衝部位置はNVM制御器によって付箋付けがなされます。ﾍﾟｰｼﾞ書き込みまたはﾍﾟｰｼﾞ消去の間で目的位置だけが書かれ、または消去されます。目的でない位置は書かれず、または消去されず、対応するEEPROM位置は無変化に留まります。これはEEPROMﾍﾟｰｼﾞ消去(訳補:緩衝部ではなくEEPROM自体)前にもそれらに付箋付けするために選択したﾍﾟｰｼﾞ緩衝部位置へﾃﾞｰﾀが格納されなければならないことを意味します。EEPROMﾍﾟｰｼﾞ消去実行時に目的位置の実際の値は問題です。

EEPROMﾍﾟｰｼﾞ緩衝部は以下の後で自動的に消去されます。

- ｼｽﾃﾑ ﾘｾｯﾄ
- EEPROMﾍﾟｰｼﾞ書き込み指令実行
- EEPROMﾍﾟｰｼﾞ消去&書き込み指令実行
- 施錠ﾋﾞｯﾄ書き込みとﾋｭｰｽﾞ書き込み指令実行

33.7. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

ﾍﾟｰｼﾞ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに関して、ﾍﾟｰｼﾞ緩衝部を満たすのと、ﾌﾗｯｼｭ ﾒﾓﾘまたはEEPROM内へﾍﾟｰｼﾞ緩衝部を書くのは2つの独立した操作です。この手順は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞと外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方について同じです。

33.7.1. ﾌﾗｯｼｭ ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部のﾃﾞｰﾀでﾌﾗｯｼｭ ﾍﾟｰｼﾞを書く前に、ﾌﾗｯｼｭ ﾍﾟｰｼﾞは消去されなければなりません。未消去ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込みはそのﾌﾗｯｼｭ ﾍﾟｰｼﾞ内容を不正にするでしょう。

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部は以下のようにﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去操作前、またはﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去とﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込みの間のどちらででも満たすことができます。

選択1:

- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を満たしてください。
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去を実行してください。
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込みを実行してください。

選択2:

- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を満たしてください。
- 非分断ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去&書き込みを実行してください。

選択3: ﾍﾟｰｼﾞ消去後のﾍﾟｰｼﾞ緩衝部満たし

- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去を実行してください。
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を満たしてください。
- ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込みを実行してください。

NVM指令一式は非分離消去&書き込み操作と、分離したﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み命令の両方を支援します。この分離指令は各指令に対してより短い書き込み時間を可能にし、消去操作は時間が際どくないﾌﾟﾛｸﾞﾗﾐﾝｸﾞ実行の間に行うことができます。自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対して上の**選択1**または**2**を使うとき、ﾌﾞｰﾄﾛｰﾀﾞが効率的な書き中の読み(Read-While-Write)機能を提供し、そしてそれは最初にﾍﾟｰｼﾞを読んで、必要な変更を行い、そして修正されたﾃﾞｰﾀを書き戻すことをｿﾌﾄｳｪｱに許します。**選択3**が使われる場合はﾍﾟｰｼﾞが既に消去されているので、格納中に旧ﾃﾞｰﾀを読むのは不可能です。**選択1**または**3**を使う時にﾍﾟｰｼﾞ ｱﾄﾞﾚｽはﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込みの両操作に対して同じでなければなりません。

33.7.2. EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順

EEPROMﾍﾟｰｼﾞ緩衝部に格納された付箋付けしたﾃﾞｰﾀ ﾊﾞｲﾄ数でEEPROMを書く前に、EEPROMﾍﾟｰｼﾞ内の選択位置は消去されなければなりません。未消去EEPROMﾍﾟｰｼﾞ書き込みはそれの内容を不正にするでしょう。どのﾍﾟｰｼﾞ消去またはﾍﾟｰｼﾞ書き込み操作にも先立って、EEPROMﾍﾟｰｼﾞ緩衝部が格納されなければなりません。

選択1:

- 選択したﾊﾞｲﾄ数でEEPROMﾍﾟｰｼﾞ緩衝部を満たしてください。
- EEPROMﾍﾟｰｼﾞ消去を実行してください。
- EEPROMﾍﾟｰｼﾞ書き込みを実行してください。

選択2:

- 選択したﾊﾞｲﾄ数でEEPROMﾍﾟｰｼﾞ緩衝部を満たしてください。
- EEPROMﾍﾟｰｼﾞ消去&書き込みを実行してください。

33.8. NVMの保護

ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMを読みと/または書きから保護するために、外部書き込み器と応用ｿﾌﾄｳｪｱからのｱｸｾｽを制限するように施錠ﾋﾞｯﾄを設定することができます。利用可能な施錠ﾋﾞｯﾄ設定の詳細とそれらの使用法については24頁の「LOCKBITS – 施錠ﾋﾞｯﾄ ﾚｼﾞｽﾀ」を参照してください。

33.9. NVM化けの防止

VCC電圧がﾃﾞﾊﾞｲｽに対する最低動作電圧未満の間、供給電圧が正しく動作するCPUとﾌﾗｯｼｭ ﾒﾓﾘに対して低すぎるため、ﾌﾗｯｼｭ ﾒﾓﾘ書き込みの結果は不正になり得ます。ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順全体の間に電圧が充分足ることを保証するため、POR閾値(VPOT+)を用いた電圧検出器が許可されます。ﾁｯﾌﾟ消去中とPDIが許可される時に低電圧検出器(BOD)がそれの構成設定されたﾚﾍﾞﾙで自動的に許可されます。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ操作に依存して、それらのVCC電圧ﾚﾍﾞﾙのどれかに達したなら、ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順は直ちに中止されます。これが起きたなら、書き込み手順失敗または部分のみ成功の場合、NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞは電力が再び充分になった時に改めて開始されるべきです。

33.10. CRC機能

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘで自動巡回冗長検査(CRC)を走行することが可能です。CRC単位部を制御するのにNVMが使われると、最低ﾌﾗｯｼｭ範囲動作で偶数のﾊﾞｲﾄ数が読まれます。使用者が奇数のﾊﾞｲﾄ数で範囲を選ぶ場合、追加のﾊﾞｲﾄが読まれ、ﾁｪｯｸｻﾑは選択した範囲に対応しないでしょう。

CRCは多項式 $x^{24}+x^4+x^3+x+1$ での16ﾋﾞｯﾄ ﾃﾞｰﾀで動く多数入力識票ﾚｼﾞｽﾀ(MISR)として実装されます。

33.11. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援

ﾃﾞﾊﾞｲｽ内の応用ｿﾌﾄｳｪｱからのEEPROMとﾌﾗｯｼｭ ﾒﾓﾘの読み書きは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとして参照されます。ﾌﾞｰﾄﾛｰﾀﾞ(ﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄﾛｰﾀﾞ領域に配置された応用ｺｰﾄﾞ)はﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、EEPROMの読み書き両方と、もっと安全な設定への施錠ﾋﾞｯﾄ書き込みができます。応用領域内の応用ｺｰﾄﾞはﾌﾗｯｼｭ ﾒﾓﾘ、使用者識票列、製品識票(校正)列、ﾋｭｰｽﾞの読み込みと、EEPROMの読み書きができます。

33.11.1. ﾌﾗｯｼｭ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

ﾌﾞｰﾄﾛｰﾀﾞ支援はﾃﾞﾊﾞｲｽ自身による新しいﾌﾟﾛｸﾞﾗﾑ ｺｰﾄﾞの更新のための真の書き中の読み(Rwad-While-Write)自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機構を提供します。この機能はﾌﾗｯｼｭ ﾒﾓﾘのﾌﾞｰﾄﾛｰﾀﾞ領域に属すﾌﾞｰﾄﾛｰﾀﾞ応用を使うﾃﾞﾊﾞｲｽによって制御される柔軟な応用ｿﾌﾄｳｪｱ更新を可能にします。ﾌﾞｰﾄﾛｰﾀﾞはｺｰﾄﾞ読み込みとﾌﾗｯｼｭ ﾒﾓﾘへのｺｰﾄﾞ書き込み、またはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｺｰﾄﾞ読み出しのために、利用可能な通信ｲﾝﾀｰﾌｪｰｽと関連する規約のどれでも使うことができます。それはﾌﾞｰﾄﾛｰﾀﾞ領域を含むﾌﾗｯｼｭ ﾒﾓﾘ全体に書く能力を持ちます。従ってﾌﾞｰﾄﾛｰﾀﾞは自身を変更でき、この機能がそれ以上必要とされないなら、ﾌﾗｯｼｭ ﾒﾓﾘからそれ自身を消去することもできます。

33.11.1.1. 応用領域とﾌﾞｰﾄﾛｰﾀﾞ領域

ﾌﾗｯｼｭ ﾒﾓﾘ内の応用領域とﾌﾞｰﾄﾛｰﾀﾞ領域は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞを行う時に異なります。

- 応用領域内に配置されたﾍﾟｰｼﾞの消去または書き込み時、ﾌﾞｰﾄﾛｰﾀﾞ領域はその操作中に読むことができ、従ってCPUはﾌﾞｰﾄﾛｰﾀﾞ領域からｺｰﾄﾞを実行して走行することができます。
- ﾌﾞｰﾄﾛｰﾀﾞ領域内に配置されたﾍﾟｰｼﾞの消去または書き込み時、CPUはその操作全体の間、停止され、ｺｰﾄﾞは実行できません。

使用者識票列領域はﾌﾞｰﾄﾛｰﾀﾞ領域と同じ特性を持ちます。

表33-1. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ機能の要約

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にZﾎﾟｲﾝﾀでｱﾄﾞﾚｽ指定されている領域	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に読める領域	CPU動作
応用領域	ﾌﾞｰﾄﾛｰﾀﾞ領域	走行
ﾌﾞｰﾄﾛｰﾀﾞ領域	なし	停止
使用者識票列領域	なし	停止

33.11.1.2. フラッシュ メモリのアドレス指定

読み書きアクセスに対するフラッシュ メモリのアドレスを保持するのにZポインタが使われます。Zポインタのより多くの詳細については8頁の「X,Y,Zレジスタ」を参照してください。

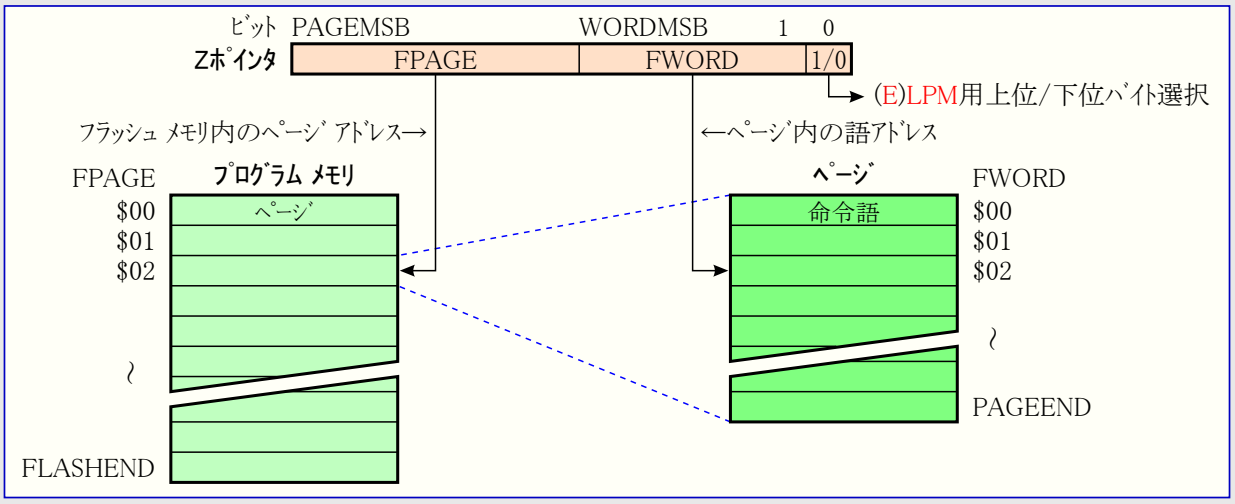
フラッシュ メモリがページで構成され、語(ワード)でアクセスされるため、Zポインタは2つの領域を持つように扱うことができます。最下位側ビットはページ内の語をアドレス指定し、一方最上位側ビットはフラッシュ メモリ内のページをアドレス指定します。これは図33-1.で示されます。ページ内の語アドレス(FWORD)はZポインタ内のビットWORDMSB～1によって保持されます。Zポインタ内の残りのビットPAGAMSB～WORDMSB+1はフラッシュ ページ アドレス(FPAGE)を保持します。FPAGEとFWORDを併せて、フラッシュ メモリ内の語への絶対アドレスを保持します。

フラッシュ メモリ読み込み操作(LPMとELPM)については1度に1バイトが読まれます。これに関して語アドレス内の上位バイトと下位バイトを選択するために、Zポインタ内の最下位ビット(ビット0)が使われます。このビットが0ならば下位バイトが読まれ、このビットが1ならば上位バイトが読まれます。

FPAGEとFWORDの容量はデバイスのフラッシュ容量とページ容量に依存します。各デバイスのデータシートを参照してください。

一旦プログラミング操作が開始されると、アドレスはラッチされ、Zポインタは更新して他の操作に使うことができます。

図33-1. 自己プログラミングに対するフラッシュ メモリのアドレス指定



33.11.2. NVM フラッシュ指令

プログラム用フラッシュ メモリ、使用者識票列、製品識票(校正)列をアクセスするのに使えるNVM指令が表33-2.で一覧されます。

フラッシュ メモリの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは自己プログラミング中に起動源を書く/実行するための特別な手順です。より多くの詳細については11頁の「CCP – 構成設定変更保護レジスタ」を参照してください。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使われるアドレス ポインタと転送元/転送先データ レジスタを示します。

33.11.2.1.項～297頁の33.11.2.14.項は各NVM操作に対する方法を詳細に説明します。

表33-2. フラッシュ メモリ自己プログラミング指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	アドレス ポインタ	データ レジスタ
$00	NO_OPERATION	無操作/フラッシュ読み込み	-/(E)LPM	-/N	N	-/N	-/Zポインタ	-/Rd
フラッシュ ページ緩衝部								
$23	LOAD_FLASH_BUFFER	フラッシュ ページ緩衝部格納(設定)	SPM	N	N	-/N	Zポインタ	R1:R0
$26	ERASE_FLASH_BUFFER	フラッシュ ページ緩衝部消去	CMDEX	N	Y	Y	Zポインタ	-
フラッシュ メモリ全体								
$2B	ERASE_FLASH_PAGE	フラッシュ ページ消去	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$2E	WRITE_FLASH_PAGE	フラッシュ ページ書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$2F	ERASE_WRITE_FLASH_PAGE	フラッシュ ページ消去&書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	-
$3A	FLASH_RANGE_CRC (注2)	フラッシュ範囲CRC	CMDEX	Y	Y	Y	DATA/ADDR	DATA
応用領域フラッシュ メモリ								
$20	ERASE_APP	応用領域消去	SPM	Y	Y	Y	Zポインタ	-
$22	ERASE_APP_PAGE	応用領域ページ消去	SPM	N	Y	Y	Zポインタ	-
$24	WRITE_APP_PAGE	応用領域ページ書き込み	SPM	N	Y	Y	Zポインタ	-
$25	ERASE_WRITE_APP_PAGE	応用領域ページ消去&書き込み	SPM	N	Y	Y	Zポインタ	-
$38	APP_CRC	応用領域CRC	CMDEX	Y	Y	Y	-	DATA
ブートローダ領域フラッシュ メモリ								
$2A	ERASE_BOOT_PAGE	ブートローダ領域ページ消去	SPM	Y	Y	Y	Zポインタ	-
$2C	WRITE_BOOT_PAGE	ブートローダ領域ページ書き込み	SPM	Y	Y	Y	Zポインタ	-
$2D	ERASE_WRITE_BOOT_PAGE	ブートローダ領域ページ消去&書き込み	SPM	Y	Y	Y	Zポインタ	-
$39	BOOT_CRC	ブートローダ領域CRC	CMDEX	Y	Y	Y	-	DATA
使用者識票列								
$01(注3)	READ_USER_SIG_ROW	使用者識票列読み込み	LPM	N	N	N	Zポインタ	Rd
$18	ERASE_USER_SIG_ROW	使用者識票列消去	SPM	Y	Y	Y	-	-
$1A	WRITE_USER_SIG_ROW	使用者識票列書き込み	SPM	Y	Y	Y	-	-
製品識票(校正)列 (注4)								
$02(注3)	READ_CALIB_ROW	校正列読み込み	LPM	N	N	N	Zポインタ	Rd

注1: 実際にアドレス指定されるフラッシュ領域(応用またはブートローダ)に依存します。

注2: この指令は施錠ビットで制限され、ブート施錠ビットが非プログラム(1)であることを必要とします。

注3: LPM命令の通常の動きを変える指令(READ_USER_SIG_ROWとREAD_CALIB_ROW)の使用時、LPM命令の正しい実行を保証するために割り込みを禁止することが推奨されます。

注4: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。

33.11.2.1. フラッシュ読み込み

フラッシュ メモリから1バイトを読むのに(E)LPM命令が使われます。

1. 読むバイト アドレスをZポインタに格納してください。
2. 無操作指令をNVM指令(CMD)レジスタに格納してください。
3. (E)LPM命令を実行してください。

転送先レジスタは(E)LPM命令の実行中に格納されます。

33.11.2.2. フラッシュ ページ緩衝部消去

フラッシュ ページ緩衝部を消去するのにフラッシュ ページ緩衝部消去指令が使われます。

1. フラッシュ ページ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください(これは自己プログラミング中にCCP時間手順を必要とします)。

ページ緩衝部が消去されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

33.11.2.3. フラッシュ ページ緩衝部格納(設定)

フラッシュ ページ緩衝部内に1語(ワード)のデータを格納するのにフラッシュ ページ緩衝部格納指令が使われます。

1. フラッシュ ページ緩衝部格納指令をNVM指令(CMD)レジスタに格納してください。
2. 書く語アドレスをZポインタに格納してください。
3. R1:R0レジスタに書かれるべきデータ語を格納してください。
4. SPM命令を実行してください。SPM命令はフラッシュ ページ緩衝部格納のプログラミング時に保護されません。

フラッシュ ページ緩衝部全体が格納されるまで手順2.～4.を繰り返してください。未格納(未設定)位置は$FFFFの値を持ちます。

33.11.2.4. フラッシュ ページ消去

フラッシュ メモリの1ページを消去するのにフラッシュ ページ消去指令が使われます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. フラッシュ ページ消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

33.11.2.5. フラッシュ ページ書き込み

フラッシュ メモリの1ページ内にフラッシュ ページ緩衝部を書くのにフラッシュ ページ書き込み指令が使われます。

1. 書くフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. フラッシュ ページ書き込み指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この書き込み操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

33.11.2.6. フラッシュ範囲CRC

自己プログラミング後にフラッシュ メモリのアドレス範囲内の内容を検証するのにフラッシュ範囲CRC指令が使われます。

1. フラッシュ範囲CRC指令をNVM指令(CMD)レジスタに格納してください。
2. NVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに開始バイト アドレスを格納してください。
3. NVMデータ(DATA2,DATA1,DATA0)レジスタに終了バイト アドレスを格納してください。
4. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

フラッシュ範囲CRCを使うには、全てのブート施錠ビットが非プログラム(1,無施錠)にされなければなりません。アクセスされる位置に対するブート施錠ビットが(11以外に)設定されている場合、指令実行は失敗中止にされます。

33.11.2.7. 応用領域消去

応用領域を完全に消去するのに応用領域消去指令が使われます。

1. 応用領域内の何処かの位置をZポインタに格納してください。
2. 応用領域消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

33.11.2.8. 応用領域/ブートローダ領域 ページ消去

応用領域またはブートローダ領域内の1ページを消去するのに応用領域ページ消去とブートローダ領域ページ消去指令が使われます。

1. 消去するフラッシュのページ アドレスをZポインタに格納してください。ページ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
2. 応用領域ページ消去/ブートローダ領域ページ消去指令をNVM指令(CMD)レジスタに格納してください。
3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページ アドレスはNVM指令を失敗中止にします。応用領域ページ消去指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ消去指令はブートローダ領域をアドレス指定するZポインタを必要とします。(**訳注**:共通性から前2行追加)

33.11.2.9. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 ﾍﾟｰｼﾞ書き込み

応用領域またはﾌﾞｰﾄﾛｰﾀﾞ領域の1ﾍﾟｰｼﾞ内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ書き込みとﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令が使われます。

1. 書くﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. 応用領域ﾍﾟｰｼﾞ書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

Zﾎﾟｲﾝﾀの無効ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはNVM指令を失敗中止にします。応用領域ﾍﾟｰｼﾞ書き込み指令は応用領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とし、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み指令はﾌﾞｰﾄﾛｰﾀﾞ領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とします。

33.11.2.10. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 ﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、応用領域またはﾌﾞｰﾄﾛｰﾀﾞ領域内の1ﾍﾟｰｼﾞを消去し、そしてそのﾍﾟｰｼﾞ内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ消去&書き込みとﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令が使われます。

1. 書くﾌﾗｯｼｭのﾍﾟｰｼﾞ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはFPAGEに書かれなければなりません。Zﾎﾟｲﾝﾀの他のﾋﾞｯﾄはこの操作の間、無視されます。
2. 応用領域ﾍﾟｰｼﾞ消去&書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。ﾌﾗｯｼｭ ﾒﾓﾘが多忙の間、ﾌﾗｯｼｭ領域多忙(FBUSY)ﾌﾗｸﾞが設定(1)され、応用領域をｱｸｾｽすることができません。

Zﾎﾟｲﾝﾀの無効ﾍﾟｰｼﾞ ｱﾄﾞﾚｽはNVM指令を失敗中止にします。応用領域ﾍﾟｰｼﾞ消去&書き込み指令は応用領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とし、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み指令はﾌﾞｰﾄﾛｰﾀﾞ領域をｱﾄﾞﾚｽ指定するZﾎﾟｲﾝﾀを必要とします。

33.11.2.11. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC

自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ後に応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域の内容を検証するのに応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令が使われます。

1. 応用領域CRC/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

CRC指令実行の間、NVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、CPUは停止されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になるでしょう。

33.11.2.12. 使用者識票列消去

使用者識票列を消去するのに使用者識票列消去指令が使われます。

1. 使用者識票列消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、CPUは停止されます。使用者識票列はNRWWです。

33.11.2.13. 使用者識票列書き込み

使用者識票列内にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部を書くのに使用者識票列書き込み指令が使われます。

1. 使用者識票列書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. SPM命令を実行してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)され、この指令実行の間、CPUは停止されます。指令実行の間の書き込み操作後にﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部が解除されますが、CPUはこの段階中、停止されません。

33.11.2.14. 使用者識票列/製品識票列 読み込み

使用者識票列または製品識票(校正)列から1ﾊﾞｲﾄを読むのに使用者識票列/製品識票(校正)列読み込み指令が使われます。

1. 読むﾊﾞｲﾄ ｱﾄﾞﾚｽをZﾎﾟｲﾝﾀに格納してください。
2. 使用者識票列読み込み/製品識票(校正)列読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. LPM命令を実行してください。

転送先ﾚｼﾞｽﾀはLPM命令実行の間に格納されます。

ﾌﾗｯｼｭ読み込みに対してLPMが正しく実行されることを保証するため、それらの指令のどれかを使う間、割り込みを禁止することが勧告されます。

33.11.3. NVM ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ指令

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄをｱｸｾｽするのに使えるNVM指令が**表33-3.**で一覧されます。

ﾋｭｰｽﾞと施錠ﾋﾞｯﾄの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に構成設定変更保護(CCP)によって保護されるかどうかを示します。右端側2列はｱﾄﾞﾚｽ指定に使われるｱﾄﾞﾚｽ ﾎﾟｲﾝﾀと転送元/転送先ﾃﾞｰﾀ ﾚｼﾞｽﾀを示します。

「**施錠ﾋﾞｯﾄ書き込み**」項～「**ﾋｭｰｽﾞ読み込み**」項は各NVM操作に対する方法を詳細に説明します。

表33-3. ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ	ﾃﾞｰﾀ ﾚｼﾞｽﾀ
$00	NO_OPERATION	無操作	-	-	-	-	-	-
ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ								
$07	READ_FUSES	ﾋｭｰｽﾞ読み込み	CMDEX	N	Y	N	ADDR	DATA
$08	WRITE_LOCK_BITS	施錠ﾋﾞｯﾄ書き込み	CMDEX	N	Y	Y	ADDR	-

33.11.3.1. 施錠ﾋﾞｯﾄ書き込み

ｿﾌﾄｳｪｱからﾌﾞｰﾄ施錠ﾋﾞｯﾄをもっと安全な設定にﾌﾟﾛｸﾞﾗﾐﾝｸﾞするのに施錠ﾋﾞｯﾄ書き込み指令が使われます。

1. 新しい施錠ﾋﾞｯﾄ値をNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀに格納してください。
2. 施錠ﾋﾞｯﾄ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

この指令はﾌﾞｰﾄﾛｰﾀﾞ領域と応用領域の両方から実行することができます。施錠ﾋﾞｯﾄが書かれる時にEEPROMとﾌﾗｯｼｭのﾍﾟｰｼﾞ緩衝部が自動的に消去されます。

33.11.3.2. ﾋｭｰｽﾞ読み込み

ｿﾌﾄｳｪｱからﾋｭｰｽﾞを読むのにﾋｭｰｽﾞ読み込み指令が使われます。

1. 読むﾋｭｰｽﾞ ﾊﾞｲﾄへのｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
2. ﾋｭｰｽﾞ読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

結果はNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀで利用可能になります。この指令の完全な実行の間、CPUは停止されます。

33.11.4. EEPROMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

EEPROMはﾌﾗｯｼｭ ﾒﾓﾘのどの部分の応用ｺｰﾄﾞからでも読み書きすることができます。それはﾊﾞｲﾄとﾍﾟｰｼﾞの両方でｱｸｾｽ可能です。これは1度に1ﾊﾞｲﾄまたは1ﾍﾟｰｼﾞのどちらでもEEPROMに書けることを意味します。読み込みではEEPROMから1ﾊﾞｲﾄが読まれます。

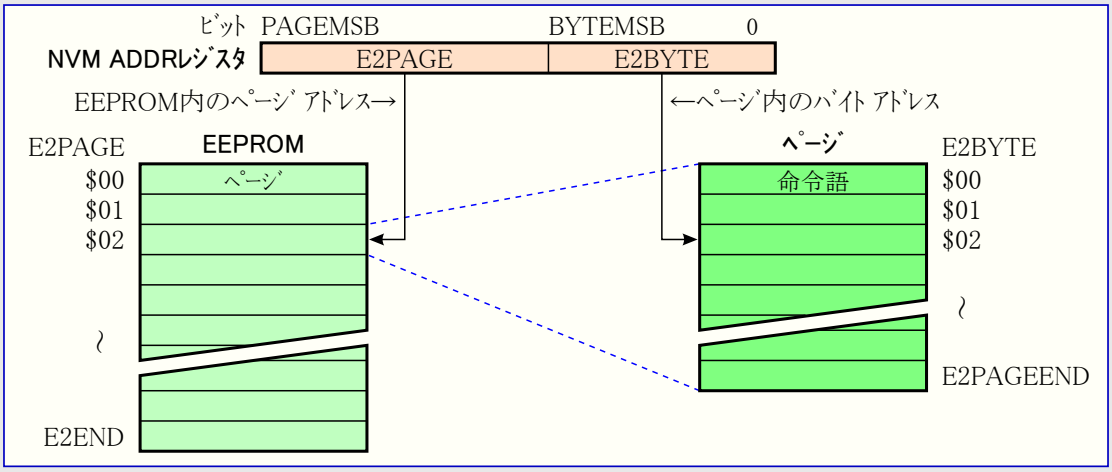
33.11.4.1. EEPROMのｱﾄﾞﾚｽ指定

EEPROMはﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘのｱｸｾｽと同様に(I/Oに割り当てられた)NVM制御器を通してｱｸｾｽすることができ、またはSRAMと同様にｱｸｾｽされるﾃﾞｰﾀ ﾒﾓﾘ空間内にﾒﾓﾘ割り当てすることもできます。

NVM制御器を通してEPROMをｱｸｾｽするとき、EEPROMをｱﾄﾞﾚｽ指定するのにNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀが使われ、同時にEEPROMﾃﾞｰﾀを格納または取得するのにNVMﾃﾞｰﾀ(DATA0)ﾚｼﾞｽﾀが使われます。

EEPROMﾍﾟｰｼﾞ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対して、ADDRﾚｼﾞｽﾀは2つの領域を持つように扱うことができます。最下位側ﾋﾞｯﾄはﾍﾟｰｼﾞ内のﾊﾞｲﾄをｱﾄﾞﾚｽ指定し、一方最上位側ﾋﾞｯﾄはEEPROM内のﾍﾟｰｼﾞをｱﾄﾞﾚｽ指定します。これは**図33-2.**で示されます。ﾍﾟｰｼﾞ内のﾊﾞｲﾄ ｱﾄﾞﾚｽ(E2BYTE)はADDRﾚｼﾞｽﾀ内のﾋﾞｯﾄBYTEMSB～0によって保持されます。ADDRﾚｼﾞｽﾀ内の残りのﾋﾞｯﾄPAGAMSB～BYTEMSB+1はEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽ(E2PAGE)を保持します。E2PAGEとE2BYTEを併せて、EEPROM内のﾊﾞｲﾄへの絶対ｱﾄﾞﾚｽを保持します。E2PAGEとE2BYTEの容量はﾃﾞﾊﾞｲｽのEEPROM容量とﾍﾟｰｼﾞ容量に依存します。この詳細については各ﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

図33-2. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対するI/O割り当てEEPROMのｱﾄﾞﾚｽ指定



ﾒﾓﾘ配置EEPROMが許可されると、EEPROMﾍﾟｰｼﾞ緩衝部内へのﾊﾞｲﾄ ﾃﾞｰﾀ格納は直接または間接の格納(設定)命令を通して実行することができます。ﾍﾟｰｼﾞ緩衝部内の位置を決めるのにEEPROMｱﾄﾞﾚｽの最下位側ﾋﾞｯﾄだけが使われますが、正しいｱﾄﾞﾚｽ割り当てを保証するために完全なﾒﾓﾘ割り当てEEPROMｱﾄﾞﾚｽが常に必要とされます。EEPROMからの読み込みは直接または間接の格納(設定)命令を使って直接的に行うことができます。ﾒﾓﾘ割り当てEEPROMﾍﾟｰｼﾞ緩衝部格納操作が実行されると、CPUは次の命令が実行されるのに先立って2周期停止されます。

EEPROMがﾒﾓﾘ割り当てされると、NVM制御器からのEEPROMﾍﾟｰｼﾞ緩衝部格納とEEPROM読み込み機能は禁止されます。

33.11.5. NVM EEPROM指令

NVM制御器を通してEEPROMをｱｸｾｽするのに使えるNVM EEPROM指令が**表33-4.**で一覧されます。

EEPROMの自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令と書き込み起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令はNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀを読むことによって起動されます。

(表の)変更保護列は自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中に起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは起動源を書く/実行するのに時間手順を必要とします。外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞにCCPは必要とされません。右端側2列はｱﾄﾞﾚｽ指定に使われるｱﾄﾞﾚｽ ﾎﾟｲﾝﾀと転送元/転送先ﾃﾞｰﾀ ﾚｼﾞｽﾀを示します。

次頁の「**EEPROMﾍﾟｰｼﾞ緩衝部格納(設定)**」項～「**EEPROM読み込み**」項は各EEPROM操作に対する方法を詳細に説明します。

表33-4. EEPROM自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM多忙	変更保護	ｱﾄﾞﾚｽ ﾎﾟｲﾝﾀ	ﾃﾞｰﾀ ﾚｼﾞｽﾀ
$00	NO_OPERATION	無操作	-	-	-	-	-	-
EEPROM ﾍﾟｰｼﾞ緩衝部								
$33	LOAD_EEPROM_BUFFER	EEPROMﾍﾟｰｼﾞ緩衝部格納(設定)	DATA0	N	N	Y	ADDR	DATA0
$36	ERASE_EEPROM_BUFFER	EEPROMﾍﾟｰｼﾞ緩衝部消去	CMDEX	N	Y	Y	-	-
EEPROM								
$32	ERASE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ消去	CMDEX	N	Y	Y	ADDR	-
$34	WRITE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ書き込み	CMDEX	N	Y	Y	ADDR	-
$35	ERASE_WRITE_EEPROM_PAGE	EEPROMﾍﾟｰｼﾞ消去&書き込み	CMDEX	N	Y	Y	ADDR	-
$39	ERASE_EEPROM	EEPROM消去	CMDEX	N	Y	Y	-	-
$06	READ_EEPROM	EEPROM読み込み	CMDEX	N	N	N	ADDR	DATA0

33.11.5.1. EEPROMﾍﾟｰｼﾞ緩衝部格納(設定)

EEPROMﾍﾟｰｼﾞ緩衝部内に1ﾊﾞｲﾄを格納(設定)するのにEEPROMﾍﾟｰｼﾞ緩衝部格納指令が使われます。

1. EEPROMﾍﾟｰｼﾞ緩衝部格納指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. 書くｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ0(ADDR0)ﾚｼﾞｽﾀに格納してください。
3. 書くﾃﾞｰﾀをNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀに格納してください。これが指令を起動します。

任意数のﾊﾞｲﾄが格納されるまで手順2.と3.を繰り返してください。

33.11.5.2. EEPROMﾍﾟｰｼﾞ緩衝部消去

EEPROMﾍﾟｰｼﾞ緩衝部を消去するのにEEPROMﾍﾟｰｼﾞ緩衝部消去指令が使われます。

1. EEPROMﾍﾟｰｼﾞ緩衝部消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.11.5.3. EEPROMﾍﾟｰｼﾞ消去

1つのEEPROMﾍﾟｰｼﾞを消去するのにEEPROMﾍﾟｰｼﾞ消去指令が使われます。

1. EEPROMﾍﾟｰｼﾞ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 消去するEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

このﾍﾟｰｼﾞ消去指令はEEPROMﾍﾟｰｼﾞ緩衝部に於いて格納されて付箋付けされた位置だけを消去します。

33.11.5.4. EEPROMﾍﾟｰｼﾞ書き込み

EEPROMの1ﾍﾟｰｼﾞ内にEEPROMﾍﾟｰｼﾞ緩衝部に格納された全位置を書くのにEEPROMﾍﾟｰｼﾞ書き込み指令が使われます。

1. EEPROMﾍﾟｰｼﾞ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 書くEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.11.5.5. EEPROMﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、最初にEEPROMﾍﾟｰｼﾞを消去してEEPROMの1ﾍﾟｰｼﾞ内にEEPROMﾍﾟｰｼﾞ緩衝部を書くのにEEPROMﾍﾟｰｼﾞ消去&書き込み指令が使われます。

1. EEPROMﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 書くEEPROMﾍﾟｰｼﾞ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.11.5.6. EEPROM消去

EEPROMﾍﾟｰｼﾞ緩衝部に格納されて付箋付けされた位置に対応する全EEPROMﾍﾟｰｼﾞ内の全位置を消去するのにEEPROM消去指令が使われます。

1. EEPROM消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.11.5.7. EEPROM読み込み

EEPROMから2ﾊﾞｲﾄを読むのにEEPROM読み込み指令が使われます。

1. EEPROM読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. 読むEEPROMﾊﾞｲﾄ ｱﾄﾞﾚｽをNVMｱﾄﾞﾚｽ(ADDR2,ADDR1,ADDR0)ﾚｼﾞｽﾀに格納してください。
3. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

読まれたﾊﾞｲﾄ ﾃﾞｰﾀはNVMﾃﾞｰﾀ0(DATA0)ﾚｼﾞｽﾀで利用可能になります。

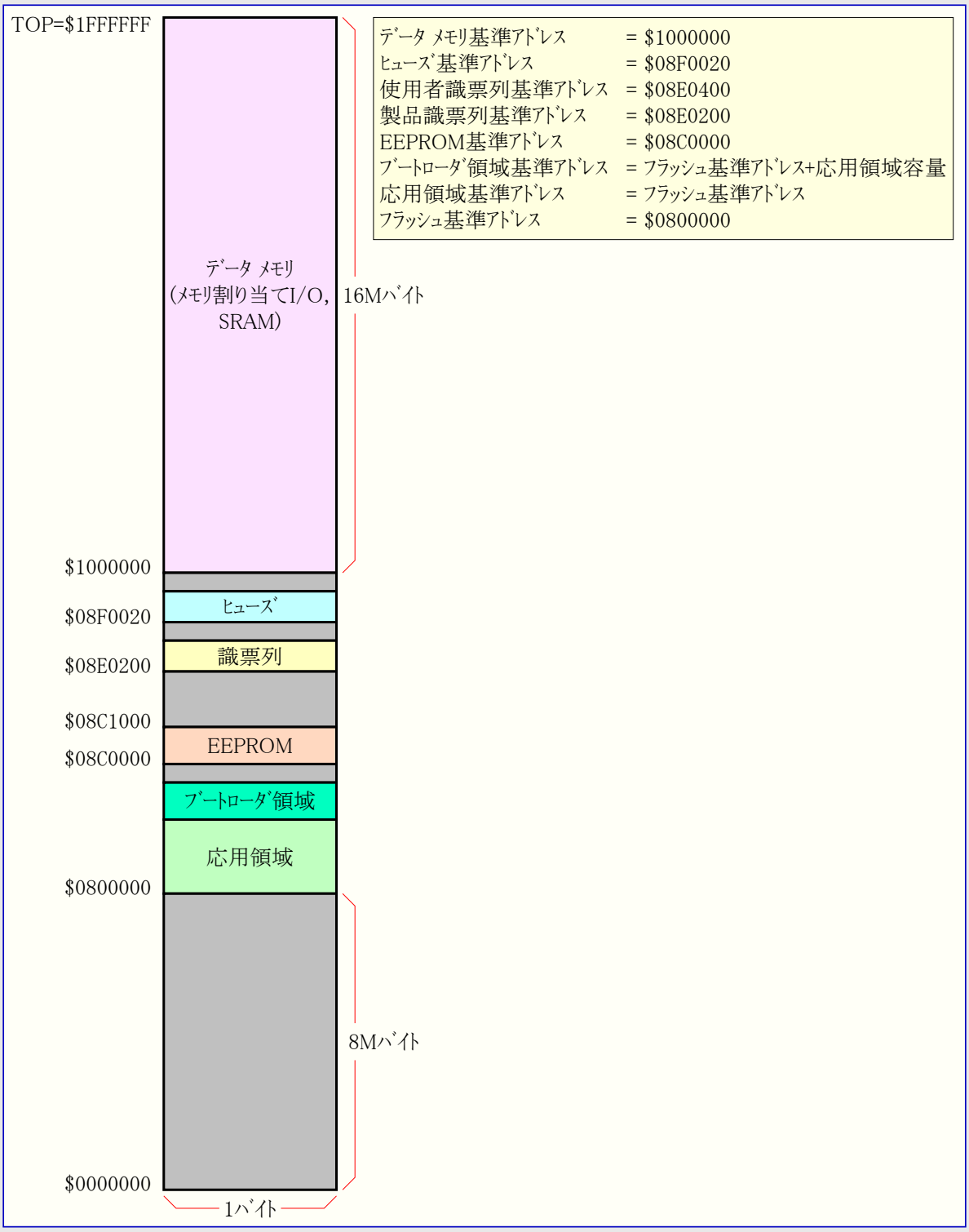
33.12. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞは外部の書き込み器またはﾃﾞﾊﾞｯｶﾞからﾃﾞﾊﾞｲｽ内のｺｰﾄﾞと不揮発性ﾃﾞｰﾀをﾌﾟﾛｸﾞﾗﾐﾝｸﾞするための方法です。これは実装(実装書き込み)で、または大量生産ﾌﾟﾛｸﾞﾗﾐﾝｸﾞの両方によって行うことができます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対して、ﾃﾞﾊﾞｲｽはJTAGまたはPDI物理接続を使い、PDIとPDI制御器を通してｱｸｾｽされます。PDI、JTAGの詳細と物理ｲﾝﾀｰﾌｪｰｽの許可と使用法については280頁の「ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ」を参照してください。本項の残り部分はPDIへの正しい物理接続が許可されているとの前提です。

これを行うことでﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘ空間の全てが直線的なPDIﾒﾓﾘ空間に割り当てられます。図33-3.はPDIﾒﾓﾘ空間とﾃﾞﾊﾞｲｽ内の各ﾒﾓﾘ空間に対する基準ｱﾄﾞﾚｽを示します。

図33-3. ﾃﾞｰﾀとﾌﾟﾛｸﾞﾗﾑのﾒﾓﾘのPDIｱｸｾｽ用ﾒﾓﾘ割り当て



33.12.1. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ｲﾝﾀｰﾌｪｰｽの許可

PDIからのNVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞは以下の手順を用いる許可が必要です。

1. $59をPDIのﾘｾｯﾄ(RESET)ﾚｼﾞｽﾀに格納してください。
2. PDIにNVM鍵を格納してください。
3. NVM許可(NVMEN)が設定(1)されるまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVMENをﾎﾟｰﾘﾝｸﾞしてください。

PDI状態ﾚｼﾞｽﾀのNVMENﾋﾞｯﾄが設定(1)されると、NVMｲﾝﾀｰﾌｪｰｽはPDIから許可され、活性(有効)です。

33.12.2. NVMﾌﾟﾛｸﾞﾗﾐﾝｸﾞ

PDI NVMｲﾝﾀｰﾌｪｰｽが許可されると、ﾃﾞﾊﾞｲｽ内の全てのﾒﾓﾘがPDIｱﾄﾞﾚｽ空間にﾒﾓﾘ割り当てされます。PDI制御器はVNM制御器のｱﾄﾞﾚｽやﾃﾞｰﾀのﾚｼﾞｽﾀのｱｸｾｽが必要ありませんが、NVM制御器は正しい指令を格納されなければなりません(換言すると、どれかのNVMから読むには、PDIBUSｱﾄﾞﾚｽ空間からﾃﾞｰﾀを取得する前に制御器がNVM読み込み指令を格納されなければなりません)。本項の残り部分でのPDIからのﾃﾞｰﾀまたはﾌﾟﾛｸﾞﾗﾑ ﾒﾓﾘ ｱﾄﾞﾚｽの読み書きへの全ての参照については、301頁の**図33-3.**で示されるﾒﾓﾘ割り当てを参照してください。

PDIはﾊﾞｲﾄ ｱﾄﾞﾚｽ指定を使い、従って全てのﾒﾓﾘ ｱﾄﾞﾚｽはﾊﾞｲﾄ ｱﾄﾞﾚｽでなければなりません。ﾌﾗｯｼｭまたはEEPROMのﾍﾟｰｼﾞ緩衝部を満たす時に、ﾍﾟｰｼﾞ緩衝部内の位置を決めるのにｱﾄﾞﾚｽの最下位側だけが使われます。それでも、正しいｱﾄﾞﾚｽ割り当てを保証するために、ﾌﾗｯｼｭまたはEEPROMのﾍﾟｰｼﾞに対して完全なﾒﾓﾘ割り当てｱﾄﾞﾚｽが必要とされます。使用者はﾍﾟｰｼﾞ緩衝部の取得と書き込みの両方に関し、ﾍﾟｰｼﾞ境界に注意を払わなければなりません。

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(ﾍﾟｰｼﾞ消去とﾍﾟｰｼﾞ書き込み)中でNVMが多忙の時に、NVMが読み込みに対して防がれます。

33.12.3. NVM指令

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞからNVMﾒﾓﾘをｱｸｾｽするのに使えるNVM指令が次頁の**表33-5.**で一覧されます。

外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞに対する活動起動指令の起動はNVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)することです。読み込み起動指令はPDIからの直接または間接の取得(LDSまたはLD)命令によって起動されます(PDI読み)。書き込み起動指令はPDIからの直接または間接の格納(STSまたはST)命令によって起動されます(PDI書き)。

304頁の「**ﾁｯﾌﾟ消去**」～305頁の「**ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ書き込み**」は各NVM操作に対する方法を詳細に説明します。指令は施錠ﾋﾞｯﾄによって保護されており、読み書き施錠が設定されている場合、ﾁｯﾌﾟ消去とﾌﾗｯｼｭCRC指令だけが利用可能です。

表33-5. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞで利用可能なNVM指令

CMD6~0	指令/操作	起動源	NVM多忙	変更保護
$00	無操作	-	-	-
$40	ﾁｯﾌﾟ消去 (注1)	CMDEX	Y	Y
$43	NVM読み込み	PDI読み	N	N
ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部				
$23	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納(設定)	PDI書き	N	N
$26	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去	CMDEX	Y	Y
ﾌﾗｯｼｭ ﾒﾓﾘ全体				
$2B	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$2E	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$2F	ﾌﾗｯｼｭ ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$78	ﾌﾗｯｼｭ CRC	CMDEX	Y	Y
応用領域ﾌﾗｯｼｭ ﾒﾓﾘ				
$20	応用領域消去	PDI書き	Y	N
$22	応用領域ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$24	応用領域ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$25	応用領域ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$38	応用領域 CRC	CMDEX	Y	Y
ﾌﾞｰﾄﾛｰﾀﾞ領域ﾌﾗｯｼｭ ﾒﾓﾘ				
$68	ﾌﾞｰﾄﾛｰﾀﾞ領域消去	PDI書き	Y	N
$2A	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去	PDI書き	Y	N
$2C	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$2D	ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$39	ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC	CMDEX	Y	Y
製品識票(校正)領域(注2)と使用者識票領域				
$01	使用者識票列読み込み	PDI読み	N	N
$18	使用者識票列消去	PDI書き	Y	N
$1A	使用者識票列書き込み	PDI書き	Y	N
$02	校正列読み込み	PDI読み	N	N
ﾋｭｰｽﾞと施錠ﾋﾞｯﾄ				
$07	ﾋｭｰｽﾞ読み込み	PDI読み	N	N
$4C	ﾋｭｰｽﾞ書き込み	PDI書き	Y	N
$08	施錠ﾋﾞｯﾄ書き込み	PDI書き/CMDEX	Y	N/Y
EEPROM ﾍﾟｰｼﾞ緩衝部				
$33	EEPROM ﾍﾟｰｼﾞ緩衝部格納(設定)	PDI書き	N	N
$36	EEPROM ﾍﾟｰｼﾞ緩衝部消去	CMDEX	Y	Y
EEPROM				
$30	EEPROM消去	PDI書き	Y	N
$32	EEPROMﾍﾟｰｼﾞ消去	PDI書き	Y	N
$34	EEPROMﾍﾟｰｼﾞ書き込み	PDI書き	Y	N
$35	EEPROMﾍﾟｰｼﾞ消去&書き込み	PDI書き	Y	N
$06	EEPROM読み込み	PDI読み	N	N

注1: EESAVEﾋｭｰｽﾞがﾌﾟﾛｸﾞﾗﾑ(0)されている場合、EEPROMはﾁｯﾌﾟ消去の間、保護されます。

注2: 一貫性のため、名称の校正列はﾃﾞｰﾀｼｰﾄ全体を通して製品識票列に改名されています。

33.12.3.1. ﾁｯﾌﾟ消去

ﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、施錠ﾋﾞｯﾄを消去するのにﾁｯﾌﾟ消去指令が使われます。EEPROMの消去はEESAVEﾋｭｰｽﾞ設定に依存し、この詳細については24頁の「FUSEBYTE5 – ﾋｭｰｽﾞ ﾊﾞｲﾄ5」を参照してください。使用者識票列、製品識票(校正)列、それとﾋｭｰｽﾞは影響を及ぼされません。

1. ﾁｯﾌﾟ消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性ﾒﾓﾘ(NVM)間のPDIﾊﾞｽは禁止され、この操作が終了するまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVM許可(NVMEN)ﾋﾞｯﾄが解除(0)されます。NVMENﾋﾞｯﾄが設定(1)されるまでﾎﾟｰﾘﾝｸﾞしてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.2. NVM読み込み

ﾌﾗｯｼｭ ﾒﾓﾘ、EEPROM、識票列、製品識票(校正)列を読むのにNVM読み込み指令が使われます。

1. NVM読み込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI読み込み操作を実行することによって選択したﾒﾓﾘ ｱﾄﾞﾚｽを読んでください。

専用のEEPROM読み込み、ﾋｭｰｽﾞ読み込み、識票列読み込み、製品識票(校正)列読み込み指令も各種ﾒﾓﾘ領域に対して利用可能です。これらの指令に対する方法はNVM読み込み指令に対するものと同じです。

33.12.3.3. ﾍﾟｰｼﾞ緩衝部消去

ﾌﾗｯｼｭとEEPROMのﾍﾟｰｼﾞ緩衝部を消去するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去とEEPROMﾍﾟｰｼﾞ緩衝部消去指令が使われます。

1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部消去/EEPROMﾍﾟｰｼﾞ緩衝部消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.4. ﾍﾟｰｼﾞ緩衝部格納 (設定)

ﾌﾗｯｼｭとEEPROMのﾍﾟｰｼﾞ緩衝部内に1ﾊﾞｲﾄのﾃﾞｰﾀを格納するのにﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納とEEPROMﾍﾟｰｼﾞ緩衝部格納指令が使われます。

1. ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部格納/EEPROMﾍﾟｰｼﾞ緩衝部格納指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI書き込み操作を行うことによって選択したﾒﾓﾘ ｱﾄﾞﾚｽに書いてください。

ﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部は語(ﾜｰﾄﾞ)ｱｸｾｽで、PDIがﾊﾞｲﾄ ｱｸｾｽを使うので、PDIは正しい順序でﾌﾗｯｼｭ ﾍﾟｰｼﾞ緩衝部に書かなければなりません。書き込み操作については語の下位ﾊﾞｲﾄが上位ﾊﾞｲﾄに先立って書かれなければなりません。この下位ﾊﾞｲﾄは一時ﾚｼﾞｽﾀ内に書かれます。そしてPDIが語位置の上位ﾊﾞｲﾄを書くのと同じｸﾛｯｸ周期で、この下位ﾊﾞｲﾄがﾍﾟｰｼﾞ緩衝部の語位置に書かれます。

PDIは次のPDI命令を実行できるようになるのに先立って自動的に停止されます。

33.12.3.5. ﾍﾟｰｼﾞ消去

選択したﾒﾓﾘ空間の内の1ﾍﾟｰｼﾞを消去するのに応用領域ﾍﾟｰｼﾞ消去、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去、EEPROMﾍﾟｰｼﾞ消去、使用者識票列消去指令が使われます。

1. 応用領域ﾍﾟｰｼﾞ消去/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去/EEPROMﾍﾟｰｼﾞ消去/使用者識票列消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.6. ﾍﾟｰｼﾞ書き込み

選択したﾒﾓﾘ空間内に格納(設定)されたﾌﾗｯｼｭ/EEPROM ﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ書き込み、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み、EEPROMﾍﾟｰｼﾞ書き込み、使用者識票列書き込み指令が使われます。

1. 応用領域ﾍﾟｰｼﾞ書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ書き込み/EEPROMﾍﾟｰｼﾞ書き込み/使用者識票列書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択ﾍﾟｰｼﾞを書いてください。ﾍﾟｰｼﾞはﾍﾟｰｼﾞ内の何処かのﾊﾞｲﾄ位置をｱﾄﾞﾚｽ指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.7. ﾍﾟｰｼﾞ 消去&書き込み

1つの非分断操作で、選択したﾒﾓﾘ空間に於いて1ﾍﾟｰｼﾞを消去してその後にそのﾍﾟｰｼﾞ内にﾌﾗｯｼｭ/EEPROMﾍﾟｰｼﾞ緩衝部を書くのに応用領域ﾍﾟｰｼﾞ消去&書き込み、ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み、EEPROMﾍﾟｰｼﾞ消去&書き込み指令が使われます。

1. 応用領域ﾍﾟｰｼﾞ消去&書き込み/ﾌﾞｰﾄﾛｰﾀﾞ領域ﾍﾟｰｼﾞ消去&書き込み/EEPROMﾍﾟｰｼﾞ消去&書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択ﾍﾟｰｼﾞを書いてください。ﾍﾟｰｼﾞはﾍﾟｰｼﾞ内の何処かのﾊﾞｲﾄ位置をｱﾄﾞﾚｽ指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.8. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域/EEPROM消去

選択した領域全体を消去するのに応用領域消去、ﾌﾞｰﾄﾛｰﾀﾞ領域消去、EEPROM消去指令が使われます。

1. 応用領域消去/ﾌﾞｰﾄﾛｰﾀﾞ領域消去/EEPROM消去指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. PDI書き込み操作を行うことによって選択したﾒﾓﾘ領域を書いてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

33.12.3.9. 応用領域/ﾌﾞｰﾄﾛｰﾀﾞ領域 CRC

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)後に選択した領域内容を検証するのに応用領域CRCとﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令が使われます。

1. 応用領域CRC/ﾌﾞｰﾄﾛｰﾀﾞ領域CRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに設定してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間制限手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になります。

33.12.3.10. ﾌﾗｯｼｭ CRC

ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ(書き込み)後にﾌﾟﾛｸﾞﾗﾑ用ﾌﾗｯｼｭ ﾒﾓﾘの内容を検証するのにﾌﾗｯｼｭCRC指令が使われます。

1. ﾌﾗｯｼｭCRC指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. NVM制御ﾚｼﾞｽﾀA(CTRLA)の指令実行(CMDEX)ﾋﾞｯﾄを設定(1)してください。これは自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ中にCCP時間制限手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性ﾒﾓﾘ(NVM)間のPDIﾊﾞｽは禁止され、この操作が終了するまでPDI状態(STATUS)ﾚｼﾞｽﾀのNVM許可(NVMEN)ﾋﾞｯﾄが解除(0)されます。PDIﾊﾞｽの許可を示すNVMENﾋﾞｯﾄが再び設定(1)されるまでﾎﾟｰﾘﾝｸﾞしてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。CRCﾁｪｯｸｻﾑはNVMﾃﾞｰﾀ(DATA2,DATA1,DATA0)ﾚｼﾞｽﾀで利用可能になります。

33.12.3.11. ﾋｭｰｽﾞ/施錠ﾋﾞｯﾄ書き込み

ﾋｭｰｽﾞともっと安全な設定へ施錠ﾋﾞｯﾄを書くのにﾋｭｰｽﾞ書き込みと施錠ﾋﾞｯﾄ書き込み指令が使われます。

1. ﾋｭｰｽﾞ書き込み/施錠ﾋﾞｯﾄ書き込み指令をNVM指令(CMD)ﾚｼﾞｽﾀに格納してください。
2. PDI書き込み操作を行うことによって選択したﾋｭｰｽﾞまたは施錠ﾋﾞｯﾄを書いてください。

この操作が終了されるまでNVM状態(STATUS)ﾚｼﾞｽﾀのNVM多忙(NVMBUSY)ﾌﾗｸﾞが設定(1)されます。

施錠ﾋﾞｯﾄ書き込みに関しては(CMDEX起動の)施錠ﾋﾞｯﾄ書き込み指令も使用できます。

33.13. ﾚｼﾞｽﾀ説明

NVM制御器の完全なﾚｼﾞｽﾀ記述については19頁の「**ﾚｼﾞｽﾀ説明 – NVM制御器**」を参照してください。

PDIの完全なﾚｼﾞｽﾀ記述については288頁の「**ﾚｼﾞｽﾀ説明 – PDI制御/状態ﾚｼﾞｽﾀ**」を参照してください。

33.14. ﾚｼﾞｽﾀ要約

NVM制御器の完全なﾚｼﾞｽﾀ要約については35頁の「**ﾚｼﾞｽﾀ要約 – NVM制御器**」を参照してください。

PDIの完全なﾚｼﾞｽﾀ要約については289頁の「**ﾚｼﾞｽﾀ要約**」を参照してください。

34. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

ｱﾄﾞﾚｽ割り当て表はXMEGA内の各周辺機能と単位部に対する基準ｱﾄﾞﾚｽを示します。全てのXMEGAﾃﾞﾊﾞｲｽに全ての周辺機能と単位部が存在する訳でなく、特定ﾃﾞﾊﾞｲｽに対する周辺機能単位部ｱﾄﾞﾚｽ割り当てについてはﾃﾞﾊﾞｲｽのﾃﾞｰﾀｼｰﾄを参照してください。

表34-1. 周辺機能単位部ｱﾄﾞﾚｽ割り当て

基準ｱﾄﾞﾚｽ	名称	意味	頁	基準ｱﾄﾞﾚｽ	名称	意味	頁
$0000	GPIO	汎用I/Oﾚｼﾞｽﾀ	37	$0640	PORTC	ﾎﾟｰﾄC	
$0010	VPORT0	仮想ﾎﾟｰﾄ0		$0660	PORTD	ﾎﾟｰﾄD	
$0014	VPORT1	仮想ﾎﾟｰﾄ1	110	$0680	PORTE	ﾎﾟｰﾄE	
$0018	VPORT2	仮想ﾎﾟｰﾄ2		$06A0	PORTF	ﾎﾟｰﾄF	
$001C	VPORT3	仮想ﾎﾟｰﾄ3		$06E0	PORTH	ﾎﾟｰﾄH	109
$0030	CPU	CPU	14	$0700	PORTJ	ﾎﾟｰﾄJ	
$0040	CLK	ｸﾛｯｸ制御	71	$0720	PORTK	ﾎﾟｰﾄK	
$0048	SLEEP	休止制御器	76	$07C0	PORTQ	ﾎﾟｰﾄQ	
$0050	OSC	発振器制御	71	$07E0	PORTR	ﾎﾟｰﾄR	
$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	71	$0800	TCC0	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ0	127
$0068	DFLLRC2M	2MHz内部RC発振器用DFLL		$0840	TCC1	ﾎﾟｰﾄCのﾀｲﾏ/ｶｳﾝﾀ1	
$0070	PR	電力削減	76	$0880	AWEXC	ﾎﾟｰﾄCの新波形拡張	144
$0078	RST	ﾘｾｯﾄ制御器	80	$0890	HIRESC	ﾎﾟｰﾄCの高分解能拡張	146
$0080	WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ	89	$08A0	USARTC0	ﾎﾟｰﾄCのUSART0	210
$0090	MCU	MCU制御	37	$08B0	USARTC1	ﾎﾟｰﾄCのUSART1	
$00A0	PMIC	設定可能な多段割り込み制御器	94	$08C0	SPIC	ﾎﾟｰﾄCの直列周辺ｲﾝﾀｰﾌｪｰｽ	195
$00B0	PORTCFG	ﾎﾟｰﾄ構成設定	109	$08F8	IRCOM	赤外線通信単位部	213
$00C0	AES	AES暗号単位部	221	$0900	TCD0	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ0	127
$00D0	CRC	CRC単位部	224	$0940	TCD1	ﾎﾟｰﾄDのﾀｲﾏ/ｶｳﾝﾀ1	
$00F0	VBAT	電池代替支援ｼｽﾃﾑ	85	$0980	AWEXD	ﾎﾟｰﾄDの高分解能拡張	144
$0100	DMA	DMA制御器	49	$0990	HIRESD	ﾎﾟｰﾄDの新波形拡張	146
$0180	EVSYS	事象ｼｽﾃﾑ	56	$09A0	USARTD0	ﾎﾟｰﾄDのUSART0	210
$01C0	NVM	不揮発性ﾒﾓﾘ(NVM)制御器	35	$09B0	USARTD1	ﾎﾟｰﾄDのUSART1	
$0200	ADCA	ﾎﾟｰﾄAのA/D変換器	258	$09C0	SPID	ﾎﾟｰﾄDの直列周辺ｲﾝﾀｰﾌｪｰｽ	195
$0240	ADCB	ﾎﾟｰﾄBのA/D変換器		$0A00	TCE0	ﾎﾟｰﾄEのﾀｲﾏ/ｶｳﾝﾀ0	127
$0300	DACA	ﾎﾟｰﾄAのD/A変換器	267	$0A40	TCE1	ﾎﾟｰﾄEのﾀｲﾏ/ｶｳﾝﾀ1	
$0320	DACB	ﾎﾟｰﾄBのD/A変換器		$0A80	AWEXE	ﾎﾟｰﾄEの新波形拡張	144
$0380	ACA	ﾎﾟｰﾄAのｱﾅﾛｸﾞ比較器	274	$0A90	HIRESE	ﾎﾟｰﾄEの高分解能拡張	146
$0390	ACB	ﾎﾟｰﾄBのｱﾅﾛｸﾞ比較器		$0AA0	USARTE0	ﾎﾟｰﾄEのUSART0	210
$0400	RTC	実時間計数器	151	$0AB0	USARTE1	ﾎﾟｰﾄEのUSART1	
$0420	RTC32	32ﾋﾞｯﾄ実時間計数器	156	$0AC0	SPIE	ﾎﾟｰﾄEの直列周辺ｲﾝﾀｰﾌｪｰｽ	195
$0440	EBI	外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ	238	$0B00	TCF0	ﾎﾟｰﾄFのﾀｲﾏ/ｶｳﾝﾀ0	127
$0480	TWIC	ﾎﾟｰﾄCの2線ｲﾝﾀｰﾌｪｰｽ		$0B40	TCF1	ﾎﾟｰﾄFのﾀｲﾏ/ｶｳﾝﾀ1	
$0490	TWID	ﾎﾟｰﾄDの2線ｲﾝﾀｰﾌｪｰｽ	195	$0B80	AWEXF	ﾎﾟｰﾄFの新波形拡張	144
$04A0	TWIE	ﾎﾟｰﾄEの2線ｲﾝﾀｰﾌｪｰｽ		$0B90	HIRESF	ﾎﾟｰﾄFの高分解能拡張	146
$04B0	TWIF	ﾎﾟｰﾄFの2線ｲﾝﾀｰﾌｪｰｽ		$0BA0	USARTF0	ﾎﾟｰﾄFのUSART0	210
$04C0	USB	万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ	176	$0BB0	USARTF1	ﾎﾟｰﾄFのUSART1	
$0600	PORTA	ﾎﾟｰﾄA	109	$0BC0	SPIF	ﾎﾟｰﾄFの直列周辺ｲﾝﾀｰﾌｪｰｽ	195
$0620	PORTB	ﾎﾟｰﾄB					

35. 命令一式要約

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
算術、論理演算命令					
ADD	Rd,Rr	汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の加算	Rd ← Rd + Rr + C	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長加算	RdH:RdL ← RdH:RdL + K	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用ﾚｼﾞｽﾀから即値の減算	Rd ← Rd - K	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ﾜｰﾄﾞ)長減算	RdH:RdL ← RdH:RdL - K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の減算	Rd ← Rd - Rr - C	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用ﾚｼﾞｽﾀからｷｬﾘｰと即値の減算	Rd ← Rd - K - C	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用ﾚｼﾞｽﾀと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用ﾚｼﾞｽﾀ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← $FF - Rd	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	Rd ← $00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用ﾚｼﾞｽﾀの(複数)ﾋﾞｯﾄ解除(0)	Rd ← Rd AND ($FF - K)	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用ﾚｼﾞｽﾀの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用ﾚｼﾞｽﾀの減少(-1)	Rd ← Rd - 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用ﾚｼﾞｽﾀのｾﾞﾛとﾏｲﾅｽ検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用ﾚｼﾞｽﾀの全0設定(=$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用ﾚｼﾞｽﾀの全1設定(=$FF)	Rd ← $FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	R1:R0 ← Rd×Rr (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	R1:R0 ← Rd×Rr (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	R1:R0 ← Rd×Rr (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	R1:R0 ← (Rd×Rr)<<1 (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	ﾃﾞｰﾀ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2
IJMP		Zﾚｼﾞｽﾀ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zﾚｼﾞｽﾀ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← PC + k + 1	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← Z	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zﾚｼﾞｽﾀ間接ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← EIND:Z	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対ｻﾌﾞﾙｰﾁﾝ呼び出し	STACK ← PC, PC ← k	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		ｻﾌﾞﾙｰﾁﾝからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用ﾚｼﾞｽﾀ間比較、一致でｽｷｯﾌﾟ	Rd=Rrなら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	ｷｬﾘｰを含めた汎用ﾚｼﾞｽﾀ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用ﾚｼﾞｽﾀと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	Rr(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが解除(0)でｽｷｯﾌﾟ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄが設定(1)でｽｷｯﾌﾟ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ｽﾃｰﾀｽ ﾌﾗｸﾞが解除(0)で分岐	SREG(s)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	ｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCC	k	ｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(ﾏｲﾅｽ)で分岐	N=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(ﾌﾟﾗｽ)で分岐	N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時ﾌﾗｸﾞが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時ﾌﾗｸﾞが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れﾌﾗｸﾞが設定(1)で分岐	V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れﾌﾗｸﾞが解除(0)で分岐	V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾃﾞｰﾀ移動命令					
MOV	Rd,Rr	汎用ﾚｼﾞｽﾀ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用ﾚｼﾞｽﾀ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xﾚｼﾞｽﾀ間接での取得	Rd ← (X)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXﾚｼﾞｽﾀ間接での取得	Rd ← (X), X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXﾚｼﾞｽﾀ間接での取得	X ← X - 1, Rd ← (X)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yﾚｼﾞｽﾀ間接での取得	Rd ← (Y)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y), Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYﾚｼﾞｽﾀ間接での取得	Y ← Y - 1, Rd ← (Y)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYﾚｼﾞｽﾀ間接での取得	Rd ← (Y + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zﾚｼﾞｽﾀ間接での取得	Rd ← (Z)	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZﾚｼﾞｽﾀ間接での取得	Z ← Z - 1, Rd ← (Z)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZﾚｼﾞｽﾀ間接での取得	Rd ← (Z + q)	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	ﾃﾞｰﾀ空間(SRAM)から直接取得	Rd ← (k)	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xﾚｼﾞｽﾀ間接での設定	(X) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXﾚｼﾞｽﾀ間接での設定	(X) ← Rr, X ← X + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXﾚｼﾞｽﾀ間接での設定	X ← X - 1, (X) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yﾚｼﾞｽﾀ間接での設定	(Y) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYﾚｼﾞｽﾀ間接での設定	(Y) ← Rr, Y ← Y + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYﾚｼﾞｽﾀ間接での設定	Y ← Y - 1, (Y) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYﾚｼﾞｽﾀ間接での設定	(Y + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zﾚｼﾞｽﾀ間接での設定	(Z) ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZﾚｼﾞｽﾀ間接での設定	(Z) ← Rr, Z ← Z + 1	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZﾚｼﾞｽﾀ間接での設定	Z ← Z - 1, (Z) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZﾚｼﾞｽﾀ間接での設定	(Z + q) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	ﾃﾞｰﾀ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2 (注1)
LPM		ﾌﾟﾛｸﾞﾗﾑ領域からZﾚｼﾞｽﾀ間接での取得	R0 ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (Z)	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	Rd ← (Z), Z ← Z + 1	I,T,H,S,V,N,Z,C	3
ELPM		ﾌﾟﾛｸﾞﾗﾑ領域から拡張Zﾚｼﾞｽﾀ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のﾚｼﾞｽﾀへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	Rd ← (RAMPZ:Z), RAMPZ:Z ← RAMPZ:Z + 1	I,T,H,S,V,N,Z,C	3
SPM		ﾌﾟﾛｸﾞﾗﾑ領域へZ ﾚｼﾞｽﾀ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	(Z) ← R1:R0, RAMPZ:Z ← RAMPZ:Z + 2	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oﾚｼﾞｽﾀからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oﾚｼﾞｽﾀへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用ﾚｼﾞｽﾀをｽﾀｯｸへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	ｽﾀｯｸから汎用ﾚｼﾞｽﾀへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	Temp←Rd, Rd←(Z), (Z)←Temp	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ﾋﾞｯﾄ設定(1)	Temp←Rd, Rd←(Z), (Z)←Temp OR (Z)	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ﾋﾞｯﾄ解除(0)	Temp←Rd, Rd←(Z), (Z)←($FF-Temp) AND (Z)	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ﾋﾞｯﾄ反転	Temp←Rd, Rd←(Z), (Z)←Temp EOR (Z)	I,T,H,S,V,N,Z,C	2

ﾆｰﾓﾆｯｸ	ｵﾍﾟﾗﾝﾄﾞ	意味	動作	ﾌﾗｸﾞ	ｸﾛｯｸ
ﾋﾞｯﾄ関係命令					
SBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	I/O(P,b) ← 1	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	I/O(P,b) ← 0	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ﾋﾞｯﾄ移動	Rd(n+1) ← Rd(n), Rd(0) ← 0	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), Rd(7) ← 0	I,T,H,S,V,0,Z,C	1
ROL	Rd	ｷｬﾘｰを含めた左回転	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	I,T,H,S,V,N,Z,C	1
ROR	Rd	ｷｬﾘｰを含めた右回転	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ﾋﾞｯﾄ移動	Rd(n) ← Rd(n+1), n=0～6	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ﾆﾌﾞﾙ(4ﾋﾞｯﾄ)上位/下位交換	Rd(7～4) ⇔ Rd(3～0)	I,T,H,S,V,N,Z,C	1
BSET	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ設定(1)	SREG(s) ← 1	1,1,1,1,1,1,1,1	1
BCLR	s	ｽﾃｰﾀｽ ﾚｼﾞｽﾀのﾋﾞｯﾄ解除(0)	SREG(s) ← 0	0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用ﾚｼﾞｽﾀのﾋﾞｯﾄを一時ﾌﾗｸﾞへ移動	T ← Rr(b)	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時ﾌﾗｸﾞを汎用ﾚｼﾞｽﾀのﾋﾞｯﾄへ移動	Rd(b) ← T	I,T,H,S,V,N,Z,C	1
SEC		ｷｬﾘｰ ﾌﾗｸﾞを設定(1)	C ← 1	I,T,H,S,V,N,Z,1	1
CLC		ｷｬﾘｰ ﾌﾗｸﾞを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1
SEN		負ﾌﾗｸﾞを設定(1)	N ← 1	I,T,H,S,V,1,Z,C	1
CLN		負ﾌﾗｸﾞを解除(0)	N ← 0	I,T,H,S,V,0,Z,C	1
SEZ		ｾﾞﾛ ﾌﾗｸﾞを設定(1)	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		ｾﾞﾛ ﾌﾗｸﾞを解除(0)	Z ← 0	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	I ← 1	1,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	0,T,H,S,V,N,Z,C	1
SES		符号ﾌﾗｸﾞを設定(1)	S ← 1	I,T,H,1,V,N,Z,C	1
CLS		符号ﾌﾗｸﾞを解除(0)	S ← 0	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れﾌﾗｸﾞを設定(1)	V ← 1	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れﾌﾗｸﾞを解除(0)	V ← 0	I,T,H,S,0,N,Z,C	1
SET		一時ﾌﾗｸﾞを設定(1)	T ← 1	I,1,H,S,V,N,Z,C	1
CLT		一時ﾌﾗｸﾞを解除(0)	T ← 0	I,0,H,S,V,N,Z,C	1
SEH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを設定(1)	H ← 1	I,T,1,S,V,N,Z,C	1
CLH		ﾊｰﾌｷｬﾘｰ ﾌﾗｸﾞを解除(0)	H ← 0	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ﾘｾｯﾄ	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ機能専用(ﾃﾞﾊﾞｯｶﾞが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K ：4, 6, 8ﾋﾞｯﾄ定数　　P ：I/Oﾚｼﾞｽﾀ　　Rd, Rr ：汎用ﾚｼﾞｽﾀ(R0～R31)

X, Y, Z ：X, Y, Zﾚｼﾞｽﾀ　　b ：ﾋﾞｯﾄ(0～7)　　k ：ｱﾄﾞﾚｽ定数(7,12,16ﾋﾞｯﾄ)

q ：符号なし6ﾋﾞｯﾄ定数(変位)　　s ：ｽﾃｰﾀｽ ﾌﾗｸﾞ(C,Z,N,V,X,H,T,I)

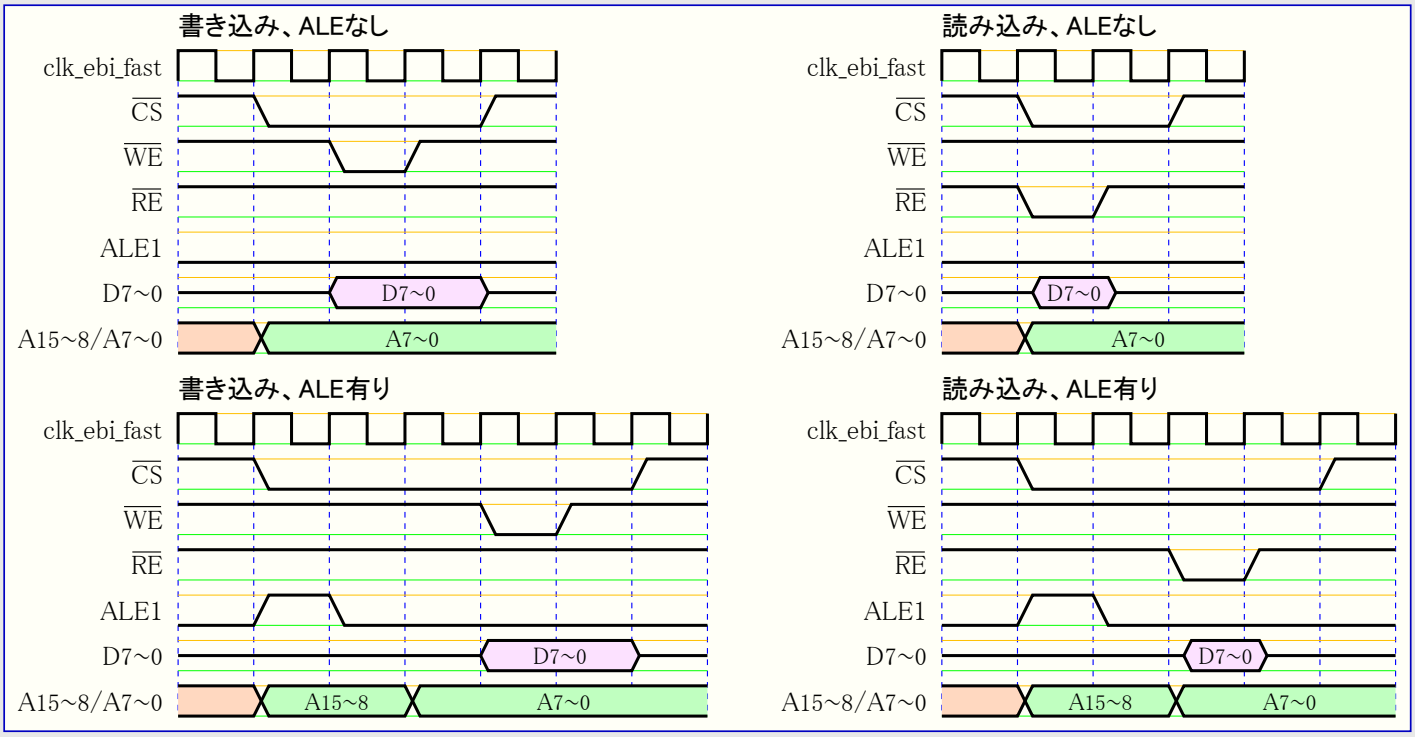
注1: ﾃﾞｰﾀ ﾒﾓﾘ ｱｸｾｽに対する周期数は内部ﾒﾓﾘ ｱｸｾｽを仮定し、外部ﾒﾓﾘ ｲﾝﾀｰﾌｪｰｽ経由のｱｸｾｽに対しては有効ではありません。

注2: 内部SRAMｱｸｾｽ時に1つの付加周期が追加されなければなりません。

36. 追補A：EBIﾀｲﾐﾝｸﾞ図

36.1. SRAM 3ﾎﾟｰﾄ, ALE1, CS

図36-1. SRAM 3ﾎﾟｰﾄ, ALE1, CS



36.2. SRAM 3ﾎﾟｰﾄ, ALE1, ALE2, CS

図36-2. SRAM 3ﾎﾟｰﾄ, ALE1, ALE2, CS

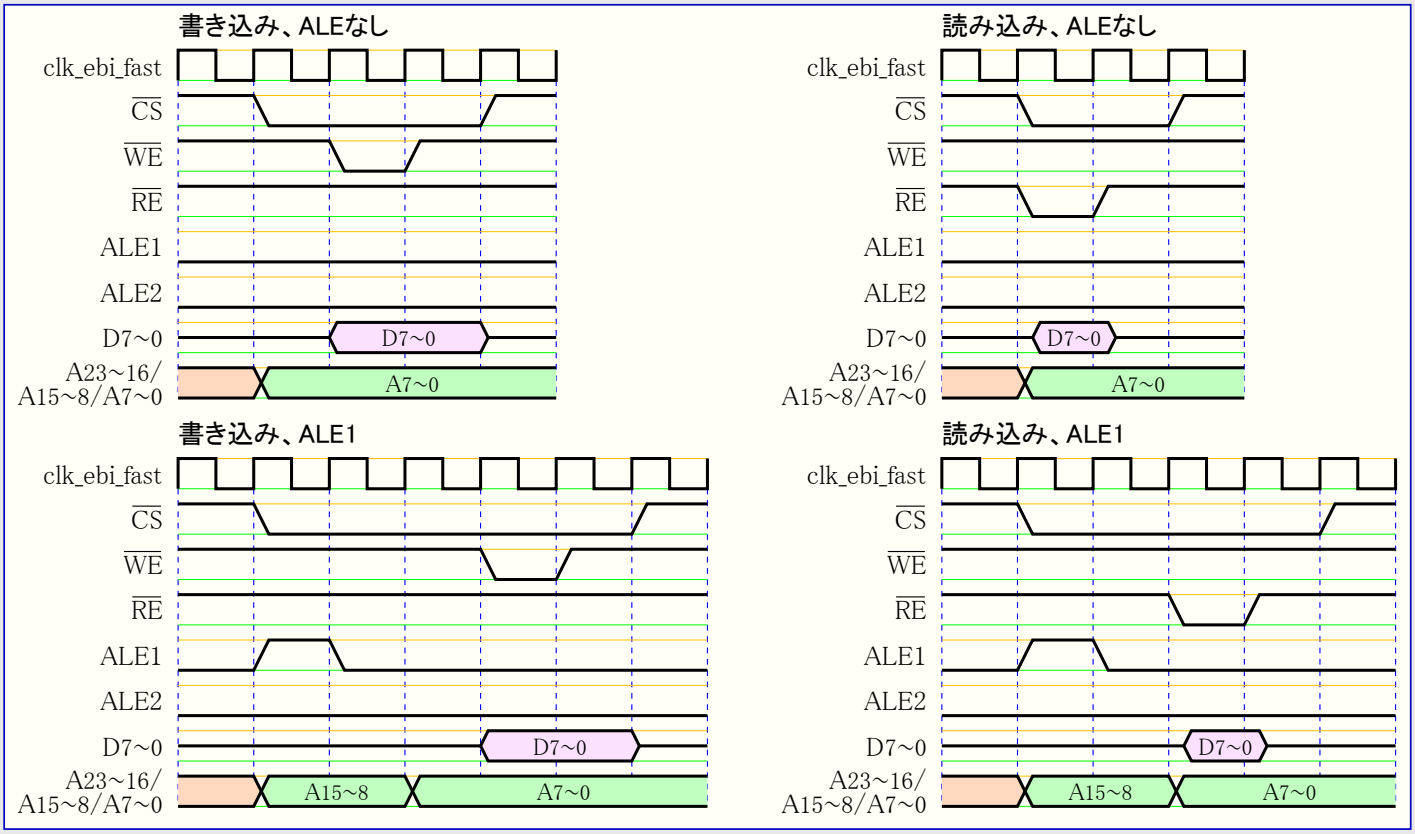
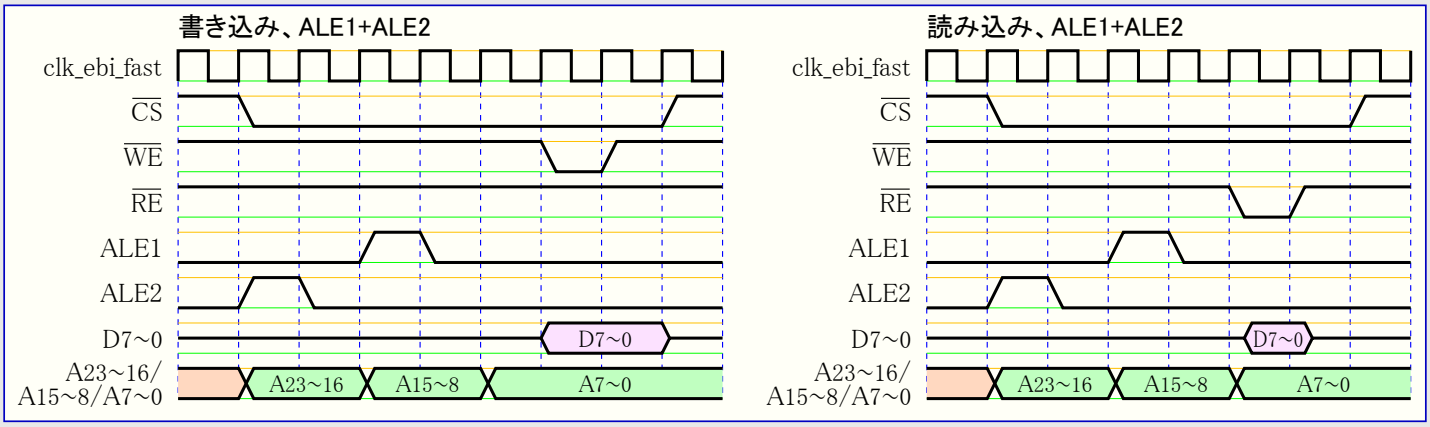
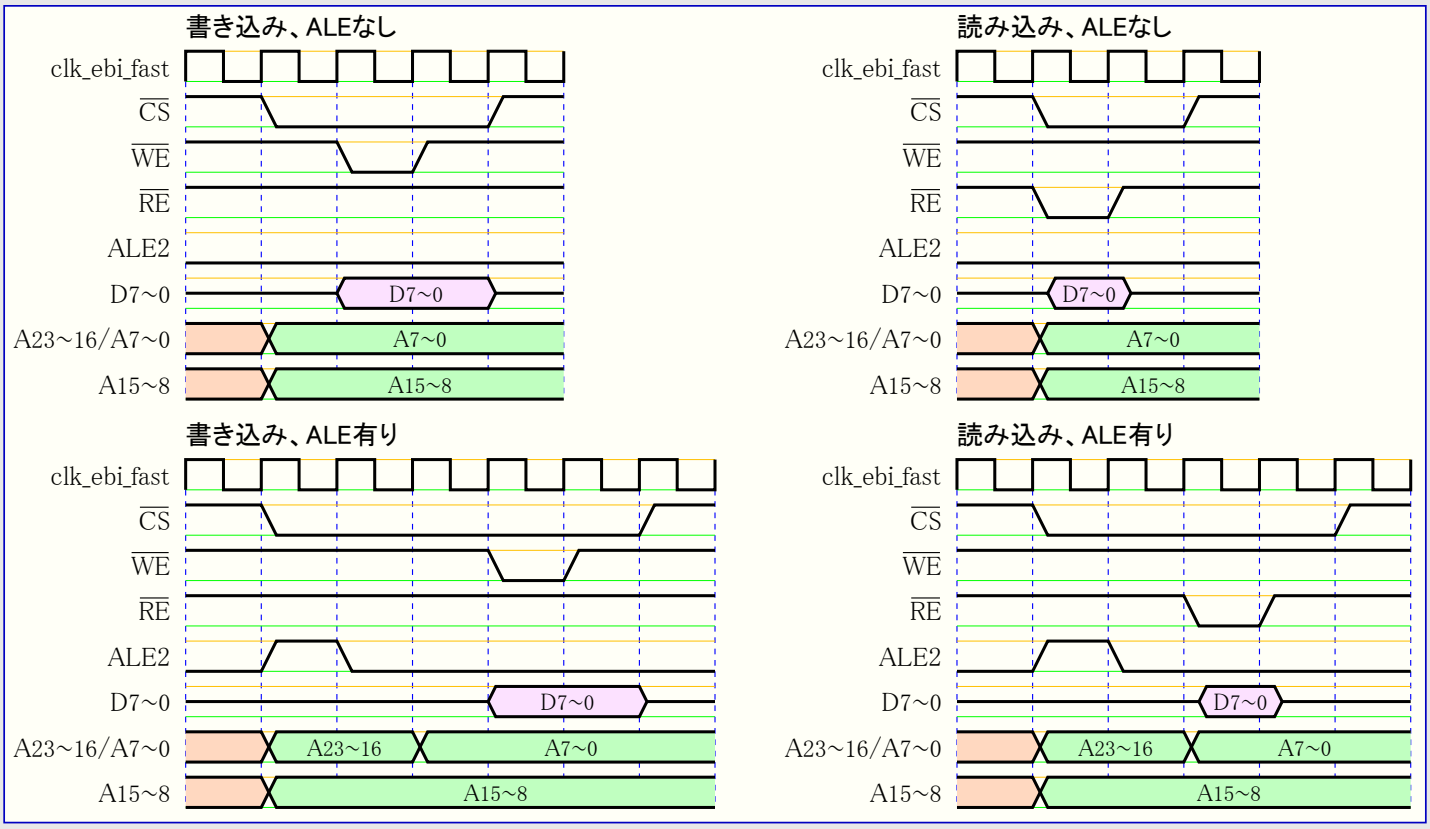


図36-2(続き). SRAM 3ﾎﾟｰﾄ, ALE1, ALE2, CS



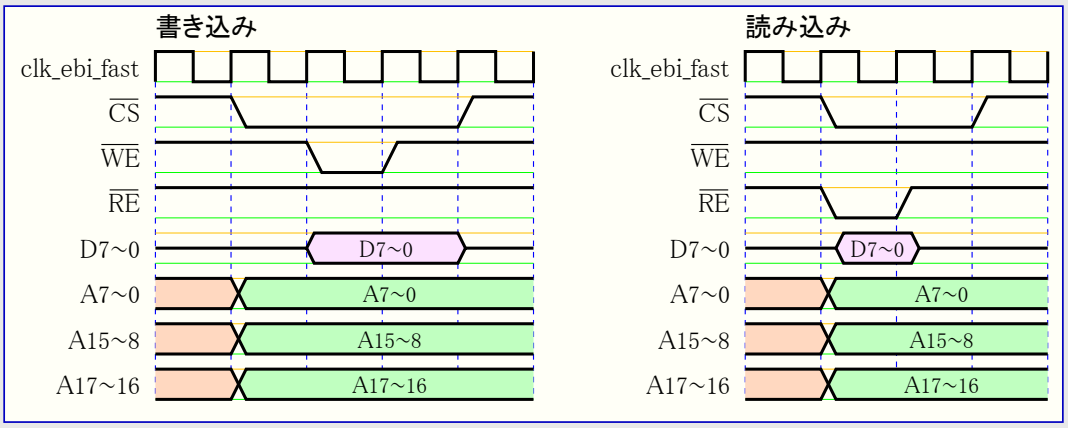
36.3. SRAM 4ﾎﾟｰﾄ, ALE2, CS

図36-3. SRAM 4ﾎﾟｰﾄ, ALE2, CS



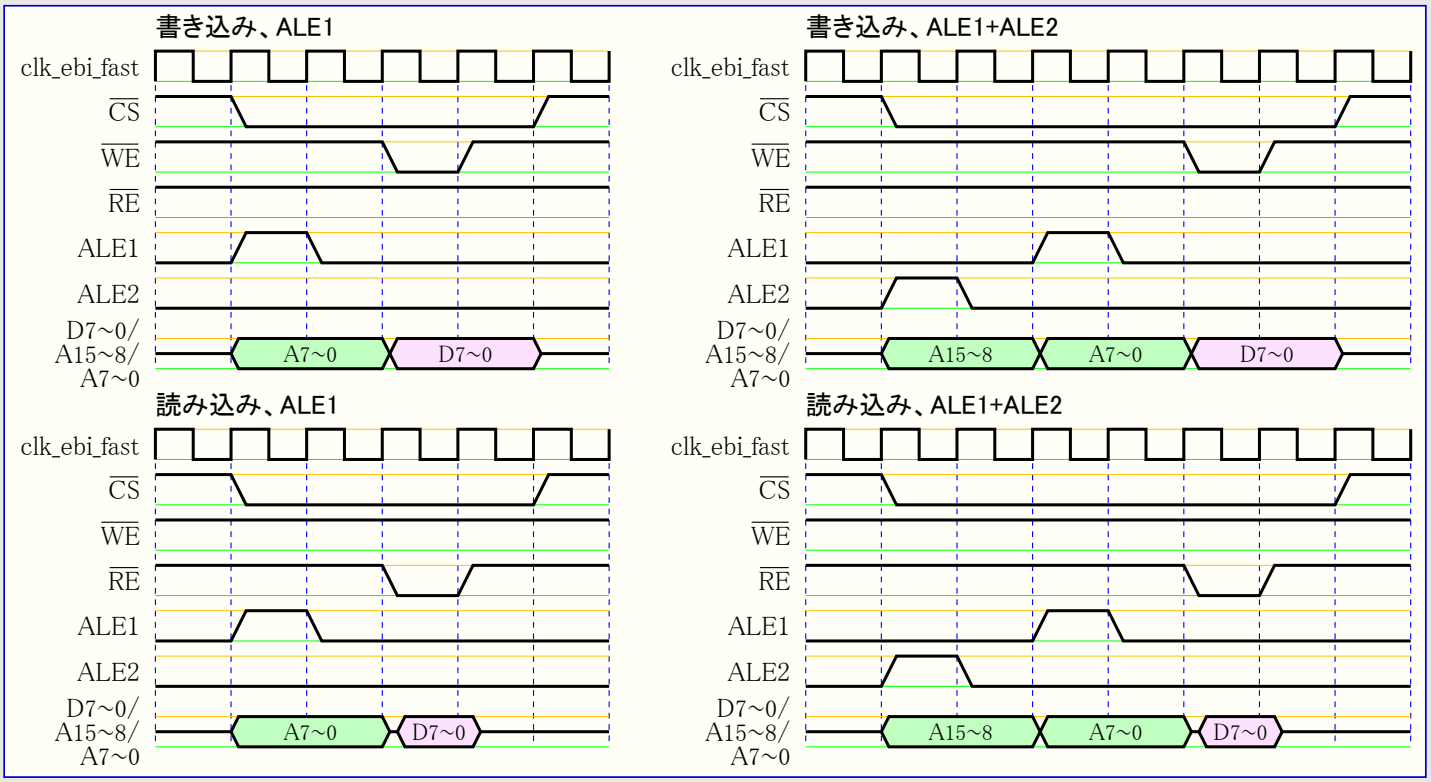
36.4. SRAM 4ﾎﾟｰﾄ, ALEなし, CS

図36-4. SRAM 4ﾎﾟｰﾄ, ALEなし, CS



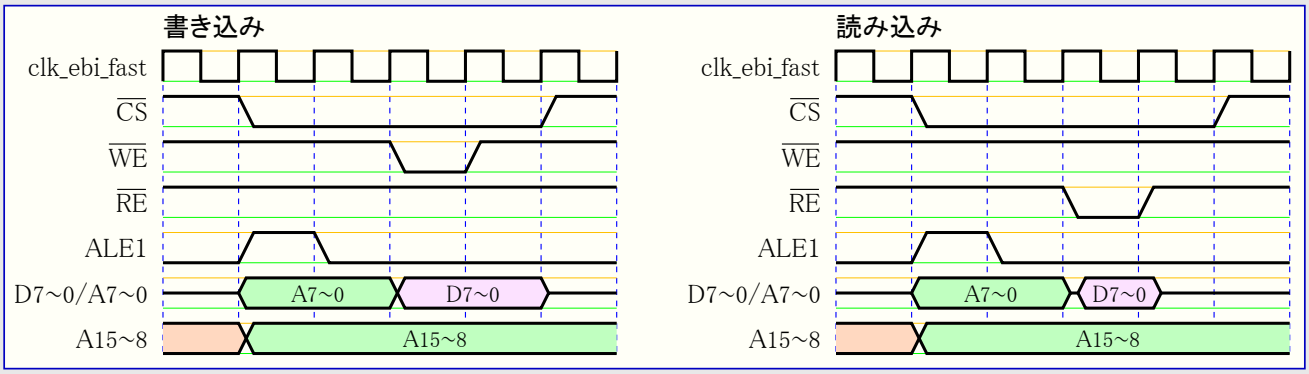
36.5. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CS

図36-5. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CS



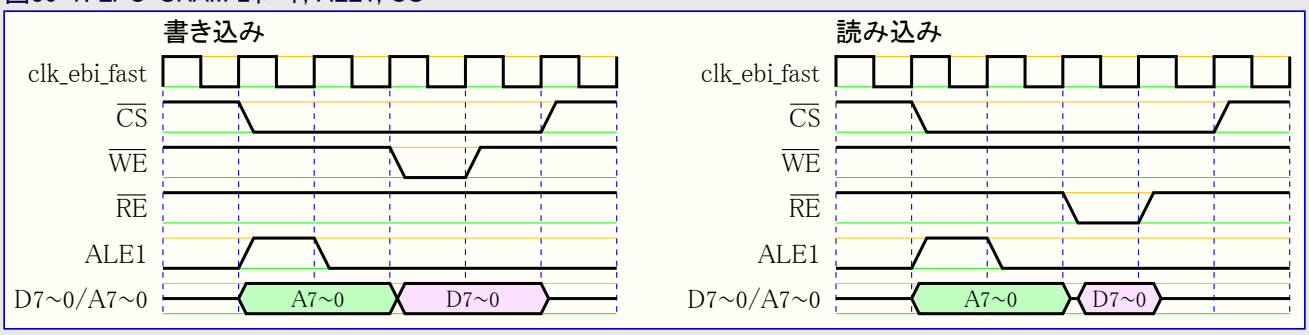
36.6. LPC-SRAM 3ﾎﾟｰﾄ, ALE1, CS

図36-6. LPC-SRAM 3ﾎﾟｰﾄ, ALE1, CS



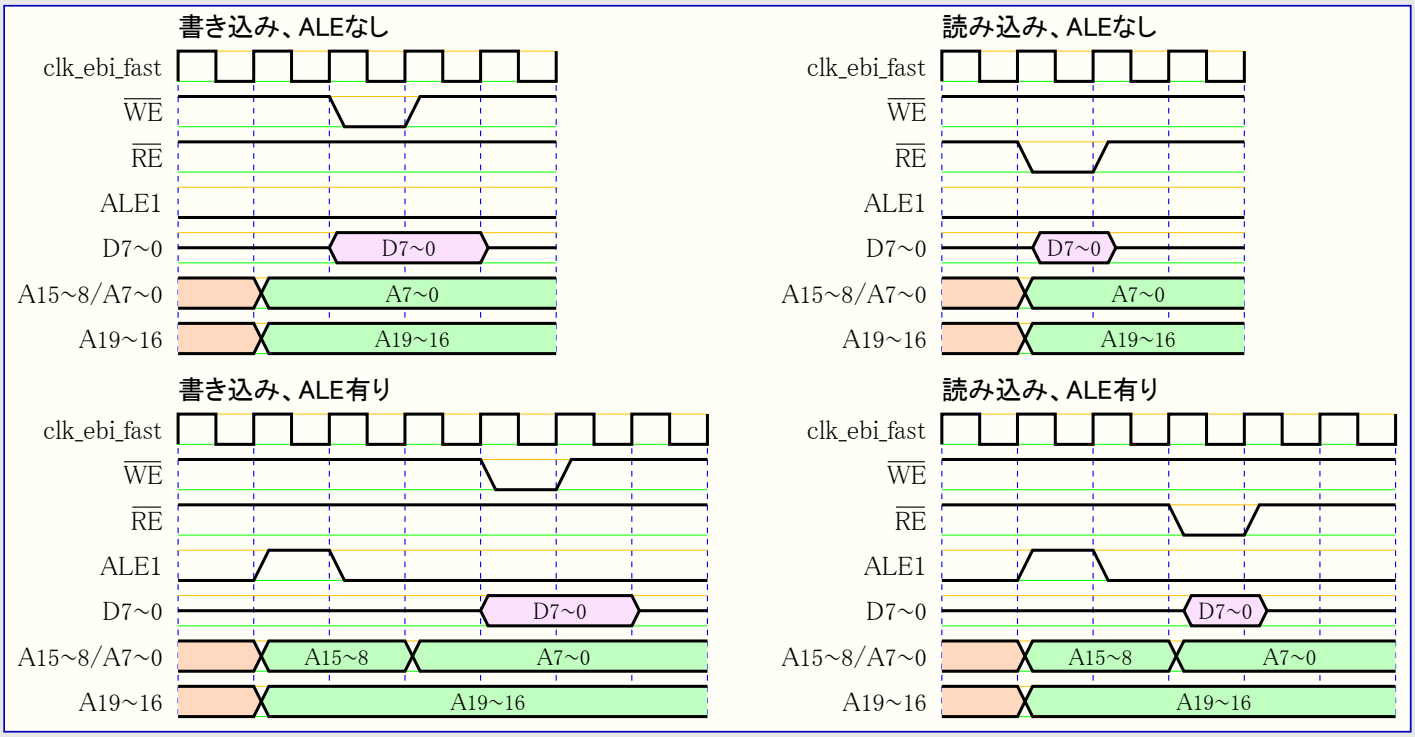
36.7. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, CS

図36-7. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, CS



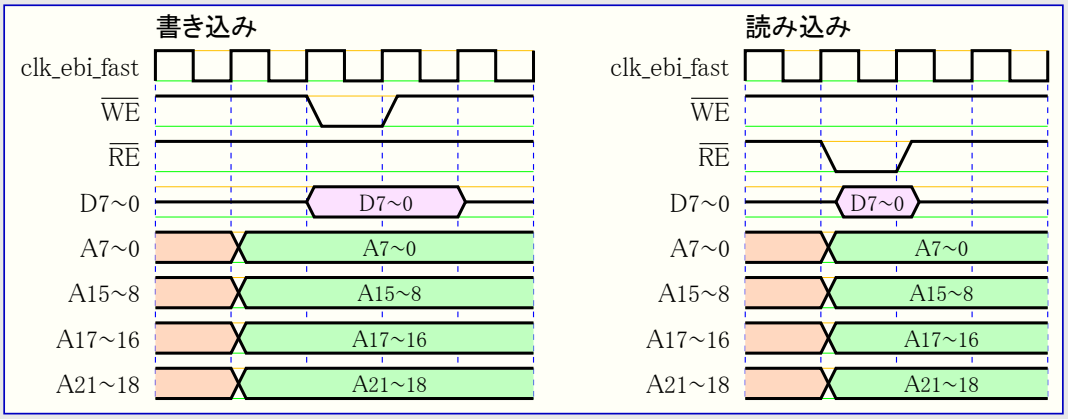
36.8. SRAM 3ﾎﾟｰﾄ, ALE1, CSなし

図36-8. SRAM 3ﾎﾟｰﾄ, ALE1, CSなし



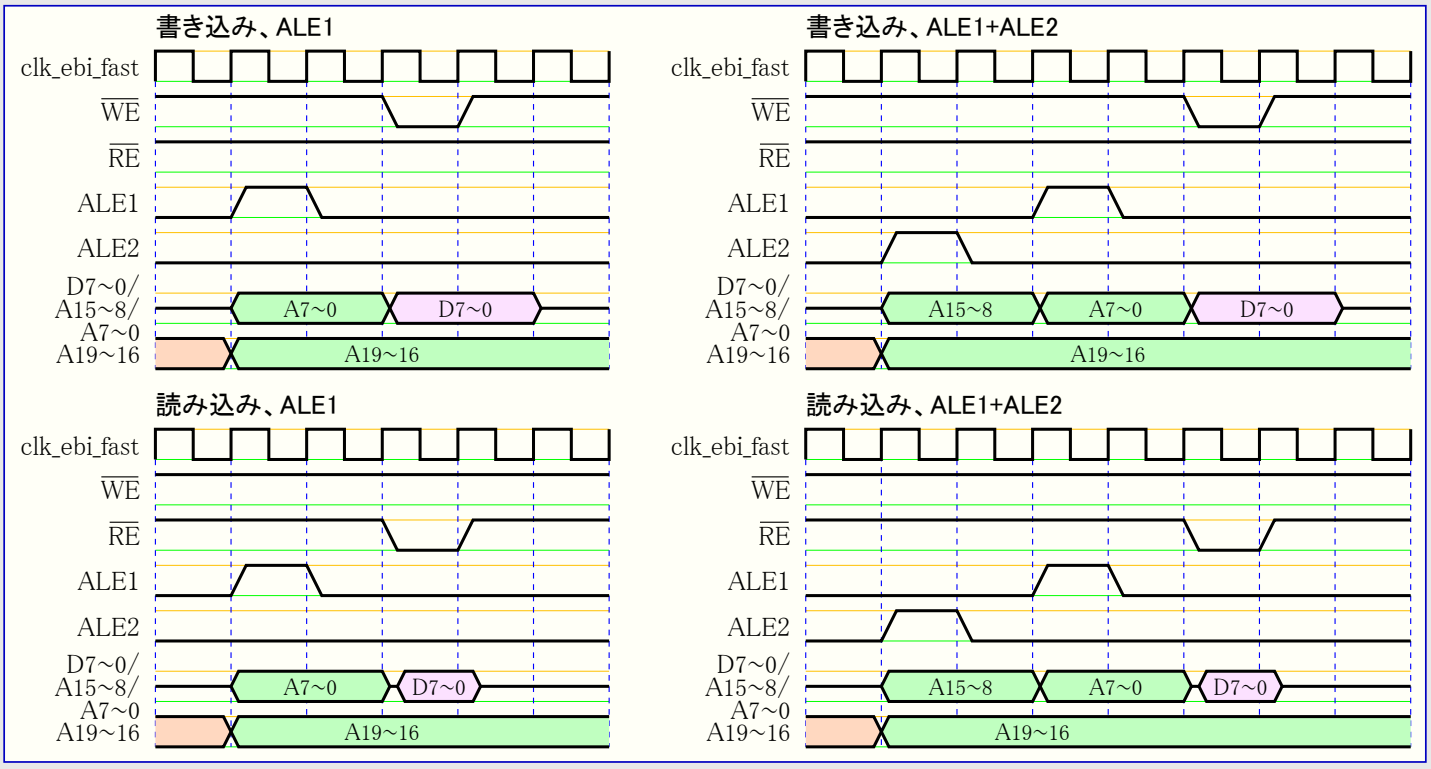
36.9. SRAM 4ﾎﾟｰﾄ, ALEなし, CSなし

図36-9. SRAM 4ﾎﾟｰﾄ, ALEなし, CSなし



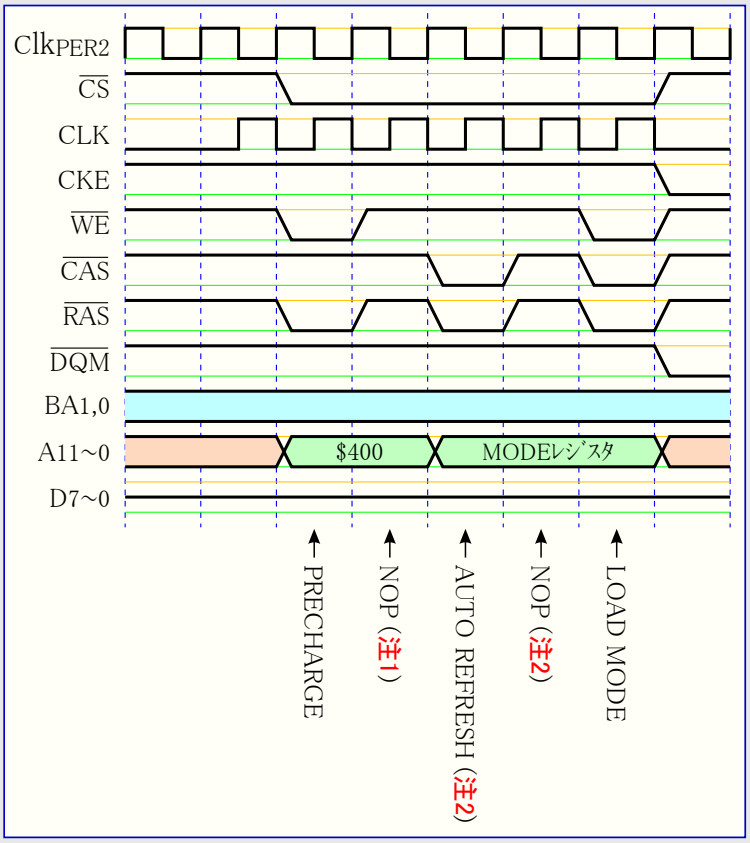
36.10. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CSなし

図36-10. LPC-SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CSなし



36.11. SDRAM初期化

図36-11. SDRAM初期化

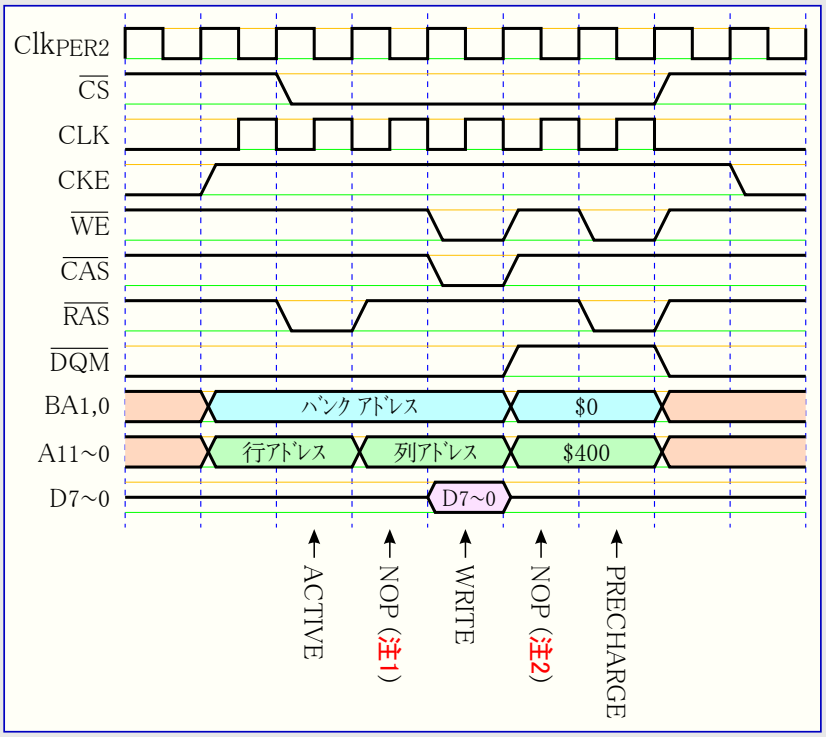


注1: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

注2: AUTO REFRESHと後続のNOPは8回繰り返されます。このNOPはSDRAM行周期遅延(ROWCYCDLY2～0)に等しい数です(図はROWCYCDLY=1を示します)。

36.12. SDRAM 8ﾋﾞｯﾄ書き込み

図36-12. 単独書き込み

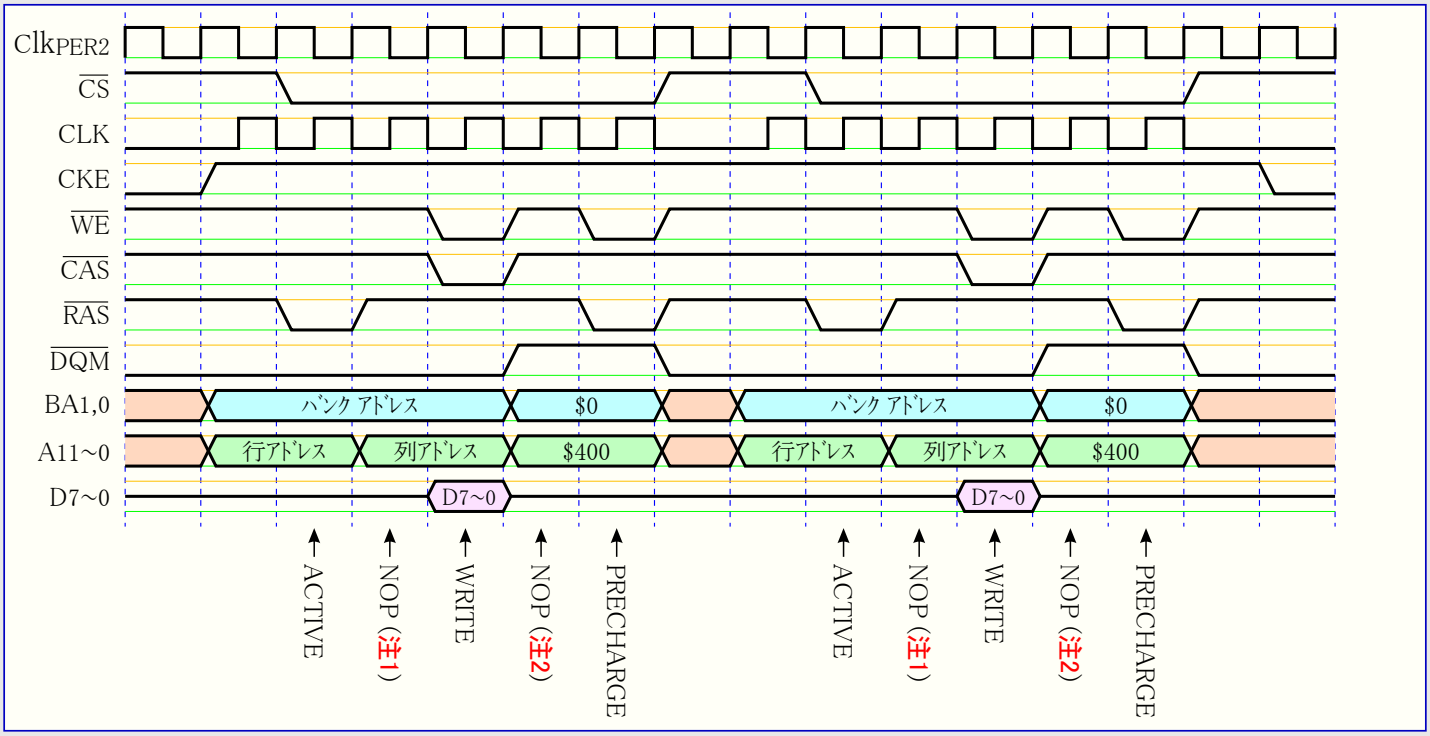


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-13. 2連続書き込み

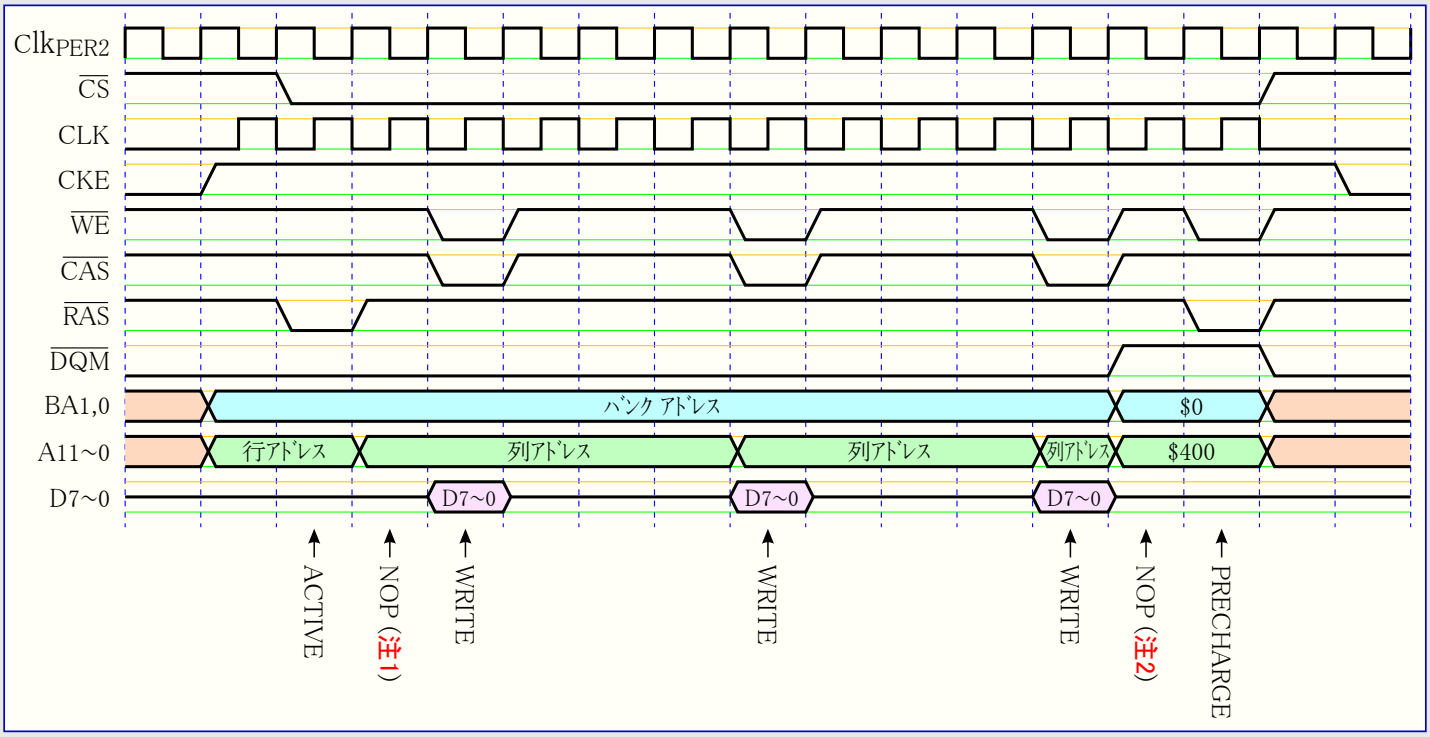


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-14. 単一ページ内集中(バースト)書き込み

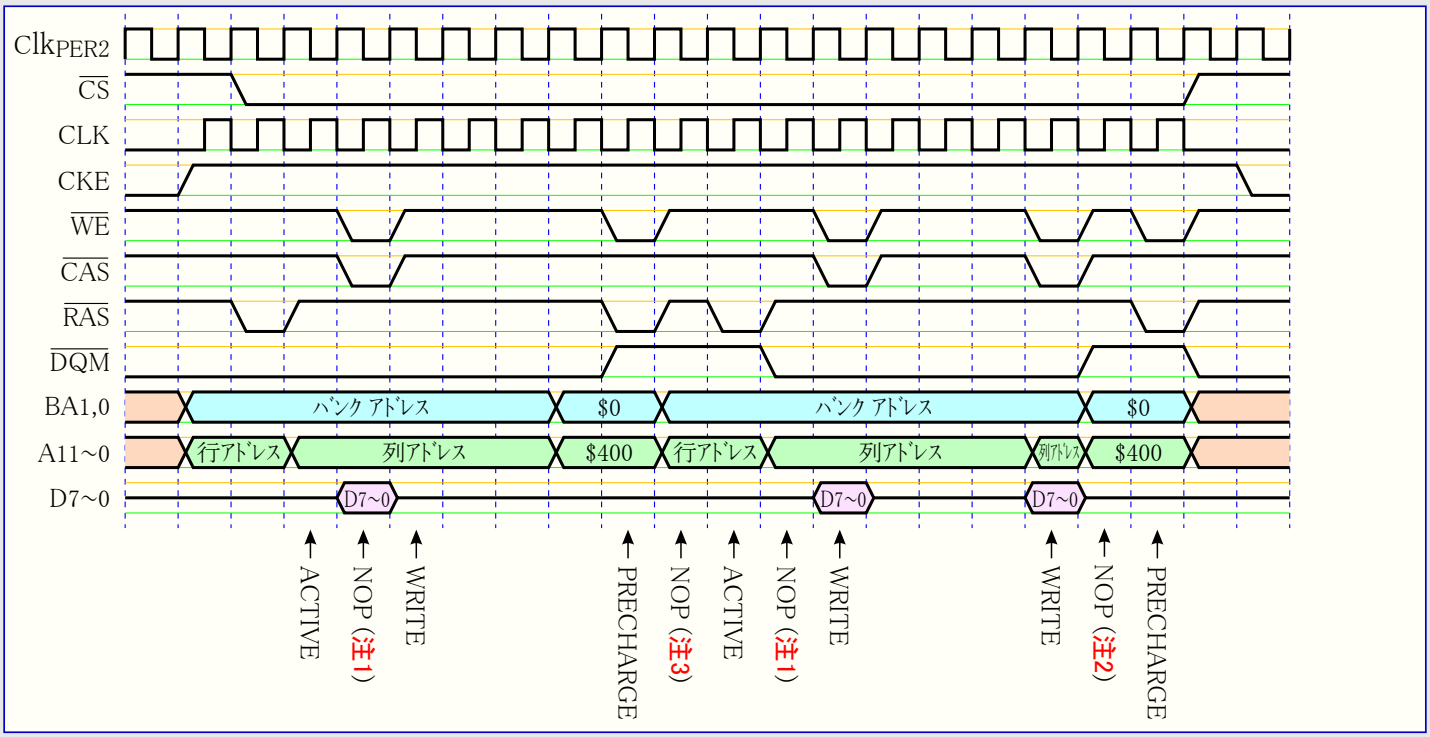


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-15. ページ境界を跨ぐ集中(バースト)書き込み



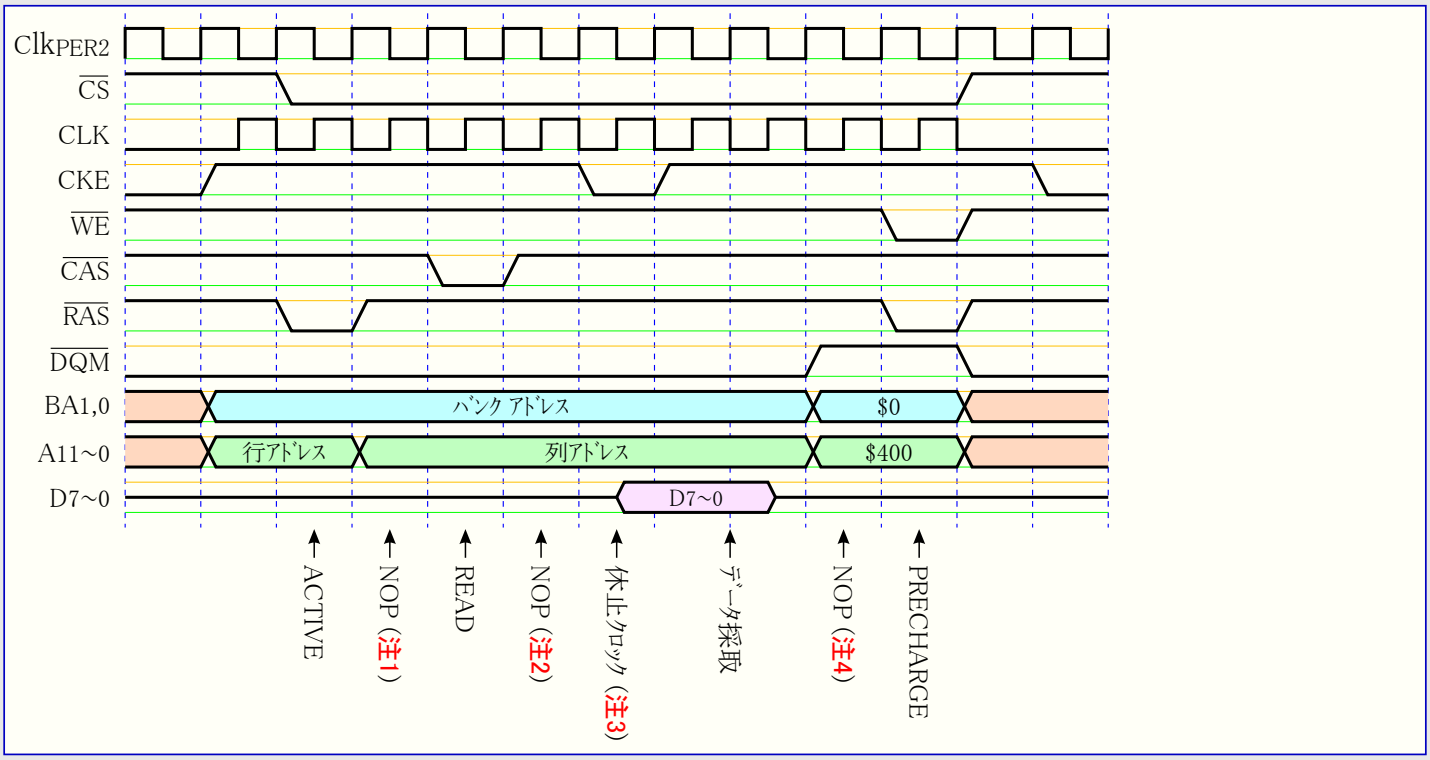
注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

36.13. SDRAM 8ﾋﾞｯﾄ読み込み

図36-16. 単独読み込み



注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

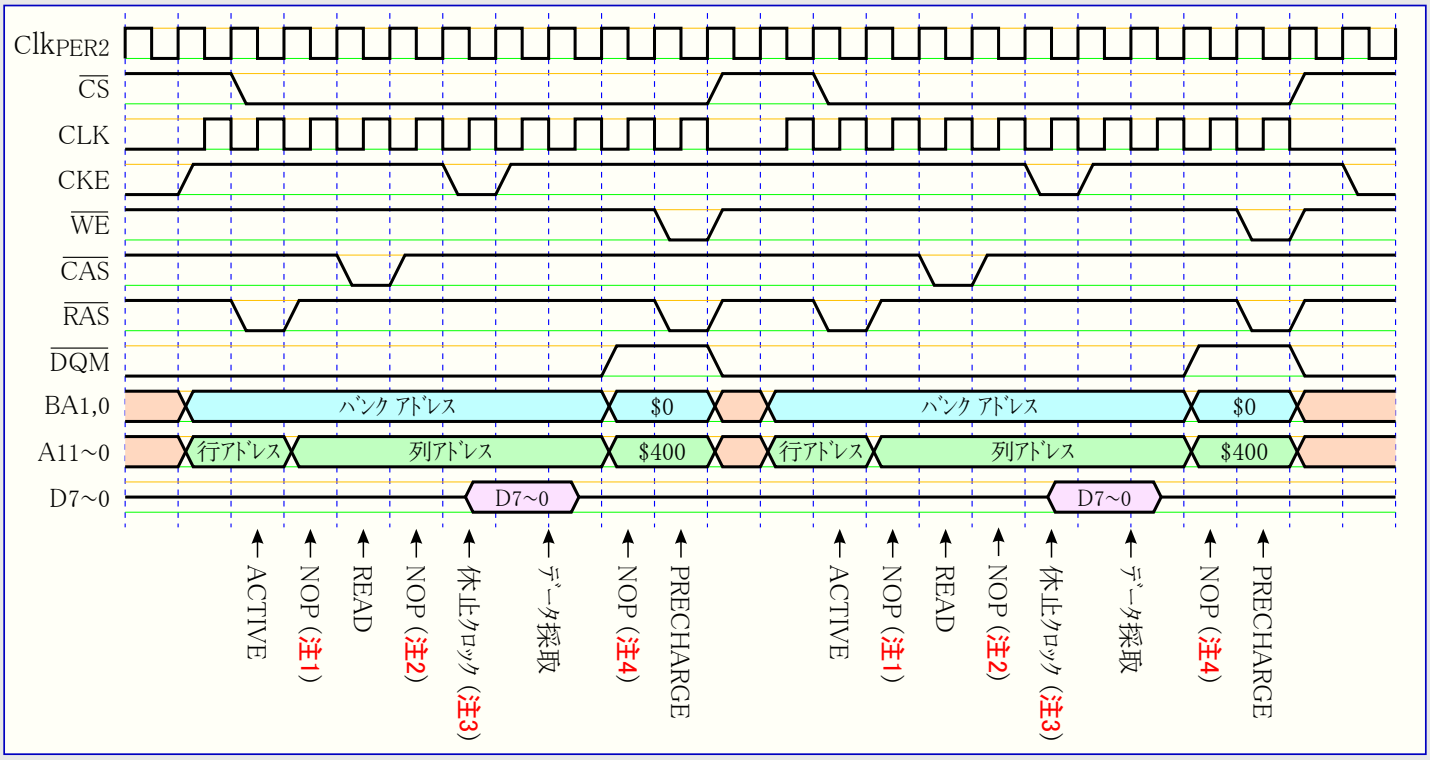
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍ｸﾛｯｸ正端でﾃﾞｰﾀを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止ｸﾛｯｸ。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

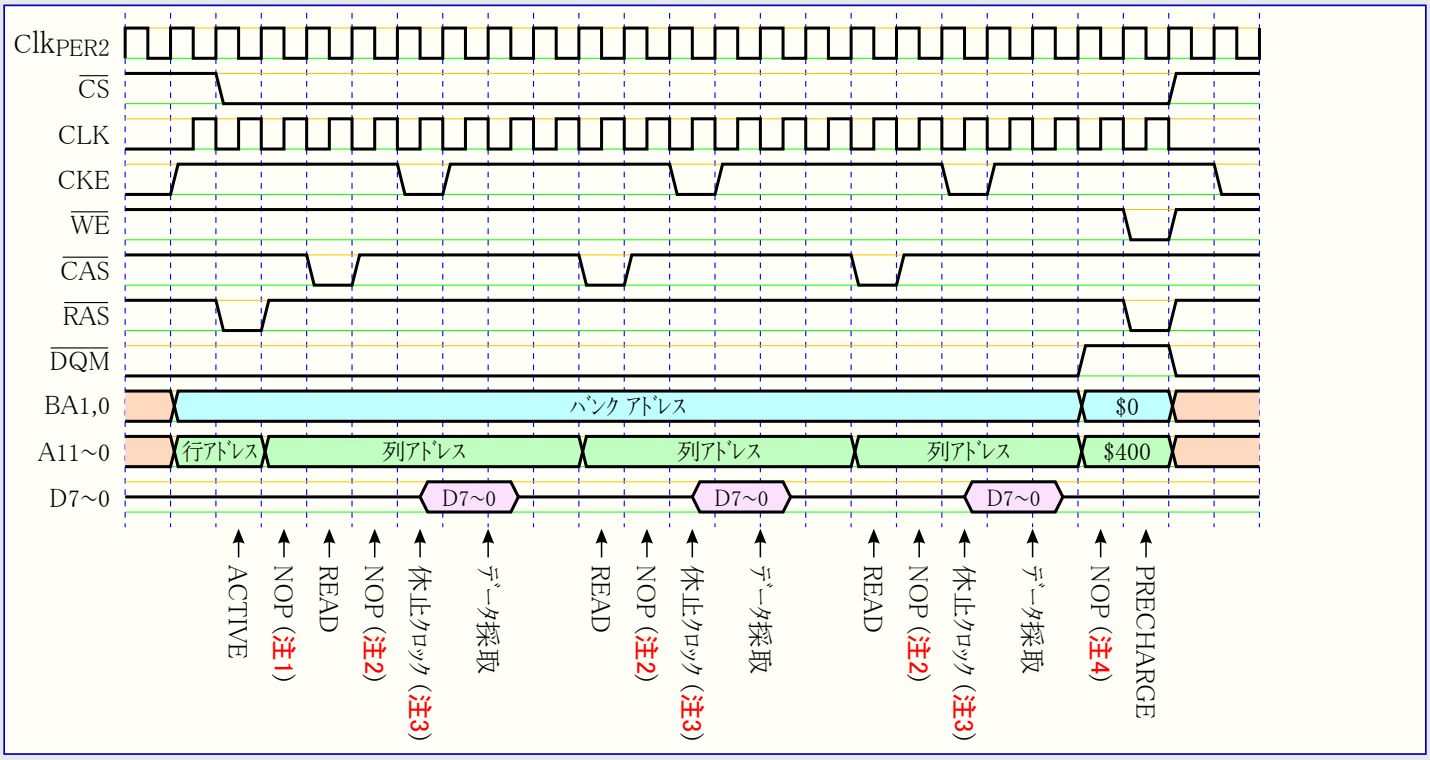
注5: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-17. 2連続読み込み



注1～5については上図(図36-16.)の同注をご覧ください。

図36-18. 単一ページ内集中(バースト)読み込み



注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

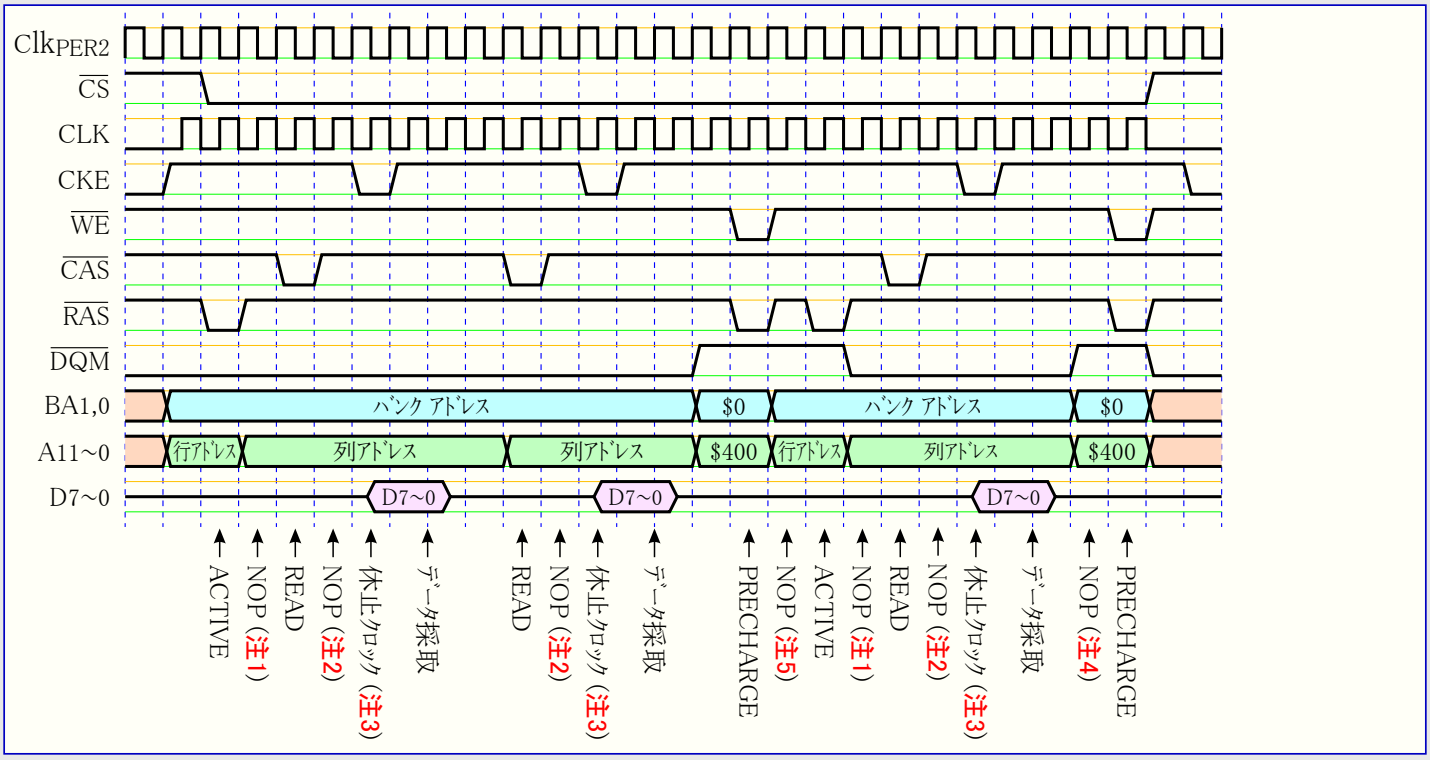
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍クロック正端でデータを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止クロック。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注5: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

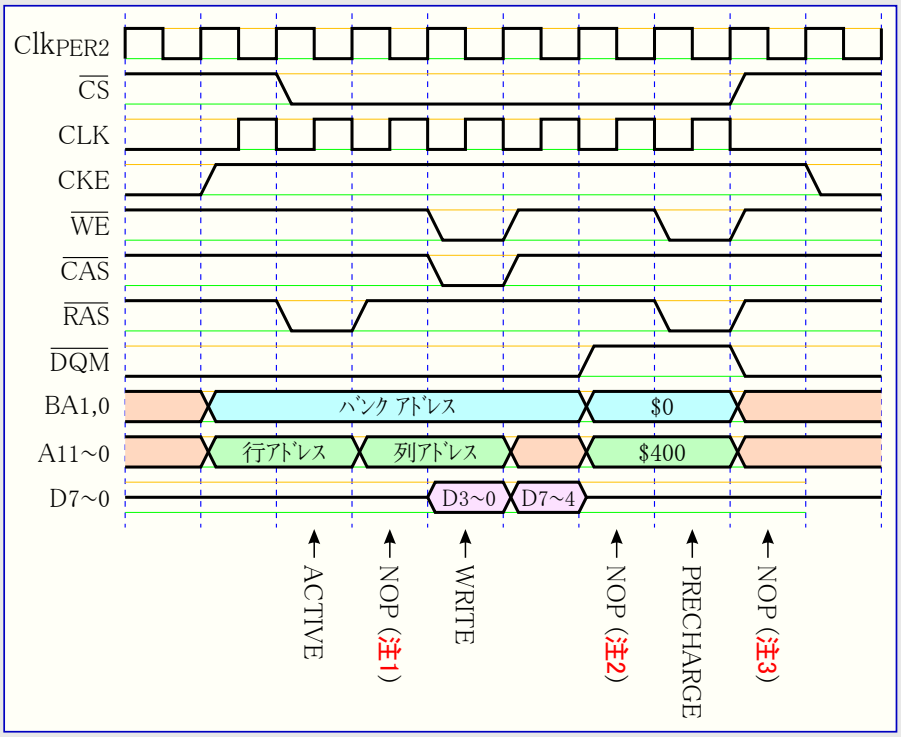
図36-19. ページ境界を跨ぐ集中(バースト)読み込み



注1～5については上図(図36-18.)の同注をご覧ください。

36.14. SDRAM 4ビット書き込み

図36-20. 単独書き込み

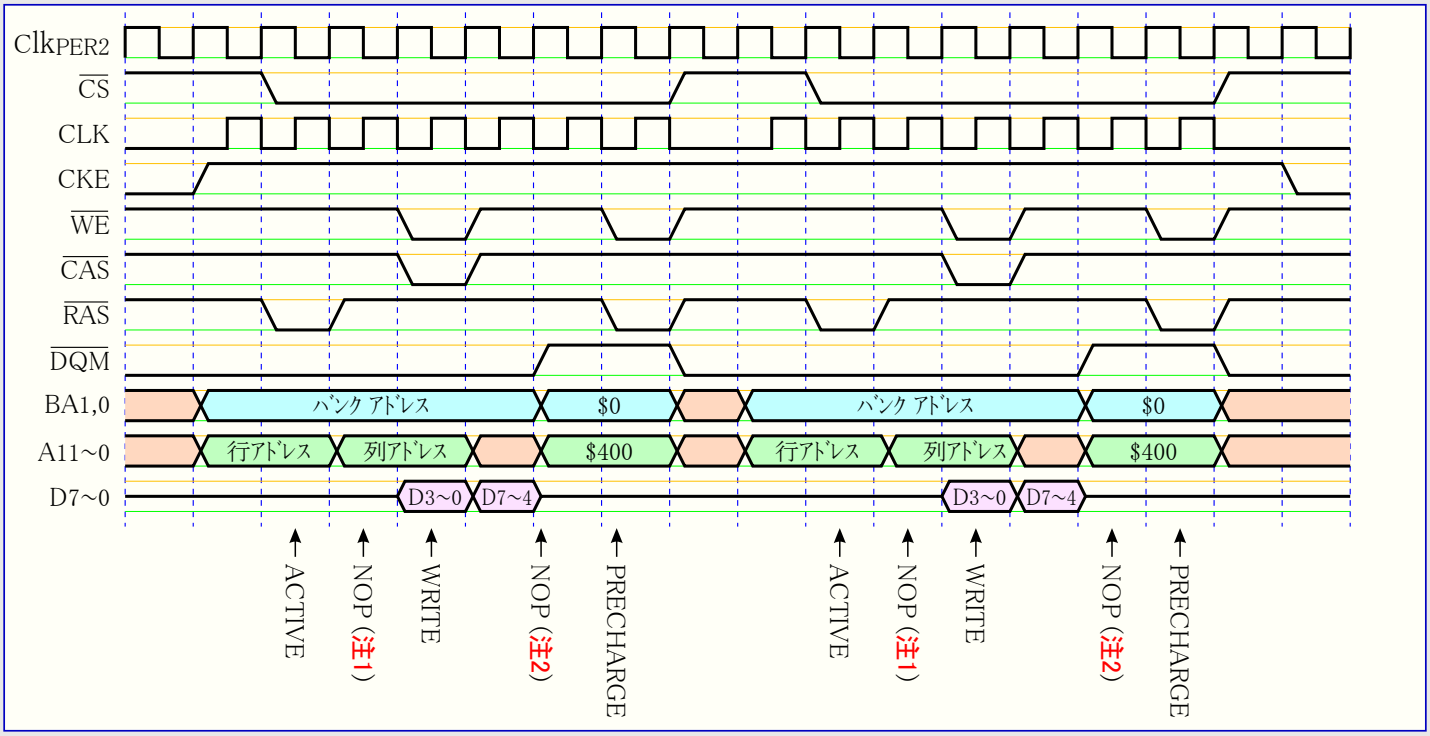


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-21. 2連続書き込み

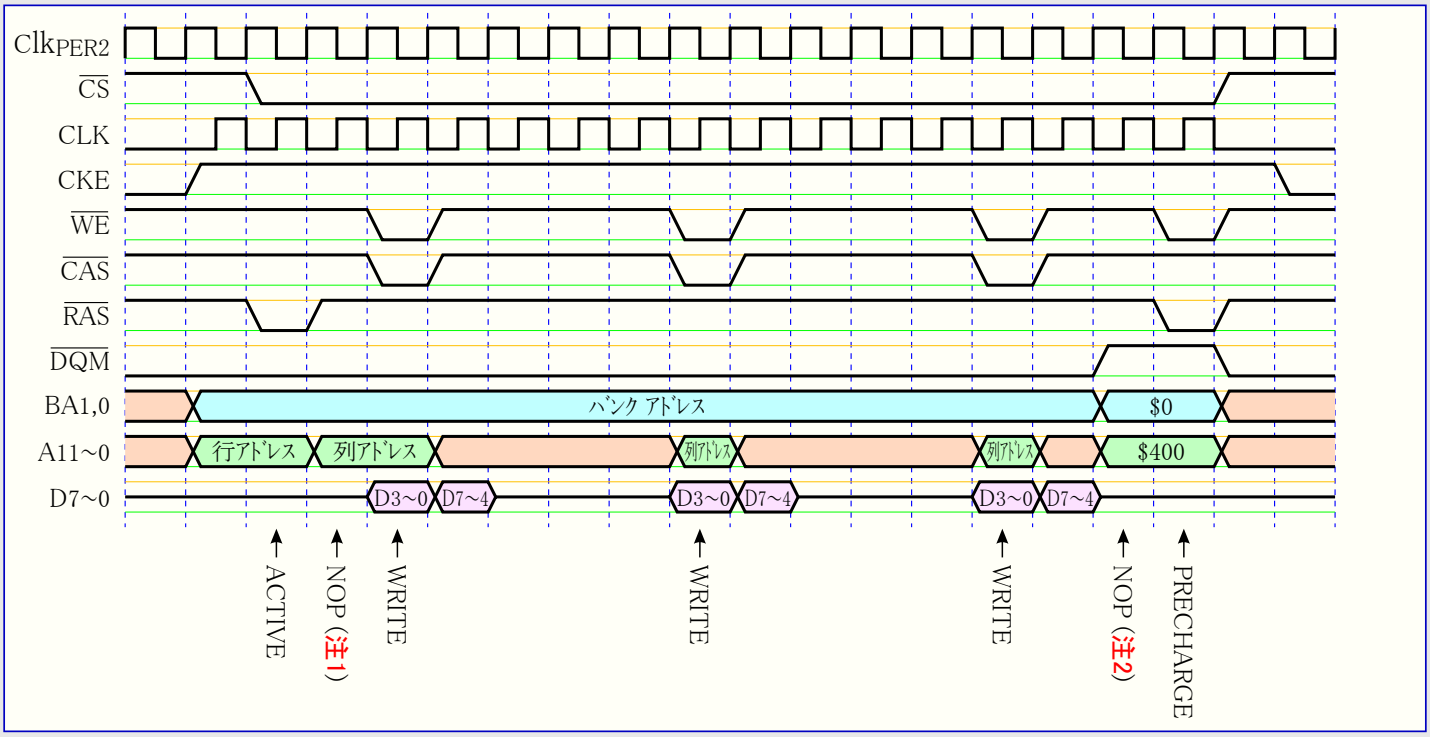


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-22. 単一ページ内集中(バースト)書き込み

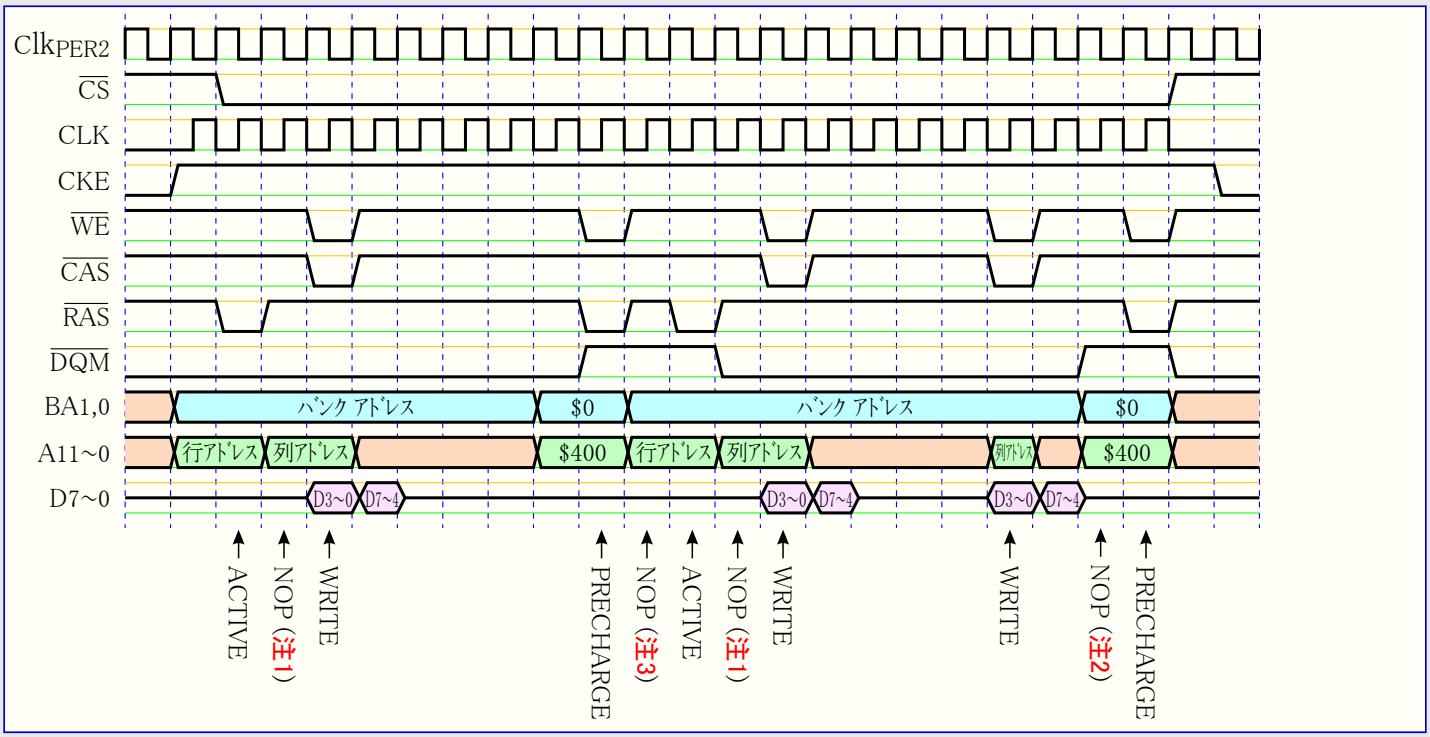


注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-23. ページ境界を跨ぐ集中(バースト)書き込み



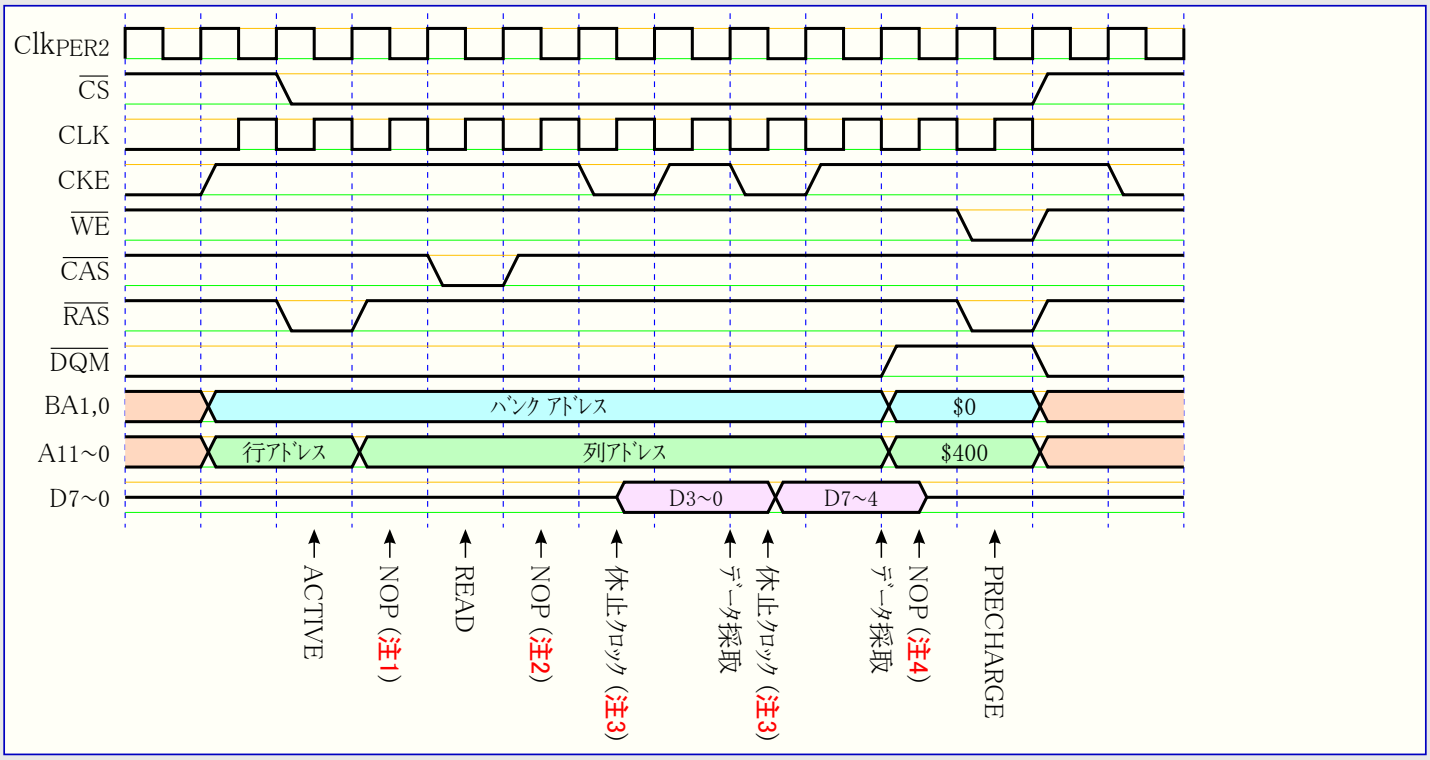
注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

注2: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注3: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

36.15. SDRAM 4ﾋﾞｯﾄ読み込み

図36-24. 単独読み込み



注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

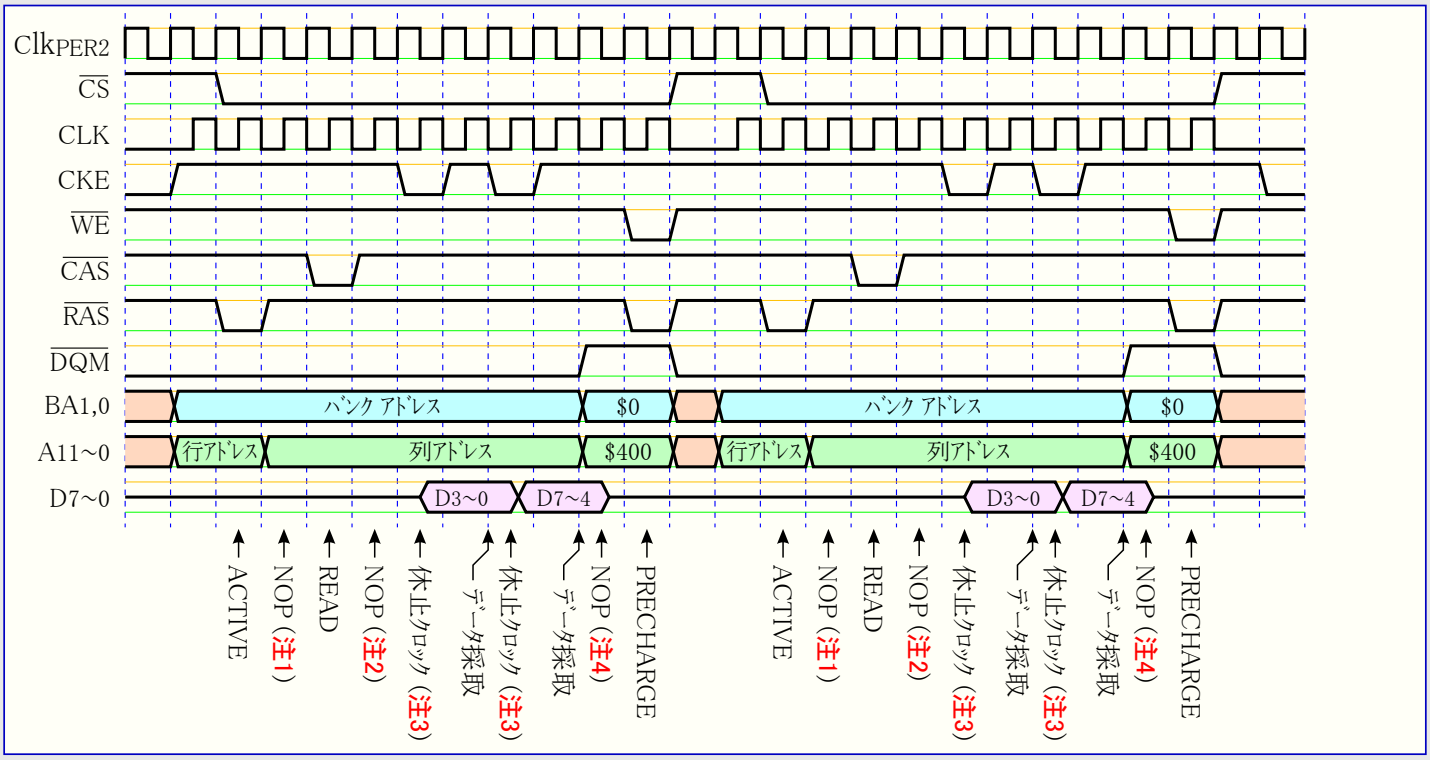
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍ｸﾛｯｸ正端でﾃﾞｰﾀを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止ｸﾛｯｸ。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

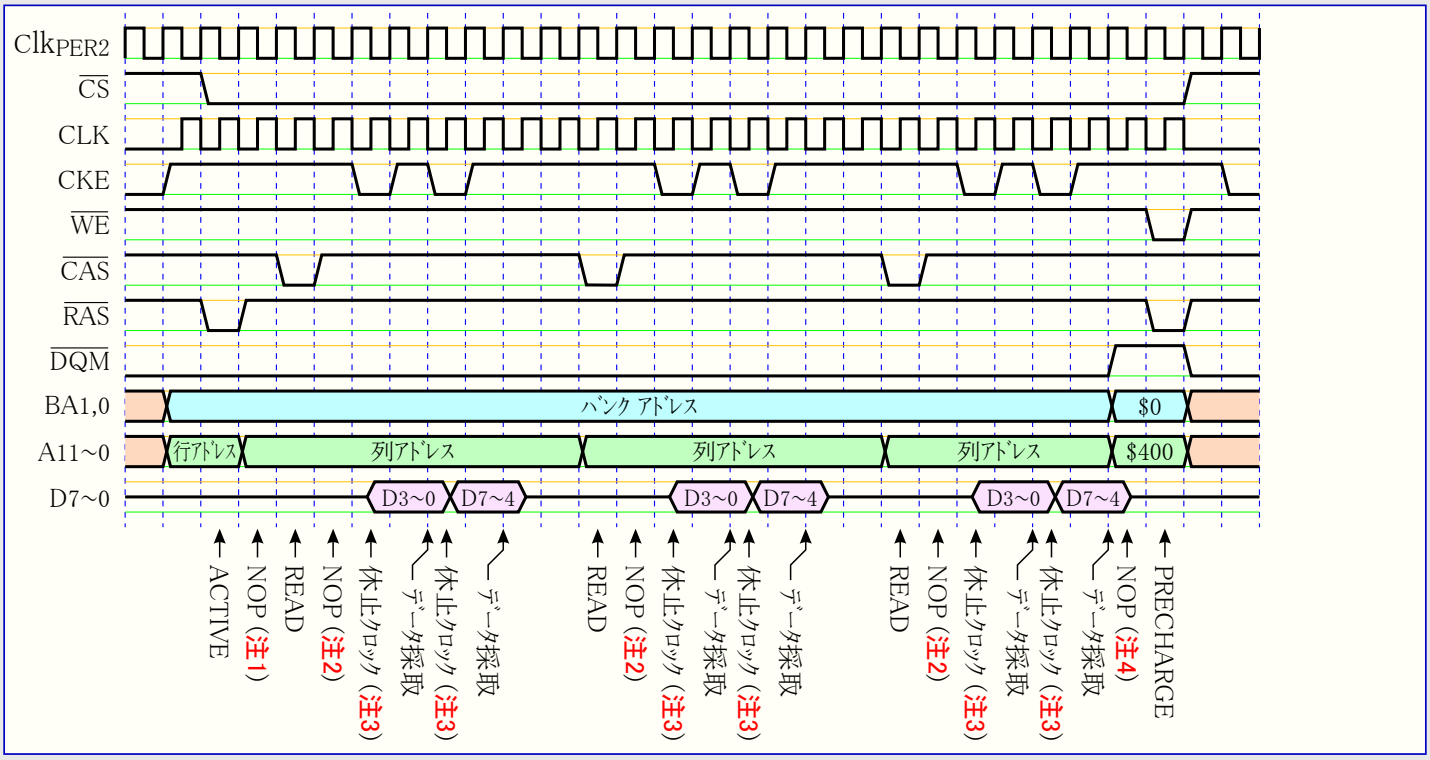
注5: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

図36-25. 2連続読み込み



注1～5については上図(図36-24.)の同注をご覧ください。

図36-26. 単一ページ内集中(バースト)読み込み



注1: NOPはSDRAM行後列遅延(ROWCOLDLY2～0)に等しい数です(図はROWCOLDLY=1を示します)。

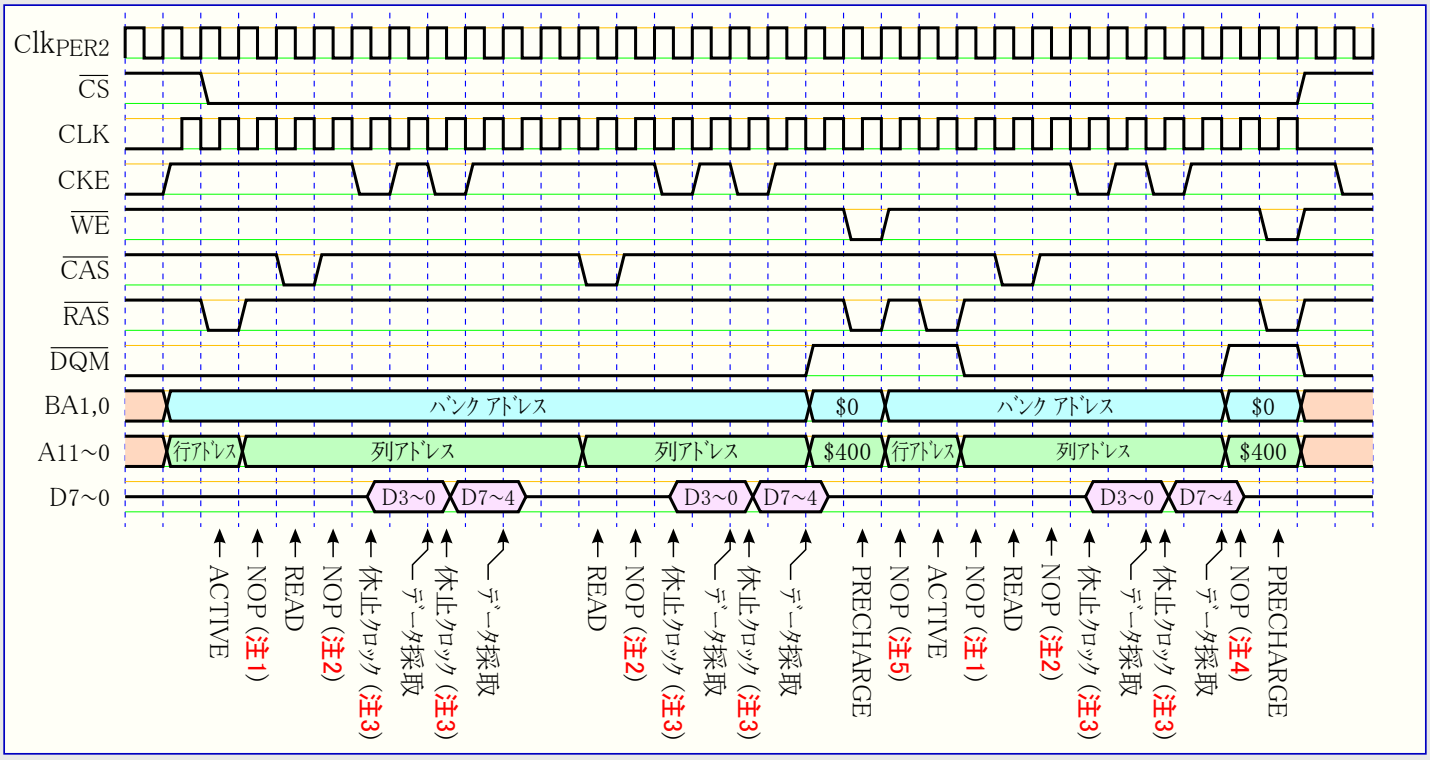
注2: NOPはCAS3に対してだけ挿入されます。

注3: 1倍クロック正端でデータを採取させるため、EBIが1倍で走行時に1周期、EBIが2倍走行時に1または2周期の休止クロック。

注4: NOPはSDRAM書き込み回復遅延(WRDLY1,0)に等しい数です(図はWRDLY=0を示します)。

注5: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

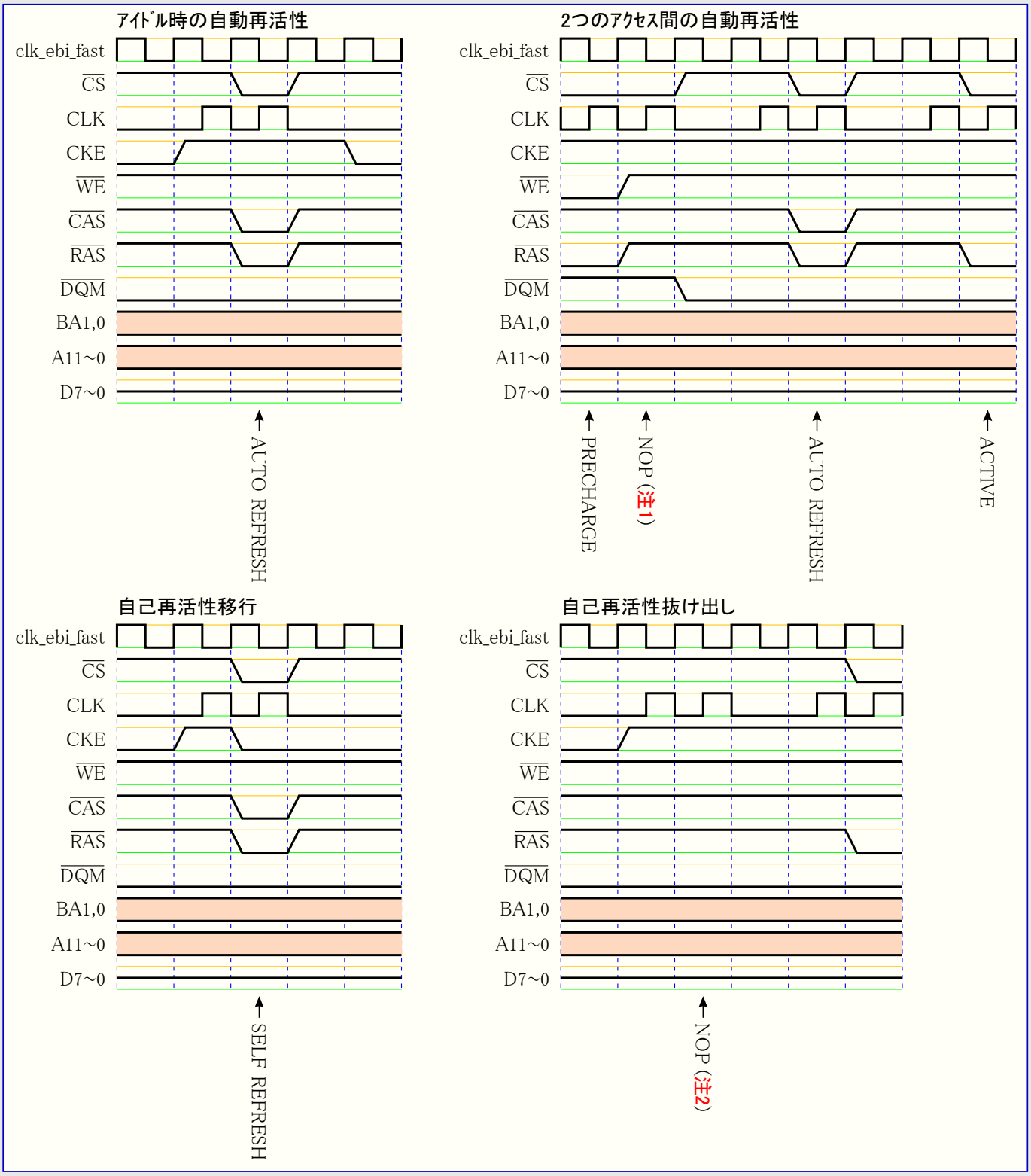
図36-27. ページ境界を跨ぐ集中(バースト)読み込み



注1～5については上図(図36-26.)の同注をご覧ください。

36.16. SDRAM 再活性 (ﾘﾌﾚｯｼｭ)

図36-28. SDRAM再活性 (ﾘﾌﾚｯｼｭ)



注1: NOPはSDRAM行事前充電遅延(RPDLY2～0)に等しい数です(図はRPDLY=1を示します)。

注2: NOPはSDRAM自己再活性後活性遅延(ESRDLY2～0)に等しい数です(図はESRDLY=1を示します)。

37. 用語

37.1. 記号と演算子

表37-1. 記号と演算子

+	加算または論理和
−	減算
x, *	乗算 (訳注:本書では不使用、×を使用)
/	除算 (訳注:本書では÷も使用)
$\overline{B}$	論理否定(本例はBの否定)
・	論理積
⊕	排他的論理和 (訳注:本書では不使用、Ex-ORで表記)
>	大なり
<	小なり
=	等価
≧	大なりまたは等価
≦	小なりまたは等価
←	左辺に格納
<<	左移動

注: "+"記号は算術加算と論理和の両方の演算子として使われます。文脈から記号が何を意味するかが明白でない場合、脚注がその問題を明らかにします。

37.2. 数値表記

表37-2. 数値表記

165	10進数値
0b	2進数値 (訳注:本書では不使用、赤数字で表記)
0x	16進数値 (訳注:本書では不使用、$で表記)
n, m, p, q	数値を表現
x, y, z, w	文字を表現
X	信号またはﾊﾞｽのどちらかに対して未知または不定の値を表現
Z	信号またはﾊﾞｽのどちらかに対して高ｲﾝﾋﾟｰﾀﾞﾝｽ(浮き)状態を表現
N/A	適用不能、該当無し

37.3. ﾒﾓﾘ量と形式

表37-3. ﾒﾓﾘ量/形式の簡略記号

K	ｷﾛ (2^{10}=1024)
M	ﾒｶﾞ (2^{20}=1024×1024)
G	ｷﾞｶﾞ (2^{30}=1024×1024×1024)
k	ｷﾛ (10^{3}=1000)
b	ﾋﾞｯﾄ (2進数の0または1)
B	ﾊﾞｲﾄ (8ﾋﾞｯﾄの集合)
W	語(ﾜｰﾄﾞ) (2ﾊﾞｲﾄの集合)
L	ﾛﾝｸﾞ (2語の集合)

37.4. ﾚｼﾞｽﾀとﾋﾞｯﾄ

表37-4. ﾚｼﾞｽﾀとﾋﾞｯﾄの簡略記号

R/W	読み書き可能なﾚｼﾞｽﾀのﾋﾞｯﾄ
R	読み込み専用のﾚｼﾞｽﾀのﾋﾞｯﾄ (常に論理0を書かれなければなりません。)
BIT	ﾋﾞｯﾄ名は大文字で示されます。(例: PINA1)
BITn～m	ﾋﾞｯﾄnからﾋﾞｯﾄmに下るﾋﾞｯﾄの組 (例: PINA3～0={PINA3,PINA2,PINA1,PINA0})

37.5. 略語

表37-5. 略語

略語	説明	略語	説明
AC	ｱﾅﾛｸﾞ比較器	IrDA	赤外ﾃﾞｰﾀ協会が定めた赤外通信規格
ADC	ｱﾅﾛｸﾞ⇒ﾃﾞｼﾞﾀﾙ変換器 (A/D変換器)	IREQ	割り込み要求
ADDR	ｱﾄﾞﾚｽ	IVEC	割り込みﾍﾞｸﾀ
AES	新暗号規格	LB	施錠ﾋﾞｯﾄ
ALE	ｱﾄﾞﾚｽ ﾗｯﾁ許可	LPC	少ﾋﾟﾝ数 (EBI)
ALU	算術論理演算部	LVL	(割り込み)ﾚﾍﾞﾙ
AREF	ｱﾅﾛｸﾞ基準電圧	NMI	遮蔽不能割り込み
AVCC	ｱﾅﾛｸﾞ供給電力	NVM	不揮発性ﾒﾓﾘ
AWeX	新波形生成拡張	OC	比較出力
BB	電池代替支援	OCD	ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ
BLB	ﾌﾞｰﾄ施錠ﾋﾞｯﾄ	PC	ﾌﾟﾛｸﾞﾗﾑ ｶｳﾝﾀ
BOD	低電圧(ﾌﾞﾗｳﾝｱｳﾄ)検出器	PDI	ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ
BP	中断点(OCDﾌﾞﾚｰｸﾎﾟｲﾝﾄ)	PER	周期
CAL	校正	PER	周辺機能 (ｸﾛｯｸ名で下付きとしての使用時)
CCP	構成設定変更保護	PLL	位相固定化閉路
CH	ﾁｬﾈﾙ	PMIC	設定可能な多段割り込み制御器
CLK	ｸﾛｯｸ	POR	電源ONﾘｾｯﾄ
CLKSEL	ｸﾛｯｸ選択	PWM	ﾊﾟﾙｽ幅変調/変調器
CNT	計数器	QDEC	直交復号器
COMP	比較	RAM	乱ｱｸｾｽ ﾒﾓﾘ
CRC	巡回冗長検査	REF	基準電圧
CS	ﾁｯﾌﾟ選択	RMW	読み-変更-書き
CTRL	制御	RR	ﾗｳﾝﾄﾞ ﾛﾋﾞﾝ
DAC	ﾃﾞｼﾞﾀﾙ⇒ｱﾅﾛｸﾞ変換器 (D/A変換器)	RTC	実時間計数器
DES	ﾃﾞｰﾀ暗号規格	RX	(直列)受信部
DFLL	ﾃﾞｼﾞﾀﾙ周波数固定化閉路	SDRAM	同期動的乱ｱｸｾｽ ﾒﾓﾘ
DMA	直接ﾒﾓﾘ入出力	SMBus	ｼｽﾃﾑ管理ﾊﾞｽ
DMAC	直接ﾒﾓﾘ入出力制御器	SP	ｽﾀｯｸ ﾎﾟｲﾝﾀ
DTI	沈黙時間挿入	SPI	直列周辺ｲﾝﾀｰﾌｪｰｽ
EBI	外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ	SRAM	静的乱ｱｸｾｽ ﾒﾓﾘ
EEPROM	電気的消去書き込み可能読み込み専用ﾒﾓﾘ	TC	計時器/計数器(ﾀｲﾏ/ｶｳﾝﾀ)
EVACT	事象活動	TIF	検査ｲﾝﾀｰﾌｪｰｽ
EVSEL	事象選択	TOSC	計時器/計数器(ｸﾘｽﾀﾙ)用発振器
EVSYS	事象ｼｽﾃﾑ	TWI	2線ｲﾝﾀｰﾌｪｰｽ
FAULT	障害制御	TX	(直列)送信部
FIFO	先入れ先出し緩衝部	ULP	超低電力(発振器)
FRQ	周波数生成	USART	万能同期非同期直列受信器送信器
GND	接地	USB	万能直列ﾊﾞｽ
GPIO	汎用入出力ﾋﾟﾝ	VBAT	電池代替支援電力供給
HIRES	高分解能	VCC	ﾃﾞｼﾞﾀﾙ供給電力
IC	捕獲入力	VREF	電圧基準
IF	割り込み要求ﾌﾗｸﾞ	WDT	ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ
INT	割り込み	WG	波形生成器
IOBUS	I/Oﾃﾞｰﾀ ﾊﾞｽ (8ﾋﾞｯﾄ)	XOSC	ｸﾘｽﾀﾙ用発振器
IRCOM	赤外通信単位部		

37.6. 約定

- **論理ﾚﾍﾞﾙ1**はﾌﾞｰﾙ代数の真(1)状態に対応する電圧です。
- **論理ﾚﾍﾞﾙ0**はﾌﾞｰﾙ代数の偽(0)状態に対応する電圧です。
- **設定**(Set)は特にﾋﾞｯﾄで論理ﾚﾍﾞﾙ1を確立することを参照します。
- **解除**(Clear)は特にﾋﾞｯﾄで論理ﾚﾍﾞﾙ0を確立することを参照します。
- **成立**(Asserted)は信号が活性論理状態であることを意味します。成立時に、Low活性の信号は論理ﾚﾍﾞﾙ1から論理ﾚﾍﾞﾙ0へ変化し、High活性の信号は論理ﾚﾍﾞﾙ0から論理ﾚﾍﾞﾙ1へ変化します。
- **不成立**(Negated)は成立した信号が論理状態を変えることを意味します。不成立時に、Low活性の信号は論理ﾚﾍﾞﾙ0から論理ﾚﾍﾞﾙ1へ変化し、High活性の信号は論理ﾚﾍﾞﾙ1から論理ﾚﾍﾞﾙ0へ変化します。
- LSBは最下位側ﾊﾞｲﾄを意味します。
- MSBは最上位側ﾊﾞｲﾄを意味します。下位ﾊﾞｲﾄと上位ﾊﾞｲﾄへの参照は略さず全部書かれます。
- lsbは最下位側ﾋﾞｯﾄを意味します。
- msbは最上位側ﾋﾞｯﾄを意味します。
- 範囲を持つ**特別な簡略記号**は簡略記号と数値によって参照されます。SP15はｽﾀｯｸ ﾎﾟｲﾝﾀのﾋﾞｯﾄ15、EEAR4はEEPROMｱﾄﾞﾚｽ ﾊﾞｽの4番線です。
- **簡略記号の範囲**は簡略記号と範囲を定義する数値によって参照されます。EEARL[5:0](**訳注**:本書ではEEARL5~0)はEEPROMｱﾄﾞﾚｽ ﾊﾞｽのﾋﾞｯﾄ5～0です。

38. データシート改訂履歴

本章での頁番号参照が本文書への参照であることに注意してください。本章での改訂参照は文書改訂版への参照です。

38.1. 8331A – 2011年7月

1. 初版

38.2. 8331B – 2012年3月

1. 5頁に**表2-1.「XMEGA AU機能要約概要」**を追加
2. 24頁の**「LOCKBITS – 施錠ビット レジスタ」**を更新。ビット1,0の記述更新と表注追加
3. 25頁の**表4-12.**の表題を**「施錠ビット保護種別」**に変更
4. 43頁の**「CTRLA – 制御レジスタA」**を更新。ビットのCHENとCHRSTを各々ENABLEとRESETで置換
5. 46頁の**「TRIGSRC – 起動元レジスタ」**を更新。ビット7～0の記述を更新
6. 49頁の**「レジスタ要約 – DMAチャネル」**を更新
7. 50頁の**図6-1.「事象システム概要と接続される周辺機能」**を更新
8. 57頁の**図7-1.「クロック システム、クロック元とクロック配給」**を更新
9. 60頁でCOMPレジスタの式を更新
10. 66頁の**表7-7.**で表注を追加
11. 78頁の**表9-2.「設定可能なBODLEVEL設定」**を更新
12. 88頁の**表11-1.**に表注を追加
13. 89頁の**表11-2.**に表注を追加
14. 90頁に**図12-1.「割り込み制御器概要」**を追加
15. 96頁の**図13-1.「標準I/Oピン機能」**を更新
16. 98頁の**「ポート割り込み」**を更新
17. 99頁の**表13-3.**を更新。両端をどの端で置換
18. 99頁の**「ポート事象」**を更新
19. 107頁の**表13-11.**(と**表13-12.**)を更新
20. 115頁の**「事象活動制御動作」**を更新
21. 116頁の**図14-10.**を更新。CH7MUXをCHnMUXに変更
22. 133頁の**表15-3.**を更新。CMDをBYTEM1,0に変更
23. 147頁の**「クロック領域」**を更新
24. 152頁の**図19-1.**を新しいもの**「32ビット実時間計数器概要」**で置換
25. 159頁の新しい**図20-3.**、160頁の新しい**図20-4.**、161頁の新しい**図20-5.**、165頁の新しい**図20-12.**で157頁の**「USB – 万能直列バス インターフェース」**を更新
26. 159頁の**図20-3.**の表題を**「構成設定(SETUP)転送単位処理」**に変更
27. 160頁の**図20-4.**の表題を**「OUT転送単位処理」**に変更
28. 161頁の**図20-5.**の表題を**「IN転送単位処理」**に変更
29. 183頁の**「アドレス パケット受信」**を更新
30. 187頁で**「BAUD-ボーレート レジスタ」**の両方の式を更新
31. 190頁の**「DATA-データ レジスタ」**を更新。
32. 190頁の**「ADDR-アドレス レジスタ」**でADDR7～1とADDR0の記述を追加
33. 203頁の**「分数ボーレート生成」**内の式を更新
34. 204頁の**図23-9.「分数ボーレート例」**を更新
35. 204頁に**表23-5.「USARTボーレート」**を追加
36. 211頁の**図24-1.「USARTへのIRCOM接続と関連ポート ピン」**を更新。RXDnxとTXDnxを各々RXDx nとTXDxnに変更
37. 212頁の**表24-1.**を更新。1xxxとCHxを各々1nnnとCHnに変更
38. 226頁の**「SRAM構成設定」**を更新
39. 227頁の**「アドレス ラッチ」**を更新
40. 230頁の**表27-4.**と231頁の**表27-5.**、**表27-6.**、**表27-7.**を更新
41. 240頁の**図28-1.**でそれを更新することによって置換
42. 246頁の**「ADC入力模式」**を更新
43. 247頁の**「同期採取」**を更新
44. 254頁の**表28-15.**を更新

45. 257頁の「**SCAN – ﾁｬﾈﾙ走査ﾚｼﾞｽﾀ**」を更新。ﾋﾞｯﾄ3～0記述を更新
46. 261頁の「**出力と出力ﾁｬﾈﾙ**」内の出力電圧の式を更新
47. 261頁の「**校正**」を更新。式を更新と新しい式を追加
48. 306頁の「**周辺機能単位部ｱﾄﾞﾚｽ割り当て**」を更新。USBｱﾄﾞﾚｽを追加
49. 310頁の「**追補A : EBIﾀｲﾐﾝｸﾞ図**」を更新
50. 編集上の更新

38.3. 8331C – 2012年4月

1. Atmelの新形式雛形を用いて手引書を更新

38.4. 8331D – 2012年12月

1. Atmelの新形式雛形を用いて手引書を更新
2. 内容に於ける全てのﾚｼﾞｽﾀ説明を表ではなく図として更新
3. 8頁の**図3-4.**を更新
4. 19頁の「**ﾚｼﾞｽﾀ説明 – NVM制御器**」を更新
5. 24頁の「**FUSEBYTE5 – ﾋｭｰｽﾞ ﾊﾞｲﾄ5**」を更新。ﾋﾞｯﾄ2～0のﾘﾝｸを78頁の**表9-2.**に正しく接続
6. 53頁の「**QDEC初期設定**」下の段階6.6と6.7を更新。ﾁｬﾈﾙn+1をﾁｬﾈﾙnで置換
7. 54頁の**表6-3.**を更新。群構成設定にRTC32_OVFを追加(RTC_OVF/RTC32_OVF)
8. 63頁の**表7-4.**を更新。表注を追加
9. 71頁の「**ﾚｼﾞｽﾀ要約 – 発振器**」を更新。PLLCTRLﾚｼﾞｽﾀでﾋﾞｯﾄ5のPLLDIVを追加
10. 73頁の「**A/D変換器 – ADC**」に関する記述を更新
11. 85頁の「**BACKUP0 – 代替支援ﾚｼﾞｽﾀ0**」と「**BACKUP1 – 代替支援ﾚｼﾞｽﾀ1**」を更新
12. 100頁の「**ｸﾛｯｸと事象の出力**」を更新。XMEGA AUはﾎﾟｰﾄ ﾋﾟﾝへのどの事象ﾁｬﾈﾙの出力も支援します。
13. 103頁の「**INT0MASK – 割り込み0許可ﾚｼﾞｽﾀ**」と「**INT1MASK – 割り込み1許可ﾚｼﾞｽﾀ**」を更新
14. 104頁「**PINnCTRL – ﾋﾟﾝn構成設定ﾚｼﾞｽﾀ**」のﾋﾞｯﾄ2～0 – ISC2～0の記述を更新
15. 108頁の「**ﾚｼﾞｽﾀ説明 – 仮想ﾎﾟｰﾄ**」を更新
16. 119頁の**表14-2.**を更新
17. 120頁の「**ﾚｼﾞｽﾀ説明**」を更新。全てのTC0/1ﾚｼﾞｽﾀが更新
18. 123頁の「**CTRLFCLR/CTRLFSET – 制御ﾚｼﾞｽﾀF解除/設定**」を更新。ﾋﾞｯﾄ4 – QDECINDX
19. 138頁の「**沈黙時間挿入**」を更新
20. 148頁の「**ﾚｼﾞｽﾀ説明**」を更新。全てのRTCﾚｼﾞｽﾀが更新
21. 149頁で「**STATUS – 状態ﾚｼﾞｽﾀ**」内のﾋﾞｯﾄ0 – SYNCBUSYを更新
22. 149頁の「**CNTL – 計数ﾚｼﾞｽﾀ下位**」を更新
23. 164頁の「**出力ｴﾝﾄﾞﾎﾟｲﾝﾄについて**」を更新。新しい内容挿入
24. 166頁の「**動作電圧**」を追加
25. 168頁の「**FIFOWP – FIFO書き込みﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ**」、169頁の「**FIFORP – FIFO読み込みﾎﾟｲﾝﾀ ﾚｼﾞｽﾀ**」、171頁の「**INTFLAGSBCLR/INTFLAGSBSET – 割り込み要求ﾌﾗｸﾞ解除/設定ﾚｼﾞｽﾀB**」を更新
26. Studioでの名前との提携のためにUSB校正ﾚｼﾞｽﾀの名前を変更。171頁で**CALL**は「**CAL0 – 校正ﾚｼﾞｽﾀ下位**」、**CALH**は「**CAL1 – 校正ﾚｼﾞｽﾀ上位**」と命名
27. 172頁の「**STATUS – 状態ﾚｼﾞｽﾀ**」を更新。ﾋﾞｯﾄ5,4,4,2,1更新;これらのﾌﾗｸﾞはそのﾋﾞｯﾄ位置に論理0を書くことで解除(0)されます。
28. 167頁の「**ﾚｼﾞｽﾀ説明 – USB**」、172頁の「**ﾚｼﾞｽﾀ説明 – USBｴﾝﾄﾞﾎﾟｲﾝﾄ**」、175頁の「**ﾚｼﾞｽﾀ説明 – ﾌﾚｰﾑ**」を更新
29. 176頁の「**ﾚｼﾞｽﾀ要約 – USB単位部**」を更新
30. 187頁の「**BAUD – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀ**」を更新。**式3.**を追加
31. 197頁の**図23-9.**を更新。f_{OSC}をf_{PER}で置換
32. 208頁の「**CTRLC – 制御ﾚｼﾞｽﾀC**」を更新。CHSIZE2～0は011ではなく110で、そしてそれは予約です。
33. 209頁の「**BAUDCTRLA – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀA**」と「**BAUDCTRLB – ﾎﾞｰﾚｰﾄ ﾚｼﾞｽﾀB**」を更新
34. 220頁の「**概要**」を更新。CRC-16とCRC-32は表ではありません。
35. 222頁の「**ﾚｼﾞｽﾀ説明**」を更新。全てのCRCﾚｼﾞｽﾀを更新
36. 222頁の「**STATUS – 状態ﾚｼﾞｽﾀ**」を更新。STATUSﾚｼﾞｽﾀのｱﾄﾞﾚｽは+0x02ではなく+0x01です。
37. 230頁の「**I/Oﾋﾟﾝとﾋﾟﾝ出力構成設定**」を更新
38. 246頁の**図28-18.**を更新
39. 248頁で「**CTRLB – ADC制御ﾚｼﾞｽﾀB**」のﾋﾞｯﾄ7 – IMPMODEを更新

40. 248頁の**表28-2.**に表注を追加
41. 253頁の**図28-10.**の表題を「**ADC利得係数**」に変更
42. 254頁の**表28-12.**でチャネル入力種別を「符号付き動作」に変更、「**チャネル入力種別、CONVMODE=1 (符号付き動作)**」
43. 257頁の「**SCAN - チャネル走査レジスタ**」でビット3～0 - COUNT3～0に対する記述を更新。含まれる入力チャネルはMUXPOS～MUXPOS+COUNTです。
44. 261頁の「**校正**」で全ての式を更新
45. 261頁の「**校正**」を更新。理論上の伝達関数に対するリンクを更新
46. D/A変換器(DAC)校正の命名更新。265頁の「**CH0GAINCAL - チャネル0利得校正レジスタ**」と266頁の「**CH0OFFSETCAL - チャネル0変位校正レジスタ**」、「**CH1GAINCAL - チャネル1利得校正レジスタ**」、「**CH1OFFSETCAL - チャネル1変位校正レジスタ**」
47. 267頁の「**レジスタ要約**」を更新
48. 306頁の**表34-1.**を更新
49. 「**LPC - SRAM 2ポート, ALE1, ALE2, CSなし**」を更新。314頁の**図36-19.**の正しいもので図を置換

38.5. 8331E - 2013年1月

1. 70頁で「**COMP1 - 発振器比較レジスタ1**」と「**COMP2 - 発振器比較レジスタ2**」を更新。説明更新と初期値を'-'に変更
2. 198頁のBSEL計算に対する式をBSEL=($2^{望むBSCALE-1}$)に更新
3. 208頁の「**CTRLC - 制御レジスタC**」を更新。CHSIZE2～0は110ではなく011です。
4. 247頁の「**2つのADC入力の同期採取**」を更新
5. 255頁の**表28-17.**の表題を「**INPUTMODE=11(利得付き差動)使用時のADC MUXNEG構成設定**」に更新
6. 310頁の「**追補A : EBIタイミング図**」を更新

38.6. 8331F - 2013年4月

1. 17頁の「**EEPROM**」を更新
2. 63頁の「**表7-4. RTCクロック元選択**」を更新。表注「**注2**:電池代替支援システム付きデバイスで利用不可」を追加
3. 64頁で「**USBCTRL - USB制御レジスタ**」によってUSBSCTRLを更新
4. 78頁の**表9-1.**を更新。'リセット遅延'に対する正しいULP周期値は64と4です。
5. 81頁の「**電池代替支援システム**」を更新。82頁の「**RTC32 - 32ビット実時間計数器**」を除いて全てのRTCをRTC32に変更
6. 81頁の**図10-1.**を更新。VDDとRTCを各々VCCとRTC32に変更
7. 117頁の「**単一傾斜PWM生成**」と118頁の「**2傾斜PWM生成**」を更新。不正な情報「生成された波形は前置分周が全く使われずにCCAが0($0000)に設定される時に周辺機能クロック周波数(f_{clkPER})の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。」を削除
8. 324頁に「**用語**」を追加

目次

1. 手引書について ・・・・・・・・・・・・・・・・・・・・・・・・ 2
1.1. 手引書の読み方 ・・・・・・・・・・・・・・・・・・・・・・・・ 2
1.2. 資料 ・・・・・・・・・・・・・・・・・・・

10.6. ﾚｼﾞｽﾀ説明 …… 84
10.7. ﾚｼﾞｽﾀ要約 …… 85
11. WDT – ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ …… 86
11.1. 要点 …… 86
11.2. 概要 …… 86
11.3. 標準動作 …… 86
11.4. 窓動作 …… 86
11.5. ｳｫｯﾁﾄﾞｯｸﾞ ﾀｲﾏ ｸﾛｯｸ …… 86
11.6. 構成設定保護と施錠 …… 87
11.7. ﾚｼﾞｽﾀ説明 …… 88
11.8. ﾚｼﾞｽﾀ要約 …… 89
12. 割り込みと設定可能な多段割り込み制御器 …… 90
12.1. 要点 …… 90
12.2. 概要 …… 90
12.3. 動作 …… 90
12.4. 割り込み …… 90
12.5. 割り込みﾚﾍﾞﾙ …… 92
12.6. 割り込み優先権 …… 92
12.7. 割り込みﾍﾞｸﾀ位置 …… 92
12.8. ﾚｼﾞｽﾀ説明 …… 93
12.9. ﾚｼﾞｽﾀ要約 …… 94
13. 入出力ﾎﾟｰﾄ …… 95
13.1. 要点 …… 95
13.2. 概要 …… 95
13.3. I/Oﾋﾟﾝの使い方と構成設定 …… 96
13.4. ﾋﾟﾝ値の読み方 …… 98
13.5. 入力感知構成設定 …… 98
13.6. ﾎﾟｰﾄ割り込み …… 98
13.7. ﾎﾟｰﾄ事象 …… 99
13.8. ﾎﾟｰﾄ機能交換 …… 99
13.9. ｽﾘｭｰﾚｰﾄ制御 …… 100
13.10. ｸﾛｯｸと事象の出力 …… 100
13.11. 複数ﾋﾟﾝ構成設定 …… 100
13.12. 仮想ﾎﾟｰﾄ …… 100
13.13. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ …… 101
13.14. ﾚｼﾞｽﾀ説明 – ﾎﾟｰﾄ構成設定 …… 105
13.15. ﾚｼﾞｽﾀ説明 – 仮想ﾎﾟｰﾄ …… 108
13.16. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ …… 109
13.17. ﾚｼﾞｽﾀ要約 – ﾎﾟｰﾄ構成設定 …… 109
13.18. ﾚｼﾞｽﾀ要約 – 仮想ﾎﾟｰﾄ …… 110
13.19. 割り込みﾍﾞｸﾀ要約 – ﾎﾟｰﾄ …… 110
14. TC0/1 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ0型と1型 …… 111
14.1. 要点 …… 111
14.2. 概要 …… 111
14.3. 構成図 …… 113
14.4. ｸﾛｯｸ元と事象元 …… 114
14.5. 2重緩衝 …… 114
14.6. 計数器動作 …… 115
14.7. 捕獲ﾁｬﾈﾙ …… 116
14.8. 比較ﾁｬﾈﾙ …… 117
14.9. 割り込みと事象 …… 118
14.10. DMA支援 …… 119
14.11. ﾀｲﾏ/ｶｳﾝﾀ指令 …… 119
14.12. ﾚｼﾞｽﾀ説明 …… 120
14.13. ﾚｼﾞｽﾀ要約 …… 127
14.14. 割り込みﾍﾞｸﾀ要約 …… 128
15. TC2 – 16ﾋﾞｯﾄ ﾀｲﾏ/ｶｳﾝﾀ2型 …… 129
15.1. 要点 …… 129
15.2. 概要 …… 129
15.3. 構成図 …… 129
15.4. ｸﾛｯｸ元 …… 130
15.5. 計数器動作 …… 130
15.6. 比較ﾁｬﾈﾙ …… 130
15.7. 割り込みと事象 …… 131
15.8. DMA支援 …… 131
15.9. ﾀｲﾏ/ｶｳﾝﾀ指令 …… 131
15.10. ﾚｼﾞｽﾀ説明 …… 132
15.11. ﾚｼﾞｽﾀ要約 …… 136
15.12. 割り込みﾍﾞｸﾀ要約 …… 136
16. AWeX – 新波形生成拡張 …… 137
16.1. 要点 …… 137
16.2. 概要 …… 137
16.3. ﾎﾟｰﾄ無効化 …… 138
16.4. 沈黙時間挿入 …… 138
16.5. 模様型生成 …… 139
16.6. 障害保護 …… 140
16.7. ﾚｼﾞｽﾀ説明 …… 141
16.8. ﾚｼﾞｽﾀ要約 …… 144
17. Hi･Res – 高分解能拡張 …… 145
17.1. 要点 …… 145
17.2. 概要 …… 145
17.3. ﾚｼﾞｽﾀ説明 …… 146
17.4. ﾚｼﾞｽﾀ要約 …… 146
18. RTC – 実時間計数器 …… 147
18.1. 要点 …… 147
18.2. 概要 …… 147
18.3. ﾚｼﾞｽﾀ説明 …… 148
18.4. ﾚｼﾞｽﾀ要約 …… 151
18.5. 割り込みﾍﾞｸﾀ要約 …… 151
19. RTC32 – 32ﾋﾞｯﾄ実時間計数器 …… 152
19.1. 要点 …… 152
19.2. 概要 …… 152
19.3. ﾚｼﾞｽﾀ説明 …… 153
19.4. ﾚｼﾞｽﾀ要約 …… 156
19.5. 割り込みﾍﾞｸﾀ要約 …… 156
20. USB – 万能直列ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ …… 157
20.1. 要点 …… 157
20.2. 概要 …… 157
20.3. 動作 …… 159
20.4. SRAM割り当て …… 162
20.5. ｸﾛｯｸ生成 …… 162
20.6. ﾋﾟﾝﾎﾟﾝ動作 …… 163
20.7. 複数ﾊﾟｹｯﾄ転送 …… 163
20.8. 自動0長ﾊﾟｹｯﾄ …… 164
20.9. 転送単位処理完了FIFO …… 164
20.10. 割り込みと事象 …… 165
20.11. VBUS検出 …… 166
20.12. ﾁｯﾌﾟ上ﾃﾞﾊﾞｯｸﾞ …… 166
20.13. 動作電圧 …… 166
20.14. ﾚｼﾞｽﾀ説明 – USB …… 167
20.15. ﾚｼﾞｽﾀ説明 – USBｴﾝﾄﾞﾎﾟｲﾝﾄ …… 172
20.16. ﾚｼﾞｽﾀ説明 – ﾌﾚｰﾑ …… 175
20.17. ﾚｼﾞｽﾀ要約 – USB単位部 …… 176
20.18. ﾚｼﾞｽﾀ要約 – USBｴﾝﾄﾞﾎﾟｲﾝﾄ …… 176
20.19. ﾚｼﾞｽﾀ要約 – ﾌﾚｰﾑ …… 176
20.20. USB割り込みﾍﾞｸﾀ要約 …… 176
21. TWI – 2線ｲﾝﾀｰﾌｪｰｽ …… 177
21.1. 要点 …… 177
21.2. 概要 …… 177
21.3. 一般的なTWIﾊﾞｽの概念 …… 177

21.4. TWIﾊﾞｽ状態論理 ・・・・・・・・・・・・・・・・・・・・・・ 180
21.5. TWI主装置動作 ・・・・・・・・・・・・・・・・・・・・・・ 181
21.6. TWI従装置動作 ・・・・・・・・・・・・・・・・・・・・・・ 182
21.7. 外部駆動部ｲﾝﾀｰﾌｪｰｽ許可 ・・・・・・・・・・・・・ 183
21.8. ﾚｼﾞｽﾀ説明 – TWI ・・・・・・・・・・・・・・・・・・・・・・ 184
21.9. ﾚｼﾞｽﾀ説明 – TWI主装置 ・・・・・・・・・・・・・・・・ 184
21.10. ﾚｼﾞｽﾀ説明 – TWI従装置 ・・・・・・・・・・・・・・・・ 188
21.11. ﾚｼﾞｽﾀ要約 – TWI ・・・・・・・・・・・・・・・・・・・・・・ 191
21.12. ﾚｼﾞｽﾀ要約 – TWI主装置 ・・・・・・・・・・・・・・・・ 191
21.13. ﾚｼﾞｽﾀ要約 – TWI従装置 ・・・・・・・・・・・・・・・・ 191
21.14. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・ 191
22. SPI – 直列周辺ｲﾝﾀｰﾌｪｰｽ ・・・・・・・・・・・・・・ 192
22.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 192
22.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 192
22.3. 主装置動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 192
22.4. 従装置動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 193
22.5. ﾃﾞｰﾀ転送種別 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 193
22.6. DMA支援 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 193
22.7. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 194
22.8. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 195
22.9. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 195
23. USART ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 196
23.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 196
23.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 196
23.3. ｸﾛｯｸ生成 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 197
23.4. ﾌﾚｰﾑ構成 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 200
23.5. USART初期化 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 200
23.6. ﾃﾞｰﾀ送信 – USART送信部 ・・・・・・・・・・・・・・・ 200
23.7. ﾃﾞｰﾀ受信 – USART受信部 ・・・・・・・・・・・・・・・ 201
23.8. 非同期ﾃﾞｰﾀ受信 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 202
23.9. 分数ﾎﾞｰﾚｰﾄ生成 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 203
23.10. 主装置SPI動作でのUSART ・・・・・・・・・・・・・・ 204
23.11. USART SPIとSPIの比較 ・・・・・・・・・・・・・・・・ 205
23.12. 複数ﾌﾟﾛｾｯｻ通信動作 ・・・・・・・・・・・・・・・・・・・ 205
23.13. 赤外線通信(IRCOM)動作 ・・・・・・・・・・・・・・・・ 205
23.14. DMA支援 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 205
23.15. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 206
23.16. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 210
23.17. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 210
24. IRCOM – 赤外線通信単位部 ・・・・・・・・・・・・ 211
24.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 211
24.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 211
24.3. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 212
24.4. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 213
25. AESとDESの暗号ｴﾝｼﾞﾝ ・・・・・・・・・・・・・・・・ 214
25.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 214
25.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 214
25.3. DES命令 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 214
25.4. AES暗号単位部 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 215
25.5. ﾚｼﾞｽﾀ説明 – AES ・・・・・・・・・・・・・・・・・・・・・・・・ 217
25.6. ﾚｼﾞｽﾀ要約 – AES ・・・・・・・・・・・・・・・・・・・・・・・・ 219
25.7. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 219
26. CRC – 巡回冗長検査生成器 ・・・・・・・・・・・・ 220
26.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 220
26.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 220
26.3. 動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 220
26.4. ﾌﾗｯｼｭ ﾒﾓﾘでのCRC ・・・・・・・・・・・・・・・・・・・・ 221
26.5. DMAﾃﾞｰﾀでのCRC ・・・・・・・・・・・・・・・・・・・・・・ 221
26.6. I/Oｲﾝﾀｰﾌｪｰｽを用いるCRC ・・・・・・・・・・・・・・ 221
26.7. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 222
26.8. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 224
27. EBI – 外部ﾊﾞｽ ｲﾝﾀｰﾌｪｰｽ ・・・・・・・・・・・・・・ 225
27.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 225
27.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 225
27.3. ﾁｯﾌﾟ選択 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 225
27.4. EBIｸﾛｯｸ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 226
27.5. SRAM構成設定 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 226
27.6. SRAM LPC構成設定 ・・・・・・・・・・・・・・・・・・・・・ 227
27.7. SDRAM構成設定 ・・・・・・・・・・・・・・・・・・・・・・・・・ 228
27.8. SRAMとSDRAMの結合構成設定 ・・・・・・・・・・・・ 230
27.9. I/Oﾋﾟﾝとﾋﾟﾝ出力構成設定 ・・・・・・・・・・・・・・・・ 230
27.10. ﾚｼﾞｽﾀ説明 – EBI ・・・・・・・・・・・・・・・・・・・・・・・・ 232
27.11. ﾚｼﾞｽﾀ説明 – EBI ﾁｯﾌﾟ選択 ・・・・・・・・・・・・・・・ 236
27.12. ﾚｼﾞｽﾀ要約 – EBI ・・・・・・・・・・・・・・・・・・・・・・・・ 238
27.13. ﾚｼﾞｽﾀ要約 – EBI ﾁｯﾌﾟ選択 ・・・・・・・・・・・・・・・ 238
28. ADC – A/D変換器 ・・・・・・・・・・・・・・・・・・・ 239
28.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 239
28.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 239
28.3. 入力元 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 240
28.4. ADCﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 242
28.5. 基準電圧選択 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 242
28.6. 変換結果 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 242
28.7. 比較機能 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 244
28.8. 変換の開始方法 ・・・・・・・・・・・・・・・・・・・・・・・・・ 244
28.9. ADCｸﾛｯｸと変換ﾀｲﾐﾝｸﾞ ・・・・・・・・・・・・・・・・・・ 244
28.10. ADC入力模式 ・・・・・・・・・・・・・・・・・・・・・・・・・・ 246
28.11. DMA転送 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 247
28.12. 割り込みと事象 ・・・・・・・・・・・・・・・・・・・・・・・・・ 247
28.13. 校正 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 247
28.14. ﾁｬﾈﾙ優先権 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 247
28.15. 同期採取 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 247
28.16. ﾚｼﾞｽﾀ説明 – ADC ・・・・・・・・・・・・・・・・・・・・・・・ 248
28.17. ﾚｼﾞｽﾀ説明 – ADCﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・ 253
28.18. ﾚｼﾞｽﾀ要約 – ADC ・・・・・・・・・・・・・・・・・・・・・・・ 258
28.19. ﾚｼﾞｽﾀ要約 – ADCﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・ 259
28.20. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 259
29. DAC – D/A変換器 ・・・・・・・・・・・・・・・・・・・ 260
29.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 260
29.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 260
29.3. 基準電圧選択 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 260
29.4. 変換の開始 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 260
29.5. 出力と出力ﾁｬﾈﾙ ・・・・・・・・・・・・・・・・・・・・・・・・・・ 261
29.6. DAC出力模式 ・・・・・・・・・・・・・・・・・・・・・・・・・・・ 261
29.7. DACｸﾛｯｸ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 261
29.8. 低電力動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 261
29.9. 校正 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 261
29.10. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 262
29.11. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 267
30. AC – ｱﾅﾛｸﾞ比較器 ・・・・・・・・・・・・・・・・・・・ 268
30.1. 要点 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 268
30.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 268
30.3. 入力元 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 269
30.4. 信号比較 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 269
30.5. 割り込みと事象 ・・・・・・・・・・・・・・・・・・・・・・・・・ 269
30.6. 窓動作 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 269
30.7. 入力ﾋｽﾃﾘｼｽ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 269
30.8. 伝播遅延対電力消費 ・・・・・・・・・・・・・・・・・・・・ 269
30.9. ﾚｼﾞｽﾀ説明 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 270
30.10. ﾚｼﾞｽﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・ 274
30.11. 割り込みﾍﾞｸﾀ要約 ・・・・・・・・・・・・・・・・・・・・・・・・ 274

31. IEEE 1149.1 JTAG境界走査ｲﾝﾀｰﾌｪｰｽ ････ 275
31.1. 要点 ･･･････････････････････････････ 275
31.2. 概要 ･･･････････････････････････････ 275
31.3. 検査入出力ﾎﾟｰﾄ(TAP) ･･････････････････ 275
31.4. JTAG命令 ･･････････････････････････ 276
31.5. 境界走査ﾁｪｰﾝ ･･････････････････････ 278
31.6. ﾃﾞｰﾀ ﾚｼﾞｽﾀ ･･････････････････････････ 278
32. ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾃﾞﾊﾞｯｸﾞ用ｲﾝﾀｰﾌｪｰｽ･･････････ 280
32.1. 要点 ･･･････････････････････････････ 280
32.2. 概要 ･･･････････････････････････････ 280
32.3. PDI物理層 ･･････････････････････････ 281
32.4. JTAG物理層 ･････････････････････････ 283
32.5. PDI制御器 ･･････････････････････････ 284
32.6. ﾚｼﾞｽﾀ説明 – PDI命令とｱﾄﾞﾚｽ指定ﾚｼﾞｽﾀ ･･ 288
32.7. ﾚｼﾞｽﾀ説明 – PDI制御/状態ﾚｼﾞｽﾀ ････････ 288
32.8. ﾚｼﾞｽﾀ要約 ･･････････････････････････ 289
33. ﾒﾓﾘ ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ･･････････････････････････ 290
33.1. 要点 ･･･････････････････････････････ 290
33.2. 概要 ･･･････････････････････････････ 290
33.3. NVM制御器 ･･････････････････････････ 290
33.4. NVM指令 ････････････････････････････ 290
33.5. NVM制御器多忙状態 ･･････････････････ 291
33.6. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾍﾟｰｼﾞ緩衝部 ･････ 291
33.7. ﾌﾗｯｼｭ ﾒﾓﾘとEEPROMのﾌﾟﾛｸﾞﾗﾐﾝｸﾞ手順 ･･･ 292
33.8. NVMの保護 ･･････････････････････････ 293
33.9. NVM化けの防止 ･･････････････････････ 293
33.10. CRC機能 ･･･････････････････････････ 293
33.11. 自己ﾌﾟﾛｸﾞﾗﾐﾝｸﾞとﾌﾞｰﾄﾛｰﾀﾞ支援 ･････････ 293
33.12. 外部ﾌﾟﾛｸﾞﾗﾐﾝｸﾞ ･･････････････････････ 301
33.13. ﾚｼﾞｽﾀ説明 ････････････････････････ 305
33.14. ﾚｼﾞｽﾀ要約 ････････････････････････ 305
34. 周辺機能単位部ｱﾄﾞﾚｽ割り当て･････････ 306
35. 命令一式要約 ･･････････････････････････ 307
36. 追補A : EBIﾀｲﾐﾝｸﾞ図 ･･････････････････ 310
36.1. SRAM 3ﾎﾟｰﾄ, ALE1, CS ･･････････････ 310
36.2. SRAM 3ﾎﾟｰﾄ, ALE1, ALE2, CS ･････････ 310
36.3. SRAM 4ﾎﾟｰﾄ, ALE2, CS ･･････････････ 311
36.4. SRAM 4ﾎﾟｰﾄ, ALEなし, CS ･･････････････ 312
36.5. LPC SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CS ･･････ 312
36.6. LPC SRAM 3ﾎﾟｰﾄ, ALE1, CS ･･････････ 312
36.7. LPC SRAM 2ﾎﾟｰﾄ, ALE1, CS ･･････････ 313
36.8. SRAM 3ﾎﾟｰﾄ, ALE1, CSなし ･･････････ 313
36.9. SRAM 4ﾎﾟｰﾄ, ALEなし, CSなし ･･････････ 313
36.10. LPC SRAM 2ﾎﾟｰﾄ, ALE1, ALE2, CSなし ･･･ 314
36.11. SDRAM初期化 ･･････････････････････ 314
36.12. SDRAM 8ﾋﾞｯﾄ書き込み ･･････････････ 315
36.13. SDRAM 8ﾋﾞｯﾄ読み込み ･･････････････ 317
36.14. SDRAM 4ﾋﾞｯﾄ書き込み ･･････････････ 319
36.15. SDRAM 4ﾋﾞｯﾄ読み込み ･･････････････ 321
36.16. SDRAM 再活性(ﾘﾌﾚｯｼｭ) ･･････････････ 323
37. 用語 ･･････････････････････････････････ 324
37.1. 記号と演算子 ･･････････････････････ 324
37.2. 数値表記 ･･････････････････････････ 324
37.3. ﾒﾓﾘ量と形式 ･･････････････････････ 324
37.4. ﾚｼﾞｽﾀとﾋﾞｯﾄ ･･････････････････････ 324
37.5. 略語 ･･････････････････････････････ 325
37.6. 約定 ･･････････････････････････････ 326
38. ﾃﾞｰﾀｼｰﾄ改訂履歴 ･･････････････････････ 327
38.1. 8331A – 2011年7月 ･･････････････････ 327
38.2. 8331B – 2012年3月 ･･････････････････ 327
38.3. 8331C – 2012年4月 ･･････････････････ 328
38.4. 8331D – 2012年12月 ･･････････････････ 328
38.5. 8331E – 2013年1月 ･･････････････････ 329
38.6. 8331F – 2013年4月 ･･････････････････ 329

Enabling Unlimited Possibilities®

Atmel Corporation
1600 Technology Drive
San Jose, CA 95110
USA
TEL (+1)(408) 441-0311
FAX (+1)(408) 487-2600
www.atmel.com

Atmel Asia Limited
Unit 01-5 & 16, 19F
BEA Tower, Millennium City 5
418 Kwun Tong Road
Kwun Tong, Kowloon
HONG KONG
TEL (+852) 2245-6100
FAX (+852) 2722-1369

Atmel Munich GmbH
Business Campus
Parking 4
D-85748 Garching b. Munich
GERMANY
TEL (+49) 89-31970-0
FAX (+49) 89-3194621

Atmel Japan G.K.
141-0032 東京都品川区
大崎1-6-4
新大崎勧業ﾋﾞﾙ 16F
ｱﾄﾒﾙ ｼﾞｬﾊﾟﾝ合同会社
TEL (+81)(3)-6417-0300
FAX (+81)(3)-6417-0370

© 2013 Atmel Corporation. 不許複製 / 改訂:8331F-AVR-04/2013

Atmel®、Atmelﾛｺﾞとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他はAtmel Corporationの登録商標または商標またはその付属物です。他の用語と製品名は一般的に他の商標です。

お断り: 本文書内の情報はAtmel製品と関連して提供されています。本文書またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。**Atmelのｳｪﾌﾞｻｲﾄに位置する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本文書を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。**Atmelは本文書の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

© *HERO* 2022.

本ﾃﾞｰﾀｼｰﾄはAtmelのATxmega AU英語版手引書(改訂8331F-04/2013)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には( )内に英語表記や略称などを残す形で表記しています。

青字の部分はﾘﾝｸとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。