

8ビット Atmel XMEGA B マイクロ コントローラ XMEGA B 手引書

本文書はAtmel® AVR® XMEGA® Bマイクロコントローラ系列に含まれる全ての単位部の完全且つ詳細な記述を含みます。Atmel AVR XMEGA BはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビット マイクロコントローラ系列です。この手引書で記載されるAtmel AVR XM EGA B単位部は次のとおりです。

- Atmel AVR CPU
- ・メモリ
- DMAC 直接メモリ入出力制御器(Direct Memory Access Controller)
- 事象システム
- システム クロックとクロック選択
- 電力管理と休止形態動作
- システム制御とリセット
- WDT ウォッチトック タイマ(Watchdog Timer)
- 割り込みと設定可能な多段割り込み制御器
- PORT 入出力ポート
- TC 16ビット タイマ/カウンタ
- AWeX 新波形生成拡張
- Hi-Res 高分解能拡張
- RTC 実時間計数器(Real Time Counter)
- USB 万能直列バス インターフェース(Universal serial bus interface)
- TWI 2線直列インターフェース(Two Wire Serial Interface)
- SPI 設定可能な直列インターフェース(Serial Programmable Interface)
- USART 同期/非同期万能送受信機 (Universal Synchronous and Asynchronous Serial Receiver and Transmitter)
- IRCOM 赤外線通信部(IR Communication Module)
- AESとDESの暗号エンシン
- CRC 巡回冗長検査部(Cyclic redundancy check)
- LCD 液晶表示部(Liquid Crystal Display)
- ADC A/D変換器(Analog to Digital Converter)
- AC アナログ比較器(Analog Comparator)
- IEEE 1149.1 JTAGインターフェース
- PDI プログラミングとディッグ用インターフェース
- メモリ プログラミング
- 周辺機能アドレス割り当て
- レシブスタ要約
- 割り込みへ、クタ要約
- 命令一式要約

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

1. 手引書について

本文書はAtmel AVR XMEGA Bデバイス系列で利用可能な全単位部の徹底的な文書化を含みます。全ての特性は機能的段階で文書化され、一般的な意味で記述されています。この手引書で記述された全ての周辺機能や単位部が全てのAtmel AVR XMEGA B デバイスに存在しないかもしれません。

特性データ、メモリ容量、利用可能な周辺機能のようなデバイス特有情報の全てとそれらのメモリ絶対アドレスついてはデバイスのデータシートを参照してください。1つのデバイスに周辺機能が多数存在する場合、各部は一意の名前を持ちます。例えば各ポート単位部(PORT)はPORTAやPORTBなどのような一意の名前を持ちます。レジスタ名、ビット名はその単位部内で一意です。

周辺機能と単位部に対して用いられる使用とコート・例のより多くの詳細については、http://www.atmel.com/avrで利用可能なAtmel AVR XMEGA固有応用記述を参照してください。

1.1. 手引書の読み方

本手引書の主項目は様々な単位部と周辺機能を記述します。各項目は簡単な機能一覧と簡単な単位部概要記述を含みます。項の 残りは特性と機能をもっと詳細に記述します。

レシ、スタ記述項は全レシ、スタを一覧にし、それらの機能と共に各ビットとフラケを記述します。これは単位部の各種機能の設定と許可の方法の詳細を含みます。構成設定に複数ビットが必要な場合、それらはビット群で共に分類されます。可能なビット群構成設定はそれらが関連する群構成設定と簡単な記述と共に全てのビット群に関して一覧にされます。 群構成設定はAtmel AVR XMEGAで使われる定義済み構成設定名、アセンブラ ヘッダ・ファイル、応用記述ソース コートを参照してください。

レシ、スタ要約項は各単位部形式に対する内部レシ、スタ配置を一覧にします。

割り込みへ、クタ要約項は割り込みへ、クタと各単位部形式に対する差分アトレスを一覧にします。

1.2. 資料

開発ツール、応用記述、データシートの包括的な1式はhttp://www.atmel.com/avrからのダウンロードで利用できます。

1.3. 推奨読物

- Atmel AVR XMEGA B デブイス データシート
- AVR XMEGA応用記述

本手引書は一般的な単位部と周辺機能記述を含みます。AVR XMEGA Bデバイスのデートシートはデバイス固有情報を含みます。 XMEGA応用記述とAtmelソフトウェア枠組み(ASF)はコートで例を含み、単位部と周辺機能を適用する使い方を示します。

新規の使用者は「AVR1000 - Atmel XMEGAIC対してCコードを書く前に」応用記述を読むことが推奨されます。



2. 概要

AVR XMEGA BはAVR強化型RISC構造に基いた低電力、高性能、豊富な周辺機能の8/16ビットマイクロコントローラ系列です。単一クロック周期で実行する強力な命令によって、Atmel AVR XMEGA Bデバイスはシステム設計者に対して電力消費対処理速度の最適化を可能にする、MHz当たり100万命令(MIPS:Million Instructions Per Second)に達する単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコート、効率と同時に、伝統的な単一累積器やCISCに基くマイクロコントローラよりも何倍も速い単位時間処理能力達成に帰着します。

Atmel AVR XMEGA Bデバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュメモリ、内部のEEPROMとSRAM、2チャネルのDMA制御器、4チャネルの事象システム、設定可能な多段割り込み制御器、53本までの汎用入出力線、16 ビット実時間計数器(RTC)、比較動作とPWM付きの3つまでの柔軟な16ビット タイマ/カウンタ、2つまでのUSART、1つの I^2 CとSMBus適合の2線直列インターフェース(TWI)、1つの全速(Full-speed)USB2.0インターフェース、1つの直列周辺インターフェース(SPI)、4つまでの共通電極と最大40個のセグメント電極の表示能力を支援する1つのLCD制御器、CRC単位部、AESとDESの暗号エンジン、設定可能な利得付きの任意選択差動入力を持つ2組までの8チャネル 12ビットA/D変換器、窓動作を持つ4つまでのアナログ比較器、独立した内部発振器を持つ設定可能なウォッチドッグタイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。選ばれたデバイスはIEEE std. 1149. 1適合JTAGインターフェースも持ち、これはチップ上デバッグとプログラミングにも使うことができます。

Atmel AVR XMEGAデバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、SRAM、DMA制御器、事象システム、割り込み制御器、全ての周辺機能に機能継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWI、USB再開またはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。この動作形態ではLCD制御器がパネルへのデータ再活性を許されます。スタンバイ動作では外部クリスタル用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部発振器からの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。この動作形態ではLCD制御器がパネルへのデータ再活性を許されます。更なる消費電力低減のため、各個別周辺機能への周辺機能クロックは活動動作とアイドル動作に於いて任意で停止することができます。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュメモリはPDIまたはJTAGインターフェースを通して実装書き換えすることができます。デバイス内で走行するブートローダはフラッシュメモリに応用プログラムを取得格納するのにどのインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダ・ソフトウェアは応用フラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、Atmel AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロコントローラ系列です。

Atmel AVR XMEGA BデバイスはCコンパイラ、マクロ アセンフ・ラ、プログラム デバッカ・/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。



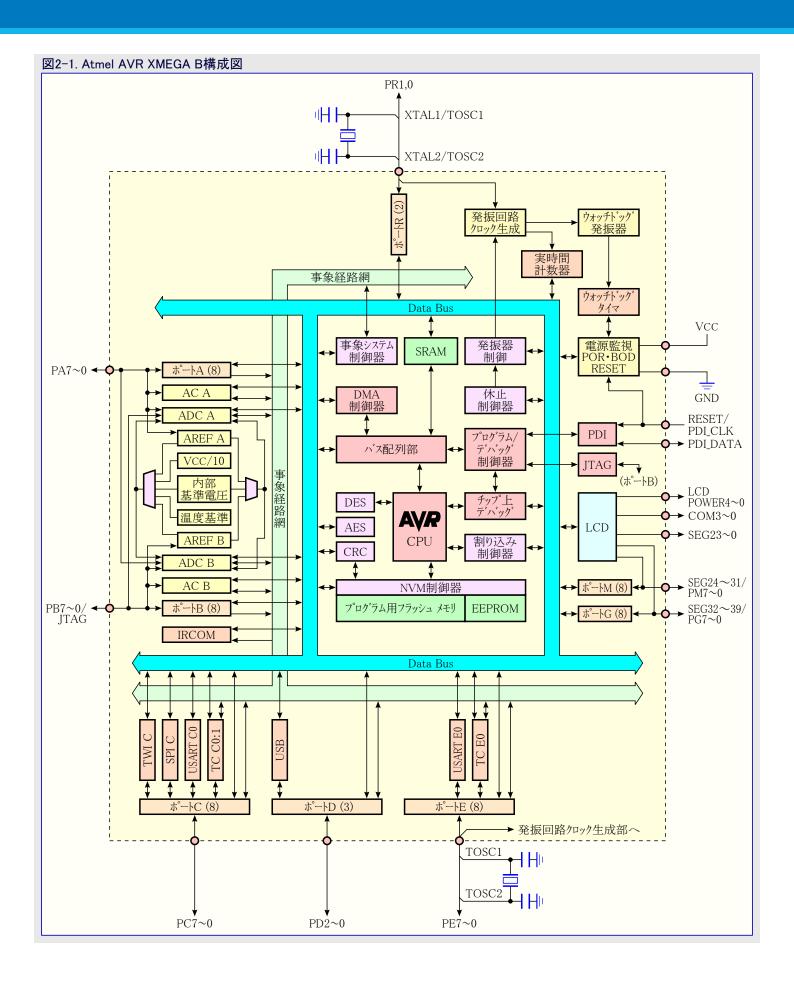




表2-1.に於いてXMEGA B系に関する機能要約が示され、各副系亜種に対して1つの機能要約列に分けます。各副系は同じ機能の 組を持ちますが、異なるメモリ選択を持ち、注文符号とメモリ選択についてはそれらのデバイスのデータシートを参照してください。

表2-1. XMEGA B機能要約概要

機能	詳細 副系	B1	B3
	合計	100	64
ピン、I/O	設定可能なI/Oピン	53	36
	プ゜ロク゛ラム メモリ (Kハ゛イト)	64~128	64~128
	ブート メモリ (Κハ イト)	4~8	4~8
メモリ	SRAM (Kバイト)	4~8	4~8
	EEPROM (Kハ イト)	2	2~4
	汎用レジスタ	16	16
	TQFP	100A	64A
外囲器	QFN/VQFN	-	64M2
	BGA	100C1/100C2	-
QTouch	感知チャネル	56	56
DMA制御器	チャネル	2	2
	チャネル	4	4
事象システム	QDEC	1	1
	0.4~16MHz XOSC	0	\cap
クリスタル用発振器	32.768kHz TOSC	Ô	$\overline{\bigcirc}$
	校正付き2MHz	Ô	0
	校正付き32MHz	Ô	0
内部発振器	128MHz PLL	0	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	校正付き32.768kHz	0	$\overline{\bigcirc}$
	32kHz ULP	0	0
	TC0 - 16t yh,4CC	2	1
	TC1 - 16t yh,2CC	1	1
	TC2 - 8t y > 2	2	1
タイマ/カウンタ	Hi-Res	1	1
	AWeX	1	1
	RTC	1	1
	USB全速(Full-speed)装置	1	1
	USART	2	1
直列通信	SPI	1	1
	TWI	1	1
	AES-128	\cap	\cap
	DES	O	0
暗号/CRC	CRC-16	Ô	O
	CRC-32	0	0
液晶表示制御器	セグメント	40	25
(LCD)	共通電極	4	4
(===)	ADC単位部数	2	1
	分解能(ビット)	12	12
A/D変換器 (ADC)	採取速度 (kbps)	300	300
	ADC当たりの入力チャネル	16	8
	変換チャネル	1	1
アナログ比較器 (AC)	-	4	2
	PDI	\bigcirc	0
プログラミングとデバッグ	JTAG	Ö	0
用インターフェース	境界走査	Ô	O



3. Atmel AVR CPU

3.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 142命令
 - ハート・ウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- RAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタック ポインタ
- 16Mハーイトまでのプログラムメモリと16Mハーイトのデータメモリを直接アトレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の構成設定変更保護

3.2. 概要

全てのAtmel AVR XMEGAデバイスは8/16ビットAVR CPUを使っています。CPUの主な機能はコードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムの実行が行えます。割り込みの扱いは独立した項、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されます。

3.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとハスを持つハーハード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の要約については285頁の「命令一式要約」を参照してください。

全AVR命令の詳細については http://www.atmel.com/avr を参照してください。

論理演算部(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単独レジスタ操作もALUで実行できます。 演算操作後、操作結果に関する情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レシ、スタファイルへ直結されます。32個の8ビット汎用作業レシ、スタの全てはレジ、スタ間またはレジ、スタと即値間での単一クロック論理演算操作を許す単一クロック周期アクセスです。32個のレジ、スタ内の6つはデータ空間に対して効率的なアドレス計算を可能とするアドレス指定用の3つの16ビットアドレスポインタとして使うことできます。これらのアドレスポインタ内の1つはプログラム用フラッシュメモリ内の表を調べるためのアドレスポインタとしても使うことができます。メモリ空間は直線的です。データメモリ空間とプログラムメモリ空間は2つの別なメモリ空間です。

データメモリ空間はI/Oレシ、スタ、SRAM、外部RAMに分けられます。 加えてEEPROMがデータメモリ内にメモリ割り当てされ得ます。

全I/Oの状態と制御のレジスタはデータ メモリの最下位4Kバイト位置に属します。これはI/Oメモリ空間として参照されます。最下位64位置は直接的、または\$0000~\$003Fのデータ空間位置としてアク

図3-1. AVR CPU構造の構成図 プログラム カウンタ レシブスタ ファイル R31 (ZH) R30 (ZL) R29 (YH) R28 (YL) R24 プログラム用 R21 R20 フラッシュ メモリ R19 R17 R16 R14 R13 R11 R9 R7 R5 R3 R12 R8 命令レジスタ R4 命令復号 データメモリ スタック ホ。インタ ステータス レシ・スタ ALU

セスできます。残りは\$0040~\$1FFFに連なる拡張I/Oメモリ空間です。I/Oレジスタはここで取得(LD/LDS/LDD)と格納(ST/STS/STD)命令を使ってデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。AVR構造で支援される5つの異なる位置指定種別を通してこれは容易にアクセスできます。SRAM先頭アドレスは\$2000です。

\$1000~\$1FFFのデータ位置はEEPROMのメモリ割り当て用に予約されています。

プログラム メモリは、応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護用の専用施錠ビットを持ちます。応用フラッシュ メモリの自己プログラミングに使われるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護用の独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラム用メモリ内での不揮発性データ保存格納に使うことができます。



3.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はレシ、スタ間またはレシ、スタと定数間の演算と論理操作を支援します。単一レシ、スタ操作も実行できます。ALUは32個全ての汎用レシ、スタと直結で動作します。単一クロック周期で、汎用レシ、スタ間または、レシ、スタと即値間の演算操作が実行されて結果がレシ、スタファイルに格納されます。演算または論理操作後、ステータスレシ、スタが操作結果を反映するために更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。

8ビットと16ビットの両方の演算が支援され、命令一式は効率的な32ビット演算の実装を許します。ハードウェア乗算器は符号付と符号なしの乗算そして固定小数点形式を支援します。

3.4.1. ハート・ウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付きと符号なしの整数乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付きと符号なしの固定小数点数乗算

乗算は2CPUクロック周期かかります。

3.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アドレス'0'から命令の実行を開始します。プログラム カウンタ(PC)は取得されるべき次の命令の位置を示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どの命令は16ビット語形式を用い、一方特別ないくつかは32ビット形式を用います。

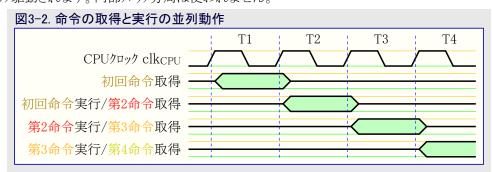
割り込みとサブルーチン呼び出しの間、復帰アトンスのPC(値)がスタックに格納されます。スタックは一般的なデータ用SRAMに配置され、必然的にスタック容量は総SRAM容量とSRAMの使用法によってのみ制限されます。リセット後、スタック ポーインタ(SP)は内部SRAMの最上位アトンスを指し示します。SPはI/Oメモリ空間で読み書きアクセス可能で、多数のスタックまたはスタック領域の容易な実装を許します。データ用SRAMはAVR CPUで支援される5つの異なるアトンス指定形態を通して容易にアクセスすることができます。

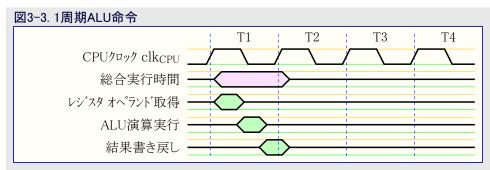
3.6. 命令実行タイミング

AVR CPUはCPUクロック(clkCPU)によってクロック駆動されます。内部クロック分周は使われません。

図3-2.はハーハート・構造と高速入出力レジスタファイルの概念によって可能にされる命令取得と命令実行の並列化を示します。これは高い電力効率と共にMHz当たり1MIPSの性能を得るのに使われる基本的なパイプラインの概念です。

図3-3.はレシ、スタファイルに関する内部タイミングの概念を示します。単一クロック周期で2つのレシ、スタオペラントを使うALU操作が実行され、その結果が転送先レシ、スタへ書き戻されます。







3.7. ステータス レジスタ

ステータス レジ スタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。ステータス レジスタは「命令一式手引書」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコートに帰着します。

ステータス レジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータス レシ、スタはI/Oメモリ空間でアクセスできます。

3.8. スタックとスタック ホ°インタ

スタックは割り込みとサブルーチン呼び出し後の復帰アトンスの格納に使われます。一時データの格納にも使えます。スタック ポインタ(SP)レシ、スタ は常にスタックの先頭(訳注:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジ、スタとして実装されます。データはPUSH命令とPOP命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アトンスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されています。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/-2されます。128Kバイトを越えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスはRETI命令を使って割り込みから、またはRET命令を使ってサブルーチン呼び出しから戻る時にスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは-1され、POP命令を使ってスタックからデータを取得する時に+1されます。

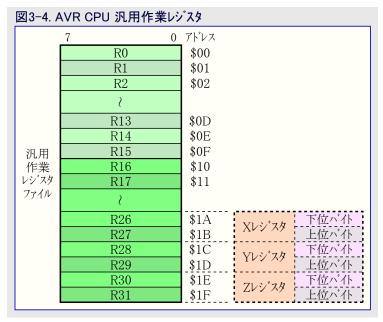
ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

3.9. レジスタ ファイル

レジスタファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用レジスタから成ります。レジスタファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアトンス指定用の3つの16ビットアトンスレジスタ ポインタとして用いることができ、効率的なアトンス計算を許します。3つのアトンスポインタの1つはプログラム用フラッシュメモリ内の参照表用のアトンスポインタとしても用いることができます。レジスタファイルは独立したアトンス空間に配置され、故にレジスタはデータメモリとしてアクセスできません。



3.9.1. X,Y,Z レジスタ

R26~R31レジスタにはそれらの汎用使用に属する付加機能があります。

これらのレジスタはデータ メモリ位置指示用の16ビットアトレスポインタ形式にできます。これら3つのアトレスレジスタはX,Y,Zレジスタと呼ばれます。Zレジスタはプログラム用フラッシュメモリ、識票列、ヒューズと施錠ビットに対する読み書きのためのアトレスポインタとしても使えます。

下位側レジスタのアトレスは最下位バイト(LSB)を保持し、上位側レジスタのアトレスは最上位バイト(MSB)を保持します。様々な位置指

図3-5. X,Y,Z	レジスタ	2			
	15	XH (上位)		XL (下位)	0_
X レジスタ	7	R27 (\$1B)	0 7	R26 (\$1A)	0
	15	YH (上位)		YL (下位)	0_
Y レジスタ	7	R29 (\$1D)	0 7	R28 (\$1C)	0
	15	ZH (上位)		ZL (下位)	0_
Z レジスタ	7	R31 (\$1F)	0 7	R30 (\$1E)	0

示種別で、これらのアドレス レジスタは固定変位、自動増加、自動減少としての機能を持ちます(詳細については「**命令一式手引書**」をご覧ください)。



3.10. RAMPと間接拡張レジスタ

64Kバイトを越えるプログラム メモリやデータ メモリをアクセスするために、アドレス ポインタは16ビットより多くなければなりません。これはX,Y,または Zレジスタの1つに1つのレジスタを連結することによって行われます。そのレジスタは24ビットのアドレスまたはアドレス ポインタ内の最上位バイト (MSB)を保持します。

これらのレジスタは外部バスインターフェースまたは64Kバイトを越えるプログラムかデータのメモリ空間を持つデバイスでだけ利用できます。これらのデバイスついてはデバイス内のプログラムとデータのメモリ空間全体をアドレス指定するのに必要なビット数だけがレジスタ内に実装されます。

3.10.1. RAMPX,RAMPY,RAMPZ レシ スタ

RAMPX,RAMPY,RAMPZレシ、スタは64Kハ、イトを越え16Mハ、イトまでのデータ メモリ空間全体の間接位置指示を可能とするために各々X,Y,Zレシ、スタと連結されます。

図3-6. RAMPX+X,RAM	MPY+Y,RAMPZ	Z+Zレジスタの	組み合わせ			
23		16 15		8 7		0
Xホ°インタ 7	RAMPX	0 7	XH	0 7	XL	0
23		16 15		8 7		0
Yポペンタ 7	RAMPY	0 7	ΥH	0 7	YL	0
23		16 15		8 7		0
Zポペンタ 7	RAMPZ	0 7	ZH	0 7	ZL	0

プログラム メモリの最初の128Kバイトを越えるプログラム メモリ位置の読み込み(ELPM)と書き込み(SPM)時、RAMPZは24ビット アドレス形式のためにZレジスタと連結されます。LPMはRAMPZ設定によって影響を及ぼされません。

3.10.2. RAMPD レジスタ

このレシ、スタは64Kハ、イトを越えるデータ メモリ空間全体の直接位置指示を可能とするためにオペラント、と連結されます。RAMPDとオペラントと 共に24ビット アト、レス形式になるでしょう。

図3-7. RAMPD+	kの組み	合わせ			
	23		16 15	8 7	0
直接位置指示	7	RAMPD	0 15	k	0

3.10.3. EIND レジスタ

EINDはプログラム メモリの最初の128Kバイト(64K語)を越える位置に対して間接の分岐や呼び出しを可能とするためにZポインタと連結されます。

図3-8. EIND+Zレ	ジスタの糸	且み合わせ					
	23		16 15		8 7		0
間接位置指示	7	EIND	0 7	ZH	0 7	ZL	0

3.11. 16ビット レシ スタのアクセス

AVRのデータ バスは8ビット幅で、故に16ビット レジスタのアクセスは非分断(atomic)操作が必要です。これらのレジスタは2つの読みまたは書き操作を用いてバイト入出力されなければなりません。16ビット レジスタは8ビット バスと16ビット バスを使う一時レジスタに接続されています。

書き込み操作については上位バイトの前に16ビット レジスタの下位バイトが書かれなければなりません。そして下位バイトは一時レジスタに書かれます。16ビット レジスタの上位バイトが書かれる時に、同じクロック周期で一時レジスタが16ビット レジスタの下位バイトに複写されます。

読み込み操作については上位バイトの前に16ビット レジスタの下位バイトが読まれなければなりません。下位バイト レジスタがCPUによって 読まれるとき、下位バイトが読まれるのと同じクロック周期で16ビット レジスタの上位バイトが一時レジスタに複写されます。上位バイトが読まれると、それは一時レジスタから読まれます。

これはレジスタの読み書き時に16ビット レシ、スタの上位バイトと下位バイトがいつも同時にアクセスされることを保証します。

非分断16ビット読み/書き操作間に割り込みが起動されて同じ16ビット レジスタのアクセスを試みる場合、割り込みは時間手順を不正にし得ます。これを防ぐために、16ビット レジスタの読み書き時に割り込みを禁止できます。

一時レジスタは使用者ソフトウェアから直接読み書きできます。

3.11.1. 24及び32ビットレジスタのアクセス

24と32ビットのレジスタに対する読み書きアクセスは、24ビットレジスタについては2つ、32ビットレジスタについては3つの一時レジスタがあるのを除いて、16ビットレジスタに関して記述されたのと同じ方法で行われます。最下位バイトは書き込みを行う時に先に書かれ、読み込みを行う時に先に読まれなければなりません。



3.12. 構成設定変更保護

システムの重要なI/Oレシ、スタ設定は予期せぬ変更から保護されます。SPM命令が予期せぬ実行から保護され、LPM命令はヒュースと識票列読み込み時に保護されます。これは構成設定変更保護(CCP)レシ、スタによって全体的に取り扱われます。保護されたI/Oレシ、スタまたはビットへの変更や、保護された命令の実行は、CPUがCCPレシ、スタへ識票を書いた後でだけ可能です。各識票はレシ、スタ説明で記述されます。

I/Oレシ、スタ保護に対する1つとLPM/SPM命令保護に対する2つの動作種別があります。

3.12.1. 保護されたI/Oレジスタへの書き込み操作手順

- 1. 応用コートはCCPレジスタに保護されたI/Oレジスタの変更許可用識票を書きます。
- 2. 4命令周期内に応用コートは保護されたレジスタへ適切なデータを書かなければなりません。殆どの保護されたレジスタは書き込み許可/変更許可のビットも含みます。このビットはデータが書かれるのと同じ操作内で1を書かれなければなりません。保護された変更はCPUがI/Oレジスタまたはデータメモリに書き込み操作を実行する場合、またはSPM,LPM.SLEEP命令が実行される場合、直ちに禁止されます。

3.12.2. 保護されたLPM/SPMの実行手順

- 1. 応用コードはCCPレジスタに保護されたLPM/SPMの実行用識票を書きます。
- 2. 4命令周期内に応用ュートは適切な命令を実行しなければなりません。保護された変更はCPUがデータメモリに書き込み操作を実行する場合、またはSLEEP命令が実行される場合、直ちに禁止されます。

CPUによって一旦正しい識票が書かれると、割り込みは構成設定変更許可期間中について無視されるでしょう。CCP期間の間の(遮蔽不可割り込みを含む)どんな割り込み要求も通常様に対応する割り込み要求フラグを設定(1)し、そしてその要求は保留を維持されるでしょう。CCP期間完了後に何れかの保留割り込みがそれらのレベルと優先権に従って実行されます。DMA要求が未だ取り扱われていますが、保護された構成設定変更許可期間に影響しません。DMAによって書かれた識票は無視されます。

3.13. 施錠ヒューズ

システムで重要ないくつかの機能について関連するI/O制御レジスタ内の全ての変更を禁止するためのヒューズをプログラム(0)にできます。これが行われた場合、使用者ソフトウェアからレジスタを変更することが不可能になり、このヒューズは外部書き込み器を使う書き換えだけができます。これの詳細はこの機能が利用可能な単位部のデーターシートで記述されます。



3.14. レジスタ説明

3.14.1. CCP - 構成設定変更保護レジスタ (Configuration Change Protection register)

ピット	7	6	5	4	3	2	1	0	
+\$04				CCF	P7~0				CCP
Read/Write	W	W	W	W	W	W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CCP7~0:構成設定変更保護 (Configuration Change Protection)

CCPレジスタは保護されたI/Oレジスタの変更または保護された命令の実行を許可するための正しい識票を最大4CPU命令周期内に書かれなければなりません。これらの周期の間は全ての割り込みが無視されます。これらの周期後に割り込みはCPUによって自動的に再び取り扱われて、どの保留割り込みもそれらのレベルと優先権に従って実行されるでしょう。保護されたI/Oレジスタの識票が書かれると、CCP0は保護機能が許可されている限り1として読めます。同様に保護されたLPM/SPMの識票が書かれると、CCP1は保護機能が許可されている限り1として読めます。でCP7~2は常に0として読めます。表3-1.は各種別用の識票を示します。

表3-1. CPI	J変更保護種別	
識票	構成群種別	内容
\$9D	SPM	保護されたLPM/SPM
\$D8	IOREG	保護されたI/Oレジスタ

3.14.2. RAMPD - 直接位置指示拡張レジスタ (Extended Direct Addressing register)

64Kバイトを越えるデータ メモリを持つデ゙バイスでデータ メモリ空間全体の直接位置指示(LDS/STS)のために、このレジスタはオペランドと連結されます。外部メモリを含むデータ メモリが64Kバイト以下の場合、このレジスタは利用できません。

ピット	7	6	5	4	3	2	1	0	
+\$08				RAMI	PD7~0				RAMPD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RAMPD7~0: 直接位置指示拡張ビット (Extended Direct Addressing bits)

これらのビットはRAMPDと16ビット オペランドによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータ メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.3. RAMPX - Xポインタ拡張レジスタ (Extended X-Pointer register)

64Kハ・イトを越えるデータ メモリを持つデハ・イスでデータ メモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはXレジスタと連結されます。外部メモリを含むデータ メモリが64Kバイト以下の場合、このレジスタは利用できません。

ピット	7	6	5	4	3	2	1	0	
+\$09				RAMI	PX7∼0				RAMPX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RAMPX7~0: Xポインタ拡張アドレス ビット (Extended X-pointer Address bits)

これらのビットはRAMPXと16ビット Xレジスタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータ メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.4. RAMPY - Yポインタ拡張レジスタ (Extended Y-Pointer register)

64Kバイトを越えるデータ メモリを持つデバイスでデータ メモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと連結されます。外部メモリを含むデータ メモリが64Kバイト以下の場合、このレジスタは利用できません。

ピット _	7	6	5	4	3	2	1	0	_
+\$0A				RAMI	PY7∼0				RAMPY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RAMPY7~0: Yポインタ拡張アドレス ビット (Extended Y-pointer Address bits)

これらのビットはRAMPYと16ビット Yレジスタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータ メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.5. RAMPZ - Zポインタ拡張レジスタ (Extended Z-Pointer register)

64Kバイトを越えるデータ メモリを持つデバイスでデータ メモリ空間全体の間接位置指示(LD/LDD/ST/STD)のために、このレジスタはYレジスタと連結されます。先頭の64Kバイトを越えるプログラム メモリ位置を読む(ELPM)時と、先頭の128Kバイトを越えるプログラム メモリ位置に書く(SPM)時に、RAMPZはZレジスタと連結されます。

外部メモリを含むデータ メモリが64Kバイト以下と、デバイス内のプログラム メモリが64Kバイト以下の場合、このレジスタは利用できません。

ピット	7	6	5	4	3	2	1	0	
+\$0B				RAMI	PZ7~0				RAMPZ
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RAMPZ7~0: Zポインタ拡張アドレス ビット (Extended Z-pointer Address bits)

これらのビットはRAMPZと16ビット Zレジスタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なデータとプログラムのメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.6. EIND - 間接拡張レジスタ (Extended Indirect register)

128Kハ・イトを越えるプログラム メモリを持つデハ・イスでプログラム メモリ空間全体の拡張間接の分岐(EIJMP)と呼び出し(EICALL)のために、このレジスタはZレジスタと連結されます。128Kハ・イト以下のアト・レスへの分岐に対してEICALL/EIJMPが使われる場合、このレジスタが使われるべきで、ICALLとIJMP命令が使われる場合にそれは使われません。128Kハ・イト以下のアト・レスへの分岐と呼び出しに関しては、このレジスタが使われません。デハ・イス内のプログラム メモリが128Kハ・イト以下の場合、このレジスタは利用できません。

	ピット _	7	6	5	4	3	2	1	0	_
Read/Write R/W R/W R/W R/W R/W R/W	+\$0C				EINI	O7~0				EIND
1000, 11110 1, 11	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値 0 0 0 0 0 0 0 0	初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - EIND7~0:間接拡張アドレス ビット (Extended Indirect Address bits)

これらのビットはEINDと16ビット Zレン゙スタによって生成された24ビット アドレスのMSB(最上位バイト)を保持します。各デバイスについては利用可能なプログラム メモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

3.14.7. SPL - スタック ポインタ レシ スタ下位 (Stack Pointer register Low)

SPHとSPLレジスタ対は16ビット値SPを表します。SPはスタックの先頭を指示するスタック ポインタを保持します。リセット後、スタック ポインタは内部 SRAM最高アドレスを指示します。ソフトウェアからスタック ポインタを更新する時の不正(化け)を防ぐため、SPLへの書き込みは次の4命令間、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

各デバイスについては外部メモリを含み64Kバイトまでで利用可能なデータメモリのアドレスが必要とするビット数だけが実装されます。未使用ビットは常に0として読めます。

ピット _	7	6	5	4	3	2	1	0	
+\$0D				SP'	7 ~ 0				SPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

ビット7~0 - SP7~0: スタック ポインタ下位ビット (Stack Pointer register Low byte)

これらのビットは16ビットスタック ポインタ(SP)のLSB(最下位バイト)を保持します。

3.14.8. SPH - スタック ホーインタ レシ スタ上位 (Stack Pointer Register High)

ピット _	7	6	5	4	3	2	1	0	
+\$0E				SP1	5~8				SPH
Read/Write	R/W								
初期値	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1	

注: 正確な初期値については固有デバイスのデータシートを参照してください。

● ビット7~0 - SP15~8: スタック ポインタ上位ビット (Stack Pointer Register High byte)

これらのビットは16ビットスタック ポインタ(SP)のMSB(最上位バイト)を保持します。

3.14.9. SREG - ステータス レジスタ (Status register)

ステータス レシ、スタ(SREG)は最も直前に実行された演算または論理命令の結果についての情報を含みます。

F. wh	7	6	5	4	3	2	1	0	_
+\$0F	I	T	Н	S	V	N	Z	С	SREG
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

● ビット7 - I: 全体割り込み許可 (Global Interrupt Enable)

全体割り込み許可ビットは許可されるべき割り込みに関して設定(1)されなければなりません。全体割り込み許可ビットが解除(0)された場合、個別割り込み許可設定に拘らず、どの割り込みも許可されません。このビットは割り込みが起きた後でハードウェアによって解除(0)されません。このビットは「命令一式手引書」で記述されるようにSEIとCLI命令で応用(1°ログラム)によって設定(1)と解除(0)ができます。 I/Oレジスタを通したIビットの変更はそのアクセスでの1周期の待ち状態に帰着します。

● ビット6 - T: ビット複写変数 (Bit Copy Storage)

ビット複写命令、ビット取得(BLD:Bit LoaD)とビット格納(BST:Bit STore)は操作するビットの転送元または転送先として、このビットを使います。レジスタ ファイルのレジスタからのビットがBST命令によってこのビットに複写でき、このビットはBLD命令によってレジスタ ファイルのレジスタ内のビットに複写できます。

ビット5 - H: ハーフキャリー フラク゛(Half Carry Flag)

ハーフキャリー(H)フラグはいくつかの算術操作でのハーフキャリーを示します。ハーフキャリーはBCD演算に有用です。詳細情報については「命令ー式手引書」をご覧ください。

● ビット4 - S: 符号 (Sign Bit, S= N Ex-OR V)

Sフラグは常に負(N)フラグと2の補数溢れ(V)フラグ間の排他的論理和です。詳細情報については「命令一式手引書」をご覧ください。

● ビット3 - V: 2の補数溢れフラグ(2's Complement Overflow Flag)

2の補数溢れ(V)フラグは2の補数算術演算を支援します。詳細情報については「命令一式手引書」をご覧ください。

ビット2 - N: 負フラク (Negative Flag)

負(N)フラグは算術及び論理操作での負の結果(MSB=1)を示します。詳細情報については「命令一式手引書」をご覧ください。

ヒット1 - Z:セロフラク (Zero Flag)

ゼロ(Z)フラグは算術及び論理操作でのゼロ(0)の結果を示します。詳細情報については「命令一式手引書」をご覧ください。

● ビット0 – C: キャリー フラク (Carry Flag)

キャリー(C)フラグは算術及び論理操作でのキャリー(またはボロー)を示します。詳細情報については「命令一式手引書」をご覧ください。



3.15. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0F	SREG	I	Т	Н	S	V	N	Z	С	13
+\$0E	SPH		1	1	SP1	5~8	1		1	13
+\$0D	SPL				SP	7~0	1		1	12
+\$0C	EIND				EINI	07~0	1		1	12
+\$0B	RAMPZ				RAMI	27∼0	1		1	12
+\$0A	RAMPY				RAMI	Y7~0	1		1	12
+\$09	RAMPX				RAMI	X7~0	1		1	11
+\$08	RAMPD				RAME	D7~0	1		1	11
+\$07	予約	-	_	-	-	-	-	-	-	
+\$06	予約	-	_	-	-	-	-	-	_	
+\$05	予約	-	_	-	-	-	-	-	_	
+\$04	CCP				CCF	7~0				11
+\$03	予約	-	-	_	-	-	-	-	_	
+\$02	予約	-	_	_	-	_	-	-	_	
+\$01	予約	-	_	_	-	-	_	-	_	
+\$00	予約		-	-	-	-	-		_	



4. メモリ

4.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Programmable)
 - 自己プログラミングとブートローダ 支援
 - 応用コート・用応用領域
 - 応用コート またはデータ記憶用応用表領域
 - 応用コート、またはブートロータ、コート、用ブート領域
 - 全領域に対する独立した施錠ビット
 - 選択可能なプログラム用フラッシュ メモリ領域の組み込み高速CRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - ハブイトとへ。一ジでのアクセスが可能
 - 直接の取得と格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
 - 全体変数またはフラグ用のビットアクセス可能な16個の汎用I/Oレジスタ
 - バス調停
 - CPU、DMA制御器、他のバス所有者間の優先順を扱う安全な決定法
 - SRAM、EPROM、I/Oメモリのアクセスに関する独立バス
 - CPUとDMA制御器に対する同時アクセス
- 工場書き込みデータ用製品識票列メモリ
 - 各マイクロ コントローラ型式に対するID
 - 各デバイスに対する通番
 - 工場較正された周辺機能用の較正バイト
- 使用者識票列
 - 1つのフラッシュ ページ 容量
 - ソフトウェアから読み書き可能
 - チップ消去後の内容保持

4.2. 概要

本項は各種メモリ領域を記述します。AVRの構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能なコードはプログラム メモリにだけ属せ、一方データはプログラム メモリとデータ メモリの両方に格納できます。データ メモリは内部SRAMだけでなく、不揮発性データ記憶用のEEPROMも含みます。全てのメモリ空間は直線状でメモリ バンク切り替えを必要としません。不揮発性メモリ(NVM:Non-Vola tile Memory)空間は更なる書き込みまたは読み書きの操作に対して施錠できます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

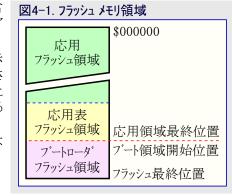
独立したメモリ領域はヒューズビットを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってだけ書き込むことができます。

4.3. フラッシュ プログラム メモリ

全てのXMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各位置は16ビット幅です。**図4-1**.で示されるようにXMEGAのフラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されています。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令は、ブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶に使えます。





4.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コート・を格納するのに使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートロータ・コート・も格納できません。

4.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートロータ、領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここに応用コートが存在できます。

4.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コート・の格納に使われる一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダ、ソフトウェアはブートローダ、領域に配置されなければなりません。SPM命令はブートローダ、領域とれ自身を含むフラッシュ全体をアクセスできます。ブートローダ、領域に対する保護段階はブートローダ、施錠ビット(フート施錠ビットB)によって選択できます。この領域がブートローダ、ソフトウェア用に使われないなら、ここに応用コート・を格納することができます。

4.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。温度、基準電圧などのような校正条件の詳細についてはデバイスのデータシートを参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

製品識票列のアクセスについては273頁の「NVMフラッシュ指令」を参照してください。

4.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュ へージ 容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュ メモリを消去するチップ 消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ 上デバッグ 作業中のパラメータ記憶を保証します。

4.4. ヒュース と施錠(Lock)ビット

ヒュース、は重要なシステム機能を構成設定するのに使われ、外部プログラミンク、インターフェースから書くことができます。応用ソフトウェアはヒュース、を読むことができます。ヒュース、は低電圧検出器(BOD:Brown-out Detector)やウォッチト、ック、のようなリセット元構成設定や、始動構成設定、JTAG許可とJTAG使用者IDに使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトュアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒュース」と施錠のビットは値1を持ち、一方プログラムにされたヒュース」と施錠のビットは値0を持ちます。

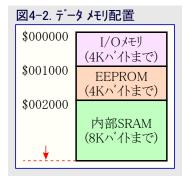
ヒュース」と施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

いくつかのヒュース、バイトに対して、それらを非プログラム(\$FF)のままにすることが不正な設定に帰着します。使用者はヒュース、バイトが有効な設定を与える値にプログラミングされることを確実にしなければなりません。更なる情報については個別ヒュース、バイトの詳細説明を参照してください。

4.5. データ メモリ

データ メモリはエ/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMを含みます。図4-2.で示されるように、データ メモリは1つの続いたメモリ領域として構成されます。

I/Oメモリ、EEPROM、SRAMは全てのXMEGAデバイスに関して常に同じ開始アドレスを持ちます。





4.6. 内部SRAM

内部SRAMは常に16進アドレス位置\$2000で始まります。SRAMは取得(LD/LDD/LDS)と格納(ST/STD/STS)命令を使うことでCPUによってアクセスされます。

4.7. EEPROM

XMEGAデバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でアドレス指定可能か、または通常のデータ空間でメモリ配置割り当てされてアクセスされるかのどちらかです。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。けれども、緩衝部破棄とページの消去と書き込みは未だI/O割り当てアクセスとしてNVM制御器を通して行われなければなりません。

4.8. I/Oメモリ

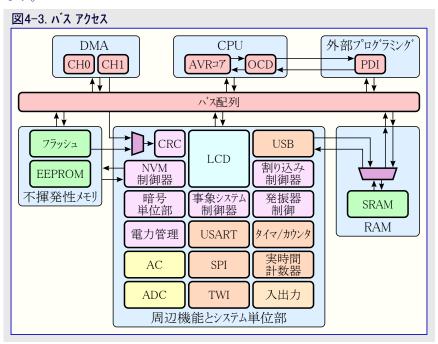
CPUを含む単位部と周辺機能に関する状態と構成設定のレシ、スタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得 (LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレシ、スタファイル内の32個のレシ、スタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

4.8.1. 汎用I/Oレジスタ

最下位4個のI/Oメモリ アドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI, SBIS,SBIC命令を使って直接ビット アクセスが可能なため、全体変数とフラグの格納に使うことができます。

4.9. データ メモリとバス調停

データメモリが4つの独立したメモリの組として構成されるため、異なるハ、ス主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるメモリ領域をアクセスし得ます。図4-3.をご覧ください。CPUがEEPROMをアクセスできるのと同時にDMA制御器がデータを内部SRAMからI/Oメモリに転送します。USB単位部はハ、ス主権部として働き、擬似2ポート(PDP:Pseudo-DualPort)インターフェースを通して内部SRAMへ直接的に接続されます。



4.9.1. バス優先権

多数の主権部が同じバスへのアクセスを要求するとき、バス優先権は以下の順です(高位から低位の優先順)。

- 1. アクセス実行中のバス主権部
- 2. 集中転送実行中のバス主権部
 - 同じデータ メモリ領域アクセス時のDMA制御器読み込みとDMA制御器書き込みの切り換え
- 3. 集中転送アクセスを要求するバス主権部
 - CPU優先
- 4. バスアクセスを要求するバス主権部
 - CPU優先



4.10. メモリ タイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMぺージ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

4.11. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

4.12. JTAG禁止

応用ソフトウェアからJTAGインターフェースを禁止することができます。これは次のデバイス リセットまたはJTAGが応用ソフトウェアから再び許可されるまで、デバイスへの全ての外部JTAGアクセスを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oピンとは標準I/Oピンとして使えます。

4.13. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。詳細については10頁の「構成設定変更保護」を参照してください。



4.14. レジスタ説明 - 不揮発性メモリ(NVM)制御器

4.14.1. ADDR0 - アドレス レジスタ0 (Address register 0)

ADDR2,ADDR1,ADDR0レジスタは24ビット値ADDRを表します。これは全てのNVM領域の読み、書き、CRC操作のアドレス指定に使われます。

ピット	7	6	5	4	3	2	1	0	
+\$00				ADD	R7∼0				ADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ヒット7~0 - ADDR7~0: アトレス下位パイト (Address Byte 0)

このレジスタはNVM位置をアクセスする時のアドレス下位バイトを与えます。

4.14.2. ADDR1 - アドレス レシ スタ1 (Address register 1)

ピット	7	6	5	4	3	2	1	0	
+\$01				ADDI	R15~8				ADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ヒット7~0 - ADDR15~8: アト・レス上位バイト (Address Byte 1)

このレジスタはNVM位置をアクセスする時のアドレス上位バイトを与えます。

4.14.3. **ADDR2** - **アト**レス レシ スタ2 (Address register 2)

ピット	7	6	5	4	3	2	1	0	_
+\$02				ADDF	23~16				ADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - ADDR23~16: アト・レス拡張バイト (Address Byte 2)

このレシ、スタはNVM位置をアクセスする時のアトレス拡張バイトを与えます。

4.14.4. DATA0 - データレジスタ0 (Data register 0)

DATA2,DATA1,DATA0レジスタは24ビット値DATAを表します。これはNVM読み、書き、CRCアクセス中のデータを保持します。

ヒ"ット _	7	6	5	4	3	2	1	0	
+\$04				DAT	A7~0				DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - DATA7~0: データ下位バイト (Data Byte 0)

このレシ、スタはNVM位置をアクセスする時のデータ値第1バイトを与えます。

4.14.5. DATA1 - データレジスタ1 (Data register 1)

ピット	7	6	5	4	3	2	1	0	
+\$05				DATA	\ 15∼8				DATA1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DATA15~8: デ-タ上位バイト (Data Byte 1)

このレシ、スタはNVM位置をアクセスする時のデータ値第2バイトを与えます。

4.14.6. DATA2 - **テ**ータ レシ スタ2 (Data register 2)

ピット	7	6	5	4	3	2	1	0	_
+\$06				DATA	∆23~16				DATA2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DATA23~16: デ-タ第3バイト (Data Byte 2)

このレジスタはNVM位置をアクセスする時のデータ値第3小小を与えます。



4.14.7. CMD - 指令レジスタ (Command register)

ピット	7	6	5	4	3	2	1	0	_
+\$0A	-				CMD6~0				CMD
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット6~0 - CMD6~0: 指令(Command)

これらのビットはフラッシュに対するプログラミング指令を定義します。ビット6は外部プログラミング指令に対してだけ設定(1)されます。プログラミング指令については268頁の「メモリ プログラミング」をご覧ください。

4.14.8. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$0B	-	-	-	-	-	_	-	CMDEX	CTRLA
Read/Write	R	R	R	R	R	R	R	R/W(S)	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - CMDEX: 指令実行(Command Execute)

このビットを設定(1)することが不揮発性メモリ指令(CMD)レジスタ内の指令を実行します。このビットは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「構成設定変更保護」を参照してください。

4.14.9. CTRLB - 制御レジスタB (Control register B)

ピット _	7	6	5	4	3	2	1	0	
+\$0C	-	-	-	-	EEMAPEN	FPRM	EPRM	SPMLOCK	CTRLB
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 - EEMAPEN : EEPROMデータメモリ割り当て許可 (EEPROM Data Memory Mapping Enable)

このビットを設定(1)することがEEPROM領域のデータ メモリ配置割り当てを許可します。その後EEPROMは取得(LD/LDD/LDS)と格納 (ST/STD/STS)の命令を使ってアクセスできます。

● ビット2 - FPRM: フラッシュ電力削減動作(Flash Power Reduction Mode)

このビットを設定(1)することがフラッシュ メモリに対する節電を許可します。コードが応用領域で走行している場合、ブートローダ領域がOFFされ、逆もまた同様です。OFFされている領域へのアクセスが必要とされる場合、CPUはアイドル休止形態動作からの起動時間と等しい時間停止されます。

● ビット1 - EPRM: EEPROM電力削減動作(EEPROM Power Reduction Mode)

このビットを設定(1)することがEEPROMに対する節電を許可します。その後、EEPROMは休止形態動作移行に等しい規則でOFFにされます。アクセスが必要とされる場合、バス主権部はアイデル休止形態動作からの起動時間と等しい時間停止されます。

● ビット0 - SPMLOCK: SPM施錠(SPM Locked)

このビットは更なる自己プログラミングを防止するために1を書くことができます。このビットはリセットで解除(0)され、ソフトウェアから解除(0)することはできません。このビットは構成設定変更保護(CCP)機構によって保護されており、CCPの詳細については10頁の「構成設定変更保護」を参照してください。

4.14.10. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$0D	-	_	-	_	SPML	VL1,0	EELV	VL1,0	INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット3,2 - SPMLVL1,0 : SPM操作可割り込みレヘル (SPM Ready Interrupt Level)

これらのビットは割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。これは状態(STATUS)レジスタの不揮発性メモリ多忙(NVMBUSY)フラグが0に設定される時にだけ起動されるレベル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラグが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

● ビット1,0 - EELVL1,0: EEPROM操作可割り込みレベル (EEPROM Ready Interrupt Level)

これらのビットはEEPROM操作可割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレヘブルを選択します。これは状態(STATUS)レシブスタの不揮発性メモリ多忙(NVMBUSY)フラケがのに設定される時にだけ起動されるレヘブル割り込みです。従って、NVM命令が起動される前にはNVMBUSYフラケブが設定(1)されないので、この割り込みはNVM命令起動前に許可されるべきではありません。この割り込みは割り込み処理ルーチンで禁止されるべきです。

4.14.11. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$0F	NVMBUSY	FBUSY	-	-	-	-	EELOAD	FLOAD	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - NVMBUSY: 不揮発性メモリ多忙フラグ(Non-Volatile Memory Busy)

NVMBUSYフラグはNVM(フラッシュ、EEPROM、施錠ビット)がプログラミングされつつあるかどうかを示します。一旦操作が開始されると、この フラグが設定(1)され、操作が完了されるまで設定(1)に留まります。NVMBUSYフラグは操作完了時に、自動的に解除(0)されます。

ビット6 - FBUSY: フラッシュ多忙フラク*(Flash Busy)

FBUSYフラグはフラッシュのプログラミング動作が始められたかどうかを示します。一旦操作が開始されると、FBUSYフラグが設定(1)され、応用領域がアクセスできなくなります。FBUSYフラグは操作完了時、自動的に解除(0)されます。

ビット5~2 - 予約 (Reserved)

これらのビットは未使用で将来の使用に予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - EELOAD : EEPROMページ緩衝部設定中フラグ(EEPROM Page Buffer Active Loading)

EELOADフラグはEEPROMページ一時緩衝部が1バイト以上格納されていることを示します。これはEEPROMページ書き込みまたはペー ジ緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については、270頁の「フラッシュ メモリとEEPROMのプログラミング 手順」をご覧ください。

● ビット0 - FLOAD : フラッシュ ページ緩衝部設定中フラグ(Flash Page Buffer Active Loading)

FLOADフラグはフラッシュ ペーシー 中緩衝部が1バイト以上格納されていることを示します。これは応用ペーシ 書き込み、ブート ペーシ 書き込み、またはペーシ 緩衝部解除操作が実行されるまで設定(1)に留まります。より多くの詳細については270頁の「フラッシュ メモリとEEPROM のプログラミング 手順」をご覧ください。

4.14.12. LOCKBITS - 施錠ビット レジスタ (Lock Bit register)

ヒ゛ット _	7	6	5	4	3	2	1	0	
+\$10	BLB	B1,0	BLB	A1,0	BLBA	AT1,0	LB	1,0	LOCKBITS
Read/Write	R	R	R	R	R	R	R	R	
初期値	1	1	1	1	1	1	1	1	

このレシ、スタはI/Oメモリ空間内へのNVM施錠ビット割り当てで、応用ソフトウェアからの直接読み込みアクセスを許します。記述については24頁の「LOCKBITS - 施錠ビット レジスタ」を参照してください。



4.15. レジスタ説明 - ヒュース、と施錠ビット

4.15.1. FUSEBYTE0 - ヒュース・ハイト**0** (Fuse Byte 0)

ピット	7	6	5	4	3	2	1	0	
+\$00				JTAGUID	7 ~ 0				FUSEBYTE0
Read/Write R	/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - JTAGUID7~0: JTAG使用者ID (JTAG User ID)

これらのヒューズはデバイスに対する既定JTAG使用者ID(JTAG USER ID)を設定するのに使えます。リセットの間にJTAGUIDヒューズビットはMCU JTAG使用者IDレジスタ内に設定されます。

4.15.2. FUSEBYTE1 - ヒュース・ハイト1 (Fuse Byte 1)

ピット _	7	6	5	4	3	2	1	0	
+\$01		WDW	PER3~0			WDP	ER3~0		FUSEBYTE1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - WDWPER3~0:ウォッチトック、窓周期 (Watchdog Window Timeout Period)

これらのヒュース、ビットは窓動作でのウォッチト、ック、タイマに対する窓閉鎖初期値を設定するのに使われます。リセットの間にこれらのヒュース、ビットが自動的にウォッチト、ック、窓動作制御レシ、スタのウォッチト、ック、窓動作周期(WPER)ビットに書かれます。詳細については81頁の「WINCTR L - 窓動作制御レジ、スタ」を参照してください。

● ビット3~0 - WDPER3~0: ウォッチドック 周期 (Watchdog Timeout Period)

これらのヒュース、ビットはウォッチト、ック、タイマ周期初期値を設定するために使われます。リセットの間にこれらのヒュース、ビットが自動的にウォッチト、ック、制御レジ、スタのウォッチト、ック、周期(PER)ビットに書かれます。詳細については81頁の「CTRL - 制御レジスタ」を参照してください。

4.15.3. FUSEBYTE2 - ヒュース・ハイト2 (Fuse Byte 2)

ヒ"ット	7	6	5	4	3	2	1	0	
+\$02	-	BOOTRST	TOSCSEL	-	_	-	BOD	PD1,0	FUSEBYTE2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット6 - BOOTRST: プートローダ領域リセット ペクタ (Boot Loader Section Reset Vector)

このヒュース゛はリセット ベクタがブートローダ フラッシュ領域の先頭アドレスを指示するようにプログラム(0)にできます。 デバイスはリセット後にブートローダ フラッシュ領域から実行を開始します。

表4-1. ブート リセット ヒュース゛						
リセット ヘ゛クタ(アト゛レス)						
フ゛ートロータ゛リセット						
応用リセット(\$000000)						

● ビット5 - TOSCSEL: 32.768kHzタイマ発振器ピン選択(32.768kHz Timer Oscillator Pin Selection)

このヒュース'は32.768kHzタイマ発振器(TOSC)用のピン位置の 選択に使われます。このヒュース'は既定によってXTALとTOS Cのピンが共用されているデバイスだけで利用可能です。 **表4-2. TOSCSEL 工場 TOSCSEL 工場**

20		
TOSCSEL	群構成設定	内容
0	ALTERNATE(注)	独立したピンでのTOSC1/2
1	XTAL	XTALと共用するTOSC1/2

注: 代替TOSC位置についてはデバイスのデータシートをご覧ください。

ビット4~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット1.0 - BODPD1.0: 低電力保持動作でのBOD動作 (BOD operation in power-down mode)

これらのヒューズビットはデバイスがアイドル動作を除く全ての休止形態動作でのBOD動作種別を設定します。

BODとBOD動作種別の詳細については76頁の「低電圧検出(Brown-out Detection)」を参照してください。

表4-3. 休止形	表4-3. 休止形態動作でのBOD動作種別							
BODPD1,0	内容							
0 0	(予約)							
0 1	採取動作でBOD許可							
1 0	継続的にBOD許可							
1 1	BOD禁止							

4.15.4. FUSEBYTE4 - ヒュース・ハイト4 (Fuse Byte 4)

ビット	7	6	5	4	3	2	1	0	
+\$04	-	_	-	RSTDISBL	STARTU	PTIME1,0	WDLOCK	JTAGEN	FUSEBYTE4
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に1を書いてください。

● ビット4 - RSTDISBL:外部リセット禁止(External Reset Disable)

このヒューズは外部リセット ピン機能を禁止するためにプログラム(0)にできます。これが行われると、リセット ピンのLow引き込みは外部リセットを引き起こしません。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

● ビット3,2 - STARTUPTIME1,0: 始動時間 (Start-up time)

これらのヒュース、ヒットは全てのリセット元が開放される時から内部リセットが遅延計数器から開放されるまでの設定可能な時間間隔を設定するのに使えます。これらのヒットが変更された後でそれらが正しく読めるのに先立ってリセットが必要とされます。

この遅延は超低電力(ULP)発振器の1kHz出力で計時されます。詳細については75頁の「リセットの流れ」を参照してください。

表4-4. 始動時間								
STARTUPTIME1,0	1kHz ULP発振器周期数							
0 0	64							
0 1	4							
1 0	(予約)							
11	0							

● ビット1 - WDLOCK: ウォッチドッグ タイマ施錠 (Watchdog Timer lock)

WDLOCKヒュース^{*}はウォッチト^{*}ック^{*} タイマ構成設定を施錠するためにプログラム(0)にすることができます。このヒュース^{*}がプログラム(0)されると、ウォッチト^{*}ック^{*} タイマ構成設定を変更できなくなり、リセットでウォッチト^{*}ック^{*} タイマ制御(CTRL)レシ^{*}スタのウォッチト^{*}ック^{*}許可(ENABLE)ヒ^{*}ットが自動的

に設定(1)され、応用ソフトウェアから解除(0)できなくなります。ウォッチト、ッケ、タイマ窓制御(WINCTRL)レシ、スタのウォッチト、ッケ、窓動作許可(WEN) ビットは自動的に設定(1)されず、ソフトウェアからの設定(1)を必要とします。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

WDLOCK	内容
0	ウォッチドッグタイマは変更に対して閉ざされます。
1	ウォッチドッグタイマは施錠されません。

● ビット0 - JTAGEN: JTAG許可 (JTAG Enable)

このヒューズはJTAGインターフェースが許可されるか否かを制御します。

JTAGインターフェースが禁止されると、JTAGを通す全てのアクセスが禁止され、デバイスはプログラミングとデバックが用インターフェース(PDI)を用いてだけアクセスすることができます。

JTAGENヒューズはJTAGインターフェースを持つデバイスでだけ利用可能です。このビットが変更された後でそれが正しく読めるのに先立ってリセットが必要とされます。

表4-6. JTAG許可									
JTAGEN	JTAGEN 内容								
0	JTAG許可								
1	JTAG禁止								

4.15.5. FUSEBYTE5 – ヒュース・ハイト5 (Fuse Byte 5)

ビット	7	6	5	4	3	2	1	0	
+\$05	-	_	BODA	ACT1,0	EESAVE	В	ODLEVEL2~	~0	FUSEBYTE5
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	-	_	-	-	-	-	

ビット7.6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に1を書いてください。

● ビット5,4 - BODACT1,0 : 活動中のBOD動作 (BOD operation in active mode)

これらのヒューズビットはデバイスが活動(標準)またはアイドル動作の時のBOD動作種別 を設定します。

BODとBOD動作種別の詳細については76頁の「低電圧検出(Brown-out Detectio n)」を参照してください。

表4-7. 活動とアイドル動作でのBOD動作種別							
BODACT1,0	BODACT1,0 内容						
0 0	(予約)						
0 1	採取動作でBO	D許可					
1 0	継続的にBOD	許可					
1 1	BOD禁止						

● ビット3 - EESAVE: チップ消去からEEPROM保護 (EEPROM is preserved through the Chip Erase)

チップ消去命令は標準的にフラッシュ、EEPROM、内部SRAMを消去します。このヒューズがプログラム(0)されている場合、チップ消去の間に EEPROMは消去されません。これはEEPROMがソフトウェア改訂版に無関係なデータの格納に使われる場合に有用です。

EESAVEヒューズビット変更は書き込み時間経過後直ちに効力を発 表4-8 チップ消去を涌したFFPROM保護 揮します。従って、プログラミング動作の抜け出しと再移行なしにEES AVE更新とEESAVEの新しい設定に応じたチップ消去の実行が可能 です。

表4-8. ナップ	泊去を囲したEEPROM保護
FESAVE	内容

EESAVE	内容
0	EEPROMはチップ消去の間、保護されます。
1	EEPROMはチップ消去の間に消去されます。

● ビット2~0 - BODLEVEL2~0: 低電圧検出(BOD)電圧 (Brown-ut detection voltage level)

これらのヒューズビットはBOD電圧値を設定します。電源投入時、デバイスはVCCが設定されたBOD電圧に達するまでリセットを維持しま す。このため、BOD電圧は常にVCCよりも低く設定されることを保証してください。通常動作の間にBODが許可され且つ使われない 場合、詳細については76頁の「Jセット元」を参照してください。BOD電圧の公称値については76頁の表9-2.をご覧ください。

4.15.6. LOCKBITS - 施錠ビットレジスタ (Lock Bit register)

Ľ'ット	7	6	5	4	3	2	1	0	_
+\$07	BLBB1,0		B1,0 BLBA1,0		BLBAT1,0		LB1,0		LOCKBITS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7,6 - BLBB1,0:ブート領域ブート施錠ビット1,0 (Boot Lock Bit Boot Section)

これらの施錠ビットはブートローダ領域に対するソフトウェア保護レベルを制御します。BLBBビットはより厳しい施錠へだけ書くことができます。 BLBBビットのリセットはチップ消去命令の実行によって可能です。

表4-9 ブートローダ領域用ブート施錠ビット

BLBB1,0	群構成設定	内容
11	NOLOCK	施錠なし、ブートローダ、領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令はブートローダ領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、応用領域で実行する(E)LPM命令はブートローダ領域からの読み込みを許されません。 割り込みベクタが応用領域に配置されている場合、ブートローダ領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令はブートローダ領域への書き込みを許されず、応用領域で実行する(E)LPM命令はブートローダ領域からの読み込みを許されません。 割り込みベクタが応用領域に配置されている場合、ブートローダ領域から実行されている間、割り込みが禁止されます。

● ビット5,4 - BLBA1,0:応用領域プート施錠ビット1,0 (Boot Lock Bit Application Section)

これらのビットは表4-10.に従って応用領域に対するソフトウェア保護レベルを制御します。BLBAビットはより厳しい施錠へだけ書くことができます。BLBAビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-10. 応用領域用ブート施錠ビット

BLBA1,0	群構成設定	内容
11	NOLOCK	施錠なし、応用領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ブートロータ。領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みベクタがブートロータ。領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用領域への書き込みを許されず、ブートローダ領域で実行する(E)LPM命令は応用領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

● ビット3,2 - BLBAT1,0:応用表領域プート施錠ビット1,0 (Boot Lock Bit Application Table Section)

これらのビットはソフトウェア アクセスに関する応用表領域に対するソフトウェア保護レベルを制御します。BLBATビットはより厳しい施錠へだけ書くことができます。BLBATビットのリセットはチップ消去命令の実行によってのみ可能です。

表4-11. 応用表領域用ブート施錠ビット

BLBAT1,0	群構成設定	内容
11	NOLOCK	施錠なし、応用表領域をアクセスするSPMと(E)LPM命令に制限はありません。
1 0	WLOCK	書き込み施錠、SPM命令は応用表領域書き込みを許されません。
0 1	RLOCK	読み込み施錠、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みベクタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。
0 0	RWLOCK	読み書き施錠、SPM命令は応用表領域への書き込みを許されず、ブートローダ領域で実行する(E)LPM命令は応用表領域からの読み込みを許されません。 割り込みへ、カタがブートローダ領域に配置されている場合、応用領域から実行されている間、割り込みが禁止されます。

• ビット1,0 - LB1,0:施錠ビット1,0 (Lock Bit)

これらのビットは外部プログラミング中のフラッシュとEEPROMに対する保護レベルを制御します。これらのビットは外部プログラミング インターフェースを通してのみ書き込み可能です。施錠ビットのリセットはチップ消去命令の実行によってのみ可能です。TIFとOCDを使う他の全てのアクセスはこの施錠ビットの何れかがOに書かれる場合に防がれます。これらのビットはメモリへのどのソフトウェア アクセスも妨げません。

表4-12. プログラミング 用施錠ビット

双干 12. 7 円	7 17 7 7 18 18 18 18 18 18 18 18 18 18 18 18 18	
LB1,0	群構成設定	内容
1 1	NOLOCK	施錠なし、メモリ施錠は許可されません。
1 0	WLOCK	書き込み施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)はプログラミング インターフェースに対して禁止されます。ヒューズビットはプログラミング インターフェースからの書き込みに対して施錠されます。
0 0		読み書き施錠、フラッシュ メモリとEEPROMのプログラミング(書き込み)と読み込み/検証はプログラミング インターフェースに対して禁止されます。施錠ビットとヒューズ ビットはプログラミング インターフェースからの読み書きに対して施錠されます。

注: 施錠ビットを設定する前にヒューズビットとブート施錠ビットを設定してください。



4.16. レジスタ説明 - 製品識票列

4.16.1. RCOSC2M - 2MHz内部発振器校正レジスタ (Internal 2MHz Oscillator Calibration register)

ピット	7	6	5	4	3	2	1	0	
\$00				RCOSC	C2M7~0				RCOSC2M
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - RCOSC2M7~0: 2MHz内部発振器校正値 (Internal 2MHz Oscillator Calibration Value)

このバイトは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が2MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については67頁の「CALB - DFLL校正レジスタB」を参照してください。

4.16.2. RCOSC2MA - 2MHz内部発振器校正レジスタA (Internal 2MHz Oscillator Calibration register)

ピット \$01	7	6	5	4 RCOSC	3 2MA7~0	2	1	0	RCOSC2MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	x	x	x	x	x	x	x	x	

● ビット7~0 - RCOSC2MA7~0: 2MHz内部発振器校正値 (Internal 2MHz Oscillator Calibration Value)

このバイトは2MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が2MHz DFLL用の校正レジスタA内へ自動的に格納されます。より多くの詳細については67頁の「CALA - DFLL校正レジスタA」を参照してください。

4.16.3. RCOSC32K - 32.768kHz内部発振器校正レジスタ (Internal 32.768kHz Oscillator Calibration register)

ピット	7	6	5	4	3	2	1	0	
\$02				RCOSC	32K7~0				RCOSC32K
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - RCOSC32K7~0: 32.768kHz内部発振器校正値 (Internal 32.768kHz Oscillator Calibration Value)

このバイトは32.768kHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32kHz発振器用の校正レジスタ内へ自動的に格納されます。より多くの詳細については65頁の「RC32KCAL - 32kHz内部発振器校正レジスタ」を参照してください。

4.16.4. RCOSC32M - 32MHz内部発振器校正レジスタ(Internal 32MHz Oscillator Calibration register)

\$03 RCOSC32M7~0 RCO	DSC32M
	3000ZIII
Read/Write R R R R R	
初期値 x x x x x x x x	

● ビット7~0 - RCOSC32M7~0 : 32MHz内部発振器校正値 (Internal 32MHz Oscillator Calibration Value)

このバイトは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32MHz DFLL用の校正レジスタB内へ自動的に格納されます。より多くの詳細については67頁の「CALB - DFLL校正レジスタB」を参照してください。

4.16.5. RCOSC32MA - 32MHz内部発振器校正レジスタA (Internal 32MHz Oscillator Calibration register)

ピット	7	6	5	4	3	2	1	0	
\$04				RCOSC3	32MA7∼0				RCOSC32MA
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - RCOSC32MA7~0: 32MHz内部発振器校正値 (Internal 32MHz Oscillator Calibration Value)

このバイトは32MHz内部発振器用の発振器校正値を含みます。発振器の校正はデバイスの製造検査中に実行されます。リセット中にこの値が32MHz DFLL用の校正レジスタA内へ自動的に格納されます。より多くの詳細については67頁の「CALA - DFLL校正レジスタA」を参照してください。

4.16.6. LOTNUMO - ロット番号レジスタO (Lot Number register 0)

LOTNUM0,LOTNUM1,LOTNUM2,LOTNUM3,LOTNUM4,LOTNUM5は各々のデバイスに対するロット番号を含みます。ウェハー番号とウェハー座標と共に、これはデバイスに対する通番を与えます。

	T
	OMUNTC
Read/Write R R R R R R	
初期値 x x x x x x x x	

• ビット7~0 - LOTNUM07~0 : ロット番号バイト0 (LOT Number Byte 0)

このバイトはデバイスに対するロット番号のバイト0を含みます。

4.16.7. LOTNUM1 - ロット番号レジスタ1 (Lot Number register 1)

ピット	7	6	5	4	3	2	1	0	_
\$09				LOTNU	JM17∼0				LOTNUM1
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - LOTNUM17~0: ロット番号バイト1 (LOT Number Byte 1)

このバイトはデバイスに対するロット番号のバイト1を含みます。

4.16.8. LOTNUM2 - ロット番号レシ スタ2 (Lot Number register 2)

ピット	7	6	5	4	3	2	1	0	
\$0A				LOTNU	JM27∼0				LOTNUM2
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - LOTNUM27~0: ロット番号バイト2 (LOT Number Byte 2)

このバイトはデバイスに対するロット番号のバイト2を含みます。

4.16.9. LOTNUM3 - ロット番号レシ、スタ3 (Lot Number register 3)

\$0B LOTNUM37~0 LOTNUM3 Read/Write R R R R R R R R R N N N N N N N N N N	ピット	7	6	5	4	3	2	1	0	_
	\$0B				LOTNU	JM37∼0				LOTNUM3
初期値 x x x x x x x x x x		R	R	R	R	R	R	R	R	
	初期値				X	X	X	X	X	

● ビット7~0 - LOTNUM37~0: ロット番号バイト3 (LOT Number Byte 3)

このバイトはデバイスに対するロット番号のバイト3を含みます。

4.16.10. LOTNUM4 - ロット番号レジスタ4 (Lot Number register 4)

ピット	7	6	5	4	3	2	1	0	
\$0C				LOTNU	JM47∼0				LOTNUM4
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット**7~0 - LOTNUM47~0 : ロット番号バイト4** (LOT Number Byte 4)

このバイトはデバイスに対するロット番号のバイト4を含みます。

4.16.11. LOTNUM5 - ロット番号レジスタ5 (Lot Number register 5)

ヒ'ット	7	6	5	4	3	2	1	0	
\$0D				LOTNUM57	·~0				LOTNUM5
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - LOTNUM57~0: ロット番号バイト5 (LOT Number Byte 5)

このバイトはデバイスに対するロット番号のバイト5を含みます。



4.16.12. WAFNUM - ウェハー番号レジスタ (Wafer Number register)

ピット	7	6	5	4	3	2	1	0	_
\$10				WAFN	UM7~0				WAFNUM
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	X	X	X	X	X	

● ビット7~0 - WAFNUM7~0: ウェハー番号 (Wafer Number)

このバイトは各々のデバイスに対するウェハー番号を含みます。 ロット番号とウェハー座標と共に、これはデバイスに対する通番を与えます。

4.16.13. COORDXO - ウェハーX座標レジスタO (Wafer Coordinate X register 0)

COORDX0,COORDX1,COORDY0,COORDY1は各々のデバイスに対するウェハーのX座標とY座標を含みます。ロット番号とウェハー番号と共に、これは各々のデバイスに対する通番を与えます。

ヒット 7	6	5	4	3	2	1	0	
\$12			CO	ORDX07~0				COORDX0
Read/Write F	' R	R	R	R	R	R	R	
初期値x	X	X	X	X	X	X	X	

● ビット7~0 - COORDX07~0: ウェハーX座標パイト0 (Wafer Coordinate X Byte 0)

このバイトはデバイスに対するウェハーX座標のバイト0を含みます。

4.16.14. COORDX1 - ウェハーX座標レジスタ1 (Wafer Coordinate X register 1)

ビット	7	6	5	4	3	2	1	0	_
\$13				COORI	DX17∼0				COORDX1
Read/Write	R	R	R	R	R	R	R	R	
初期値	**	**			**				

● ビット7~0 - COORDX17~0: ウェハーX座標パイト1 (Wafer Coordinate X Byte 1)

このバイトはデバイスに対するウェハーX座標のバイト1を含みます。

4.16.15. COORDYO - ウェハーY座標レシ、スタO (Wafer Coordinate Y register 0)

ヒ`ット _	7	6	5	4	3	2	1	0	
\$14				COORI	OY07∼0				COORDY0
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - COORDY07~0: ウェハーY座標バイト0 (Wafer Coordinate Y Byte 0)

このバイトはデバイスに対するウェハーY座標のバイト0を含みます。

4.16.16. COORDY1 - ウェハーY座標レジスタ1 (Wafer Coordinate Y register 1)

ピット _	7	6	5	4	3	2	1	0	_
\$15				COORI	DY17~0				COORDY1
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - COORDY17~0: ウェハ-Y座標バイト1 (Wafer Coordinate Y Byte 1)

このバイトはデバイスに対するウェハーY座標のバイト1を含みます。

4.16.17. USBCALO - USBパット校正レジスタの (USB Pad Calibration register 0)

USBCAL0とUSBCAL1はUSBピンに対する校正値を含みます。校正はデバイスに対してUSB線上での外部部品の必要なしでの動作を 許すために製造検査中に行われます。この校正バイトはUSB校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ピット	7	6	5	4	3	2	1	0	
\$1A				USBCA	L07∼0				USBCAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - USBCAL07~0: USB校正バイト0 (USB Pad Calibration Byte 0)

このバイトはUSBピン校正データのバイト0を含み、これはUSBの校正下位(CALL)レジスタ内に格納されなければなりません。



4.16.18. USBCAL1 - USBパット 校正レジスタ1 (USB Pad Calibration register 1)

ピット	7	6	5	4	3	2	1	0	_
\$1B				USBCA	\L17~0				USBCAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - USBCAL17~0: USB校正バ仆1 (USB Pad Calibration Byte 1)

このバイトはUSBピン校正データのバイト1を含み、これはUSBの校正上位(CALH)レジスタ内に格納されなければなりません。

4.16.19. USBRCOSC - USB RCOSC校正レジスタ (USB RCOSC Calibration register)

ピット	7	6	5	4	3	2	1	0	_
\$1C				USBRC	OSC7~0				USBRCOSC
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - USBRCOSC7~0: 48MHz RCOSC校正バイト0 (48MHz RCOSC Calibration Byte)

このバイトは内部32MHz発振器に対する48MHz校正値を含みます。この校正値が32MHz DFLL用の校正レジスタB(CALB)に書かれると、内部発振器からの全速(Full-speed)USB動作を許すために発振器が48MHzに較正されます。

注: DFLL32M内部のCOMP2とCOMP1のレシブスタは\$B71Bに設定されなければなりません。

4.16.20. ADCACALO - ADCA校正レジスタO (ADCA Calibration register 0)

ADCACAL0とADCACAL1はA/D変換器A(ADCA)に対する校正値を含みます。校正はデバイスの製造検査中に行われます。この校正パイトはA/D変換器校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ヒ"ット	7	6	5	4	3	2	1	0	-
\$20				ADCAC	AL07~0				ADCACAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - ADCACAL07~0: A/D変換器A校正バイト0 (ADCA Calibration Byte 0)

このバイトはA/D変換器A校正データのバイト0を含み、これはADCAの校正下位(CALL)レジスタ内に格納されなければなりません。

4.16.21. ADCACAL1 - ADCA校正レジスタ1 (ADCA Calibration register 1)

ピット	7	6	5	4	3	2	1	0	
\$21				ADCAC	AL17~0				ADCACAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - ADCACAL17~0: A/D変換器A校正バイト1 (ADCA Calibration Byte 1)

このバイトはA/D変換器A校正データのバイト1を含み、これはADCAの校正上位(CALH)レン゙スタ内に格納されなければなりません。

4.16.22. ADCBCALO - ADCB校正レジスタO (ADCB Calibration register 0)

ADCBCAL0とADCBCAL1はA/D変換器B(ADCB)に対する校正値を含みます。校正はデバイスの製造検査中に行われます。この校正バイトはA/D変換器校正レジスタ内へ自動的に格納されず、故にソフトウェアで行われなければなりません。

ピット	7	6	5	4	3	2	1	0	
\$24				ADCBC	AL07~0				ADCBCAL0
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - ADCBCAL07~0: A/D変換器B校正バイト0 (ADCB Calibration Byte 0)

このバイトはA/D変換器B校正データのバイト0を含み、これはADCBの校正下位(CALL)レジスタ内に格納されなければなりません。

4.16.23. ADCBCAL1 - ADCB校正レジスタ1 (ADCB Calibration register 1)

ピット	7	6	5	4	3	2	1	0	
\$25				ADCBC	AL17~0				ADCBCAL1
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - ADCBCAL17~0: A/D変換器B校正バイト1 (ADCB Calibration Byte 1)

このバイトはA/D変換器B校正データのバイト1を含み、これはADCBの校正上位(CALH)レジスタ内に格納されなければなりません。



4.16.24. TEMPSENSEO - 温度感知器校正レジスタO (Temperature Sensor Calibration register 0)

TEMPSENSE0とTEMPSENSE1は内部温度感知器で行われた温度測定からの12ビットADCA変換値を含みます。この測定は製造検査に於いて85℃で行われ、単点または多点温度感知器校正に使うことができます。

Ľ ット	7	6	5	4	3	2	1	0	
\$2E			Т	EMPSENSE	07~0				TEMPSENSE0
Read/Write	R	R	R	R	R	R	R	R	
初期値	X	X	X	X	X	X	X	X	

● ビット7~0 - TEMPSENSE07~0:温度感知器校正バイト0 (Temperature Sensor Calibration Byte 0)

このバイトは温度測定のバイト0(下位8ビット)を含みます。

4.16.25. TEMPSENSE1 - 温度感知器校正レジスタ1 (Temperature Sensor Calibration register 1)

ヒ゛ット _	7	6	5	4	3	2	1	0	
\$2F				TEMPSE	NSE17~0				TEMPSENSE1
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	X	X	X	X	

● ビット7~0 - TEMPSENSE17~0: 温度感知器校正バイト1 (Temperature Sensor Calibration Byte 1)

このバイトは温度測定のバイト1を含みます。

4.17. レジスタ説明 - 汎用I/Oメモリ

4.17.1. GPIORn - 汎用I/Oレジスタn (General Purpose I/O register n)

ピット	7	6	5	4	3	2	1	0	_	
+n	GPIORn7~0									
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初期値	0	0	0	0	0	0	0	0		

これらはビット アクセス可能なI/Oメモリ空間でのフラグや全体変数のようなデータの格納に使える汎用レジスタです。

4.18. レジスタ説明 - MCU制御

4.18.1. DEVIDO - デバイスIDレシ スタO (Device ID register 0)

DEVID0,DEVID1,DEVID2レジスタは各マイクロコントローラデバイス形式を識別するバイト識別を含みます。実際のIDの詳細についてはデバイスのデータシートを参照してください。

ヒ゛ット	7	6	5	4	3	2	1	0	_		
+\$00	DEVID7~0										
Read/Write	R	R	R	R	R	R	R	R			
初期値	0	0	0	1	1	1	1	0			

ビット7~0 - DEVID7~0: デバイスID第1バイト (Device ID Byte 0)

デバイスIDの第1バイト。このバイトは常に\$1Eとして読めます。これはAtmelによって製造されたことを示します。

4.18.2. DEVID1 – すいイスIDレシスタ1 (Device ID register 1)

L	6	5	4	3	2	1	0	
+\$01			DEV	VID15~8				DEVID1
Read/Write F	R R	R	R	R	R	R	R	
初期値 1/	0 1/0	1/0	1/0	1/0	1/0	1/0	1/0	

• ビット7~0 - DEVID15~8: デバイスID第2バイト (Device ID Byte 1)

デバイスIDの第2バイはデバイスのフラッシュ容量を示します。

4.18.3. DEVID2 - デバイスIDレジスタ2 (Device ID register 2)

ピット	7	6	5	4	3	2	1	0		
+\$02	DEVID23~16									
Read/Write	R	R	R	R	R	R	R	R		
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0		

• ビット7~0 - DEVID23~16: デバイスID第3バイト (Device ID Byte 2)

デバイスIDの第3バイトはデバイス番号を示します。



4.18.4. REVID - 改訂ID (Revision ID)

ピット	7	6	5	4	3	2	1	0	
+\$03	-	_	-	_		REV	ID3∼0		REVID
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	1/0	1/0	1/0	1/0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。

● ビット3~0 - REVID3~0: 改訂版ID (Revision ID)

これらのビットはデバイス改訂版番号を含みます。0=A,1=B,以下同様です。

4.18.5. JTAGUID - JTAG使用者IDレジスタ (JTAG User ID register)

ピット _	7	6	5	4	3	2	1	0	_
+\$04				JTAGU	JID7∼0				JTAGUID
Read/Write	R	R	R	R	R	R	R	R	
初期値	1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0	

● ビット7~0 - JTAGUID7~0: JTAG使用者ID (JTAG User ID)

JTAGUIDはJTAG走査チェーン内の同じデバイスIDを持つ2つのデバイス識別に使えます。JTAGUIDはリセット中にフラッシュから読み取られてこれらのレジスタに配置されます。

4.18.6. MCUCR - MCU制御レジスタ (MCU Control register)

ピット	7	6	5	4	3	2	1	0	
+\$06	-	-	-	_	-	-	-	JTAGD	MCUCR
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - JTAGD: JTAG禁止 (JTAG Disable)

このビットの設定(1)はJTAGインターフェースを禁止します。このビットは構成設定変更保護機構によって保護されており、この詳細については10頁の「構成設定変更保護」を参照してください。

4.18.7. ANAINIT - アナログ初期化レジスタ (Analog Initialization register)

ピット	7	6	5	4	3	2	1	0	_
+\$07	-	-	-	-	STARTUI	PDLYB1,0	STARTUI	PDLYA1,0	ANAINIT
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2/1,0 - STARTUPDLYx:始動遅延

これらのビット設定はそれらのポートに接続された主な入出力と共にA/D変換器(ADC)、アナログ比較器(AC)に使われる内部部分の連続的な(時間差での)開始を許可します。これが行われると、基準電圧やバイアス電流のような内部部分はその単位部が許可された時に連続的に開始されます。これは単位部の始動中の尖頭消費電流を減らします。最大効果のため、始動遅延は0.5μsよりも大きくなるように設定されるべきです。

表4-13 アナログ始動遅延

五:10:77=77日37元	· —	
STARTUPDLYx1,0	群構成設定	内容
0 0	NONE	直始動
0 1	2CLK	$2 \times clk_{PER}$
1 0	8CLK	$8 \times clk_{PER}$
1 1	32CLK	$32 \times clk_{PER}$

4.18.8. EVSYSLOCK - 事象システム施錠レジスタ (Event System Lock register)

ピット	7	6	5	4	3	2	1	0	
+\$08	-	-	-	_	-	-	-	EVSYS0LOCK	EVSYSLOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - EVSYS0LOCK: 事象0群施錠

このビットの設定(1)は更なる変更に対して事象チャネル0~3に関連する事象システム内の全てのレジスタを施錠します。事象システム内の次のレジスタ、CH0MUX,CH0CTRL,CH1MUX,CH1CTRL,CH2MUX,CH2CTRL,CH3MUX,CH3CTRLが施錠されます。このビットは構成設定変更保護機構によって保護されており、この詳細については10頁の「構成設定変更保護」を参照してください。

4.18.9. AWEXLOCK - 新波形拡張施錠レジスタ (Advanced Waveform Extension Lock register)

ピット	7	6	5	4	3	2	1	0	
+\$09	-	-	-	-	-	_	_	AWEXCLOCK	AWEXLOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - AWEXCLOCK: TCC0用新波形拡張施錠 (Advanced Waveform Extension Lock for TCC0)

このビットの設定(1)は更なる変更に対して(ポートC配置の)タイマ/カウンタC0用の新波形拡張(AWeX)部(AWEXC)内の全レジスタを施錠します。このビットは構成設定変更保護機構によって保護されています。この詳細については10頁の「**構成設定変更保護**」を参照してください。



4.19. レジスタ要約 - NVM制御器

アト・レス	略称	ピット7	ヒ゛ット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$10	LOCKBITS	BLB	B1,0	BLB	A1,0	BLBA	AT1,0	LB	1,0	21
+\$0F	STATUS	NVMBUSY	FBUSY	-	-	-	ı	EELOAD	FLOAD	21
+\$0E	予約	_	_	_	_	_	1	_	_	
+\$0D	INTCTRL	-	_	-	-	SPML	VL1,0	EELV	L1,0	21
+\$0C	CTRLB	-	_	-	_	EEMAPEN	FPRM	EPRM	SPMLOCK	20
+\$0B	CTRLA	-	1	-	-	-	1	-	CMDEX	20
+\$0A	CMD	-			1	CMD6~0		1		20
+\$09	予約	_	_	_	_	_	1	_	_	
+\$08	予約	-	_	_	_	_	-	_	_	
+\$07	予約	-	_	-	_	_	-	_	_	
+\$06	DATA2			Ι	DATA23~16	(データ バイト2)	1		19
+\$05	DATA1				DATA15~8 (データ バイト1)		1		19
+\$04	DATA0				DATA7~0 (データ バイトの)		1		19
+\$03	予約	-	_	_	_	_	-	_	_	
+\$02	ADDR2			А	DDR23~16	アドレス バイト2	2)	1		19
+\$01	ADDR1			F	ADDR15~8 (アトレス バイト1)			19
+\$00	ADDR0				ADDR7~0 (7	アドレス バイトの)		1	1	19

4.20. レジスタ要約 - ヒュース、と施錠ビット

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	LOCKBITS	BLB	B1,0	BLB	A1,0	BLBA	AT1,0	LB	1,0	24
+\$06	予約	1	_	_	_	1	-	_	_	
+\$05	FUSEBYTE5	1	-	BODA	CT1,0	EESAVE	В	ODLEVEL2	0	24
+\$04	FUSEBYTE4	-	-	-	RSTDISBL	STARTUI	PTIME1,0	WDLOCK	JTAGEN	23
+\$03	予約	1	_	-	-	1	-	_	-	
+\$02	FUSEBYTE2	-	BOOTRST	TOSCSEL	-	-	-	BOD	PD1,0	22
+\$01	FUSEBYTE1		WDWF	ER3~0			WDPI	ER3~0		22
+\$00	FUSEBYTE0				JTAGU	JID7∼0				22



4.21. レジスタ要約 - 製品識票列

アト・レス	自動設定	略称	ビット7~ 0	頁	アト・レス	自動設定	略称	L*ット7 ~ 0	頁
\$00	0	RCOSC2M	RCOSC2M7~0	26	\$20	×	ADCACAL0	ADCACAL07~0	29
\$01	0	RCOSC2MA	RCOSC2MA7~0	26	\$21	×	ADCACAL1	ADCACAL17~0	29
\$02	0	RCOSC32K	RCOSC32K7~0	26	\$22		予約		
\$03	0	RCOSC32M	RCOSC32M7~0	26	\$23		予約		
\$04	0	RCOSC32MA	RCOSC32MA7~0	26	\$24	×	ADCBCAL0	ADCBCAL07~0	29
\$05		予約			\$25	×	ADCBCAL1	ADCBCAL17~0	29
\$06		予約			\$26		予約		
\$07		予約			\$27		予約		
\$08	X	LOTNUM0	LOTNUM07~0	27	\$28		予約		
\$09	X	LOTNUM1	LOTNUM17~0	27	\$29		予約		
\$0A	X	LOTNUM2	LOTNUM27~0	27	\$2A		予約		
\$0B	X	LOTNUM3	LOTNUM37~0	27	\$2B		予約		
\$0C	X	LOTNUM4	LOTNUM47~0	27	\$2C		予約		
\$0D	X	LOTNUM5	LOTNUM57~0	27	\$2D		予約		
\$0E		予約			\$2E	×	TEMPSENSE0	TEMPSENSE07~0	30
\$0F		予約			\$2F	×	TEMPSENSE1	TEMPSENSE17~0	30
\$10	X	WAFNUM	WAFNUM7~0	28	\$30		予約		
\$11		予約			\$31		予約		
\$12	X	COORDX0	COORDX07~0	28	\$32		予約		
\$13	X	COORDX1	COORDX17~0	28	\$33		予約		
\$14	X	COORDY0	COORDY07~0	28	\$34		予約		
\$15	X	COORDY1	COORDY17~0	28	\$35		予約		
\$16		予約			\$36		予約		
\$17		予約			\$37		予約		
\$18		予約			\$38		予約		
\$19		予約			\$39		予約		
\$1A	×	USBCAL0	USBCAL07~0	28	\$3A		予約		
\$1B	×	USBCAL1	USBCAL17~0	29	\$3B		予約		
\$1C	×	USBRCOSC	USBRCOSC7~0	29	\$3C		予約		
\$1D		予約			\$3D		予約		
\$1E		予約			\$3E		予約		
\$1F		予約			\$3F		予約		



4.22. レジスタ要約 - 汎用I/Oレジスタ

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$03	GPIOR3		1	1	GPIOI	R37∼0	1	1		30
+\$02	GPIOR2				GPIOI	R27∼0				30
+\$01	GPIOR1				GPIOI	R17∼0				30
+\$00	GPIOR0				GPIOI	R07∼0				30

4.23. レシ スタ要約 - MCU制御

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0B	予約	-	-	_	_	-	_	-	-	
+\$0A	予約	-	_	_	_	-	_	-	-	
+\$09	AWEXLOCK	1	-	-	-	-	-	-	AWEXCLOCK	32
+\$08	EVSYSLOCK	1	-	-	-	1	-	-	EVSYS0LOCK	32
+\$07	ANAINIT	1	-	-	-	STARTUI	DLYB1,0	STARTUI	PDLYA1,0	31
+\$06	MCUCR	ı	-	-	-	1	-	1	JTAGD	31
+\$05	予約	1	_	_	-	1	_	1	_	
+\$04	JTAGUID				JTAGU	ID7∼0	1		'	31
+\$03	REVID	ı	-	-	-		REVI	D3~0	'	31
+\$02	DEVID2		1	1	DEVID	23~16	1		1	30
+\$01	DEVID1				DEVII)15~8				30
+\$00	DEVID0				DEVI	D7~0			1	30

4.24. 割り込みベクタ要約 - NVM制御器

変位	記述例	割り込み内容
\$00	EE_vect	不揮発性メモリEEPROM割り込みベクタ
\$02	SPM_vect	不揮発性メモリSPM割り込みベクタ



5. DMAC - 直接メモリ入出力制御器 (Direct Memory Access Controller)

5.1. 要点

- 最小CPU介在での高速転送を許容
 - データ メモリからデータ メモリへ
 - データ メモリから周辺機能へ
 - 周辺機能からデータ メモリへ
 - 周辺機能から周辺機能へ
- 独立した2つのDMAチャネル
 - 転送起動元
 - 割り込みべりタ
 - アドレス指示種別
- 設定可能なチャネル優先順
- 単一転送処理で1バイトから16Mバイトまでのデータ
 - 繰り返し付き、64Kバイまでの塊転送
 - 1,2,4,8バ仆の集中転送
- 複数のアドレス指示種別
 - 静止
 - 増加
 - 減少
- 各終了での転送元と転送先の再設定任意選択
 - 集中
 - 塊
 - 単位処理
- 転送終了での割り込み任意選択
- DMAデータ上のCRCに対するCRC発生器への接続任意選択

5.2 概要

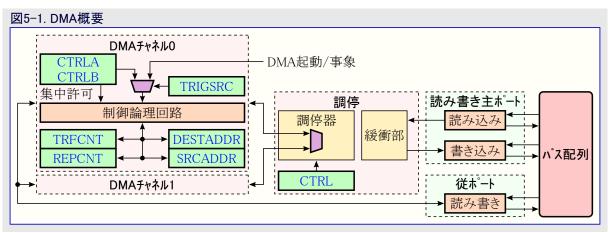
2チャネル直接メモリ入出力(DMA)制御器はメモリと周辺機能間でデータを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いデータ転送速度を許し、CPU時間を自由にします。2つのDMAチャネルは2つまでの独立した平行転送を許します。

DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能レシブスタ間のデータを直接移動することができます。全ての周辺機能へのアクセスとで、DMA制御器は通信単位部との自動的なデータ転送を扱うことができます。DMA制御器はメモリ配置割り当てEEPROMから読むこともできます。

データ転送は1,2,4,8バイトの継続集中で行われます。それらは1バイトから64Kバイトまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mバイトまで各塊転送を繰り返すのに使うことができます。転送元と転送先のアドレス指示は静止、増加、減少にすることができます。転送元と/または転送先のアドレスの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ソフトウェア、周辺機能と事象がDMA転送を起動することができます。

2つのDMAチャネルは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。 それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAチャネルで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのチャネルを内部接続することができます。





5.3. DMA单位処理 (DMA Transaction)

メモリや周辺機能間の完全なDMA読み書き操作はDMA単位処理と呼ばれます。DMA単位処理はデータの塊(Block)で行われ、単位処理の量(転送バイト数)はソフトウェアから設定可能で、塊の量と繰り返し計数器設定によって制御されます。各塊転送(Block transfer)はより小さな集中転送(Burst transfer)に分割されます。

5.3.1. 塊転送(Block Transfer)と繰り返し(Repeat)

塊転送量は塊転送計数(TRFCNTH,TRFCNTL)レジスタによって設定され、1バイトから64Kバイトまでのいくつにでもできます。

繰り返し計数器は単位処理が完了する前に塊転送繰り返し数を設定することを可能にできます。繰り返しは1~255で、繰り返し計数 を0に設定することによって無制限繰り返しが達成できます。

5.3.2. 集中転送 (Burst transfer)

AVR CPUとDMA制御器が同じデータ バスを使うため、塊転送はより小さな集中転送に分割されます。集中転送は1,2,4,8バイトが選択可能です。これはDMAがデータ バスを獲得し、転送要求が保留中の場合、集中転送内の全バイトが転送されるまでバスを占有することを意味します。

ハンス調停器はDMA制御器とAVR CPUがハンスを使う時を制御します。CPUが常に優先権を持ち、故にCPUがハンスへのアクセスを要求する限り、どの保留集中転送も待たなければなりません。SRAM、I/Oメモリ、EEPROMのデータを読み書きする命令を実行する時に、CPUはハンスアクセスを要求します。メモリ入出力でのハンス調停のより多くの詳細については16頁の「データメモリ」を参照してください。



5.4. 転送起動元

DMA転送はDMA転送要求が検出される時にだけ開始することができます。転送要求はソフトウェア、外部起動元(周辺機能)または事象から起動できます。各DMAチャネルには専用の起動元選択があります。利用可能な起動元はデバイス毎に変わり得て、そのデバイスに存在する単位部や周辺機能に依存します。存在しない単位部や周辺機能に対する転送起動の使用は無効です。全ての転送起動元の一覧については44頁の「TRIGSRC - 起動元」を参照してください。

既定により、起動は塊転送動作を始動します。塊転送完了時にチャネルが自動的に禁止されます。再び許可されると、チャネルは次の塊 転送起動を待ちます。塊転送の代わりに集中転送を始める起動を選択することが可能です。これは単発転送と呼ばれ、各起動に対 して1つの集中転送だけを転送します。繰り返し動作が許可されていると、次の塊転送は転送起動が必要ありません。それは直前の 塊が行われてしまうと直ぐに始まります。

転送実行中に起動元が転送要求を生成した場合、それは保留を維持され、その転送は実行中の転送が行われてしまった時に開始され得ます。1つの保留転送が保持され、従って既に留保されている時に起動元が更に転送要求を生成した場合、それらは失われます。

5.5. アドレス指定

DMA転送に対する転送元と転送先のアドレスは転送元と転送先に対する個別選択で、静止または自動的な増加か減少のどれかにできます。アドレスの増加または減少が使われると、既定の動きが各アクセス後にアドレスを更新するようになります。元の転送元と転送先のアドレスはDMA制御器によって保存され、故に転送元と転送先のアドレスは以下の時点で再設定するように個別に構成設定できます。

- 各集中転送の最後
- 各塊転送の最後
- 単位転送処理の最後
- 再設定なし

5.6. チャネル間の優先権

多くのチャネルが同時にデータ転送を要求した場合、どのチャネルにデータ転送を許すのかを決めるのに優先権の仕組みが利用できます。 応用ソフトウェアは1つ以上のチャネルが固定優先順を持つべきなのか、またはラウント、ロビンの仕組みが使われるべきなのかの何れかに決めることができます。ラウント、ロビンの仕組みは最後に転送したチャネルが(次に)最低優先権を持つことを意味します。



5.7. **2重緩衝** (訳補: 2つのチャネルの交互使用によって転送緩衝部が2重化される意)

継続的な転送を可能とするために、2つのチャネルは1つ目が終了した時に2つ目が転送を開始する(またその逆も)ように内部接続することができます。これは2つ目のチャネルが動いている間に、1つ目のチャネルによって転送されたデータを処理し、新しいデータ緩衝部を準備して再びチャネルレジ、スタを構成設定するための時間を応用に残します。2重緩衝または連結転送と呼ばれます。

2重緩衝がチャネル対に対して許可される時に、この2つのチャネルが同じ繰り返し計数で構成設定されることが重要です。塊容量は等しい必要はありませんが、チャネルの動作構成設定の残りと共に等しくあるべきです。

2重緩衝のチャネル対は1つ目の対としてチャネル0と1、2つ目の対としてチャネル2と3に制限されることに注意してください。けれども、2重緩衝形態での1つの対動作と同時に、他は未使用のまま、または独立した動作を持つことが可能です。

5.8. 転送緩衝部

異なるアクセス タイミングを持つメモリ(例えば、入出力レシ、スタと外部メモリ)間でデータ転送を行う時の不必要なバス負荷を避けるため、DMA制御器は4バイトの緩衝部を持ちます。転送元アドレスから2バイが読まれ、転送先への書き込み開始前にこの緩衝部へ書かれます。

5.9. 異常検出

DMA制御器は不正な操作を検知できます。異常条件は各DMAチャネルに対して個別に検出され、その異常条件は次のとおりです。

- メモリ割り当てされたEEPROM位置への書き込み
- EEPROMがOFFの(休止形態動作移行)時のEEPROM読み込み
- 転送中のソフトウェアによるDMA制御器または稼動中チャネルの禁止

5.10. ソフトウェア リセット

DMA制御器とDMAチャネルは使用者ソフトウェアからリセットできます。DMA制御器がリセットされると、チャネルを含み、DMA制御器に関係する全てのレジスタが解除(=0)されます。ソフトウェア リセットはDMA制御器が禁止されている時にだけ行えます。

DMAチャネルがリセットされると、そのDMAチャネル関係する全てのレシ、スタが解除(=0)されます。ソフトウェア リセットはそのDMAチャネルが禁止されている時にだけ行えます。

5.11. 保護

安全な動作を保証するために、チャネルレジスタのいくつかは単位処理の間は保護されます。各チャネルに関してDMAチャネル稼動(CHnBU SY)フラケが設定(1)されているとき、使用者は以下のレジスタとビットの変更だけができます。

- DMA制御(CTRL)レジスタ
- DMA割り込み状態(INTFLAGS)レジスタ
- DMA一時(TEMPH,TEMPL)レジスタ
- DMAチャネル制御レジスタA(CTRLA)内のDMAチャネル許可(ENABLE),DMAチャネルソフトウェア リセット(RESET),DMAチャネル繰り返し許可(REPEAT), DMAチャネル転送要求(TRFREQ)ビット
- DMAチャネル起動元(TRIGSRC)レシ、スタ

5.12. 割り込み

DMAチャネルで異常が検出された時またはDMAチャネルに対して単位処理が完了した時に、DMA制御器は割り込みを生成できます。各 DMAチャネルは独立した割り込みへ、クタを持ち、異常と単位処理完了に対して異なる割り込み要求フラグがあります。

繰り返しが許可されていなければ、塊転送の最後で単位処理完了フラグ(TRNIF)が設定(1)されます。無制限繰り返しが許可されている場合、単位処理完了フラグは各塊転送の最後でも設定(1)されます。



5.13. レジスタ説明 - DMA制御器

5.13.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	ENABLE	RESET	-	-	-	DBUFMODE	-	PRIMODE (CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - ENABLE:許可(Enable)

このビットの設定(1)がDMA制御器を許可します。DMA制御器が許可されていて且つこのビットが0を書かれた場合、内部転送緩衝部が空でDMAデータ転送が中止される前に、ENABLEビットは解除(0)されません。

ヒット6 - RESET: ソフトウェア リセット (Software Reset)

RESET L'ットへの1書き込みはDMAが許可(ENABLE=1)されている限り無視されます。このL'ットはDMA制御器が禁止(ENABLE=0)の時にだけ設定(1)することができます。

ビット5~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - DBUFMODE : 2重緩衝動作種別 (Double Buffer Mode)

このビットは2重緩衝動作形態を許可します。

ビット1 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット0 - PRIMODE: チャネル優先権種別(Channel Priority Mode)

このビットは表5-1.に従って内部チャネル優先権を決定します。

表5-1. DMAチャネル優先権設定								
PRIMODE	群構成設定	内容						
0	RR01	ラウント ロヒン						
1	CH01	チャネルのが優生						

5.13.2. INTFLAGS - 割り込み状態レジスタ (Interrupt Status register)

ヒ゛ット _	7	6	5	4	3	2	1	0	
+\$03	-	_	CH1ERRIF	CH0ERRIF	-	-	CH1TRNFIF	CH0TRNFIF	INTFLAGS
Read/Write	R	R	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5,4 - CHnERRIF: チャネルn 異常割り込み要求フラグ(Channel n Error Interrupt Flag)

DMAチャネルnで異常条件が検出された場合、CHnERRIFフラグが設定(1)されます。このビット位置への1書き込みはこのフラグを解除(0)します。

ビット3,2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

● ビット1,0 - CHnTRNFIF : チャネルn 転送完了割り込み要求フラグ(Channel n Transaction Complete Interrupt Flag)

チャネルnでの単位転送処理が完了すると、CHnTRNFIFフラグが設定(1)されます。無制限繰り返し数が許可されている場合、このフラグは各塊転送後に1として読めます。このビット位置への1書き込みはこのフラグを解除(0)します。

5.13.3. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$04	-	-	CH1BUSY	CH0BUSY	-	-	CH1PEND	CH0PEND	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7.6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5,4 - CHnBUSY: チャネルn 稼動中フラグ(Channel n Busy)

チャネルnがDMA単位転送処理を開始すると、CHnBUSYフラグが1として読めます。このフラグはDMAチャネルnが禁止された時、チャネルn転送完了割り込み要求フラグが設定(1)された時、またはDMAチャネルn異常割り込み要求フラグが設定(1)された場合、自動的に解除(0)されます。

ビット3,2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

ビット1,0 - CHnPEND: チャネルn 保留中フラク (Channel n Pending)

DMAチャネルnで塊転送が保留中の場合、CHnPENDフラグが1として読めます。このフラグは塊転送開始時、または転送が中止された場合、自動的に解除(0)されます。

5.13.4. TEMPL - 一時レジスタ下位 (Temporary register Low)

ピット	7	6	5	4	3	2	1	0	
+\$06				TEM	P7∼0				TEMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TEMP7~0: 一時値7~0 (Temporary register L)

このレシ、スタはDMA制御器内の16ビットと24ビットのレシ、スタ読み書き時に使われます。CPUによって16/24ビット レシ、スタの第1バイトが書かれる時にそれがここに格納されます。CPUによって16/24ビット レシ、スタの第1バイトが読まれる時に16/24ビット レシ、スタの第2バイトがここに格納されます。このレシ、スタは使用者ソフトウェアからの読み書きもできます。

16ビットと24ビットのレジスタの読み書きは特別な注意が必要です。詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

5.13.5. TEMPH - 一時レジスタ上位 (Temporary register High)

<u> </u>	7	6	5	4	3	2	1	0	
+\$07				TEMI	P15~8				TEMPH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TEMP15~8: 一時値15~8 (Temporary register H)

このレシ、スタはDMA制御器内の24ビット レシ、スタ読み書き時に使われます。CPUによって24ビット レシ、スタの第2バイトが書かれる時にそれが格納されます。CPUによって24ビット レシ、スタの第1バイトが読まれる時に24ビット レシ、スタの第3バイトがここに格納されます。このレシ、スタは使用者ソフトウェアからも読み書きできます。

24ビット レジスタの読み書きは特別な注意が必要です。詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

5.14. レシ、スタ説明 - DMAチャネル

5.14.1. CTRLA - 制御レシ、スタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	ENABLE	RESET	REPEAT	TRFREQ	-	SINGLE	BURST	LEN1,0	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ENABLE: チャネルn許可 (Channel Enable)

このビットの設定(1)がDMAチャネルを許可します。このビットは単位転送処理が完了される時に自動的に解除(0)されます。DMAチャネルが許可され、このビットが0を書かれた場合、内部転送緩衝部が空でDMA転送が中止されるまでCHENビットは解除(0)されません。

ヒット6 - RESET: ソフトウェア リセット (Software Reset)

このビットの設定(1)はDMAチャネルをリセットします。このビットはDMAチャネルが禁止(CHEN=0)されている時にだけ設定(1)できます。このビットへの1書き込みはチャネルが許可(ENABLE=1)されている限り無視されます。このビットはリセットが完了される時に自動的に解除(0)されます。

● ビット5 - REPEAT:繰り返し許可(Repeat Mode)

このビットの解除(1)が繰り返し動作を許可します。繰り返し動作では、最後の塊転送の開始でこのビットがハードウェアによって解除(0)されます。DMAチャネル繰り返し数(REPCNT)レジスタはREPEATビット設定前に構成設定されるべきです。

● ビット4 - TRFREQ: 転送要求 (Transfer Request)

このビットの設定(1)がDMAチャネルでのデータ転送を要求します。このビットはデータ転送の開始で自動的に解除(0)されます。このビットの書き込みはチャネルが許可されていなければ無効です。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット2 - SINGLE: 単発データ転送 (Single Shot Data Transfer)

このビットの設定(1)が単発動作を許可します。その後チャネルは転送起動でBURSTLENバイトの集中転送を行います。チャネルが許可されている間、このビットへの書き込みは無視されます。

● ビット1,0 - BURSTLEN1,0:集中動作種別(Burst Mode)

これらのビットは表5-2.に従ってDMAチャネルの集中動作を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-2. DMAチャネル集中動作

BURSTLEN1,0	群構成設定	内容
0 0	1BYTE	1/1 / 作集中転送動作
0 1	2BYTE	2バイト集中転送動作
1 0	4BYTE	4バイト集中転送動作
11	8BYTE	8バイト集中転送動作

表5-3. DMAチャネル構成設定に従う、起動、単位転送処理完了フラグ、チャネル禁止の要約

REPEAT	SINGLE	REPCNT	起動	~後フラグ設定	~後チャネル禁止
0	0	0	塊	1塊	1塊
0	0	1	塊	1塊	1塊
0	0	n>1	塊	1塊	1塊
0	1	0	BURSTLEN	1塊	1塊
0	1	1	BURSTLEN	1塊	1塊
0	1	n>1	BURSTLEN	1塊	1塊
1	0	0	塊	各塊	各塊
1	0	1	単位転送処理	1塊	1塊
1	0	n>1	単位転送処理	n塊	n塊
1	1	0	BURSTLEN	各塊	決して起きない
1	1	1	BURSTLEN	1塊	1塊
1	1	n>1	BURSTLEN	n塊	n塊

5.14.2. CTRLB - 制御レジスタB (Control register B)

ピット	7	6	5	4	3	2	1	0	_
+\$01	CHBUSY	CHPEND	ERRIF	TRNIF	ERRIN	TLVL1,0	TRNINT	TLVL1,0	CTRLB
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - CHBUSY: チャネルn稼動中(Channel Busy)

DMAチャネルがDMA単位転送処理を開始すると、CHBUSYフラク・が1として読めます。DMAチャネルが禁止される時、チャネル転送完了割り込み要求フラク・(TRNIF)が設定(1)される時、またはチャネル異常割り込み要求フラク・(ERRIF)が設定(1)される場合、このフラク・は自動的に解除(0)されます。

• ビット6 - CHPEND: チャネルn保留中(Channel Pending)

DMAチャネルで塊転送が保留中の場合、CHPENDが1として読めます。転送開始時、または転送が中止された場合、このフラグは自動的に解除(0)されます。

● ビット5 - ERRIF: 異常割り込み要求フラグ(Error Interrupt Flag)

DMAチャネルで<mark>異常条件</mark>が検出された場合、ERRIFフラグが設定(1)され、任意選択割り込みが生成されます。DMAチャネル異常割り込みはDMAチャネル転送完了割り込みと割り込みアドレスを共用しているため、ERRIFはその割り込みへ、クタが実行される時に解除(0)されません。このフラグはこの位置への1書き込みによって解除(0)されます。

● ビット4 - TRNIF: チャネルn転送完了割り込み要求フラグ(Channel n Transaction Complete Interrupt Flag)

DMAチャネルでの単位転送処理が完了されると、TRANIFフラケが設定(1)され、任意選択割り込みが生成されます。繰り返しが許可されていなくて単位転送処理が完了すると、塊転送後にTRANIFが設定(1)されます。無制限繰り返しが許可されていると、TRNIFは各塊転送後にも設定(1)されます。

DMAチャネル転送完了割り込みがDMAチャネル異常割り込みと割り込みアドレスを共用しているので、TRNIFはその割り込み、「クタが実行される時に解除(0)されません。このフラク・はこの位置への1書き込みによって解除(0)されます。

● ビット3,2 - ERRINTLVL1,0: チャネルn異常割り込みレベル (Channel Error Interrupt Level)

これらのビットはDMAチャネル転送異常に対する割り込みを許可し、83頁の「割り込みと設定可能な多レベル割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みはチャネル異常割り込み要求フラグ(ERRIF)が設定(1)される時の条件に対して起動します。

● ビット1,0 - TRNINTLVL1,0: チャネルn転送完了割り込みレベル (Channel Transaction Complete Interrupt Level)

これらのビットはDMAチャネル単位転送処理完了に対する割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みはチャネル転送完了割り込み要求フラグ(TRNIF)が設定(1)される時の条件に対して起動します。

5.14.3. ADDRCTRL - アトレス制御レジスタ (Address Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$02	SRCREL	LOAD1,0	SRCI	DIR1,0	DESTRE	LOAD1,0	DEST	DIR1,0	ADDRCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビットフ,6 - SRCRELOAD1,0: チャネルn転送元アドレス再格納(Channel Source Address Reload)

これらのビットは表5-4.に従ってDMAチャネルの転送元アドレスの再格納を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-4. DMAチャネル転送元アト・レス再格納設定

SRCRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送元アドレスレジスタは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送元アドレスレジスタは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送元アドレスレジスタは各単位転送処理の最後で初期値が再格納されます。

● ビット5,4 - SRCDIR1,0: チャネルn転送元アドレス指示種別 (Channel Source Address Mode)

これらのビットは表5-5.に従ってDMAチャネルの転送元アドレス指示種別を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-5. DMAチャネル転送元アト・レス指示種別設定

SRCDIR1,0	群構成設定	内容
0 0	FIXED	固定
0 1	INC	増加(+1)
1 0	DEC	减少(-1)
1 1	-	(予約)

● ビット3,2 - DESTRELOAD1,0: チャネルn転送先アドレス再格納 (Channel Destination Address Reload)

これらのビットは表5-6.に従ってDMAチャネルの転送先アドレスの再格納を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-6. DMAチャネル転送先アトプレス再格納設定

DESTRELOAD1,0	群構成設定	内容
0 0	NONE	再格納は実行されません。
0 1	BLOCK	DMA転送先アドレス レジスタは各塊転送の最後で初期値が再格納されます。
1 0	BURST	DMA転送先アドレス レジスタは各集中転送の最後で初期値が再格納されます。
1 1	TRANSACTION	DMA転送先アドレス レジスタは各単位転送処理の最後で初期値が再格納されます。

● ビット1,0 - DESTDIR1,0 : チャネルn転送先アドレス指示種別 (Channel Destination Address Mode)

これらのビットは表5-7.に従ってDMAチャネルの転送先アドレス指示種別を決めます。これらのビットはチャネルが稼動中の場合に変更できません。

表5-7. DMAチャネル転送先アトンス指示種別設定

次。 // DIII/ / [[/ [/ [/ [/ [/ [/ [/ [/								
DESTDIR1,0	群構成設定	内容						
0 0	FIXED	固定						
0 1	INC	增加(+1)						
1 0	DEC	减少(-1)						
11	-	(予約)						



5.14.4. TRIGSRC - 起動元レジスタ (Trigger Source)

ヒ゛ット	7	6	5	4	3	2	1	0	_
+\$03				TRIGS	RC7∼0				TRIGSRC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TRIGSRC7~0: 起動元選択 (Trigger Source Select)

これらのビットはDMAチャネルでの転送を起動するのにどの起動元が使われるかを選びます。0値は起動元が禁止されることを意味します。各起動元に対してTRIGSRCレジスタ内に置くための値は、単位部または周辺機能の基準値と、単位部または周辺機能内の起動元に対する変位値の合計です。表5-8.は全ての単位部または周辺機能に対する基準値を示します。表5-9.~11.は各種の単位部または周辺機能の形式内の起動元に対する差分値を示します。デバイスに関して存在しない単位部または周辺機能については転送起動も存在しません。利用可能な周辺機能の一覧についてはデバイスのデータシートを参照してください。

起動元と関連する割り込み要求フラグが解除される、または割り込みが起動されるように割り込みレベルを許可した場合、DMA要求が失われます。DMA要求が割り込み要求フラグを解除し得るため、割り込みが失われ得ます。

注: 殆どの起動元に関してその要求は要求での周辺機能に属するレジスタのアクセスによって解除されます。要求がどう生成されて解除 されるかについては各種周辺機能章を参照してください。

表5-8. 全単位部及び周辺機能に対するDMA起動元基準値

TRIGSRC 基準値	群構成 設定	内容	TRIGSRC 基準値	群構成 設定	内容
\$00	OFF	ソフトウェア起動のみ	\$46	TCC1	タイマ/カウンタ C1 DMA起動基準値
\$01	SYS	事象システムDMA起動基準値	\$4A	SPIC	SPI C DMA起動基準値
\$04	AES	AES DMA起動基準値	\$4B	USARTC0	USART CO DMA起動基準値
\$10	ADCA	ADC A DMA起動基準値	\$80	TCE0	タイマ/カウンタ E0 DMA起動基準値
\$20	ADCB	ADC B DMA起動基準値	\$8B	USARTE0	USART E0 DMA起動基準値
\$40	TCC0	タイマ/カウンタ CO DMA起動基準値			

訳注: これらのA~EはポートA~Eを表し、同一周辺機能が複数存在する場合の個別指示に使われます。基本的に各ポートはA,Bがアナログ関係、C以降がデジタル関係です。これらから必ずしも順に実装されるとは限らないことに注意してください。

表5-9. 事象システム起動に対するDMA起動元差分値

TRIGSRC 差分值	群構成 設定	内容
+\$00	CH0	事象チャネル0
+\$01	CH1	事象チャネル1
+\$02	CH2	事象チャネル2

表5-11. USARTに対するDMA起動元差分値

TRIGSRC 差分值	群構成 設定	内容
+\$00	RXC	受信完了
+\$01	DRE	データレジスタ空

表5-10. タイマ/カウンタに対するDMA起動元差分値

TRIGSRC 差分值	群構成 設定	内容
+\$00	OVF	上昇溢れ/下降漏れ
+\$01	ERR	異常
+\$02	CCA	比較または捕獲チャネルA
+\$03	ССВ	比較または捕獲チャネルB
+\$04	CCC	比較または捕獲チャネルC (注1)
+\$05	CCD	比較または捕獲チャネルD(注1)

注1: CCのCとDチャネルはタイマ/カウンタ0でだけ利用可能です。

群構成設定は基準_差分(base_offset)、例えばタイマ/カウンタC1のCCチャネルAでの転送起動はTCC1_CCAです。

(<mark>訳注</mark>) 改訂Bでの更新に於ける原書の表5-8.が矛盾するため、表5-8.は改訂Aのままにしています。



5.14.5. TRFCNTL - チャネルn塊転送数レジスタ下位 (Channel Block Transfer Count register Low)

TRFCNTHとTRFCNTLレジスタ対は16ビット値TRFCNTを表します。TRFCNTは塊転送でのバイト数を定義します。TRFCNTの値は DMAチャネルによってバイトが読まれる毎に減少(-1)されます。TRFCNTが0に達すると、レジスタは最後に書かれた値を再格納します。

TRFCNTレシブスタの既定値は1です。使用者がこのレシブスタに0を書いてDMA起動を始めた場合、DMAは\$FFFF回の転送を行います。

ピット _	7	6	5	4	3	2	1	0	
+\$04				TRFC	NT7~0				TRFCNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~0 - TRFCNT7~0: チャネルn塊転送数下位バイト (Channel n Block Transfer Count low byte)

これらのビットは16ビット塊転送数のLSB(下位バイト)を保持します。

5.14.6. TRFCNTH - チャネルn塊転送数レジスタ上位 (Channel Block Transfer Count register High)

16ビット レジスタの読み書きは特別な注意が必要で、その詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

ヒ゛ット	7	6	5	4	3	2	1	0	_
+\$05				TRFC	NT15∼8				TRFCNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TRFCNT15~8:チャネルn塊転送数上位バイト (Channel n Block Transfer Count high byte)

これらのビットは16ビット塊転送数のMSB(上位バイト)を保持します。

5.14.7. REPCNT - 繰り返し数レジスタ (Repeat Counter register)

ピット	7	6	5	4	3	2	1	0	
+\$06				REPC:	NT7~0				REPCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

● ビット7~0 - REPCNT7~0:繰り返し数(Repeat Count)

REPCNTは塊転送が何回実行されるかを数えます。各塊転送毎に、このレジスタは減少(-1)されます。

繰り返し動作が許可されているとき(41頁の「CTRLA - 制御レジスタA」のDMAチャネル繰り返し許可(REPEAT)ビットをご覧ください)、このレジスタは単位転送処理完了時の制御に使われます。DMAが制限された塊転送繰り返し数を扱わなければならない場合、この計数器は各塊転送後に減数(-1)されます。繰り返し動作許可時、REPCNTが0に達して最後の塊転送が完了すると、チャネルは禁止されます。無制限繰り返しは、このレジスタへの0設定によって成し遂げられます。

5.14.8. SRCADDRO - チャネルn転送元アトレス レジスタO (Channel Source Address 0)

SRCADDR2,SRCADDR1,SRCADDR0は24ビット値SRCADDRを表し、そしてこれはDMAチャネル転送元アドレスです。SRCADDR2はこのレジスタ内の最上位バイトです。SRCADDRは42頁の「ADDRCTRL - DMAチャネル アドレス制御レジスタ」内のDMAチャネル転送元アドレス指示種別(SRCDIR)ビットの設定に基いて自動的に増減(±1)できます。

+\$08 SRCADDR7~0	
+\$00 SRCADDR1~0	SRCADDR0
Read/Write R/W R/W R/W R/W R/W R/W R/W	
初期値 0 0 0 0 0 0 0	

● ビット7~0 - SRCADDR7~0: 転送元アドレス0 (Channel Source Address byte 0)

これらのビットは24ビット転送元アドレスの第1バイトを保持します。

5.14.9. SRCADDR1 - チャネルn転送元アトレスレジスタ1 (Channel Source Address 1)

ピット	7	6	5	4	3	2	1	0	
+\$09				SRCAD	DR15~8				SRCADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - SRCADDR15~8: 転送元アドレス1 (Channel Source Address byte 1)

これらのビットは24ビット転送元アドレスの第2バイトを保持します。



5.14.10. SRCADDR2 - チャネルn転送元アトレス レシ スタ2 (Channel Source Address 2)

24ビット値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ビット レジスタのアクセス」を参照してください。

ピット	7	6	5	4	3	2	1	0	
+\$0A				SRCADI	OR23∼16				SRCADDR2
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - SRCADDR23~16: チャネルn転送元アドレス2 (Channel Source Address 2)

これらのビットは24ビット転送元アドレスの第3バイトを保持します。

5.14.11. DESTADDRO - チャネルn転送先アトレス レジスタO (Channel Destination Address 0)

DESTADDR2,DESTADDR1,DESTADDR0は24ビット値DESTADDRを表し、そしてこれはDMAチャネル転送先アドレスです。DESTADDR2 はこのレジスタ内の最上位バイトです。DESTADDRは42頁の「**ADDRCTRL - DMAチャネル アドレス制御レジスタ**」内のDMAチャネル転送先アドレス指示種別(DESTDIR)ビットの設定に基いて自動的に増減(±1)できます。

ピット	7	6	5	4	3	2	1	0	
+\$0C				DESTA	DDR7~0				DESTADDR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - DESTADDR7~0: 転送先アドレス0 (Channel Destination Address byte 0)

これらのビットは24ビット転送先アドレスの第1バイトを保持します。

5.14.12. DESTADDR1 - チャネルn転送先アトレス レジスタ1 (Channel Destination Address 1)

ピット _	7	6	5	4	3	2	1	0	
+\$0D				DESTAI	DDR15~8				DESTADDR1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DESTADDR15~8: 転送先アドレス1 (Channel Destnation Address byte 1)

これらのビットは24ビット転送先アドレスの第2バイトを保持します。

5.14.13. DESTADDR2 - チャネルn転送先アトレス レジスタ2 (Channel Destination Address 2)

24ビット値の読み書きは特別な注意が必要で、その詳細については9頁の「24及び32ビット レジスタのアクセス」を参照してください。

ピット	7	6	5	4	3	2	1	0	
+\$0E				DESTAD	DR23~16				DESTADDR2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値									

● ビット7~0 - DESTADDR23~16: チャネルn転送先アドレス2 (Channel Destnation Address 2)

これらのビットは24ビット転送先アドレスの第3バイトを保持します。

5.15. レジスタ要約 - DMA制御器

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$40	予約	1	1	-	1	1	1	1	_	
+\$30	予約	ı	-	_	ı	_	_	_	_	
+\$20	ch1変位			DM.	Aチャネル1に対	けする変位アト	・レス			
+\$10	ch0変位			DM.	Aチャネル0に対	けする変位アト	・レス			
+\$07	TEMPH			1	TEMF	P15~8				40
+\$06	TEMPL			1	TEM	P7∼0				40
+\$05	予約	1	1	-	1	1	1	1	_	
+\$04	STATUS	ı	ı	CH1BUSY	CH0BUSY	-	1	CH1PEND	CH0PEND	40
+\$03	INTFLAGS	1	1	CH1ERRIF	CH0ERRIF	1	1	CH1TRNFIF	CH0TRNFIF	39
+\$02	予約	1	1	_	1	-	1	1	_	
+\$01	予約	. 1	ı	_		_	ı	ı	_	
+\$00	CTRL	ENABLE	RESET	_	_	_	DBUFMODE	_	PRIMODE	39

5.16. レシ、スタ要約 - DMAチャネル

アト・レス	略称	ピット7	ピット6	ピット5	ヒ゛ット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0F	予約	-	-	-	-	-	-	-	-	
+\$0E	DESTADDR2				DESTAD	DR23~16			1	46
+\$0D	DESTADDR1				DESTAI	DR15~8			1	46
+\$0C	DESTADDR0		1	1	DESTA	DDR7~0	1		1	46
+\$0B	予約	ı	-	_	_	_	-	1	_	
+\$0A	SRCADDR2				SRCADI	DR23∼16			1	46
+\$09	SRCADDR1				SRCAD	DR15~8	1		1	45
+\$08	SRCADDR0				SRCAD	DR7~0				45
+\$07	予約	_	_	_	_	_	_	_	_	
+\$06	REPCNT				REPC:	NT7~0	1		'	45
+\$05	TRFCNTH			1	TRFC	√T15~8	1			45
+\$04	TRFCNTL				TRFC	NT7~0	1		1	45
+\$03	TRIGSRC				TRIGS	RC7~0			1	44
+\$02	ADDRCTRL	SRCREL	OAD1,0	SRCI	DIR1,0	DESTRE	LOAD1,0	DEST	DIR1,0	42
+\$01	CTRLB	CHBUSY	CHPEND	ERRIF	TRNIF	ERRINT	LVL1,0	TRNIN	LVL1,0	42
+\$00	CTRLA	ENABLE	RESET	REPEAT	TRFREQ	-	SINGLE	BURST	LEN1,0	41

5.17. DMA割り込みベクタ要約

変位	記述例	割り込み内容
\$00	CH0_vect	DMA制御器チャネル0割り込みへ、クタ
\$02	CH1_vect	DMA制御器チャネル1割り込みへ、クタ



6. 事象システム

6.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
 - CPUとDMAの個別動作
 - 100%予測可能な信号タイミング
 - 短く保証された応答時間
- 4つまでの異なる平行信号経路と構成設定の4つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウュアによって送出、そして/または使うことが可能
- 以下の付加機能
 - 直交復号
 - 入出力ピン状態のデジタル濾波
- 活動動作とアイ・ル動作で作動

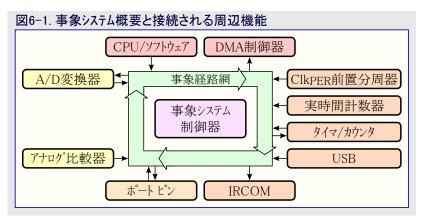
6.2. 概要

事象システムは周辺機能から周辺機能への直接的な通信と合図を許します。それは或る周辺機能の状態変化から別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するために設計されています。これは割り込み、CPU、またはDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従ってこれは応用コードの複雑さ、大きさ、実行時間を減らすための強力な道具です。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能の割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図6-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)、USBインターフェースを共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

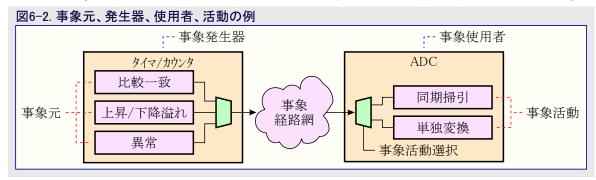
事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な4つの多重器から成ります。これらは事象チャネルと呼ばれ、4つまでの並列事象構成設定と配線を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。



6.3. 事象

事象システムの関係に於いては周辺機能内で状態変化が起きたことの指示が事象と呼ばれます。これらは2つの主な事象、合図事象とデータ事象です。合図事象は状態変化を指示するだけで、一方データ事象は事象についての付加情報を含みます。

事象原点である周辺機能は事象発生器と呼ばれます。各周辺機能内、例えばタイマ/カウンタにはタイマ比較一致やタイマ上昇溢れのような多くの事象元があります。事象を使う周辺機能は事象使用者と呼ばれ、起動される動作は事象活動と呼ばれます。



事象はソフトウェアに於いて手動で発生することもできます。

6.3.1. 合図事象

合図事象は最も基本的な事象形式です。合図事象は周辺機能での変化指示を別にして何の情報も含みません。殆どの周辺機能は合図事象を生成して使うことができるだけです。他に断りが無ければ、語'事象'の全表記は合図事象と理解されるべきです。

6.3.2. データ事象

データ事象は事象使用者が受信情報に基いて事象活動を決めるのに復号できる情報をそれらが含むことで合図事象と異なります。 事象経路網が全事象を全事象使用者へ経路付けすることができるとは言え、合図事象の使用だけを意図するそれらはデータ事象の 利用に必要な復号能力を持ちません。事象使用者がデータ事象をどう復号するかは表6-1.で示されます。

データ事象を利用できる事象使用者は合図事象も使えます。これは設定可能で、各周辺機能に対するデータシート部分で記述されます。

6.3.3. 周辺機能クロック事象

各事象チャネルは1(前置分周なし)~32768の範囲を持つ周辺機能クロック前置分周器を含みます。これは周辺機能クロックに基づく、設定可能な周期的事象生成を許します。これは周辺機能での周期的な起動事象または多数の周辺機能での周期的な同期された起動事象が可能です。各事象チャネルが前置分周器を含むため、異なる周辺機能は異なる間隔での起動を受け取ることができます。

6.3.4. ソフトウェア事象

事象は事象データ(DATA)と事象発動(STROBE)のレシブスタを書くことによってソフトウェアから生成することができます。STROBEレシブスタ書き込みが動作を起動するので、DATAレシブスタが先に書かれなければなりません。DATAとSTROBEのレシブスタは各事象チャネルに対する1 ビットを含みます。ビットnが事象チャネルに対応します。多数のビット位置を一度に書くことによって同時に多数のチャネルで事象を生成することが可能です。

ソフトウェア生成事象は1クロック周期間持続し、そのクロック周期間でそのチャネル上の他の事象生成器からの事象を上書きします。

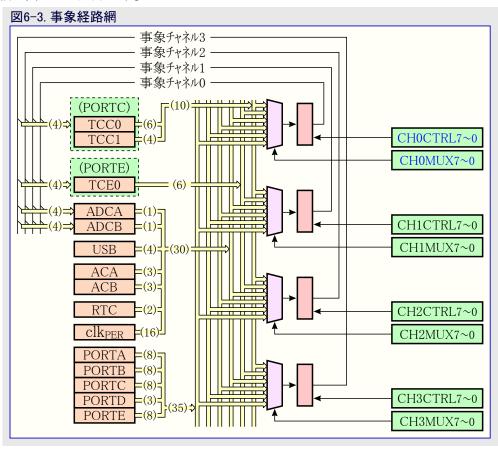
表6-1.は各種事象がどう手動生成でき、どう復号されるのかを示します。

表6-1. 手重	加生成事象	表6-1. 手動生成事象と事象の復号								
STROBE	DATA	データ事象使用者	合図事象使用者							
0	0	事象なし	事象なし							
0	1	データ事象01	事象なし							
1	0	データ事象02	合図事象							
1	1	データ事象03	合図事象							



6.4. 事象経路網

事象経路網は周辺機能間の事象を経路付けします。これは各々がどの事象元をどの事象使用者へも配線するように構成設定することができる4つの多重器(CHnMUX)から成ります。多重器からの出力は事象チャネルとして参照されます。各周辺機能については、やって来る事象が事象活動を起動すべきかどうかが選択可能です。構成設定の詳細については各周辺機能に関するデータシートで得られます。事象経路網は図6-3.で示されます。



4つの多重器は同時に4つまでの事象の経路付けが可能なことを意味します。1つの事象を沢山の多重器を通して経路付けすることも可能です。

全てのXMEGAデバイスが全ての周辺機能を含む訳ではありません。これはその周辺機能が事象の生成と使用に利用できないことだけを意味します。それ自身の網形態は全デバイス間で一致します。

6.5. 事象タイミング

通常、事象は1周辺機能クロック周期間持続しますが、I/OピンのLowレベルのようないくつかの事象元は継続的に事象を生成するでしょう。この詳細は各周辺機能に対するデータシートで記述されますが、その他言及がなければ事象は1周辺機能クロック周期間持続します。事象が生成される時から他の周辺機能の事象活動が起動されるまでには最大2クロック周期かかります。これはCPUやDMA制御器の負荷またはソフトウェア改訂と無関係に、短くて100%予測可能な応答時間を保証します。

6.6. 濾波

各事象チャネルはデジタル濾波器を含みます。これが許可されると、それが受け入れられる前に構成設定可能なシステム クロック周期数と同じ値分で採取されなければなりません。これは本来ピン変化事象用に意図されています。

(訳注) 改訂Bでの更新に於ける原書の図6-3.が矛盾するため、図6-3.は改訂Aのままにしています。



6.7. 直交復号器

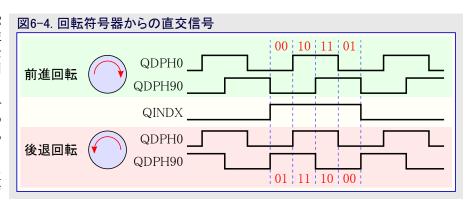
事象システムはデバイスに、I/Oピンの直交入力の復号と、タイマ/カウンタが上昇計数、下降計数、または指標/リセットへ復号し得るデータ事象の送出を許す、3つの直交復号器(QDEC)を含みます。表6-2.はどの直交復号器データ事象が利用可能か、そしてそれらがどう復号されるか、それらがどう生成され得るかを示します。QDECと関連する機能、制御と状態のレジスタは事象チャネル0で利用できます。

表6-2. 直3	表6-2. 直交復号器データ事象								
STROBE	DATA	データ事象使用者	合図事象使用者						
0	0	事象なし	事象なし						
0	1	指標/リセット	事象なし						
1	0	下降計数	合図事象						
1	1	上昇計数	合図事象						

6.7.1. 直交動作

直交信号は互いに90°移動された位相関係の2つの方形波を持つことによって特徴付けされます。回転運動は2つの波形の端を計数することによって測定することができます。2つ方形波間の位相関係が回転方向を決めます。

図6-4.は回転符号器からの代表的な直交信号を示します。QDPH0とQDPH90の信号が2つの直交信号です。QDPH90がQDPH0より先行するとき、回転は正または正転として定義されます。QDPH0がQDPH90より先行するとき、回転は負または逆転として定義されます。2相信号の関連は直交状態または位相状態と呼ばれます。



絶対的な回転変位を知るために第3の指標信号(QINDX)が使えます。これは1回転毎の指示を与えます。

6.7.2. QDEC初期設定

完全なQDEC初期設定については以下が必要とされます。

- 直交信号入力用の2または3つのI/Oポートピン
- 直交復号用の2つの事象システム
- 上昇、下降と任意の指標計数用の1つのタイマ/カウンタ

QDEC初期設定に関して次の手順が使われるべきです。

- 1. QDEC相入力としてポートの2つの連続するピンを選択してください。
- 2. QDPH0とQDPH90に対してピン方向を入力として設定してください。
- 3. QDPH0とQDPH90に対してピン形態をLowレベル感知条件に設定してください。
- 4. 事象チャネルnに対する多重器入力としてQDPH0ピンを選択してください。
- 5. 事象チャネルで直交復号とデジタル濾波を許可してください。
- 6. 任意選択:
 - 1. QDEC指標(QINDX)を初期設定してください。
 - 2. QINDX入力用の第3のピンを選択してください。
 - 3. QINDXに対してピン方向を入力として設定してください。
 - 4. QINDXに対するピン形態を両端感知条件に設定してください。
 - 5. 事象チャネルn+1に対する多重器入力としてQINDXを選択してください。
 - 6. 事象チャネルnで直交復号指標許可(QDIEN)ビットを設定(1)してください。
 - 7. 事象チャネルnで直交復号指標認証動作(QDIRM1,0)を選択してください。
- 7. タイマ/カウンタに対して事象活動として直交復号を設定してください。
- 8. タイマ/カウンタ事象元として事象チャネルnを選択してください。
- 9. タイマ/カウンタの定期(PER)レシブスタを(直交符号器の直線計数数×4-1)に設定してください。
- 10. クロック前置分周なしでタイマ/カウンタを許可してください。

QDPH0,QDPH90(とQINDX)へ装着された直交符号器の角度が今やタイマ/カウンタ計数(CNTH:CNTL)レシ、スタから直接読めます。指標が認識された時に計数レシ、スタがBOTTOMと異なる場合、タイマ/カウンタ異常フラケ(ERRIF)が設定(1)されます。同様に指標の認識なしに計数器の位置がBOTTOMを通る場合も異常フラケが設定(1)されます。



6.8. レジスタ説明

6.8.1. CHnMUX - 事象チャネルn多重器レシ、スタ (Event Channel n Multiplexer register)

ヒ゛ット	7	6	5	4	3	2	1	0	
+n				CHnM	UX7~0				CHnMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CHnMUX7~0: チャネルn多重器選択(Channel Multiplexer)

これらのビットは表6-3.に従って事象元を選びます。この表は周辺機能が存在するか否かのどちらかに拘らず全てのXMEGAデバイスに対して有効です。存在しない周辺機能からの事象元選択は、このレジスタが0の時と同じ結果を与えます。このレジスタが0の時、その間は経路付けされる事象はありません。手動生成事象はCHnMUXを無視し、例えこのレジスタが0でもその事象チャネルへ経路付けします。

表6-4 タイマ/カウンタ事象形式F(注)

200	収∪ +. / 1 (/ / / / / / / /)								
T/	C事	象	群構成設定	事象形式					
0	0	0	TCxn_OVF	上昇/下降溢れ					
0	0	1	TCxn_ERR	異常					
0	1	0		(予約)					
0	1	1		(予約)					
1	0	0	TCxn_CCA	捕獲または比較A					
1	0	1	TCxn_CCB	捕獲または比較B					
1	1	0	TCxn_CCC	捕獲または比較C					
1	1	1	TCxn_CCD	捕獲または比較D					

注: $x=C,E_o$ $n=0,1_o$

(訳注)表6-3.の赤文字C,Eと表6-4.の赤文字x は基本的に複数同一周辺機能の個別指定に用いられ、それは各周辺機能がポート単位で配置されます。従ってこれらの文字はポート種別を表し、例えば対タイマ/カウンタCOはポートCに配置されたタイマ/カウンタOを意味します。

至6-3	CHnMUX	小小郎完

表6-3. CHIMUX CHnMUX7~4			UX3	~0	群構成設定	事象元
0 0 0 0	0	0	0	0		なし(手動生成事象のみ)
0 0 0 0	0	0	0	1		(予約)
0 0 0 0	0	0	1	Х		(予約)
0 0 0 0	0	1	X	X		(予約)
0 0 0 0	1	0	0	0	RTC_OVF	RTC上昇溢れ
0 0 0 0	1	0	0	1	RTC_CMP	RTC比較一致
0000	1	0	1	0	_	CH0:USBフレーム開始 (注2) CH1:USB異常 (注2) CH2:USB異常 (注2) CH3:USB異常 (注2)
0000	1	0	1	1		(予約)
0000	1	1	X	X		(予約)
0001	0	0	0	0	ACA_CH0	ACAチャネル0
0 0 0 1	0	0	0	1	ACA_CH1	ACAチャネル1
0 0 0 1	0	0	1	0	ACA_WIN	ACA窓動作
0 0 0 1	0	0	1	1	ACB_CH0	ACBチャネル0
0 0 0 1	0	1	0	0	ACB_CH1	ACBチャネル1
0 0 0 1	0	1	0	1	ACB_WIN	ACB窓動作
0 0 0 1	0	1	1	Х		(予約)
0 0 0 1	1	X	Х	Х		(予約)
0 0 1 0	0	0	0	0	ADCA_CHn	ADCAチャネルn(n=0)
0 0 1 0	0	0	0	1		(予約)
0 0 1 0	0	0	1	Х		(予約)
0 0 1 0	0	1	0	0	ADCB_CHn	ADCBチャネルn(n=0)
0 0 1 0	0	1	0	1		(予約)
0 0 1 0	0	1	1	Х		(予約)
0 0 1 0	1	X	X	X		(予約)
0 0 1 1	Х	Х	Х	Х		(予約)
0 1 0 0	Х	Х	Х	Х		(予約)
0 1 0 1	0		n		PORTA_PINn	PORTAピンn(n=0~7) (注1)
0 1 0 1	1		n		PORTB_PINn	PORTBピンn(n=0~7) (注1)
0 1 1 0	0		n		PORTC_PINn	PORTCピンn(n=0~7) (注1)
0110	1		n		PORTD_PINn	PORTDt°ンn(n=0~2) (注1)
0 1 1 0	1	0	1	1		(予約)
0110	1	1	X	X		(予約)
0 1 1 1	0		n		PORTE_PINn	PORTEヒ $^{\circ}$ ν n(n=0 \sim 7) (注1)
0 1 1 1	1	Х	Х	X		(予約)
1 0 0 0		N	_		PRESCALER M	2M分周Clkper(M=1~15)
1 0 0 1	Х	Х	Х	X		(予約)
1010	X	X	X	X		(予約)
1011	X	X	X	X		(予約)
1 1 0 0	0		Е		表6-4.参照	タイマ/カウンタC0事象形式E
1100	1		E		表6-4.参照	タイマ/カウンタC1事象形式E
1 1 0 1	X	X	X	Х	20 112/11	(予約)
1110	0	21	E	21	表6-4.参照	タイマ/カウンタE0事象形式E
1110	1	X	X	X	20 1.25/11	(予約)
1111	X	X	X	X		(予約)
					L 192百の「ポ ート事 多	

注1: ポートの事象生成法の記述は92頁の「**ポート事象**」項で記述されます。

注2: 各種USB事象は事象チャネル0~3についてだけ選択することができます。

(<mark>訳注</mark>) 改訂Bでの更新に於ける原書の**表6-3**.と**表6-4**.は矛盾するため、**表6-3**.での<mark>注2</mark>を除いて改訂Aのままにしています。



6.8.2. CHnCTRL - チャネルn制御レジスタ (Channel n Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$08+n	-	QDIRM	1,0 (注)	QDIEN(注)	QDEN(注)		DIFFILT2~0		CHnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: CH0CTRLとCH2CTRLに対してのみ利用可能。これらのビットはCH1CTRLとCH3CTRLで予約されています。

ビット7 - 予約 (Reserved)

このビットは予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6,5 - QDIRM1,0: 直交復号指標認識動作 (Quadrature Decode Index Recognition Mode)

これらのビットは有効な指標信号が認識される位置に対するQDPH0とQDPH90の直交状態を決め、そして表6-5.に従って計数器指標データ事象が与えられます。これらのビットは接続された指標信号と共に直交復号器を用いる時にだけ設定されるべきです。これらのビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

表6-5. QDIRMビット設定						
QDIRM1,0	指標認識状態					
0 0	{QDPH0,QDPH90}= <mark>00</mark>					
0 1	{QDPH0,QDPH90}= <mark>01</mark>					
1 0	{QDPH0,QDPH90}= <mark>10</mark>					
11	{QDPH0,QDPH90}=11					

● ビット4 - QDIEN: 直交復号指標許可 (Quadrature Decode Index Enable)

このビットが設定(1)されると、事象チャネルはQDEC指標元として使われ、指標データ事象が許可されます。 このビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

● ビット3 - QDEN: 直交復号許可 (Quadrature Decode Enable)

このビットの設定(1)がQDEC動作を許可します。

このビットはCH0CTRLとCH2CTRLに対してのみ利用可能です。

● ビット2~0 - DIGFILT2~0: デジタル濾波器係数 (Digital Filter Coefficient)

これらのビットは表6-6.に従って、デジタル濾波器で使う長さを定義します。 事象は、事象元がDIGFILTで定義された周辺機能クロック数間活性(有効) で且つ同じレヘールで採取される時にだけ、事象チャネルを通じて渡されます。

表6-6. デジタル濾	表6-6. デジタル濾波器係数値							
DIGFILT2~0	群構成設定	内容						
0 0 0	1SAMPLE	1採取						
0 0 1	2SAMPLE	2採取						
0 1 0	3SAMPLE	3採取						
0 1 1	4SAMPLE	4採取						
1 0 0	5SAMPLE	5採取						
1 0 1	6SAMPLE	6採取						
1 1 0	7SAMPLE	7採取						
1 1 1	8SAMPLE	8採取						

6.8.3. STROBE - 発動レジスタ (Strobe register)

		- ,	,						
ピット	7	6	5	4	3	2	1	0	_
+\$10	-	-	-	_		STRO	BE3∼0		STROBE
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - STROBE3~0: 事象発動ビット (Event Strobe bits)

STROBEレシブスタ位置が書かれ、どれかがOと等しくない場合、各事象チャネルはSTROBEnと対応するDATAnビット設定に従って設定されます。

1周辺機能クロック間持続する単独事象が生成されます。

6.8.4. DATA - データレシ スタ (Data register)

ピット	7	6	5	4	3	2	1	0	
+\$11	-	-	-	_		DAT	A3~0		DATA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

• ビット3~0 - DATA3~0 : 事象データ ビット (Event Data bits)

このレジスタはデータ事象を手動生成する時のデータ値を含みます。このレジスタは事象発動(STROBE)レジスタの前に書かれなければなりません。詳細については「STROBE - 発動レジスタ」をご覧ください。

6.9. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$11	DATA	1	-	-	-		DAT	A3~0		54
+\$10	STROBE	-	-	_	-		STRO	BE3~0		53
+\$0F	予約	-	_	_	_	_	_	-	_	
+\$0E	予約	I	_	_	_	_	_	_	-	
+\$0D	予約	ı	_	_	_	_	_	_	_	
+\$0C	予約	-	_	_	_	_	_	_	_	
+\$0B	CH3CTRL	-	-	_	-	_		DIGFILT2~0		53
+\$0A	CH2CTRL	-	QDIF	RM1,0	QDIEN	QDEN		DIGFILT2~0		53
+\$09	CH1CTRL	ı	-	-	-	_		DIGFILT2~0		53
+\$08	CH0CTRL	I	QDIF	RM1,0	QDIEN	QDEN		DIGFILT2~0		53
+\$07	予約	-	_	_	_	_	_	-	_	
+\$06	予約	-	_	_	_	_	_	-	_	
+\$05	予約	-	_	_	_	_	_	_	_	
+\$04	予約	-	_	_	_	_	_	_	_	
+\$03	CH3MUX				СНЗМ	UX7~0				52
+\$02	CH2MUX		1		CH2M	UX7~0		1		52
+\$01	CH1MUX		1		CH1M	UX7~0		1		52
+\$00	CH0MUX		1		CH0M	UX7~0				52



7. システム クロックとクロック選択

7.1. 要点

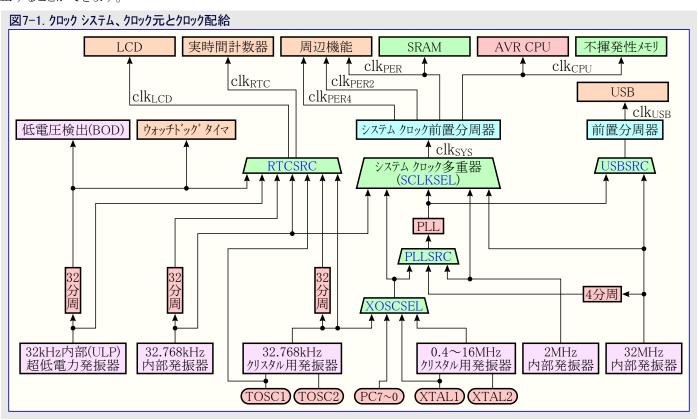
- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
 - 32MHz走行時校正付き発振器
 - 2MHz走行時校正付き発振器
 - 32.768kHz校正付き発振器
 - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 20~128MHz出力周波数を持つPLL
 - 内部及び外部クロック任意選択と1~31逓倍
 - 固定化検出器
- 1~2048分周のクロック前置分周器
- CPUクロックの2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

7.2. 概要

XMEGAデバイスは多数のクロック元を支援する柔軟なクロック システムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図7-1.はXMEGA系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは70頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。





7.3. クロック配給

図7-1.はXMEGAデバイスで使われる原則的なクロック配給系統を表します。

7.3.1. システム クロック - clksys

システム クロックは主システム クロック選択からの出力です。これは非同期クロックとUSBクロックを除く全ての内部クロックを生成するのに使われる前置分周器に供給されます。

7.3.2. CPUクロック - clkcpu

CPUクロックはCPUと不揮発性メモリへ送られます。CPUクロックの停止は命令実行からCPUを抑制します。

7.3.3. 周辺機能クロック - clkpfR

主要な周辺機能とシステム単位部がこの周辺機能クロックを使います。これには、DMA制御器、事象システム、割り込み制御器とSRAMを含みます。このクロックは常にCPUクロックに同期しますが、例えCPUクロックがOFFされても動作できます。

7.3.4. 2倍/4倍周辺機能クロック - clkpfR2.clkpfR4

CPUクロック周波数の2または4倍で動作できる単位部は2倍周辺機能クロックと4倍周辺機能クロックを使えます。

7.3.5. 非同期クロック - clkRTC/clkLCD

非同期クロックは外部32.768kHzクリスタル用発振器、32.768kHz内部発振器(からの32分周出力)、または超低電力(ULP)発振器からの直接クロック駆動を実時間計数器(RTC)とLCDに許します。例えデバイスが休止形態動作で残りのクロックが停止されても、専用のクロック範囲がこれらの周辺機能の動作を許します。

7.3.6. USBクロック - clkusb

USB装置単位部は12MHzまたは48MHzのクロックが必要です。これはUSB使用時のシステム クロック元制限を避けるため、独立したクロック元選択を持ちます。

7.4. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

7.4.1. 内部発振器

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

7.4.1.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、これは高い精度用に設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使います。詳細については61頁の「RTCCTRL - 実時間計数器(RTC)制御レジスタ」をご覧ください。デバイスのどれかの部分に対するクロック元として使われる時に、この発振器は自動的に許可/禁止されます。この発振器はRTCとLCDに対するクロック元として選択することができます。

7.4.1.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。詳細については61頁の「RTCCTRL - 実時間計数器(RTC)制御レジスタ」をご覧ください。

7.4.1.3. 32MHz走行時校正付き内部発振器

32MHz走行時校正内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のめに、発振器の自動走行時校正を許可することができます。この発振器は30~55MHz間の何れかの周波数に調整と較正をすることもできます。製品識票列は発振器が全速(Fullspeed)USBクロック元に使われる時に使用を意図される48MHz校正値を含みます。

7.4.1.4. 2MHz走行時校正付き内部発振器

2MHz走行時校正内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。デジタル固定化閉路(DFLL)は温度と電圧の変動補償と発振器精度の最適化のめに、発振器の自動走行時校正を許可することができます。

7.4.2. 外部クロック元

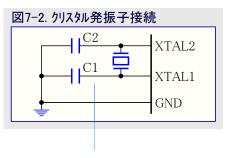
XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TSOC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。



7.4.2.1. 0.4~16MHzクリスタル用発振器

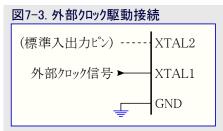
この発振器は0.4~16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。図7-2.はクリスタル発振子またはセラミック振動子の代表的な接続を示します。

C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。



7.4.2.2. 外部クロック入力

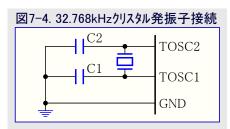
外部クロック元からデバイスを駆動するのに、XTAL1ピンまたはポートCのどれかのピンを使うことができます。XTAL1は**図7-3**.で示されるように駆動されなければなりません。この動作ではXTAL2が標準I/Oピンとして使えます。



7.4.2.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器は専用の低周波数発振器入力回路を許可することによって TOSC1とTOSC2のピン間に接続できます。代表的な接続は図7-4.で示されます。TOSC2での振幅電圧を減らした低電力動作が利用可能です。この発振器はシステム クロック、RTCそしてLCDに対するクロック元としてと、DFLL基準として使えます。

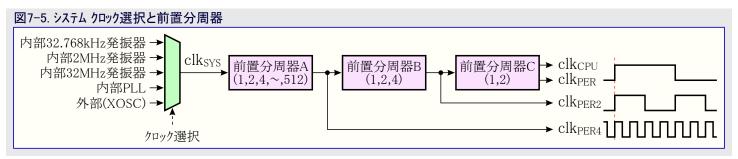
C1とC2の2つの容量は接続されたクリスタルで必要とされる負荷容量と合わせるために追加することができます。推奨されるTOSC特性と負荷容量の詳細についてはデバイスのデータシートを参照してください。



7.5. システム クロック選択と前置分周器

全ての校正付き内部発振器、外部クロック元(XOSC)、PLL出力がシステムクロック元として使えます。システムクロック元はソフトウェアから選択可能で、通常動作の間に変更することができます。組み込みハートウェア保護が安全でないクロック切り換えを防ぎます。不活性または禁止されている発振器をクロック元として選択することと、システムクロックとして現在使っている発振器を禁止することは不可能です。発振器の準備可を調べるために各発振器はソフトウェアから読むことができる状態フラグを持っています。

システム クロックはそれをCPUや周辺機能へ配給する前にクロック信号を1~2048分周できる前置分周部へ供給されます。前置分周器設定は通常動作の間にソフトウェアから変更できます。初段の前置分周器Aは1~512分周できます。そして前置分周器BとCは個別にクロックをそのまま通すか、または合同で1~4分周するかのどちらかに構成設定できます。前置分周器は前置分周器設定変更時に起こる中間の周波数や不具合のないことと、(正しい)位相を常に保証します。前置分周器設定は最低クロックの上昇端に従って更新されます。



前置分周器Aはシステム クロックを分周し、その結果のクロックがclkper4です。CPU クロック周波数の2または4倍での動作を周辺機能に許すために、前置分周器BとCはクロック速度の更なる分周を許すことができます。前置分周器BとCが使われない場合は、全てのクロックが前置分周器Aからの出力として同じ周波数で動作します。

システム クロック選択と前置分周レシ、スタは、システム クロックと前置分周器設定の変更に対して時間制限書き込み手順を使う構成設定変更 保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。



7.6. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL:Phase Locked Loop)は高周波数システム クロックを生成するのに使えます。PLLは使用者が選択可能な $1\sim31$ の倍率を持ちます。出力周波数 $f_{\rm OUT}$ は倍率PLL_FACで乗算された入力周波数 $f_{\rm IN}$ によって与えられます。

$f_{OUT} = f_{IN} \times PLL_FAC$

PLLへの入力として4つの異なるクロック元が選択できます。

- 2MHz内部発振器
- 4分周された32MHz内部発振器
- 0.4~16MHzクリスタル用発振器
- 外部クロック信号

PLLを許可するには次の手順に従わなければなりません。

- 1. 基準クロック元を許可してください。
- 2. 倍率を設定し、PLLに対する基準クロックを選択してください。
- 3. 基準クロック元が安定するまで待ってください。
- 4. PLLを許可してください。

PLLが使用中の時にPLL構成設定が変更できないことをハートヴェアが保証します。PLLは新しい構成設定が書かれ得る前に禁止されなければなりません。

選択したクロック元が安定してPLLが固定化する前にPLLを使うことはできません。

PLLが走行中、基準クロック元を禁止することはできせん。

7.7. DFLL 2MHz LDFLL 32MHz

2MHzと32MHzの内部発振器の精度を改善するために2つの組み込みデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)が使えます。発振器の走行時自動校正と、温度と電圧の変動の補償を行うために、DFLLは発振器周波数をより高い精度の発振器と比較します。基準クロック元に関する選択は次のとおりです。

- 32.768kHz校正付き内部発振器
- TOSCピンに接続された32.768kHzクリスタル用発振器
- 外部クロック
- USBフレーム開始

DFLLは1.024kHz基準を使うので発振器基準クロックを32分周します。図 7-6.で示されるように、基準クロックは各DFLLに対して個別に選択されます。

リセット中に内部発振器と1.024kHz基準クロック間の周波数比を表す理想計数器値がDFLL発振器比較(COMP2,COMP1)レジスタに設定されます。32MHz発振器について、このレジスタは異なる周波数で発振器を走行させるため、または基準クロックと発振器間の比率が異なる(例えばUSBフレーム開始が使われた)時にソフトウェアから書くことができます。DFLLが基準クロックとしてUSBフレーム開始(SOF)で許可される前に、48MHz校正値が製品識票列から読まれて32MHzのDFLL校正(CALB,CALA)レジスタに書かれなければなりません。

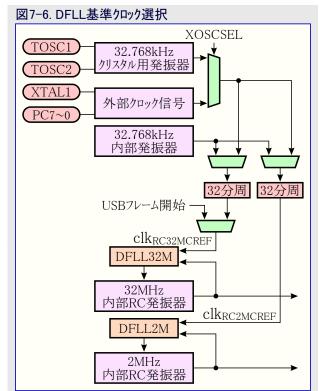
COMPレシ、スタに書かれるべき値は次式によって与えられます。

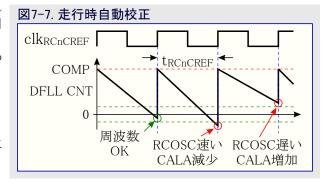
$$COMP = hex \left(\frac{f_{OSC}}{f_{RCnCREF}} \right)$$

DFLL許可時、それは基準クロック周波数と発振器周波数間の比率を制御します。内部発振器が速すぎるまたは遅すぎる動作なら、DFLLは発振器周波数を調節するためにそれの校正レジスタ値を1つ増加または減少します。誤差が1/2較正段階量よりも大きい時に発振器は速すぎるまたは遅すぎると見做されます。

DFLLは発振器が停止される休止形態動作へ移行する時に停止します。 起動後、DFLLは休止形態移行前に得た校正値で(動作を)継続します。 DFLL校正レジスタのリセット値は製品識票列から読むことができます。

DFLLが禁止されると、DFLL校正レジスタは発振器の走行時手動校正用に ソフトウェアから書くことができます。







7.8. PLLと外部クロック元停止監視器

PLLと外部クロック元に対して組み込み停止監視器が利用可能です。PLLや外部クロック元に関して停止監視器が許可され、このクロック元がシステム クロックとして使われている間に失敗(PLLが固定化を失う、または外部クロック元停止)の場合、デバイスは以下を行います。

- 2MHz内部発振器でシステム クロックを走行するように切り替えます。
- 発振器制御(CTRL)レジスタとシステム クロック制御(CTRL)レジスタをそれらの既定値にリセットします。
- 失敗したクロック元(PLLまたは外部クロック)に対する停止検出割り込み要求フラグ(PLLFDIFまたはXOSCFDIF)を設定(1)します。
- ・ 遮蔽不可割り込み(NMI)を発行します。

システム クロック元として使われていない時にPLLまたは外部発振器が停止した場合、それが自動的に禁止される一方で、システム クロックは通常動作を継続します。NMIは発行されません。停止監視器は32kHz異常の外部クロック元を予定されています。

停止監視器が許可されると、次のリセットまでそれを禁止することはできません。

停止監視器はPLLまたは外部クロック元が停止される全ての休止形態動作で禁止されます。休止形態からの起動の間にそれは自動的に再開されます。

PLLと外部クロック元停止監視器設定は設定を変更するのに時間制限書き込み手順を使う構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。



7.9. レシ、スタ説明 - クロック

7.9.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	-	-	,	SCLKSEL2~	0	CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - SCLKSEL2~0: システム クロック選択 (System Clock Selection)

これらのビットはシステム クロック用の供給元を選ぶのに使われます。各種選択については表7-1.をご覧ください。システム クロック元変更は旧クロック元で2クロック周期と新クロック元で2クロック周期かかります。これらのビットは形態設置変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

SCLKSELは新しいクロック元が安定でない場合に変更することができません。旧クロックはクロック切り替えが完了されるまで禁止することができません。

-	表7-1. システム クロック選択							
	SCLKSEL2~0	群構成設定	内容					
	0 0 0	RC2MHZ	2MHz内部RC発振器					
I	0 0 1	RC32MHZ	32MHz内部環状発振器					
	0 1 0	RC32KHZ	32.768kHz内部RC発振器					
ĺ	0 1 1	XOSC	外部発振器またはクロック					
	100	PLL	位相固定化閉路(PLL)					
	1 0 1	-	(予約)					
ĺ	1 1 0	-	(予約)					
	111	-	(予約)					

表7-2. 前置分周器Aの分周係数

11111

7.9.2. PSCTRL - 前置分周制御レジスタ (Prescaler Control register)

このレシ、スタは形態設置変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

ピット	7	6	5	4	3	2	1	0	_
+\$01	-			PSADIV4~0			PSBC1	OIV1,0	PSCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6~2 - PSADIV4~0:前置分周器A分周係数 (Prescaler A Division Factor)

これらのビットは表7-2.に従ったクロック前置分周器Aの分周比を定義します。これらのビットはシステム クロックclksysに比例するclkpER4の周波数を変更するので、走行時に書くことができます。

群構成設定	内容
1	分周なし
2	2分周
4	4分周
8	8分周
16	16分周
32	32分周
64	64分周
128	128分周
256	256分周
512	512分周
	(予約)
	1 2 4 8 16 32 64 128 256

(予約)

• ビット1,0 - PSBCDIV1.0:前置分周器B,C分周係数(Prescaler B and C Division Factor)

これらのビットは表7-3.に従ってクロック前置分周器BとCの分周比を定義します。前置分周器Bはclkper4クロックに比例するclkper2クロックのクロック周波数を設定します。前置分周器Cはclkper2に比例するclkperとclkcpuクロックのクロック周波数を設定します。より多くの詳細については57頁の図7-5.を参照してください。

表7-3. 前置分周器BとCの分周係数								
PSBCDIV1,0	群構成設定	分周	引数					
PSBCDIV1,0	併開队改足	В	С					
0 0	1_1	分周なし	分周なし					
0 1	1_2	分周なし	2分周					
1 0	4_1	4分周	分周なし					
1 1	2_2	2分周	2分周					

7.9.3. LOCK - 施錠レジスタ (Lock register)

ビット _	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	-	-	-	LOCK	LOCK
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - LOCK: クロック システム施錠 (Clock System Lock)

このビットが1を書かれると、システム クロック制御(CTRL)レジスタとシステム クロック前置分周器(PSCTRL)レジスタが変更できなくなり、システム クロック選択と前置分周器設定は次のリセット後まで全ての更なる更新に対して保護されます。このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

LOCKビットはリセットによってのみ解除(0)されます。

7.9.4. RTCCTRL - 実時間計数器(RTC)制御レジスタ (RTC Control register)

ピット	7	6	5	4	3	2	1	0	
+\$03	-	-	-	-		RTCSRC2~0		RTCEN	RTCCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

▶ ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~1 - RTCSRC2~0: RTC/LCDクロック元選択 (RTC and LCD Clock Source)

これらのビットは**表7-4**.に従って実時間計数器(RTC)とLCDに対する クロック元を選びます。

表7-/	RTC/I	_CDクロック	一强却
<i>⊼</i> ⊽ / = 4.	RIG/I	_しロソロツソ	リルコ共和

RTCSRC2~0	群構成設定	内容
0 0 0	ULP	内部32kHz超低電力(ULP)発振器からの1kHz (注)
0 0 1	TOSC	TOSCでの32.768kHzクリスタル用発振器からの1.024kHz (注)
0 1 0	RCOSC	32.768kHz内部RC発振器からの1.024kHz (注)
0 1 1	-	(予約)
1 0 0	-	(予約)
1 0 1	TOSC32	TOSCでの32.768kHzクリスタル用発振器からの32.768kHz
1 1 0	RCOSC32	32.768kHz内部RC発振器からの32.768kHz
111	EXTCLK	TOSC1からの外部クロック信号

注: LCDはクロック元として常に前置分周されない32kHz発振器出力を使います。

● ビット0 - RTCEN: RTC/LCDクロック元許可(RTC and LCD Clock Source Enable)

RTCENビットの設定(1)が実時間計数器(RTC)とLCDに対して選択したクロック元を許可します。

7.9.5. USBCTRL - USB制御レジスタ (USB Control register)

ピット	7	6	5	4	3	2	1	0	
+\$04	-	-	J	JSBPSDIV2~	-0	USBS	RC1,0	USBSEN	USBCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~3 - USBPSDIV2~0: USB前置分周器分周係数(USB Prescaler Division Factor)

これらのビットは表7-5.に従ってUSBクロック前置分周器の分周係数を定義します。これらのビットはUSBクロック元が許可されている限り施錠されます。

表7-5. USB前置分周器分周係数 USBPSDIV2~0 群構成設定 内容 000 分周なし 1 0 0 1 2 2分周 4分周 0 1 0 4 0 1 1 8 8分周 100 16分周 16 101 32分周 32 (予約) 1 1 0 111 (予約)

ビット2,1 - USBSRC1,0: USBクロック元選択(USB Clock Source)
 これらのビットは表7-6.に従ってUSB用のクロック元を選びます。

表7-6. USBクロック元

USBSRC1,0	群構成設定	内容
0 0	PLL	PLL
0 1	RC32M	32MHz内部発振器 (注)

注: 32MHz内部発振器はUSB装置単位部用の供給元として選ぶ前に 48MHzへ校正されなければなりません。58頁の「DFLL 2MHzとDFL L 32MHz」を参照してください。

• ビット0 - USBSEN : USBクロック元許可 (USB Clock Source Enable)

このビットの設定(1)はUSB装置単位部用に選択されたクロック元を許可します。

7.10. レジスタ説明 - 発振器

7.10.1. CTRL - 発振器制御レジスタ (Oscillator Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$00	-	_	-	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	CTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	1	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 - PLLEN: PLL許可 (PLL Enable)

このビットの設定(1)がPLLを許可します。PLLが許可される前に、PLLは望む倍率とクロック元で構成設定されなければなりません。「ST ATUS - 発振器状態レジスタ」をご覧ください。

● ビット3 - XOSCEN:外部用発振器許可(External Oscillator Enable)

このビットの設定(1)が選択した外部クロック元を許可します。外部クロック元の選択法の詳細については64頁の「XOSCCTRL - XOSC制 御レジスタ」を参照してください。外部クロック元はそれがシステム クロックに対する供給元として選択される前に安定させる時間を与えられるべきです。「STATUS - 発振器状態レジスタ」をご覧ください。

● ビット2 - RC32KEN: 32.768kHz内部発振器許可(32.768kHz Internal Oscillator Enable)

このビットの設定(1)が32.768kHz内部発振器を許可します。発振器はシステム クロックに対する供給元として選択される前に安定していなければなりません。「STATUS - 発振器状態レジスタ」をご覧ください。

● ビット1 - RC32MEN: 32MHz内部発振器許可(32MHz Internal Oscillator Enable)

このビットの設定(1)が32MHz内部発振器を許可します。発振器はシステム クロックに対する供給元として選択される前に安定していなければなりません。「STATUS - 発振器状態レジスタ」をご覧ください。

● ビット0 - RC2MEN: 2MHz内部発振器許可 (2MHz Internal Oscillator Enable)

このビットの設定(1)が2MHz内部発振器を許可します。発振器はシステム クロックに対する供給元として選択される前に安定していなければなりません。「STATUS - 発振器状態レジスタ」をご覧ください。

既定により、このビットが設定(1)されて2MHz内部発振器が許可されます。

7.10.2. STATUS - 発振器状態レジスタ (Oscillator Status register)

ピット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に<mark>0</mark>を書いてください。

● ビット4 - PLLRDY: PLL準備可(PLL Ready)

このフラグはPLLが選択した周波数に固定化され、システム クロック元として使う準備が整った時に設定(1)されます。

● ビット3 - XOSCRDY:外部発振器準備可(External Oscillator Ready)

このフラグは外部クロック元が安定し、システムクロック元として使う準備が整った時に設定(1)されます。

● ビット2 - RC32KRDY: 32.768kHz内部発振器準備可(32.768kHz Internal RC Oscillator Ready)

このフラグは32.768kHz内部発振器が安定し、システム クロック元として使う準備が整った時に設定(1)されます。

● ビット1 - RC32MRDY: 32MHz内部発振器準備可(32MHz Internal RC Oscillator Ready)

このフラグは32MHz内部発振器が安定し、システム クロック元として使う準備が整った時に設定(1)されます。

● ビット0 - RC2MRDY: 2MHz内部発振器準備可(2MHz Internal RC Oscillator Ready)

このフラグは2MHz内部発振器が安定し、システム クロック元として使う準備が整った時に設定(1)されます。



7.10.3. XOSCCTRL - 外部用発振器制御レジスタ (XOSC Control register)

ピット	7	6	5	4	3	2	1	0	
+\$02	FRQRA	NGE1,0	X32KLPM	XOSCPWR XOSCSEL4		XOSCS	SEL3~0		XOSCCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 - FRQRANGE1,0:0.4~16MHzクリスタル用発振器周波数範囲選択(Crystal Oscillator Frequency Range Select)

これらのビットは表7-7.に従って接続されたクリスタル用発振器 に対する周波数範囲を選びます。

衣厂, 光振奋局次数軋曲迭状								
FRQRANGE1,0 群構成設定 周波数範囲								
0.0	0.477.00	0.43411 - 03411						

FRQRANGE1,0	群構成設定	周波数範囲	推奨容量(pF)
0 0	04TO2	0.4MHz∼2MHz	100~300
0 1	2TO9	2MHz∼9MHz	10~40
1 0	9TO12	9MHz∼12MHz	10~40
11	12TO16	12MHz∼16MHz	10~30

- ビット5 X32KLPM : 32.768kHzクリスタル用発振器低電力動作(Crystal Oscillator 32.768kHz Low Power Mode) このビットの設定(1)が32.768kHzクリスタル用発振器に対する低電力動作を許可します。これはTOSC2ピンでの振幅を減らします。
- ビット4 XOSCPWR: クリスタル用発振器駆動 (Crystal Oscillator Drive)

このビットの設定(1)は0.4~16MHzクリスタル用発振器の電流を増し、XTAL2ピンの振れを増します。これはクリスタル用発振器周波数範囲 選択(FRQRANGE)ビットによって指定されるよりも高い負荷または高い周波数でのクリスタル駆動を許します。

この機能は0.4~16MHzクリスタル用発振器が選択される場合に許可されます。

● ビット4~0 - XOSCSEL4~0: クリスタル用発振器選択(Crystal Oscillator Selection)

これらのビットはXTALまたはTOSCのピンに表7-8. 外部用発振器選択と始動時間 接続されるクリスタル発振子またはセラミック振 動子用の形式と始動時間を選びます。クリ スタル選択については表7-8.をご覧くださ い。システムクロックの供給元として外部クロック または外部用発振器が選択されている場 合(制御(CTRL)レシブスタをご覧ください)に、 この構成設定は変更することができませ λ_{\circ}

XOSCSEL4~0	群構成設定	選択クロック元	始動時間
00000 (注3)	EXTCLK	XTAL1ピンからの外部クロック信号	$6 \times \text{CLK}$
nnn10 (注3)	EXTCLK_Cn	PCnピンからの外部クロック信号	$6 \times \text{CLK}$
00010 (注3)	32KHZ	32.768kHz TOSC	$16k \times CLK$
x 0 0 1 1 (注1,4)	XTAL_256CLK	0.4~16MHz XTAL	$256 \times CLK$
x 0 1 1 1 (注2,4)	XTAL_1KCLK	0.4~16MHz XTAL	$1k \times CLK$
x 1 0 1 1 (注4)	XTAL_16KCLK	0.4~16MHz XTAL	16k×CLK

注1: この任意選択は始動での周波数安定性が応用で重要でない時にだけ使われるべきです。この任意選択はクリスタル用に適 合しません。

注2: この任意選択はセラミック振動子での使用を意図され、始動での周波数安定性を保証するでしょう。また、始動での周波数安 定性が応用で重要でない時にも使えます。

注3: DFLL用の基準として外部発振器が使われる時はEXTCLKと32KHZだけを選択することができます。

注4: 0.4~16MHzクリスタル用発振器選択時、このMSBはXOSCPWRになります。

7.10.4. XOSCFAIL - 外部用発振器停止検出レジスタ (XOSC Failure Detection register)

ピット	7	6	5	4	3	2	1	0	
+\$03	-	-	-	-	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	XOSCFAIL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット3 - PLLFDIF: PLL失敗検出割り込み要求フラグ (PLL Failure Detection Flag)

PLL失敗検出が許可されているなら、PLL固定化が失われた時PLLFDIFが設定(1)されます。この位置への論理1書き込みがPLLFD IFを解除(0)します。

● ビット2 - PLLFDEN: PLL失敗検出許可 (PLL Failure Detection Enable)

このビットの設定(1)はPLL失敗検出を許可します。PLL失敗検出割り込み要求フラグ(PLLFDIF)が設定(1)される時に遮蔽不可割り込み (NMI)が発行されます。

このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。

ビット1 - XOSCFDIF:外部クロック停止検出割り込み要求フラク (Failure Detection Flag)

外部クロック元発振器停止監視器が許可されているなら、停止が検出された時にXOSCFDIFが設定(1)されます。この位置への論理1書き込みがXOSCFDIFを解除(0)します。

● ビット0 - XOSCFDEN:外部クロック停止検出許可(Failure Detection Enable)

このビットの設定(1)は停止検出を許可し、外部クロック停止検出割り込み要求フラグ(XOSCFDIF)が設定(1)される時に遮蔽不可割り込み (NMI)が発行されます。

このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「**構成設定変更保護**」を参照してください。一旦許可されると、停止検出はリセットだけによって禁止されます。

7.10.5. RC32KCAL - 32.768kHz内部発振器校正レジスタ (32kHz Oscillator Calibration register)

ヒ"ット	7	6	5	4	3	2	1	0	_
+\$04				RC32K0	CAL7∼0				RC32KCAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RC32KCAL7~0: 32.768kHz内部発振器校正値 (32kHz Internal Oscillator Calibration byte)

このレシ、スタは32.768kHz内部発振器の校正に使われます。リセットの間に概ね32.768kHzの発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレシ、スタへ書かれます。このレシ、スタは通常動作の間に発振器周波数を校正するためにソフトウェアから書くこともできます。

7.10.6. PLLCTRL - PLL制御レジスタ (PLL Control register)

ピット _	7	6	5	4	3	2	1	0	
+\$05	PLLS	RC1,0	PLLDIV			PLLFAC4~()		PLLCTRL
D 1/W.:	D /111	- /	- /	D /***	- 4	- 4	- 4	- 4	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

● ビット7,6 - PLLSRC1,0: PLLクロック元選択(Clock Source)

PLLSRCビットは表7-9.に従ってPLLに対する入力元を選びます。

表7-9. PLLクロックテ	记選択	
PLLSRC1,0	群構成設定	PLL入力元
0 0	RC2M	2MHz内部発振器
0 1	-	(予約)
1 0	RC32M	32MHz内部発振器
1 1	XOSC	外部クロック元(注)

注: 32kHz TOSCはPLLへの供給元として選択できません。クロック元として使われるべき外部クロックは最低0.4MHzでなければなりません。

● ビット5 - PLLDIV: PLL分周出力許可 (Multiplication Factor)

このビットの設定(1)はPLLからの出力を2分周します。

● ビット4~0 - PLLFAC4~0: PLL倍率 (Multiplication Factor)

これらのビットはPLLに対する倍率を選びます。倍率は1~31倍の範囲にできます。

7.10.7. DFLLCTRL - DFLL制御レジスタ (DFLL Control register)

ピット _	7	6	5	4	3	2	1	0	
+\$06	-	_	_	-	-	RC32M0	CREF1,0	RC2MCREF	DFLLCTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのピットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのピットへ常に0を書いてください。



● ビット2,1 - RC32MCREF1,0: 32MHz校正基準選択 (32MHz Oscillator Calibration Reference)

これらのビットは表7-10.に従って32MHzのDFLLに対する校正元を選ぶのに使われます。これらのビットはDFLLに使う校正元だけを選びます。加えて、選択された実際のクロック元はこの機能の校正用に許可されて構成設定されなければなりません。

表7-10. 32MHz発	振器基準選択	₹
RC32MCREF1,0	群構成設定	内容
0 0	RC32K	32.768kHz内部発振器
0 1	XOSC32	TOSCでの32.768kHzクリスタル用発振器
1 0	USBSOF	USBフレーム開始
1 1	-	(予約)

● ビット0 - RC2MCREF: 2MHz校正基準選択 (2MHz Oscillator Calibration Reference)

このビットは2MHzのDFLLに対する校正元を選ぶのに使われます。既定でのこのビットは0で、32.768kHz内部RC発振器が選ばれます。このビットが1に設定されたなら、基準としてTOSCに接続された32.768kHzクリスタル用発振器が選択されます。これらのビットはDFLLに使う校正元だけを選びます。加えて、選択された実際のクロック元はこの機能の校正用に許可されて構成設定されなければなりません。



7.11. レジスタ説明 - DFLL32M/DFLL2M

7.11.1. CTRL - DFLL制御レジスタ (DFLL Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	_	-	_	-	_	-	ENABLE	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - ENABLE:許可(Enable)

このビットの設定(1)がDFLLと内部発振器の自動校正を許可します。DFLLが許可される前に基準クロックが許可されて安定でなければなりません。

DFLL禁止後、ENABLEt'ットが0として読まれる前に基準クロックは禁止することができません。

7.11.2. CALA - DFLL校正レジスタA (DFLL Calibration register A)

CALBとCALAのレジスタは内部発振器の走行時自動校正に使われる13ビットのDFLL校正値を保持します。DFLLが禁止されている時は発振器の走行時手動校正用にソフトウェアによって校正レジスタに書くことができます。発振器はDFLLが禁止されている時もこれらのレジスタ内の校正値に従って校正されます。

+\$02 - CALA6~0		CALA
		O, 12, 1
Read/Write R R/W R/W R/W R/W R/W	R/W	
初期値 0 x x x x x x x	X	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に 0を書いてください。

● ビット6~0 - CALA6~0: DFLL校正値6~0 (DFLL Calibration bits)

これらのビットは走行時自動校正に使われる発振器校正値の部分を保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。このビットはDFLLが許可されている時に書くことはできません。

7.11.3. CALB - DFLL校正レジスタB (DFLL Calibration register B)

+\$03 - - CALB5~0 CALB Read/Write R R R/W R/W R/W R/W R/W R/W 初期値 0 0 x x x x x x	ピット	7	6	5	4	3	2	1	0	_
	+\$03	-	-			CAL	B5~0			CALB
初期値 0 0 x x x x x x x x	Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
	初期値	0	0				X	X	X	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 - CALB5~0: DFLL校正値5~0 (DFLL Calibration bits)

これらのビットは発振器周波数を選択するのに使われる発振器校正値の部分を保持します。リセットの間に発振器用の公称周波数に近い発振器周波数を与える工場校正値がデバイスの識票列から取得され、このレジスタに書かれます。これらのビットは発振器の走行時自動校正の間、変更されません。このビットはDFLLが許可されている時に書くことはできません。既定と違う周波数に校正する時に、DFLLの範囲を最大にするためにCALAビットは中間値に設定されるべきです。

7.11.4. COMP1 - DFLL比較レジスタ1 (DFLL Compare register Byte 1)

COMP2とCOMP1のレジスタ対は発振器と基準クロック間の周波数比を表します。これらのレジスタの初期値は内部発振器周波数と1.024k Hz基準クロック間の比率です。

Ľ"ット 	7	6	5	4	3	2	1	0	_
+\$05				COM	[P7∼0				COMP1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - COMP7~0 : 発振器比較値7~0 (Compare Byte 1)

これらのビットは16ビット比較レジスタの第1バイトを保持します。

7.11.5. COMP2 - DFLL比較レジスタ2 (DFLL Compare Register Byte 2)

ヒ゛ット	7	6	5	4	3	2	1	0	_
+\$06				COM	P15~8				COMP2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - COMP15~8:発振器比較値15~8(Compare Byte 2)

これらのビットは16ビット比較レジスタの第2バイトを保持します。

表7-11. 各種出力周波数の公称DFLL32M COMP値

発振器周波数 (MHz)	30.0	32.0	34.0	36.0	38.0	40.0	42.0	44.0	46.0	48.0	50.0	52.0	54.0
COMP値(clk _{RCnCREF} =1.024kHz)	\$7270	\$7A12	\$81B3	\$8954	\$90F5	\$9896	\$A037	\$A7D8	\$AF79	\$B71B	\$BEBC	\$C65D	\$CDFE



7.12. レジスタ要約 - クロック

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	予約	1	-	-	-	-	_	-	_	
+\$06	予約	1	_	-	-	-	_	-	_	
+\$05	予約	1	_	-	-	-	_	-	_	
+\$04	USBCTRL	1	-	J	SBPSDIV2~	0	USBS	RC1,0	USBSEN	62
+\$03	RTCCTRL	1	-	_	-		RTCSRC2~0		RTCEN	61
+\$02	LOCK	ı	-	-	-	-	-	-	LOCK	61
+\$01	PSCTRL	1			PSADIV4~0)		PSBC	DIV1,0	60
+\$00	CTRL	-	-	-	-	-	S	CLKSEL2~	Ó	60

7.13. レジスタ要約 - 発振器

アト・レス	略称	ビット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	予約	_	-	-	-	_	-	-	-	
+\$06	DFLLCTRL	-	-	-	-	-	RC32M0	CREF1,0	RC2MCREF	65
+\$05	PLLCTRL	PLLS	RC1,0	PLLDIV			PLLFAC4~0			65
+\$04	RC32KCAL		RC32KCAL7~0						65	
+\$03	XOSCFAIL	-	-	-	-	PLLFDIF	PLLFDEN	XOSCFDIF	XOSCFDEN	64
+\$02	XOSCCTRL	FRQRA	NGE1,0	X32KLPM	XOSCPWR XOSCSEL4		XOSCS	SEL3~0		64
+\$01	STATUS	_	_	_	PLLRDY	XOSCRDY	RC32KRDY	RC32MRDY	RC2MRDY	63
+\$00	CTRL	_	_	_	PLLEN	XOSCEN	RC32KEN	RC32MEN	RC2MEN	63

7.14. レジスタ要約 - DFLL32M/DFLL2M

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁			
+\$07	予約	-	-	-	-	-	-	-	-				
+\$06	COMP2				COM	P15∼8				68			
+\$05	COMP1			COMP7~0									
+\$04	予約	-	-	_	-	_	_	-	_				
+\$03	CALB	-	-			CAL	B5~0			67			
+\$02	CALA	1				CALA6~0				67			
+\$01	予約	-	_	_	-	_	-	_	_				
+\$00	CTRL	_	_	_	_	_	-	_	ENABLE	67			

7.15. 発振器停止割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OSCF_vect	PLLと外部発振器停止割り込みベクタ (NMI)



8. 電力管理と休止形態動作

8.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - ・ハプワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

8.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位部の停止をXMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コートを実行します。デバイスが休止 形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コートは何 時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラ を休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

8.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

表8-1.は各種休止形態動作と活動するクロック範囲、発振器と起動元を示します。

表8-1. 各休止形態動作での活動クロック範囲と起動元

ſ	休止形態		活動クロック	節囲	発掘	発振器 起動元						
	種別	CPU クロック	周辺機能 クロック	RTC/LCD クロック	システム クロック元	RTC クロック元	USB 再開	非同期ポート 割り込み	TWIアドレス一致 割り込み	RTC/LCD 割り込み	その他 割り込み	
I	アイドル		0	0	0	0	0	0	0	0	0	
I	ハ [°] ワータ [゛] ウン						0	0	0			
I	ハ゜ワーセーフ゛			0		0	0	\circ	0	0		
I	スタンバイ				0		0	\circ	0			
I	拡張スタンバイ			0	0	0	0	0	0	0		

デバイスに対する起動時間は休止形態種別と主クロック元に依存します。システム クロック元が走行を維持されない休止形態種別に対しては起動時間にシステム クロック元に対する始動時間が加えられなければなりません。各種発振器任意選択に対する始動時間の詳細については55頁の「システム クロックとクロック選択」を参照してください。

レシ、スタ ファイル、SRAM、I/Oレシ、スタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセット ベクタから 始動して実行します。

8.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、割り込み制御器、事象システムとDMA制御器を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

8.3.2. ハ ワーダ ウン動作

ハプワーダウン動作では実時間計数器クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線インターフェースアトレス一致割り込み、非同期ポート割り込み、USB再開割り込みだけです。



8.3.3. パワーセーブ 動作

パワーセーブ動作は2つの例外(以下)を除いてパワーダウン動作と同じです。

- 1. 実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みの どちらからでも起動することできます。
- 2. LCDが許可されているなら、それは休止中も動作を維持され、デバイスはLCDフレーム完了割り込みから起動することができます。

8.3.4. スタンバイ動作

スタンハ・イ動作は許可されているシステム クロック元が動作を維持され、一方CPU、周辺機能、RTCとLCDのクロックが停止される例外を除いてパワータ・ウン動作と同じです。これは起動時間を減らします。

8.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いてパワーセーブ動作と同じです。これは起動時間を減らします。

8.4. 電力削減レジスタ

電力削減(PR)レシ、スタは個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、関連するI/Oレシ、スタが読み書きできなくなります。周辺機能によって使われる資源は占有に留まり、従って殆どの場合で周辺機能はクロックを停止する前に禁止されるべきです。周辺機能へのクロックを再び許可することは、周辺機能を停止前と同じ状態にします。これは総電力消費を減らすためにアイ・ル動作と活動動作で使えます。他の全ての休止形態動作では周辺機能クロックが既に停止されています。

全てのデバイスが電力削減レジスタ内のビットに関連する全ての周辺機能を持つ訳ではありません。利用不能の周辺機能に対する電力削減ビットの設定(1)は無効です。

8.5. 消費電力の最小化

AVR MCUで制御されるシステムで消費電力の最小化を試みる時に考慮する多数の検討点があります。一般的に応用が動作するのに必要とされる単位部だけが保証するように、正しい休止形態が選択されて使われるべきです。

必要とされない全ての機能は禁止されるべきです。特に以下の単位部は可能な最低消費電力の達成を試みる時に特別な考慮を必要とするでしょう。

8.5.1. A/D変換器 - ADC

使われないなら、アイ・ル動作へ移行する時にA/D変換器は禁止されるべきです。他の休止形態ではA/D変換器が自動的に禁止されます。A/D変換器がOFFそして再びONに切り替えられると、次の(最初の)変換は延長された(初回)変換になります。A/D変換器操作の詳細については228頁の「ADC - A/D変換器」を参照してください。

8.5.2. アナログ比較器 - AC

ア介い動作移行時、アナログ比較器は使われないなら、禁止されるべきです。他の休止形態ではアナログ比較器が自動的に禁止されます。けれども、アナログ比較器が入力として内部基準電圧を使う構成設定の場合、アナログ比較器は全休止形態で禁止されるべきです。さもなければ、内部基準電圧は休止形態と無関係に許可されます。アナログ比較器の構成設定法の詳細については246頁の「AC - アナログ比較器」を参照してください。

8.5.3. 低電圧検出器 (BOD)

低電圧検出器(BOD)が応用で必要とされないなら、この単位部はOFFにされるべきです。低電圧検出器がBODACTとBODPDの ヒュースによって許可されていると全休止形態で許可され、常に電力を消費します。より深い休止形態では、消費電流を減らすために OFFにして採取動作形態に設定することができます。低電圧検出器(BOD)の構成設定法の詳細については76頁の「低電圧検出 (BOD)」を参照してください。

8.5.4. ウォッチト・ック・タイマ

ウォッチト、ック、タイマが応用で必要とされないなら、この単位部はOFFにされるべきです。ウォッチト、ック、タイマが許可されていると全休止形態で許可され、故に常時電力を消費します。ウォッチト、ック、タイマの構成設定法の詳細については79頁の「WDT - ウォッチト、ック、タイマ」を参照してください。

8.5.5. ホート ピン

休止形態へ移行する時に全てのポート ピンは最小電力使用に構成設定されるべきです。最も重要なことはその時にピンが抵抗性負荷を駆動しないのを保証することです。周辺機能クロック(clkper)が停止される休止形態ではデバイスの入力緩衝部が禁止されます。これは必要とされない時に入力論理回路によって電力が消費されないことを保証します。

8.5.6. チップ・上テブバッグ システム

チップ上デバッグ システムが許可され、チップが休止動作形態に移行する場合、主クロック元が許可され、従って常に電力を消費します。より深い休止動作形態に於いて、これは総消費電流に対する重要な一因になります。



8.6. レジスタ説明 - 休止

8.6.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	_	_		SMODE2~0		SEN	CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~1 - SMODE2~0:休止形態動作種別選択(Sleep Mode selection)

これらのビットは表8-2.に従って休止形態動作種別を選びます。

表8-2. 休止形	態動作種別						
SMODE2~0	群構成設定	内容					
0 0 0	IDLE	アイドル動作					
0 0 1	1	(予約)					
0 1 0	PDOWN	パプーダウン動作					
0 1 1	PSAVE	パプーセーブ動作					
1 0 0	-	(予約)					
1 0 1	-	(予約)					
1 1 0	STDBY	スタンハーイ動作					
111	ESTDBY	拡張スタンバイ動作					

● ビット0 - SEN:休止許可(Sleep Enable)

SLEEP命令が実行される時にMCUを選択した休止形態動作に移行させるために、このビットが設定(1)されなければなりません。休止形態動作の予期せぬ移行を避けるために、SLEEP命令実行直前にSENを書き、起動後直ちに解除(0)することが推奨されます。

8.7. レジスタ説明 - 電力削減

8.7.1. PRGEN - 一般電力削減レジスタ (General Power Reduction register)

ビット +\$00 [7 LCD	6 USB	5 —	4 AES	3	2 RTC	1 EVSYS	0 DMA	PRGEN
Read/Write	R/W	R/W	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - LCD: LCD電力削減 (LCD Module)

このビットの設定(1)がLCD単位部へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット6 - USB: USB電力削減 (USB Module)

このビットの設定(1)がUSB単位部へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

ビット5 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット4 - AES: AES電力削減 (AES Module)

このビットの設定(1)がAES単位部へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット2 - RTC: 実時間計数器電力削減 (Real-Time Counter)

このビットの設定(1)が実時間計数器へ周辺機能クロックをOFFにします。これはレジスタ アクセス、割り込み生成、事象生成が停止されますが、計数器が動き続けることを意味します。

● ビット1 - EVSYS:事象システム電力削減(Event System)

このビットの設定(1)が事象システムへのクロックを停止します。このビットが解除(0)されると、単位部は停止前のように継続(動作)します。

● ビット0 - DMA: DMA制御器電力削減 (DMA-Controller)

このビットの設定(1)がDMA制御器へのクロックを停止します。このビットはDMA制御器が禁止されている場合にだけ設定(1)できます。

8.7.2. PRPA/B - ポートA/B電力削減レジスタ (Power Reduction Port A/B register)

ヒ"ット	7	6	5	4	3	2	1	0	
+\$01,+\$02	-	-	-	-	-	-	ADC	AC	PRPA,PRPB
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

注: アナログ単位部の禁止はインターフェースだけでなくアナログ単位部それら自体へのクロックを停止します。

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

● ビット1 - ADC: A/D変換器(ADC)電力削減 (Power Reduction ADC)

このビットの設定(1)がA/D変換器(ADC)へのクロックを停止します。停止される前にADCが禁止されるべきです。

● ビット0 - AC: アナログ比較器(AC)電力削減 (Power Reduction AC)

このビットの設定(1)がアナログ比較器(AC)へのクロックを停止します。 停止される前にACが禁止されるべきです。

8.7.3. PRPC/E - ホートC/E電力削減レジスタ (Power Reduction Port C/E register)

ピット	7	6	5	4	3	2	1	0	
+\$03,+\$05	-	TWI	-	USART0	SPI	HIRES	TC1	TC0	PRPC/E
Read/Write	R	R/W	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6 - TWI: 2線インターフェース(TWI)電力削減 (Two-Wire Interface)

このビットの設定(1)が2線インターフェースへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

ビット5 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット4 - USART0: USART0電力削減(USART0)

このビットの設定(1)がUSART0へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット3 - SPI: 直列周辺インターフェース(SPI)電力削減 (Serial Peripheral Interface)

このビットの設定(1)がSPIへのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

● ビット2 - HIRES: 高分解能拡張電力削減 (Hi-Resolusion Extension)

このビットの設定(1)がタイマ/カウンタに対する高分解能拡張へのクロックを停止します。このビットが解除(0)されるとき、周辺機能は正しい動作を保証するために再初期化されるべきです。

ビット1 - TC1: タイマ/カウンタ1(TC1)電力削減 (Timer/Counter 1)

このビットの設定(1)がタイマ/カウンタ1へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

ビット0 - TC0: タイマ/カウンタの(TC0)電力削減(Timer/Counter 0)

このビットの設定(1)がタイマ/カウンタ0へのクロックを停止します。このビットが解除(0)されると、周辺機能は停止前のように継続(動作)します。

8.8. レジスタ要約 - 休止

アト・レ	ス	略称	ピット7	ヒ゛ット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ヒ゛ット0	頁
+\$0	0	CTRL	ı	1	ı	-	SMODE2~0		SEN	72	

8.9. レジスタ要約 - 電力削減

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$05	PRPE	-	-	-	USART0	-	-	1	TC0	73
+\$04	予約	1	_	1	-	-	_	1	1	
+\$03	PRPC	-	TWI	-	USART0	SPI	HIRES	TC1	TC0	73
+\$02	PRPB	-	-	-	1	-	-	ADC	AC	73
+\$01	PRPA	-	-	1	1	-	-	ADC	AC	73
+\$00	PRGEN	LCD	USB	I	AES	_	RTC	EVSYS	DMA	72



9. リセット体系

9.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチト・ック リセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェア リセット
- 非同期動作
 - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コート、からリセット元を読み取るためのリセット状態レシ、スタ

9.2. 概要

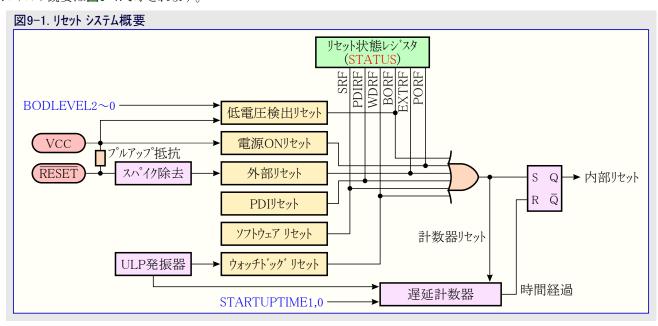
リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デ、バイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レシ、スタは各リセット元に対する個別の状態フラケ、を持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

リセット システムの概要は図9-1.で示されます。



9.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。



9.3.1. リセット計数器

リセット計数器は全てのリセット要求が開放された時から設定可能な期間でリセット開放を遅らせることができます。リセット遅延は超低電力(ULP)内部発振器の1kHz出力から計時され、加えて、リセットが開放されるのに先立って24システムクロック(clksys)周期数が計数されます。リセット遅延はSTARTUPTIMEヒューズ・ビットによって設定されます。選択可能な遅延は表9-1.で示されます。

表9-1. リセット遅延		
STARTUPTIME1,0	1kHz ULP発振器周期数	推奨使用方法
0 0	64 clk _{ULP} + 24 clk _{SYS}	始動での周波数安定
0 1	4clk _{ULP} + 24clk _{SYS}	低速上昇電源
1 0	(予約)	_
1 1	24 clk _{SYS}	高速上昇電源またはBOD許可

リセットが起こると必ず、クロック体系がリセットされ、clksys用の供給元として2MHz内部発振器が選ばれます。

9.3.2. 発振器始動

リセット遅延後、2MHz内部RC発振器クロックが開始され、それの校正値が製品識票列から校正レジスタへ自動的に設定されます。

9.4. リセット元

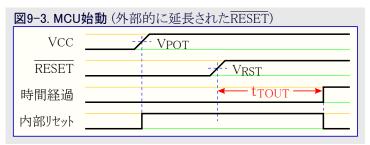
9.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(VPOT)に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してVPOTレヘル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

VPOTレヘールはVCC上昇の方がVCC下降よりも高くなります。POR特性データについてはデータシートを調べてください。





9.4.2. 低電圧検出 (BOD:Brown-Out Detection)

チップとの低電圧検出(BOD)回路はBODLEVELヒュース、によって選択される設定可能なレベルの固定値と比較することにより、動作中の VCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

BODが許可され、VCCが起動レベル以下の値に下降すると(図9-4.のVBOT-)、直ちに低電圧リセットが活性にされます。

VCCが起動レヘール以上に上昇すると(図9-4.の V_{BOT} +)、リセット計数器は時間経過期間(t_{TOUT})経過後にMCUを始動します。

起動レヘ・ルはスパークなしの低電圧検出を保証するためのヒステリシスを持ちます。検出レヘ・ルのヒステリシスはVBOT+=VBOT+VHYST/2、VBOT-=VBOT-VHYST/2と解釈されるべきです。

BOD回路は電圧がt_{BOD}よりも長い間起動レヘール以下に留まる場合だけ、VCCでの低下を検出します。

BOD特性データについてはデバイスのデータシートを調べてください。 設定可能なBODLEVEL設定は**表9-2**.で示されます。

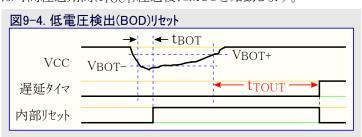


表9-2. 設定可能なBODLEVEL設定

BODレヘ・ル番号	0	1	2	3	4	5	6	7
BODLEVEL2~0 ヒューズ(<mark>注2</mark>)	000	0 0 1	0 1 0	0 1 1	100	101	110	111
公称低電圧検出電圧(VBOD)(注1)	3.0V	2.8V	2.6V	2.4V	2.2V	2.0V	1.8V	1.6V

注1: ここの値は公称値だけです。精度と実際の数値についてはデバイスのデータシートを調べてください。

注2: これらのヒュース、ヒット変更はプログラミング動作を抜けるまで無効です。

BOD回路は3つの動作形態を持ちます。

- •禁止:この動作形態ではVCCレベルの監視が全くありません。
- 許可: この動作形態ではVCCレヘ・ルが継続的に監視され、最低tBOD間のVBOT未満へのVCC低下が低電圧(Brown-out)リセットを与えます。
- 採取: この動作形態ではBOD回路が超低電力(ULP)発振器からの1kHz出力と同じ周期でVCC電圧を採取します。各採取間でBODはOFFされます。この動作種別は許可動作形態に比べて消費電力を減らしますが、1kHz ULP発振器出力の2つの正端間のVCC電圧低下が検出されません。この動作形態で低電圧(Brown-out)が検出された場合、VCCが再びVBOT以上になるまでデバイスがリセットを維持するのを保証するために、BOD回路が許可動作形態に設定されます。

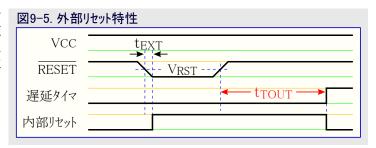
BODACTヒュース、が活動動作とアイトル動作に対するBOD設定を決め、一方BODPDヒュース、がアイトル動作を除く全ての休止形態動作に対するBOD設定を決めます。

表9-3. BOD設定ヒューズ符号化	表9-3. BOD設定ヒューズ符号化								
BODACT1,0 / BODPD1,0	内容								
0 0	(予約)								
0 1	採取動作: 採取動作でBOD許可								
1 0	許可動作: 継続的にBOD許可								
11	禁止動作: BOD禁止								

9.4.3. 外部リセット

外部リセット回路は外部 $\overline{\text{RESETt}}$ ンに接続されています。 $\overline{\text{RESETt}}$ ンが最小パルス時間 $\overline{\text{text}}$ より長く $\overline{\text{RESETt}}$ ン閾値電圧 $\overline{\text{VRST}}$ 未満に駆動された時に外部リセットが起動されます。リセットは $\overline{\text{text}}$ ンがLowに保たれる限り保持されます。 $\overline{\text{Jty}}$ と $\overline{\text{Vithom}}$ ので、抵抗を内包します。

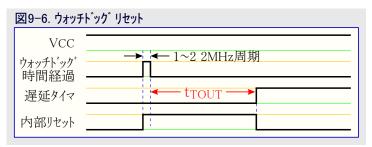
外部リセット特性データについてはデバイスのデータシートを調べてください。



9.4.4. ウォッチト・ック・リセット

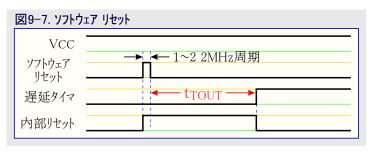
ウォッチト、ック、タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチト、ック、リセットが起されます。ウォッチト、ック、リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。

WDTの構成設定と使用の情報については79頁の「WDT - ウォッチトック タイマ」を参照してください。



9.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST) ヒットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。



9.4.6. プログラミング とデバッグ 用インターフェース リセット

プログラミングとデバッグ用インターフェースリセットは外部のプログラミングとデバッグの間中のデバイスリセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

9.5. レジスタ説明

9.5.1. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	_
+\$00	-	-	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	STATUS
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	-	_	_	_	_	_	-	_	

ビット7.6 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

• ビット5 - SRF: ソフトウェア リセット フラク (Software Reset Flag)

このフラグはソフトウェア リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

• ビット4 - PDIRF: プログラミングとデバッグ用インタ-フェース リセット フラグ (Program and Debug Interface Reset Flag)

このフラグはプログラミング インターフェース リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

ビット3 - WDRF: ウォッチト、ック、リセット フラク (Watchdog Reset Flag)

このフラグはウォッチドッグ リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット2 - BORF: 低電圧(Brown-out)リセット フラク (Brown Out Reset Flag)

このフラグは低電圧(Brown Out)リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

• ビット1 - EXTRF:外部リセット フラク (External Reset Flag)

このフラグは外部リセットが起きた場合に設定(1)されます。このフラグは電源ONリセットまたはこのビット位置への1書き込みによって解除(0)されます。

● ビット0 - PORF: 電源ONリセット フラク (Power On Reset Flag)

このフラグは電源ONリセットが起きた場合に設定(1)されます。このフラグへの1書き込みがこのビット位置を解除(0)します。

9.5.2. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	-	-	-	-	SWRST	CTRL
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット0 - SWRST: ソフトウェア リセット (Software Reset)

このビットが設定(1)される時にソフトウェア リセットが起こります。このビットはリセットが発行される時に解除(0)されます。このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「構成設定変更保護」を参照してください。

9.6. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$01	CTRL	-	-	-	-	-	-	-	SWRST	78
+\$00	STATUS	-	-	SRF	PDIRF	WDRF	BORF	EXTRF	PORF	78

10. WDT - ウォッチト゛ック゛ タイマ

10.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための構成設定施錠

10.2. 概要

ウォッチト、ック、タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コート、のような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロコントローラリセットを発行します。WDTは応用コート、からのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

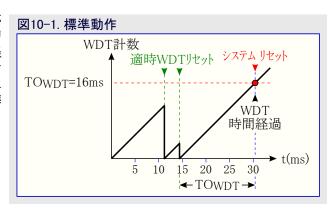
窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコート、異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例え主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒュースも利用可能です。

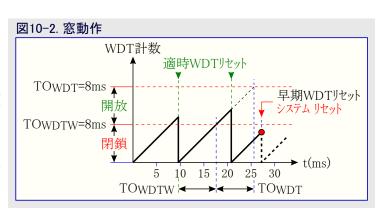
10.3. 標準動作

標準動作では単一時間経過周期がWDTに設定されます。時間経過が起きる前にWDTが応用コードからリセットされなかった場合、WDTはシステムリセットを発行します。8msから8sまで選択可能な11種の可能なWDT時間経過周期(TOWDT)があり、その時間経過周期の何時でもWDTをリセットできます。新しい時間経過周期はWDR命令によってWDTがリセットされる毎に開始されます。既定時間経過周期はヒュース、によって制御されます。標準動作は図10-1.で図解されます。



10.4. 窓動作

窓動作ではWDTが通常時間経過周期(TOWDT)と閉鎖窓時間経過周期(TOWDTW)の、2つの異なる時間経過周期を使います。閉鎖窓時間経過周期はWDTをリセットできない8msから8sまでの幅を定義します。この期間中にWDTがリセットされた場合、WDTはシステムリセットを発行します。通常WDT時間経過周期もまた8msから8sでWDTをリセットできる(すべき)間の開放区間の幅を定義します。開放区間は常に閉鎖区間に続き、故に時間経過周期の総合幅は閉鎖窓と開放窓の時間経過周期の合計です。既定の閉鎖窓時間経過周期はヒューズによって制御されます(開放と閉鎖の両方の区間がヒューズによって制御されます)。窓動作は図10-2.で図解されます。



10.5. ウォッチトック タイマ クロック

WDTは32kHz内部超低電力(ULP)発振器からの1kHz出力でクロック駆動されます。超低電力設計のため、この発振器はかなり正確でなく、故に時間経過周期はデバイス間で変わるかもしれません。WDTを使うソフトウェアを設計するとき、全てのデバイスに対して使う時間経過周期が有効なことを保証するためにこのデバイス間変化が留意されなければなりません。ULP発振器精度のより多くの情報についてはデバイスのデータシートを調べてください。



10.6. 構成設定保護と施錠

WDTはWDTの予期せぬ変更を避けるために2つの安全機構で設計されています。

最初の機構はWDT制御(CTRL)レジスタの変更に対して時間制限手順を使う構成設定変更保護機構です。加えて、制御レジスタに書かれる新しい構成設定ついては、そのレジスタの変更許可(CEN)ビットが同時に書かれなければなりません。

2つ目の機構はWDT施錠(WDLOCK)ヒュース、設定によって構成設定を施錠します。このヒュース、が設定(WDLOCK=0)されると、ウォックドッ ケ タイマ制御レシ、スタは変更できず、従ってWDTはソフトウェアから禁止できません。システム リセット後にWDTは構成設定された動作で再び始めます。WDT施錠ヒュース、がプログラム(0)されると、窓動作時間経過周期は変更できませんが、窓動作自体は未だ許可または禁止が行えます。



10.7. レジスタ説明

10.7.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$00	-	-		PEF	₹3~0		ENABLE	CEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	X	X	X	X	X	0	

注: 施錠時は書き込みが禁止されます。初期値のxはヒューズ設定に依存します。

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~2 - PER3~0:時間経過周期 (Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数としてウォッチドッグ時間経過周期を決めます。窓動作では、これらのビットが開放窓区間を定義します。代表的な各種時間経過周期が**表10-1**.で得られます。これらのビットの初期値は電源ONで格納される、ウォッチドッグ時間経過周期(WDPER)ヒューズによって設定されます。

これらのビットを変更するためにウォッチドッグ変更許可(CEN)ビットが同時に1を書かれなければなりません。これらのビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

表10-1. ウォッチト・ック・時間経過周期

PER3~0	群構成 設定	代表 周期	PER3~0	群構成 設定	代表 周期	PER3~0	群構成 設定	代表 周期	PER3~0	群構成 設定	代表 周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1000	2KCLK	2.0s	1 1 0 0	-	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1001	4KCLK	4.0s	1 1 0 1	-	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1010	8KCLK	8.0s	1 1 1 0	-	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1011	1	(予約)	1111	-	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● ビット1 - ENABLE:許可(Enable)

このビットの設定(1)がWDTを許可します。このビットの解除(0)はウィッチドッグタイマを禁止します。

このビットを変更するには制御(CTRL)レン゙スタの変更許可(CEN)ビットが同時に1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については9頁の「構成設定変更保護」を参照してください。

● ビット0 - CEN:変更許可(Change Enable)

このビットは制御(CTRL)レン゙スタの構成設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

10.7.2. WINCTRL - 窓動作制御レジスタ (Window Mode Control register)

ピット	7	6	5	4	3	2	1	0	
+\$01	-	_		WPE	R3~0		WEN	WCEN	WINCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	X	Х	X	X	X	0	

注: 施錠時はWPER3~0の書き込みが禁止されます。 初期値のxはヒューズ設定に依存します。

ヒット7.6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~2 - WPER3~0:窓動作時間経過周期 (Window Mode Timeout Period)

これらのビットは1kHz超低電力(ULP)発振器周期数として窓動作での閉鎖窓周期を決めます。代表的な各種閉鎖窓周期が表10-2.で得られます。これらのビットの初期値はウォッチドッグ窓時間経過周期(WDWPER)ヒューズによって設定され、電源ONで格納されます。標準動作ではこれらのビットが使われません。

これらのビットを変更するにはウォッチドッグ窓動作変更許可(WCEN)ピットが同時に1を書かれなければなりません。これらのピットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。



表10-2. ウォッチト、ック、閉鎖窓周期

WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期	WPER 3~0	群構成 設定	代表 周期
0 0 0 0	8CLK	8ms	0 1 0 0	128CLK	128ms	1000	2KCLK	2.0s	1100	-	(予約)
0 0 0 1	16CLK	16ms	0 1 0 1	256CLK	256ms	1001	4KCLK	4.0s	1 1 0 1	-	(予約)
0 0 1 0	32CLK	32ms	0 1 1 0	512CLK	512ms	1010	8KCLK	8.0s	1110	-	(予約)
0 0 1 1	64CLK	64ms	0 1 1 1	1KCLK	1.0s	1011	-	(予約)	1111	1	(予約)

注: 予約設定はどの時間経過周期設定も与えません。

● ビット1 - WEN:窓動作許可 (Window Mode Enable)

このビットの設定(1)がウォッチドッグ窓動作を許可します。このビットを変更するには窓動作制御(CTRL)レジスタの窓動作変更許可(WCEN) ビットが同時に1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されています。詳細な記述については10頁の「構成設定変更保護」を参照してください。

● ビット0 - WCEN: ウォッチドッグ窓動作変更許可 (Watchdog Window Mode Change Enable)

このビットは窓動作制御(CTRL)レジスタの構成設定変更の可能性を許可します。このレジスタへ新しい値を書く時に、それが実施されるためにその変更と同時に、このビットが1を書かれなければなりません。このビットは構成設定変更保護機構によって保護されていますが、WDT施錠ヒューズによって保護されません。

10.7.3. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	-	-	-	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - SYNCBUSY: 同期中フラグ (Synchronization Busy Flag)

このフラク・は制御(CTRL)レシ・スタまたは窓動作制御(WINCTRL)レシ・スタ書き込み後に設定(1)され、データがシステム クロックからWDTクロックの領域に同期されつつあります。このビットは同期化完了時に自動的に解除(0)されます。この同期化はウォッチドック・タイマ用の許可(ENAB LE)ビットが設定(1)されている時にだけ行われます。

10.8. レジスタ要約

アト・レス	略称	ヒ゛ット7	ピット6	ヒ゛ット5	ピット4	ヒ゛ット3	ヒ゛ット2	ピット1	ピット0	頁
+\$02	STATUS	1	-	_	-	-	1	-	SYNCBUSY	82
+\$01	WINCTRL	1	_		WPE	R7~0		WEN	WCEN	81
+\$00	CTRL	1	-		PER	7 ~ 0		ENABLE	CEN	81

11. 割り込みと設定可能な多段割り込み制御器

11.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みへうクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位:下位、中位、上位
 - 低位割り込み内での選択可能なラウント ロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブートローダ領域に任意選択で配置される割り込みへクタ

11.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラムカウンタが割り込みへ、クタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのペブタアトレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベブタアトレスから決められ、それは最下位割り込みベブタアトレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウント、ロビン計画機構を持ちます。

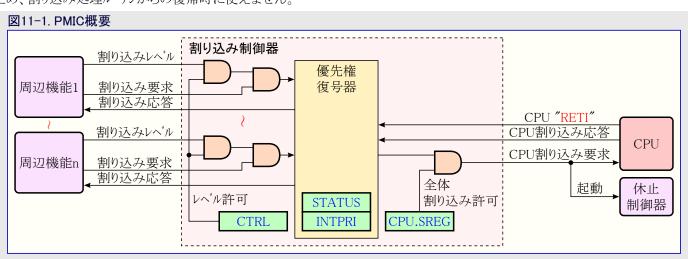
遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使うことができます。

11.3. 動作

割り込みは生成されるべき何れかの割り込みに関して全体的に許可されなければなりません。これはCPUステータスレジスタ(SREG)の全体割り込み許可(I)ビットの設定(1)によって行われます。Iビットは割り込み応答時に解除(0)されません。各割り込みレヘブルも対応するレヘブルでの割り込みが生成され得る前に許可されなければなりません。

割り込みが許可されて割り込み条件が存在すると、PMICは割り込み要求を受け取ります。割り込みレベルと何れかの実行中割り込みの割り込み優先権に基いて、割り込みは応答されるか、またはそれが優先権を持つまで保留を維持されるかのどちらかです。割り込み要求が応答されると、プログラムカウンタが割り込みベクタへの指示に更新されます。割り込みベクタは通常、割り込みを扱うソフトウェアルーチンである割り込み処理ルーチンへの無条件分岐命令です。割り込み処理ルーチンからの復帰後、割り込みが起きた前の場所からプログラム実行が継続します。何れかの保留割り込みが扱われる前に、常に1命令が実行されます。

PMIC状態(STATUS)レジスタは割り込み処理ルーチンの最後でRETI(割り込みからの復帰)命令が実行される時にPMICが正しい割り込みレベルに戻すのを保証する状態情報を含みます。割り込みからの復帰はPMICを割り込みへ移行する前の状態に戻します。ステータスレジスタ(SREG)は割り込み要求で自動的に保存されません。RET(サブルーチンからの復帰)命令は、これがPMICを正しい状態に戻せないため、割り込み処理ルーチンからの復帰時に使えません。



11.4. 割り込み

全ての割り込みとリセット ベクタの各々はプログラム メモリ空間に独立したプログラム ベクタ アドレスを持っています。プログラム メモリ空間の最下位 アドレスはリセット ベクタです。全ての割り込みは割り込みレベル設定と許可用の個別の制御ビットを割り当てられ、これは割り込みを生成し得る各周辺機能に対する制御レジスタで設定されます。各割り込みの詳細は割り込みが利用可能な周辺機能で記述されます。



全ての割り込みはそれに関連した割り込み要求フラケを持っています。割り込み条件が存在すると、例え対応する割り込みが許可されていなくても割り込み要求フラケが設定(1)されます。殆どの割り込みについては割り込みへ、クタが実行される時に割り込み要求フラケが自動的に解除(0)されます。割り込み要求フラケへの論理1書き込みもそのフラケを解除(0)します。いくつかの割り込み要求フラケは割り込みへ、クタ実行時に解除(0)されず、そのいくつかは関連するレジスタがアクセス(読みまたは書き)される時に自動的に解除(0)されます。これは各個別割り込み要求フラケに対して記述されます。

他のより高い優先権の割り込みが実行中または保留中の間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが優先権を持つまで記憶されます。対応する割り込みが許可されていない間に割り込み条件が起きる場合、その割り込み要求フラグが設定(1)され、その割り込みが許可されるまで記憶されるか、またはソフトウェアによってそのフラグが解除(0)されます。同様に全体割り込みが禁止(I=0)されている間に1つ以上の割り込み条件が起こる場合、その割り込み要求フラグが設定(1)され、全体割り込みが許可されるまで記憶されます。その後、全ての保留割り込みはそれらの優先順に応じて実行されます。

施錠された領域(例えばブート施錠ビットがプログラム(0)されている時)からコードを実行するとき、割り込みが妨げられ得ます。この機能はソフトウェアの安全性を改善します。施錠ビット設定については268頁の「メモリ プログラミング」を参照してください。

割り込みは正しい識票で構成設定変更保護レジスタが書かれる時に4CPUクロック周期間自動的に禁止されます。より多くの詳細については10頁の「構成設定変更保護」を参照してください。

11.4.1. NMI - 遮蔽不可割り込み(Non-Maskable Interrupts)

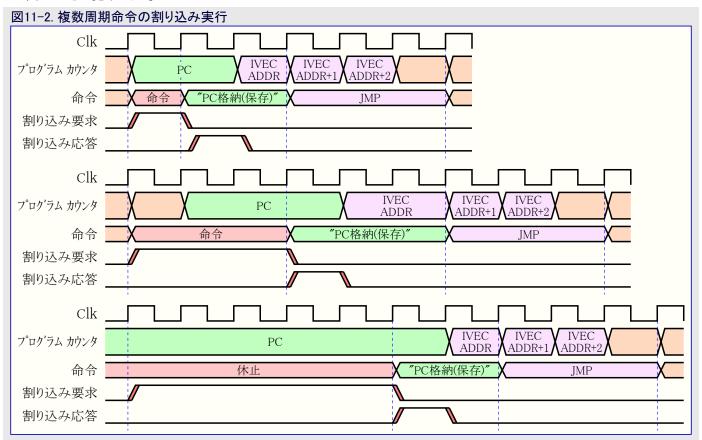
どの割り込みがNMIを表し、どれが通常の割り込みを表すかは選択できません。遮蔽不可割り込みはそれらが使われ得る前に許可されなければなりません。各デバイスに存在するNMIについてはデバイスのデータシートを参照してください。

NMIは全体割り込み許可(I)ビットの設定と無関係に実行され、そしてそれは決してIビットを変更しません。他の割り込みはNMI割り込み処理に割り込めません。複数のNMIが同時に要求された場合、それは最低アドレスが最高優先権を持つ割り込みベクタに従う静的な優先権です。

11.4.2. 割り込み応答時間

許可された全ての割り込みに対する割り込み応答時間は、進行中の命令終了に1周期と、プログラム カウンタをスタックに格納するのに2周期の最小3CPUクロック周期です。プログラム カウンタがスタックに押し込まれた後、その割り込み対するプログラム へ クタが実行されます。割り込み処理部への無条件分岐(JMP)は3クロック周期かかります。

複数周期命令の実行の間に割り込みが起きた場合、その割り込みが処理される前にその命令が完了されます。より多くの詳細については図11-2.をご覧ください。



デバイスが休止形態動作の時に割り込みが起きた場合、割り込み応答時間が5クロック周期増やされます。加えて応答時間は選択した休止形態動作からの始動時間によって増加されます。

割り込み処理ルーチンからの復帰はプログラム カウンタの大きさに依存して4~5クロック周期かかります。これらのクロック周期の間にプログラム カウンタがスタックから引き出され、スタック ポーインタが増やされます。



11.5. 割り込みレベル

割り込みレヘブルは各割り込み元に対して無関係に設定されます。どの割り込み要求についてもPMICがその割り込みに対する割り込みレヘブルを受け取ります。割り込みレヘブルと全ての割り込みの割り込みレヘブル構成設定に対するそれらの対応するビット値は表11-1.で示されます。

割り込み要求の割り込みレベルは現在のレベルと割り込み制御器の状態に対して比較されます。より高いレベルの割り込み要求はより低いレベルの割り込みからのどんな実行中の割り込み処理にも割り込みます。高いレベルの割り込み処理からの復帰時、より低いレベルの割り込み処理の実行が継続されます。

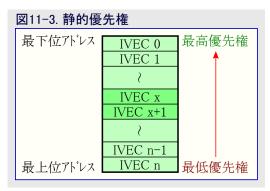
表11-1. 割り込みレベル		
割り込みレベル構成設定	群構成設定	内容
0 0	OFF	割り込み禁止
0 1	LO	低位割り込み
1 0	MED	中位割り込み
1 1	HI	高位割り込み

11.6. 割り込み優先権

各割り込みレベル内では全ての割り込みが優先権を持っています。多くの割り込み要求が保留中のとき、どの順で割り込みが応答されるかはその割り込み要求のレベルと優先権の両方によって決められます。割り込みは静的または動的(ラウント・ロビン)な優先権の仕組みに構成することができます。高位及び中位の割り込みとNMIは常に静的な優先権です。低位割り込みについては静的または動的な優先権計画を選択できます。

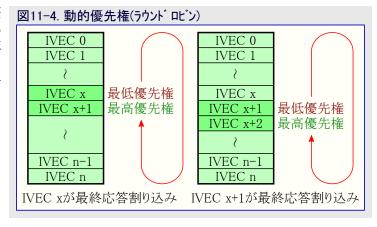
11.6.1. 静的優先権

割り込みへ、クタ(IVEC)は固定アトレスに配置されています。静定優先権については、この割り込みへ、クタアトレスが或る割り込みレヘル内の優先権を決め、それは最下位割り込みへ、クタアトレスが最高優先権を持ちます。割り込み能力を持つ全ての単位部と周辺機能に対する基準アトレスと割り込みへ、クタ表についてはデバイスのデータシートを参照してください。各種の単位部と周辺機能内のそれらに対応する差分アトレスと割り込みの一覧については、本手引書の各単位部と周辺機能の割り込みへ、クタ要約を参照してください。



11.6.2. 動的優先権 (ラウント゛ロビン)

いくつかの割り込みが決して処理されないかもしれない、静的優先権を持つ低位割り込みに対する欠落問題の可能性を避けるため、PMICは低位割り込みに対してラウント・ロビン計画を提供します。ラウント・ロビン計画が許可されると、最後に応答された低位割り込みに対する割り込みへかタアドレスが最低優先権を持ち、次回に低位からの1つ以上の割り込みが要求されます。



11.7. 割り込みべりり位置

表11-2.はBOOTRSTと割り込みへ、クタ選択(IVSEL)の設定の様々な組み合わせに対するリセットと割り込みのへ、クタ配置を示します。プログラムが決して割り込み元を許可しないなら、割り込みへ、クタは使われず、これらの位置に通常のプログラムコート、を配置することができます。これはリセット ヘンクタが応用領域で、一方割り込みへ、クタがブート領域、またはその逆の場合でもです。

表11-2. リセットと	割り込み	みのベクタ配置	
BOOTRST	IVSEL	リセット アト・レス	割り込みベクタ先頭アドレス
非プログラム(1)	0	\$0000	\$0002
チンログ /A(1)	1	\$0000	フ゛ート リセット アト゛レス+\$0002
プ°ロクブラム(0)	0	ブート リセット アドレス	\$0002
/ μ/ /Δ(0)	1	ブート リセット アドレス	ブート リセット アドレス+\$0002



11.8. レジスタ説明

11.8.1. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$00	NMIEX	-	-	-	_	HILVLEX	MEDLVLEX	LOLVLEX	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - NMIEX: 遮蔽不可割り込み実行中フラグ(Non-Maskable Interrupt Executing)

このフラグは遮蔽不可割り込みが実行中の場合に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に、解除(0)されます。

ビット6~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - HILVLEX: 高位割り込み実行中フラグ(High Level Interrupt Executing)

このフラグは高位割り込みが実行中、または割り込み処理がNMIによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

● ビット1 - MEDLVLEX:中位割り込み実行中フラグ(Medium Level Interrupt Executing)

このフラグは中位割り込みが実行中、または割り込み処理がNMIまたは高位からの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

● ビット0 - LOLVLEX: 低位割り込み実行中フラグ(Low Level Interrupt Executing)

このフラグは低位割り込みが実行中、または割り込み処理がNMIまたはより高いレベルからの割り込みによって割り込まれている時に設定(1)されます。このフラグは割り込み処理から復帰(RETI)する時に解除(0)されます。

11.8.2. INTPRI - 割り込み優先権レジスタ (Interrupt priority register)

ピット	7	6	5	4	3	2	1	0	
+\$01				INTP:	RI7∼0				INTPRI
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - INTPRI7~0 : 割り込み優先権 (Interrupt Priority)

ラウント、ロビン計画が許可されている時に、このレシ、スタは最後に応答された低位割り込みの割り込み、ブクタを格納します。1つ以上の低位割り込みが保留中の次回に、格納された割り込み、ブクタが最低優先権を持ちます。このレジ、スタは優先順を変更するためにソフトウェアからアクセス可能です。このレジ、スタはラウント、ロビン計画が禁止された場合にその初期値に再初期化されず、故に既定の静的優先権が必要な場合、レジ、スタはのを書かれなければなりません。

11.8.3. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$02	RREN	IVSEL	_	_	_	HILVLEN	MEDLVLEN	LOLVLEN	CTRL
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - RREN: ラウント、ロビン許可 (Round-robin Scheduling Enable)

RRENビットが設定(1)されると、ラウンドロビン計画の仕組みが低位割り込みに対して許可されます。このビットが解除(0)されると、最下位アドレスが最高優先権を持つ割り込みベクタ アドレスに対応した静的優先権です。

● ビット6 - IVSEL:割り込みベクタ選択 (Interrupt Vector Select)

IVSELビットが解除(0)されると、割り込みベクタはフラッシュの応用領域の先頭に配置されます。このビットが設定(1)されると、割り込みベクタはフラッシュのプート領域の先頭に移動されます。絶対アドレスについてはデバイスのデータシートを参照してください。

このビットは構成設定変更保護機構によって保護されています。詳細については10頁の「<mark>構成設定変更保護</mark>」を参照してください。

ビット5~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

● ビット2 - HILVLEN: 高位割り込み許可 (High Level Interrupt Enable) (注)

このビットが設定(1)されると、高位割り込みが許可されます。このビットが解除(0)された場合、高位割り込み要求は無視されます。



- ビット1 MEDLVLEN: 中位割り込み許可 (Medium Level Interrupt Enable) (注)
 このビットが設定(1)されると、中位割り込みが許可されます。このビットが解除(0)された場合、中位割り込み要求は無視されます。
- ビット0 LOLVLEN: 低位割り込み許可 (Low Level Interrupt Enable) (注)
 このビットが設定(1)されると、低位割り込みが許可されます。このビットが解除(0)された場合、低位割り込み要求は無視されます。
 注: 割り込み無視はそのビットが解除(0)された後の1周期で実施します。

11.9. レジスタ要約

	アト・レス	略称	ピット7	ヒ゛ット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
	+\$02	CTRL	RREN	IVSEL	_	1	-	HILVLEN	MEDLVLEN	LOLVLEN	86
I	+\$01	INTPRI				INTP	RI7~0				86
	+\$00	STATUS	NMIEX	_	1	1	_	HILVLEX	MEDLVLEX	LOLVLEX	86



12. 入出力ポート

12.1. 要点

- 個別構成設定を持つ汎用入出力ピン
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤート AND
 - ワイヤート OR
 - ・バス保持
 - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレヘール感知
- 入力とワイヤート、OR/AND構成設定での任意選択のプルアップとプルタ・ウンの抵抗
- 全休止形態からデバイスを起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポート ピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハートウェア読み−変更−書き
 - 単一操作で複数ピンの構成設定
 - ビット アクセス可能なI/Oメモリ空間へポート レジスタの割り当て
- ポート ピンでの周辺機能クロック出力
- ポート ピンでの実時間計数器クロック出力
- 事象チャネルがホートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

12.2. 概要

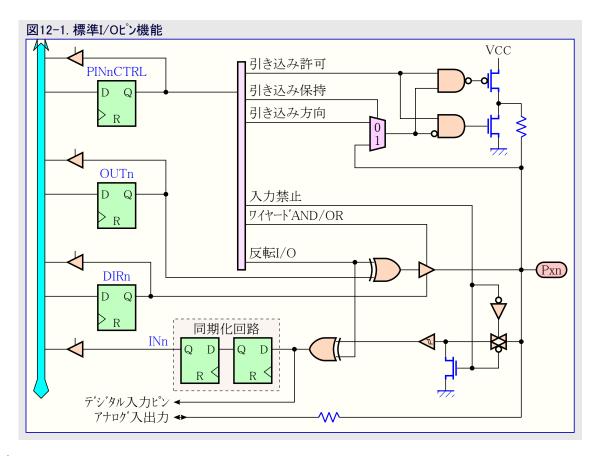
AVR XMEGAマイクロコントローラは柔軟な汎用I/Oポートを持ちます。1つのポートはピン0~7で最大8つのポート ピンから成ります。各ポート ピンは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で構成設定可能ですが、単一操作で多数のピンを構成設定することができます。ピンは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのハードウェア読みー変更ー書き(RMW)機能を持ちます。1つのポート ピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポート ピン構成設定は他のデバイス機能の入出力選択も制御します。それはポート ピンへの周辺機能クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

図12-1.はI/Oピン機能とピン制御に対して利用可能なレジスタを示します。





12.3. I/Oピンの使い方と構成設定

各ポートはポート ピン制御に使われる1つのデータ方向(DIR)レジスタと1つのデータ出力値(OUT)レジスタを持ちます。データ入力値(IN)レジスタはポート ピンを読むのに使われます。加えて各ピンは付加的なピン形態用のピン構成設定(PINnCTRL)レジスタを持っています。

ピンの方向はDIRレジスタのDIRnビットによって決められます。DIRnがlを書かれた場合、ピンnは出力ピンとして構成設定されます。DIRnが<mark>0</mark>を書かれた場合、ピンnは入力ピンとして構成設定されます。

方向が出力として設定されると、OUTレジスタのOUTnビットはピンの値を設定するのに使われます。OUTnが1を書かれた場合、ピンnはHighに駆動されます。OUTnが0を書かれた場合、ピンnはLowに駆動されます。

INレシ、スタはピン値を読むのに使われます。デジタル入力が禁止される場合を除き、ピンが入力または出力のどちらとして構成設定されているかに拘らず、ピン値は常に読むことができます。

I/Oピンは例えクロックが動作していなくてもリセット条件が活性(有効)になるとHi-Zにされます。

ピンn構成設定(PINnCTRL)レジスタは付加的なI/Oピン形態に使われます。 ピンはコンプリメンタリ、ワイヤードAND、ワイヤードOR形態に設定できます。 ピンに対して反転入出力を許可することも可能です。

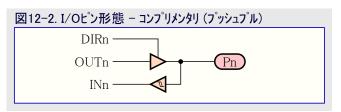
コンプリメンタリ出力は、コンプリメンタリ(プッシュプル)、プルダウン、プルアップ、バス保持の4つの可能な引き込み構成設定を持ちます。バス保持は両方向で活性(有効)です。これは出力禁止時の発振を避けるためです。プルアップとプルダウン付きのコンプリメンタリ形態はピンが入力として設定される時にだけ活性(有効)になる抵抗器を持ちます。この機能は不必要な電力消費を無くします。

ワイヤードANDとワイヤードOR形態については、任意選択のプルアップとプルダウン抵抗が入力と出力の両方向で活性(有効)です。

引き込み形態がピン構成設定レジスタを通して構成設定されるため、ピン方向とピン値の切り換え間のポート中間状態が避けられます。 I/Oピン形態は図12-2.~図12-7.での簡単化した回路図で要約されます。

12.3.1. コンプリメンタリ

コンプリメンタリ(プッシュプル)形態では、ピンが対応するデータ出力値(OUT)レジスタ設定に従ってLowまたはHighに駆動されます。この形態ではそのピンが持つ可能な能力以外に吸い込み(シンク)と吐き出し(ソース)に対して何の制限もありません。ピンが入力に構成設定された場合、外部の引き込み(プルアップ゚/ダウン)抵抗が接続されないなら、そのピンは浮き状態になります。





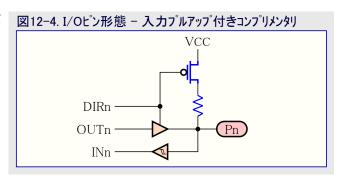
12.3.1.1. プルダウン付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルダウン抵抗とで構成設定されるのを除いて、コンプリメンタリと同様です。

図12-3. I/Oピン形態 - 入力プルダウン付きコンプリメンタリ DIRn OUTn INn

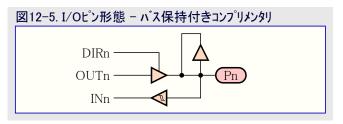
12.3.1.2. プルアップ 付きコンプリメンタリ

この形態では入力として設定される時にピンが内部プルアップとで構成設定されるのを除いて、コンプリメンタリと同様です。



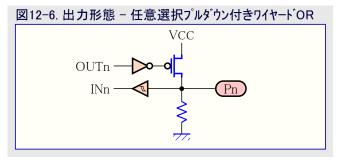
12.3.2. バス保持

ハンス保持形態ではピンがもはやHighまたはLowに駆動されない時にその論理レヘルでピンを保持する弱いハンス保持器を提供します。ピン/ハンス上の最後のレヘルが1だったなら、ハンス保持構成設定はハンスをHighに保持するために内部プルアップ抵抗を使います。ピン/ハンス上の最後のレヘルが0だったなら、ハンス保持器はハンスをLowに保持するために内部プルタウン抵抗を使います。



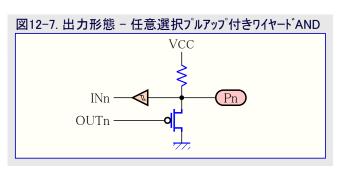
12.3.3. ワイヤート OR

ワイヤート、OR構成設定ではデータ出力値(OUT)レシ、スタとデータ方向(DIR)レジスタで対応するビットが1を書かれる時にピンがHighに駆動されます。OUTレジ、スタがOに設定されると、ピンは開放され、内部または外部のプルダウン抵抗でLowに引かれることをピンに許します。内部プルダウンが使われる場合、ピンが入力として設定される場合にもこれは活性(有効)です。



12.3.4. ワイヤート AND

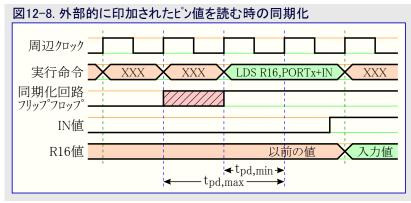
ワイヤート、AND構成設定ではデータ出力値(OUT)レジスタとデータ方向(DIR)レジスタで対応するピットがOを書かれる時にピンがLowに駆動されます。OUTレジスタが1に設定されると、ピンは開放され、内部または外部のプルアップ抵抗でHighに引かれることをピンに許します。内部プルアップが使われる場合、ピンが入力として設定される場合にもこれは活性(有効)です。





12.4. ピン値の読み方

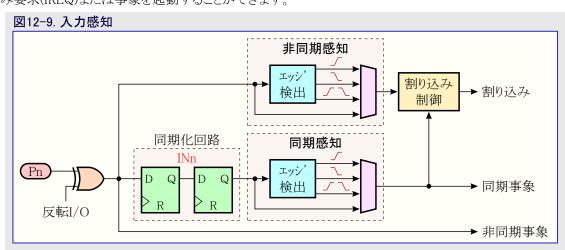
ピンのデータ方向と無関係に、ピン値は89頁の図12-1.で示されるように、データ入力値(IN)レジスタから読むことができます。デジタル入力が禁止される場合、ピン値は読めません。INレジスタ ビットと先行するフリップ フロップが同期化回路を構成します。同期化回路は内部信号線での遅延を生じます。図12-8.は外部的に印加されたピン値を読む時の同期化タイジンが構成図を示します。最大と最小の伝播遅延は、各々tpd,maxとtpd,minとして記されます。



12.5. 入力感知構成設定

入力感知はI/Oピン入力でのエッジまたはレヘールの検出に使われます。各ピンに対して利用可能な各種検知条件は上昇端、下降端、両端の検出、またはLowレヘールの検出です。Highレヘールは反転入力構成設定を使うことによって検出することができます。入力感知はピンでの変化があった時に割り込み要求(IREQ)または事象を起動することができます。

I/Oピンは同期と非同期の入力感知を支援します。同期感知は周辺機能クロックの存在を必要とし、一方非同期感知はどのクロックも必要としません。



12.6. ポート割り込み

各ポートは2つの割り込みへブクタを持ち、各割り込みを起動するポートのピンが構成設定可能です。ポート割り込みはそれらが使われる前に許可されなければなりません。どの感知形態が割り込み生成に使えるかは、選択したピンに対して同期と非同期の入力感知のどちらが利用可能かに依存します。

同期感知については、全ての感知形態が割り込み生成に使えます。エッジ検出に対しては、割り込み要求が生成されるために、変更されたピン値が周辺機能クロックによって1度採取されなければなりません。

非同期感知については、各ポートのポートピン2だけが完全な非同期感知支援を持ちます。これはエッジ検出に関してピン2がどのエッジもラッチして検出し、常に割り込み要求を起動することを意味します。他のポートピンは制限された非同期感知支援を持ちます。これはエッジ検出に関して、デバイス起動してクロックが存在するまで、変更された値が保持されなければならないことを意味します。デバイスの起動時間が終わる前にピン値が戻る場合、デバイスは起動したままですが、割り込み要求は生成されません。

Lowレヘルは周辺機能クロックが存在するか否かに拘らず全てのピンで常に検出できます。ピンがLowレヘル感知に構成設定された場合、そのピンがLowを保持している限り、割り込みを起動します。活動動作に於いては、割り込みを生成するために現在実行中の命令の完了までLowレヘルが保たれなければなりません。全ての休止形態動作に於いて、割り込みを生成するためにデバイス起動時間の終りまでLowレヘルが保持されなければなりません。起動時間の終了前にLow レヘルが消滅した場合、デバイスは起動したままですが、割り込み要求は生成されません。

表12-1、表12-2、表12-3、は様々な入力感知形態に対して割り込みが起動され得る時を要約します。

	表12-1. 同期	感知支援	
	感知設定	支援有無	割り込み内容
I	上昇端	有	常に起動
I	下降端	有	常に起動
I	両端	有	常に起動
	Lowレヘブル	有	起動中、ピン値は無変化を維持されなければなりません。



表12-2. 完全な非同期感知支援

	0.51 I-3361160	
感知設定	支援有無	割り込み内容
上昇端	有	常に起動
下降端	有	常に起動
両端	有	常に起動
Lowレヘブル	有	起動中、ピン値は無変化を維持されなければなりません。

表12-3. 制限された非同期感知支援

感知設定	支援有無	割り込み内容
上昇端	無	=
下降端	無	-
両端	有	起動中、ピン値は無変化を維持されなければなりません。
Lowレヘブル	有	起動中、ピン値は無変化を維持されなければなりません。

12.7. ポート事象

ポート ピンはそれらがピンで変化する時に事象を生成できます。感知構成設定は各ピンに対して事象を生成する条件を決めます。事象生成は周辺機能クロックの存在を必要とし、非同期事象生成は不可能です。エッジ感知については、生成されるべき事象に対して変更されたピン値が周辺機能クロックによって1度採取されなければなりません。

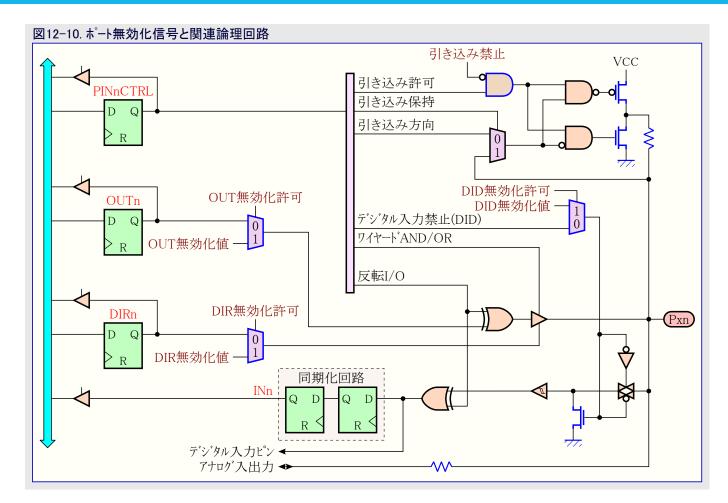
レヘ・ル感知に関して、Lowレヘ・ルのピン値は事象を生成せず、Highのピン値は継続的に事象を生成します。Lowレヘ・ルで生成されるべき事象については、ピン構成設定が反転I/Oに設定されなければなりません。

表12-4. 事象:	感知支援	
感知設定	合図事象	データ事象
上昇端	上昇端	ピン値
下降端	下降端	ピン値
両端	何れか端	ピン値
Lowレヘブル	ピン値	ピン値

12.8. ポート機能交換

殆どのポート ピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポート ピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに構成設定される時に起きます。周辺機能がどう無効にして、ピンをどう使うかはその周辺機能に関する章で記述されます。

ポート無効化信号と関連する論理回路(暗背景青枠、<mark>訳注</mark>:原書は灰色)が図12-10.で示されます。この信号はソフトウェアからアクセス不能で、無効化する周辺機能とポート ピン間の内部信号です。



12.9. クロックと事象の出力

周辺機能クロックと(事象制御(EVCTRL)レンジスタを使って)事象チャネルのどれをもポート ピンに出力することが可能です。これはクロック、制御、そして外部の機能とハードウェアを内部デバイス タイミングと同期するのに使うことができます。出力ポート ピンは選択可能です。事象が起きた場合、その事象が継続する限り、そのポート ピンで見ることができ、通常1周辺機能クロック周期です。

12.10. 複数ピン構成設定

複数ピン構成設定機能は、ポート ピン構成設定レジスタのの1つだけへの単一書き込み操作を用いて、複数ポート ピンの構成設定に使うことができます。複数ピン全体構成設定許可(MPCMASK)レジスタは或るポート ピン レジスタが書かれる時にどのポート ピンが構成設定されるかを決め、同時に同じ書き込み操作中に同じ方法で多数のピンの書き込みを避けます。

12.11. 仮想ポート

仮想ポートレジスタはビット アクセス可能なI/Oメモリ空間へ仮想的に割り当てられることをポートレジスタに許します。これが行われると、仮想ポートレジスタへの書き込みは現実のポートレジスタへの書き込みと同じです。これは通常、拡張I/Oメモリ空間に属するポートレジスタで、ビット操作命令のようなI/Oメモリ特定命令の使用を許します。4つの仮想ポートがあり、故に同時に4ポートを割り当てることができます。



12.12. レシ、スタ説明 - ポート

12.12.1. DIR - データ方向レジスタ (Data Direction register)

ピット _	7	6	5	4	3	2	1	0	
+\$00				DIR	27~0				DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - DIR7~0: データ方向 (Data Direction)

このレシ、スタはポートの個別ピンに対するデータ方向を設定します。DIRnが1を書かれるなら、ピンnは出力ピンとして構成設定されます。DIRnが0を書かれるなら、ピンnは入力ピンとして構成設定されます。

12.12.2. DIRSET - データ方向設定レジスタ (Data Direction Set register)

ピット	7	6	5	4	3	2	1	0	
+\$01				DIRSE	ET7∼0				DIRSET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRSET7~0: データ方向設定 (Port Data Direction Set)

このレシ、スタは出力として個別ピンを設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レシ、スタの対応ビットを設定(1)します。このレシ、スタの読み込みはDIRレシ、スタ値を返します。

12.12.3. DIRCLR - データ方向解除レジスタ (Data Direction Clear register)

ピット	7	6	5	4	3	2	1	0	
+\$02				DIRCI	LR7~0				DIRCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRCLR7~0: データ方向解除 (Port Data Direction Clear)

このレシ、スタは入力として個別ピンを設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レシ、スタの対応ビットを解除(0)します。このレシ、スタの読み込みはDIRレシ、スタ値を返します。

12.12.4. DIRTGL - データ方向交互切換レジスタ (Data Direction Toggle register)

ピット	7	6	5	4	3	2	1	0	
+\$03				DIRTO	GL7∼0				DIRTGL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DIRTGL7~0: データ方向交互切換 (Port Data Direction Toggle)

このレシ、スタは個別ピンの方向を交互切り換えするための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ方向(DIR)レジスタの対応ビットを切り換え(反転)します。このレジスタの読み込みはDIRレジスタ値を返します。

12.12.5. OUT - データ出力値レシスタ (Data Output Value register)

+\$04 OUT7~0 OUT Read/Write R/W 初期値 0 0 0 0 0 0 0 0	ピット	7	6	5	4	3	2	1	0	
	+\$04				OUT	Γ7~0				OUT
初期値 0 0 0 0 0 0 0 0	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - OUT7~0:データ出力値 (Port Data Output Value)

このレシ、スタはポートの個別ピンに対するデータ出力値を設定します。OUTnがLを書かれるなら、ピンnはHighを駆動します。OUTnがOを書かれるなら、ピンnはLowを駆動します。この設定が何らかの効果を持つにはピン方向が出力として設定されなければなりません。

12.12.6. OUTSET - データ出力値設定レジスタ (Data Output Value Set register)

+\$05 OUTSET7~0 OUTS Read/Write R/W R/W R/W R/W R/W R/W R/W			0	1	2	3		4	5		6	7	ピット _
Read/Write R/W R/W R/W R/W R/W R/W R/W	SET	OUTSE)	SET7	OUT					+\$05
			R/W	/W	R/W	W.		R/W	R/W	V	R/	R/W	Read/Write
初期値 0 0 0 0 0 0 0 0			0	0	0)		0	0		C	0	初期値

● ビット7~0 - OUTSET7~0: データ出力値設定 (Data Output Value Set)

このレシ、スタは個別ピンの出力値を1に設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レジ、スタの対応ビットを設定(1)します。このレジ、スタの読み込みはOUTレジ、スタ値を返します。

12.12.7. OUTCLR - データ出力値解除レシ、スタ (Data Output Value Clear register)

ピット _	7	6	5	4	3	2	1	0	
+\$06				OUTC	CLR7~0				OUTCLR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - OUTCLR7~0: データ出力値解除 (Data Output Value Clear)

このレシ、スタは個別ピンの出力値をOに設定するための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レジ、スタの対応ビットを解除(O)します。このレジ、スタの読み込みはOUTレジ、スタ値を返します。

12.12.8. OUTTGL - データ出力値交互切換レジスタ (Data Output Value Toggle register)

P 1/W P P/W P/W P/W P/W P/W	ΓGL
Read/Write R/W R/W R/W R/W R/W R/W R/W	
初期値 0 0 0 0 0 0 0 0 0	

● ビット7~0 - OUTTGL7~0: データ出力値交互切換 (Port Data Output Value Toggle)

このレシ、スタは個別ピンで出力値を交互切り換えするための読み-変更-書きの代わりに使えます。ビットへの1書き込みがデータ出力値(OUT)レシ、スタの対応ビットを切り換え(反転)します。このレシ、スタの読み込みはOUTレシ、スタ値を返します。

12.12.9. IN - データ入力値レシ スタ (Data Input Value register)

+\$08 IN7~0
Read/Write R/W R/W R/W R/W R/W R/W R/W
初期値 不定 不定 不定 不定 不定 不定 不定 不定

● ビット7~0 - IN7~0 : データ入力値 (Data Input Value)

このレジスタはデン´タル入力緩衝部が許可されている場合のピンに存在する値を示します。INnはポートのピン値を示します。デシ´タル入力緩衝部が禁止されている場合、入力が採取されず、読むことができません。

12.12.10. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ピット	7	6	5	4	3	2	1	0	
+\$09	-	-	-	-	INT1L	VL1,0	INT0L	VL1,0	INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2/1,0 - INTnLVL1,0: 割り込みnレベル (Interrupt n Level)

これらのビットはポート割り込みnを許可して、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレヘブルを選びます。

12.12.11. INTOMASK - 割り込み0許可レジスタ (Interrupt 0 Mask register)

ピット	7	6	5	4	3	2	1	0	_
+\$0A				INT0M	ASK7~0				INT0MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - INTOMASK7~0:割り込み0許可 (Interrput 0 Mask)

これらのビットはポート割り込み0に対する供給元としてどのピンを使うかの許可/遮蔽に使われます。INT0MASKnが1を書かれるなら、ピンnはポート割り込み0に対する供給元として使われます。各ピンに対する入力感知形態はピンn構成設定(PINnCTRL)レジスタによって決められます。

12.12.12. INT1MASK - 割り込み1許可レジスタ (Interrupt 1 Mask register)

ピット _	7	6	5	4	3	2	1	0	
+\$0B				INT1M	ASK7∼0				INT1MASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - INT1MASK7~0:割り込み1許可(Interrput 1 Mask)

これらのビットはポート割り込み1に対する供給元としてどのピンを使うかの許可/遮蔽に使われます。INT1MASKnがlを書かれるなら、ピンnはポート割り込み1に対する供給元として使われます。各ピンに対する入力感知形態はピンn構成設定(PINnCTRL)レジスタによって決められます。

12.12.13. INTFLAGS - 割り込み要求フラク レジスタ (Interrupt Flag register)

ピット _	7	6	5	4	3	2	1	0	
+\$0C	-	-	-	-	-	-	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - INTnIF:割り込みn要求フラグ(Interrput n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知構成設定と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込みレベル記述を参照してください。

12.12.14. REMAP - ピン再割り当てレジスタ (Pin Remap register)

ピン再割り当て機能はポートC~Eでだけ利用可能です。

ピット	7	6	5	4	3	2	1	0	
+\$0E	-	-	SPI	USART0	TC0D	TC0C	TC0B	TC0A	REMAP
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5 - SPI: SPI再割り当て (SPI Remap)

このビットの1設定はUSARTがSPI主装置として動作する時にSPIとUSART間のピン互換を持つようにSCKとMISIピンのピン位置を入れ換えます。

● ビット4 - USART0: USART0再割り当て (USART0 Remap)

このビットの1設定はUSART0のピン位置をPx3~0からPx7~4に移します。

• ビット3 - TCOD: タイマ/カウンタ0比較出力D再割り当て(Timer/Counter 0 Output Compare D)

このビットの設定(1)はOC0Dの位置をPx3からPx7に移します。

● ビット2 - TCOC: タイマ/カウンタ0比較出力C再割り当て(Timer/Counter 0 Output Compare C)

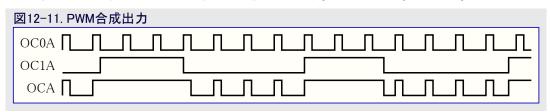
このビットの設定(1)はOC0Cの位置をPx2からPx6に移します。

● ビット1 - TC0B: タイマ/カウンタ0比較出力B再割り当て (Timer/Counter 0 Output Compare B)

このビットの設定(1)はOC0Bの位置をPx1からPx5に移します。このビットが設定(1)され、タイマ/カウンタ0とタイマ/カウンタ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。

● ビット0 - TCOA: タイマ/カウンタ0比較出力A再割り当て (Timer/Counter 0 Output Compare B)

このビットの設定(1)はOC0Aの位置をPx0からPx4に移します。このビットが設定(1)され、タイマ/カウンタ0とタイマ/カウンタ1の両方からのPWMが許可されている場合、PWMの結果は2つのPWM間のOR変調になります。図12-11.をご覧ください。



12.12.15. PINnCTRL - ピンn構成設定レジスタ (Pin n Configuration register)

ピット	7	6	5	4	3	2	1	0	
+\$10+n	-	INVEN		OPC2~0			ISC2∼0		PINnCTRL
Read/Write	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット6 - INVEN: 反転I/O許可 (Inverted I/O Enable)

このビットの設定(1)がピンnの入力データと出力データの反転を許可します。

● ビット5~3 - OPC2~0: 出力/引き込み構成設定 (Output and Pull Configuration)

これらのビットは表12-5.に従ってピンnの出力/引き込み形態を設定します。

表12-5. 出力/引き込み形態

OPC2~0	群構成設定		内容
OP 02~0	1 件件/火政化	出力形態	引き込み形態
0 0 0	TOTEM	コンプリメンタリ	(なし)
0 0 1	BUSKEEPER	コンプ・リメンタリ	バス保持
0 1 0	PULLDOWN	コンプリメンタリ	入力でのプルダウン
0 1 1	PULLUP	コンプ・リメンタリ	入力でのプルアップ
100	WIREDOR	ワイヤート・OR	(なし)
101	WIREDAND	ワイヤート・AND	(なし)
1 1 0	WIREDORPULL	ワイヤート・OR	プルダウン
111	WIREDANDPULL	ワイヤート・AND	プルアップ

● ビット2~0 - ISC2~0:入力/感知構成設定 (Input/Sense Configuration)

これらのビットは表12-6.に従ってピンn入力と感知の形態を設定します。感知形態はピンがポート割り込みと事象をどう起動し得るかを決めます。入力緩衝部が禁止されていると、入力は入力値(IN)レジスタで読むことができません。

表12-6. 入力/感知形態

ISC2~0	群構成設定	内容
0 0 0	BOTHEDGES	両端感知
0 0 1	RISING	上昇端感知
0 1 0	FALLING	下降端感知
0 1 1	LEVEL	Lowレヘ・ル感知 (<mark>注1</mark>)
100	-	(予約)
101	-	(予約)
1 1 0	_	(予約)
111	INPUT_DISABLE	デジタル入力緩衝部禁止(注2)

注1: Lowレベルのピン値は事象を生成せず、Highレベルのピン値が継続的な事象を生成します。

注2: ポートA〜Eだけが入力緩衝部禁止任意選択を支援します。ピンがA/D変換器(ADC)やアナログ比較器(AC)のようなアナログ機能に使われる場合、ピンをINPUT_DISABLEに構成設定することが推奨されます。



12.13. レジスタ説明 - ホート構成設定

12.13.1. MPCMASK - 複数ピン構成設定許可レジスタ (Multi-pin Configuration Mask register)

ヒ"ット	7	6	5	4	3	2	1	0	
+\$00				MPCM.	ASK7∼0				MPCMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - MPCMASK7~0:複数ピン構成設定許可 (Multi-pin Configuration Mask)

MPCMASKレシ、スタは同時に構成設定されるべきポートの多数のピンを許可します。ビットへの1書き込みはピンnを複数ピン構成設定の一部にします。MPCMASKレシ、スタの1つ以上のビットが設定(1)されると、ピンn構成設定(PINnCTRL)レシ、スタの何れかの書き込みはそのポートに対してMPCMASKレシ、スタ内の遮蔽に一致するPINnCTRLだけを更新します。MPCMASKレシ、スタはPINnCTRLレシ、スタのどれかが書かれた後で自動的に解除(=0)されます。

12.13.2. VPCTRLA - 仮想ホート割り当て制御レジスタA (Virtual Port-map Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$02		VP1M.	AP3∼0			VPCTRLA			
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - VP1MAP3~0:仮想ポート1割り当て(Virtual Port 1 Mapping)

これらのビットは仮想ポート1にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ (INTFLAGS)のレジスタが割り当てられます。仮想ポート レジスタのアクセスは実際のポート レジスタ アクセスと等価です。構成設定については**表12-7**.をご覧ください。

● ビット3~0 - VP0MAP3~0: 仮想ポート0割り当て (Virtual Port 0 Mapping)

これらのビットは仮想ポート0にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポート レジスタのアクセスは実際のポート レジスタ アクセスと等価です。構成設定については**表12-7.**をご覧ください。

12.13.3. VPCTRLB - 仮想ホート割り当て制御レジスタB (Virtual Port-map Control register B)

ヒ"ット	7	6	5	4	3	2	1	0	_
+\$03		VP3M.	AP3∼0			VP2M.	AP3∼0		VPCTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - VP3MAP3~0:仮想ポート3割り当て(Virtual Port 3 Mapping)

これらのビットは仮想ポート3にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ (INTFLAGS)のレジスタが割り当てられます。仮想ポート レジスタのアクセスは実際のポート レジスタ アクセスと等価です。構成設定については表12-7.をご覧ください。

● ビット3~0 - VP2MAP3~0: 仮想ポート2割り当て (Virtual Port 2 Mapping)

これらのビットは仮想ポート2にどのポートが割り当てられるべきかを決めます。方向(DIR)、出力値(OUT)、入力値(IN)、割り込み要求フラグ(INTFLAGS)のレジスタが割り当てられます。仮想ポート レジスタのアクセスは実際のポート レジスタ アクセスと等価です。構成設定については表12-7.をご覧ください。

表12-7. 仮想ポート割り当て

12 7. 灰心小					
VPnMAP3~0	群構成設定	内容	VPnMAP3~0	群構成設定	内容
0 0 0 0	PORTA	ポートAを仮想ポートnに割り当て	1000	-	(将来の使用に予約)
0 0 0 1	PORTB	ポートBを仮想ポートnに割り当て	1001	1	(将来の使用に予約)
0 0 1 0	PORTC	ポートCを仮想ポートnに割り当て	1010	ı	(将来の使用に予約)
0 0 1 1	PORTD	ポートDを仮想ポートnに割り当て	1011	PORTM	ポートMを仮想ポートnに割り当て
0 1 0 0	PORTE	ポートEを仮想ポートnに割り当て	1 1 0 0	-	(将来の使用に予約)
0 1 0 1	-	(将来の使用に予約)	1 1 0 1	-	(将来の使用に予約)
0 1 1 0	PORTG	ポートGを仮想ポートnに割り当て	1110	-	(将来の使用に予約)
0 1 1 1	-	(将来の使用に予約)	1111	PORTR	ポートRを仮想ポートnに割り当て



12.13.4. CLKEVOUT - クロック/事象出力レジスタ (Clock and Event Out register)

ピット	7	6	5	4	3	2	1	0	_
+\$04	CLKEVPIN	RTCOUT	EVO	UT1,0	CLKOU	TSEL1,0	CLKC	UT1,0	CLKEVOUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - CLKEVPIN: クロックと事象出力ピン選択 (Clock and Event Output Pin Select)

このビットの設定(1)はポートのピン7の代わりにポートのピン4でのクロックと事象ピンの出力を許可します。

● ビット6 - RTCOUT: RTCクロック出力許可(RTC Clock Output Enable)

このビットの設定(1)はポートCのピン6でのRTCクロック元の出力を許可します。

● ビット5,4 - EVOUT1,0: 事象出力ポート (Event Output Port)

これらのビットは事象システムからの事象チャネルがどのポートに出力されるべきかを決めます。選択されたポートのピンアが既定で使われ、クロック出力ポート(CLKOUT)ビットはEVOUTのそれらと違うように設定されなければなければなりません。ピンで利用可能にすべき事象のために、ポート ピンは出力として構成設定されなければなりません。

表12-8.が可能な形態を示します。

表12-8. 事象チャネ	ル出力構成設定	₫
EVOUT1,0	内容	
0 0	OFF	事象出力禁止
0 1	PC	ポートCでの事象チャネル出力
1 0	-	(将来の使用に予約)
1 1	PE	ポートEでの事象チャネル出力

● ビット3,2 - CLKOUTSEL1,0: クロック出力選択 (Clock Output Select)

これらのビットはクロック出力ポート(CLKOUT)が構成設定された場合に、どの周辺機能クロックがポート ピンへ出力されるかの選択に使われます。

表12-9. 周辺機能	ジロック出刀選択	
CLKOUTSEL1,0	群構成設定	内容
0 0	CLK1X	ピンへclk _{PER} 出力
0 1	CLK2X	ピンへclk _{PER2} 出力
1 0	CLK4X	ピンへclk _{PER4} 出力

(予約)

● ビット1,0 - CLKOUT1,0: クロック出力ポート (Clock Output Port)

これらのビットは周辺機能クロックがどのポートに出力されるべきかを決めます。選択されたポートのピン7が既定で使われます。CLK OUT設定はEVOUT設定を無効にします。従って、両方が同じポート ピンで許可される場合、周辺機能クロックが見えます。ピンで利用可能にすべきクロックのために、ポート ピンは出力ピンとして構成設定されなければなりません。

表12-10.が可能な形態を示します。

12.13.5. EVCTRL - 事象制御レジスタ (Event Control register)

ピット _	7	6	5	4	3	2	1	0	
+\$06	-	-	-	_	_	_	EVOUT	SEL1,0	EVCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - EVCTRL1,0: 事象チャネル出力選択 (Event Channel Output Selection)

これらのビットは事象システムからのどのチャネルがポート ピンに出力されるかを定義します。**表12-11**.は利用可能な選択を示します。

= 40 44	古 4 4 . 4	111 77 755 711
表 2− .	事象チャネル	出刀抵状

EVOUTSEL1,0	群構成設定	内容
0 0	0	ピンへ事象チャネル0出力
0 1	1	ピンへ事象チャネル1出力
1 0	2	ピンへ事象チャネル2出力
1 1	3	ピンへ事象チャネル3出力

12.14. レジスタ説明 - 仮想ホート

12.14.1. DIR - データ方向レジスタ (Data Direction register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$00				DIR	27~0				DIR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - DIR7~0: データ方向 (Data Direction)

このレシ、スタはVPCTRLA - 仮想ホート割り当て制御レシ、スタAまたはVPCTRLB - 仮想ホート割り当て制御レシ、スタBによって割り当てされたポート内の個別ピンに対するデータ方向を設定します。ポートが仮想として割り当てられたとき、このレシ、スタのアクセスはそのポートに対する実際のデータ方向(DIR)レシ、スタのアクセスと同じです。

12.14.2. OUT - データ出力値レジスタ (Data Output Value register)

<u> </u>	7	6	5	4	3	2	1	0	_
+\$01				OUT	Γ7~0				OUT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - OUT7~0:データ方向設定 (Port Data Output value)

このレシ、スタはVPCTRLA - 仮想ポート割り当て制御レシ、スタAまたはVPCTRLB - 仮想ポート割り当て制御レシ、スタBによって割り当てされた ポートの個別ピンに対するデータ出力値を設定します。 ポートが仮想として割り当てられたとき、このレシ、スタのアクセスはそのポートに対する実際のデータ出力値(OUT)レシ、スタのアクセスと同じです。

12.14.3. IN - データ入力値レシ スタ (Data Input Value register)

Ľ'yŀ	7	6	5	4	3	2	1	0
+\$02				IN	7 ~ 0			
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初期値	不定	不定	不定	不定	不定	不定	不定	不定

● ビット7~0 - IN7~0: データ入力値 (Data Input value)

このレシ、スタはデ・シ・タル入力緩衝部が許可されている場合のピンに存在する値を示します。VPCTRLA - 仮想ポート割り当て制御レジスタA またはVPCTRLB - 仮想ポート割り当て制御レジスタBの構成設定がこのレシ、スタ内の値を決めます。ポートが仮想として割り当てられたとき、このレシ、スタのアクセスはそのポートに対する実際のデータ入力値(IN)レシ、スタのアクセスと同じです。

12.14.4. INTFLAGS - 割り込み要求フラク・レシェスタ (Interrupt Flag register)

ピット	7	6	5	4	3	2	1	0	
+\$03	-	-	-	-	-	-	INT1IF	INT0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - INTnIF:割り込みn要求フラグ (Interrput n Flag)

ピンがポート割り込みnに対する供給元として設定され、且つピンの変化/状態が入力感知形態と一致する時にINTnIFフラグが設定(1)されます。このフラグのビット位置への1書き込みがこのフラグを解除(0)します。割り込みの許可と実行については割り込みレベル記述を参照してください。

VPCTRLA - 仮想ホート割り当て制御レジスタAまたはVPCTRLB - 仮想ホート割り当て制御レジスタBの構成設定がどのフラケが割り当てられるかを決めます。ホートが仮想として割り当てられた時に、このレジスタのアクセスはそのホートに対する実際の割り込み要求フラケ(INTFL AGS)レジスタのアクセスと同じです。

12.15. レジスタ要約 - ポート

アト・レス	略称	ビット7	ピット6	ピット5	じット4	ピット3	ピット2	ピット1	ピット0	頁
+\$1F	予約	1	-	_	-	1	-	_	_	
+\$1E	予約	ı	_	_	_	1	_	_	_	
+\$1D	予約	_	_	_	_	-	_	_	-	
+\$1C	予約	-	-	-	-	_	-	-	-	
+\$1B	予約	-	-	-	-	_	-	-	-	
+\$1A	予約	-	-	-	-	-	-	-	-	
+\$19	予約	-	-	_	-	_	_	_	-	
+\$18	予約	-	-	_	-	_	_	-	-	
+\$17	PIN7CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$16	PIN6CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$15	PIN5CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$14	PIN4CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$13	PIN3CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$12	PIN2CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$11	PIN1CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$10	PIN0CTRL	-	INVEN		OPC2~0			ISC2~0		97
+\$0F	予約	-	-	_	-	_	_	_	-	
+\$0E	REMAP	-	-	SPI	USART0	TC0D	TC0C	TC0B	TC0A	96
+\$0D	予約	-	-	_	-	-	_	_	-	
+\$0C	INTFLAGS	-	-	-	-	-	-	INT1IF	INT0IF	96
+\$0B	INT1MASK		+	 	INT1MA					96
+\$0A	INT0MASK				INT0MA		 		 	96
+\$09	INTCTRL	-	-	-	-	INT1L	VL1,0	INT0L	VL1,0	95
+\$08	IN		I		IN7				l	95
+\$07	OUTTGL		l	l		GL7~0				95
+\$06	OUTCLR		1		ļ	LR7~0	-	-	 	95
+\$05	OUTSET		l	l	OUTS		l	l	l	95
+\$04	OUT				1	7~0		ı	1	94
+\$03	DIRTGL				DIRTO					94
+\$02	DIRCLR		+		DIRCI					94
+\$01	DIRSET		+		DIRSE					94
+\$00	DIR				DIR	7~0				94

12.16. レジスタ要約 - ポート構成設定

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$06	EVCTRL	1	1	-	-	1	-	EVCT	RL1,0	99
+\$05	予約	1	1	1	_	1	-	-	1	
+\$04	CLKEVOUT	CLKEVPIN	RTCOUT	EVO	UT1,0	CLKOU	TSEL1,0	CLKC	UT1,0	99
+\$03	VPCTRLB		VP3M.	AP3∼0			VP2M.	AP3∼0		98
+\$02	VPCTRLA		VP1M.	AP3∼0			VP0M.	AP3∼0		98
+\$01	予約	1	1	-	_	1	-	-	1	
+\$00	MPCMASK				MPCM/	ASK7∼0				98



12.17. レジスタ要約 - 仮想ポート

アト・レス	略称	ヒ゛ットフ	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$03	INTFLAGS	-	1	1	-	-	-	INT1IF	INT0IF	100
+\$02	IN		IN7~0							
+\$01	OUT				OU7	7~0	1			100
+\$00	DIR				DIR	7~0	1			100

12.18. 割り込みベクタ要約 - ポート

変位	記述例	割り込み内容
\$00	INT0_vect	ポート割り込み0~ブクタ
\$02	INT1_vect	ポート割り込み1~ブクタ



13. TC0/1 - 16ビットタイマ/カウンタ0型と1型

13.1. 要点

- 16ビット タイマ/カウンタ
- 2つのタイマ/カウンタの縦列接続によって支援される32ビットタイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
 - 0型のタイマ/カウンタに対して4つのCCチャネル
 - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
 - 周波数生成
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - ・パルス幅捕獲
 - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
 - 直交復号
 - 計数と方向の制御
 - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res 高分解能拡張
 - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX 新波形拡張
 - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
 - 駆動部の安全な禁止のための事象制御された障害保護

13.2. 概要

Atmel AVR XMEGAデバイスは柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

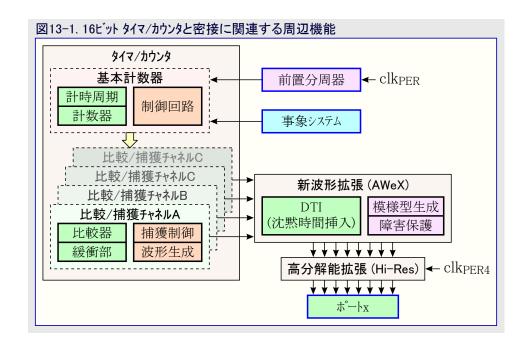
タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。 事象システムは 方向制御と捕獲起動、または動作の同期にも使うことができます。

タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つの8ビットタイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポート ピンの向こう側への同期したビット様式を生成することもできます。高分解能(Hi-Res)拡張は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。

密接に関連する(青枠の(<mark>訳注</mark>:原書は灰色の))周辺機能単位部と拡張を伴う16ビット タイマ/カウンタの構成図が図13-1.で示されます。





13.2.1. 定義

以下の定義が文書全体を通して使われています。

表13-1. タイマ/カウンタ用語定義

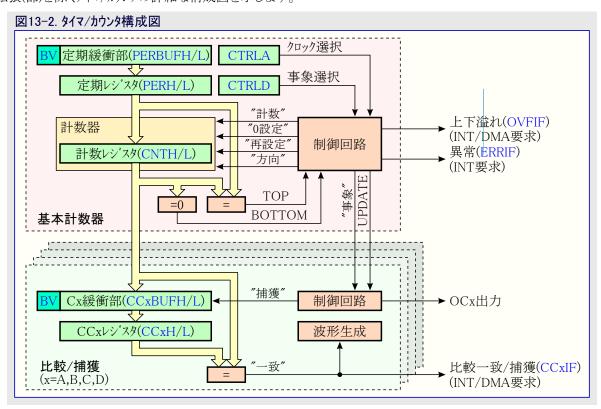
衣 13-1. 対1 (/ カリン) 円		
用語	意味	
BOTTOM	計数器が底(BOTTOM)に到達し、それが0になる時。	
MAX	計数器が最大(MAXimum)に到達し、それが全て1になる時。	
	計数器が頂上(TOP)に到達し、それが計数の流れ内での最高値と等しくなった時。TOP値は定期(PER)レジスタまたは比較チャネルA(CCA)レジスタの設定に等しくできます。これは波形生成動作種別によって選択されます。	
UPDATE	タイマ/カウンタが更新(UPDATE)を合図し、それが波形生成動作種別に依存してBOTTOMまたはTOPに到達する時。	

一般的に用語'計時器'はタイマ/カウンタのクロック制御が内部供給元によって扱われる時に使われ、用語'計数器'はクロックが外部的に扱われる(換言すると、外部事象計数)時に使われます。CCチャネルは比較操作に使われる時に'比較チャネル'として参照されます。捕獲操作に使われる時にCCチャネルは'捕獲チャネル'として参照されます。



13.3. 構成図

図13-2.は拡張(部)を除くタイマ/カウンタの詳細な構成図を示します。



計数器(CNT)レジスタ、定期(PER)レジスタと定期緩衝(PERBUF)レジスタ、比較/捕獲(CCx)レジスタと比較/捕獲緩衝(CCxBUF)レジスタは16 ビットレジスタです。全ての緩衝レジスタは緩衝内容が新しい値の時を示す緩衝有効(BV)フラグを持ちます。

標準動作の間、計数器値は計数器がTOPまたはBOTTOMに達したかどうかを決めるために0と定期(PER)値と継続的に比較されます。

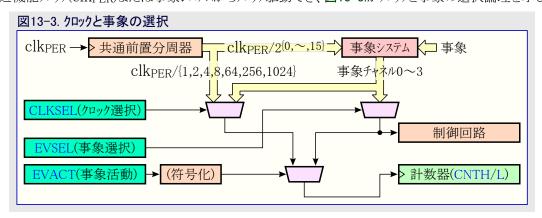
計数器値はCCxレシブスタとも比較されます。これらの比較は割り込み要求、DMA転送単位処理要求、事象システムに対する事象を生成するのに使えます。波形生成器動作は波形周期またはパプス幅を設定するのに比較器を使います。

前置分周された周辺機能クロックと事象システムからの事象が計数器を制御するのに使えます。事象システムは捕獲入力への供給元としても使われます。事象システムQDECの直交復号機能とタイマ/カウンタの組み合わせは高速直交復号に使えます。



13.4. クロック元と事象元

タイマ/カウンタは周辺機能クロック(clkper)または事象システムからクロック駆動でき、図13-3.がクロックと事象の選択論理を示します。



周辺機能クロックは共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。1~1/1024の前置分周器出力はタイマ/カ ウンタによる選択が直接的に利用可能です。加えて1~2¹⁵前置分周範囲全体が事象システムを通して利用可能です。

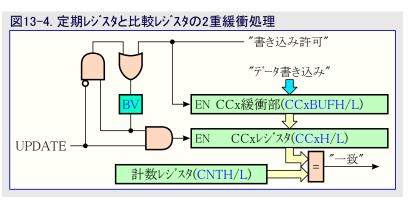
クロック選択(CLKSEL)は計数器(CNT)入力として前置分周器出力の1つを直接的に、または事象チャネルを選びます。これは計数器の標準動作としての参照です。詳細については107頁の「標準動作」を参照してください。事象システムの使用により、何れかのI/Oピンの外部クロック信号のようなどの事象元もクロック入力として使えます。

加えてタイマ/カウンタは事象システムを経由して制御ができます。事象選択(EVSEL)と事象活動(EVACT)の設定は1つ以上の事象から事象活動を起動するのに使われます。これは計数器の事象活動制御動作として参照されます。詳細については107頁の「事象活動制御動作」を参照してください。事象活動制御動作が使われるとき、クロック選択は計数器入力として事象チャネルの使用に設定されなければなりません。

既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

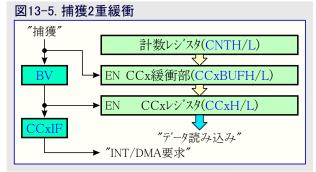
13.5. 2重緩衝

定期(PER)レジスタと比較/捕獲(CC)レジスタは、全て2重緩衝されます。各々の緩衝レジスタは緩衝有効(BV)フラグを持ち、これは緩衝が有効、換言すると対応する定期やCCレジスタ内に複写することができる新しい値を含んでいることを示します。定期レジスタとCCチャネルが比較動作に使われる時は、データが緩衝レジスタに書かれる時に緩衝有効フラグが設定(1)され、UPDATE条件で解除(0)されます。これは比較レジスタに関して図13-4.で示されます。



CCxfャネルが捕獲動作に使われる時には同じ2重緩衝機構が使われますが、この場合は図13-5.で示されるように緩衝有効フラグが捕獲事象で設定(1)されます。捕獲に関しては緩衝レジブスタと対応するCCxレジブスタがFIFOのように動きます。CCxレジブスタが使用、または読まれると、緩衝レジブスタのどんな内容もCCxレジブスタに渡されます。緩衝有効フラグはCCx割り込み要求フラグ(CCxIF)を設定(1)するために渡されて、任意選択の割り込みを生成します。

CCxとCCxBUFの両レシ、スタはI/Oレシ、スタとして利用可能です。これは緩衝レジスタの初期化と迂回そして2重緩衝機能を許します。



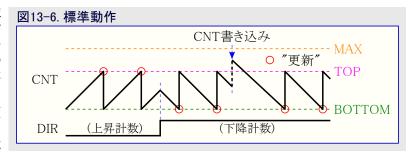
13.6. 計数器動作

動作種別に依存して計数器は各タイマ/カウンタ クロック入力で、0設定、再設定、増加、減少されます。

13.6.1. 標準動作

標準動作では計数器がTOPまたはBOTTOMに達するまで、各クロックに対して方向(DIR)ビットによって設定された方向で計数します。上昇計数でTOP到達時、計数器は次のクロックが与えられた時に0が設定されます。下降計数時の計数器はBOTTOM到達時に定期(PER)レジスタで再設定されます。

図13-6.で示されるように、計数器動作時に計数器値変更が可能です。書き込みアクセスは、計数、0設定、再設定より高い優先権を持ち、直ちに行われます。計数器の方向は標準動作中でも変更できます。



捕獲チャネルに対する基準計時として計数器を使う時に標準動作が使われなければなりません。

13.6.2. 事象活動制御動作

事象選択(EVSEL)と事象活動設定(EVACT)が事象システムからの計数器制御に使えます。計数器に関して以下の事象活動を選択することができます。

- 事象システム制御上昇/下降計数
 - 事象nは計数許可として使われます。
 - 事象n+1は上昇(1)と下降(0)間の選択に使われます。ピン構成設定はLowレベル感知に設定されなければなりません。
- 事象システム制御直交復号計数

13.6.3. 32ビット動作

32ビット計数器動作を許可するのに2つのタイマ/カウンタを共に使うことができます。2つのタイマ/カウンタを使うことによって、1つのタイマ/カウンタ(下位計数器)からの上昇溢れ事象は事象システム経由で経路付けでき、別のタイマ/カウンタ(上位計数器)に対するクロック入力として使えます。

13.6.4. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。2重緩衝が使われない場合、図13-7.で示されるようにどんな周期変更も直ちに行われます。

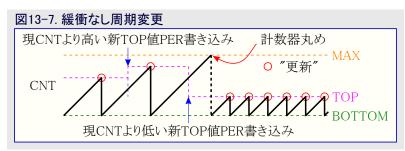
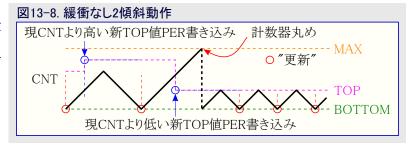
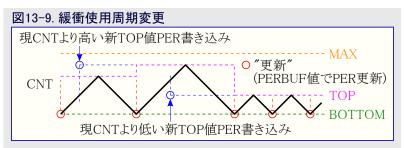


図13-8.で示されるように緩衝なしでの上昇計数時、どの動作形態でも丸められた計数器が起こり得ます。これは計数器(CNT)レシ、スタと定期(PER)レシ、スタが継続的に比較され、現在のCNTよりも低い新しいTOP値がPERに書かれた場合、比較一致が起こる前に丸められます。



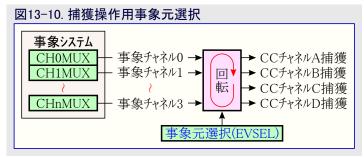
2重緩衝使用時、緩衝部は何時でも書け、未だ正しい動作を維持します。図13-9.で示されるように定期レジスタは常に "更新"条件で更新されます。これは丸めと奇数波形の生成を防ぎます。



13.7. 捕獲チャネル

比較/捕獲(CC)チャネルは外部事象の捕獲のためのチャネルとして使え、それらに時刻印を与えます。捕獲を使うには計数器が標準動作に設定されていなければなりません。

事象が捕獲の起動に使われ、換言すると、どのピンからのピン変化も含む事象システムからのどの事象も捕獲動作を起動できます。事象元選択設定はどのCCチャネルAを起動するか選択します。構成設定されるなら、後続する事象チャネルが後続するCCチャネルでの事象を起動します。例えば事象チャネル2を選択する事象元設定は事象チャネル2に接続されたCCチャネルA、事象チャネル3へのCCチャネルB、以下同様の結果になります。



タイマ/カウンタの事象活動設定(EVSEL)が行われる捕獲形式を決めます。

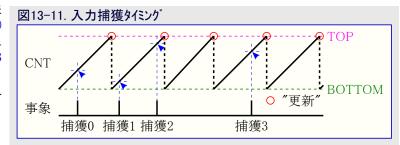
使うCCチャネルは捕獲が行われ得る前に個別に許可されなければなりません。捕獲条件が起こると、タイマ/カウンタは計数器(CNT H/L)レジスタの現在のCNT値を許可されたCCチャネル(CCxH/L)レジスタ内に複写することによって事象の時刻印を記します。

入出力ピンが捕獲に対する事象元として使われるとき、そのピンはエッジ感知に形成設定されなければなりません。入出力ピンの感知構成設定の詳細については91頁の「入力感知構成設定」を参照してください。定期レジスタ値が\$8000よりも低い場合、入出力ピンのエッジ極性が捕獲レジスタの最上位ピット(MSB)に格納されます。捕獲レジスタのMSBが0なら、下降端で生成された捕獲です。MSBが1なら、上昇端で生成された捕獲です。

13.7.1. 入力捕獲

入力捕獲事象活動の選択は許可された捕獲チャネルに事象での入力捕獲を実行させます。割り込み要求フラケ(CCxIF)が設定(1)され、対応するCCxレジスタの捕獲結果が有効なことを示します。同時に緩衝有効(CCxBV)フラケが緩衝(CCxBUF)レジスタ内のデータ有効を示します。

計数器は図13-11.で示されるように、BOTTOMからTOPへ 計数し、そしてBOTTOMから再び始めます。



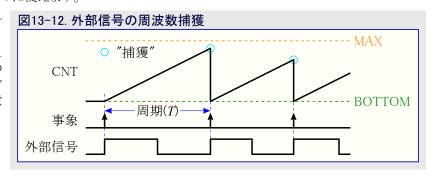
13.7.2. 周波数捕獲

周波数捕獲事象活動の選択は許可された捕獲チャネルに正端事象での入力捕獲と再始動を実行させます。これは信号の直接的な周期または周波数の測定をタイマ/カウンタに許します。捕獲結果は直前のタイマ/カウンタ再始動から事象発生までの時間Tです。これはその信号の周波数を計算するのに使えます。

 $f = \frac{1}{T}$

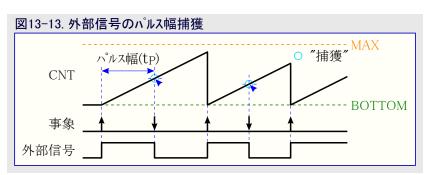
図13-12.は2度測定された外部信号の周期の例を示します。

全捕獲チャネルが同じ計数器(CNT)を使うので、同時に1 つのチャネルだけが許可されなければなりません。2つの チャネルが異なる供給元で使われた場合、計数器は両方 の入力元からの正端事象で再始動し、結果は何の意 味も持たないでしょう。



13.7.3. パルス幅捕獲

パルス幅捕獲事象活動の選択は許可された捕獲チャネルに下降端事象での入力捕獲活動と上昇端事象での再始動活動を実行させます。そして計数器は正端事象で再開し、負端事象で入力捕獲が実行されます。事象元はI/Oピンでなければならず、そのピンに対する感知構成設定は両端での事象生成に設定されなければなりません。図13-13.は外部信号に対してパルス幅が2度測定される例を示します。



13.7.4. 32ビット入力捕獲

32ビット入力捕獲を許可するために2つのタイマ/カウンタを共に使うことができます。代表的な32ビット入力捕獲初期設定では、下位計数器の上昇溢れ事象が事象システム経由で接続され、上位計数器に対するクロック入力として使われます。

上位計数器は下位計数器で上昇溢れが起きた1周辺機能クロック後に更新されます。これを補償するため、上位計数器に対する捕獲事象は、このタイマ/カウンタに対する事象遅延(EVDLY)ビットの設定(1)によって同じ遅延にされなければなりません。

13.7.5. 捕獲緩衝部溢れ

タイマ/カウンタは入力捕獲チャネルの緩衝部溢れを検知できます。緩衝有効(BV)フラグと捕獲割り込み要求フラグ(CCxIF)の両方が設定(1)され、新しい捕獲事象が検知された時に、新しい時刻印を格納する場所が何処にもありません。緩衝部溢れが検出された場合、新しい値は拒否され、異常割り込み要求フラグ(ERRIF)が設定(1)されて任意選択の割り込みが生成されます。

13.8. 比較チャネル

各比較チャネルは計数器値(CNT)と比較/捕獲(CCx)レシ、スタを継続的に比較します。CNTとCCxが等しい場合に一致を合図します。この一致は次の計数器クロック周期でCCチャネルの割り込み要求フラグ(CCxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。

比較緩衝(CCxBUF)レシ、スタは定期緩衝(PERBUF)のそれと等価な能力を持つ2重緩衝を提供します。2重緩衝はUPDATE条件に従った計数手順のTOPまたはBOTTOMに対して緩衝値でのCCxレシ、スタ更新を同期化します。同期化は奇数長の発生、不具合なし出力のために非対称ハッルスを防ぎます。

13.8.1. 波形生成

比較チャネルは対応するポートピンでの波形生成に使えます。接続されたポートピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

- 1. 波形生成動作(WGMODE)が選択されなければなりません。
- 2. 事象活動(EVACT)が禁止されなければなりません。
- 3. 使われるCCチャネルが許可(CCxEN)されなければなりません。これは対応するポート ピン出力(OUT)レジスタを無効にします。
- 4. 関連するポート ピンに対する方向(DIR)が出力に設定されなければなりません。

反転波形出力はポート ピンに対する反転出力(INVEN)ビットを設定(1)することによって達成されます。

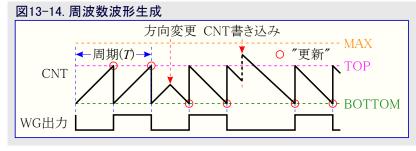
13.8.2. 周波数(FRQ)波形生成

周波数生成では定期(PER)レジスタに代わって比較/捕獲A(CCA)レジスタによって周期(T)が制御されます。波形生成(WG)出力は図13-14.で示されるように計数器(CNT)とCCAレジスタ間の各比較一致で交互されます。

波形周波数(fFRQ)は次式によって定義されます。

$$f_{\text{FRQ}} = \frac{f_{\text{Clk}_{\text{PER}}}}{2N(\text{CCA+1})}$$

ここでNは使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定

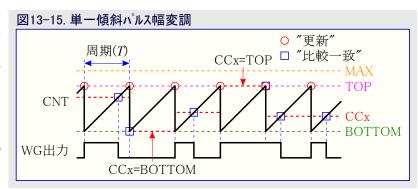


される時に周辺機能クロック周波数(fclkper)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

13.8.3. 単一傾斜PWM生成

単一傾斜PWM生成については、周期(T)が定期(PER)レジスタによって制御され、一方比較/捕獲(CCx)レジスタが 波形生成(WG)出力のデューティサイクルを制御します。図 13-15.は計数器がどうBOTTOMからTOPへ計数し、そしてBOTTOMから再始動するかを示します。WG出力は計数器(CNT)とCCxレジスタ間の比較一致で設定(1)され、TOPで解除(0)されます。

PERレジスタはPWM分解能を定義します。最小分解能は2 ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。



次式は単一傾斜PWMに対する正確な分解能(RPWM_SS)を計算します。

$$R_{\text{PWM_SS}} = \frac{\log(\text{PER+1})}{\log(2)}$$



単一傾斜PWM周波数(fpwm ss)は周期設定(PER)と周辺機能クロック周波数(fclkper)に依存し、次式によって計算できます。

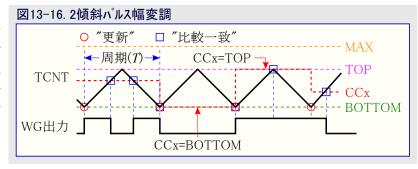
$$f_{\text{PWM_SS}} = \frac{f_{\text{clk}_{\text{PER}}}}{N(\text{PER+1})}$$

ここでNは使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定される時に周辺機能 クロック周波数(fclkper)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

13.8.4. 2傾斜PWM生成

2傾斜PWM生成については周期(T)が定期(PER)レジスタによって制御され、一方比較/捕獲(CCx)レジスタが波形生成(WG)出力のデューティサイクルを制御します。図13-16.は2傾斜PWMに関して計数器がBOTTOMからTOPへ、そしてその後にTOPからBOTTOMへどう繰り返し計数するかを示します。波形生成(WG)出力はBOTTOMで設定(1)され、上昇計数時の比較一致で解除(0)され、下降計数時の比較一致で設定(1)されます。

2傾斜PWMの使用は単一傾斜PWM動作と比較してより 低い最大動作周波数の結果となります。



PERレシブスタはPWM分解能を定義します。最小分解能は2 ビット(PER=\$0003)で、最大分解能は16ビット(PER=MAX)です。 次式は2傾斜PWMに対する正確な分解能(RPWM DS)を計算します。

$$R_{\text{PWM_DS}} = \frac{\log(\text{PER}+1)}{\log(2)}$$

PWM周波数(fpwm DS)は周期設定(PER)と周辺機能クロック周波数(fclkpeR)に依存し、次式によって計算できます。

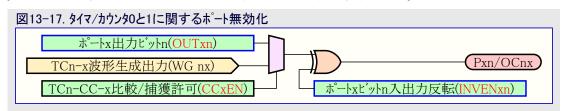
$$f_{\text{PWM_DS}} = \frac{f_{\text{clk}_{\text{PER}}}}{2N \times \text{PER}}$$

ここでNは使った前置分周数を表します。生成された波形は前置分周が全く使われずにCCAが0(\$0000)に設定される時に周辺機能 クロック周波数(fclkper)の半分の最大周波数です。これは高分解能(Hi-Res)拡張使用時にも適用されます。それはこれが周波数ではなく分解能を増加するからです。

13.8.5. 波形生成に関するポート無効化

ポート ピンで利用可能な波形生成を行うには対応するポート ピンの方向が出力として設定されなければなりません。タイマ/カウンタは比較/捕獲(CC)チャネルが許可(CCxEN)され、波形生成動作種別(WGMODE)が選択されている時にポート ピン値を無効にします。

図13-17.はタイマ/カウンタに関するポート無効化を示します。タイマ/カウンタのCCチャネルは対応するポート ピン(Pxn)でポート ピン出力値(OUTxn)を無効にします。ポート ピンでの反転I/O許可(INVENxn)は対応するWG出力を反転します。



13.9. 割り込みと事象

タイマ/カウンタは割り込みと事象の両方を生成できます。計数器は上昇溢れ/下降溢れでの割り込みを生成でき、各比較/捕獲(CC)チャネルは比較または捕獲に使われる独立した割り込みを持ちます。加えて、CCチャネルのどれかが捕獲に使われ、捕獲チャネルで緩衝部溢れが起きた場合に異常割り込みを生成できます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については48頁の「**事象システム**」を 参照してください。

13.10. DMA支援

割り込み要求フラグはDMA単位処理の起動に使えます。表13-2.はタイマ/カウンタから利用可能な転送起動元と転送起動を解除する DMA活動を一覧にします。DMA使用のより多くの詳細については36頁の「DMAC - 直接メモリ入出力制御器」を参照してください。

表13-2. DMA要求元

要求	応答	注釈
	CNTへのDMA制御器書き込み	
OVFIF	PERへのDMA制御器書き込み	
OVFIF	PERBUFへのDMA制御器書き込み	
	模様型生成動作のAWeXのDTHSBUFまたはDTLSBUFへのDMA制御器書き込み	
ERRIF	利用不可	
CC-IE	CCxのDMA制御器アクセス	捕獲動作
CCxIF	CCxBUFのDMA制御器アクセス	比較動作

13.11. タイマ/カウンタ指令

単位部の状態を直ちに変更するために、ソフトウェアによって1組の指令をタイマ/カウンタに与えることができます。これらの指令は更新、再始動、リセットの信号の直接制御を行います。

更新指令は更新条件発生時と同じ効果を持ちます。更新指令は更新施錠(LUPD)ビットが設定(1)されている場合に無効とされます。 ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器、方向と全ての比較出力が0に設定されます。

リセット指令は全てのタイマ/カウンタ レジスタをそれらの初期値に設定します。リセットはタイマ/カウンタが非動作(OFF)の時にだけ与えることができます。



13.12. レジスタ説明

13.12.1. CTRLA - 制御レジスタA (Control register A)

ビット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	_		CLKS	EL3~0		CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

ビット3~0 - CLKSEL3~0: クロック選択 (Clock Select)

これらのビットは表13-3.に従ってタイマ/カウンタに対するクロック元を選択します。

高分解能(Hi-Res)拡張が許可されている時に波形生成器からの正しい出力を保証するため、CLKSEL=0001が設定されなければなりません。

表13-3. クロック退	表13-3. クロック選択								
CLKSEL3~0	群構成設定	内容							
0 0 0 0	OFF	なし(換言するとタイマ/カウンタ'OFF'状態)							
0 0 0 1	DIV1	前置分周器: clkper							
0 0 1 0	DIV2	前置分周器: clkper/2							
0 0 1 1	DIV4	前置分周器: clkper/4							
0 1 0 0	DIV8	前置分周器: clkper/8							
0 1 0 1	DIV64	前置分周器: clk _{PER} /64							
0 1 1 0	DIV256	前置分周器: clk _{PER} /256							
0 1 1 1	DIV1024	前置分周器: clk _{PER} /1024							
1 n n n	EVCHn	事象チャネルn (n=0~3)							

13.12.2. CTRLB - 制御レジスタB (Control register B)

ピット	7	6	5	4	3	2	1	0	
+\$01	CCDEN	CCCEN	CCBEN	CCAEN	-	V	VGMODE2∼	0	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - CCxEN:比較/捕獲x許可(Compare or Capture Enable)

これらのビットの設定(1)はFRQまたはPWM波形生成動作で対応するOCn出力ピンに対するポート出力レジスタ値を無効にします。 入力捕獲動作が選択されている時のCCxENビットは対応する比較/捕獲(CC)チャネルに対する捕獲動作を許可します。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット2~0 - WGMODE2~0:波形生成動作種別 (Waveform Generation Mode)

これらのビットは波形生成動作種別を選択し、表13-4.に従って計数器の計数手順、TOP値、UPDATE条件、割り込み/事象条件、生成される波形形式を制御します。

波形生成なしは標準動作で実行されます。他の全ての動作種別に関しては、対応する比較/捕獲x許可(CCxEN)ビットがそれを許可に設定している場合に、波形生成器からの結果が単にポート ピンへ直結されるだけです。そのポート ピンの方向(DIR)は出力として設定されなければなりません。

表13-4. 波形生成動作種別

WGMODE2~0	群構成設定	動作種別	TOP	UPDATE	OVFIF/事象
0 0 0	NORMAL	標準	PER	TOP	TOP
0 0 1	FRQ	周波数(FRQ)	CCA	TOP	TOP
0 1 0	-	(予約)	-	-	-
0 1 1	SINGLESLOPE	単一傾斜PWM	PER	BOTTOM	BOTTOM
1 0 0	-	(予約)	_	_	-
1 0 1	DSTOP	2傾斜PWM	PER	BOTTOM	TOP
1 1 0	DSBOTH	2傾斜PWM	PER	BOTTOM	TOPとBOTTOM
1 1 1	DSBOTTOM	2傾斜PWM	PER	BOTTOM	BOTTOM

13.12.3. CTRLC - 制御レジスタC (Control register C)

ピット _	7	6	5	4	3	2	1	0	
+\$02	-	_	-	-	CMPD	CMPC	CMPB	CMPA	CTRLC
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット3~0 - CMPx : 比較x出力値 (Compare Output Value x)

これらのビットはタイマ/カウンタがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接アクセスを許します。これはタイマ /カウンタが動作していない時にWG出力値を設定(1)または解除(0)するのに使われます。

13.12.4. CTRLD - 制御レジスタD (Control register D)

ピット	7	6	5	4	3	2	1	0	
+\$03		EVACT2~0		EVDLY		EVSE	L3~0		CTRLD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~5 - EVACT2~0:事象活動 (Event Action)

これらのビットは表13-5.に従って事象で実行する計時器の事象 活動を定義します。

その場合に事象選択(EVSEL)設定はどの事象元または供給元 が制御を持つかを決定します。

どれかの捕獲事象活動の設定は捕獲として使われるべき関連す る状態と制御のビットと比較/捕獲(CC)レジスタの動きを変更しま す。異常状態フラグ(ERRIF)はこの構成設定での緩衝部溢れを示 します。更なる詳細については107頁の「事象活動制御動作」を ご覧ください。

EVACT2~0	群構成設定	事象活動
0 0 0	OFF	なし
0 0 1	CAPT	入力捕獲
0 1 0	UPDOWN	外部制御された上昇/下降計数

0 0 0	UFF	 なし
0 0 1	CAPT	入力捕獲
0 1 0	UPDOWN	外部制御された上昇/下降計数
0 1 1	QDEC	直交復号
1 0 0	RESTART	波形生成周期再始動
1 0 1	FRQ	周波数捕獲
1 1 0	PW	パルス幅捕獲
111	_	(予約)

● ビット4 - EVDLY: 事象遅延 (Timer Delay Event)

このビットが設定(1)されると、選択した事象元は1周辺機能クロック周期遅延されます。これは32ビット入力捕獲に対して意図されていま す。事象システム経由で2つの計数器を直列にする時にキャリー伝播遅延に対する補償用に事象遅延の追加が必要です。

● ビット3~0 - EVSEL3~0: 事象元選択 (Timer Event Source Select)

これらのビットはタイマ/カウンタに対する事象チャネル元を選びます。選 択した事象チャネルが効果を表すためには事象活動(EVACT)ビット が表13-6.に従って設定されなければなりません。事象活動が捕 獲動作に設定されると、選択した事象チャネルnは比較/捕獲(CC) チャネルAに対する事象チャネル元になり、事象チャネルn+1.n+2.n+3 (各々4の剰余)が各々CCチャネルB、C、Dに対する事象チャネル元にな ります。

表13-6. 事象元選択

表13-5. 計時器事象活動選択

EVSEL3~0	群構成設定	事象元
0 0 0 0	OFF	なし
0 0 0 1	-	(予約)
0 0 1 0	-	(予約)
0 0 1 1	-	(予約)
0 1 0 0	-	(予約)
0 1 0 1	1	(予約)
0 1 1 0	-	(予約)
0 1 1 1	1	(予約)
1 0 n n	CHn	事象チャネルn (n=0~3)
1 1 x x	-	(予約)

13.12.5. CTRLE - 制御レジスタE (Control register E)

ピット	7	6	5	4	3	2	1	0	_
+\$04	-	-	-	-	-	-	BYTE	EM1,0	CTRLE
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - BYTEM1,0: バイト動作 (Byte Mode)

これらのビットは表13-7.に従ってタイマ/カウンタ動作形態を選択します。

表13-7. タイマ/カウンタ型式選択

BYTEM1,0	群構成設定	内容
0 0	NORMAL	タイマ/カウンタは標準形態(タイマ/カウンタ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位バイト(CNTH)は各クロック周期後、0に設定されます。
1 0	SPLITMODE	タイマ/カウンタ0は2つの8ビット タイマ/カウンタ(タイマ/カウンタ型式2)に分割されます。
1 1	1	(予約)

13.12.6. INTCTRLA - 割り込み許可レジスタA (Interrupt Enable register A)

ビット +\$06	7 -	6	5 –	4	3 ERRIN	2 ΓLVL1,0	1 OVFINT	0 ΓLVL1,0	INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 - ERRINTLVL1,0: 異常割り込みレベル (Timer Error Interrupt Level)

これらのビットは異常割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。

● ビット1,0 -OVFINTLVL1,0:上昇/下降溢れ割り込みレベル (Timer Overflow/Underflow Interrupt Level)

これらのビットは上昇/下降溢れ割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。

13.12.7. INTCTRLB - 割り込み許可レジスタB (Interrupt Enable register B)

LACT CODINTIVITA COCNITIVITA CODINTIVITA CONTRIVITA	
+\$07 CCDINTLVL1,0 CCCINTLVL1,0 CCBINTLVL1,0 CCAINTLVL1,0 IN	NTCTRLB
Read/Write R/W R/W R/W R/W R/W R/W R/W	
初期値 0 0 0 0 0 0 0	

● ビット7~0 - CCxINTLVL1,0 : 比較/捕獲x割り込みレベル (Compare or Capture x Interrupt Level)

これらのビットはチャネルxに対する比較または捕獲の割り込みを許可し、83頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みレベルを選択します。

13.12.8. CTRLFCLR,CTRLFSET - 制御レジスタF 解除/設定 (Control register F Clear/Set)

このレシブスタは2つのI/Oメモリ位置に割り当てられ、書き込み時の1つは解除(0)用で、もう1つは設定(1)用です。両メモリ位置は読み込み時に同じ結果を与えます。

個別の状態ビットはCTRLxSETのそのビット位置への1書き込みによって設定(1)でき、CTRLxCLRのそのビット位置への1書き込みによって解除(0)できます。これは単一レジスタでの読みー変更ー書きの使用なしで設定(1)または解除(0)される各ビットを許します。

Ľ'ット	7	6	5	4	3	2	1	0	
+\$08	_	_	_	_	CMI	01,0	LUPD	DIR	CTRLFCLR
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ピット	7	6	5	4	3	2	1	0	
+\$09	-	_	_	_	CMD1,0		LUPD	DIR	CTRLFSET
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

ビット3.2 - CMD1.0:指令(Command)

これらのビットはタイマ/カウンタのリセット、再始動、更新のソフトウェア制御に使えます。指令ビットは常に0として読めます。

表13-8. 指令	選択	
CMD1,0	群構成設定	指令動作
0 0	NONE	なし
0 1	UPDATE	強制更新
1 0	RESTART	強制再始動
11	RESET	強制ハート゛リセット(T/CがOFF状態でなければ無視されます。)

● ビット1 - LUPD: 更新施錠(Lock Update)

このビットが設定(1)されていると、例えUPDATE条件が起きても、緩衝されているレジスタの更新が実行されません。更新施錠は更新が実行される前に有効な沈黙時間挿入(DTI)を含む全緩衝を安全にします。

入力捕獲が許可されている時、このビットは無効です。

● ビット0 - DIR: 計数方向 (Counter Direction)

0の時、このビットは計数器が上昇計数(増加)することを示します。1は計数器は下降計数(減少)状態であることを示します。 通常、このビットは波形生成動作種別または事象活動によってハードウェアで制御されますが、このビットはソフトウェアからも変更できます。

13.12.9. CRTLGCLR.CTRLGSET - 制御レジスタG 解除/設定 (Control register G Clear/Set)

ヒ"ット	7	6	5	4	3	2	1	0	CTRLGCLR
+\$0A,+\$0B	-	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	CTRLGCLR
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	UTREGSET
初期値	0	0	0	0	0	0	0	0	

この形式の状態レジスタのアクセス方法の情報については「CTRLFCLR,CTRLFSET - 制御レジスタF 解除/設定」を参照してください。

L*ット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4~1 - CCxBV: 比較/捕獲緩衝有効 (Compare or Capture x Buffer Valid)

これらのビットは対応する比較/捕獲緩衝(CCxBUF)レジスタに新しい値が書かれる時に設定(1)されます。これらのビットはUPDATE条件で自動的に解除(0)されます。

入力捕獲動作使用時、このビットが捕獲事象で設定(1)され、対応する比較/捕獲割り込み要求フラグ(CCxIF)が解除(0)された場合に解除(0)されることに注意してください。

● ビット0 - PERBV: 定期緩衝有効 (Period Buffer Valid)

これらのビットは新しい値が定期緩衝(PERBUF)レジスタに書かれる時に設定(1)されます。このビットはUPDATE条件で自動的に解除(0)されます。



13.12.10. INTFLAGS - 割り込み要求フラク・レジスタ (Interrupt Flag register)

ピット _	7	6	5	4	3	2	1	0	_
+\$0C	CCDIF	CCCIF	CCBIF	CCAIF	-	-	ERRIF	OVFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - CCxIF: 比較/捕獲チャネルx割り込み要求フラグ(Compare or Capture Channel x Interrupt Flag)

比較/捕獲割り込み要求フラグ(CCxIF)は対応する比較/捕獲(CC)チャネルでの比較一致または入力捕獲事象で設定(1)されます。

捕獲を除く全動作種別に対して、CCxIFは計数器(CNT)レシ、スタと対応する比較(CCx)レシ、スタ間で比較一致が起きる時に設定(1)されます。CCxIFは対応する割り込みへ、クタが実行される時に自動的に解除(0)されます。

入力捕獲動作については、対応する比較/捕獲緩衝(CCxBUF)レジュタが有効な値を含む場合(換言すると比較/捕獲緩衝有効(CCxBUF)フラケが設定(1)される時)に、CCxIFが設定(1)されます。比較/捕獲(CCx)レジスタが読まれると、このフラケが解除(0)されます。この動作では割り込みへ、クタ実行がフラケを解除(0)しません。

このフラグはこのビット位置への1書き込みによっても解除(0)できます。

CCxIFはDMA転送要求に使えます。そしてCCxまたはCCxBUFに対応するDMA読み書きアクセスがCCxIFを解除(0)してその要求を解除します。

▶ じット3,2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - ERRIF: 異常割り込み要求フラグ(Error Interrupt Flag)

このフラグは動作種別に依存して複数の場合で設定(1)されます。

FRQまたはPWM波形生成動作では新波形生成拡張(AWeX)の障害保護機能からの障害検出状態でERRIFが設定(1)されます。利用可能なAWeX拡張を持たないタイマ/カウンタについては、このフラグはFRQまたはPWM波形生成動作で決して設定(1)されません。

捕獲動作に関しては、比較/捕獲(CC)チャネルのどれかで緩衝部溢れが起きた場合にERRIFが設定(1)されます。

事象制御された直交復号(QDEC)動作については、不正な指標信号が与えられた時に設定(1)されます。

このフラグは対応する割り込みへ、クタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 - OVFIF:上昇/下降溢れ割り込み要求フラグ(Overfloaw/Underflow Interrupt Flag)

このフラク・は波形生成動作種別(WGMODE)設定に依存してTOP(上溢れ)またはBOTTOM(下溢れ)のどちらかで設定(1)されます。OVFIFは対応する割り込みへ、クタが実行される時に自動的に解除(0)されます。このフラク・はこのビット位置への1書き込みによっても解除(0)できます。

OVFIFはDMA転送を要求するのにも使えます。そして計数器(CNT)、定期(PER)、定期緩衝(PERBUF)のレジスタへのDMA書き込みアクセスがOVFIFフラグを解除(0)します。

13.12.11. TEMP - 一時レジスタ (Temporary register for 16-bit Access)

TEMPレシ、スタはCPUによって16ビット タイマ/カウンタ レシ、スタへの単一周期16ビット アクセスに使われます。DMA制御器は独立した一時記憶レシ、スタを持っています。全ての16ビット タイマ/カウンタ レシ、スタに対して1つの共通TEMPレシ、スタがあります。

より多くの詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

ビット	7	6	5	4	3	2	1	0	
+\$0F				TEM	P7∼0				TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	



13.12.12. CNTL - 計数レジスタ下位 (Counter register Low)

CNTHとCNTLレジスタ対は16ビット値CNTを表します。CNTはタイマ/カウンタの16ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の0設定、再設定、計数より上の優先権を持ちます。

16ビット レジスタ読み書きのより多くの詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

ピット	7	6	5	4	3	2	1	0	
+\$20				CNT	[7~0				CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CNT7~0: 計数器7~0 (Counter low byte)

これらのビットは16ビット計数器レジスタの下位バイト(LSB)を保持します。

13.12.13. CNTH - 計数レジスタ上位 (Counter register High)

ピット	7	6	5	4	3	2	1	0	
+\$21				CNT	`15~8				CNTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CNT15~8: 計数器15~8 (Counter high byte)

これらのビットは16ビット計数器レジスタの上位バイト(MSB)を保持します。

13.12.14. PERL - 定期レジスタ下位 (Period register Low)

PERHとPERLレジスタ対は16ビット値PERを表します。PERはタイマ/カウンタの16ビットTOP値を含みます。

ピット _	7	6	5	4	3	2	1	0	
+\$26				PER	₹7~0				PERL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 - PER7~0: 定期値7~0 (Period low byte)

これらのビットは16ビット定期レジスタの下位バイト(LSB)を保持します。

13.12.15. PERH - 定期レジスタ上位 (Period register High)

ピット	7	6	5	4	3	2	1	0	_
+\$27				PER	15~8				PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 - PER15~8: 定期値15~8 (Period high byte)

これらのビットは16ビット定期レジスタの上位バイト(MSB)を保持します。

13.12.16. CCxL - 比較/捕獲xレジスタ下位 (Compare or Capture x register Low)

CCxHとCCxLレジスタ対は16ビット値CCxを表します。これらの16ビット レシ、スタは動作種別に依存して2つの機能を持ちます。

捕獲動作に対しては、これらのレジスタがCPUとDMAに対するアクセス位置と第2緩衝段階を構築します。

比較動作に関しては、これらのレジスタが計数器値と継続的に比較されます。通常、比較器からの出力はその後の波形生成に使われます。

CCxレシ、スタはUPDATE条件発生時にそれらの対応する比較/捕獲緩衝(CCxBUF)レシ、スタからの緩衝値で更新されます。

ピット	7	6	5	4	3	2	1	0	_
+\$28,A,C,E				CC2	x7∼0				CCxL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CCx7~0:比較/捕獲値7~0 (Compare or Capture x low byte)

これらのビットは16ビット比較/捕獲レジスタの下位バイト(LSB)を保持します。

13.12.17. CCxH - 比較/捕獲xレジスタ上位 (Compare or Capture x register High)

ピット	7	6	5	4	3	2	1	0	
+\$29,B,D,F				CCx	15~8				CCxH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CCx15~8: 比較/捕獲値15~8 (Compare or Capture x high byte)

これらのビットは16ビット比較/捕獲レジスタの上位バイト(MSB)を保持します。

13.12.18. PERBUFL - 定期緩衝レジスタ下位 (Timer/Counter Period Buffer Low)

PERBUFHとPERBUFLレシ、スタ対は16ビット値PERBUFを表します。この16ビットレシ、スタは定期(PER)レシ、スタに対する緩衝部として取り扱います。CPUまたはDMAを使うこのレシ、スタのアクセスは定期緩衝有効(PERBV)フラグに影響を及ぼします。

ピット	7	6	5	4	3	2	1	0	
+\$36				PERBI	UF7∼0				PERBUFL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 - PERBUF7~0: 定期緩衝値7~0 (Period Buffer low byte)

これらのビットは16ビット定期緩衝レジスタの下位バイト(LSB)を保持します。

13.12.19. PERBUFH - 定期緩衝レジスタ上位 (Timer/Counter Period Buffer High)

ピット	7	6	5	4	3	2	1	0	_
+\$37				PERBU	JF15∼8				PERBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 - PERBUF15~8: 定期緩衝値15~8 (Period Buffer high byte)

これらのビットは16ビット定期緩衝レジスタの上位バイト(MSB)を保持します。

13.12.20. CCxBUFL - 比較/捕獲x緩衝レジスタ下位 (Compare or Capture x Buffer register Low)

CCxBUFHとCCxBUFLレシ、スタ対は16ビット値CCxBUFを表します。これらの16ビット レジ、スタは関連する比較/捕獲(CCx)レジ、スタに対する 緩衝部として扱います。CPUまたはDMAを使うこれらのどれかのレジ、スタのアクセスは対応する比較/捕獲緩衝有効(CCxBV)状態フラケに 影響を及ぼします。

ヒット 7 6	5	4	3	2	1	0	
+\$38,A,C,E		CCxB	UF7~0				CCxBUFL
Read/Write R/W R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値 0 0	0	0	0	0	0	0	

● ビット7~0 - CCxBUF7~0:比較/捕獲緩衝値7~0(Compare or Capture Buffer x low byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの下位バイト(LSB)を保持します。

13.12.21. CCxBUFH - 比較/捕獲x緩衝レジスタ上位 (Compare or Capture x Buffer register High)

ピット	7	6	5	4	3	2	1	0	
+\$39,B,D,F				CCxBU	JF15∼8				CCxBUFH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CCxBUF15~8:比較/捕獲緩衝値15~8 (Compare or Capture Buffer x high byte)

これらのビットは16ビット比較/捕獲緩衝レジスタの上位バイト(MSB)を保持します。

13.13. レジスタ要約

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$3F	CCDBUFH			CCDBUF15^	~8 (比較/捕	獲D緩衝レジ	スタ上位バイト)		118
+\$3E	CCDBUFL			CCDBUF7~	0(比較/捕狐	更D緩衝レジン	タ下位バイト)			118
+\$3D	CCCBUFH			CCCBUF15^	~8 (比較/捕	獲C緩衝レジ	スタ上位バイト)		118
+\$3C	CCCBUFL			CCCBUF7~	0(比較/捕狐	♥C緩衝レジン	タ下位バイト)			118
+\$3B	CCBBUFH			CCBBUF15^	~8 (比較/捕	獲B緩衝レジン	み上位バイジ)		118
+\$3A	CCBBUFL			CCBBUF7~	0(比較/捕狐	蒦B緩衝レジブ	タ下位バイト)			118
+\$39	CCABUFH			CCABUF15~	~8 (比較/捕	獲A緩衝レジ	な上位バイト)		118
+\$38	CCABUFL		1	CCABUF7~	0(比較/捕狐	蒦A緩衝レシブ	タ下位バイト)			118
+\$37	PERBUFH		1	PERBUF	15~8 (定期)	緩衝レジスタ上	位バイト)	1		118
+\$36	PERBUFL		1	PERBU	F7~0 (定期系	愛衝レジスタ下	位バイト)			118
+\$30~\$35	予約	_	_	-	-	-	-	-	-	
+\$2F	CCDH		1	CCD15	~8 (比較/捕	獲Dレシブスタ上	位バイト)			118
+\$2E	CCDL		1	CCD7~	0(比較/捕豕	蒦Dレジスタ下	位バイト)			117
+\$2D	CCCH			CCC15	~8 (比較/捕	獲Cレジスタ上	位バイト)			118
+\$2C	CCCL		1	CCC7~	0(比較/捕豕	蒦Cレジスタ下	位バイト)	1		117
+\$2B	CCBH		1	CCB15	~8 (比較/捕	獲Bレジスタ上	位バイト)	1		118
+\$2A	CCBL		1	CCB7~	0(比較/捕豕	蒦Bレジスタ下イ	立バイト)	1		117
+\$29	CCAH		1	CCA15	~8(比較/捕	獲Aレシブスタ上	位バイト)			118
+\$28	CCAL		1	CCA7~	0(比較/捕豕	- 蒦Aレジスタ下/	位バイト)	1		117
+\$27	PERH		1	PEF	R15~8 (定期)	シジスタ上位ハ	`	1		117
+\$26	PERL		1	PE:	R7~0 (定期レ	ジスタ下位バ	<u>/</u> ト)	1		117
+\$22~\$25	予約	-	_	-	_	-	-	_	_	
+\$21	CNTH		1	CNT	15~8 (計数器	としシ スタ上位	, バイト)		1	117
+\$20	CNTL		1	CNT	7~0(計数器	レジスタ下位/	· 「イト)	'		117
+\$10~\$1F	予約	-	_	_	_	_	_	_	_	
+\$0F	TEMP		1	1	TMP7~0 (-	- 時レジスタ)	1	1	1	116
+\$0E	予約	1	_	_	_	_	_	_	_	
+\$0D	予約	1	_	-	_	_	_	_	_	
+\$0C	INTFLAGS	CCDIF	CCCIF	CCBIF	CCAIF	-	-	ERRIF	OVFIF	116
+\$0B	CTRLGSET	ı	-	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	115
+\$0A	CTRLGCLR	-	_	-	CCDBV	CCCBV	CCBBV	CCABV	PERBV	115
+\$09	CTRLFSET	-	_	-	-	CM	D1,0	LUPD	DIR	115
+\$08	CTRLFCLR	-	_	-	-	CM	D1,0	LUPD	DIR	115
+\$07	INTCTRLB	CCDIN	TLVL1,0	CCCIN	ΓLVL1,0	CCBIN	LVL1,0	CCAIN	ΓLVL1,0	114
+\$06	INTCTRLA	-	-	-	-	ERRINT	LVL1,0	OVFIN	LVL1,0	114
+\$05	予約	-	_	-	-	-	-	-	_	
+\$04	CTRLE	-	-	-	-	-	-	BYTE	EM1,0	114
+\$03	CTRLD		EVACT2~0		EVDLY		EVSE	EL3~0		113
+\$02	CTRLC	-	-	-	-	CMPD	CMPC	CMPB	CMPA	113
+\$01	CTRLB	CCDEN	CCCEN	CCBEN	CCAEN	-	V	VGMODE2~	0	112
+\$00	CTRLA	-	-	-	-		CLKS	EL3~0		112



13.14. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OVF_vect	タイマ/カウンタ上昇溢れ/下降溢れ割り込みベクタ
\$02	ERR_vect	タイマ/カウンタ異常割り込みへ、クタ
\$04	CCA_vect	タイマ/カウンタ比較または捕獲チャネルA割り込みへ、クタ
\$06	CCB_vect	タイマ/カウンタ比較または捕獲チャネルB割り込みへ、クタ
\$08	CCC_vect(<u>注</u>)	タイマ/カウンタ比較または捕獲チャネルC割り込みへ、クタ
\$0A	CCD_vect(<mark>注</mark>)	タイマ/カウンタ比較または捕獲チャネルD割り込みへ、クタ

注: 4つの16ビット比較または捕獲チャネルを持つタイマ/カウンタでだけ利用可能



14. TC2 - 16ビット タイマ/カウンタ2型

14.1. 要点

- 2つの8ビットタイマ/カウンタのシステム
 - 下位バイト タイマ/カウンタ
 - 上位バイト タイマ/カウンタ
- 8つの比較チャネル
 - 下位バイトタイマ/カウンタ用の4つの比較チャネル
 - 上位バイトタイマ/カウンタ用の4つの比較チャネル
- 波形生成
 - 単一傾斜パルス幅変調
- 計時器漏れ(アンダーフロー)割り込み/事象
- 下位バイト タイマ/カウンタ用の比較チャネル当たり1つの比較一致割り込み/事象
- 計数制御に対して事象システムとで使用可
- DMA転送単位処理起動に使用可

14.2. 概要

タイマ/カウンタ2はタイマ/カウンタ0が分割動作に設定される時に実現されます。これは各々4つの比較チャネルを持つ2つの8ビットタイマ/カウンタのシステムです。これは個別に制御されるデューティサイクルを持つ8つの構成設定可能なパルス幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMチャネルが必要な応用に意図されています。

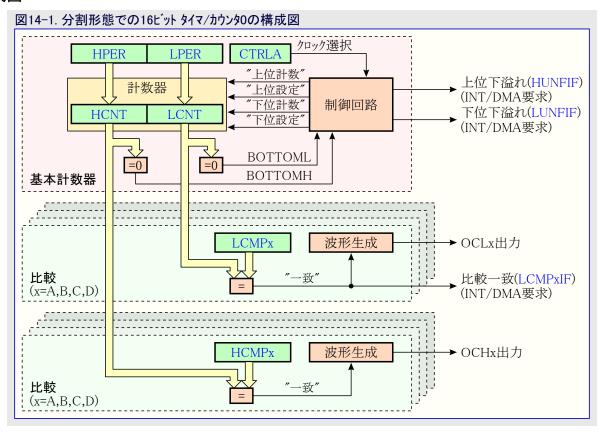
2つの8ビット タイマ/カウンタはこのシステムに於いて各々、下位バイト タイマ/カウンタと上位バイト タイマ/カウンタとして参照されます。それらの違いは下位バイト タイマ/カウンタだけが比較一致割り込み、事象、DMA起動を生成するのに使えることです。

2つの8ビット タイマ/カウンタは共用されるクロック元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。計数器は常に下降計数です。

タイマ/カウンタ2はそれを標準動作に設定することによってタイマ/カウンタ0に設定し戻され、従って1つのタイマ/カウンタは0型または2型のどちらかとしてだけ存在することができます。

下位バイト(L)と上位バイト(H)のタイマ/カウンタ レジスタ分割と比較単位部を示すタイマ/カウンタ2の詳細な構成図は図14-1.で示されます。

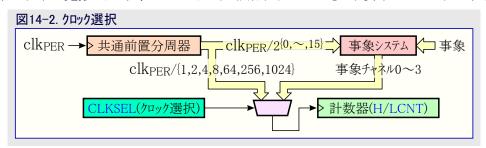
14.3. 構成図





14.4. クロック元

タイマ/カウンタは周辺機能クロック(clkper)からと事象システムからクロック駆動することができます。図14-2.はクロックと事象の選択を示します。



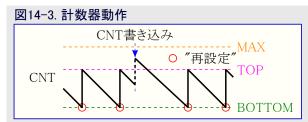
周辺機能クロック(clkper)は共通前置分周器(デバイス内の全タイマ/カウンタに対して共通)に供給されます。 $1\sim1/1024$ の前置分周器出力の選択は直接的に利用可能です。加えて $1\sim2^{15}$ 前置分周範囲全体が事象システムを通して利用可能です。

クロック選択(CLKSEL)は上位バイト計数器(HCNT)と下位バイト計数器(LCNT)のために前置分周器出力の1つまたは事象チャネルを選びます。事象システムの使用により、何れのI/Oピンの外部クロック信号のような、どの事象元もクロック入力として使うことができます。 既定ではクロック入力なしが選択され、タイマ/カウンタは動作しません。

14.5. 計数器動作

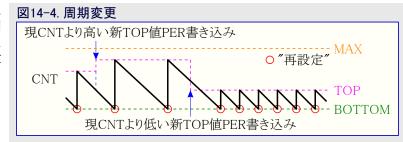
計数器は常に単一傾斜動作で計数します。各計数器は各クロック周期に対してそれがBOTTOMに達するまで下降計数し、そして後続するクロック周期で定期(PER)レジスタ値を計数器に再設定します。

図14-3.で示されるように、計数器は走行中に計数器の値を変更することができます。書き込みアクセスは計数解除と再設定よりも高い優先権を持ち、即時に行われます。



14.5.1. 周期変更

計数器の周期は新しいTOP値を定期(PER)レジスタへ書くことによって変更されます。計数器が下降計数のため、定期レジスタは図14-4.で示されるように現在の周期に影響を及ぼすことなく何時でも書くことができます。これは丸め奇数波形の生成を防ぎます。



14.6. 比較チャネル

各比較チャネルは計数器値(CNT)と比較(CMPx)レジスタを継続的に比較します。CNTとCMPxが等しい場合に比較器が一致を合図します。下位バイトタイマ/カウンタに関して、この一致は次の計時器クロック周期で比較チャネルの割り込み要求フラグ(LCMPxIF)を設定(1)し、事象と任意選択の割り込みが生成されます。上位バイトタイマ/カウンタは比較割り込み/事象を持ちません。

14.6.1. 波形生成

比較チャネルは対応するポート ピンでの波形生成に使うことができます。接続されたポート ピンで見ることができる波形を作成するには、以下の必要条件が完全に満たされなければなりません。

- 1. 使われる比較チャネルが許可(H/LCMPxEN)されなければなりません。これは対応するポート ピン出力(OUT)レジスタを無効にします。
- 2. 関連するポート ピンに対する方向(DIR)が出力に設定されなければなりません。

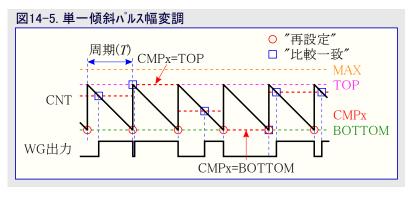
反転波形出力はポート ピンに対する反転出力(INVEN)ビットを設定(1)することによって達成されます。より多くの詳細については88頁の「入出力ポート」を参照してください。

14.6.2. 単一傾斜PWM生成

PWM生成については、周期(T)が定期(PER)レジスタによって制御され、一方比較(CMPx)レジスタが波形生成(WG)出力のデューティサイクルを制御します。図14-5.は計数器がどうTOPからBOTTOMへ計数し、そしてTOPから再始動するかを示します。WG出力は計数器(CNT)とCMPxレジスタ間の比較一致で設定(1)され、BOTTOMで解除(0)されます。

PERレジスタはPWM分解能を定義します。最小分解能は、2 ビット(PER=\$0003)で、最大分解能は8ビット(PER=MAX)です。

次式は単一傾斜PWMに対する正確な分解能(RPWM_SS) 波形の計算に使われます。



$$R_{\text{PWM_SS}} = \frac{\log(\text{PER+1})}{\log(2)}$$

単一傾斜PWM周波数(fpwm ss)は周期設定(PER)と周辺機能クロック周波数(fclkper)に依存し、次式によって計算されます。

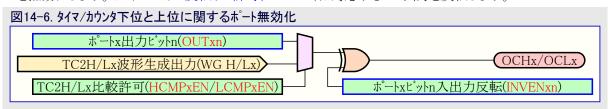
$$f_{\text{PWM_SS}} = \frac{f_{\text{clk}_{\text{PER}}}}{N(\text{PER+1})}$$

ここでNは使った前置分周数(1,2,4,8,64,256,1024、または事象チャネルn)を表します。

14.6.3. 波形生成に関するポート無効化

ポート ピンで利用可能な波形生成を行うには対応するポート ピンの方向が出力として設定されなければなりません。タイマ/カウンタは比較 (CMPx)チャネルが許可(LCMPxEN/HCMPxEN)される時にポート ピン値を無効にします。

図14-6.はタイマ/カウンタ下位と上位に関するポート無効化を示します。タイマ/カウンタ下位(LCNT)と比較(CMPx)チャネルは対応するポート ピン (Pxn)でポート ピン0~3の出力値(OUTxn)を無効にします。。タイマ/カウンタ上位(HCNT)と比較(CMPx)チャネルは対応するポート ピン(Pxn)でポート ピン4~7を無効にします。ポート ピンでの反転I/O許可(INVENxn)は対応するWG出力を反転します。



14.7. 割り込みと事象

タイマ/カウンタは割り込みと事象の両方を生成できます。計数器は下降溢れでの割り込みを生成でき、下位バイ計数器に対する各比較 (CMPx)チャネルは比較に使われる独立した割り込みを持ちます。

事象は割り込みを生成し得る全条件に対して生成されます。事象生成と利用可能な事象の詳細については48頁の「**事象システム**」を 参照してください。

14.8. DMA支援

タイマ/カウンタ下降溢れと比較の割り込み要求フラケーは DMA転送単位処理の起動に使えます。フラケー/要求を 解除する応答状況が表14-1.で一覧にされます。

表14-1. DM/	4要求元	
要求	応答	注釈
LUNFIF	DMA制御器のLCNT書き込み	
LUNFIF	DMA制御器のLPER書き込み	
HUNFIF	DMA制御器のHCNT書き込み	
HUNFIF	DMA制御器のHPER書き込み	
LCMPxIF	DMA制御器のLCMPxアクセス	比較動作 (x=A,B,C,D)

14.9. タイマ/カウンタ指令

単位部の状態を直ちに変更するために、ソフトウェアによって1組の指令をタイマ/カウンタに与えることができます。これらの指令は更新、再始動、リセットの信号の直接制御を行います。

ソフトウェアは再始動指令を発行することによって現在の波形周期の再始動を強制できます。この場合は計数器と全ての比較出力が0に設定されます。

リセット指令は全てのタイマ/カウンタレジスタをそれらの初期値に設定します。リセットはタイマ/カウンタが非動作(OFF)の時にだけ与えることができます。



14.10. レジスタ説明

14.10.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	_	-	_		CLKS.	EL3~0		CTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - CLKSEL3~0: クロック選択 (Clock Select)

これらのビットは表14-2.に従ってタイマ/カウンタに対するクロッ ク元を選択します。クロック選択は上位と下位の両バイトのタ イマ/カウンタに対して同一です。

表14-2. クロック選	選択	
CLKSEL3~0	群構成設定	内容
0 0 0 0	OFF	なし(換言するとタイマ/カウンタ'OFF'状態)
0 0 0 1	DIV1	前置分周器: clkper
0 0 1 0	DIV2	前置分周器: clkper/2
0 0 1 1	DIV4	前置分周器: clkper/4
0 1 0 0	DIV8	前置分周器: clkper/8
0 1 0 1	DIV64	前置分周器: clk _{PER} /64
0 1 1 0	DIV256	前置分周器: clk _{PER} /256
0 1 1 1	DIV1024	前置分周器: clk _{PER} /1024
1 n n n	EVCHn	事象チャネルn (n=0~3)

14.10.2. CTRLB - 制御レジスタB (Control register B)

ピット	7	6	5	4	3	2	1	0	
+\$01	HCMPDEN	HCMPCEN	HCMPBEN	HCMPAEN	LCMPDEN	LCMPCEN	LCMPBEN	LCMPAEN	CTRL
Read/Write	R/W								
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - HCMPxEN/LCMPxEN: 上位/下位バイト比較x許可(High/Low Byte Compare x Enable)

これらのビットの設定(1)は比較出力を許可し、対応するOCn出力ピンに対するポート出力レジスタ値を無効にします。

14.10.3. CTRLC - 制御レジスタC (Control register C)

, -	MPD LCMPC LCMPB	LCMPA CTRL	_C
D 1/11/11 /11/1			
Read/Write R/W R/W R/W R/W R/W	/W R/W R/W	R/W	
初期値 0 0 0 0	0 0 0	0	

● ビット7~0 - HCMPx/LCMPx : 上位/下位バイト比較x出力値 (High/Low Compare x Output Value)

これらのビットはタイマ/カウンタがOFF状態に設定されている時に波形生成器(WG)の比較出力値への直接アクセスを許します。これはタイマ/カウンタが動作していない時にWG出力値を設定(1)または解除(0)するのに使われます。

14.10.4. CTRLE - 制御レジスタE (Control register E)

+\$04 - - - - BYTEM1,0 CTRLE Read/Write R R R R R R/W R/W 初期値 0 0 0 0 0 0 0	ピット	7	6	5	4	3	2	1	0	_
	+\$04	-	-	-	_	-	-	BYTI	EM1,0	CTRLE
初期値 0 0 0 0 0 0 0 0	Read/Write	R	R	R	R	R	R	R/W	R/W	
1/4//4 IE	初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - BYTEM1,0: バイト動作(Byte Mode)

これらのビットは表14-3.に従ってタイマ/カウンタ動作形態を選択します。

表14-3. タイマ/カウンタ型式選択

BYTEM1,0	群構成設定	内容
0 0	NORMAL	タイマ/カウンタは標準形態(タイマ/カウンタ型式0)に設定されます。
0 1	BYTEMODE	計数器の上位バイト(CNTH)は各クロック周期後、0に設定されます。
1 0	SPLITMODE	タイマ/カウンタ0は2つの8ビット タイマ/カウンタ(タイマ/カウンタ型式2)に分割されます。
1 1	1	(予約)

14.10.5. INTCTRLA - 割り込み許可レジスタA (Interrupt Enable register A)

ヒ゛ット	7	6	5	4	3	2	1	0	_
+\$06	-	-	-	-	HUNFIN	TLVL1,0	LUNFIN	TLVL1,0	INTCTRLA
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 - HUNFINTLVL1,0 : 上位バイト計時器下降溢れ割り込みレベル (High Byte Timer Underflow Interrupt Level)

これらのビットは上位バイト計時器下降溢れ割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレヘブルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの上位バイト計時器下降溢れ割り込み要求フラグ(HUNFIF)が設定(1)される時に起動されます。

● ビット1,0 - LUNFINTLVL1,0: 下位バイト計時器下降溢れ割り込みレベル (Low Byte Timer Underflow Interrupt Level)

これらのビットは下位バイト計時器下降溢れ割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの下位バイト計時器下降溢れ割り込み要求フラグ(LUNFIF)が設定(1)される時に起動されます。

14.10.6. INTCTRLB - 割り込み許可レジスタB (Interrupt Enable register B)

ピット	7 6	5 5	4	3	2	1	0	
+\$07 LC	MPDINTLVL	L1,0 LCMP	CINTLVL1,0	LCMPBIN	NTLVL1,0	LCMPAIN	VTLVL1,0	INTCTRLB
Read/Write R	/W R/	W R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0 (0	0	0	0	0	0	

● ビット7~0 - LCMPxINTLVL1,0:下位バイト比較x割り込みレベル (Low Byte Compare x Interrupt Level)

これらのビットは下位バイト比較割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選択します。許可された割り込みは割り込み要求フラグ(INTFLAGS)レジスタの下位バイト比較x割り込み要求フラグ(LCMPxIF)が設定(1)される時に起動されます。

14.10.7. CTRLF - 制御レジスタF (Control register F)

ビット	7	6	5	4	3	2	1	0	
+\$08	-	_	-	_	CM.	D1,0	CMD	EN1,0	CTRLF
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

▶ L*ット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

ビット3.2 - CMD1.0:タイマ/カウンタ指令(Timer/Counter Command)

これらの指令ビットはタイマ/カウンタの再始動とリセットのソフトウェア制御に使えます。指令ビットは常に0として読めます。CMDビットは指令許可(CMDEN)ビットと共に使われなければなりません。

表14-4. 指令選択

CMD1,0	群構成設定	指令動作
0 0	NONE	なし
0 1	-	(予約)
1 0	RESTART	強制再始動
1 1	RESET	強制ハードリセット(T/CがOFF状態でなければ無視されます。)

● ビット1,0 - CMDEN1,0: 指令許可 (Command Enable)

これらのビットはどのタイマ/カウンタに対して指令(CMD)が有効かを示すのに使われます。

表14-5. 指令許可選択

١.	ונן פון ט דו אַנ	11 -1 /22 //	
	CMDEN1,0	群構成設定	内容
	0 0	-	(予約)
	0 1	LOW	下位バイトT/Cに対して指令有効
	1 0	HIGH	上位バイトT/Cに対して指令有効
	11	ВОТН	下位バイトと上位バイトの両T/Cに対して指令有効

14.10.8. INTFLAGS - 割り込み要求フラク・レシ、スタ (Interrupt Flag register)

ピット	7	6	5	4	3	2	1	0	
+\$0C	LCMPDIF	LCMPCIF	LCMPBIF	?CMPAIF	-	-	HUNFIF	LUNFIF	INTFLAGS
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - LCMPxIF: 比較チャネルx割り込み要求フラグ(Compare Channel x Interrupt Flag)

比較割り込み要求フラグ(LCMPxIF)は対応する比較(LCMPx)チャネルでの比較一致で設定(1)されます。

全動作種別に対して、LCMPxIFは計数(LCNT)レジスタと対応する比較(LCMPx)レジスタ間で比較一致が起きる時に設定(1)されます。 LCMPxIFは対応する割り込みへ、クタが実行される時に自動的に解除(0)されます。このフラケーはこのビット位置への1書き込みによっても解除(0)できます。

▶ ビット3,2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - HUNFIF : 上位バイト計時器下降溢れ割り込み要求フラグ (High Byte Timer Underflow Interrupt Flag)

HUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このフラケは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラケはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 - LUNFIF: 下位バイト計時器下降溢れ割り込み要求フラグ(Low Byte Timer Underflow Interrupt Flag)

LUNFIFはBOTTOM(下降溢れ)状態で設定(1)されます。このフラケは対応する割り込みベクタが実行される時に自動的に解除(0)されます。このフラケはこのビット位置への1書き込みによっても解除(0)できます。

14.10.9. LCNT - 下位バイ計数レジスタ (Low-byte Counter register)

ヒ゛ット	7	6	5	4	3	2	1	0	
+\$20				LCN	T7~0				LCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~0 - LCNT7~0:下位バ付計数器7~0

LCNTは下位バイト タイマ/カウンタ用の8ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の計数、解除、再設定より上の優先権を持ちます。

14.10.10. HCNT - 上位バイト計数レジスタ (High-byte Counter register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$21				HCN	T7~0				HCNT
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - HCNT7~0:上位バイト計数器7~0

HCNTは下位バイトタイマ/カウンタ用の8ビット計数器値を含みます。CPUとDMAの書き込みアクセスは計数器の計数、解除、再設定より上の優先権を持ちます。

14.10.11. LPER - 下位バ仆定期レジスタ (Low-byte Period register)

ピット _	7	6	5	4	3	2	1	0	
+\$26				LPE:	R7~0				LPER
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - LPER7~0: 下位バイト定期値7~0

LPERは下位バイトタイマ/カウンタ用の8ビット定期値を含みます。

14.10.12. HPER - 上位バイ定期レジスタ (High-byte Period register)

ビット	7	6	5	4	3	2	1	0	
+\$27				HPEI	R7∼0				HPER
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - HPER7~0: 上位バイト定期値7~0

HPERは上位バイトタイマ/カウンタ用の8ビット定期値を含みます。

14.10.13. LCMPx - 下位バイト比較xレジスタ (Low-byte Compare register x)

ピット	7	6	5	4	3	2	1	0	
+\$28,A,C,E				LCMI	Px7∼0				LCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - LCMPx7~0: 下位バイト比較値7~0(x={A,B,C,D})

LCMPxは下位バイトタイマ/カウンタ用の8ビット比較値を含みます。

これらのレジスタは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使われます。

14.10.14. HCMPx - 上位バイト比較xレジスタ (High-byte Compare register x)

ピット	7	6	5	4	3	2	1	0	
+\$29,B,D,F				HCM:	Px7∼0				HCMPx
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット**7~0** − HCMPx7~0 : 上位バイト比較値7~0 (x={A,B,C,D})

HCMPxは上位バイト タイマ/カウンタ用の8ビット比較値を含みます。

これらのレジスタは全てが計数器値と継続的に比較されます。一般的に比較器からの出力はその後に波形生成に使われます。

14.11. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$30~\$3F	予約	-	_	_	_	-	_	_	-	
+\$2F	HCMPD			HCMI	PD7~0 (上位	バ仆比較Dレ	シ゛スタ)	1		127
+\$2E	LCMPD			LCMF	D7~0 (下位	バ小比較Dレ	シブスタ)	1		127
+\$2D	HCMPC			HCMI	PC7~0 (上位	バ小比較Cレ	シ゛スタ)			127
+\$2C	LCMPC				PC7~0 (下位					127
+\$2B	HCMPB			HCMI	PB7~0 (上位	バイ比較Bレ	シブスタ)	'		127
+\$2A	LCMPB		'	LCMI	PB7~0 (下位	バイ比較Bレ	シ`スタ)	'		127
+\$29	HCMPA			HCMI	PA7~0 (上位	バイル比較Aレ	シ゛スタ)	'		127
+\$28	LCMPA			LCMF	PA7~0 (下位	バイ比較Aレ	シ`スタ)			127
+\$27	HPER		'	HPE	ER7~0 (上位/	バイに期レシ	`スタ)	'		127
+\$26	LPER			LPE	R7~0 (下位/	バイ定期レジ	`スタ)	'		127
+\$22~\$25	予約	-	_	_	-	_	_	-	_	
+\$21	HCNT			HCN'	T7~0 (上位/	・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	シ`スタ)	'		127
+\$20	LCNT			TCNI	L7~0 (下位ハ	、小計数器と	ンスタ)			126
+\$10~\$1F	予約	-	_	_	-	_	_	_	_	
+\$0F	予約	-	_	_	_	_	_	-	_	
+\$0E	予約	-	_	_	-	-	-	_	_	
+\$0D	予約	-	-	_	-	-	-	-	-	
+\$0C	INTFLAGS	LCMPDIF	LCMPCIF	LCMPBIF	LCMPAIF	-	-	HUNFIF	LUNFIF	126
+\$0B	予約	-	_	_	-	_	-	_	_	
+\$0A	予約	-	-	-	-	-	-	_	-	
+\$09	CTRLF	-	-	-	-	CMI	01,0	CMD:	EN1,0	125
+\$08	予約	-	-	-	-	-	-	-	-	
+\$07	INTCTRLB	LCMPDI	TLVL1,0	LCMPCIN	TLVL1,0	LCMPBIN	-	LCMPAIN		125
+\$06	INTCTRLA	-	-	-	-	HUNFIN	TLVL1,0	LUNFIN	TLVL1,0	125
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	CTRLE	-	-	-	-	-	-	BYTE	EM1,0	124
+\$03	予約	-	-	-	-	-	-	-	_	
+\$02	CTRLC	HCMPD	HCMPC	НСМРВ	HCMPA	LCMPD	LCMPC	LCMPB	LCMPA	124
+\$01		HCMPDEN	HCMPCEN	HCMPBEN	HCMPAEN	LCMPDEN			LCMPAEN	124
+\$00	CTRLA	-	-	-	-		CLKS	EL3~0		124

14.12. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	LUNF_vect	下位バイト タイマ/カウンタ下降溢れ割り込みベクタ
\$02	HUNF_vect	上位バイトタイマ/カウンタ下降溢れ割り込みベクタ
\$04	LCMPA_vect	下位バイト タイマ/カウンタ比較チャネルA割り込みベクタ
\$06	LCMPB_vect	下位バイト タイマ/カウンタ比較チャネルB割り込みベクタ
\$08	LCMPC_vect	下位バイト タイマ/カウンタ比較チャネルC割り込みベクタ
\$0A	LCMPD_vect	下位バイト タイマ/カウンタ比較チャネルD割り込みベクタ



15. AWeX - 新波形生成拡張

15.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
 - 8ビット分解能
 - 独立したHigh側とLow側の沈黙時間設定
 - 2重緩衝された沈黙時間
 - 任意選択の沈黙時間中の停止計時器
- ポート ピンに渡って同期したビット様式を生成する模様型生成部
 - 2重緩衝された模様型生成
 - 任意選択のポート ピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

15.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポート ピンに渡る同期されたビット模様を生成することもできます。

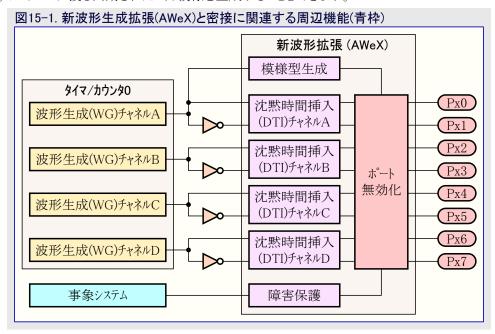


図15-1.で示されるように、タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通って行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。より多くの詳細については88頁の「入出力ポート」を参照してください。

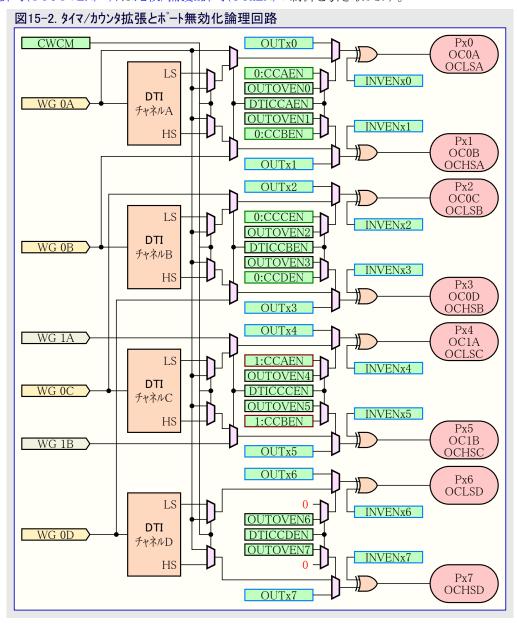
模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポート ピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。



15.3. ポート無効化

全てのタイマ/カウンタ拡張に対してポート無効化論理回路は共通です。図15-2.はポート無効化論理回路の回路構成を示します。沈黙時間許可(DTICCxEN)ビットが設定(1)されると、タイマ/カウンタ拡張は対応するチャネルに対してピン対の制御を引き受けます。この条件を与えられた出力無効化許可(OUTOVEN)ビットは比較/捕獲x許可(CCxEN)の制御を引き取ります。





15.4. 沈黙時間挿入

沈黙時間挿入(DTI)部は波形生成(WG)出力の非反転Low側(LS)と反転High側(HS)の両方がLowとなるOFF時間の生成を可能にします。このOFF時間は沈黙時間と呼ばれ、沈黙時間はLSとHSを決して同時に切り換えないことを保証します。

DTI部はタイマ/カウンタ0の比較チャネルの各々に対して1つの、4つの同じ沈黙時間生成器から成ります。**図15-3**.は1つのDTI生成器の構成図を示します。4つのチャネルは沈黙時間を制御する共通のレジスタを持ちます。High側とLow側は個別の沈黙時間設定を持ち、沈黙時間レジスタは2重緩衝されています。

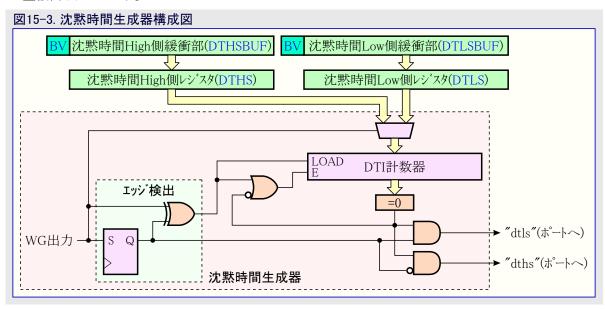
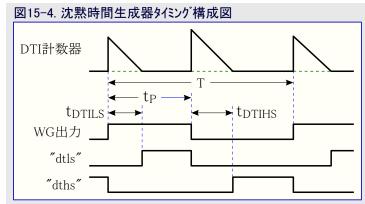
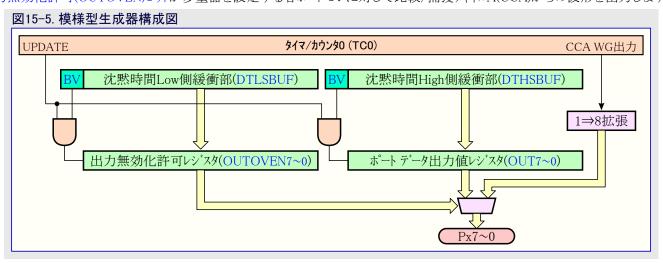


図15-4.で示されるように、8ビットの沈黙時間計数器は0に達するまで各周辺機能クロック周期に対して1つずつ減少されます。0以外の計数器値はLow側とHigh側の両方の出力にOFF状態を強制します。波形生成(WG)出力で変化が検出されると、沈黙時間計数器は入力のエッジに応じて再設定されます。正端は沈黙時間Low側(DTLS)レジスタの再設定で、負端は沈黙時間High側(DTHS)レジス タの再設定で計数器を初期化します。



15.5. 模様型生成

模様型生成器部はそれが接続されたポートに渡って同期したビット模様を生成するために沈黙時間挿入(DTI)レン゙スタを再使用します。加えて、比較(CC)チャネルA(CCA)からの波形生成器出力はポート ピン全てを無効にしてそこへ配給できます。これらの機能は主にブラシレスDC電動機とステッピング電動機応用での整流手順の扱いを意図されます。模様型生成器の構成図が図15-5.で示されます。対応する出力無効化許可(OUTOVEN)ビットが多重器を設定する各ポート ピンに対して比較/捕獲チャネルA(CCA)からの波形を出力します。





他のタイマ/カウンタの2重緩衝されたレジスタでのように、レジスタ更新は波形生成動作種別によって設定されたUPDATE条件に同期化されます。この提供された同期化が応用で必要がない場合、応用コート、は単に出力無効化許可(OUTOVEN)レジスタとポート データ出力値(OUT)レジスタを直接アクセスすることができます。

ポートで見えるように、模様型生成器からのどの出力に対してもピン方向が(出力に)設定されなければなりません。

15.6. 障害保護

障害保護機能は障害検出時に高速且つ決定的な動きを可能にします。障害保護は事象制御され、故に事象システムからの何れかの事象はアナログ比較器やA/D変換器の測定からの過電流指示のような障害活動を起動するのに使えます。

障害保護が許可されると、選択した事象チャネルからやって来る事象が事象活動を起動し得ます。各事象チャネルは障害保護入力として独立して許可でき、指定された事象チャネルは共にORされ、同時に障害保護に使われるのを複数の事象元に許します。

15.6.1. 障害活動

障害が検出されると、方向解除活動は関連するポートの方向(DIR)レジスタを解除し、全てのポート ピンをHi-Z入力として設定します。 障害検出フラグ(FDF)が設定(1)され、タイマ/カウンタの異常割り込み要求フラグ(ERRIF)が設定(1)され、そして任意選択の割り込みが生成されます。

事象発生時から障害保護が事象活動を起動するまでには最大2周辺機能クロック周期があります。障害保護はCPUやDMAと完全に無関係ですが、周辺機能クロックの走行が必要です。

15.6.2. 障害回復動作

障害後で障害条件がもはや活性(有効)でない時に新波形生成拡張(AWeX)とタイマ/カウンタを障害状態から通常動作にどう戻すかは、2つの異なる動作の1つから選ぶことができます。

- ラッチ動作では、障害条件がもはや活性(有効)でなく、障害検出フラグ(FDF)がソフトウェアによって解除(0)されるまで、波形出力は障害状態に留まります。これらの両条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。
- 周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、 波形出力は次のUPDATE条件で通常動作に復帰します。

障害状態からの戻り時に許可されたDTIチャネルに対応するDIR7~0ビットが回復されます。ソフトウェアからレジスタへの書き込みが妨げられることを除き、OUTOVENは障害によって影響を及ぼされません。

通常動作への回復に使われるUPDATE条件はタイマ/カウンタでのものと同じ更新(UPDATE)です。

15.6.3. 変更保護

障害保護設定での予期せぬ変更を避けるため、新波形生成拡張(AWeX)の全ての制御レジスタは新波形生成拡張施錠(AWEXLOC K)レシ、スタの対応する施錠ビットを書くことによって保護できます。より多くの詳細については18頁の「I/Oメモリ保護」と32頁の「AWEXLOC K - 新波形生成拡張施錠レジ、スタ」を参照してください。

施錠ビットが設定(1)されると、制御(CTRL)レジスタ、出力無効化許可(OUTOVEN)レジスタ、障害検出事象許可(FDEMASK)レジスタは変更できません。

障害事象設定での予期せぬ変更を避けるため、事象システム施錠(EVSYSLOCK)レジスタの対応する施錠ビットを書くことによって事象システムチャネル構成設定を施錠できます。より多くの詳細については18頁の「I/OXモリ保護」と32頁の「EVSYSLOCK - 事象システム施錠レジスタ」を参照してください。

15.6.4. チップ 上デバッグ

障害検出許可時、チップ・上デバック(OCD)システムはデバッカがから中断要求を受け取り、これは障害元としての既定での機能です。OCD中断要求受け取り時、新波形生成拡張(AWeX)と対応するタイマ/カウンタは障害状態へ移行し、指定した障害活動を実行します。

OCDが中断状態から抜け出した後、通常動作が再び開始されます。周期単位動作では波形出力が中断後の最初の更新(UPDAT E)条件で始まり、ラッチ動作では出力が回復される前に障害検出フラグ(FDF)がソフトウェアによって解除(0)されなければなりません。この特性は中断の間に出力波形が安全な状態へ移行することを保証します。

この機能は禁止することができます。



15.7. レジスタ説明

15.7.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	CTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7.6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5 - PGM: 模様型生成動作 (Pattern Generation Mode)

このビットの設定(1)は模様型生成動作を許可します。これは沈黙時間挿入(DTI)を無効にし、模様型生成は模様型格納用に沈黙時間レジスタを再使用します。

● ビット4 - CWCM: 共通波形チャネル動作 (Common Waveform Channel Mode)

このビットが設定(1)なら、全ての沈黙時間生成器に対する入力として、比較/捕獲(CC)チャネルAが使われます。CCチャネルB,C,Dの波形は無視されます。

● ビット3~0 - DTICCxEN: チャネルx沈黙時間挿入許可 (Dead-Time Insertion CCx Enable)

これらのビットの設定(1)は対応するチャネルに対する沈黙時間生成器を許可します。これはタイマ/カウンタ波形出力を無効にします。

15.7.2. FDEMASK - 障害検出事象許可レジスタ (Fault Detect Event Mask register)

ヒ"ット	7	6	5	4	3	2	1	0	
+\$02				FDEVM	ASK7∼0				FDEMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - FDEVMASK7~0: 障害検出事象許可 (Fault Detect Event Mask)

これらのビットは対応する事象チャネルを障害条件入力元として許可します。事象チャネルからの全事象は共にORされ、障害検出への複数供給元同時使用を可能にします。障害検知時、障害検出フラグ(FDF)が設定(1)され、障害検出活動(FDACT)が実行されます。

15.7.3. FDCTRL - 障害検出制御レジスタ (Fault Detection Control register)

ビット +\$03	7 -	6	5 -	4 FDDBD	3	2 FDMODE	1 FDAG	0 CT1,0	FDCTRL
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 - FDDBD:デバッグ中断要求での障害検出処理動作(Fault Detection on Debug Break Detection)

既定ではこのビットが解除(0)されており、障害検出許可時のチップ上デバッグ(OCD)中断要求は障害として扱われます。このビットが設定(1)されると、OCD中断要求は障害条件を起動しません。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット2 - FDMODE : 障害検出再開種別 (Fault Detection Restart Mode)

このビットは障害検出再開動作種別を設定します。このビットが解除(0)されるとラッチ動作が使われ、このビットが設定(1)されると周期単位動作が使われます。

ラッチ動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まり、障害検出フラグ(FDF)はソフトウェアによって解除(0)されます。両方の条件に合致した時に波形出力は次のUPDATE条件で通常動作に復帰します。

周期単位動作では、障害条件がもはや活性(有効)でなくなるまで、波形出力が障害状態に留まります。この条件に合致すると、波形出力は次のUPDATE条件で通常動作に復帰します。

● ビット1.0 - FDACT1.0: 障害検出活動 (Fault Detection Actioin)

これらのビットは表15-1.に従って、障害条件が検知された場合に実行される活動を定義します。

表15-1. 障害検出活動選択

FDACT1,0	群構成設定	事象活動
0 0	NONE	なし(障害検出禁止)
0 1	-	(予約)
1 0	-	(予約)
1 1	CLEARDIR	許可された沈黙時間挿入(DTI)チャネルに対応する全方向(DIR)ビット解除、換言すると出力はHi-Z

15.7.4. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	-	-	FDF	DTHSBUFV	DTLSBUFV	STATUS
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - FDF: 障害検出フラグ(Fault Detect Flag)

このフラグは障害検出条件が検知された時、換言すると障害検出事象許可(FDEVMASK)によって許可された事象チャネルの1つで事象が検知された時に設定(1)されます。このフラグはこのビット位置への1書き込みによって解除(0)されます。

● ビット1 - DTHSBUFV:沈黙時間High側緩衝有効(Dead-Tine High Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間High側(DTHS)レジスタ内に複写される値を含みます。このビットが0なら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

● ビット0 - DTLSBUFV: 沈黙時間Low側緩衝有効 (Dead-Tine Low Side Buffer Valid)

このフラグが設定(1)なら、対応する沈黙時間(DT)緩衝部が書かれて、UPDATE条件で沈黙時間Low側(DTLS)レジブスタ内に複写される値を含みます。このビットがOなら、何の動作も行われません。接続されたタイマ/カウンタの更新施錠(LUPD)ビットも沈黙時間緩衝部に対する更新(UPDATE)に影響を及ぼします。

15.7.5. DTBOTH - 沈黙時間両側同時書き込みレジスタ (Dead-Time Concurrent Write to Both Sides)

ピット _	7	6	5	4	3	2	1	0	
+\$06				DTBO	TH7∼0				DTBOTH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DTBOTH7~0: 沈黙時間両側値 (Dead-Time Both Sides)

このレシ、スタへの書き込みは沈黙時間High側(DTHS)レシ、スタと沈黙時間Low側(DTLS)レシ、スタを同時に(換言すると同じI/Oアクセス書き込みで)更新します。

15.7.6. DTBOTHBUF - 沈黙時間両側同時書き込み緩衝レジスタ (Dead-Time Concurrent Write to Both Sides Buffer register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$07				DTBOTH	HBUF7∼0				DTBOTHBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DTBOTHBUF7~0: 沈黙時間両側緩衝値 (Dead-Time Both Sides Buffer)

このメモリ位置への書き込みは沈黙時間High側緩衝部(DTHSBUF)と沈黙時間Low側緩衝部(DTLSBUF)を同時に(換言すると同じI/O アクセス書き込みで)更新します。

15.7.7. DTLS - 沈黙時間Low側レジスタ (Dead-Time Low Side register)

ピット	7	6	5	4	3	2	1	0	_
+\$08				DTL	S7~0				DTLS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DTLS7~0: 沈黙時間Low側値 (Dead-Time Low Side)

このレシ、スタはLow側沈黙時間に対する周辺機能クロック周期数を保持します。

15.7.8. DTHS - 沈黙時間High側レジスタ (Dead-Time High Side register)

ピット 7 6 5 4	3 2 1 0	
+\$09	DTHS7~0	THS
Read/Write R/W R/W R/W R/W	N R/W R/W R/W R/W	
初期値 0 0 0	0 0 0	

● ビット7~0 - DTHS7~0: 沈黙時間High側値 (Dead-Time High Side)

このレシ、スタはHigh側沈黙時間に対する周辺機能クロック周期数を保持します。

15.7.9. DTLSBUF - 沈黙時間Low側緩衝レジスタ (Dead-Time Low Side Buffer register)

L'.yh	7	6	5	4	3	2	1	0	
+\$0A				DTLSBUF7	7~0				DTLSBUF
Read/Write R/	W R	/W]	R/W I	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DTLSBUF7~0: 沈黙時間Low側緩衝値 (Dead-Time Low Side Buffer)

このレシ、スタは沈黙時間Low側(DTLS)レシ、スタに対する緩衝部です。2重緩衝が使われる場合、このレシ、スタの有効な値がUPDATE条件でDTLSレシ、スタに複写されます。

15.7.10. DTHSBUF - 沈黙時間High側緩衝レジスタ (Dead-Time High Side Buffer register)

ビット _	7	6	5	4	3	2	1	0	
+\$0B				DTHSE	BUF7~0				DTHSBUF
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	Λ	0	0	0	0	0	0	0	

● ビット7~0 - DTHSBUF7~0: 沈黙時間High側緩衝値 (Dead-Time High Side Buffer)

このレジスタは沈黙時間High側(DTHS)レジスタに対する緩衝部です。2重緩衝が使われる場合、このレジスタの有効な値がUPDATE条件でDTHSレジスタに複写されます。

15.7.11. OUTOVEN - 出力無効化許可レジスタ (Output Override Enable register)

+\$0C OUTOVEN7~0 OUTOVEN Read/Write R/W R/W R/W R/W R/W R/W R/W R/W 初期値 0 0 0 0 0 0 0	ピット _	7	6	5	4	3	2	1	0	
	+\$0C				OUTOV	VEN7∼0				OUTOVEN
初期値 0 0 0 0 0 0 0 0	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	初期値	0	0	0	0	0	0	0	0	

注: 障害検出フラグ(FDF)が0の場合にだけ書くことができます。

● ビット7~0 - OUTOVEN7~0: 出力無効化許可 (Output Override Enable)

これらのビットは対応するポート出力(OUT)レジスタの(換言するとピン位置に関連するビット毎に)無効化を許可します。 ポート方向は無効に されません。

15.8. レジスタ要約

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0C	OUTOVEN				OUTO	VEN7∼0				135
+\$0B	DTHSBUF			DTHSI	BUF7~0 (沈持	黙時間High(訓緩衝)	1		135
+\$0A	DTLSBUF			DTLSI	BUF7~0 (沈!	黙時間Low側	緩衝)			135
+\$09	DTHS			D'	THS7~0 (沈	黙時間High(i i)			135
+\$08	DTLS			D	TLS7~0 (沈	黙時間Low側	1)	1		135
+\$07	DTBOTHBUF			DTBOT	HBUF7~0 (沈黙時間両	側緩衝)			134
+\$06	DTBOTH			DT	BOTH7~0 (沈黙時間両	側)	1		134
+\$05	予約	-	_	-	-	_	-	_	_	
+\$04	STATUS	-	_	_	-	-	FDF	DTHSBUFV	DTLSBUFV	134
+\$03	FDCTRL	-	-	_	FDDBD	-	FDMODE	FDAG	CT1,0	133
+\$02	FDEMASK				FDEVM	ASK7~0				133
+\$01	予約	_	_	_	_	_	_	_	_	
+\$00	CTRL	_	_	PGM	CWCM	DTICCDEN	DTICCCEN	DTICCBEN	DTICCAEN	133



16. Hi-Res - 高分解能拡張

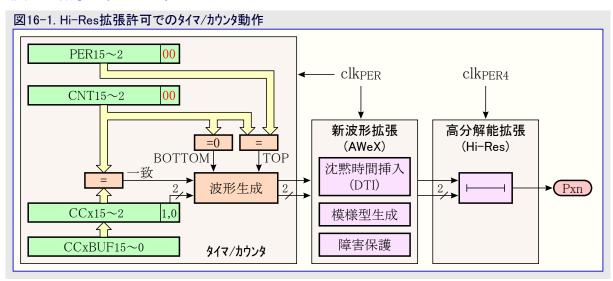
16.1. 要点

- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使われる時にAWeXを支援

16.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じタイマ/カウンタに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能クロック(clkpER4)を使います。システム クロック前置分周器はHi-Res拡張が許可される時に4倍周辺機能クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように構成設定されなければなりません。より多くの詳細については57頁の「システム クロック選択と前置分周器」をご覧ください。



Hi-Res拡張が許可されると、タイマ/カウンタは前置分周されない周辺機能クロックから走行されなければなりません。タイマ/カウンタの計数部は最下位(LSB)側2ビットを無効にし、各周辺機能クロック周期に対して4倍で計数します。最上位(MSB)側14ビットの上昇溢れ/下降溢れと比較一致はタイマ/カウンタで行われます。下位2ビットの計数と比較は4倍周辺機能クロックで走行するHi-Res拡張で処理と比較が行われます。

タイマ/カウンタの定期(PER)レシ、スタの下位2ビットは正しい動作を保証するため、0を設定されなければなりません。計数器(CNT)レシ、スタが応用コート、から読まれる場合、タイマ/カウンタが(標準速の)周辺機能クロックで走行するため、下位2ビットは常に0として読みます。この下位2 ビットは事象生成時にも無視されます。

Hi-Res+機能が許可されると、機能はHi-Res拡張と同じですが、分解能は4の代わりに8増加します。これはHi-Resだけが許可される時のような下位2ビットに代わり、Hi-Res拡張によって下位3ビットが処理されることも意味します。追加の分解能は4倍周辺機能クロックの両端を計数することによって達成されます。

Hi-Res拡張は(標準速の)1周辺機能クロック周期よりも短い(周期の)どんなパルスも出力せず、換言すると、4よりも小さな比較値は見える 出力になりません。



16.3. レジスタ説明

16.3.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	-	-	HRPLUS	HRE	EN1,0	CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - HRPLUS: 高分解能+ (High Resolution Plus)

このビットの設定(1)は高分解能+を許可します。Hi-Res+はHi-Resと同じですが、分解能を4に代わって8(3ビット)倍に増します。 追加の分解能は4倍周辺機能クロックの両端での動作によって達成されます。

● ビット1,0 - HREN1,0: 高分解能許可 (High Resolution Enable)

これらのビットは表16-1.に従ってタイマ/カウンタに対する高分解能動作種別を許可します。

HRENビットの1つまたは両方の設定(1)が汎用I/Oポート全体に対する高分解能波形生成出力を許可します。これは同じポートに接続されたタイマ/カウンタの両方がピンでのPWMまたはFRQ出力生成に使用される場合、その両方がHi-Resを許可されなければならないことを意味します。

表16-1. 高	分解能許可選択
HREN1,0	高分解能許可
0 0	なし(禁止)
0 1	タイマ/カウンタ0
1 0	タイマ/カウンタ1
1 1	両タイマ/カウンタ

16.4. レジスタ要約

アドレス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$00	CTRLA	1	-	-	-	-	HRPLUS	HREN1,0		138

17. RTC - 実時間計数器

17.1. 要点

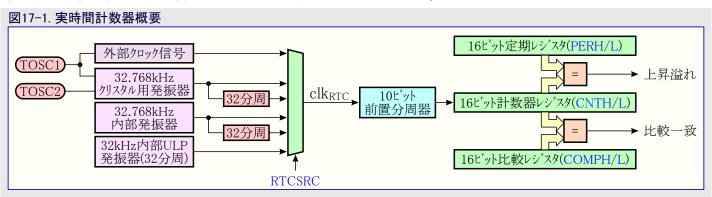
- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

17.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTC が1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げることができる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5μs、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。



17.2.1. クロック領域

RTCは非同期で、主システム クロックと周辺機能クロックのようなその派生クロックから独立した異なるクロック元で動きます。制御と計数のレジスタの更新に関しては、更新されたレジスタ値がレジスタで利用可能になる前、または構成設定変更がRTCで効果を表すまで、幾らかのRTC クロックと/または周辺機能クロックの周期がかかります。この同期時間は各レジスタに対して記述されます。RTC用の非同期クロック元選択については「RTCCTRL - RTC制御レジスタ」を参照してください。

17.2.2. 割り込みと事象

RTCは割り込みと事象の両方を生成することができます。RTCは計数器(CNT)値が比較(COMP)レシ、スタ値と等しくなった後の最初の計数で比較割り込みと/または事象を生じます。RTCは計数器値が定期(PER)レシ、スタ値と等しくなった後の最初の計数で溢れ割り込み要求と/または事象を生じます。溢れは計数器値も0にリセットします。

非同期クロック領域のため、定期レジスタが0の場合に事象は3つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが1の場合、事象は2つ目毎の溢れまたは比較一致に対してだけ生成されます。定期レジスタが2以上の場合、事象は割り込み要求と同じように溢れまたは比較一致毎に正しく起動します。



17.3. レジスタ説明

17.3.1. CTRL - 制御レジスタ (Control register)

Ľ'ット	7	6	5	4	3	2	1	0	_
+\$00	-	-	-	-	-	PF	RESCALER2	~0	CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - PRESCALER2~0: クロック前置分周係数 (Clock Prescaling factor)

これらのビットは表17-1.に従ってRTCクロックに対する前置分周係数を定義します。

PRESCALER2~0	群構成設定	RTCクロック前置分周
0 0 0	OFF	クロック元なし、RTC停止
0 0 1	DIV1	RTCクロック/1(前置分周なし)
0 1 0	DIV2	RTCクロック/2
0 1 1	DIV8	RTCクロック/8
1 0 0	DIV16	RTCクロック/16
1 0 1	DIV64	RTCクロック/64
1 1 0	DIV256	RTCクロック/256
111	DIV1024	RTCクロック/1024

17.3.2. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	-	-	-	-	SYNCBUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - SYNCBUSY: RTC同期化中フラグ(RTC Synchronization Busy Flag)

実時間計数器(CNT)、RTC制御(CTRL)レシ、スタ、RTC定期(PER)レシ、スタまたはRTC比較(COMP)レシ、スタが、これらのレシ、スタの何れかの書き込み後、または周辺機能クロックが停止される休止動作形態から起き上がる時で、RTCクロックとシステム クロック領域間の同期化作業中の時に、このフラグが設定(1)されます。このフラグは同期完了時に自動的に解除(0)されます。

17.3.3. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$02	-	-	_	-	COMPIN	TLVL1,0	OVFIN	ΓLVL1,0	INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 - COMPINTLVL1,0 : 比較一致割り込み許可 (Compare Match Interrupt Enable)

これらのビットはRTC比較一致割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC比較一致割り込み要求フラグ(COMPIF)が設定(1)される時に、許可した割り込みが起動します。

● ビット1,0 - OVFINTLVL1,0 : 上昇溢れ割り込み許可 (Overflow Interrupt Enable)

これらのビットはRTC上昇溢れ割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。RTC割り込み要求フラグ(INTFLAGS)レジスタのRTC上昇溢れ割り込み要求フラグ(OVFIF)が設定(1)される時に、許可した割り込みが起動します。



17.3.4. INTFLAGS - 割り込み要求フラク レジスタ (Interrupt Flag register)

ヒ゛ット	7	6	5	4	3	2	1	0	_
+\$03	-	-	-	_	-	-	COMPIF	OVFIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - COMPIF: 比較一致割り込み要求フラグ(Compare Match Interrupt Flag)

このフラグは比較一致状態が起きた後の次の計数で設定(1)されます。これはRTC比較一致割り込みへブタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット0 - OVFIF: 上昇溢れ割り込み要求フラグ(Overflow Interrupt Flag)

このフラグは上昇溢れ状態が起きた後の次の計数で設定(1)されます。これはRTC上昇溢れ割り込みへ、クタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

17.3.5. TEMP - 一時レジスタ (Temporary register)

ピット	7	6	5	4	3	2	1	0	
+\$04				TEM	P7~0				TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TEMP7~0: 一時値 (Temporary byte)

このレシ、スタは計数器(CNT)値、比較(COMP)値、頂上(PER)値のレシ、スタの16ビット アクセスに使われます。16ビットレシ、スタの下位バイトが CPUによって書かれる時にそれがここに格納されます。16ビットレジ、スタの上位バイトはCPUによって下位バイトが読まれる時に格納されます。より多くの詳細については9頁の「16ビットレジ、スタのアクセス」を参照してください。

17.3.6. CNTL - 計数レジスタ下位 (Counter register Low)

CNTHとCNTLのレジスタ対は16ビット値CNTを表します。CNTは前置分周されたRTCクロックの正クロック端で計数します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

RTCクロックとシステム クロック領域間の同期化のため、レシ、スタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。このレシ、スタへの書き込みや、周辺機能クロックが停止される休止動作形態から起き上がった後でこのレシ、スタを読む前に、応用ソフトウェアは140頁の「STATUS - RTC状態レジ、スタ」の同期化中(SYNCBUSY)フラク、が解除(1)されていることを調べる必要があります。

ヒ゛ット	7	6	5	4	3	2	1	0	
+\$08				CNT	Γ7~0				CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CNT7~0: 計数値下位 (Counter value low byte)

これらのビットは16ビット実時間計数器値の下位バイト(LSB)を保持します。

17.3.7. CNTH - 計数レジスタ上位 (Counter register High)

ピット7	Ü	Э	4	3	2	1	0	
+\$09			CN'	T15~8				CNTH
Read/Write R/V	V R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値 0	0	0	0	0	0	0	0	

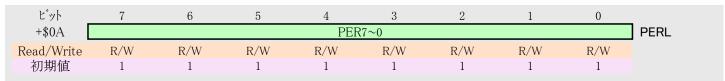
● ビット7~0 - CNT15~8: 計数値上位 (Counter value high byte)

これらのビットは16ビット実時間計数器値の上位バイト(MSB)を保持します。

17.3.8. PERL - 定期レジスタ下位 (Period register Low)

PERHとPERLのレジスタ対は16ビット値PERを表します。PERは計数器(CNT)値と継続的に比較されます。一致はRTC割り込み要求フラケ (INTFLAGS)レジスタの上昇溢れ割り込み要求フラケ (OVFIF)を設定(1)して計数器を解除(=0)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

RTCクロックとシステム クロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用 ソフトウェアは、このレジスタが書かれる前に140頁の「STATUS - 状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(0)されていることを調べる必要があります。



● ビット7~0 - PER7~0: 定期値下位 (Period low byte)

これらのビットは16ビットRTC頂上値の下位バイト(LSB)を保持します。

17.3.9. PERH - 定期レジスタ上位 (Period register High)

ビット _	7	6	5	4	3	2	1	0	
+\$0B				PER	15~8				PERH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	1	1	1	1	1	1	1	1	

● ビット7~0 - PER15~8: 定期値上位 (Period high byte)

これらのビットは16ビットRTC頂上値の上位バイト(MSB)を保持します。

17.3.10. COMPL - 比較レジスタ下位 (Compare register Low)

COMPHとCOMPLのレシ、スタ対は16ビット値COMPを表します。COMPは計数器(CNT)値と継続的に比較されます。比較一致はRTC割り込み要求フラク、(INTFLAGS)レシ、スタの比較一致割り込み要求フラク、(COMPIF)を設定(1)します。16ビット値の読み書きは特別な注意を必要とします。詳細については9頁の「16ビット レシ、スタのアクセス」を参照してください。

RTCクロックとシステム クロック領域間の同期化のため、レジスタの更新からそれが有効になるまでに2RTCクロック周期の遅延があります。応用ソフトウェアは、このレジスタが書かれる前に140頁の「STATUS - 状態レジスタ」の同期化中(SYNCBUSY)フラグが解除(0)されていることを調べる必要があります。

COMP値が定期(PER)値より大きい場合、RTC比較一致割り込み要求または事象は決して生成されません。

ピット	7	6	5	4	3	2	1	0	_
+\$0C				COM	IP7∼0				COMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - COMP7~0: 比較値下位 (Compare value low byte)

これらのビットは16ビットRTC比較値の下位バイト(LSB)を保持します。

17.3.11. COMPH - 比較レジスタ上位 (Compare register High)

+\$0D COMP15~8 Read/Write R/W R/W R/W R/W R/W R/W R/W 初期値 0 0 0 0 0 0 0	ピット	7	6	5	4	3	2	1	0	
	+\$0D				COM	P15~8				COMPH
初期値 0 0 0 0 0 0 0 0		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
V * * / * 1 III	初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - COMP15~8:比較値上位 (Compare value high byte)

これらのビットは16ビットRTC比較値の上位バイト(MSB)を保持します。

17.4. レジスタ要約

アト・レス	略称	ヒ゛ット7	ピット6	ビット5	じット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0D	COMPH				COM	P15∼8				142
+\$0C	COMPL				COM	P7∼0				142
+\$0B	PERH				PER	15~8				142
+\$0A	PERL				PER	7~0			_	142
+\$09	CNTH		1	1	CNT	15~8	1	1	_	141
+\$08	CNTL				CNT	7~0	1	1		141
+\$07	予約	1	_	_	-	1	_	_	_	
+\$06	予約	_	_	_	_	-	_	_	-	
+\$05	予約	-	_	_	_	1	_	_	-	
+\$04	TEMP				TEM	P7∼0	1		_	141
+\$03	INTFLAGS	-	-	-	-	-	-	COMPIF	OVFIF	141
+\$02	INTCTRL	-	-	-	-	COMPIN	TLVL1,0	OVFIN'	ĽLVL1,0	140
+\$01	STATUS	_	_	_	-	-	_	-	SYNCBUSY	140
+\$00	CTRL	_	_	_	_	_	PF	ESCALER2	~0	140

17.5. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	OVF_vect	実時間計数器溢れ割り込みべかタ
\$02	COMP_vect	実時間計数器比較一致割り込みベクタ



18. USB - 万能直列バス インターフェース

18.1. 要点

- USB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)装置適合インターフェース
- 統合されたチップ。上USB送受信部、外部部品不要
- 31までのエンドポイントに対する完全なエンドポイント柔軟性を持つ16のエンドポイント アドレス
 - エント、ポイント当たり1つの入力エント、ポイント
 - エント゛ポイント当たり1つの出力エント゛ポイント
- 選択可能なエント゛ポイント アト・レス転送形式
 - 制御(Control)転送
 - 割り込み(Interrupt)転送
 - 大量(Bulk)転送
 - 等時(Isochronous)転送
- 設定可能なエント、オイント当たりのデータ本体量、最大1023小・イト
- 内部SRAM内に配置されたエント、ポイント構成設定とデータ緩衝部
 - エント、ポイント構成設定データに対する構成設定可能な位置
 - 各エント゛ホ゜イントのテ゛ータ緩衝部に対する構成設定可能な位置
- 以下のための内部SRAMとの組み込み直接メモリ入出力(DMA)
 - エント゛ホ゜イント構成設定
 - エント゛ポーイント データ読み書き
- •より高い単位処理量のためのピンポン動作と2重緩衝動作
 - 単一方向で使われる入力と出力のエント、ポイント データ緩衝部
 - 転送中にCPU/DMA制御器がデータ緩衝部を更新可
- 割り込み負荷とソフトウェア介在を減らすための複数パケット転送
 - ●1つの継続する転送で転送される最大パケット量を超えるデータ本体
 - パケット転送段階での割り込みまたはソフトウェアの相互作用なし
- 複数エント゛ポイント使用時の作業の流れ用の転送単位処理完了FIFO
 - 到着先行、処理作業待ち行列先行での完了された全ての転送単位処理の経緯
- システム クロック元と選択に無関係なクロック選択
- 低速USB動作に必要とされる最小1.5MHzのCPUクロック
- 全速動作に必要とされる最小12MHzのCPUクロック
- 事象システムへの接続
- USB転送単位処理中のチップ上デバッグの可能性

18.2. 概要

USB単位部はUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)の装置の適合インターフェースです。

USBは16のエント、オペントアト・レスを支援します。全てのエント、オペントアト・レスは、計31の構成設定可能なエント、オペントと1つの制御エント、ホペイントに対して、1つの入力と1つの出力のエント、オペイントを持ちます。各エント、オペイントア・レスは完全に構成設定可能で、制御(Control)、割り込み(Interrupt)、大量(Bulk)、等時(Iso-chronous)の4つの転送形式のどれにも径庭設定することができます。データ本体量も選択可能で、1023パイトまでのデータ本体を支援します。

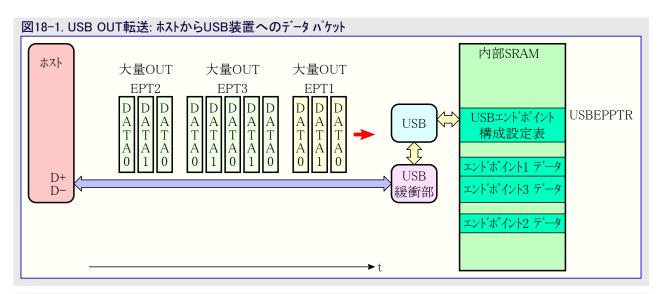
専用メモリはUSB単位部に全く配置または含まれません。各エント、ポイントアトンスに対する構成設定を保つのと、各エント、ポイント用のデータ 緩衝部に内部SRAMが使われます。エント、ポイント構成設定とデータ緩衝部に使われるメモリ位置は完全に構成設定可能です。割り当てられたメモリの量は使うエント、ポイントの数とそれらの構成設定に応じて完全に動的です。USB単位部は組み込み直接メモリ入出力(DMA)を持ちUSB転送単位処理が起こる時にSRAMとデータを読み書きします。

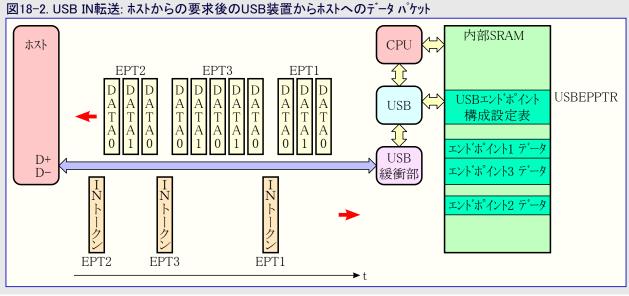
最大単位処理量のため、エント・ボーイントアト・レスはピッンポン動作に構成設定することができます。これが行われると、入力と出力のエント・ボーイントが両方共同じ方向で使われます。そしてCPUやDMA制御器が1つのデータ緩衝部を読み/書きすると同時にUSB単位部が他方を読み/書きすることができ、その逆もです。これは2重緩衝通信を与えます。

複数パケット転送はソフトウェア介在なしの複数パケットとして転送されるべきエンドポイントの最大パケット容量を超えるデータ本体を許します。これはUSB転送に必要とされるCPU介在と割り込みを減らします。

低電力動作のため、USB単位部はUSBバスがアイドルで休止条件が与えられた時にマイクロ コントローラをどれかの休止形態に置くことができます。バス再開で、USB単位部はどの休止形態からもマイクロ コントローラを起こすことができます。







18.3. 動作

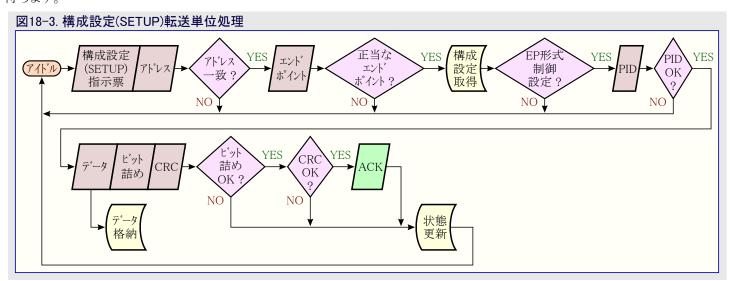
本項は標準転送単位処理中のUSB単位部動作の概要を与えます。USBとUSB規約の全般的な詳細についてはhttp://www.usb.orgとUSB仕様文書を参照してください。

18.3.1. フレーム開始

フレーム開始(SOF:Start Of Frame)指示票(トーケン)は検出されると、フレーム番号の格納が許可され、指示票からのフレーム番号がフレーム番号(FRAMENUM)レジスタに格納され、割り込み要求フラケ、A解除/設定(INTFLAGSACLR/SET)レジスタ内のフレーム開始割り込み要求フラケ(SOFIF)が設定(1)されます。CRCまたはビット詰めの異常があった場合、FRAMENUMレジスタ内のフレーム異常(FRAMEERR)フラケが設定(1)されます。

18.3.2. 構成設定 (SETUP)

構成設定(SETUP)パケットが検出されると、USB単位部はエント、オペイント構成設定表内でアトレス指定された出力エント、オペイントからエント、オペイント制御(CTRL)レジスタを取得します。エント、オペイント形式が制御に設定されていなければ、USB単位部はアイト、ルに戻り、次の指示票パケットを待ちます。



その後にUSB単位部はエント、オ・インタ(DATAPTR)レシ、スタを取得し、DATAOハ・ケットを待ちます。PID異常、またはDATAO以外の他のPIDが検出された場合にSUB単位部はアイトルに戻って次の指示票ハ・ケットを待ちます。

やって来るデータはDATAPTRによって指し示されるデータ緩衝部に書かれます。やって来るデータでビット詰め異常が検出された場合、USB単位部はアイトルに戻り、次の指示票パケットを待ちます。受信したデータ バイトの数がエント・ホーイント制御(CTRL)内のデータ容量(BUFSI ZE)によって指定されるようなエント・ホーイントの最大データ本体容量を超える場合、受信したデータ バイトの残りは破棄されます。パケットは未だビット詰めとCRCに関して検査されます。ソフトウェアはBUFSIZEで指定されるより大きなホストへ最大データ本体容量を決して報告してはいけません。ビット詰めまたはCRCの異常があった場合、USB単位部はアイト・ルに戻り、次の指示票パケットを待ちます。

データが成功裏に受信されたなら、ホストへACKハント・シェークが返され、CRCを除いて受信したデータ バイトの数がエント・ポイント バイト計数器 (CNT)に書かれます。受信したデータ バイトの数がBUFSIZEによって指定された最大データ本体容量なら、データ緩衝部にCRCデータは書かれません。受信したデータ n゙イトの数がBUFSIZEによって指定された最大データ本体容量-1なら、先頭のCRCデータ n゙イトの数がBUFSIZEによって指定された最大データ本体容量-2と等しいかそれ以下なら、2つのCRCデータ n゙イトがデータ緩衝部に書かれます。

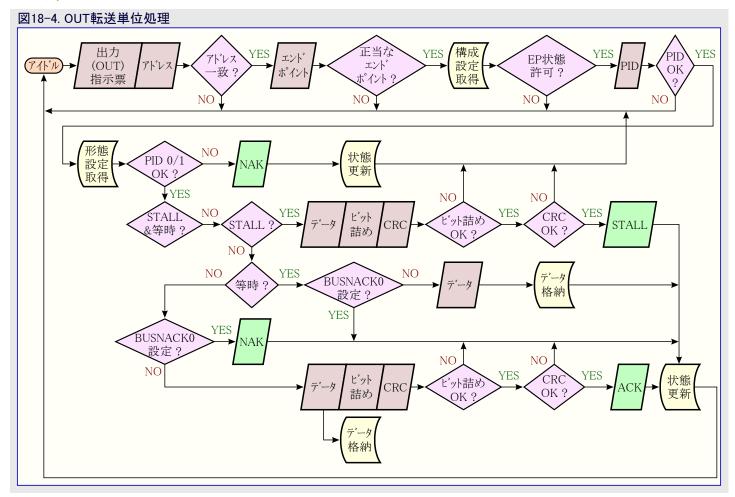
最後に、構成設定(SETUP)転送単位処理完了(SETUP)フラケ、データ緩衝部0不応答(BUSNACKO)フラケ、データ交互(TOGGLE)フラケが設定(1)される一方、エント・ポイント状態(STATUS)レシ、スタ内の残りのフラケ、はアトンス指定された入力と出力のエント・ポイントに対して解除(0)されます。割り込み要求フラケ。B解除/設定(INTFLAGSBCLR/SET)レシ、スタ内の構成設定転送単位処理完了割り込み要求フラケ、(SETUPIF)が設定(1)されます。エント・ポイント制御(CTRL)内の不能応答(STALL)はアトンス指定された入力と出力のエント・ポイントに対して解除(0)されます。

構成設定(SETUP)指示票が検出され、指示票パケットの装置アトレスがエント・ポイントのそれを一致しない場合、そのパケットは破棄され、 USB単位部はアイトルに戻り、次の指示票パケットを待ちます。



18.3.3. 出力 (OUT)

OUT指示票が検出されると、USB単位部はエント、オイント構成設定表内のアトンス指定された出力エント、オイントからエント、オイントの制御(CTR L)と状態(STATUS)のレシ、スタテータを取得します。エント、オイントが禁止されている場合、USB単位部はアイトルに戻り、次の指示票ハッケットを持ちます。



その後にUSB単位部はエント、オ・インタ(DATAPTR)を取得し、DATAOまたはDATA1のハ・ケットを待ちます。PID異常、またはDATAOかDATA1以外のPIDが検出された場合、USB単位部はアイトルに戻り、次の指示票ハ・ケットを待ちます。

エント・ボーント制御(CTRL)内の不能応答(STALL)フラケが設定($\mathbf{1}$)された場合、やって来るデータは破棄されます。エント・ボーントが等時(Isochronous)でなく、ビット詰めとCRCがOKならば、ホストに不能応答(STALL)が返され、不能応答割り込み要求フラケ(STALLIF)が設定($\mathbf{1}$) されます。

等時エント、ホペントに関しては、DATA0とDATA1の両ハ。ケットからのデータが受け入れられます。他のエント、ポイント形式に関しては、データ交互(TOGGLE)に対してPIDが調べられます。それらが一致しない場合、やって来るデータは破棄され、ホストにNACKハント、シェークが返されます。データ緩衝部0不応答(BUSNACKO)が設定(1)される場合、やって来るデータは破棄されます。エント、ポイントSTATUSレシ、スタ内の溢れフラグ(OVF)と割り込み要求フラグ、A解除/設定(INTFLAGSACLR/SET)内の溢れ割り込み要求フラグ(OVFIF)が設定(1)されます。エント、ポイントが等時でなければ、ホストにNACKハント、シェークが返されます。

やって来るデータはDATPTRによって指し示されるデータ緩衝部に書かれます。やって来るデータ内でビット詰め異常が検出された場合、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。受信したデータ バイトの数がデータ容量(BUFSIZE)によって指定される最大データ本体を超える場合、受信したデータ バイトの残りは破棄されます。パケットは未だビット詰めとCRCの異常に関して調べられます。パケット内でビット詰めまたはCRCの異常があった場合、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

エント・ボーイントが等時で、やって来るデータ内にビット詰めまたはCRCの異常があった場合、CRCを除く、受信したデータ ハ・イトの数がエント・ボーイント計数器(CNT)レシ、スタに書かれます。最後に、エント・ボーイントとSTATUS内のCRC異常(CRC)とBUSNACKO、それとINTFLAGSASET/CLR内のCRC異常割り込み要求フラケ (CRCIF)が設定(1)されます。

データが成功裏に受信された場合、エント・ボーントが等時でなければホストにACKハント・シェークが返され、CRCを除く受信したデータ ハ・仆の数がCNTに書かれます。受信したデータ ハ・仆の数がBUFSIZEによって指定される最大デー タ本体の場合、データ緩衝部にCRCデータは全く書かれません。受信したデータ ハ・イトの数がBUFSIZEによって指定される最大デー タ本体-1の場合、先頭のCRCデータ ハ・イトで数がBUFSIZEによって指定される最大デー タ本体-2と等しいかまたはそれ以下の場合、2つのCRCデータ ハ・イトがデータ緩衝部に書かれます。



最後に、転送単位処理完了(TRNCOMPL0)フラケンデータ緩衝部0不応答(BUSNACK0)が設定(1)され、エント・ポイントが等時でなければデータ交互(TOGGLE)フラケが切り替えられます。割り込み要求フラケ、B解除/設定(INTFLAGSBCLR/SET)内の転送単位処理完了割り込み要求フラケ、(TRNIF)が設定(1)されます。転送単位処理完了FIFO動作が許可されているなら、エント・ポイントの構成設定表アト・レスがFIFOに書かれます。

OUT指示票が検出され、指示票パケットの装置アドレスがエンドポイントのそれと一致しない時に、そのパケットは破棄され、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。

18.3.4. 入力 (IN)

IN指示票が検出されると、USB単位部はエント゛ポイント構成設定表内のアト゛レス指定された入力エント゛ポイントからエント゛ポイントの制御(CTRL)と状態(STATUS)のレシ、スタのテ゛ータを取得します。エント゛ポイントが禁止されている場合、USB単位部はアイト゛ルに戻り、次の指示票ハ゜ケットを待ちます。

エント、オペント制御(CTRL)レジスタ内の不能応答(STALL)フラケが設定(1)された場合、そのエント、オペーントは等時(Isochronous)ではなく、ホストに不能応答(STALL)が返され、エント、オペーント状態(STATUS)レジスタ内のSTALLフラケ、と割り込み要求フラケ、A解除/設定(INTFLAGSACLR/SET)内の不能応答割り込み要求フラケ、(STALLIF)が設定(1)されます。

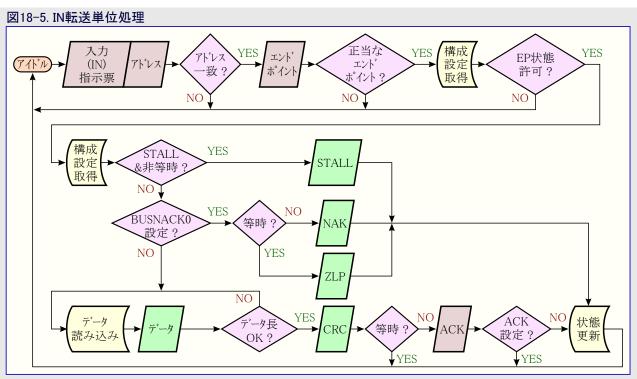
データ緩衝部0不応答(BUSNACK0)が設定(1)される場合、エント、オペントSTATUSレシ、スタ内の溢れフラグ(OVF)と割り込み要求フラグ、A解除/設定(INTFLAGSACLR/SET)内の溢れ割り込み要求フラグ(OVFIF)が設定(1)されます。エント、オペントが等時でなければ、ホストにNAKハントジェークが返されます。

ェント・ボーイントのデータ ボーインタ(DATAPTR)レジスタによって指し示されるデータ緩衝部内のデータが、エント・ボーイントが等時の場合にDATAOハ・ケットでホストに送られ、さもなければデータ交互(TOGGLE)に従ってDATAOまたはDATA1のハ・ケットが送られます。エント・ボーイント計数器(CNT)で指定されたデータ ハ・イト数が送られると、CRCが追加されてホストへ送られます。そうでなければ、ホストにZLPハント・シェークが返されます。

等時エント、ホイントに関しては、エント、ホイントSTATUSレン、スタ内のデータ緩衝部0不応答(BUSNACKO)と転送単位処理完了(TRNCOMPLO)フラグが設定(1)されます。転送単位処理完了割り込み要求フラグ(TRNIF)が設定(1)され、転送単位処理完了FIFO動作が許可されているならば、エント、ホイントの構成設定表アトレスがFIFOに書かれます。

等時でない全てのエント、ポイントについて、USB単位部はホストからのACKハント、シェークを待ちます。16USBクロック周期内にACKハント、シェークが受信されない場合、USB単位部はアイトルに戻り、次の指示票ハ。ケットを待ちます。ACKハント、シェークが成功裏に受信されたなら、BUSNACK 0とTRNCOMPLのが設定(1)され、TOGGLEが切り替えられます。TRNIFが設定(1)され、転送単位処理完了FIFO動作が許可されているなら、エント、ポイントの構成設定表アトレスがFIFOに書かれます。

IN指示票が検出され、指示票パケットの装置アトレスがそれのエンドポイントと一致しない時に、そのパケットは破棄され、USB単位部はアイドルに戻り、次の指示票パケットを待ちます。



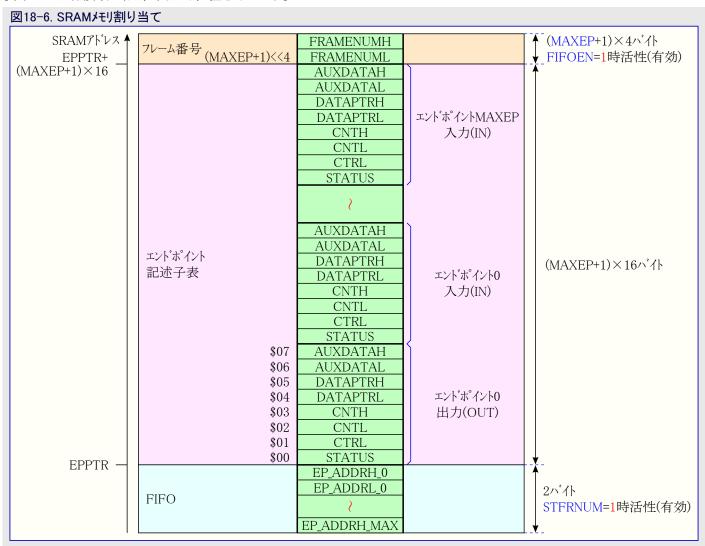


18.4. SRAMメモリ割り当て

USB単位部は以下を格納するのに内部SRAMを使います。

- ・エント゛ポイント構成設定表
- USBフレーム番号
- 転送単位処理完了FIFO

エント、ボーイント構成設定表に対するSRAMアト、レスを設定するのにエント、ボーイントがイントがインタ(EPPTR)レシ、スタが使われます。USBフレーム番号(FRA MENUM)と転送単位処理完了FIFO(FIFO)の位置はこれから派生されます。これらの領域の位置は内部SRAMの内側で選択可能です。図18-6.は各領域の相対的なメモリ位置を与えます。

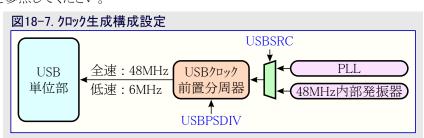


18.5. クロック牛成

USB単位部は低速(Low-speed)USB動作に対して最低6MHzのクロックが、全速(Full-speed)USB動作に対して最低48MHzのクロックが必要です。これは内部PLL、またはそれが48MHzに校正されて調整されている時の32MHz内部発振器を直接的に使うことによって、内部または外部のクロック元からクロック駆動することができます。CPUと周辺のクロックは低速動作に対して最低1.5MHz、全速動作に対して最低12MHzで走行しなければなりません。

USB単位部のクロック選択は主システム クロック選択と無関係で独立しています。選択と構成設定は主クロック制御設定を用いて行われます。詳細については55頁の「システム クロック選択」を参照してください。

図18-7.はUSB単位部クロック選択の概要を示します。



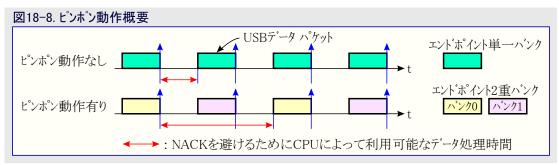


18.6. ピンポン動作

エント・オープトがピップオン動作に構成設定されると、それは入力または出力の方向に設定することができる単一、2重緩衝されたエント・オープトを作成するのに入力と出力のデータ緩衝部を使います。これはCPUやDMA制御器が緩衝部の1つをアクセスすることができ、同時に他方の緩衝部が進行中の転送を処理するような2重緩衝通信を提供します。ピップオン動作は本章内で注記されるその他を除き、前に記述されたINとOUTの転送単位処理と同じです。ピップオン動作は制御エント・オープトに対してはできません。

エント、ボーイントに対してピンポン動作が許可されると、逆方向でのエント、ボーイントが禁止されなければなりません。許可されたエント、ボーイントからのデータ緩衝部、データポーインタ、データ計数器、補助データはハンク0、同様に逆のエント、ボーイント方向に対してハンク1として使われます。

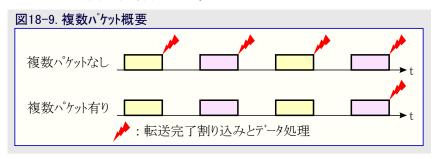
エント・ボーイント状態(STATUS)レジスタのハンク選択(BANK)フラク・はどちらのデータ ハンクが次の転送単位処理で使われるかを示します。これ は各転送単位処理後に更新されます。STATUSレジスタ内の転送単位処理完了(TRNCOMPL0/TRNCOMPL1)、下溢れ/上溢れ(UDF/OVF)、CRCのフラク・は許可された、またはBANKフラク・に従った逆のエント・ボーイント方向のどちらかに対して設定されます。データ交互(TOGGLE)、データ緩衝部0/1不応答(BUSNACK0とBUSNACK1)、BANKのフラク・は許可されたエント・ボーイントに対してだけ更新されます。



18.7. 複数パケット転送

複数パケット転送はどんなソフトウェアの介在もなしに複数パケットとして転送されるべきエント、ボイントの最大データ本体容量を超えるデータ本体を許します。これはより高い水準のUSB転送のために割り込みとソフトウェアの介在を減らし、大事なCPU時間を自由にします。複数パケット転送は本章内で注記されるその他を除き、前に記述されたINとOUTの転送単位処理と同じです。

応用ソフトウェアは指定エント、オペイントに対して、USB単位部によって処置されるべきSRAM緩衝部の大きさとアトンスを提供し、そしてUSB単位部は必要とするUSBデータ転送に於いて緩衝部を分割します。



18.7.1. 入力エント、ホペイントについて

標準動作に限り、送られるべき総データ バイト数が計数器(CNT)に書かれます。送るバイト数を格納するのに補助データ(AUXDATA)レジスタが使われ、これは新しい転送に対して0が書かれなければなりません。

IN指示票が受信されると、エント・オーイントのCNTとAUXDATAが取得されます。CNT-AUXDATAがエント・オーイント級衝部容量(BUFSIZE)以下なら、CNT-AUXDATA数のハーイトが送信され、さもなければBUFSIZE数のハーイトが送信されます。エント・オーイントCNTがBUFSIZEの倍数で、自動0長パーケット(AZLP)が許可されているなら、最後のハーケット送信は0長になります。

最大本体量パケットが送られた(換言すると最終転送単位処理でない)場合、AUXDATAがBUFSIZE分増加されます。転送単位処理完了後、エンドポイントが等時(Isochronous)でなければ、データ交互(TOGGLE)が切り替えられます。短いパケットが送られた(換言すると最終転送単位処理の)場合、AUXDATAはデータ本体分増加されます。エンドポイントが等時でなければ、TOGGLEが切り替えられ、データ緩衝部0/1不応答(BUSNACK0/BUSNACK1)、転送単位処理完了割り込み要求フラケ(TRNIF)、転送単位処理完了(TRNCOMPL0)が設定(1)されます。



18.7.2. 出力エント、ホペイントについて

標準動作に限り、受信したデータ バイト数がエンドポイントの計数器(CNT)レジスタに格納されます。エンドポイントのCNTが各転送単位処理後に更新されるため、これは新しい転送の構成設定時に0に設定されなければなりません。受信されるべき総バイト数は補助データ(AUX DATA)に書かれなければなりません。この値は等時の1023バイトを除き、エンドポイント緩衝部容量(BUFSIZE)の倍数でなければならず、さもなければ超過データが応用の他の部分によって使われるSRAM位置に書かれるかもしれません。

データ交互(TOGGLE)管理は等時(Isochronous)以外のパケットに関する限り、そしてデータ緩衝部0/1不応答(BUSNACK0/BUSNACK1) 管理は標準動作に関する限りです。

最大本体量パケットが受信された場合、転送単位処理完了後にCNTがBUFSIZE分増加され、エンドポイントが等時でなければTOGGLE が切り替わります。更新されたエンドポイントCNTがAUXDATAと等しいなら、BUSNACK0/BUSNACK1、転送単位処理完了割り込み要求フラグ(TRNIF)、転送単位処0/1完了(TRNCOMPL0/TRNCOMPL1)が設定(1)されます。

短いまたは過大なパケットが受信された場合、転送単位処理完了後にエンドポイントのCNTがBUFSIZE分増加され、エンドポイントが等時でなければTOGGLEが切り替えられ、BUSNACK0/BUSNACK1、TRNIF、TRNCOMPL0/TRNCOMPL1が設定(1)されます。

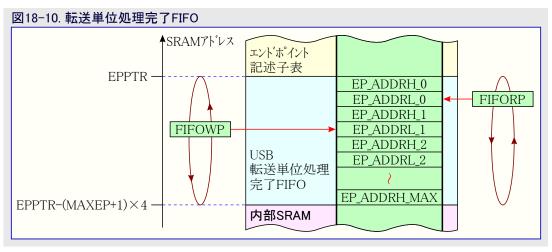
18.8. 自動0長パケット

いくつかのIN転送はホストに転送の最後を合図するために生成されるべき0長パケットを要求します。この自動的な生成を実行するために自動0長パケット(AZLP)機能を許可することができ、従ってこの作業を実行するのに応用ソフトウェアやCPUの介在の必要を取り去ります。

18.9. 転送単位処理完了FIFO

転送単位処理完了FIFOは完了されたINまたはOUTの転送単位処理を持ち、ファームウェア介在が必要なエント、ポイントの経緯を保つ便利な方法を提供します。これは応用ソフトウェアに対する到着先行、処理作業先行待ち行列を作成します。

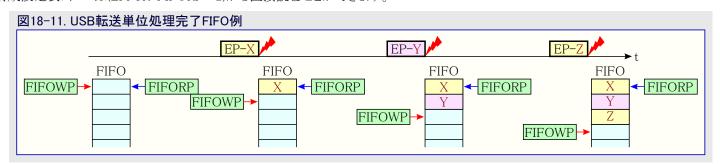
FIFO容量は(MAXEP3~0+1)×4バイトで、EPPTR-1から始まり、下へ伸長します。このSRAMメモリはFIFOが許可された時にだけ割り当てられます。



FIFOを管理するため、USB単位部と応用ソフトウェアによって各々5ビットの書き込みポインタ(FIFOWP)と5ビットの読み込みポインタ(FIFORP)が使われます。FIFORPとFIFOWPは1の補数、従って負の値を保持します。データのSRAM位置はEPPTRと読み込みまたは書き込みのポインタとの和です。FIFO内の項目数はFIFOWPとFIFORP間で異なります。プログラム作成者に関しては、FIFORPとFIFOWPの値は符号付き8ビット整数に振り当てて、その符号付整数からFIFO内への変位が差し引かれなければなりません。

FIFORP≠FIFOWPの時に空でないことを示すために割り込み要求フラグB解除/設定(INTFLAGSBCLR/SET)レジスタ内の転送単位処理完了割り込み要求フラグ(TRNIF)が設定(1)され、それらが等しい時に解除(0)され、そしてFIFOが満杯の時にも設定(1)されます。

ェント・ポイントINまたはOUTの転送単位処理が成功裏に完了する度に、それのエント・ポイント構成設定表アト・レスが現在の書き込みポインタ位置(換言するとEPPTR+FIFOWP×2)でFIFO内に格納され、FIFOWPが減少(-1)されます。ポインタがFIFO容量に達すると、0に丸められます。応用ソフトウェアがFIFORPを読むと、これは同じように減少(-1)されます。書き込みポインタの読み込みは無効です。エント・ポインタ構成設定表アト・レスは(EPPTR+FIFORP×2)から直接読むことができます。

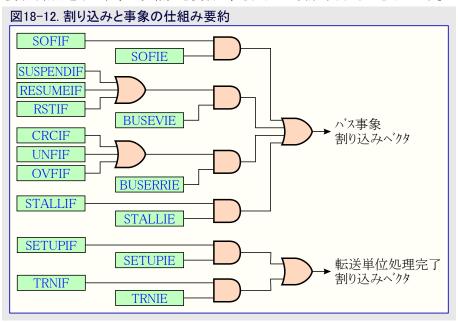




18.10. 割り込みと事象

USB単位部は割り込みと事象を生成することができます。この単位部は10の割り込み元を持ちます。それらは2つの割り込みへ、クタ、転送単位処理完了(TRNCOMPL)割り込みとハス事象(BUSEVENT)割り込みに分けられます。割り込み群はそれの割り込みレヘル(INTL VL)設定によって許可され、各種割り込み元が個別にまたは群で許可されます。

図18-12.はUSB単位部に関する割り込みと事象の供給元を要約し、それらがどう許可されるかを示します。



18.10.1. 転送単位処理完了割り込み

転送単位処理完了割り込みはエント・ホーイント毎に生成されます。割り込みが起こると、連携するエント・ホーイント番号が記録され、任意選択でFIFOに追加されます。右の2つの割り込み元が割り込みへブタを使います。

表18-1. 転送単位処理完了割り込み元									
割り込み元	内容								
転送完了(TRNIF)	INまたはOUT転送単位処理が完了								
構成設定完了(SETUPIF)	SETUP転送単位処理が完了								

18.10.2. バス事象割り込み

バス事象(BUSEVENT)割り込みはUSB線事象や異常状態の様々な形式を合図する全ての割り込みに使われます。これらの割り込みはUSB線に関連されてUSB単位部とエンドポイント毎に生成されます。以下の8つの割り込みが割り込みへ、クタを使います。

表18-2. バス事象割り込みえ	<u> </u>
割り込み元	内容
フレーム開始(SOFIF)	SOF指示票受信
休止(SUSPENDIF)	バスが3ms間アイドル
再開(RESUMEIF)	バスが休止されている時に非アイドル状態を検出 割り込みは非同期で全休止形態からデバイスを起こせます。
リセット(RSTIF)	バス上でリセット状態を検出
等時CRC異常(CRCIF)	等時エント、オイントへやって来るハ。ケットでCRCまたはビット詰めの異常を検出
下溢れ(UNFIF)	エント゛ポイントはホストヘテ゛ータを返すことが不可
上溢れ(OVFIF)	エント゛ポイントはホストからデータを受け入れることが不可
不能応答(STALLIF)	ホスト〜STALLハント・シェークが返された。

18.10.3. 事象

USB単位部は様々な事象を生成することができ、それらは他の周辺機能への遅延無き合図を許す事象システムに、またはUSB動作の性能分析に利用可能です。

表18-3. 事象元	
事象元	内容
構成設定(SETUP)	SETUPIF
フレーム開始	SOFIF
CRC異常	CRCIF
下溢れ/上溢れ	UNFIFとOVRIF



18.11. VBUS検出

Atmel AVR XMEGAはVBUS検出機能実装にどの汎用入出力ピンも使うことができ、専用のVBUS検出ピンを使いません。

18.12. チップ 上デバッグ

チップとデバッグ作業中に中断点(ブレークポイント)に達した時にCPUクロックが12MHz以下になり得ます。これが起きた場合、USB単位部は以下のようになります。

USB OCD中断動作許可: USB単位部はどのOCD中断要求にも直ちに応答します。 USB単位部はUSBホストから受信した転送単位処

理に追従することができず、ホストの視点からの動きは予測できません。

USB OCD中断動作禁止: USB単位部は進行中の転送単位処理が無い場合に、どのOCD中断要求にも直ちに応答します。進行中

のUSB転送単位処理がある場合、USB単位部は進行中のUSB転送単位処理が完了された時にだけ、どんなOCD中断要求にも応答します。USB単位部はそれらがSETUP、IN(等時、大量)またはOUT(等時、大量)であろうとなかろうと、USBホ자から受信された更なるどんな転送単位処理にもNACKで応答します。



18.13. レジスタ説明 - USB

18.13.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	ENABLE	SPEED	FIFOEN	STFRNUM		MAXE	EP3∼0		CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - ENABLE: USB許可(USB Enable)

このビットの設定(1)がUSBインターフェースを許可します。このビットの解除(0)はUSBインターフェースを禁止し、どんな進行中の転送単位処理も直ちに中断します。

● ビット6 - SPEED: USB速度選択 (Speed Select)

このビットは低速(Low-speed)と全速(Full-speed)の動作を選択します。既定によるこのビットは0で低速動作が選択されます。このビットの設定(1)は全速動作を許可します。

● ビット5 - FIFOEN: USB FIFO許可 (USB FIFO Enable)

このビットの設定(1)はUSB転送単位処理完了FIFOを許可し、このFIFOは転送単位処理完了割り込みを生成する各ェンドポイントのエンド ポイント構成設定表アドレスを格納します。このビットの解除(0)はこのFIFOを禁止し、割り当てられたSRAMメモリは自由です。

● ビット4 - STFRNUM: フレーム番号格納許可 (Store Frame Number Enable)

このビットの設定(1)はフレーム番号(FRAMENUM)レジスタでの最終SOF指示票フレーム番号の格納を許可します。このビットの解除($\frac{0}{0}$)はこの機能を禁止します。

● ビット3~0 - MAXEP3~0: 最大エンドポイント アドレス (Maximum Endpoint Address)

これらのビットはUSB単位部で使われるエンドポイント アドレス数を選びます。このアドレスよりも高いエンドポイント番号でやって来るパケットは破棄されます。このアドレスと等しいか、またはより低いエンドポイント アドレスを持つパケットはUSB単位部にエンドポイント構成設定表内でアドレス指定されたエンドポイントを調べさせます。

18.13.2. CTRLB - 制御レジスタB (Control register B)

ピット	7	6	5	4	3	2	1	0	
+\$01	-	-	-	PULLRST	-	RWAKEUP	GNACK	ATTACH	CTRLB
Read/Write	R	R	R	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット4 - PULLRST: リセット中プルアップ (Pull during Reset)

このビットの設定(1)はデバイスがリセットに入っている時にも保持されるようにUSB線上のプルアップを許可します。このビットは電源ONリセットで解除(0)されます。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 - RWAKEUP: 遠隔起動 (Remote Wake-up)

このビットの設定(1)はベスが最低5ms間停止状態の場合にUSB線上で上方向再開を送出します。

● ビット1 - GNACK : 全域否定応答 (Global NACK)

このビットが設定(1)されると、USB単位部はやって来る全ての転送単位処理を否定応答にします。構成設定(SETUP)パケットを除き、これはチップ上のどのSRAMアクセスの実行からもUSB単位部を防ぎ、CPUやDMA制御器に全てのSRAM帯域を与えます。

● ビット0 - ATTACH:接続(Attach)

このビットの設定(1)は(USB速度選択に依存して)D+またはD-の内部プルアップを許可し、装置をUSB線に接続します。このビットの解除(0)はUSB線から装置を切断します。



18.13.3. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	URESUME	RESUME	SUSPEND	BUSRST	STATUS
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 - URESUME: 上方向再開 (Upstream Resume)

このフラグは上方向再開が送出された時に設定(1)されます。

● ビット2 - RESUME: 再開 (Resume)

このフラグは下方向再開が受信された時に設定(1)されます。

● ビット1 - SUSPEND: バス休止 (Bus Suspended)

このフラグはUSB線が休止状態(バスが最低3ms間アイドル)の時に設定(1)されます。

• ビット0 - BUSRST : バス リセット (Bus Reset)

このフラグはリセット条件(バスが最低2.5µs間SE0に駆動)が検出される時に設定(1)されます。

18.13.4. ADDR - アドレス レジスタ (Address register)

		0	<i>'</i>					
7	6	5	4	3	2	1	0	
-				ADDR6∼0				ADDR
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Λ	Λ	0	0	0	Λ	0	0	
	7 - R	7 6	7 6 5	7 6 5 4	7 6 5 4 3 - ADDR6~0	7 6 5 4 3 2 - ADDR6~0	7 6 5 4 3 2 1 - ADDR6~0	7 6 5 4 3 2 1 0 - ADDR6~0

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット6~0 - ADDR6~0:装置アドレス (Device Address)

これらのビットは装置が反応するUSBアドレスを含みます。

18.13.5. FIFOWP - FIFO書き込みポインタ レジスタ (FIFO Write Pointer register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$04	-	-	-			FIFOWP4~0)		FIFOWP
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

▶ ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4~0 - FIFOWP4~0 : FIFO書き込みポインタ (FIFO Write Pointer)

これらのビットは転送単位処理完了FIFO書き込みポインタを含みます。このレジスタはCPUやDMA制御器によって読み込みだけされなければなりません。このレジスタへの書き込みはFIFO書き込みと読み込みのポインタを破棄します。

18.13.6. FIFORP - FIFO読み込みポインタ レジスタ (FIFO Read Pointer register)

ピット	7	6	5	4	3	2	1	0	
+\$05	-	-	-			FIFORP4~0			FIFORP
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット4~0 - FIFORP4~0: FIFO読み込みポインタ (FIFO Read Pointer)

これらのビットは転送単位処理完了FIFO読み込みポインタを含みます。このレジスタはCPUやDMA制御器によって読み込みだけされなければなりません。このレジスタへの書き込みはFIFO書き込みと読み込みのポインタを破棄します。

18.13.7. EPPTRL - エント・ホーイント構成設定表ホーインタ下位 (Endpoint Configuration Table Pointer Low)

EPPTRLとEPPTRHのレシ、スタはエント、ホペイント構成設定表へのアト、レスを含む16ビット値EPPTRを表します。エント、ホペインタ構成設定表へのホペインタは16ビット語に整列、換言するとEPPTROがOでなければなりません。各デバイスに対して利用可能な内部SRAMをアト、レス指定するのに必要とされるビット数だけが実装されます。未使用ビットは常にOとして読めます。

<u> </u>	7	6	5	4	3	2	1	0	_
+\$06				EPPT	`R7~0				EPPTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - EPPTR7~0: エンドポイント構成設定表ポインタ7~0 (Endpoint Configuration Table Pointer low byte)

このレシ、スタはエント、ボイント構成設定表ポインタ(EPPTR)の下位8ビット(8LSB)を含みます。

18.13.8. EPPTRH - エント・ホーイント構成設定表ホーインタ上位 (Endpoint Configuration Table Pointer High)

ピット	7	6	5	4	3	2	1	0	_
+\$07				EPPT	R15~8				EPPTRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - EPPTR15~8: エンドポイント構成設定表ポインタ15~8 (Endpoint Configuration Table Pointer high byte)

このレシ、スタはエント、オペイント構成設定表ポインタ(EPPTR)の上位8ビット(8MSB)を含みます。

18.13.9. INTCTRLA - 割り込み制御レジスタA (Interrupt Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$08	SOFIE	BUSEVIE	BUSERRIE	STALLIE	-	-	INTL	VL1,0	INTCTRLA
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - SOFIE: フレーム開始割り込み許可 (Start Of Frame Interrupt Enable)

このビットの設定(1)は割り込み要求フラグレジスタA(INTFLAGSACLR/INTFLAGSASET)内のフレーム開始割り込み要求フラグ(SOFIF)を設定(1)する条件に対してフレーム開始(SOF)割り込みを許可します。割り込みレベル(INTLVL1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。

● ビット6 - BUSEVIE: バス事象割り込み許可 (Bus Event Interrupt Enable)

このビットの設定(1)は以下の3つのバス事象に対して割り込みを許可します。

- 1. 休止(Suspend): 割り込みはINTFLAGSACLR/SETレジスタ内の休止割り込み要求フラケ(SUSPENDIF)を設定(1)する条件に対して 生成されます。
- 2. 再開(Resume): 割り込みはINTFLAGSACLR/SETレジスタ内の再開割り込み要求フラケ (RESUMEIF)を設定(1)する条件に対して生成されます。
- 3. 休止(Suspend): 割り込みはINTFLAGSACLR/SETレジスタ内のリセット割り込み要求フラケ(RSTIF)を設定(1)する条件に対して生成されます。

割り込みレベル(INTLVL1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。



● ビット5 - BUSERRIE: バス異常割り込み許可 (Bus Erroe Interrupt Enable)

このビットの設定(1)は以下の3つのバス異常事象に対して割り込みを許可します。

- 1. 等時(Isochronous)CRC異常:割り込みは等時転送中に割り込み要求フラケ・レジスタA(INTFLAGSACLR/INTFLAGSASET)内の等時CRC異常割り込み要求フラケ・(CRCIF)を設定(1)する条件に対して生成されます。
- 2. 下溢れ:割り込みはINTFLAGSACLR/SETレジスタ内の下溢れ割り込み要求フラグ(UNFIF)を設定(1)する条件に対して生成されます。
- 3. 上溢れ: 割り込みはINTFLAGSACLR/SETレジスタ内の上溢れ割り込み要求フラグ(OVFIF)を設定(1)する条件に対して生成されます。

割り込みレベル(INTLVL1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。

● ビット4 - STALLIE: 不能応答割り込み許可 (STALL Interrupt Enable)

このビットの設定(1)はINTFLAGSACLR/SETレジスタ内の不能応答割り込み要求フラグ(STALLIF)を設定(1)する条件に対して不能応答割り込みを許可します。割り込みレベル(INTLVL1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。

ビット3.2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1.0 - INTLVL1.0: 割り込みレベル (Interrupt Level)

これらのビットはUSB割り込みを許可し、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。加えて各USB割り込み元は別々に許可されなければなりません。

18.13.10. INTCTRLB - 割り込み制御レジスタB (Interrupt Control register B)

ピット 7	6	5	4	3	2	1	0	
+\$09	_	-	-	-	_	TRNIE	SETUPIE	INTCTRLB
Read/Write R	R	R	R	R	R	R/W	R/W	
初期値 0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - TRNIE : 転送単位処理完了割り込み許可 (Transaction Complete Interrupt Enable)

このビットの設定(1)はINとOUTの転送単位処理に対して転送単位処理割り込みを許可します。割り込みレベル(INTLVL1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。

● ビット0 - SETUPIE: SETUP転送単位処理完了割り込み許可 (SETUP Transaction Complete Interrupt Enable)

このビットの設定(1)は構成設定(SETUP)転送単位処理に対してSETUP転送単位処理割り込みを許可します。割り込みレヘブル(INTLVL 1,0)ビットは生成されるべき割り込みのために0以外でなければなりません。

18.13.11. INTFLGSACLR/INTFLAGSASET - 割り込み要求フラケ解除/設定レジスタA (Clear/Set Interrupt Flag register A) このレジスタはフラケの解除(0)用の1つ(INTFLAGSACLR)と設定(1)用の1つ(INTFLAGSASET)で、2つのI/Oメモリ位置に割り当てられます。個別フラケはINTFLAGSASET内のそれらのビット位置に1を書くことで設定(1)、INTFLAGSACLR内のそれらのビット位置に1を書くことで解除(0)することができます。両メモリ位置は読み込み時に同じ結果を提供し、どのビット位置への0書き込みも無効です。

ヒ゛ット	7	6	5	4	3	2	1	0	INTFLAGSACLR
+\$0A,\$0B	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	INTFLAGSASET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	INTI LAGGAGET
初期値	0	0	0	0	0	0	0	0	

● ビット7 - SOFIF: フレーム開始割り込み要求フラグ(Start Of Frame Interrupt Flag)

このフラグはフレーム開始パケットが受信された時に設定(1)されます。

● ビット6 - SUSPENDIF: 休止割り込み要求フラグ(Suspend Interrupt Flag)

このフラグはバスが3ms間アイドルになった時に設定(1)されます。

● ビット5 - RESUMEIF:再開割り込み要求フラグ(Resume Interrupt Flag)

このフラク・はUSB単位部が休止状態の間にバス上でアイトル状態以外が検出された時に設定(1)されます。この割り込みは非同期で、パワータ・ウンとパワーセーブの休止形態のようなシステムクロックが停止された休止形態からCPUを起こすことができます。

● ビット4 - RSTIF: リセット割り込み要求フラグ (Reset Interrupt Flag)

このフラグはバス上でリセット条件が検出された時に設定(1)されます。

● ビット3 - CRCIF : 等時CRC異常割り込み要求フラグ(Isochronous CRC Error Interrupt Flag)

このフラグは等時(Isochronous)エンドポイントにやって来るデータ パケットでCRC異常が検出された時に設定(1)されます。

● ビット2 - UNFIF: 下溢れ割り込み要求フラグ(Underflow Interrupt Flag)

このフラグはIN転送単位処理でアドレス指定されたエンドポイントがホストへ送るデータを持たない時に設定(1)されます。

● ビット1 - OVFIF: 上溢れ割り込み要求フラグ(Overflow Interrupt Flag)

このフラグはOUT転送単位処理でアドレス指定されたエンドポイントがホストからのデータの受け入れ準備が整わない時に設定(1)されます。

● ビット0 - STALLIF: 不能応答割り込み要求フラグ(STALL Interrupt Flag)

このフラグはINまたはOUTのどちらかの転送単位処理に於いて不能応答(STALL)ハンドシュークで応答した時に設定(1)されます。

18.13.12. INTFLGSBCLR/INTFLAGSBSET - 割り込み要求フラグ解除/設定レジスタB (Clear/Set Interrupt Flag register B)

このレシ、スタはフラケ、の解除(0)用の1つ(INTFLAGSBCLR)と設定(1)用の1つ(INTFLAGSBSET)で、2つのI/Oメモリ位置に割り当てられます。個別フラケ、はINTFLAGSBSET内のそれらのビット位置に1を書くことで設定(1)、INTFLAGSBCLR内のそれらのビット位置に1を書くことで解除(0)することができます。両メモリ位置は読み込み時に同じ結果を提供し、どのビット位置への 0 書き込みも無効です。

ビット +\$0C,\$0D	7	6	5 -	4	3	2	1 TRNIF	0 SETUPIF	INTFLAGSBCLR INTFLAGSBSET
Read/Write	R	R	R	R	R	R	R/W	R/W	INTI LAGODOLT
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - TRNIF:転送単位処理完了割り込み要求フラグ(Transaction Complete Interrupt Flag)

このフラグはFIFO内に保留されたパケット割り込みがある時に設定(1)されます。

● ビット0 - SETUPIF : SETUP転送単位処理完了割り込み要求フラグ(SETUP Transaction Complete Interrupt Flag)

このフラグは構成設定(SETUP)転送単位処理が成功裏に完了された時に設定(1)されます。

18.13.13. CALL - 校正レジスタ下位 (Calibration register Low)

CALLとCALHは16ビット値CALを保持します。USBパッド(D-とD+)はUSB線上での外部部品の必要なしの動作を許すために製造中に校正されます。校正値はデバイスの識票列に格納され、ソフトウェアでそこから読まれてCALレジスタに書かれなければなりません。

ピット	7	6	5	4	3	2	1	0	
+\$3A				CAL	. 7∼0				CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CAL7~0: パッド校正下位 (PAD Calibration low byte)

このバイトはCALの下位8ビット(8LSB)です。

18.13.14. CALH - 校正レジスタ上位 (Calibration register High)

ピット	7	6	5	4	3	2	1	0	
+\$3B				CAL	15~8				CALH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CAL15~8: パッド校正上位 (PAD Calibration high byte)

このバイトはCALの上位8ビット(8MSB)です。

18.14. レシ、スタ説明 - USBエント、ホペイント

16個のエント、オペイントの各々は1つの入力と1つの出力のエント、オペイントを持ちます。各エント、オペイントは内部SRAMに配置された8パイトの構成設定/状態データを持ちます。

最初の構成設定バイトへのアドレスは、出力エンドポイントに対して(EPPTR15~0+16×エンドポイント アドレス)で、入力エンドポイントに対して(EPPTR15~0+16×エンドポイント アドレス+8)です。

いくつかのビット位置はエンドポイント構成設定形式または方向に依存して異なる機能を持ち、これはビット位置に対して2つの異なる名前を使うことによって反映されます。

18.14.1. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$00	STALL CRC(注)	UNF/OVF	TRNCOMPL0	SETUP TRNCOMPL1	BANK	BUSNACK1	BUSNACK0	TOGGLE	STATUS
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
	注 : 等時(Iso	chronous)エン	ドポイント用						

● ビット7 - STALL: 不能応答フラク (Stall Flag)

このフラグはINまたはOUTの転送単位処理が不能応答(STALL)ハンドシュークで応答された時に設定(1)されます。このフラグはこのビット位置に1を書くことによって解除(0)されます。

● ビット7 - CRC: CRC異常フラグ(CRC Error Flag)

このフラグは等時(Isochronous)出力エンドポイントに対して、やって来るデータ パケットでCRC異常が検出された時に設定(1)されます。

● ビット6 - UNF/OVF:上/下溢れフラグ(Underflow / Overflow Flag)

UNF:入力エンドポイントに対して、入力エンドポイントがIN指示票の応答でホストへデータを送る準備が整わない時に設定(1)されます。

OVF: 出力エント、ポイントに対して、出力エント、ポイントがOUT指示票に続くホストからのデータを受け入れる準備が整わない時に設定(1)されます。

● ビット5 - TRNCOMPLO: 転送単位処理完了0フラグ(Transaction Complete Flag)

このフラグはINまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このフラグはこのビット位置に論理0を書くことによって解除(0)されます。

● ビット4 - SETUP: 構成設定(SETUP)転送単位処理完了フラグ(SETUP Transaction Complete Flag)

このフラグは構成設定(SETUP)、INまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このフラグはこのビット位置に論理0を書くことによって解除(0)されます。

● ビット4 - TRNCOMPL1: 転送単位処理完了1フラグ (Transaction Complete Flag)

このフラグは構成設定(SETUP)、INまたはOUTの転送単位処理が成功裏に完了された時に設定(1)されます。このフラグはこのビット位置に論理0を書くことによって解除(0)されます。

ビット3 - BANK: バンク選択フラク (Bank Select Flag)

ピンポン動作が許可されると、このビットは次の転送単位処理にどちらのバンクが使われるかを示します。BANKは転送単位処理が成功 裏に完了される毎に切り替えられます。このビットはピンポン動作が禁止される時に設定(1)されません。このフラグはこのビット位置に1を 書くことによって解除(0)されます。

● ビット2 - BUSNACK1:データ緩衝部1不応答フラグ(Data Buffer 1 Not Acknowledge Flag)

このフラケが設定(1)されると、USB単位部はOUT転送単位処理に於いてデータ緩衝部1にやって来るデータを破棄し、IN転送単位処理に於いてデータ緩衝部1からどんなデータも返しません。制御、大量(Bulk)、割り込み(Interrupt)のエント・ボーイントに対して、否定応答(NAK)ハント・シェークが返されます。このフラケはこのビット位置に論理0を書くことによって解除(0)されます。

● ビット1 - BUSNACK0: データ緩衝部0不応答フラグ(Data Buffer 0 Not Acknowledge Flag)

このフラケが設定(1)されると、USB単位部はOUT転送単位処理に於いてデータ緩衝部0にやって来るデータを破棄し、IN転送単位処理に於いてデータ緩衝部0からどんなデータも返しません。制御、大量(Bulk)、割り込み(Interrupt)のエント・ボーイントに対して、否定応答(NAK)ハント・シェークが返されます。このフラケはこのビット位置に論理0を書くことによって解除(0)されます。

ビット0 - TOGGLE: データ交互フラグ (Data Toggle Flag)

これは出力エント、ポイントに対して次のデータ パケットでDATA0またはDATA1のPIDが予測されるか、入力エント、ポイントに対して次の転送単位処理でDATA0またはDATA1のPIDが送られるかを示します。このビットは、出力エント、ポイントに対してDATA0とDATA1の両方のPIDが受け入れられ、入力エント、ポイントに対してDATA0 PIDだけが送られる、等時(Isochronous)エント、ポイントに対しては無効です。



18.14.2. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$01	TYP	E1,0	MULTIPKT	PINGPONG	INTDSBL	STALL BU	BUFS JFSIZE2~0()	IZE1,0 主)	CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	
ž	主 : 等時(Iso	chronous)エン	/ドポイント用						

ビット7,6 - TYPE1,0: エント、ホペイント形式 (Endpoint Type)

これらのビットはエンドポイントの許可と選択に使われます。エンドポイントが禁止された場合、残り7つのエンドポイント構成設定バイトはUSB単位部によって決して読み書きされず、それらのSRAM位置は他の応用データのための使用が自由です。

TYPE1,0	群構成設定	内容
0 0	DISABLE	エント゛ポペイント禁止
0 1	CONTROL	制御
1 0	BULK	大量(Bulk)/割り込み(Interrupt)
1 1	ISOCHRONOUS	等時(Isochronous)

● ビット5 - MULTIPKT:複数パケット転送許可(Multi Pakect Transfer Enable)

このビットの設定(1)が複数パケット転送を許可します。複数パケット転送は割り込みやソフトウェアの介在なしに複数パケットとして転送されるべきエンドポイントの最大パケット容量を超えるデータ本体を許します。複数パケット転送の詳細については150頁の「**複数パケット転送**」をご覧ください。

● ビット4 - PINGPONG: ピンポン動作許可 (Ping-pong Enable)

このビットの設定(1)がピンポン動作を許可します。ピンポン動作は2重緩衝と最大単位処理量を許すために同じ方向で使われるべき同じアドレスで(INとOUTの)両方のエンドポイントを許可します。ピンポン動作が許可される時に逆方向のエンドポイントは禁止されなければなりません。ピンポン動作は制御エンドポイントに対して不可能です。詳細については150頁の「ピンポン動作」をご覧ください。

● ビット3 - INTDSBL: 割り込み禁止 (Interrupt Disable)

このビットの設定(1)はエンドポイントからの許可された全ての割り込みを禁止します。従って割り込み条件発生時に状態(STATUS)レジスタ内の割り込みフラグだけが更新されます。エンドポイントに対して割り込みが禁止される時に、FIFOはエンドポイントに対する転送単位処理完了でこのエンドポイント構成設定表アドレスを格納しません。このビットの解除(0)は以前に許可した割り込みを再び許可します。

● ビット2 - STALL: エンドポイント不能応答(Endpoint STALL)

このビットはエンドポイントでの不能応答(STALL)の動きを制御します。

● ビット1,0 - BUFSIZE1,0: データ容量 (Data Size)

これらのビットはエンドポイントに対する最大データ本体量を構成設定します。最大データ本体量を超えてやって来るデータ バイトは破棄されます。

● ビット2~0 - BUFSIZE2~0: データ容量 (Data Size)

これらのビットは等時(Isochronous)動作に構成設定された時にエンドポイントに対する最大データ本体量を構成設定します。

表18-5. BUFSIZE構成設定

BUFSIZE2~0	群構成設定	内容
(0) 0 0	8	8バイト緩衝部容量
(0) 0 1	16	16バイト緩衝部容量
(0) 1 0	32	32バイト緩衝部容量
(0) 1 1	64	64バイト緩衝部容量
100(注)	128	128バイト緩衝部容量
101(注)	256	256バイト緩衝部容量
110(注)	512	512バイト緩衝部容量
111(注)	1023	1023バイ緩衝部容量

注: これらの設定は等時エント、ポイントに対してだけ利用可能です。

18.14.3. CNTL - 計数器下位 (Counter Low register)

CNTLとCNTHはOUTエンドポイントに対して最後のOUTまたはSETUPの転送単位処理で受信されたバイト数、またはINエンドポイントに対して次のIN転送単位処理で送られるべきバイト数を含む、10ビット値CNTを保持します。

<u> </u>	7	6	5	4	3	2	1	0	
+\$02				CNT	Γ7~0				CNTL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• ビット7~0 - CNT7~0: エンドポイント バイト計数器7~0 (Endpoint Byte Counter)

このバイトはUSBエンドポイント計数器(CNT)の下位8ビット(8LSB)を含みます。

18.14.4. CNTH - 計数器上位 (Counter High register)

ピット	7	6	5	4	3	2	1	0	
+\$03	AZLP	_	-	_	-	-	CN'	Г9,8	CNTH
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• ビット7 - AZLP: 自動0長パケット (Automatic Zero Length Packet)

このビットが設定(1)されると、USB単位部はハードウェアによって0長パケット(ZLP)ハンドシェークを管理します。これはINパケットにだけ適用します。このビットが0の時にZLPハンドシェークはファームウェアによって管理されなければなりません。

ビット6~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット1,0 - CNT9,8 : エント * ポイント ハ * 仆計数器9,8 (Endpoint Byte Counter)

これらのビットはUSBエンドポイント計数器(CNT)の上位2ビット(2MSB)を含みます。

18.14.5. DATAPTRL - データ ホーインタ下位 (Data Pointer Low register)

DATAPTRLとDATAPTRHのレシ`スタはエント`ポイントデータ緩衝部へのSRAMアト`レスを含む16ビット値DATAPTRを表します。

ピット	7	6	5	4	3	2	1	0	_
+\$04				DATAI	PTR7∼0				DATAPTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 - DATAPTR7~0: エンドポイント データ ポインタ7~0 (Endpoint Data Pointer low)

このバイトはエンドポイント データ ポインタ(DATAPTR)の下位8ビット(8LSB)を含みます。

18.14.6. DATAPTRH - データ ポインタ上位 (Data Pointer High register)

Ľ'ット <u></u>	7	6	5	4	3	2	1	0	
+\$05				DATAP	TR15~8				DATAPTRH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

• ビット7~0 - DATAPTR15~8: エンドポイント デ-タ ポインタ15~8 (Endpoint Data Pointer high)

このバイトはエンドポイント データ ポインタ(DATAPTR)の上位8ビット(8MSB)を含みます。

18.14.7. AUXDATAL - 補助データ下位 (Auxiliary Data Low register)

AUXDATALとAUXDATAHのレシ、スタは複数パケット転送に使われる16ビット値AUXDATAを表します。

INエント、オイントについて、AUXDATAは送られる総パイト数を保持します。AUXDATAは新しい転送を構成設定する時に0を書くべきです。OUTエント、オイントについて、AUXDATAは完全な転送に対する総データ量を保持します。この値は等時(Isochronous)の1023パイトエント、オイントを除き、最大パケット容量の倍数でなければなりません。

ピット	7	6	5	4	3	2	1	0	_
+\$06				AUXDA	ATA7∼0				AUXDATAL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 - AUXDATA7~0:補助データ7~0 (Auxiliary Data Low)

このバイトは補助データ(AUXDATA)の下位8ビット(8LSB)を含みます。複数パケット転送が使われない時に、このSRAM位置は他の応用 データの使用が自由です。

18.14.8. AUXDATAH - 補助データ上位 (Auxiliary Data High register)

ヒ゛ット	7	6	5	4	3	2	1	0	
+\$07				AUXDA	TA15~8				AUXDATAH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	不定	不定	不定	不定	不定	不定	不定	不定	

● ビット7~0 - AUXDATA15~8:補助データ15~8 (Auxiliary Data High)

このバイトは補助データ(AUXDATA)の上位8ビット(8MSB)を含みます。 複数パケット転送が使われない時に、このSRAM位置は他の応用 データの使用が自由です。

18.15. レジスタ説明 - フレーム

18.15.1. FRAMENUML - フレーム番号下位 (Frame Number Low register)

FRAMENUMLとFRAMENUMHのレジスタは最も直前に受信されたフレーム開始(SOF)パケットからのフレーム番号を表す11ビット値FRAMEN UMを表します。

ل [*] سام ال	7	6	5	4 FRAME	3	2	1	0	LEBAMENHIMI
+\$00				FRAME	NUM7~0				FRAMENUML
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - FRAMENUM7~0: フレーム番号7~0 (Frame Number)

このバイトはフレーム番号(FRAMENUM)の下位8ビット(8LSB)を含みます。

18.15.2. FRAMENUMH - フレーム番号上位 (Frame Number High register)

ピット	7	6	5	4	3	2	1	0	
+\$01	FRAMEERR	-	-	-	-	FR	AMENUM10	√ 8	FRAMENUMH
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - FRAMEERR: フレーム異常(Frame Error)

このフラグは最も直前に受信したフレーム開始(SOF)パケットでCRCまたはビット詰めの異常が検出された時に設定(1)されます。

ビット6~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

• ビット2~0 - FRAMENUM10~8: フレーム番号19~8 (Frame Number)

このバイトはフレーム番号(FRAMENUM)の上位3ビット(3MSB)を含みます。

18.16. レジスタ要約 - USB単位部

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$3B	CALH		1	C.	AL15~8 (校]	正値上位バイ	(-)		1	158
+\$3A	CALL		1	C	AL7~0 (校I	上値下位バイ	<u> </u>		1	158
+\$10~\$39	予約	1	-	_	-	_	-	1	_	
+\$0F	予約	-	_	_	_	_	_	-	_	
+\$0E	予約	1	_	_	_	_	_	-	_	
+\$0D	INTFLAGSBSET	1	-	-	-	-	-	TRNIF	SETUPIF	158
+\$0C	INTFLAGSBCLR	1	-	-	-	-	-	TRNIF	SETUPIF	158
+\$0B	INTFLAGSASET	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	157
+\$0A	INTFLAGSACLR	SOFIF	SUSPENDIF	RESUMEIF	RSTIF	CRCIF	UNFIF	OVFIF	STALLIF	157
+\$09	INTCTRLB	1	_	-	-	-	-	TRNIE	SETUPIE	157
+\$08	INTCTRLA	SOFIE	BUSEVIE	BUSERRIE	STALLIE	-	-	INTL	VL1,0	156
+\$07	EPPTRH		E	PPTR15~8 (エンドぉ゚イント構	成設定表ポ	インタ上位バイ	h)	1	156
+\$06	EPPTRL		E	PPTR7~0 (I	ンドぉ゚イント構	成設定表ポイ	ンタ下位バイ	<u>\</u>)	1	156
+\$05	FIFORP	-	-	-		FIFORP4~0	(FIFO読み	込みポインタ)	1	156
+\$04	FIFOWP	1	_	-		FIFOWP4~	o (FIFO書き	込みポインタ)	1	155
+\$03	ADDR	-			ADDR6	~0 (USB装置	量アト・レス)			155
+\$02	STATUS	-	-	-	-	URESUME	RESUME	SUSPEND	BUSRST	155
+\$01	CTRLB	-	-	-	PULLRST	-	RWAKEUP	GNACK	ATTACH	154
+\$00	CTRLA	ENABLE	SPEED	FIFOEN	STFRNUM		MAXI	EP3~0		154

18.17. レシ、スタ要約 - USBェント、ホペイント

最初の構成設定バイトへのアドレスは、OUTエンドポイントに対して(EPPTR15~0+16×エンドポイント アドレス)で、INエンドポイントに対して(EPPT $R15\sim0+16\times$ エント オペイント アト レス+8)です。

アト・レス	略称	ビット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	AUXDATAH		1	AUXD	ATA15~8 (褚	前助データ上位	ケバイト)			162
+\$06	AUXDATAL		1	AUXE	ATA7~0(補	助データ下位	バイト)			162
+\$05	DATAPTRH		I	DATAPTR15	~8 (エント゛ホ゜イ	ント データ ポイ	ンタ上位バイト)		161
+\$04	DATAPTRL		1	DATAPTR7	- 0 (エント゛ぉ゚イン	/ト データ ポイン	/タ下位バイトン			161
+\$03	CNTH	AZLP	-	-	-	-	-	CN	Г9,8	161
+\$02	CNTL			CNT7~0	(エント゛ホ゜イント /	バイ計数器	下位バイト)			161
⊥ ¢∩1	CTRL	TVD)E1_0	MULTIDIZT	PINGPONG	INTDSBL	STALL	BUFS	ZE9,8	160
+\$01	CIKL	117	E1,0	MULTIPKI	FINGPONG	INIDSDL		BUFSIZE2~((等時)
1,000	CTATLIC	STALL	OVE /LINE	TDMCMDI 0	SETUP	DANIZ	DIJONA CIZ 1	DUCNIACIO	TOCCLE	159
+\$00	STATUS	CRC	OVF/UNF	TRNCMPL0	TRNCMPL1	BANK	DUSNACKI	BUSNACK0	TOGGLE	(等時)

18.18. レシ、スタ要約 - フレーム

フレーム構成設定バイトへのアドレスは(MAXEP+1)<<4です。例えばMAXEP=3での先頭アドレスは変位(オフセット)アドレス\$40に配置されます。

アト・レス	略称	ヒ゛ット7	ビット6	ヒ゛ット5	ピット4	ビット3	ビット2	ピット1	ピット0	頁
+\$01	FRAMENUMH	FRAMEERR	1	1	_	1	FR	AMENUM10	- - -	162
+\$00	FRAMENUML		FRAMENUM7~0 (フレーム番号下位バイト)							162

18.19. USB割り込みへりを要約

変位	記述例	割り込み内容
\$00	BUSEVENT_vect	フレーム開始(SOF)、休止、再開、バス リセット、CRC、下溢れ、上溢れ不能応答、異常割り込み
\$02	TRNCOMPL_vect	転送単位処理完了割り込み



19. TWI - 2線インターフェース

19.1. 要点

- 双方向2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
 - ハート・ウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビットアトレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

19.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハートウェアは各バス線上の1つのプルアップ抵抗だけです。

ハスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハート・ウェアでの7ビット アト・レス一致と一斉アト・レス呼び出しを実装します。10ビット アト・レスも支援されます。専用のアト・レス遮蔽レシ、スタは第2のアト・レス一致レシ、スタまたはアト・レス範囲遮蔽用のレシ、スタとして働くことができます。従装置はパワータ・ウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアト・レス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アト・レス一致を禁止することが可能です。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

19.3. 一般的なTWIバスの概念

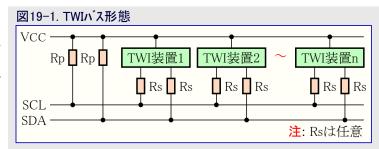
2線インターフェース(TWI)は直列クロック線(SCL)と直列データ線(SDA)から成る簡素な2線双方向バスを提供します。この2線は開放コレクタ(ドレイン)線(ワイヤート、AND)で、プルアップ抵抗器だけがバスを駆動するために必要とされる外部部品です。このプルアップ抵抗は接続された装置がバスを駆動しない時の信号線にHighレベルを供給します。

TWIバスは直列バスでの複数装置内部接続の簡単で効率的な方法です。バスに接続された装置は主または従装置にでき、主装置が バスと全ての通信を制御します。

図19-1.はTWIハス形態を図解します。

n、スに接続した全ての従装置に固有のアドレスが割り当てられ、 主装置は従装置をアドレス指定するのにこれを使ってデータ転送 処理を始めます。

多数の主装置が同じバスに接続でき、複数主装置環境と呼ばれます。与えられた時間で1つの主装置だけがバスを自身のものにできるので、主装置間でバス所有権を解決するために調停機構が提供されます。

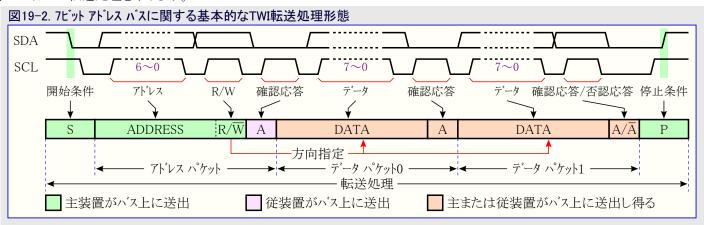




デバイスは主装置と従装置の両論理回路を含み、2つ以上のアドレスに応答することによって複数従装置の擬似動作ができます。

主装置がバス上に開始条件(S)を発行することによって転送処理の開始を指示します。それから、従装置アドレス(ADDRESS)と主装置がデータを読みまたは書きどちらをしたいのかを示す(R/W)を持つアドレス パケットが送られます。データ パケット(DATA)が転送された後、転送処理終了のためにバス上へ停止条件(P)を発行します。受信側は各バイトに対して確認応答(A)または否認応答(Ā)を行わなければなりません。

図19-2.はTWI転送処理を示します。



主装置が転送処理に対してクロック信号を供給しますが、バスに接続された装置はクロック速度を下げるためにクロックのLow区間を引き伸ばすことが許されます。

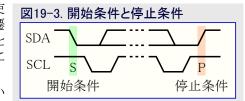
19.3.1. 電気的特性

XMEGAデバイスのTWI単位部はI²CバスとSMBusの電気的仕様とタイングに従っています。TWI主装置動作で設定されるべき不活性バス時間超過の正しい動きを保証するために、これらの仕様は100%適合ではありません。より多くの詳細については168頁の「TWI主装置動作」を参照してください。

19.3.2. 開始条件と停止条件

転送処理の始まり(開始条件)と終り(停止条件)を記すために2つの独特なバス状態が使用されます。主装置はSCL線をHighに保持するのと同時にSDA線でHighからLowへの遷移を示すことによって開始条件(S)を発行します。主装置はSCL線をHghに保持するのと同時にSDA線をLowからHighへの遷移を示すことによって停止条件(P)を発行し、それによって転送処理を完了します。

単一転送処理の間に複数の開始条件が発行され得ます。停止条件に直接後続しない開始条件は再送開始条件(Sr)と名付けられます。



19.3.3. ビット転送

図19-4.で図解されるように、SDA線で転送されるビットはSCL線のHigh区間全体に対して安定でなければなりません。従ってSDA値は クロックのLow区間の間でだけ変更できます。これはTWI単位部でのハートウェアで保証されます。

ビット転送の組み合わせがアドレスとデータのパケットの編成に帰着します。これらのパケットは最上位ビット先行転送の8データ ビット(1バイト)と確認(ACK)または否認(NACK)の応答の単一ビットから成ります。アドレス指定された装置は9クロック周期の間に、SCL線をLowに引くことによってACKで、SCL線をHighのままにしておくことによってNACKで合図します。



19.3.4. アトレス ハ[°]ケット

開始条件後、読み/書き(R/W)ビットが後続するアビット アドレスが送出されます。これは常に主装置によって送出されます。そのアドレスを認証する従装置は次のSCLクロック間SDA線をLowに引くことによってアドレスの確認応答(ACK)を行い、一方他の全ての従装置はTWI線の開放を維持して次の開始条件とアドレスを待ちます。アドレス、R/Wビット、応答ビットの組み合わせがアドレス パケットです。各開始条件に対して1つのアドレス パケットだけが許され、これは10ビット アドレスが使われる時もです。

 R/\overline{W} ビットは転送処理の方向を指定します。 R/\overline{W} ビットがLowなら、主装置書き込み転送処理を示し、従装置のそのアドレスの確認応答後に主装置はそのデータを送出します。 R/\overline{W} ビットがHighなら、主装置読み込み転送処理を示し、従装置がそのアドレスの確認応答後にデータ送出します。

19.3.5. データ パケット

アト・レス パケットには1つ以上のデータ パケットが後続します。全てのデータ パケットは1つのデータ バイトと応答ビットから成る9ビット長です。直前のアト・レス パケット内の方向ビットがデータが転送される方向を決めます。



19.3.6. 転送処理

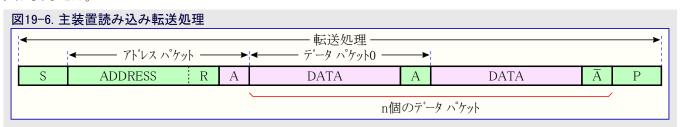
転送処理は開始条件から停止条件までの完全な転送で、その間のどの再送開始条件も含みます。TWI規格は3つの基本転送処理種別、主装置書き込み、主装置読み込み、組み合わせの転送処理を定義しています。

図19-5.は主装置書き込み転送処理を図解します。主装置は<mark>開始条件(S)によって転送処理を開始し、方向ビットを0</mark>に設定したアドレス $^{\circ}$ ケット(ADDRESS+W)がそれに後続します。



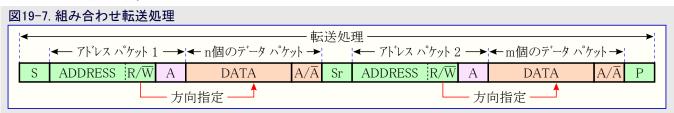
従装置がアトレスを確認応答すると、主装置はデータ(DATA)の送信を開始でき、従装置は各ハイトで確認応答(ACK)または否認応答(NACK)(A/Ā)を行います。送信すべきデータハプケットがない場合、主装置はアトレスハプケット直後に停止条件(P)を発行することによって転送処理を終了します。転送できるデータハプケット数に制限はありません。従装置がデータに否認応答(NACK)で合図した場合、主装置は従装置がこれ以上データを受信できず、転送処理を終了すると認識しなければなりません。

図19-6.は主装置読み込み転送処理を図解します。主装置は<mark>開始条件(S)によって転送処理を開始し、方向ビットを1</mark>に設定したアドレス パケット(ADDRESS+R)がそれに後続します。アドレス指定された従装置は転送処理の継続を許す主装置に対してアドレスの<mark>確認応答</mark>をしなければなりません。



従装置がアドレスを確認応答すると、主装置は従装置からのデータ受信を開始することができます。転送できるデータ パケット数に制限はありません。従装置がデータを送信する一方で、主装置は各データ バイト後に確認応答(ACK)または否認応答(NACK)で合図します。主装置は停止条件を発行する前に否認応答(NACK)で転送を終了します。

図19-7.は組み合わせ転送処理を図解します。組み合わせ転送処理は<mark>再送開始条件</mark>(Sr)によって分離された多数の読み込みと書き 込みの転送処理から成ります。



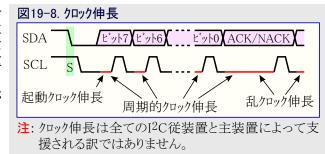
19.3.7. クロックとクロック伸長

バスに接続された全ての装置はクロック周波数全体を低下するため、またはデータ処理の間に待ち状態を挿入するために、クロックのLow 区間を伸長することが許されています。クロックの伸長を必要とする装置はSCL線上のLowレベル検出後にその線をLowに強制保持することによってこれを行えます。

クロック伸長は**図19-8**.で示されるように3つの形式に定義できます。デバイスが休止形態動作で<mark>開始条件</mark>が検出された場合、通常、起動時間の間、クロック伸長が働きます。AVR XMEGAデバイスについては、AVR XMEGAデバイスがアドレス指定されない転送処理に対して起きる必要がないため、クロック伸長はACK/NACKビットの直前または直後のどちらかになります。

従装置はビット単位で周期的にクロックを伸長することによってバス周波数を低下できます。けれども、それによってバス全体性能が低下されます。主と従の両装置は応答(ACK/NACK)ビットの前後を基本にバイト単位で任意にクロックを引き伸ばせます。これは到着処理、出力データ準備、または重要な作業の別時間実行のための時間を提供します。

従装置がクロックを伸長する場合では、従装置の準備が整うまで主装置が 待ち状態を強制され、その逆も同様です。



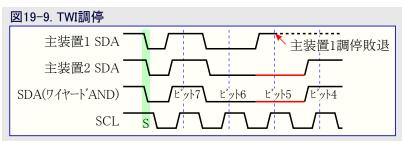


19.3.8. 調停

主装置はバスのアイドルを検出した場合にだけバス転送処理を開始できます。TWIバスが複数主装置バスなので、2つの装置が同時に転送処理を始めることが可能です。これは複数の主装置が同時にバスを所有する結果になります。これは調停の仕組みを使って解決され、そしてこれはSDA線でHighレベルを送信できなかった場合にその主装置がバスの制御を失います。調停で敗れた主装置はその後にバス所有権要求を試みる前に、バスがアイドルになるまで待たなければなりません(換言すると停止条件待機)。従装置は調停手順に関係しません。

図19-9.は2つのTWI主装置がバス所有権を争う例を示します。両装置が開始条件を発行できますが、主装置1がHighレベル(ビット5)の送信を試み、同時に主装置2がLowレベルを送信する時に主装置1が調停に敗れます。

再送開始条件とデータビット、停止条件とデータビット、または 再送開始条件と停止条件の間は調停が許されず、ソフトウェ アによる特別な扱いが必要です。

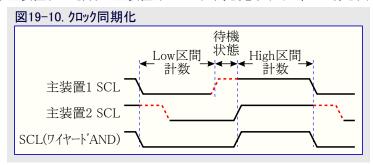


19.3.9. 同期化

複数の主装置が同時にSCL線の制御を試みる状況を解決するのにクロック同期化手法が必要です。この方法は直前に記述されたクロック伸長で使われるのと同じ原理に基いています。図19-10.は2つの主装置がバスクロックに関する制御を競争する例を示します。SCL線は2つの主装置のクロック出力のワイヤート、ANDの結果です。

SCL線のHighからLowへの遷移がバス上の全ての主装置に対してLowを強制し、それらはそれぞれのクロックLow区間タイミングを開始します。このクロックLow区間のタイミング長は主装置間で変わり得ます。主装置(この場合は主装置1)はLow区間を完了すると、SCL線を開

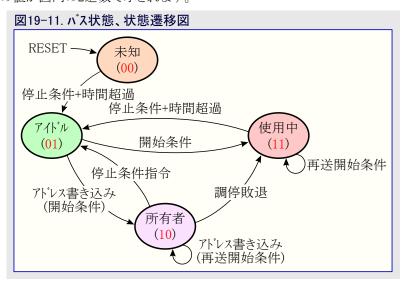
放します。けれども、SCL線は全ての主装置がSCLを解放するまでHighになりません。従ってSCL線は最長Low区間を持つ装置(主装置2)によってLowを維持されます。より短いLow区間を持つ装置はクロックが開放されるまで待機状態を挿入しなければなりません。全ての装置でSCLが開放されてHighになる時に、全て主装置がそれらのHigh区間を始めます。最初にHigh区間を完了した装置(主装置1)がクロック線をLowに強制し、そしてこの手順が繰り返されます。結果は最短クロック区間を持つ装置がHigh区間を決め、一方クロックのLow区間は最長クロック区間持つ装置によって決められることです。



19.4. TWIバス状態論理

ハブス状態論理回路は主装置動作が許可されている時にTWIハブス線の動きを継続的に監視します。これはパワーダヴン動作を含む全ての休止形態で動作を継続します。

バス状態論理回路は開始条件と停止条件の検出器、衝突検出、不活性バス時間超過検出、ビット計数器を含みます。これらはバス状態を決めるのに使われます。ソフトウェアは主装置状態(STATUS)レジスタのバス状態(BUSSTATE)ビットを読むことによって現在のバス状態を得ることができます。バス状態はアイドル、使用中、所有者、未知になり得て、図19−11.で示される状態遷移図に従って決められます。状態に対応するバス状態ビットの値が図内の2進数で示されます。





システム リセットやTWI主装置許可後、ハンス状態は未知です。ハンス状態(BUSSTATE)ビットへの書き込みによって、ハンス状態機構をアイドルへの移行に強制することができます。応用ソフトウェアによって状態が設定されなければ、ハンス状態は最初の停止条件が検出される時にアイトルになります。主装置不活性ハンス時間経過(TIMEOUT)が許可されている場合、ハンス状態は時間経過の発生でアイドルに変化します。既知のハンス状態が確立した後、システム リセットとTWI主装置動作禁止(ENABLE=0)だけが状態を未知に設定します。

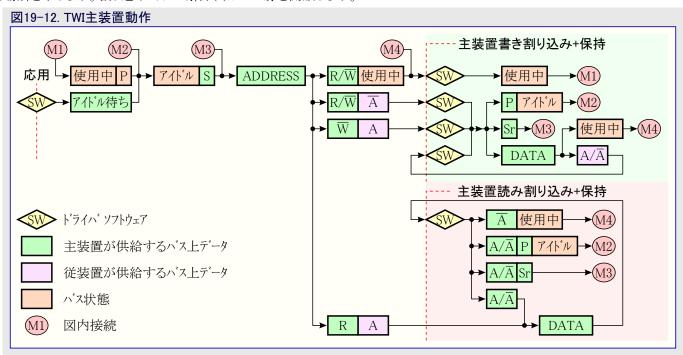
バスがアイドルのとき、新しい転送処理の準備が整っています。外部的に生成された開始条件が検出された場合、バスは停止条件が検出されるまで使用中になります。停止条件はバス状態をアイドルに変更します。主装置不活性バス時間経過が許可されている場合、バス状態は時間経過の発生で使用中からアイドルに変化します。

アイドル状態の間に内部的に開始条件が生成された場合、所有者状態へ移行します。妨害なし、換言すると衝突が検出されずに、完全な転送処理が実行された場合、主装置が停止条件を発行し、バス状態はアイドルに戻ります。衝突が検出(ARBLOST=1)された場合は調停に敗れたと認識され、停止条件が検出されるまでバス状態が使用中になります。再送開始条件は再送開始条件発行中に調停に敗れた場合にバス状態を変更するだけです。再送開始条件中の調停は調停が最初の開始条件から進行中の場合にだけ失われ得ます。これは主装置の1つが再送開始条件(Sr)発行前に2つの主装置が正確に同じADDRESS+DATAを送る場合に起きます。

19.5. TWI主装置動作

TWI主装置は各バイト後の任意選択の割り込みを持つバイト志向です。主装置書き込みと主装置読み込みに対する独立した割り込みがあります。割り込みフラグはポーリング操作にも使えます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、バス異常(BUSERR)、調停敗退(ARBLOST)、クロック保持(CLKHOLD)、バス状態(BUSSTATE)を示す専用の状態フラグがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答または何れかのデータを扱う時間を主装置に与え、殆どの場合はソフトウェアの介在を必要とするでしょう。図19-12.はTWI主装置動作を示します。菱形シンボル(SW)はソフトウェアの介在を必要とする場所を示します。割り込みフラグの解除(0)がSCL線を開放します。



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために迅速指令と簡便動作を許可にできます。

19.5.1. アドレス パケット送信

開始条件発行後、アビット従装置アドレスと方向ビットと共に主装置アドレス(ADDR)レジスタが書かれる時に、主装置はバス転送処理の実行を始めます。BUSが使用中の場合、TWI主装置は開始条件を発行する前にバスがアイドルになるまで待ちます。

調停とR/W方向ビットに依存して、以降のアドレス パケットで4つの別個の状態($M1\sim M4$)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

19.5.1.1. 状態M1: 調停敗退またはアドレス パケット中のバス異常

アトンスパケット送出の間で調停に敗れた場合、主装置書き割り込み要求フラグ(WIF)と調停敗退(ARBLOST)フラグが両方共設定(1)されます。SDA線への直列データ出力は禁止され、SCL線が開放されます。主装置はバス状態がアイデルに戻るまで、もはやどの操作を実行することも許されません。

バス異常は調停敗退状態と同じように振舞いますが、書き割り込み要求フラグと調停敗退フラグに加えて異常(BUSERR)フラグが設定(1) されます。



19.5.1.2. 状態M2: アドレス パケット送信完了 - 従装置によるアドレス否認応答

従装置がアドレスに応答しない場合、主装置書き割り込み要求フラグ(WIF)が設定(1)され、主装置受信応答(RXACK)フラグが設定(1)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.1.3. 状態M3: アドレス パケット送信完了 - 方向ビット=0

主装置が従装置から確認応答(ACK)を受け取った場合、主装置書き割り込み要求フラグ(WIF)が設定(1)され、主装置受信応答(RXA CK)フラグが解除(0)されます。バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.1.4. 状態M4: アドレス パケット送信完了 - 方向ビット=1

主装置が従装置から確認応答(ACK)を受け取った場合、主装置は従装置からデータの次のバイトの受信を先行します。最初のバイト データが受信されると、主装置読み割り込み要求フラケ(RIF)が設定(1)され、主装置受信応答(RXACK)フラケが解除(0)されます。 バスでの更なる活動を防ぐため、この時点でクロック保持は活性(有効)です。

19.5.2. データ パケット送信

上の状態M3との仮定で、主装置は主装置データ(DATA)レジスタへの書き込みによってデータ送信を始められます。転送が成功した場合、従装置は確認応答(ACK)で合図します。主装置書き割り込み要求フラグ(WIF)が設定(1)され、主装置受信応答(RXACK)フラグが解除(0)されて主装置は送るための新しいデータを準備できます。データ転送の間、主装置は衝突に関してバスを継続的に監視しています。

送出された各データ パケットに対して次のデータ パケットが転送され得る前に、ソフトウェアによって主装置受信応答(RXACK)フラグが調べられなければなりません。従装置が否認応答(NACK)で合図する場合、主装置はデータ送信を継続することを許されません。

転送中に衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOAST)フラグが設定(1)されます。

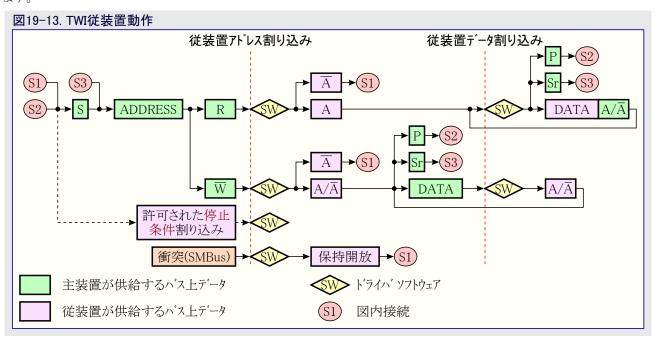
19.5.3. データ パケット受信

上の状態M4との仮定で、主装置は既に従装置から受信した1小小を持っています。主装置読み割り込み要求フラグ(RIF)が設定(1)されて、主装置は新しいデータを受信する準備を行わなければなりません。主装置は確認応答(ACK)または否認応答(NACK)で各小小に応答しなければなりません。転送の間に調停が失われ得るので、NACKを示すことは成功裏に実行されないかもしれません。衝突が検出されて主装置が調停に敗れた場合、調停敗退(ARBLOST)フラグが設定(1)されます。

19.6. TWI 従装置動作

TWI従装置は各バイト後の任意選択の割り込みを持つバイト志向です。独立した従装置データ割り込みとアドレス/停止割り込みがあります。割り込みフラケはポーリング操作にも使えます。受信した(ACK)確認応答/(NACK)否認応答(RXACK)、クロック保持(CLKHOLD)、衝突(COLL)、バス異常(BUSERR)、読み/書き方向(DIR)を示す専用の状態フラケがあります。

割り込み要求フラグが設定(1)されると、SCL線はLowを強制されます。これは応答またはデータを扱う時間を従装置に与え、殆どの場合はソフトウェアの介在を必要とするでしょう。図19-13.はTWI従装置動作を示します。菱形シンボル(SW)はソフトウェアの介在を必要とする場所を示します。



生成される割り込み数は殆どの条件を自動的に扱うことによって最小に保たれています。自動起動操作とソフトウェアの複雑さを低減するために簡便動作を許可にできます。

全てのアドレスに応答することを従装置に許すために無差別動作(PMEN)を許可にできます。



19.6.1. アドレス パケット受信

TWI従装置が正しく構成設定されていると、検出されるべき<mark>開始条件</mark>を待ちます。これが起きると、継続してアドレス バイトが受信されて アドレス一致論理回路によって調べられ、従装置は正しいアドレスに確認応答(ACK)し、従装置データ(DATA)レジスタ内のアドレスを格納します。 受信したアドレスが不一致なら、従装置は応答とアドレス格納を行わず、新しい開始条件を待ちます。

開始条件に後続する有効なアドレス バイトが検出される時に、従装置アドレス/停止割り込み要求フラグ(APIF)が設定(1)されます。一斉呼び出しアドレスもこのフラグを設定(1)します。

開始条件直後の停止条件は不正操作で、バス異常(BUSERR)フラグが設定(1)されます。

R/W方向(DIR)フラグはアドレスと共に受信された方向ビットを反映します。これは現在進行中の操作形式を決めるためにソフトウェアによって読むことができます。

R/W方向ビットとバス状況に依存して、以降のアドレス パケットで4つの別個の状態(S1~S4)の1つが起きます。異なる状態はソフトウェアで扱われなければなりません。

19.6.1.1. 状態S1: アドレス パケット受け入れ - 方向ビット=1

R/W方向(DIR)フラケが設定(1)されている場合、これは主装置読み込み操作を示します。SCL線がLowを強制され、バスクロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置ハートウェアは送信のためのデータが必要なことを示すデータ割り込み要求フラケ(DIF)を設定(1)します。その後にデータ、再送開始条件、停止条件が受信され得ます。従装置によって否認応答(NACK)が送出される場合、従装置は新しい開始条件とアトレス一致を待ちます。

19.6.1.2. 状態S2: アドレス パケット受け入れ - 方向ビット=0

R/W方向(DIR)フラグが解除(0)されている場合、これは主装置書き込み操作を示します。SCL線がLowを強制され、バスクロックを引き伸ばします。従装置によって確認応答(ACK)が送出される場合、従装置は受信されるべきデータを待ちます。その後にデータ、再送開始条件、停止条件が受信され得ます。否認応答(NACK)が送出される場合、従装置は新しい開始条件とアゲレス一致を待ちます。

19.6.1.3. 状態S3: 衝突

従装置がHighレヘ・ルまたは<mark>否認応答</mark>(NACK)を送出できない場合、衝突(COLL)フラグが設定(1)され、従装置からのデータと応答の出力が禁止されます。クロック保持は開放されます。開始条件と再送開始条件は受け入れられます。

19.6.1.4. 状態S4: 停止条件受信

停止条件が受信されると、アトンス一致発生ではなく停止条件を示す従装置アトンス/停止割り込み要求フラグ(APIF)が設定(1)されます。

19.6.2. データ パケット受信

従装置は解除(0)されたR/W方向ビットと共にアドレス パケットが成功裏に受信された時に知ります。これの応答後、従装置はデータを受信する準備を整えなければなりません。データ パケットが受信されると、データ割り込み要求フラグ(DIF)が設定(1)され、従装置は確認応答(ACK)または否認応答(NACK)を示さなければなりません。NACK提示後、従装置は停止条件または再送開始条件を期待して待たなければなりません。

19.6.3. データ パケット送信

従装置は設定(1)されたR/W方向ビットと共にアドレス パケットが成功裏に受信された時に知ります。その後に従装置データ(DATA)レジスタへの書き込みによって送出を始められます。データ パケット送信が完了されると、データ割り込み要求フラグ(DIF)が設定(1)されます。主装置が否認応答(NACK)を提示する場合、従装置はデータ送信を停止し、停止条件または再送開始条件を期待して待たなければなりません。

19.7. 外部駆動部インターフェース許可

外部駆動部インターフェースを許可(EDIEN=1)できます。これが行われると、入力濾波とスリューレート制限付き内部駆動部が迂回されます。標準I/Oピン機能が使われ、方向は使用者ソフトウェアによって構成設定されなければなりません。この動作が許可されると、TWIバスに接続するために外部のTWI適合3状態駆動部が必要とされます。

既定ではポート ピン0(Px0)と1(Px1)がSDAとSCLに使われます。外部駆動部インターフェースはSDA_IN、SCL_IN、SDA_OUT、SCL_OUT信号に対してポート ピン0~3を使います。



19.8. レジスタ説明 - TWI

19.8.1. CTRL - 共通制御レジスタ (Common Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	-	-	SDAH	OLD1,0	EDIEN	CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2,1 - SDAHOLD1,0: SDA保持時間許可(SDA Hold Time Enable)

これらのビットへの1設定はSCLの負端に関してSDAの内部保持時間を許可します。

表19-1. SDA保持	表19-1. SDA保持時間									
SDAHOLD1,0	群構成設定	内容								
0 0	OFF	SDA保持時間OFF								
0 1	50NS	代表的に50ns保持時間								
1 0	300NS	代表的に300ns保持時間								
1 1	400NS	代表的に400ns保持時間								

● ビット0 - EDIEN:外部駆動部インターフェース許可(External Driver Interface Enable)

このビットの設定(1)が外部駆動部インターフェースの使用を許可し、このビットの解除(0)が標準2線動作を許可します。詳細については**表 19-2**.をご覧ください。

表19-2.	外部駆動部インターフェース許	可
EDIEN	動作種別	注釈
0	標準TWI	2ピン インターフェース、スリューレート制御と入力濾波器付き
1	外部駆動部インターフェース	4ピン インターフェース、標準I/O、スリューレート制御と入力濾波器なし

19.9. レジスタ説明 - TWI主装置

19.9.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	INTL'	VL1,0	RIEN	WIEN	ENABLE	-	-	-	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 - INTLVL1,0: TWI主装置割り込みレベル (Interrupt Level)

これらのビットは83頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるようにTWI主装置割り込みに対する割り込みレベル を選びます。

● ビット5 - RIEN : 読み込み割り込み許可 (Read Interrupt Enable)

読み込み割り込み許可(RIEN)ビットの設定(1)は状態(STATUS)レジスタの読み込み割り込み要求フラグ(RIF)が設定(1)される時の読み込み割り込みを許可します。加えて割り込みレベル(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● ビット4 - WIEN: 書き込み割り込み許可(Write Interupt Enable)

書き込み割り込み許可(WIEN)ビットの設定(1)は状態(STATUS)レジスタの書き込み割り込み要求フラグ(WIF)が設定(1)される時の書き込み割り込みを許可します。加えて割り込みレベル(INTLVL)ビットがTWI主装置割り込みを生成されるべく、0以外でなければなりません。

● ビット3 - ENABLE : TWI主装置許可 (Enable TWI Master)

TWI主装置許可(ENABLE)ビットの設定(1)がTWI主装置を許可します。

ビット2~0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

19.9.2. CTRLB - 制御レジスタB (Control register B)

+\$01 - - - - TIMEOUT1,0 QCEN SMEN CTRLB Read/Write R R R R/W R/W R/W R/W 初期値 0 0 0 0 0 0 0	ピット	7	6	5	4	3	2	1	0	
	+\$01	-	-	_	-	TIMEC	OUT1,0	QCEN	SMEN	CTRLB
初期値 0 0 0 0 0 0 0 0	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
	初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 - TIMEOUT1,0: 不活性バス時間経過 (Inactive Bus Timeout)

不活性バス時間経過(TIMEOUT)ビットの0以外の設定は不活性バス時間経過監視器を許可します。バスがTIME OUT設定より長く不活性なら、バス状態論理回路はアイドル状態へ移行します。表19-3.は時間経過設定を一覧にします。

表19-3. TWI主	装置不活性バス	時間経過設置
TIMEOUT1,0	群構成設定	内容
0 0	DISABLED	禁止、通常はI ² Cに使用
0 1	50US	50µs、通常は100kHzでのSMBusに使用
1 0	100US	100µs
1 1	200US	200µs

● ビット1 - QCEN: 迅速指令許可(Quick Command Enable)

迅速指令が許可(1)されると、従装置がアドレスに応答した直後に対応する割り込み要求フラグが設定(1)されます(読み込みまたは書き込み割り込み)。この時点でソフトウェアは停止条件または再送開始条件のどちらかを発行することができます。

● ビット0 - SMEN: 簡便動作許可 (Smart Mode Enable)

簡便動作許可ビットの設定(1)が簡便動作を許可します。簡便動作が許可されると、制御レジスタC(CTRLC)の応答動作(ACKACT)ビットで設定されるように応答動作がデータ(DATA)レジスタ読み込み直後に送出されます。

19.9.3. CTRLC - 制御レジスタC (Control register C)

	CTRLC
Read/Write R R R R R R/W R/W R/W	
初期値 0 0 0 0 0 0 0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - ACKACT: 応答動作 (Acknowledge Action)

このビットは主装置読み込み動作での主装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。制御レジスタB(CTRLB)の簡便動作許可(SMEN)が設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表19-4.は応答動作を一覧にします。

表19-4. ACKACTL ット内容									
ACKACT	動作								
0	確認応答(ACK)送出								
1	否認応答(NACK)送出								

ビット1.0 - CMD1.0:指令(Command)

指令(CMD)ビットの書き込みは表19-5.で定義されるような主装置動作を起動します。CMDビットはストローブ(瞬間状態保持の)ビットで、常に0として読めます。応答動作は主装置読み込み動作でだけ有効です。主装置書き込み動作では指令が再送開始条件または停止条件に終わるだけです。応答動作(ACKACT)ビットとCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

CMDビットへの指令書き込みは主装置割り込み要求フラグとクロック保持(CLKHOLD)フラグを解除(0)します。

表19-5. C	MDビット内容		
CMD1,0	群構成設定	動作種別	内容
0 0	NOACT	X	(予約)
0 1	START	X	再送開始条件が後続する応答動作を実行
1.0	BYTEREC	主装置書き込み	動作なし
1 0	DYTEREC	主装置読み込み	バ・小受信が後続する応答動作を実行
1 1	STOP	X	停止条件が後続する応答動作を実行

19.9.4. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	_
+\$03	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSST	ATE1,0	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - RIF: 読み込み割り込み要求フラグ(Read Interrupt Flag)

このフラク・は主装置読み込み動作でバイが成功裏に受信された、換言すると動作中に調停敗退またはバス異常発生がない時に設定 (1)されます。このビット位置への1書き込みはRIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグは次の時にも自動的に解除(0)されます。

- TWI主装置アドレス(ADDR)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタへの書き込み
- TWI主装置データ(DATA)レジスタ読み込み
- 制御レジスタC(CTRLC)の指令(CMD)ビットへの有効な指令書き込み

● ビット6 - WIF:書き込み割り込み要求フラグ(Write Interrupt Flag)

このフラク・は主装置書き込み動作でハイトが送信された時に設定(1)されます。このフラク・はハンス異常の発生または調停敗退状況と無関係に設定(1)されます。WIFは主装置読み込み動作で<mark>否認応答(NACK)の送出中に調停が失われた場合、ハンス状態が未知の時に開始条件を発行した場合にも設定(1)されます。このビット位置への1書き込みはWIFを解除(0)します。このフラグが設定(1)されると、主装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。</mark>

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット5 - CLKHOLD: クロック保持フラグ(Clock Hold)

このフラグは主装置がSCL線をLowに保持するときに設定(1)されます。これは状態フラグで、読み込み割り込み要求フラグ(RIF)と書き込み割り込み要求フラグ(WIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

このフラグは読み込み割り込み要求フラグ(RIF)と同じ条件についても自動的に解除(0)されます。

● ビット4 - RXACK : 受信応答フラグ(Received Acknowledge)

このフラグは従装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、従装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

● ビット3 - ARBLOST:調停敗退フラグ(Arbitration Lost)

このフラグはHighのデータ ビット、<mark>否認応答</mark>(NACK)の送信、またはバス上の<mark>開始条件や再送開始条件</mark>の発行中で調停に敗れた場合に設定(1)されます。このビット位置への1書き込みはARBLOSTを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはARBLOSTを自動的に解除(0)します。

● ビット2 - BUSERR: バス異常フラグ(Bus Error)

このフラグは不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は直前の開始条件からのビット数が9の倍数でない再送開始条件や停止条件が検出された場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。

TWI主装置アドレス(ADDR)レジスタ書き込みはBUSERRを自動的に解除(0)します。

• ビット1,0 - BUSSTATE1,0: バス状態フラグ (Bus State)

これらのフラグは**表19-6**.で定義されるように現在のTWIバス状態を示します。バス状態の変化はバスの動きに依存します。167頁の「**バス状態論理**」を参照してください。

BUSSTATEL ットへの01書き込みはバス状態論理をアイドル状態に強制します。 バス状態論理は他のどの状態にも強制できません。リセット後と主装置が禁止される時にバス状態論理は禁止され、バス状態が未知になります。

表19-6. TWI主装置 n x 状態

BUSSTATE 1,0 群構成設定 内容

0 0 UNKNOWN 未知の n x x 状態

0 1 IDLE アイドル n x x 状態

1 0 OWNER 所有者 n x x 状態

1 1 BUSY 使用中 n x x 状態

19.9.5. **BAUD** - ホーレート レシ スタ (Baud Rate register)

ピット	7	6	5	4	3	2	1	0	_
+\$04				BAU:	D7~0				BAUD
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ボーレート(BAUD)レシ、スタはシステム クロックとTWIハ、ス クロック(SCL)周波数間の関係を定義します。この周波数関係は次式を使うことによって表すことができます。

$$f_{TWI} = \frac{f_{SYS}}{2 \times (5 + BAUD)}$$
[Hz] · · · · · 式1.

BAUDレシ、スタは応用がどちらの規格に従うべきかに依存して100kHzまたは400kHzと等しいかまたはそれ以下のTWIハ、ス周波数 (ftwi)での結果となる値に設定されなければなりません。次式(式2.)はBAUD値用に解決された式1.を表します。

$$BAUD = \frac{fSYS}{2 \times fTWI} - 5$$
 \pm 2.

SCLクロックは50/50のデューティサイクルを持つように設計されます。周波数が400kHzに近づく時にLow時間必要条件が合致するのを保証するため、BAUDは式2.で得られるものよりも高く設定されることが必要かもしれません。

SCLのLow時間とBAUD間の関係は次式によって表されます。

$$BAUD = (t_{LOW} + t_{of}) \times f_{SYS} - 5 \cdots$$
 式 3.

最高BAUD値を与える式2.と式3.の結果が使われるべきです。

BAUDレジスタは主装置が禁止されている間にだけ書かれるべきです。

19.9.6. ADDR - アトレス レシ スタ (Address register)

Ľ'yh	7	6	5	4	3	2	1	0	
+\$05				ADD	R7~0				ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値								_	

ハ、スがアイト・ルの間に従装置アト・レスとR/Wビットと共にアト・レス(ADDR)レシ、スタが書かれると、開始条件が発行され、アビット アト・レスとR/Wビットがハ、ス上に送信されます。ADDRが書かれる時にハ、スが既に所有者なら、再送開始条件が発行されます。直前の転送処理が主装置読み込みで否認応答(NACK)が未だ送られていない場合、再送開始条件の前に応答動作が送出されます。

動作が完了して従装置からの応答ビットが受信された後、調停が失われていなければ、SCL線はLowを強制されます。書き込み割り込み要求フラグ(WIF)が設定(1)されます。

ADDRが書かれた時にバス状態が未知の場合、WIFが設定(1)され、バス異常(BUSERR)が設定(1)されます。

全てのTWI主装置フラグはADDRが書かれた時に自動的に解除(0)されます。これにはBUSERR、調停敗退(ARBLOST)、読み込み割り込み要求(RIF)、WIFを含みます。主装置ADDRレジスタは実行中のバス動作での妨害を除いて何時でも読むことができます。

19.9.7. DATA - データレジスタ (Data register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$06				DAT	A7~0				DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レシ、スタはデータを送受信する時に使われます。データ転送中、データはハ、スとDATAレシ、スタ間で移動されます。これはハ・仆転送中にDATAレシ、スタがアクセスできないことを意味し、これはハート・ウェアで保護されています。データレシ、スタは主装置によってSCL線がLowを保持している時、換言するとクロック保持(CLKHOLD)フラク・が設定(1)されている時にだけアクセスできます。

主装置書き込み動作ではDATAレジスタ書き込みがデータ バイト転送を起動し、続いて主装置は従装置からの応答ビットを受信します。書き込み割り込み要求フラグ(WIF)とCLKHOLDフラグが設定(1)されます。

主装置読み込み動作では1^ハイがDATAレシ^ブスタに受信された時に、読み込み割り込み要求フラグ^(RIF)とCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAレシ^ブスタ読み込みは応答動作(ACKACT)ビットでの設定のようにハ^ブス操作を起動します。受信中にハ^ブス異常が起きた場合、RIFの代わりにWIFとハ^ブス異常(BUSERR)フラグが設定(1)されます。

DATAレシ、スタのアクセスは主装置割り込み要求フラク、とCLKHOLDフラク、を解除(0)します。

19.10. レシ、スタ説明 - TWI従装置

19.10.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	INTL'	VL1,0	DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7.6 - INTLVL1.0:割り込みレベル (Interupt Level)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるようにTWI従装置割り込みに対する割り込みレヘブルを選びます。

● ビット5 - DIEN: データ割り込み許可 (Data Interrupt Enable)

データ割り込み許可(DIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのデータ割り込み要求フラグ(DIF)が設定(1)される時のデータ割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みレベル(INTLVL)ビットが0以外でなければなりません。

● ビット4 - APIEN: アドレス/停止割り込み許可 (Address/Stop Interrupt Enable)

アトレス/停止割り込み許可(APIEN)ビットの設定(1)はTWI従装置状態(STATUS)レジスタのアトレス/停止割り込み要求フラケ(APIF)が設定(1)される時のアトレス/停止割り込みを許可します。生成されるべき割り込みに対して、TWI従装置割り込みレヘル(INTLVL)ビットが0以外でなければなりません。

● ビット3 - ENABLE : TWI従装置許可 (Enable TWI Slave)

このビットの設定(1)がTWI従装置を許可します。

● ビット2 - PIEN : 停止条件割り込み許可 (Stop Interrupt Enable)

このビットの設定(1)は停止条件が検出された時にTWI従装置状態(STATUS)レジスタのアドレス/停止割り込み要求フラグ(APIF)を設定(1) させます。

● ビット1 - PMEN:無差別動作許可(Promiscuous Mode Enable)

このビットの設定(1)によって、従装置アドレス一致論理回路は全ての受信アドレスに応答します。このビットが解除(0)される場合、アドレス一致論理回路は自身のアドレスとしてどのアドレスを認証するかを決めるのにTWI従装置アドレス(ADDR)レジスタを使います。

● ビット0 - SMEN : 簡便動作許可 (Smart Mode Enable)

このビットは簡便動作を許可します。簡便動作が許可(1)されると、TWI従装置データ(DATA)レジスタ読み込み直後にTWI従装置制御レジスタB(CTRLB)の応答動作(ACKACT)ビットで設定されるように応答動作が送出されます。

19.10.2. CTRLB - 制御レジスタB (Control register B)

ピット _	7	6	5	4	3	2	1	0	
+\$01	-	_	-	-	-	ACKACT	CM.	D1,0	CTRLB
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常にOを書いてください。

● ビット2 - ACKACT: 応答動作 (Acknowledge Action)

このビットは主装置から受信したアドレスまたはデータの後での従装置の応答の動きを定義します。応答動作は指令が指令(CMD)ビットに書かれる時に実行されます。TWI従装置制御レジスタA(CTRLA)の簡便動作許可(SMEN)ビットが設定(1)なら、応答動作はデータ(DATA)レジスタが読まれる時に実行されます。

表19-7.は応答動作を一覧にします。

表19-7. TV	表19-7. TWI従装置応答動作							
ACKACT	動作							
0	確認応答(ACK)送出							
1	否認応答(NACK)送出							

ビット1.0 - CMD1.0:指令(Command)

これらのビットの書き込みは表19-8.で定義されるような従装置動作を起動します。CMDビットはストローブ(瞬間だけ状態保持の)ビットで、常にOとして読めます。動作は従装置割り込み要求フラグ、データ割り込み要求フラグ(DIF)とアドレス/停止割り込み要求フラグ(APIF)に依存します。応答動作は従装置が主装置からのアドレス バイトまたはデータ バイトを受信した時にだけ実行されます。

表19-8. TWI従装置指令

CMD1,0	群構成設定	方向(DIR)	動作
0 0	NOACT	X	動作なし
0 1	1	X	(予約)
		完全な転送	5処理に使用
1 0	COMPLETE	0	何れかの開始条件または再送開始条件の待機が後続する応答動作を実行
		1	何れかの開始条件または再送開始条件の待機
		アドレス バイト	·(アドレス/停止割り込み要求フラグ(APIF)=1)への応答で使用
		0	次バイ受信が後続する応答動作を実行
1.1	RESPONSE	1	設定(1)されつつあるデータ割り込み要求フラグ(DIF)が後続する応答動作を実行
1 1	KESPONSE	データ バイト(データ割り込み要求フラグ(DIF)=1)への応答で使用
		0	次バイ持機が後続する応答動作を実行
		1	動作なし

CMDビット書き込みは従装置割り込み要求フラグとクロック保持(CLKHOLD)フラグを解除(0)し、SCL線を開放します。応答動作(ACKACT) ビットとCMDビットは同時に書くことができ、そして指令が起動される前に応答動作が更新されます。

19.10.3. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	_
+\$02	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	STATUS
Read/Write	R/W	R/W	R	R	R/W	R/W	R	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - DIF: データ割り込み要求フラグ(Data Interrupt Flag)

このフラグはデータ バイトが成功裏に受信された、換言すると動作中に衝突またはバス異常が起きない時に設定(1)されます。このビット位置への1書き込みはDIFを解除(0)します。このフラグが設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラグの解除(0)がSCL線を開放します。

このフラグはTWI従装置制御レジスタB(CTRLB)の指令(CMD)ビットへの有効な指令書き込み時にも自動的に解除(0)されます。

● ビット6 - APIF: アドレス/停止割り込み要求フラグ(Address/Stop Interrupt Flag)

このフラケは有効なアト・レスが受信されたことを従装置が検知した時、または送信衝突が検出された時に設定(1)されます。TWI従装置制御レシ、スタA(CTRLA)の停止条件割り込み許可(PIEN)ビットが設定(1)なら、ハ、スの停止条件もAPIFを設定(1)します。このビット位置への1書き込みはAPIFを解除(0)します。アト・レス割り込みに対して設定(1)されると、従装置はSCL線をLowに強制し、TWIクロック周期を引き伸ばします。この割り込み要求フラケの解除(0)がSCL線を開放します。

このフラグはデータ割り込み要求フラグ(DIF)と同じ条件についても自動的に解除(0)されます。

● ビット5 - CLKHOLD: クロック保持フラグ(Clock Hold)

このフラグは従装置がSCL線をLowに保持する時に設定(1)されます。これは状態フラグで、データ割り込み要求フラグ(DIF)またはアドレス/停止割り込み要求フラグ(APIF)が設定(1)される時に設定(1)される読み込み専用ビットです。これらの割り込み要求フラグの解除(0)とSCL線の開放がこのフラグを間接的に解除(0)します。

● ビット4 - RXACK: 受信応答フラグ(Received Acknowledge)

このフラグは主装置からの最終受信応答ビットを含みます。これは読み込み専用フラグです。0として読めると、主装置からの最終応答ビットは確認応答(ACK)で、1として読めると、最終応答ビットは否認応答(NACK)です。

ビット3 - COLL: 衝突フラク (Collision)

このフラケーは従装置がHighのデータ ビット、<mark>否認応答</mark>(NACK)ビットを転送できなかった時に設定(1)されます。衝突が検出された場合、従装置はデータと応答の出力を禁止し、Low値がSDA線上に移動出力されない通常動作を始めます。このビット位置への1書き込みはCOLLを解除(0)します。

このフラグは開始条件または再送開始条件が検出される時にも自動的に解除(0)されます。



● ビット2 - BUSERR: TWI従装置バス異常フラグ (TWI Slave Bus Error)

このフラグは転送中に不正なバス状態が起きた場合に設定(1)されます。不正なバス状態は再送開始条件または停止条件が検出され、直前の開始条件からのビット数が9の倍数でない場合に起きます。このビット位置への1書き込みはBUSERRを解除(0)します。

検出されるべきバス異常に関してはバス状態論理回路が許可されていなければなりません。これはTWI主装置を許可することによって行われます。

● ビット1 - DIR: 読み/書き方向フラグ (Rwad/Write Direction)

読み/書き方向(DIR)フラグは主装置から受信した最後のアドレス パケットからの方向ビットを反映します。このビットが1として読めると、主装置読み込み動作が進行中です。 0として読める時は主装置書き込み動作が進行中です。

● ビット0 - AP: 従装置アドレス/停止条件フラグ(Slave Address or Stop)

このフラケーはTWI従装置状態(STATUS)レシ、スタのアドレス/停止割り込み要求フラケー(APIF)の最後の設定を有効なアドレスまたは停止条件のどちらが起したかを示します。

表19	-9. TWI従装置 アドレスまたは停止条件
AP	内容
0	停止条件がAPIFの割り込みを生成
1	アドレス検出がAPIFの割り込みを生成

19.10.4. ADDR - アドレス レジスタ (Address register)

ヒ"ット	7	6	5	4	3	2	1	0	
+\$03				ADD	R7∼1			ADDR0	ADDR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 -ADDR7~1: TWI従装置アドレス (TWI Slave Address)

このレシ、スタは主装置が従装置をアト・レス指定しているかを判断するための従装置アト・レス一致論理回路によって使われるTWI従装置アト・レスを含みます。上位アヒ・ット(ADDR7~1)が従装置アト・レスを表します。

10ビット アドレス使用時、アドレス一致論理回路は10ビット アドレスの最初のバイトのハードウェア アドレス認証を支援するだけです。ADDR7~1= '11110nn'設定で、'nn'は従装置アドレスのビット9と8を表します。次の受信バイトが10ビット アドレスのビット7~0で、これはソフトウェアによって扱われなければなりません。

有効なアト・レス バイトが受信されたことをアト・レス一致論理回路が検知すると、アト・レス/停止割り込み要求フラグ(APIF)が設定(1)され、読み/書き方向(DIR)フラグが更新されます。

従装置制御レジスタA(CTRLA)の無差別動作許可(PMEN)ビットが設定(1)なら、アドレス一致論理回路はTWIバス上に送信された全てのアトレスに応答します。ADDRレジスタはこの動作種別で使われません。

● ビット0 - ADDR0: 一斉呼び出し認証許可 (Genera Call Recognition Enable)

ADDRo設定(1)時に、これは一斉呼び出しアドレス認証論理回路を許可し、故に装置はバス上の全ての装置をアドレス指定する一斉呼び出しに応答することができます。

19.10.5. DATA - データレジスタ (Data register)

ピット _	7	6	5	4	3	2	1	0	
+\$04				DAT	A7∼0				DATA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータを送受信する時に使われます。データ転送中、データはハ、スとDATAレジスタ間で移動されます。これはハ・小転送中にDATAレジスタがアクセスできないことを意味し、これはハートウェアで保護されています。データレジスタは従装置によってSCL線がLowを保持している時、換言するとクロック保持(CLKHOLD)フラグが設定(1)されている時にだけアクセスできます。

主装置が従装置からデータを読むとき、送出すべきデータがDATAレジスタに書かれます。主装置が従装置からデータ バイトのクロック駆動を始める時にバイト転送が開始され、続いて従装置は主装置からの応答ビットを受信します。データ割り込み要求フラケ(DIF)とCLKHOLDが設定(1)されます。

主装置が従装置にデータを書くとき、1バイトがDATAレジスタに受信された時にDIFとCLKHOLDが設定(1)されます。簡便動作が許可の場合、DATAレジスタ読み込みは応答動作(ACKACT)ビットでの設定のようにバス操作を起動します。

DATAレシ、スタのアクセスは従装置割り込み要求フラグとCLKHOLDフラグを解除(0)します。アドレス一致が起こると、受信したアドレスがDATAレシ、スタに格納されます。



19.10.6. ADDRMASK - アトレス遮蔽レジスタ (Address Mask register)

ピット	7	6	5	4	3	2	1	0	
+\$05			Al	DDRMASK7 [,]	~0			ADDREN	ADDRMASK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~1 -ADDRMASK7~1:第2従アドレス/アドレス遮蔽値 (Second Slave Address/Address Mask Value)

これらのビットはアドレス許可(ADDREN)ビット設定に依存して、第2アドレス一致レジスタまたはアドレス遮蔽レジスタとして働きます。

ADDRENがOに設定される場合、ADDRMASKは7ビットの従装置アドレス遮蔽を格納することができます。ADDRMASK内の各ビットは従装置アドレス(ADDR)レジスタ内の対応するアドレス ビットを遮蔽(禁止)することができます。遮蔽ビットが1の場合に到着アドレス ビットとADDR内の対応するビット間のアドレス一致が無視されます。換言すると、遮蔽されたビットは常に一致します。

ADDRENが1に設定される場合、ADDRMASKはADDRレジスタに加えて第2従装置アドレスを格納することができます。この動作では従装置がADDRの1つとADDRMASKの別の1つで2つの独自のアドレスに一致します。

• ビット0 - ADDREN: アドレス許可 (Address Enable)

既定によるこのビットは0で、ADDRMASKビットはADDRレジスタに対するアドレス遮蔽として働きます。このビットが1に設定される場合、従装置アドレス一致論理回路はADDRとADDRMASK内の2つの独自のアドレスに応答します。

19.11. レジスタ要約 - TWI

ア	ドレス	略称	ピット7	ピット6	ビット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+	-\$08	従装置				従装置差	分別で			1	
+	-\$01	主装置				主装置差	分アドレス				
+	-\$00	CTRL	ı	-	-	-	ı	SDAHO	DLD1,0	EDIEN	171

19.12. レジスタ要約 - TWI主装置

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$06	DATA		1		DAT	A7~0			1	174
+\$05	ADDR		1		ADD	R7~0			1	174
+\$04	BAUD		1		BAU:	D7~0			1	174
+\$03	STATUS	RIF	WIF	CLKHOLD	RXACK	ARBLOST	BUSERR	BUSST	ATE1,0	173
+\$02	CTRLC	-	_	-	-	-	ACKACT	CM	D1,0	172
+\$01	CTRLB	_	_	_	_	TIMEC	UT1,0	QCEN	SMEN	172
+\$00	CTRLA	INTL	VL1,0	RIEN	WIEN	ENABLE	_	_	_	171

19.13. レジスタ要約 - TWI従装置

アト・レス	略称	ビット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$05	ADDRMASK		1	AI	DDRMASK7	~1			ADDREN	178
+\$04	DATA		1		DAT	A7~0				177
+\$03	ADDR				ADD	R7∼0				177
+\$02	STATUS	DIF	APIF	CLKHOLD	RXACK	COLL	BUSERR	DIR	AP	176
+\$01	CTRLB	-	-	-	-	-	ACKACT	CM.	D1,0	175
+\$00	CTRLA	INTL	VL1,0	DIEN	APIEN	ENABLE	PIEN	PMEN	SMEN	175

19.14. 割り込みべりタ要約

	変位	記述例	割り込み内容
I	\$00	SLAVE_vect	TWI従装置割り込みベクタ
	\$02	MASTER_vect	TWI主装置割り込みベクタ



20. SPI - 直列周辺インターフェース

20.1. 要点

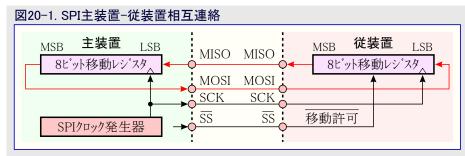
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

20.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはXMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。SPIを持つ主及び従装置デバイス間の相互連絡が図20-1.で示されます。このシステムは2つの移動レジスタと主装置クロック発生器から成ります。SPI主装置は望む従装置の従装置選択(SS)ピンをLowに引くことによって通信周回を開始します。主装置と従装置は送る

べきデータをそれらの各々の移動レジスタに用意して、データを交換するためにSCK線上に必要とするクロック パルスを主装置が発生します。データは常に主装置出力→従装置入力(MOSI)線で主装置から従装置へ、主装置入力←従装置出力(MISO)線で従装置から主装置へ移動されます。各データ パケット後、主装置はSS線をHighに引くことによって従装置を同期化することができます。



SPI単位部は送信方向で緩衝なし、受信方向で単一緩衝されています。これは移動周期全体が完了される前に送信されるべきデータがSPIデータ(DATA)レジスタに書けないことを意味します。データ受信時、受信したデータは次のデータが完全に移動入力される前に読まれなければなりません。さもなければ、最初のバイが失われます。

SPI従装置動作では制御回路がSCKピンの到着信号を採取します。このクロック信号の正しい採取を保証するため、最小Low及びHigh区間は2CPUクロック周期よりも長くなければなりません。

SPI単位部が許可されると、MOSI,MISO,SCK,SSt°ンのデータ方向は**表20-1**.に従って無効化されます。使用者定義方向のピンは応用に対応した正しい方向になるようにソフトウェアから構成設定されなければなりません。

表20-1. SPIL°ン無効化と方向		
ピン	主装置時方向	従装置時方向
MOSI	使用者定義	入力
MISO	入力	使用者定義
SCK	使用者定義	入力
SS	使用者定義	入力

20.3. 主装置動作

主装置動作で、SPIはSSピンの自動制御がありません。SSピンが使われる場合、それは出力として構成設定され、使用者ソフトウェアによって制御されなければなりません。バスが多数の従装置や主装置から成る場合、SPI主装置はバス上の従装置の各々へのSS線を制御するのに汎用I/Oピンを使うことができます。

データ(DATA)レジスタへのハ・イト書き込みがSPIクロック発生器を起動し、ハート・ウェアが選択した従装置への8ビット移動を行います。1ハ・イトの移動後、SPIクロック発生器が停止し、SPI割り込み要求フラグ(IF)が設定(1)されます。主装置はデータレジスタへ新しいデータを書くことによって次のハ・イトの移動を続けるか、またはSS線をHighに引くことによって転送終了を合図するかができます。最後に到着したハ・イトは緩衝レジスタに保持されています。

SSピンが使われずに入力として構成設定された場合、主装置動作を保証するためにHighに保持されなければなりません。SSピンが入力でLowに駆動される場合、SPI単位部はこれをバス制御を取得するための他の主装置の試みとして解釈します。バス衝突を避けるため、主装置は次の動作を行います。

- 1. 主装置は従装置動作へ移行します。
- 2. SPI割り込み要求フラグが設定(1)されます。

20.4. 従装置動作

従装置動作では、SSピンがHighに駆動されている限り、SPIインターフェースはHi-ZにされたMISO線での休止に留まります。この状態で、ソフトウェアはデータ(DATA)レジスタの内容を更新できますが、SSピンがLowに駆動されるまで、そのデータはSCKピンでの到着クロック パルスによって移動出力されません。SSがLowに駆動された場合、従装置は最初のSCKクロック パルスでデータの移動出力を開始します。1バイトが完全に移動されると、SPI割り込み要求フラグ(IF)が設定(1)されます。従装置は到着データを読む前に送るべき新しいデータをデータレジスタに置いて(動作を)継続できます。最後に到着したバイトは緩衝レジスタに保持されています。

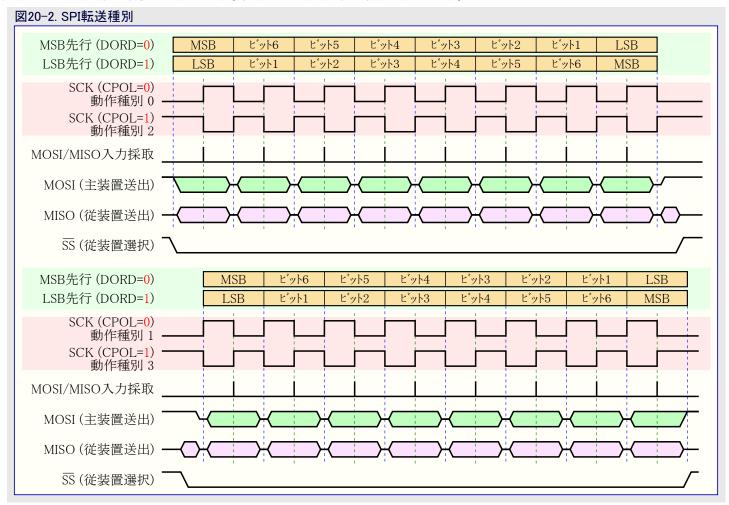
SSがHighに駆動されると、SPI論理回路はリセットし、そしてSPI従装置はどの新しいデータも受信しません。移動レジスタ内の何れの部分的な受信パケットも取り落とされます。

SSピンが転送の開始と終了の合図に使われるので、これはパケット/バイト同期、主装置クロック発生器での従装置ビット計数器同期維持にも有用です。

20.5. データ転送種別

直列データに関してSCKの位相と極性で4つの組み合わせがあります。SPI データ転送形式が**図20-2**.で示されます。データ ビットはSCK 信号の逆端で移動出力とラッチが行われ、これはデータ信号安定のための充分な時間を保証します。

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。



20.6. DMA支援

SPI単位部でのDMA支援は従装置動作でだけ利用可能です。SPI従装置は1バイトがデータ(DATA)レジスタ内に移動された時にDMA転送を起動できます。主装置動作でDMA支援を得るためにXMEGA USARTをSPI動作に設定することが可能です。詳細については191頁の「主装置SPI動作でのUSART」を参照してください。



20.7. レジスタ説明

20.7.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	CLK2X	ENABLE	DORD	MASTER	MODE1,0		PRESCALER1,0		CTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - CLK2X: SPIクロック倍速 (SPI Clock Double)

このビットが設定(1)されると、SPI速度(SCK周波数)が主装置動作で2倍にされます(表20-3.をご覧ください)。

● ビット6 - ENABLE: SPI許可 (SPI Enable)

このビットの設定(1)がSPI単位部を許可します。このビットはどのSPI操作をも可能とするために設定(1)されなければなりません。

ヒット5 - DORD: データ順(Data Order)

DORDはバイトがデータ(DATA)レジスタから移動出力される時のデータ順を決めます。 DORDが1を書かれると、データ バイトの最下位ビット (LSB)が最初に送信され、DORDが0を書かれると、データハイトの最上位ビット(MSB)が最初に送信されます。

● ビット4 - MASTER: 主/従選択(Master/Slave Select)

このビットは1の時に主装置動作を、0の時に従装置動作を選択します。SSが入力として構成設定され、MASTERが設定(1)されている 間にLowへ駆動される場合、MASTERは解除(0)されます。

ビット3,2 - MODE1,0: SPI動作種別(SPI Mode)

これらのビットは転送種別を選びます。直列データに関する 表20-2. S SCKの位相と極性での4つの組み合わせが表20-2.で示され ます。これらのビットはクロック周期での先頭端(先行端)が上昇 または下降のどちらか、データの設定と採取が先行端または 後行端のどちらかを決めます。

先行端が上昇の時のSCKはアイドル時にLowで、先行端が下 降の時のSCKはアイドル時にHighです。

表20-2. SF	I転送動作種別			
MODE1,0	群構成設定	SCK先行端	SCK後行端	
0 0	0	上昇端,入力採取	下降端,出力設定	
0 1	1	上昇端,出力設定	下降端,入力採取	
1 0	2	下降端,入力採取	上昇端,出力設定	
1 1	3	下降端,出力設定	上昇端,入力採取	

● ビット1,0 - PRESCALER1,0: SPIクロック前置分周(SPI Clock Prescaler)

これら2ビットは主装置動作に構成設定されたデバイスのSCK速度を制御 表20-3. SCKと周辺機能クロック周波数(clkper)間の関連 します。これらのビットは従装置動作で無効です。SCKと周辺機能クロック 周波数(clkpe R)間の関連は表20-3.で示されます。

CLK2X	PRESCALER1,0	SCK周波数
0	0 0	clk _{PER} /4
0	0 1	clk _{PER} /16
0	1 0	clk _{PER} /64
0	11	clk _{PER} /128
1	0 0	clk _{PER} /2
1	0 1	clk _{PER} /8
1	1 0	clk _{PER} /32
1	1 1	clkper/64

20.7.2. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ビット	7	6	5	4	3	2	1	0	_
+\$01	-	_	-	-	-	-	INTL	VL1,0	INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット1,0 - INTLVL1,0 : 割り込みレベル (Interrupt Level)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込 みはSPI状態(STATUS)レジスタのSPI割り込み要求フラグ(IF)が設定(1)される時に起動されます。



20.7.3. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$02	IF	WRCOL	-	_	-	-	-	_	STATUS
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - IF:割り込み要求フラグ(Interrupt Flag)

このフラク は直列転送が完了して1n イトがデータ (DATA)レシ スタで完全に移動入出力された時に設定(1)されます。SPIが主装置動作の時にSSが入力として構成設定され、Lowに駆動された場合、これもこのフラグを設定(1)します。IFは対応する割り込み n がりたいます。代わりにIFフラグ はIFが1の時に最初にSTATUSレジ スタを読み、その後にDATAレジ スタをアクセスすることによっても解除(0)されます。

● ビット6 - WRCOL: 上書き発生フラグ (Write Collision Flag)

このフラグはデータ転送中にデータ(DATA)レジスタが書かれた場合に設定(1)されます。このフラグはWRCOLが1の時に最初にSTATUSレジスタを読み、その後にDATAレジスタをアクセスすることによっても解除(0)されます。

ビット5~0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

20.7.4. DATA - データレジスタ (Data register)

ピット	7	6	5	4	3	2	1	0	
+\$03	+\$03 DATA7~0								
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

データ(DATA)レジスタはデータの送受信に使われます。このレジスタへの書き込みはデータ送信を開始し、このレジスタに書かれたバイトがSPI 出力線へ移動出力されます。このレジスタの読み込みは移動レジスタ受信緩衝部の読み出しを引き起こし、成功裏に受信した最終バイトが返ります。

20.8. レジスタ要約

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$03	DATA		DATA7~0							
+\$02	STATUS	IF	WRCOL	-	-	-	-	-	-	182
+\$01	INTCTRL	-	-	-	-	-	-	INTL	VL1,0	181
+\$00	CTRL	CLK2X	ENABLE	DORD	MASTER	MOD	E1,0	PRESCA	LER1,0	181

20.9. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	SPI_vect	SPI割り込みベクタ

21. USART

21.1. 要点

- 全二重動作
- 非同期と同期での動作
 - デバイス クロック周波数の1/2までの同期クロック速度
 - デバイス クロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データ ビットと1, 2停止ビットの直列フレーム支援
- 分数ボーレート発生器
 - どのシステム クロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データ オーハーランとフレーミング異常の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データ レジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アト・レス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
 - 2重緩衝された動作
 - 構成設定可能なデータ順
 - 周辺機能クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)単位部

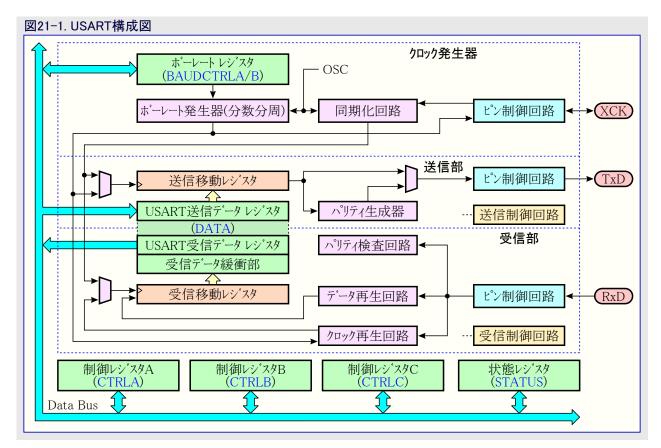
21.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USART は非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。フレーミング異常と緩衝部溢れはハートヴェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

USARTの構成図が図21-1.で示されます。主な機能部は破線枠で示されるクロック発生器、送信部、受信部です。





クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

送信部は単一書き込み緩衝部(DATA)、移動レジスタ、パリティ生成器から成ります。書き込み緩衝はフレーム間のどんな遅延もなしに連続データ送信を許します。

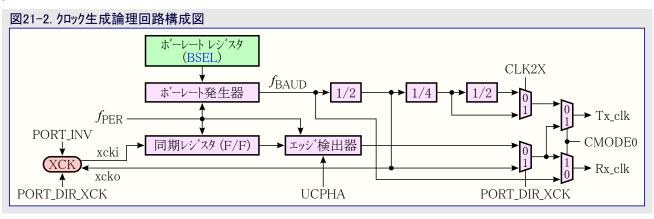
受信部は2段の受信緩衝部(DATA)と移動レジスタから成ります。データとクロックの再生部が非同期データ受信中の頑強な同期化と雑音濾波を保証します。これにはフレーミング異常、緩衝部溢れ、パリティ誤りの検出を含みます。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。 ピン制御と割り込み生成は両動作で同じです。 レジスタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。詳細については198頁の「IRCOM - 赤外線通信単位部」を参照してください。

21.3. クロック生成

クロックはボーレート発生に使われ、データ ビットの移動と採取に関しては内部的に分数ボーレート発生器、または外部的に転送クロック(XC K) ピンから生成されます。標準と倍速の非同期動作、主装置と従装置の同期動作、主装置SPI動作の5つの動作のクロック生成が支援されます。





21.3.1. 内部クロック生成 - 分数ボーレート発生器

分数ボーレート発生器は、非同期動作、同期主装置動作、SPI主装置動作に対する内部クロック生成に使われます。生成された出力周波数(fBAUD)は周期設定(BSEL)、任意選択の倍率設定(BSCALE)、周辺機能クロック周波数(fPER)によって決められます。表21-1.は各動作種別に対する、(秒当たりのビット数での)ボーレートの計算とBSEL値の計算用の式を含みます。これは周辺機能クロック周波数に対する最大ボーレートも示します。BSELは0~4095間のどの値にも設定できます。BSCALEは-7~+7間のどの値にも設定でき、ボーレート発生器の分数ボーレート倍率を提供するためにボーレートを僅かに増減します。

BSELが0の時にBSCALEも0でなければなりません。また、値2ABS(BSCALE)はフレームが取る最小クロック周期数の少なくても半分でなければなりません。詳細については190頁の「分数ボーレート生成」をご覧ください。

≖ Ω1 1	+ 1 1	レジスタ設定計算式
70 / I - I	小 一レート	レン 人がミマル・ミー 見 てい

動作種別	条件	ボーレート計算式	BSEL値計算式
標準速 非同期動作	BSCALE ≥ 0 , $f_{BAUD} \leq \frac{f_{PER}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{BSCALE} \times 16 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2^{BSCALE} \times 16 \times f_{BAUD}} - 1$
作问 如 動作 (CLK2X=0)	BSCALE<0, $f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{16}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{16 \times ((2^{BSCALE} \times BSEL) + 1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{16 \times f_{BAUD}}\right) - 1$
倍速 一非同期動作	BSCALE ≥ 0 , $f_{BAUD} \leq \frac{f_{PER}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2^{BSCALE} \times 8 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2BSCALE \times 8 \times f_{BAUD}} - 1$
作问 如 動作 (CLK2X=1)	BSCALE<0, $f_{\text{BAUD}} \leq \frac{f_{\text{PER}}}{8}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{8 \times ((2^{BSCALE} \times BSEL) + 1)}$	$BSEL = \frac{1}{2^{BSCALE}} \times \left(\frac{f_{PER}}{8 \times f_{BAUD}}\right) - 1$
同期及び SPI主装置動作	$f_{\rm BAUD} < \frac{f_{\rm PER}}{2}$	$f_{\text{BAUD}} = \frac{f_{\text{PER}}}{2 \times (BSEL+1)}$	$BSEL = \frac{f_{PER}}{2 \times f_{BAUD}} - 1$

注: ボーレートは転送速度(ビット/1秒)で定義されます。

BSEL=0に関して、全てのボーレートはBSCALE設定の代わりにBSEL変更によって達成されなければなりません。 BSEL=(2望むBSCALE-1)

BSCALE	BSEL		BSCALE	BSEL	
1	0	\Rightarrow	0	1	
2	0	\Rightarrow	0	3	
3	0	\Rightarrow	0	7	
4	0	\Rightarrow	0	15	
5	0	\Rightarrow	0	31	
6	0	\Rightarrow	0	63	
7	0	\Rightarrow	0	127	

21.3.2. 外部クロック

外部クロック(XCK)は同期従装置動作で使われます。XCKクロック入力は周辺機能クロック(fPER)によって採取され、最大外部XCKクロック周波数(fXCK)は次式によって制限されます。

$$f_{XCK} < \frac{f_{PER}}{4}$$

HighとLowの区間の各々に対して、XCKクロック周期は周辺機能クロックによって2度採取されなければなりません。XCKクロックに細動がある場合、またはHigh/Low区間のデューティサイクルが50%/50%でない場合、それに応じてXCKクロック速度が低減、または周辺機能クロックが増加されなければなりません。

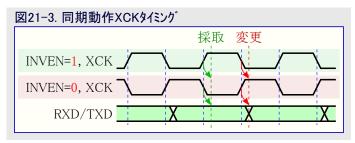
21.3.3. 倍速動作(CLK2X)

倍速動作は非同期動作下でより低い周辺機能クロック周波数でのより高いボーレートを許します。これが許可されると、表21-1.で示されるように非同期ボーレート設定を与えるためのボーレートが倍にされます。この動作では受信部がデータ採取とクロック再生に対して(16から8に減らされた)半分の採取数を用います。減らされた採取のため、より高い精度のボーレートと周辺機能クロックが必要とされます。より多くの詳細については189頁の「非同期データ受信」をご覧ください。

21.3.4. 同期クロック動作

同期動作が使われるとき、XCKピンは転送クロックが入力(従装置動作)または出力(主装置動作)のどちらかを制御します。対応するポートピンは主装置動作に対して出力、従装置動作に対して入力に設定されなければなりません。XCKピンの標準ポート動作は無効にされます。クロック端とデータ採取またはデータ変更間の依存性は同じです。(RxDでの)データ入力はデータ出力(TxD)が変更されるクロック端と逆のクロック端で採取されます。

対応するXCKポートピンに対する反転I/O許可(INVEN)設定の使用でデータ採取とデータ変更に使われるXCKクロック端を選択できます。反転I/Oが禁止(INVEN=0)なら、データはXCKクロック上昇端で変更され、XCKクロック下降端で採取されます。反転I/Oが許可(INVEN=1)なら、データはXCKクロック下降端で変更され、XCKクロック上昇端で採取されます。より多くの詳細については88頁の「入出力ポート」をご覧ください。



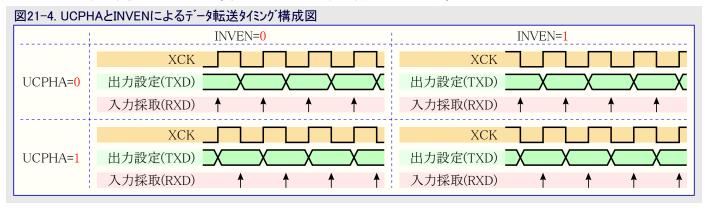
21.3.5. 主装置SPI動作クロック生成

主装置SPI動作形態ついては内部クロック生成だけが支援されます。これはUSART同期主装置動作と同じで、ボーレートまたはBSEL設定は同じ式を使って計算されます。185頁の表21-1.をご覧ください。

直列データに関してSPIクロック(SCK)の位相と極性で4つの組み合わせがあり、それらはクロック位相(UCPHA)制御ビットと反転I/Oピン (INVEN)設定によって決められます。データ転送タイミング構成図が図21-4.で示されます。データ ビットはXCK信号の逆端で移動出力とラッチ入力が行われ、データ信号の安定に充分な時間を保証します。 UCPHAとINVENの設定は表21-2.で要約されます。 送信中のこれらビットのどれかの設定変更は送受信部両方を不正にします。

表21-2. INVENとUCPHAの機能 SPI動作種別 INVEN UCPHA SCK先行端 SCK後行端 下降端,出力設定 上昇端,入力採取 0 0 0 1 0 上昇端,出力設定 下降端,入力採取 2 0 下降端,入力採取 上昇端,出力設定 上昇端,入力採取 3 下降端,出力設定

先行端はクロック周期の最初のクロック端です。後行端はクロック周期の最終クロック端です。





21.4. フレーム構成

データ転送はフレームに基いており、直列フレームは同期ビット(開始ビットと停止ビット)を持つ1つのデータキャラクタと任意選択の誤り検査用パリティビットから成ります。これが主装置SPI動作に適用されないことに注意してください(「SPIフレーム構成」をご覧ください)。USARTは有効なフレーム構成として以下の組み合わせ全てを受け入れます。

- 1 開始ビット
- 5, 6, 7, 8, 9 tinh Find
- 奇数または偶数パリティビット、またはなし
- 1 または 2 停止ビット

フレームは開始ビットで始まり、全てのデータ ビット(最下位データ ビット(LSB)先行、最上位データ ビット(MSB)最終)が後続します。許可なら、パリティ ビットがデータ ビットの後、最初の停止ビットの前に挿入されます。1つのフレームは新しいフレームとその開始ビットによって直ちに後続されるか、または通信線をアイト・ル状態(high)に戻すことができます。図21-5.は組み合わせが可能なフレーム形式を図解します。[]付きビットは任意選択です。



21.4.1. ハリティビット計算

誤り検査用に奇数または偶数のパリティが選べます。偶数パリティが選択されたなら、パリティ ビットは論理1のデータ ビット数が奇数の場合に1を設定します(偶数の1の総数を作成)。 奇数パリティが選択されたなら、パリティ ビットは論理1のデータ ビット数が偶数の場合に1を設定します(奇数の1の総数を作成)。

21.4.2. SPIフレーム構成

SPI動作での直列フレームは1つの8ビットデータキャラクタで定義されます。主装置SPI動作でのUSARTには2つの選択可能なフレーム構成があります。

- MSB先行の8ビット データ
- LSB先行の8ビット データ

完全な8ビットのフレームが送信された後、新しいフレームが直ぐに続くか、または通信線をアイドル状態(high)に戻すことができます。

21.5. USART初期化

USARTの初期化は以下の手順を使うべきです。

- 1. TxDピン値をHighに、任意選択のXCKピンをLowに設定してください。
- 2. TxDと任意選択のXCKピンを出力として設定してください。
- 3. ボーレートとフレーム構成を設定してください。
- 4. 動作種別を設定してください(同期動作でのXCKピン出力を許可してください)。
- 5. 使い方に応じて送信部と受信部を許可してください。

割り込み駆動USART操作に対しては、初期化中に全体割り込みが禁止されるべきです。

ボーレートまたはフレーム構成の変更を伴う再初期化を行う前には、そのレジスタが変更される間で実行中の送信がないことを確認してください。

21.6. データ送信 - USART送信部

送信部が許可されると、TxDピンの標準ポート機能はUSARTによって無効にされ、送信部の直列出力としての機能を与えられます。ピンの方向は対応するポートの方向レジスタを使って出力として設定されなければなりません。ポート ピン制御と出力構成設定の詳細については88頁の「入出力ポート」を参照してください。



21.6.1. フレーム送信

データ送信は送出すべきデータを送信緩衝部(DATA)に格納することによって開始されます。送信緩衝部内のデータは移動レジスタが空で新しいフレーム送出の準備が整っている時に移動レジスタへ移動されます。移動レジスタはそれがアイドル状態(送信実行中以外)の場合、または直前のフレームの最後の停止ビットが送信された直後に格納されます。移動レジスタがデータを格納されると、それは1つのフレームを完全に転送するでしょう。

移動レジスタ内のフレーム全体が移動出力され、送信緩衝部内に新しいデータが存在しない時に、送信完了割り込み要求フラグ(TXCIF)が設定(1)され、任意選択の割り込みが生成されます。

送信データ(DATA)レジスタは、このレジスタが空で新しいデータに対する準備が整っていることを示すデータレジスタ空割り込み要求フラグ (DREIF)が設定(1)の時にだけ書くことができます。

8ビット未満のフレーム使用時、DATAレジスタへ書かれる(未使用)上位側ビットは無視されます。9ビット データが使われる場合、データの下位 バイトがDATAレジスタへ書かれる前に、第9ビットが制御レジスタB(CTRLB)の送信ビット8(TXB8)ビットへ書かれなければなりません。

21.6.2. 送信部禁止

送信部の禁止は実行中と保留中の送信が完了される、換言すると送信移動レジスタと送信緩衝レジスタが送信すべきデータを含んでいない時まで有効になりません。送信部が禁止されると、もはやTxDピン(の標準I/O機能)を無効にせず、例えそれが使用者によって出力として構成設定されていたとしても、ピン方向はハードウェアによって自動的に入力として設定されます。

21.7. データ受信 - USART受信部

受信部が許可されると、RxDピンは受信部直列入力として機能します。ピンの方向は入力として設定されなければならず、そしてこれは既定ピン設定です。

21.7.1. フレーム受信

受信部は有効な開始ビットを検出した時にデータ受信を開始します。開始ビットに後続する各ビットはボーレートまたはXCKのクロックで採取され、フレームの最初の停止ビットが受信されるまで受信移動レジスタ内に移動されます。受信部での第2停止ビットは無視されます。最初の停止ビットが受信され、完全な直列フレームが受信移動レジスタに存在すると、移動レジスタの内容が受信緩衝部内へ移動されます。受信完了割り込み要求フラグ(RXCIF)が設定(1)され、任意選択の割り込みが生成されます。

受信緩衝部はデータ(DATA)レシ、スタ位置を読むことによって読めます。DATAレシ、スタは受信完了割り込み要求フラケ、が設定(1)されていなければ読むべきではありません。8ビット未満のフレーム使用時、未使用上位側ビットは0として読めます。9ビット データが使われる場合、データの下位ハ・イトがDATAレシ、スタから読まれる前に、状態(STATUS)レシ、スタの受信ビット8(RXB8)が読まれなければなりません。

21.7.2. 受信異常フラグ

USART受信部は3つの異常フラケを持っています。フレーミンケ異常(FERR)、緩衝部溢れ(BUFOVF)、ハップティ誤り(PERR)が状態(STATU S)レシ、スタでアクセス可能です。異常フラケはそれらが対応するフレームと共に受信FIFO緩衝部に配置されます。この状態フラケの緩衝処理のためにDATAレシ、スタ位置読み込みがFIFO緩衝部を変更するので、状態レシ、スタは受信緩衝部(DATA)を読む前に読まれなければなりません。

21.7.3. パリティ検査器

許可時、パリティ検査器は到着するフレームのデータ ビットのパリティを計算し、その結果を対応するフレームのパリティ ビットと比較します。パリティ 誤りが検出された場合、パリティ誤り(PERR)フラグが設定(1)されます。

21.7.4. 受信部禁止

受信部の禁止は即時です。受信緩衝部が破棄され、実行中の受信データは失われます。

21.7.5. 受信緩衝部破棄

通常動作中に受信緩衝部が破棄されなければならない場合、受信完了割り込み要求フラグ(RXCIF)が解除(0)されるまでDATA位置を読んでください。



21.8. 非同期データ受信

USARTは非同期データ受信を使うためのクロック再生部とデータ再生部を含みます。クロック再生部はRxDピンに到着する非同期直列フレームを内部で生成されたホーレート クロックに同期化するのに使われます。それは各到着ビットを採取して低域通過濾波を行い、それによって受信部の雑音耐性を改善します。非同期受信動作範囲は、内部ホーレート クロックの精度、到着フレームの速度、ビット数でのフレームの量に依存します。

21.8.1. 非同期クロック再生

クロック再生部は内部クロックを到着直列フレームに同期化します。**図21-6**.は到着フレームの開始ビットの採取処理を図解します。採取速度は標準速動作に対してボーレートの16倍、倍速動作に対して8倍です。赤帯(<mark>訳注</mark>:原文は水平矢印)は採取処理のための同期偏差を図示します。倍速動作(CLK2X=1)を使う時のより広い偏差時間に注意してください。0として記される採取はRxD線がアイドル、換言すると通信活動なしの時に行われる採取です。



クロック再生論理回路がRxD線でHigh(アイ・ル)からLow(開始)の遷移を検出すると、開始ビット検出手順が開始されます。図で示されるように採取1は最初のLow採取を記します。その後クロック再生論理回路は有効な開始ビットが受信されるかを決めるために、標準速動作に対して採取8,9,10、倍速動作に対して採取4,5,6を使います。2または3採取がLowレベルを持つ場合、その開始ビットは受け入れられます。クロック再生部は同期化され、データ再生が始められます。2または3採取がHighレベルを持つ場合、この開始ビットは尖頭雑音として捨てられ、受信部は次のHighからLow遷移を探します。この処理は各開始ビット毎に繰り返されます。

21.8.2. 非同期データ再生

データ再生部は各ビットに対して、標準速動作で16採取、倍速動作で8採取を使います。**図21-7**.はデータ ビットとパリティ ビットの採取を示します。



受信したビットの論理値を決定するために、開始ビット検出と同じ多数決技法が中央の3採取で使われます。この処理はフレームが完全に受信されるまで各ビットに対して繰り返されます。これは最初の停止ビットを含みますが、追加の停止ビットを含みません。採取した停止ビットが0値を持つ場合、フレーシンが異常(FERR)フラケが設定(1)されます。

図21-8.は停止ビットの採取と次のフレームの最も早い開始ビットの始めの可能性を示します。



新しいフレームの開始ビットを示すHighからLowへの遷移は多数決に使った最後のビット後に実現できます。標準速動作に関しては最初のLowレヘル採取が停止ビット採取と次の開始ビット採取でのA点で有り得ます。倍速動作については最初のLowレヘルがB点に遅らされなければなりません。C点は公称ボーレートでの停止ビット全長(の終点)を示します。この早い開始ビット検出は受信部の動作範囲に影響します。



21.8.3. 非同期動作範囲

受信部の動作範囲は受信したビットレートと内部的に生成したボーレート間の不一致に依存します。外部の送信部が速すぎるまたは遅すぎるビット速度を用いて送出したり、内部的に生成した受信部のボーレートが外部供給元の基本周波数と一致しない場合、受信部は開始ビットでフレームを同期できないでしょう。

次式は到着データ速度と内部受信部ボーレート間の比率計算に使えます。

 $R_{slow} = \frac{(D+1)S}{S-1+D\times S+SF}$ $R_{fast} = \frac{(D+2)S}{(D+1)S+SM}$

D: データとパリティのビット数 (5~10)

S: ビット当たりの採取数(標準凍動作=16、倍凍動作=8)

 SF
 : 多数決に使う最初の採取番号 (標準速動作=8、倍速動作=4)

 SM
 : 多数決に使う中心の採取番号 (標準速動作=9、倍速動作=5)

 R_{slow}
 : は受信側ボーレートに対して許容できる最低受信ビット速度の比率です。

 R_{fast}
 : は受信側ボーレートに対して許容できる最高受信ビット速度の比率です。

表21-3.は許容できる最大受信部ボーレート誤差を一覧にします。標準速動作にはより高いボーレート変動許容力があります。

表21-3. 標準速と倍速での受信部ボーレート推奨最大許容誤差

- 3													
I	D		標準	基連動作 (CLK2X= <mark>(</mark>))	倍速動作 (CLK2X=1)							
	U	R _{slow} (%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)	R _{slow} (%)	Rfast(%)	総合許容誤差(%)	推奨許容誤差(%)				
	5	93.20	106.67	-6.80~+6.67	±3.0	94.12	105.66	-5.88~+5.66	± 2.5				
	6	94.12	105.79	-5.88~+5.79	±2.5	94.92	104.92	-5.08~+4.92	± 2.0				
	7	94.81	105.11	-5.19~+5.11	±2.0	95.52	104.35	-4.48~+4.35	± 1.5				
	8	95.36	104.58	-4.54~+4.58	±2.0	96.00	103.90	-4.00~+3.90	± 1.5				
	9	95.81	104.14	-4.19~+4.14	±1.5	96.39	103.53	-3.61~+3.53	± 1.5				
	10	96.17	103.78	-3.83~+3.78	±1.5	96.70	103.23	-3.30~+3.23	±1.0				

注: Dはデータ ビット数とパリティ ビットの合計ビット数です。

(訳注) 原書の表21-3.と表21-4.は表21-3.として纏めました。

最大受信部ボーレート誤差の推奨は送信部と受信部で等分割するとの仮定です。

21.9. 分数ボーレート生成

分数ボーレート生成は各フレームに対して相対的に高いクロック周期数のため、非同期動作に対して可能です。各ビットは16回採取されますが、中央3採取だけが重要です。1つのフレームに対する総採取数も相対的に高くなります。1開始ビット、8データビット、パリティなし、1停止ビットのフレーム構成が与えられ、標準速動作が使われると仮定すると、フレームに対する総採取数は(1+8+1)×16=160です。先に述べられたように、USARTは各採取に関してクロック周期での変化を許容できます。重要な要素は開始ビットの上昇端(換言するとクロック同期化)から最後のビット(換言すると最初の停止ビット)の値が再生されるまでの時間です。

標準的なボーレート発生器は高いボーレート設定間に大きな周波数段差を持つ望まれない特性を持っています。最悪の場合はBSEL値 \$000と\$001間で得られます。160クロック周期の10ビット フレームでの\$000のBSEL値から320クロック周期でのBSEL値\$001への状態は、周波数での50%変化を生じます。理想的な段階量は最速ボーレート間までも小さくあるべきです。これは分数ボーレート発生器の優位性が登場する場面です。

原則的に分数ボーレート発生器は一様でない計数とその後のフレーム全体に渡って誤差を均一に分配することによって動きます。通常のボーレート発生器に対する代表的な計数の流れは以下です。

2, 1, 0, 2, 1, 0, 2, 1, 0, 2, ...

これは一様な時間周期を持ちます。ボーレート クロックは計数器が0に達する時毎に刻まれ、RxDで受信した信号の採取は第16ボーレート クロック刻み毎に行われます。

分数ボーレート発生器に関しては計数の流れが一様でない周期を持てます。

2, 1, 0, 3, 2, 1, 0, 2, 1, 0, 3, 2, …

この例では追加周期が毎回の第2ボーレートクロックに付加されています。これはボーレートクロックの刻みに細動を与えますが、平均周期は0.5クロック周期の分数によって増やされます。

図21-9.は単にBSELを変更することによって可能な間でボーレートを達成するのにBSELとBSCALEがどう使われ得るかの例を示します。

分数ボーレート発生器の衝撃はボーレート設定間の段階量が低減されることです。-1の倍率係数が与えられると、その後の最悪段階は以前の160から320に比べて10ビットフレーム当たり160から240採取になります。より大きな負の倍率係数はより細かい粒度(分解能)までも与えます。倍率係数をどれだけ高くできるかには制限があります。値2BSCALEはフレームにかかるクロック周期の少なくても半分でなければなりません。例えば10ビットフレームに対する最小クロック周期数は160です。これは利用可能な最高倍率係数が-6(2|-6|=64<160/2=80)であることを意味します。より高いBSEL設定については倍率係数を増やすことができます。



表21-5.は非同期動作に対して最も一般的に使われるボーレートを生成するのに内部発振器を使う時のBSELとBSCALEの設定と更に一層ボーレート誤差を減らすためにBSCALEがどう使われるかを示します。

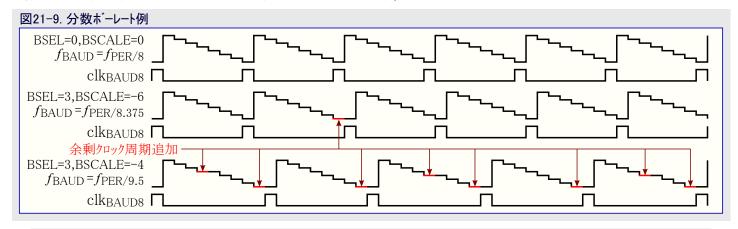


表21-5. USARTボーレート

ホーレート			fosc =	32MHz			ボーレート			fosc =	32MHz		
ルーレート (bps)		CLK2X=0			CLK2X=1		小 -レート (bps)		CLK2X=0			CLK2X=1	
(phs)	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)	(phs)	BSEL	BSCALE	誤差(%)	BSEL	BSCALE	誤差(%)
2400	12	6	0.2	12	7	0.2	460.8k	27	-3	-0.8	31	-2	-0.8
4800	12	5	0.2	12	6	0.2	400.0K	107	-5	-0.1	123	-4	-0.1
9600	12	4	0.2	12	5	0.2	921.6k	19	-4	-0.8	27	-3	-0.8
14400	34	2	0.8	34	3	0.2	921.0K	75	-6	-0.1	107	-5	-0.1
14400	138	0	-0.1	138	1	-0.1	1.382M	7	-4	0.6	15	-3	0.6
19200	12	3	0.2	12	4	0.2	1.362101	57	-7	0.1	121	-6	0.1
28800	34	1	-0.8	34	2	-0.8	1.843M	3	-5	-0.8	19	-4	-0.8
20000	137	-1	-0.1	138	0	-0.1	1.845M	11	-7	-0.1	75	-6	-0.1
38400	12	2	0.2	12	3	0.2	2.0M	0	0	0.0	1	0	0.0
57600	34	0	-0.8	34	1	-0.8	2.304M	-	-	-	3	-2	-0.8
37000	135	-2	-0.1	137	-1	-0.1	2.304W	-	-	-	47	-6	-0.1
76800	12	1	0.2	12	2	0.2	2.5M	-	-	-	19	-4	0.4
115.2k	33	-1	-0.8	34	0	-0.8	2.0W	-	-	-	77	-7	-0.1
110.2K	131	-3	-0.1	135	-2	-0.1	3.0M	-	-	-	11	-5	-0.8
230.4k	31	-2	-0.8	33	-1	-0.8	3.0M	-	-	-	43	-7	-0.2
230.4K							4.0M	-	-	-	0	0	0.0
							最高速		2.0Mbps			4.0Mbps	

21.10. 主装置SPI動作でのUSART

主装置SPI動作でUSARTを使うには送信部の許可が必要です。受信部は直列入力として扱うために任意選択で許可にできます。 XCKピンは転送クロックとして使われます。

USARTでのようにデータ転送はデータ(DATA)レジスタへの書き込みによって開始されます。送信部が転送クロックを制御するので、これは送受信データの両方に対する場合です。DATAに書かれたデータは移動レジスタが新しいフレームを送る準備が整った時に送信緩衝部から移動レジスタへ移動されます。

主装置SPI動作で使われる送受信割り込み要求フラグと対応するUSART割り込みは通常のUSART動作での使用と機能的に同じです。受信部異常状態フラグは未使用で常に0として読めます。

主装置SPI動作でのUSART送信部または受信部の禁止は通常のUSART動作でのそれらの禁止と同じです。



21.11. USART SPIとSPIの比較

主装置SPI動作でのUSARTは以下に於いて独立したSPI単位部と完全な互換性があります。

- タイミング図が同じ
- クロック位相選択(UCPHA)ビットはSPIの動作種別の(MODEの)ビットのそれと機能的に同じです。
- データ順選択(UDORD)ビットはSPIのデータ順選択(DORD)ビットのそれと機能的に同じです。

USARTが主装置SPI動作に設定されると、構成設定と使い方は独立したSPI単位部のそれらといくつかの場合で異なります。加えて、以下の違いが存在します。

- 主装置SPI動作でのUSART送信部は緩衝処理を含みます。SPI単位部は送信緩衝部を持ちません。
- 主装置SPI動作でのUSART受信部は追加の緩衝段を含みます。
- 主装置SPI動作でのUSARTはSPIの上書き発生(WRCOL)ビット((書き込み衝突)機能)を含みません。
- 主装置SPI動作でのUSARTはSPIの倍速許可(CLK2X)ビット(倍速動作機能)を含みませんが、これはそれに応じてボーレート発生器を構成設定することによって達成することができます。
- 割り込みタイミングが互換ではありません。
- 主装置SPI動作でのUSARTが主装置動作だけのため、ピン制御が異なります。

主装置SPI動作でのUSARTとSPIでのピンは表21-5.で示されます。

表21-5. 主装置SPI動作でのUSARTとSPIのピン比較								
USART	SPI	注釈						
TXD	MOSI	主装置出力のみ						
RXD	MISO	主装置入力のみ						
XCK	SCK	(機能的に同一)						
該当なし	SS	主装置SPI動作でのUSARTで未支援						

21.12. 複数プロセッサ通信動作

複数プロセッサ通信動作(MPCM)は同一直列バス経由で複数マイクロ コントローラの通信を持つシステムで、受信部によって扱われなければならない到着フレーム数を効果的に減らします。この動作ではフレームがアドレスまたはデータのどちらかを示すためにフレーム内の専用ビットが使われます。

受信部が5~8データ ビットを含むフレーム受信に初期設定されるなら、最初の停止ビットがフレーム形式を示すのに使われます。受信部が9 データ ビットのフレームに初期設定されるなら、第9ビットが使われます。フレーム形式(最初の停止または第9)ビットが1のとき、そのフレームはアドレスを含みます。フレーム形式ビットが0のとき、そのフレームはデータ フレームです。5~8ビット データ フレームが使われる場合、最初の停止ビットがフレーム形式を示すのに使われるので、送信部は2停止ビット使用に設定されなければなりません。

特定の従装置MCUがアドレス指定されたなら、そのMCUは後続するデータ フレームを通常のように受信し、一方他の従装置MCUは別の アドレス フレームが受信されるまでフレームを無視します。

21.12.1. 複数プロセッサ通信動作の使い方

複数プロセッサ通信動作でデータを交換するために次の手順が使われるべきです。

- 1. 全ての従装置MCUは複数プロセッサ通信動作です(MPCM=1)。
- 2. 主装置MCUはアドレス フレームを送り、全ての従装置がこのフレームを受信して読みます。
- 3. 各従装置MCUは選択されたかを判定します。
- 4. アドレス指定されたMCUはMPCMを禁止して全てのデータフレームを受信します。他の従装置CPUはデータフレームを無視します。
- 5. アドレス指定されたMCUが最終データフレームを受信すると、MPCMを再び許可して主装置からの新しいアドレスフレームを待たなければなりません。

その後、手順は2.からを繰り返します。

5~8ビット データ フレーム構成のどれかの使用は、受信側がnとn+1ビット データ フレーム構成の使用を切り替えなければならないため非実用的です。これは送信側と受信側が同じデータ長設定を使わなければならないので、全二重動作を困難にします。

21.13. 赤外線通信(IRCOM)動作

IRCOM動作はUSARTと共にIRCOM単位部の使用を許可されることで行えます。これは115.2kbpsまでのボーレートに対してIrDA1.4適合の変調と復調を可能にします。IRCOM動作が許可されると、USARTに対して倍速動作は使えません。

複数のUSARTを持つデバイスについてはIRCOMが同時に1つのUSARTに対してだけ許可することができます。詳細については198頁の「IRCOM - 赤外線通信単位部」を参照してください。

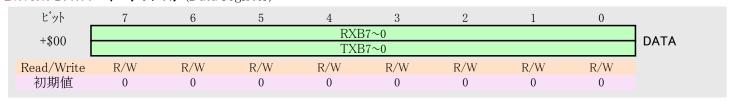
21.14. DMA支援

DMA支援はUART、USRT、SPI主装置動作周辺機能で利用可能です。USARTの各種DMA転送起動の詳細については37頁の「転送起動元」を参照してください。



21.15. レジスタ説明

21.15.1. DATA - データレジスタ (Data register)



USART送信データ緩衝(TXB)レジスタとUSART受信データ緩衝(RXB)レジスタは同じI/Oアドレスを共用し、USARTデータレジスタ(DATA)として参照されます。TXBレジスタはDATAレジスタ位置に書かれるデータの転送先です。DATAレジスタ位置読み込みはRXBレジスタの内容を返します。

5~7ビット データに関しては上位未使用ビットが送信部によって無視され、受信部によって0に設定されます。

送信緩衝部は状態(STATUS)レジスタのデータレジスタ空きフラグ(DREIF)が設定(1)されている時にだけ書くことができます。DREIFフラグが設定(1)されていない時にDATAレジスタへ書かれたデータはUSART送信部によって無視されます。送信部が許可されてデータが送信緩衝部に書かれると、送信部は移動レジスタが空の時にデータを送信移動レジスタへ格納します。その後データはTxDピンで送信されます。受信緩衝部は2段のFIFOから成ります。受信緩衝部の正しい状態を得るため、常にDATAに先行してSTATUSを読んでください。

21.15.2. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$01	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	-	RXB8	STATUS
Read/Write	R	R/W	R	R	R	R	R	R/W	
初期値	0	0	1	0	0	0	0	0	

● ビット7 - RXCIF: 受信完了割り込み要求フラグ (Receive Complete Interrupt Flag)

このフラグは受信緩衝部内に未読データがある時に設定(1)され、受信緩衝部が空の(換言すると何れの未読データも含まない)時に解除(0)されます。受信部が禁止されると、受信緩衝部は破棄され、その結果としてRXCIFが0になります。

● ビット6 - TXCIF: 送信完了割り込み要求フラグ(Transmit Complete Interrupt Flag)

このフラグは送信移動レジスタのフレーム全体が移動出力され、送信緩衝部(DATA)内に新しいデータがない時に設定(1)されます。TXCIF は送信完了割り込みベクタが実行される時、自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

● ビット5 - DREIF: データ レジスタ空割り込み要求フラグ(Data Register Empty Flag)

DREIFは送信緩衝部(DATA)が新しいデータを受け取る準備が整っているかを示します。このフラグは送信緩衝部が空の時に1で、移動レジスタ内へ未だ移動されていない送信されるべきデータを送信緩衝部が含む時に0です。DREIFは送信部準備完了を示すためにリセ外後に設定(1)されます。

DREIFはDATA書き込みによって解除(0)されます。割り込み駆動データ送信が使われるとき、データレジスタ空割り込み処理ルーチンは DREIFを解除(0)するためにDATAに新しいデータを書くか、またはデータレジスタ空割り込みを禁止しなければなりません。そうしなければ、現在の割り込みからの復帰直後に新しい割り込みが起きます。

● ビット4 - FERR: フレーミング異常フラグ(Frame Error)

FERRフラケは受信緩衝部に格納された読み込み可能な次のフレームの最初の停止ビットの状態を示します。このビットは受信したデータがフレーミング異常を持つ、換言すると、最初の停止ビットがOだった場合に設定(1)され、受信したデータの停止ビットが1の時に解除(0)されます。このビットは受信緩衝部が読まれるまで有効です。それが最初の停止ビットだけを使うので、FERRは使う停止ビット設定によって影響を及ぼされません。STATUSレジスタを書く時、常にこのビット位置にOを書いてください。

このフラグは主装置SPI動作形態で使われません。

● ビット3 - BUFOVF:緩衝部溢れフラグ(Buffer Overflow)

このフラグは受信緩衝部満杯状態のためのデータ損失を示します。このフラグは緩衝部溢れ状態が検出される場合に設定(1)されます。 緩衝部溢れは受信緩衝部が満杯(2データ)で、新しいデータが受信移動レジスタで待機中で、且つ新しい開始ビットが検出される時に起きます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレジスタを書く時は常にこのビット位置に0を書いてください。 このフラグは主装置SPI動作形態で使われません。

● ビット2 - PERR: パリティ誤りフラグ(Parity Error)

ハッリティ検査が許可され、受信緩衝部の次のデータがハッリティ誤りを持つ場合に、このフラグが設定(1)されます。ハッリティ検査が許可されていなければ、このフラグは常にOとして読めます。このフラグは受信緩衝部(DATA)が読まれるまで有効です。STATUSレシ、スタを書く時、常にこのビット位置にOを書いてください。ハッリティ計算の詳細については187頁の「ハッリティ ヒット計算」を参照してください。

このフラグは主装置SPI動作形態で使われません。



ビット1 - 予約 (Reserved)

このビットは予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

ビット0 - RXB8: 受信ビット8 (Receive Bit 8)

RXB8は第9データ ビットを持つ直列フレームでの動作時に受信したデータの第9データ ビットです。使用時、このビットはDATAレジスタから下位 ビットを読む前に読まれなければなりません。

このフラグは主装置SPI動作形態で使われません。

21.15.3. CTRLA - 制御レジスタA (Control register A)

ビット +\$03	7	6	5 RXCIN	4 FLVI.1.0	3 TXCIN	2 FLVI 1 0	1 DREINT	0 TLVI.1.0	1 CTRLA
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	JOHLA
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5,4 - RXCINTLVL1,0: 受信完了割り込みレベル (Receive Complete Interrupt Level)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは状態(STATUS)レジスタの受信完了割り込み要求フラグ(RXCIF)が設定(1)される時に起動されます。

ビット3,2 - TXCINTLVL1,0: 送信完了割り込みレヘル (Transmit Complete Interrupt Level)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは状態(STATUS)レジスタの送信完了割り込み要求フラグ(TXCIF)が設定(1)される時に起動されます。

• ビット1,0 - DREINTLVL1,0: データ レジスタ空割り込みレベル (USART Data Register Empty Interrupt Level)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレヘブルを選びます。許可した割り込みは状態(STATUS)レジブスタのデータ レジブスタ空割り込み要求フラグ(DREIF)が設定(1)される時に起動されます。

21.15.4. CTRLB - 制御レジスタB (Control register B)

ビット +\$04	7 -	6	5 –	4 RXEN	3 TXEN	2 CLK2X	1 MPCM	0 TXB8	CTRLB
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

L*ット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 - RXEN: 受信許可 (Receiver Enable)

このビットの設定(1)がUSART受信部を許可します。受信部は許可された時にRxDピンに対する標準ポート動作を無効にします。受信部の禁止(RXENの0書き込み)は受信緩衝部を破棄してフレーミング異常(FERR)、緩衝部溢れ(BUFOVF)、パリティ誤り(PERR)のフラグを無効にします。

● ビット3 - TXEN: 送信許可 (Transmitter Enable)

このビットの設定(1)がUSART送信部を許可します。送信部は許可された時にTxDピンに対する標準ポート動作を無効にします。送信部の禁止(TXENの0書き込み)は実行中と保留中の送信が完了される、換言すると送信移動レジスタと送信緩衝レジスタが送信すべきデータを含まない時まで有効になりません。禁止時、送信部はもはやTxDピンを無効にしません。

● ビット2 - CLK2X: 倍速動作 (Double Transmission Speed)

このビットの設定(1)はボーレート分周器の分周数を16から8に減らし、非同期通信動作に対して転送速度を効果的に倍にします。同期動作に対しては、このビットが無効で、常に0として読めます。このビットはUSART通信動作種別がIRCOMに構成設定されている時に0でなけれななりません。

このビットは主装置SPI動作形態で使われません。

● ビット1 - MPCM:複数プロセッサ通信動作 (Multi-processor Communication Mode)

このビットは複数プロセッサ通信動作を許可します。MPCMビットが1を書かれると、USART受信部はアドレス情報を含まない到着フレーム全てを無視します。送信部はMPCM設定によって影響を及ぼされません。より多くの詳細情報については192頁の「複数プロセッサ通信動作」をご覧ください。

このビットは主装置SPI動作形態で使われません。



ビット0 - TXB8: 送信ビット8 (Transmit Bit 8)

TXB8は第9データビットを持つ直列フレームで動作する時に送信されるべきデータの第9データビットです。使用時、このビットはDATAレジスタへ下位ビットが書かれる前に書かれなければなりません。

このビットは主装置SPI動作形態で使われません。

21.15.5. CTRLC - 制御レジスタC (Control register C)

ピット	7	6	5	4	3	2	1	0	
+\$05	CMO:	DE1,0	PMO:	DE1,0	SBMODE		CHSIZE2~0		CTRLC
	CMO:	DE1,0	-	_	-	UDORD	UCPHA	_	CIRLO
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	1	1	0	

注:下段は主装置SPI動作での機能です。

● ビット7,6 - CMODE1,0: 通信動作種別 (Communication Mode)

これらのビットは表21-6.で示されるようにUSARTの動作種別を選びます。

表21-6. CMODEL ット設定

数21 0. OMODEC /1 欧 A		
CMODE1,0	群構成設定	動作種別
0 0	ASYNCHRONOUS	非同期USART
0 1	SYNCHRONOUS	同期USART
1 0	IRCOM	赤外線通信(IRCOM) (<mark>注</mark> 1)
11	MSPI	主装置SPI (<mark>注2</mark>)

注1: IRCOM動作使用の完全な記述については198頁の「IRCOM - 赤外線通信単位部」をご覧ください。 注2: 主装置SPI動作の完全な記述については191頁の「主装置SPI動作でのUSART」をご覧ください。

● ビット5,4 - PMODE1,0: パリティ動作種別 (Parity Mode)

これらのビットは表21-7.に従ってパリティ生成の形式の許可と設定を行います。許可時、送信部は各フレーム内の送信すべきデータ ビットのパリティを自動的に生成して送出します。受信部は到着データに対してパリティ値を生成し、それをPMODE設定と比較して、不一致が検出された場合に状態(STATUS)レジスタのパリティ誤り(PERR)フラグが設定(1)されます。

これらのビットは主装置SPI動作で使われません。

表21-7. PMODEビット設定								
PMODE1,0	群構成設定	パリティ動作種別						
0 0	DISABLED	禁止						
0 1	-	(予約)						
1 0	EVEN	偶数パリティ許可						
11	ODD	奇数パリティ許可						

● ビット3 - SBMODE : 停止ビット種別 (Stop Bit Mode)

このビットは表21-8.に従って送信部で挿入される停止ビット数を選びます。受信部はこの設定を無視します。 **表21-8. SBMODEL *ット設定**します。

このビットは主装置SPI動作形態で使われません。

表21-8. SBMODEL 外設定						
SBMODE	停止ビット					
0	1					
1	2					

• ビット2~0 - CHSIZE2~0: データ量 (Character Size)

CHSIZE2~0ビットは表21-9.に従ってフレーム内のデータ ビット数を設定します。送受信部が同じ設定を使います。

表21-9. CHSIZ	Eビット設定	
CHSIZE2~0	群構成設定	データ長
0 0 0	5BIT	5ピット
0 0 1	6BIT	6Ľ'yŀ
0 1 0	7BIT	7ピット
0 1 1	8BIT	8Ľ'yŀ
100	-	(予約)
101	-	(予約)
1 1 0	-	(予約)

9BIT

111

9ピット

● ビット2 - UDORD: データ順 (Data Order)

このピットは主装置SPI動作に対してだけ有効で、このビットはフレーム形式を設定します。1書き込み時、データ語のLSBが最初に送信されます。0書き込み時、データ語のMSBが最初に送信されます。送受信部が同じ設定を使います。UDORDの設定変更は送受信部両方に対して実行中の通信を不正にします。

● ビット1 - UCPHA: クロック位相 (Clock Phase)

このピットは主装置SPI動作に対してだけ有効で、このビットはデータがXCKの先行(先頭)端または後行(最終)端のどちらで採取されるのかを決めます。詳細については186頁の「主装置SPI動作クロック生成」を参照してください。

21.15.6. BAUDCTRLA - ホーレートレジスタA (Baud Rate register A)

	U	_
+\$06 BSEL7~0		BAUDCTRLA
Read/Write R/W R/W R/W R/W R/W R/W	R/W	
初期値 0 0 0 0 0 0	0	

• ビット7~0 - BSEL7~0: ボーレート (Baud Rate bits)

これらはUSARTボーレート設定に使われる12ビットのBSEL値の下位8ビットです。BAUDCTRLBが上位4ビットを含みます。ホーレートが変更された場合、送受信部による実行中の転送が不正にされます。BSEL書き込みがボーレート前置分周器更新を直ちに起動します。185頁の表21-1.の式をご覧ください。

21.15.7. BAUDCTRLB - ホーレートレジスタB (Baud Rate register B)

+\$07 BSCALE3~0 BSEL11~8 BAUDCT	
	RLB
Read/Write R/W R/W R/W R/W R/W R/W R/W	
初期値 0 0 0 0 0 0 0	

● ビット7~4 - BSCALE3~0: ボーレート倍率 (Baud Rate Scale factor)

これらのビットはボーレート発生器倍率を選択します。倍率は-7(1001)~+7(0111)の2の補数で与えられます。-8(1000)設定は予約されています。185頁の表21-1.の式をご覧ください。

• ビット3~0 - BSEL11~8: ボーレート (Baud Rate bits)

これらはUSARTボーレート設定に使われる12ビットのBSEL値の上位4ビットです。BAUDCTRLAがUSARTボーレートの下位8ビットを含みます。ボーレートが変更された場合、送受信部による実行中の転送が不正にされます。BAUDCTRLA書き込みがボーレート前置分周器更新を直ちに起動します。



21.16. レジスタ要約

21.16.1. レジスタ要約 - USART

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁	
+\$07	BAUDCTRLB		BSCA	LE3~0			BSEL	11~8	1	196	
+\$06	BAUDCTRLA				BSEI	EL7~0					
+\$05	CTRLC	CMO	DE1,0	PMO!	DE1,0	SBMODE		CHSIZE2~0	1	195	
+\$04	CTRLB	-	-	-	RXEN	TXEN	CLK2X	MPCM	TXB8	194	
+\$03	CTRLA	-	-	RXCINT	LVL1,0	TXCINT	LVL1,0	DREINT	LVL1,0	194	
+\$02	予約	_	-	-	-	-	-	-	-		
+\$01	STATUS	RXCIF	TXCIF	DREIF	FERR	BUFOVF	PERR	-	RXB8	193	
+\$00	DATA				DAT.	A7~0				193	

21.16.2. レジスタ要約 - 主装置SPI動作でのUSART

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	BAUDCTRLB		BSCA	LE3~0	1		BSEL	11~8	1	196
+\$06	BAUDCTRLA		BSEL7~0							196
+\$05	CTRLC	СМО	DE1,0	-	-	-	UDORD	UCPHA	-	195
+\$04	CTRLB	-	-	-	RXEN	TXEN	-	-	-	194
+\$03	CTRLA	ı	-	RXCINT	LVL1,0	TXCINT	LVL1,0	DREINT	LVL1,0	194
+\$02	予約	-	-	_	_	_	_	_	_	
+\$01	STATUS	RXCIF	TXCIF	DREIF	-	-	-	-	-	193
+\$00	DATA		1		DAT.	A7~0				193

21.17. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	RXC_vect	USART受信完了割り込みベクタ
\$02	DRE_vect	USARTデータレジスタ空き割り込みへ、クタ
\$04	TXC_vect	USART送信完了割り込みベクタ



22. IRCOM - 赤外線通信単位部

22.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- ・組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

22.2. 概要

XMEGAデバイスは115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにどのUSARTにも接続することができます。

図22-1. USARTへのIRCOM接続と関連ポート ピン 事象システム 事象 デジタル濾波器 (RxDxn) **USART**xn TxDxn $\mathbb{R}_{X}D^{\sim}$ \leftarrow (RxDD0) **IRCOM USARTD0** 符号化されたRxD TxDD0 ハ°ルス \leftarrow (RxDC0) USARTC0 復号 復号したRxD TxDC0 未符号化のTxD ハ°ルス 符号化したTxD 符号化

IRCOMはUSARTが赤外線通信(IRCOM)動作に設定されると、自動的に許可されます。そしてUSARTとRxD/TxDピン間の信号は図22-1.で示すようにこの単位部を通して配線されます。TX/RXピン上のデータは送受信される赤外パルスの反転値です。これはIRCOM受信部に対する入力として事象システムからの事象チャネルも選択することが可能です。これはUSARTピンからのRxD入力を禁止します。

送信については3つのパルス変調方式が利用可能です。

- 3/16ボーレート周期
- 周辺機能クロック周波数に基いた設定可能な固定パルス時間
- ・パルス変調禁止

受信については論理0として復号されるべきパルスに対する定められた選択可能な最小Highレベル パルス幅が使われます。そしてより短いパルスは破棄され、そのビットはパルスが全く受信されなかった場合に論理1に復号されます。

この単位部は同時に1つのUSARTとの組み合わせでだけ使え、従ってIRCOM動作は同時に複数のUSARTに対して設定してはなりません。これは使用者ソフトウェアで保証しなければなりません。

22.2.1. 事象システムの濾波

事象システムが受信部入力として使えます。これは対応するRxDt°ン以外のI/Ot°ンまたは供給元からの入力をIRCOMまたはUSAR Tに許します。事象システム入力が許可された場合、USARTのRxDt°ンからの入力は自動的に禁止されます。事象システムは事象チャネルにデジタル濾波器(DIF)を持ち、濾波するために使うことができます。事象システムの使い方の詳細については48頁の「事象システム」を参照してください。



22.3. レジスタ説明

22.3.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	_	-	-		EVSE	EL3~0		CTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - EVSEL3~0:事象チャネル選択(Event Channel Selection)

これらのビットは表22-1.に従ってIRCOM受信部に対する事象チャネル元を選びます。IRCOM受信部に対して事象入力が選択された場合、USARTのRxDピンからの入力は自動的に禁止されます。

表22-1. 事象	チャネル選択	
EVSEL3~0	群構成設定	内容
0 0 0 0	-	なし
0 0 0 1	-	(予約)
0 0 1 0	-	(予約)
0 0 1 1	-	(予約)
0 1 0 0	-	(予約)
0 1 0 1	-	(予約)
0 1 1 0	-	(予約)
0 1 1 1	-	(予約)
1 n n n	CHn	事象システム チャネルn (n=0~3)

22.3.2. TXPLCTRL - 送信パルス長制御レジスタ (Transmitter Pulse Length Control register)

ピット _	7	6	5	4	3	2	1	0	
+\$01				TXPLC	TRL7~0				TXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TXPLCTRL7~0: 送信パルス長制御 (Transmitter Pulse Length Control)

この8ビット値は送信部に対するパルス変調方式を設定します。このレジスタ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このレシブスタ値を0のままにすることによって、3/16ボーレート周期パルス変調が使われます。

この値の1~254設定は固定パルス長符号化を行います。この8ビット値はパルスに対する周辺機能クロック周期数を設定します。パルスの始めはボーレート クロックの上昇端に同期されます。

この値の255(\$FF)設定はパルス符号化を禁止し、送受信信号はIRCOM単位部を無変化でそのまま通過します。これは半二重USART、行き戻し検査、事象チャネルからのUSART受信入力のような、IRCOM単位部を通す他の機能を可能にします。

TXPLCTRLはUSART送信部が許可(TXEN)される前に構成設定されなければなりせん。

22.3.3. RXPLCTRL - 受信パルス長制御レジスタ (Receiver Pulse Length Control register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$02				RXPLC'	TRL7~0				RXPLCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RXPLCTRL7~0: 受信パルス長制御 (Receiver Pulse Length Control)

この8ビット値はIRCOM送受信部に対する濾波器係数を設定します。このレジスタ設定はUSARTでIRCOM動作が選択されていなければ無効です。

このレジスタ値を0のままにすることによって濾波が禁止されます。この値の1~255設定は濾波を許可し、そしてそれは受け入れるべき パルスに対して、この値+1に等しい採取を必要とします。

RXPLCTRLはUSART受信部が許可(RXEN)される前に構成設定されなければなりせん。

22.4. レジスタ要約

アト・レス	略称	ヒ゛ット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$02	RXPLCTRL				RXPLC'	TRL7~0				199
+\$01	TXPLCTRL		TXPLCTRL7~0							
+\$00	CTRL	-	-	_	-		EVSE	L3~0		199



23. AESとDESの暗号エンシン

23.1. 要点

- データ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
 - 暗号化と解読
 - DES支援
 - 8バイトの塊当たり16CPUクロック周期の暗号化/解読
- AES暗号部
 - 暗号化と解読
 - 128ビット鍵支援
 - 状態メモリへのXORデータ設定支援
 - 16バイトの塊当たり375クロック周期の暗号化/解読

23.2. 概要

新暗号化規格(AES)とデータ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信インターフェースとCPUはこれらを高速で暗号化された通信と安全なデータ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8バイトの鍵と8バイトのデータ塊がレジスタ ファイルに格納され、そしてそのデータ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ビット鍵を使う128ビット データ塊の暗号化と解読を行います。鍵とデータは暗号化/解読が開始される前に単位部内の鍵と状態のメモリに格納されなければなりません。暗号化/解読が行われる前に375周辺機能クロック周期かかります。その後に暗号化/解読されたデータが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列メモリが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

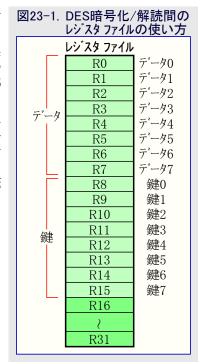
23.3. DES命令

DES命令は単一周期命令です。64ビット(8バイト)のデータ塊を暗号化または解読するために、命令が16回実行されなければなりません

データと鍵の塊は暗号化/解読が行われる前にレジスタファイル内に設定されなければなりません。64 ビットのデータ塊(平文または暗号文)はR0~R7レジスタに配置され、データのLSBはR0に、データのMSBはR7に配置されます。(パリティ ビットを含む)完全な64ビット鍵は鍵のLSBがR8、鍵のMSBがR15で、R8~R15レジスタに配置されます。

1つのDES命令実行はDES演算法での1巡を実行します。正しい暗号文または平文にするためには16回実行されなければなりません。中間結果は各DES命令後でレジスタファイル(R0~R15)に格納されます。16巡後に鍵がR18~R16に配置され、暗号文/平文がR0~R7に配置されます。命令のオペラント(K)はどの周回が実行されるのかを決め、CPUのステータスレジスタ内のハーフキャリー(H)フラケが暗号化または解読のどちらが実行されるのかを決めます。ハーフキャリーフラケが設定(1)なら解読が実行され、このフラケが解除(0)なら暗号化が実行されます。

DES命令の詳細についてはAVR命令一式手引書を参照してください。



23.4. AES暗号单位部

AES暗号単位部は新暗号規格(FIPS-197)に従った暗号化と解読を実行します。128ビット鍵と128ビットデータ塊(平文または暗号文)はAES暗号単位部の鍵と状態のメモリ内に格納されなければなりません。これは16バイトに続いて起こるAES鍵(KEY)レジスタとAES状態配列(STATE)レシ、スタへの書き込みによって行われます。

単位部が暗号化または解読のどちらを実行すべきかはソフトウェア選択可能です。また、状態配列に格納される全ての新しいデータが状態配列内の現在のデータとXORされるXOR動作を許可することも可能です。

AES単位部は暗号化/解読された暗号文/平文が状態メモリでの読み出しに関して利用可能になるまでに375クロック周期を使います。 次の構成設定と手順の使用が推奨されます。

- 1. AES割り込みを許可してください(任意)。
- 2. AES方向、暗号化か解読かを選択してください。
- 3. AES鍵メモリ内に鍵データ塊を設定してください。
- 4. AES状態メモリ内にデータ塊を設定してください。
- 5. 暗号化/解読操作を開始してください。

複数の塊が暗号化または解読されるべきならば、手順3.からの手順を繰り返してください。

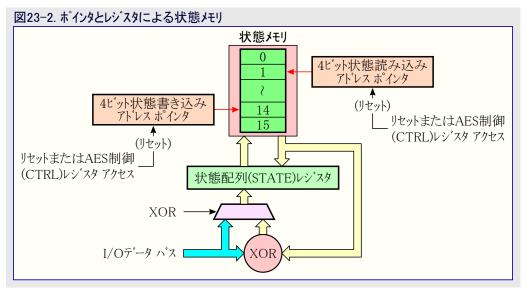
暗号化/解読手順が完了されると、AES割り込み要求フラグ(SRIF)が設定(1)され、任意選択の割り込みが生成されます。

23.4.1. 鍵と状態のメモリ

AES鍵と状態のメモリは各々鍵(KEY)と状態配列(STATE)のレジスタを通してアクセス可能な共に16×8ビットのメモリです。

各メモリは読み書きに対して各々メモリのアト・レス指示に使う2つの4ビットアト・レスポーインタを持ちます。ポインタの初期化は0です。STATEまたはKEYレシ、スタへの読み書き操作後、適切なポーインタが自動的に増加(+1)されます。制御(CTRL)レシ、スタの(読み書き)アクセスが全てのポーインタを0にリセットします。ポーインタ上昇溢れ(続いて起こる読み書きが16回以上行われる)も影響を受けたポーインタを0に設定します。このポーインタはソフトウェアからアクセスできません。読みと書きのポーインタはXOR動作での書き込み操作の間に共に増加(+1)されます。

KEYとSTATEのレジスタへのアクセスは暗号化/解読が実行中でない時にだけ可能です。



状態配列は暗号化/解読処理中のAES状態を含みます。この状態の初期値は初期データ(換言すると、暗号化動作での平文、解読動作での暗号文)です。この状態の最終値は暗号化/解読されたデータです。



AES暗号単位部では次の鍵の定義が使われます。

- ・暗号化動作での鍵はAES規格で定義されたものです。
- 解読動作での鍵はAES規格で定義された拡張鍵の最後の補助鍵です。

解読動作での鍵拡張手順はAES暗号単位部での操作前にソフトウェアによって実行されなければならず、故に最後の補助鍵は鍵(KEY)レジュタを通じて格納されるべく用意されます。代わりに、この手順は暗号化動作で便宜データ塊を処理することでAES暗号単位部を使ってハードウェアで実行もできます。暗号化の終了後の鍵メモリからの読み込みが得られるべき最後の補助鍵、換言すると鍵拡張手順の結果を得ることを可能にします。表23-1.は動作種別(暗号化または解読)とAES暗号単位部の状態に依存する鍵の読み込み結果を示します。

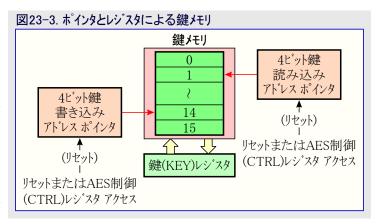


表23-1.	各種段階での鍵メモリ読み込み結果

近20 1. 日 1至7人7日 C 07 3近7 C 7117 0	**					
暗!	号化	解読				
データ処理前	データ処理後	データ処理前	データ処理後			
格納されたのと同じ鍵	格納された鍵から生成した最 後の補助鍵		最後に格納された補助鍵から 生成された初期鍵			

23.4.2. DMA支援

AES単位部は暗号化/解読手順完了時にDMA転送を起動できます。DMA転送起動のより多くの詳細については37頁の「転送起動元」を参照してください。



23.5. レシ スタ説明 - AES

23.5.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$00	START	AUTO	RESET	DECRYPT	-	XOR	-	_	CTRL
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - START:開始/走行(Start/Run)

このビットの設定(1)が暗号化/解読手順を開始し、そしてこのビットは暗号化/解読実行中の間、設定(1)に留まります。このビットへの0書き込みは実行中のどんな暗号化/解読処理も停止/中断します。このビットは状態(STATUS)レジスタの状態配列準備可割り込み要求フラグ(SRIF)または異常(ERROR)フラグが設定(1)された場合、自動的に解除(0)されます。

● ビット6 - AUTO:自動開始許可(Auto Start Trigger)

このビットの設定(1)が自動開始動作を許可します。自動開始動作ではAES開始/走行(START)ビットが自動的に起動され、以下の条件の全てがが合致した時に暗号化/解読が始まります。

- 状態メモリ格納前のAUTOビットの設定(1)
- 全メモリ ポインタ(状態配列読み/書きと鍵読み/書き)が0
- ・状態メモリ満格納

これらの条件の全てが合致しない場合、暗号化/解読は不正な鍵で開始されるでしょう。

ヒット5 - RESET: ソフトウェア リセット (Software Reset)

このビットの設定(1)は周辺機能クロックの次の正端でAES暗号単位部を初期状態にリセットします。本単位部内の全てのレジスタ、ポインタ、メ モリはそれらの初期値に設定されます。1書き込み時、このビットはハードウェアによって0にリセットされる前に1クロック周期間、1に留まります。

● ビット4 - DECRYPT:解読/方向(Decryption/Direction)

このビットはAES暗号単位部に対して方向を設定します。このビットへの0書き込みはこの単位部を暗号化動作に設定します。このビットへの1書き込みはこの単位部を解読動作に設定します。

ビット3 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット2 - XOR: 代数式配列XOR格納許可 (State XOR Load Enable)

このビットの設定(1)が状態メモリへのXORデータ格納を許可します。このビットが設定(1)されると、状態メモリに格納されるデータは状態メモリ内の現在のデータとビット単位でXORされます。このビットへの0書き込みはXOR格納動作を禁止し、状態メモリへ書かれる新しいデータは状態メモリ内の現在のデータに上書きします。

ビット1.0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

23.5.2. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$01	ERROR	-	-	-	-	-	-	SRIF	STATUS
Read/Write	R/W	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - ERROR: 異常(Error)

ERRORフラグはAES暗号単位部の不正な取り扱いを示します。このフラグは次の状態で設定(1)されます。

- 状態メモリと/または鍵メモリが完全に格納または読み込まれていない間の制御(CTRL)レジスタでの開始/走行(START)の設定(1)。この異常はAES開始前に状態配列(STATE)と鍵(KEY)のレジスタとの総読み書き操作数が16の倍数でなかった時に起きます。
- STARTビットが1の間の制御(CTRL)レジスタ(読みまたは書き)アクセス。

このフラグはこのビット位置への1書き込みによって解除(0)できます。

ビット6~1 - 予約 (Reserved)

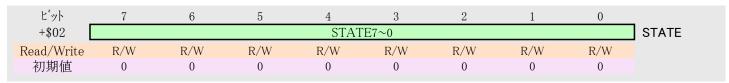
これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - SRIF: 状態配列準備可割り込み要求フラグ(State Ready Interrupt Flag)

このフラグは割り込み/DMA要求フラグで、暗号化/解読手順が完了されて状態メモリが有効なデータを含む時に設定(1)されます。フラグが 0である限り、状態メモリ内に暗号化/解読された有効なデータがないことを示します。

このフラク は状態メモリへの読み込みアクセスが行われる(先頭バイトが読まれる)時にハードウェアによって解除(0)されます。代わりにこのビット位置へ1を書くことによってもこのビットは解除(0)できます。

23.5.3. STATE - 状態配列レジスタ (State register)



STATEレシ、スタは状態メモリのアクセスに使われます。暗号化/解読が行われ得る前に、状態メモリはSTATEレシ、スタを通してバイル単位で続けて書かれなければなりません。暗号化/解読が行われた後、暗号文/平文はSTATEレシ、スタを通してバイル単位で続けて読むことができます。

STATEレジスタへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。このレジスタは暗号化/解読中にアクセスできません。

23.5.4. KEY - 鍵レジスタ (Key register)

ピット	7	6	5	4	3	2	1	0	
+\$03				KEY	<i>′</i> 7∼0				KEY
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

KEYレシ、スタは鍵メモリのアクセスに使われます。暗号化/解読が行われ得る前に、鍵メモリはKEYレシ、スタを通してバイト単位で続けて書かれなければなりません。暗号化/解読が行われた後、最後の補助鍵がKEYレシ、スタを通してバイト単位で続けて読めます。

KEYレジスタへの初期値格納は適切なAES動作種別と方向の設定後に行われるべきです。

23.5.5. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ビット +\$04	7 -	6	5 -	4	3	2	1 INTL	0 VL1,0	INTCTRL
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

▶ じット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1,0 - INTLVL1,0: 割り込み優先権と許可 (Interrupt and Enable)

これらのビットはAES割り込みを許可し、83頁の「割り込みと多段割り込み制御器」で記述されるように割り込みレベルを選びます。状態(STATUS)レジスタの状態配列準備可割り込み要求フラグ(SRIF)が設定(1)される時に許可された割り込みが生成されます。

23.6. レジスタ要約 - AES

アト・レス	略称	ピット7	ピット6	ヒ゛ット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	予約	1	1	-	-	-	-	-	_	
+\$06	予約	1	1	-	_	-	_	-	_	
+\$05	予約	1	1	-	_	-	-	-	_	
+\$04	INTCTRL	1	1	1	-	1	1	INTL	VL1,0	205
+\$03	KEY				KEY	7~0			1	205
+\$02	STATE				STAT	`E7∼0				205
+\$01	STATUS	1	1	-	-	-	-	-	SRIF	204
+\$00	CTRL	START	AUTO	RESET	DECRYPT	1	XOR	1	-	204

23.7. 割り込みベクタ要約 - AES

変位	記述例	割り込み内容
\$00	AES_vect	AES割り込みベクタ



24. CRC - 巡回冗長検査 (Cyclic Redundancy Check)

24.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
 - 通信データ
 - フラッシュ メモリ内のプログラムまたはデータ
 - SRAMとI/Oメモリ空間内のデータ
- フラッシュメモリ、DMA制御器、CPUとの統合
 - DMAチャネルを通して行うデータでの継続的なCRC
 - フラッシュ メモリの全体または選択可能な範囲の自動CRC
 - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- ・以下にソフトウェア選択可能なCRC生成多項式
 - CRC-16 (CRC-CCITT)
 - CRC-32 (IEEE 802.3)
- 0剰余検出

24.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使われ、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使うことができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の1-2⁻ⁿを検出します。XMEGAデュースのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

• CRC-16:

生成多項式: $X^{16}+X^{12}+X^{5}+1$

16進値 : \$1021

• CRC-32:

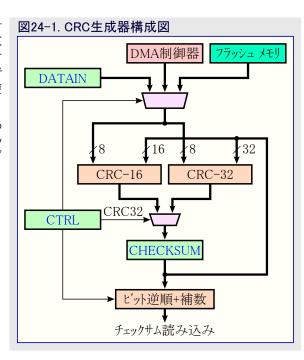
牛成多項式: $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$

16進值 : \$04C11DB7

24.3. 動作

CRC単位部に対するデータ元はフラッシュメモリ、DMAチャネル、またはI/Oインターフェースのどれかとしてソフトウェアで選ばれなければなりません。そしてCRC単位部は選択した供給元からデータ入力を取り、それらのデータをに基づいてチェックサムを生成します。チェックサムはCRC単位部内のチェックサム(CHECKSUM)レジ、スタで利用可能です。CRC-32生成多項式使用時、最後のチェックサム読み込みは逆順で補数にされます(図26-1.をご覧ください)。

I/OインターフェースやDMAチャネルに対して、どちらのCRC生成多項式が使われるかはソフトウェア選択可能ですが、既定設定はCRC-16です。供給元としてフラッシュメモリが選択される場合、自動的にCRC-32が使われます。CRC単位部はバイトでだけ動作します。





24.4. フラッシュ メモリでのCRC

フラッシュ メモリ全体、応用領域だけ、ブート領域だけ、またはソフトウェアで選択可能なフラッシュ メモリの範囲でCRC-32計算を実行することができます。供給元としてフラッシュ メモリを選択すること以外、更なる全ての制御と構成設定はNVM制御器から行われます。これはNVM制御器がCRCを実行するメモリ範囲を構成設定し、CRCがNVM指令を用いて開始されることを意味します。一旦完了されると、結果はCRC単位部のチェックサム(CHECKSUM)レジスタで利用可能です。フラッシュ メモリでの構成設定とCRC実行の更なる詳細については268頁の「メモリプログラミング」を参照してください。

24.5. DMAデータでのCRC

何れかのDMAチャネルを通してデータを渡すことでCRC-16またはCRC-32計算を実行することができます。一旦供給元としてDMAチャネルが選択されると、CRC単位部はDMAチャネルを通して渡すデータで継続的にCRCを生成します。DMA転送処理が一旦完了または中断されると、チェックサムが読み出し可能です。CRCは通信データだけでなく、DMAチャネルを通してそれらのデータを渡すことによって、SRAMやI/Oメモリ内のデータでも実行することができます。後者が行われた場合、DMAデータに対する転送先レシ、スタはCRC単位部内のデータ入力(DATAIN)レジスタにすることができます。DMA転送処理構成設定のより多くの詳細については36頁の「DMAC - 直接メモリ入出力制御器」を参照してください。

24.6. I/Oインターフェースを用いるCRC

CPUを用いてCRC単位部内にそれらを運ぶ、DATAINレジスタにデータを書くことによってどのデータでもCRCを実行することができます。この方法の使用で、CPUによって任意のバイト数をレジスタに書くことができ、CRCは各バイトに対して継続的に行われます。新しいデータは各周回に対して書くことができます。CRC完了は状態(STATUS)レジスタ内の多忙(BUSY)ビットへの書き込みによって合図されま



24.7. レジスタ説明

24.7.1. CTRL - 制御レジスタ (Control register)

<u> </u>	7	6	5	4	3	2	1	0	
+\$00	RESE	ET1,0	CRC32	-		SOUR	CE3~0		CTRL
Read/Write	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ヒット7.6 - RESET1.0: リセット (Reset)

これらのビットはCRC単位部のリセットに使われ、これらは常に0として読めます。CRCレジスタはRESET1ビットが設定(1)された後の1周辺機能クロック周期でリセットします。

-	表24-1. CRCリ	セット	
	RESET1,0	群構成設定	内容
	0 0	NO	リセットなし
	0 1	-	(予約)
	1 0	RESET0	CHECKSUMを全0でCRCをリセット
	1 1	RESET1	CHECKSUMを全1でCRCをリセット

● ビット5 - CRC32: CRC-32許可 (CRC-32 Enable)

このビットの設定(1)はCRC-16の代わりにCRC-32を許可します。これは多忙(BUSY)フラグが設定(1)されている間に変更することはできません。

ビット4 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット3~0 - SOURCE3~0: 入力元 (Input Source)

これらのビットはCRCを生成するための入力元を選びます。 選択した供給元はCRC生成が完了されるか、またはCRC単位部がリセットされるかのどちらかまで固定化されます。CRC生成完了はDMA制御器またはフラッシュメモリで使われた時に選択した供給元から合図されます。

表24-2. CRC供	:給元選択	
SOURCE3~0	群構成設定	内容
0 0 0 0	DISABLE	CRC禁止
0001	IO	I/Oインターフェース
0 0 1 0	FLASH	フラッシュ メモリ
0 0 1 1	_	(将来の使用に予約)
0 1 0 0	DMACH0	DMA制御器チャネル0
0 1 0 1	DMACH1	DMA制御器チャネル1
0 1 1 x	-	(将来の使用に予約)
1 x x x	-	(将来の使用に予約)

24.7.2. STATUS - 状態レジスタ (Status register)

<u> </u>	7	6	5	4	3	2	1	0	_
+\$01	-	_	_	-	_	-	ZERO	BUSY	STATUS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

• ビット1 - ZERO : チェックサム0 (Checksum Zero)

このフラケ はCRC生成完了時にチェックサム(CHECKSUM)レシ スタが0の場合に設定(1)されます。これは新しいCRC供給元が選択された時に自動的に解除(0)されます。

CRC-32走行で(リトルエンディアンとして)パケットの最後でチェックサムを追加する時に最終チェックサムは0ではなく\$2144DF1Cであるべきです。 けれども、チェックサムが(リトルエンディアンとして)データに追加される前に補数にされる場合、CHECKSUMレジスタ内の最終結果は0でしょう。 CHECKSUMの各種版を読み出すためにCHECKSUMの記述をご覧ください。

ビット0 - BUSY: 多忙 (Busy)

このフラケは供給元構成設定が選択され、その供給元がCRC単位部を使う限り、1として読めます。供給元としてI/Oインターフェースが選択される場合、このフラケはこの位置に1を書くことによって解除(0)することができます。供給元としてDMAチャネルが選択される場合、このフラケはDMAチャネルの転送処理が完了または中断された時に解除(0)されます。供給元としてフラッシュメモリが選択される場合、このフラケはCRC生成が完了された時に解除(0)されます。

24.7.3. DATAIN - データ入力レシ、スタ (Data Input register)

ピット	7	6	5	4	3	2	1	0	
+\$03				DATA	IN7∼0				DATAIN
Read/Write	W	W	W	W	W	W	W	W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - DATAIN7~0: データ入力 (Data input)

このレシ、スタはCRCチェックサムが計算されるためのデータを格納するのに使われます。DATAINレシ、スタが書かれた後の1クロック周期でチェックサム(CHECKSUM)レシ、スタは準備が整います。

24.7.4. CHECKSUMO - チェックサム レジスタO (Checksum register 0)

CHECKSUM0, CHECKSUM1, CHECKSUM2, CHECKSUM3は生成されたCRC、16または32ビットのチェックサム(CHECKSUM)値を表します。レジスタは既定で0にリセットされますが、全ビットを1にリセットするようにCRCリセット(RESET)ビットを書くことが可能です。CRC単位部が禁止されている時にだけ、これらのレジスタを書くことが可能です。供給元として不揮発性メモリ(NVM)が選択される場合、CHECKSUMの読み込みは多忙(BUSY)フラケが解除(0)されるまで0値を返します。CRC-32が選択され、BUSYフラケが解除(0)(換言すると、CRC生成が完了または中断)された場合、ビット逆順(ビット31がビット0と交換され、ビット30がビット1と、以下同様)と補数にされた結果がCHECKSUMから読まれます。CRC-16が選択される、またはBUSYフラケが設定(1)される(換言すると、CRC生成が進行中の)場合、CHECKSUMは実際の内容を含みます。

ピット	7	6	5	4	3	2	1	0	
+\$04				CHECK	SUM7~0				CHECKSUM0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - CHECKSUM7~0 : チェックサム7~0 (Checksum byte 0)

これらのビットは生成されたCRCの第1バイトを保持します。

24.7.5. CHECKSUM1 - チェックサム レシ スタ1 (Checksum register 1)

ピット	7	6	5	4	3	2	1	0	
+\$05				CHECKS	SUM15~8				CHECKSUM1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - CHECKSUM15~8 : チェックサム15~8 (Checksum byte 1)

これらのビットは生成されたCRCの第2バイトを保持します。

24.7.6. CHECKSUM2 - チェックサム レシ スタ2 (Checksum register 2)

	ピット	7	6	5	4	3	2	1	0	_
Read/Write R/W R/W R/W R/W R/W R/W R/W	+\$06				CHECKS	SUM23~16				CHECKSUM2
TCGG/ VVIIC IV/ VV IV/ VV IV/ VV IV/ VV	Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値 0 0 0 0 0 0 0 0	初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - CHECKSUM23~16 : チェックサム23~16 (Checksum byte 2)

これらのビットは生成されたCRCの第3バイトを保持します。

24.7.7. CHECKSUM3 - チェックサム レシ スタ3 (Checksum register 3)

ピット	7	6	5	4	3	2	1	0	
+\$07	CHECKSUM31~24					CHECKSUM3			
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7~0 - CHECKSUM31~24 : チェックサム31~24 (Checksum byte 3)

これらのビットは生成されたCRCの第4バイトを保持します。



24.8. レジスタ要約

アト・レス	略称	ヒ゛ットフ	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$0B	予約	I	1	1	-	1	1	1	_	
+\$0A	予約	I	I	1	_	1	1	1	_	
+\$09	予約	I	I	1	_	1	1	-	_	
+\$08	予約	-	ı	1	_	-	-	_	_	
+\$07	CHECKSUM3				CHECKS	UM31~24			1	210
+\$06	CHECKSUM2				CHECKS	UM23~16			1	210
+\$05	CHECKSUM1				CHECKS	UM15~8			1	210
+\$04	CHECKSUM0				CHECK	SUM7~0				210
+\$03	DATAIN				DATA	IN7∼0			! !	210
+\$02	予約	-	-	-	_	-	-	-	_	
+\$01	STATUS	-	1	-	_	-	-	ZERO	BUSY	209
+\$00	CTRL	RESE	ET1,0	CRC32	-		SOUR	CE3~0		209



25. **LCD** - 液晶表示部 (Liquid Crystal Display)

25.1. 要点

- 最大40セグメントと最大4共通電極の表示能力
- 最大16本の汎用入出力を支援
- セグメント更新に於いて完全な自由を与える投影表示メモリ
- ASCII文字割り当て
- 共通と/またはセグメントの電極バス上での交換能力任意選択
- 静止から1/4デューティまでを支援
- 静止と1/3バイアスを支援
- 低電力動作のためのパワーセーブ動作で活性なLCD駆動部
- ソフトウェア選択可能な低電力波形
- フレーム周波数の柔軟な選択
- 設定可能な点滅動作と周波数
- 2つのセグメント電極での点滅
- 32kHz RTCクロック元のみ使用
- チップ上のLCD電源
- ソフトウェア濃淡調整制御
- LCD寿命を増すための吐き出しと吸い込みの等しい能力
- 表示更新または休止形態からの起動のための拡張割り込み動作形態

25.2. 概要

LCD表示器は可視または不可視にできる様々なセケメント(ピクセルや完全な象徴物)で作られます。セケメントはそれらの間の液晶で2つの電極を持ちます。これらの電極は共通極(COMピン)とセケメント極(SEGピン)です。閾値以上の電圧が液晶を横切って印加される時にセケメントが可視になります。この効果が表示器を品質劣化する、液晶での電気泳動効果を避けるため、この電圧は切り替えなければなりません。従ってセケメントを横切る(駆動する)電圧波形はDC成分を持ってはなりません。

LCD制御器は4つまでの共通電極と40までのセグメント電極を持つ受動型単色液晶(LCD)が意図されています。応用がXMEGAで利用可能な全てのLCDセグメントを必要としない場合、最大16本の未使用LCDピンを汎用入出力ピンとして使うことができます。

LCD制御器は内部または外部の非同期32kHzクロック元によってクロック駆動することができます。この32kHz発振器供給元選択は実時間計数器(RTC)用と同じです。

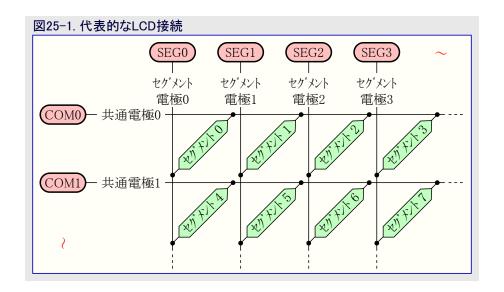
CPU負荷軽減、割り込み低減、消費電力低減のため、専用低電力波形、濃淡制御、拡張割り込み動作、選択可能なフレーム周波数、 点滅機能が支援されます。

ハート・ウェア設計の複雑さを減らすため、LCDは統合されたLCD緩衝部、統合された電源電圧、革新的な交換動作を含みます。交換動作使用は、それらがセク・メントと/または共通の電極ハンス上のピンの流れを再配列できるため、ハート・ウェア設計者は基板配置中のより大きな柔軟性を持ちます。

25.2.1. 定義

LCDを説明する時に様々な名称が使われます。表25-1.での定義が本文書を通して使われます。

表25-1. LCD定義						
用語	意味					
LCD	セグメントへの直接引き出し電極を持つ受動表示パネル。					
セグメント(またはピクセル)	ON/OFFできる表示器内のLCD面活性領域。 これは7セグメント文字の単一セグメントまたは特定象徴物(アイコン)で有り得ます。					
コモン (COM)	共通極(電極)。					
セグメント (SEG)	セグメント極(電極)。					
1/デューティ	1/(実際のLCD表示器での共通電極数)。					
1/バイアス	1/(LCD表示器駆動に使われる電圧レベル数-1)。					
フレーム速度	1秒間にLCDセグメントが選択駆動される回数。					



25.2.2. LCDクロック元

LCD制御器は内部または外部の非同期32kHzクロック元によってクロック駆動することができます。この32kHz発振器供給元選択は実時間計数器(RTC)用と同じで、RTC制御(CTRL)レシ、スタのRTCクロック元選択(RTCSRC)じ、小領域です(61頁の表7-4.をご覧ください)。 クロック元は正確なLCDタイミング、従ってLCDセグメントに渡って最小DCオフセット電圧を得るために安定でなければなりません。

25.2.3. LCD前置分周器

前置分周器は3ビットのリプル計数器と1~8クロック分周器から成ります(図25-2.をご覧ください)。LCD前置分周器選択(PRESC)ビットはリプル計数器から8または16分周したclk_LCDを選びます。

フレーム速度で細かな速度分解能が必要とされるなら、クロックを更に1~8分周するのにLCDクロック分周(CLKDIV)ビット領域を使うことができます。

このクロック分周器からの出力(clkLCD PS)はLCDタイミング用のクロック元として使われます。

25.2.4. LCD表示メモリ

表示メモリは各共通電極毎に群化したI/Oレジスタを通して利用可能です。新しいフレームの開始が投影表示メモリの更新を起動します。表示メモリの再活性はパネルへ送られるデータに影響を及ぼすことなしに可能です。

表示メモリ内のビットが1を書かれると、対応するセグメントが活動(表示駆動:ON)にされ、表示メモリ内のビットが0を書かれると、非活動(非表示駆動:OFF)にされます。

セグメハを活動(表示駆動)にするためには或る閾値以上の絶対電圧が印加されなければなりません。これは対応するCOMピンが活性の時にSEGピンを逆相に設定することによって行われます。1つよりも多い共通電極を持つ表示器については、2つの(1/3バイアス)追加電圧レベルが印加されなければなりません。さもなければCOM0の非活動(非表示)セグメントは全ての非選択共通電極に対して活動(表示)にされるでしょう。

COM0アドレス指定はアドレス指定しないCOM線に反するようにCOM0の大振幅を持つ逆相駆動によってフレームを開始します。アドレス指定したCOM0内の非活動(表示)セグメントは同相で、活動(表示)セグメントは逆相で大振幅を持ちます。波形図については214頁の「動作種別」を参照してください。

投影表示メモリからDATA4~DATA0が復号器内へ多重化されます。復号器はLCDタイミングから制御され、出力波形を生成するためのアナログ、スペッチを制御する信号を構成設定します。

次に、COM1がアドレス指定され、投影表示メモリからDATA9~DATA5が復号器に入力されます。選択した共通電極数(デューティ)に従って全てのCOM線がアドレス指定されるまでアドレス指定が続きます。

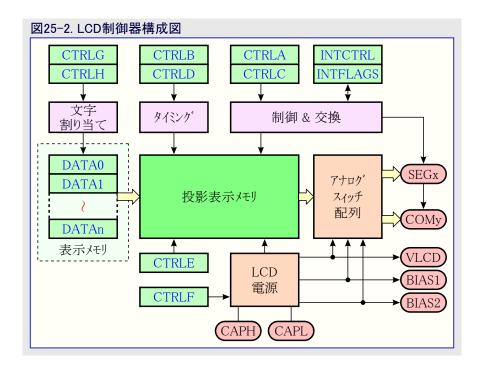
25.2.5. 消費電力の最小化

LCD制御器の消費電力は以下によって最小化することができます。

- 1. 受け入れ可能な最低のフレーム速度を使用 LCD硝子の技術的な特性を参照してください。
- 2. 低電力波形を使用 215頁の「低電力波形」
- 3. 可能な最低濃淡値を設定 222頁の「CTRLF 制御レジスタF」



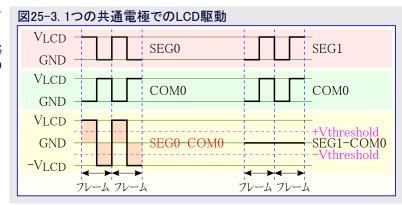
25.3. 構成図



25.4. 動作種別

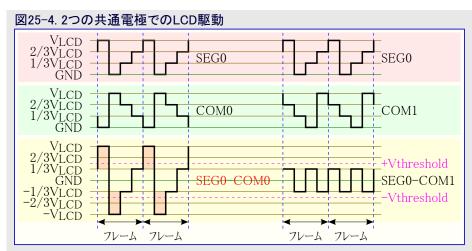
25.4.1. スタティック(1/1)デューティとスタティック(1/1)ハ イアス

LCD上の全セグメントが1つの共通電極を持つなら、各セグメントは独自(専用)のセグメント電極を持たなければなりません。この表示種別は図25-3.に示される波形で駆動されます。SEG0-COM0はON(表示)セグメントをよぎる電圧で、SEG1-COM0はOFF(非表示)セグメントをよぎる電圧です。



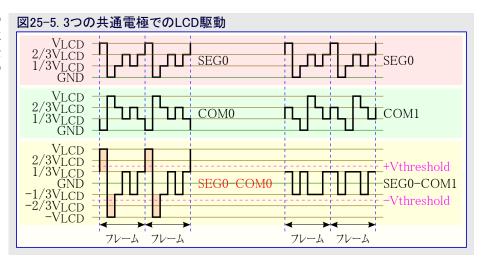
25.4.2. 1/2デューティと1/3バイアス

2つの共通電極のLCD(1/2デューティ)についてはセケメントを個別に制御するため、より複雑な波形が使われなければなりません。波形は図25-4.で示されます。SEGO-COM0はON(表示)セケメントをよぎる電圧で、SEGO-COM1はOFF(非表示)セケメントをよぎる電圧です。



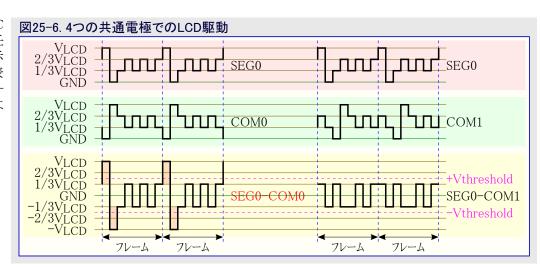
25.4.3. 1/3デューティと1/3バイアス

1/3 バイアスは一般的に3つの共通電極のLCD (1/3 デューティ)に対して推奨されます。波形は**図25-5**.で示されます。SEG0-COM0はON(表示) セケメントをよぎる電圧で、SEG0-COM1はOFF(非表示) セケメントをよぎる電圧です。



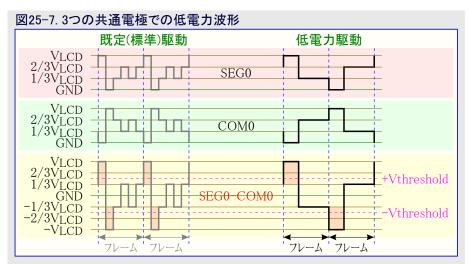
25.4.4. 1/4デューティと1/3バイアス

1/3ハイアスは4つの共通電極のLC D表示器(1/4デューティ)に対して任 意選択です。波形は図25-6.で示 されます。SEG0-COM0はON(表 示)セグメントをよぎる電圧で、SEG0-COM1はOFF(非表示)セグメントをよ ぎる電圧です。



25.4.5. 低電力波形

切り替えの動き(数)、即ち消費電力を削減するために低電力波形選択(LPWAV=1)を選択することができます。低電力波形はDC電圧ゼロを達成するために同じ表示データで2つの連続フレームを必要とします。従って割り込み要求フラグは2つのフレーム毎にだけ設定されます。既定(標準)波形と低電力波形は1/3デューティ、1/3バイアスに関して図25-7.で示されます。他のデューティとバイアスの選択に対してもその効果は同様です。



25.4.6. 休止形態での動作

LCDは(点滅を含み)アイドル動作、パワーセーフ・動作、拡張スタンバイ動作で動作を継続します。



25.4.7. ASCII文字割り当て

LCD制御器は自動的にASCII文字を扱うことができます。桁の解除と設定の代わりに、使用者はASCII符号を入力して桁復号器がそれ自身を表示メモリ内で対応するセグメントに更新します。

4形式までの文字割り当てが支援されます。



文字割り当ては実行時間を減らし、表示更新後にパワーセーブまたは拡張スタンバイ動作への素早い復帰を許します。

25.4.8. 無表示

無表示形態(BLANK)が1を書かれると、LCDは現在のフレーム完了後、無表示にされます。全てのSEGとCOMのピンがGNDに駆動されて、LCDを放電します。表示メモリは保護されます。緩やかに変動する像やセグメントをよぎるDC電圧を避けるため、LCDを禁止する前に表示プランキング(無表示)が使われるべきです。

この動作形態はSEGとCOMのピンが設定された波形によって常に駆動されて全てのセグメントが"OFF"である、(制御レジスタA(CTRLA)の)セグメント"ON"(SEGON)=0によって許可されたものとは異なります。

25.4.9. 点滅表示

表示を点滅するにはソフトウェアからの制御とハードウェアによる自動的な制御の2つの方法があります。

25.4.9.1. ソフトウェア点滅

表示メモリでのセグメントの設定/解除がソフトウェア点滅を許します。許可された全てのセグメントを同時に点滅するには、CTRLAレジスタの SEGONビットを使うことができます。点滅速度はソフトウェア依存です。

25.4.9.2. ハート・ウェア点滅

8つまでのセグメントを自動点滅に構成設定することができます。これらのセグメントはセグメント電極SEG1と/またはSEG0に接続されなければなりません。この動作形態は制御レジスタD(CTRLD)の点滅許可(BLINKEN)ビットの設定(1)と制御レジスタE(CTRLE)での連携するCOM電極の定義によって許可されます。点滅速度周波数はCTRLDレジスタのLCD点滅速度(BLINKRATE)ビット領域を用いて構成設定されます。セグメントは表示メモリで対応するビットが設定(1)された場合に点滅し、さもなければ"OFF"に留まります。

CTRLEレシ、スタ内の全ビットが0に設定された場合、点滅は許可された全てのセグメントに適用されます。

点滅命令は次のLCDフレームの始めで(点滅)動作に入ります。

表25-2.	点滅動作形態

SEGON (注)	BLINEN	BPS13~0,BPS03~0	注釈
0	X	xxxx xxxx	全セグメントは"OFF"。
	0	xxxx xxxx	全セグメントは対応するデータレジスタによって駆動されます。
1	1	0000 0000	全セグメントは点滅周波数で点滅します。
	1	全0以外	選択されたセグメントだけが点滅周波数で点滅します。

注: CTRLAレジスタのSEGONビット

25.4.10. 拡張割り込み動作

標準割り込み動作(XIME4~0=00000)では、毎回のフレーム毎にLCD制御器が割り込みを提供できます。拡張割り込み動作が許可されると、LCD制御器は(XIME4~0)+1フレーム毎に割り込みを提供することができます。

この動作形態は使用者に組み込み時間基準を提供します。この時間基準は表示更新(換言すると文字スクロール、進捗バーなど)用のソフトウェアによって使うことができます。

拡張割り込み動作は実時間資源を節約してパワーセーブや拡張スタンバイの動作形態により長く留まることを応用に許します。



25.4.11. LCD電源

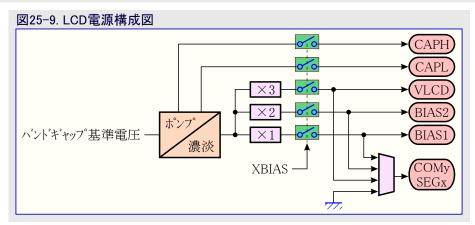
LCD電源はLCD緩衝部に関する全ての電圧を管理します。制御レジスタA(CTRLA)の外部バイアス生成(XBIAS)ビットがVLCDの供給元を定義します。XBIASが解除(0)なら、VLCDはバンドギャップ。基準からの電圧を供給します。さもなければ、VLCDは外部的に給電されなければなりません。

外部VLCD使用時、制御レジスタF(CTRLF)の濃淡調整(FCONT5~0)ビットによって制御される濃淡調整が効かないことに注意してください。

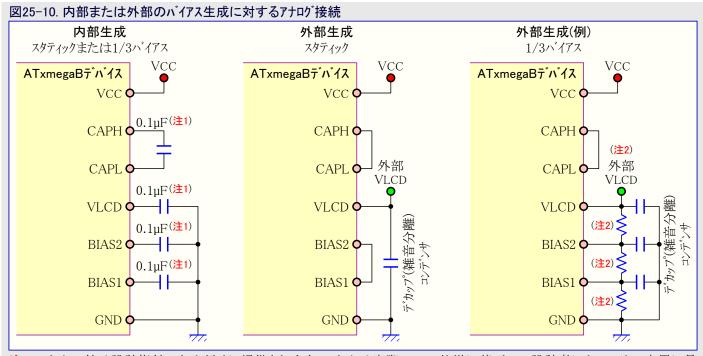
表25-3. LCD電源ピンの動き

ENABLE (注)	XBIAS(注)	VLCD(ピン)	BIAS2	BIAS1	CAPH/CAPL
0	X	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	0	VLCD	2/3 VLCD	1/3 VLCD	ポンプ電圧
1	1	VLCD用入力	・BIAS2用入力 ・スタティック バイアスなら、Hi-Z	・BIAS1用入力 ・スタティック バイアスなら、Hi-Z	Hi-Z

注: CTRLAレシブスタのENABLEとXBIASのビット



バイアス生成に関する各種応用設計が図25-10.で示されます。



注1: これらの値は設計指針のためだけに提供されます。これらは実際のLCD仕様に基づいて設計者によってその応用に最適化されるべきです。

注2: バイアス生成は分圧抵抗の外に他の電圧供給元によって提供することができます。



25.4.12. セグメントと共通のバス交換(注)

セグメントと/または共通のバスはLCD相互連結に関してもっと柔軟性を与えるために交換(逆順)にすることができます。最初のセグメント (または共通)電極ピンが最後のピンになり、以下同様です。

これはガラス上チップ(CoG:Chip on Glass)、フィルム上チップ(CoF:Chip on Film)、基板上チップ(CoB:Chip on Board)技術で有用です。

制御レシ、スタA(CTRLA)のセグメント電極バス交換(SEGSWP)ビットと共通電極バス交換(COMSWP)ビットは、各々電極バスの順番を制御します。

注: この機能の有効性については特定デバイスのデータシートを参照してください。

25.4.13. ポートの遮蔽

デバイスの利用可能なセグメント電極全てを使わないLCDパネルについては、未使用ピンのいくつかを遮蔽することが可能です。制御レジスタC(CTRLC)のLCDポート遮蔽(PMSK)ピット領域は応用で使われるセグメント電極数を定義します。最大16本までの未使用セグメント電極ピンを標準汎用入出力ピンとして使うことができます。それらは常にセグメント電極バスの最後に配置されます。このバスの最後の8ピンがポートG(PG7~0)になり、後続する8ピンがポートM(PM7~0)になります。

LCDピンの汎用入出力機能は対応するセゲメント電極が遮蔽される場合、またはLCD制御器が禁止される場合に許可されます。(汎用入出力と共用されない)純粋なセゲメント電極は、それが遮蔽される場合、またはLCD制御器が禁止される場合にプルダウン抵抗経由でGNDにされます。

注: セグメント電極の指標を逆にするSEGSWPビットは、例え(CTRLAレジスタのLCD許可(ENABLE)ビットで)LCD制御器が禁止されている場合でも活性で、従って汎用入出力ピンの割り当ても変更します。

40セグメントLCD制御器の例:

30セグメントが使われる場合:

セグメント電極39~32 = PG0~7 ; ポートG (汎用入出力機能) セグメント電極31~30 = PM0~1 ; ポートM (汎用入出力機能) セグメント電極29~0 = SEG29~0 ; LCD (LCD機能)

20セケメントが使われる場合:

セグメント電極39~32 = PG0~7 ; ポートG (汎用入出力機能) セグメント電極31~24 = PM0~7 ; ポートM (汎用入出力機能) セグメント電極23~20 = ; GND (プルダウン) セグメント電極19~0 = SEG19~0 ; LCD (LCD機能)



25.5. レシ スタ説明 - LCD

25.5.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	_
+\$00	ENABLE	XBIAS	DATLCK	COMSWP	SEGSWP	CLRDT	SEGON	BLANK	CTRLA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - ENABLE: LCD許可(LCD Enable)

このビットの1書き込みがLCDを許可します。0書き込みにより、LCDは直ちに"OFF"にされます。表示器駆動中のLCDの"OFF"変更は(汎用入出力設定によって制御されるセグメント電極は別にして、)表示器を放電するために出力をGNDに駆動します。

● ビット6 - XBIAS : 外部バイアス生成 (External Bias Generation)

このビットが設定(1)されると、中間電圧レベルを駆動するLCD緩衝部が"OFF"にされます。"OFF"の時にはVLCD用の外部供給元が必要です。

● ビット5 - DATLCK: データ レジスタ施錠 (Data Register Lock)

このビットの1書き込みは投影表示メモリを凍結します。表示メモリが変更された場合、投影表示メモリは施錠され、表示は無変化に留まります。このビットが解除(0)されると、新しいフレームが始まる時に投影表示メモリが更新されます(214頁の図25-2.をご覧ください)。

● ビット4 - COMSWP:共通電極バス交換 (Common Terminal Bus Swap) (注)

このビットの1書き込みは共通電極バス(COM3~0)の順番を反転します。デューティ選択(DUTY1,0)によって禁止された共通電極も影響を及ぼされます(表25-4.をご覧ください)。

表25-4 共通雷極バス逆転

DUTY1,0	COM数	COMSWP=0	COMSWP=1		
0 0	4	COM3,COM2,COM1,COM0	COM0,COM1,COM2,COM3		
0 1	1	,,COM0	COM0,,		
1 0	2	,-COM1,COM0	COM0,COM1,,		
1 1	3	,COM2,COM1,COM0	COM0,COM1,COM2,		

注: この機能の有効性については特定デバイスのデータシートを参照してください。

● ビット3 - SEGSWP: セグメント電極バス交換 (Segment Terminal Bus Swap) (注)

このビットの1書き込みはセグメント電極バス(SEG39~0)の順番を補完的に反転します。LCDポート遮蔽(PMSK5~0)によって非選択にされたセグメント電極も影響を及ぼされます(表25-5.をご覧ください)。

表25-5. セグメント電極バス逆転(例)

	PMSK5~0	SEG数	SEGSWP=0	SEGSWP=1			
I	000100	4	(SEG39~4未使用),SEG3~0	SEG0~3,(SEG4~39未使用)			
	001000	8	(SEG39~8未使用),SEG7~0	SEG0~7,(SEG8~39未使用)			
	010000	16	(SEG39~16未使用),SEG15~0	SEG0~15,(SEG16~39未使用)			
	101000	40	SEG39∼0	SEG0~39			

注: この機能の有効性については特定デバイスのデータシートを参照してください。

• ビット2 - CLRDT: データ レジスタ解除 (Clear Data Register)

このビットの1書き込みは直ちに(制御レジスタではなく)表示メモリを解除します。表示はフレーム完了後に空白にされます。このビットは一旦表示メモリが解除されると自動的にリセットされます。

ヒット1 - SEGON: セク・メント"ON" (Segment "ON")

このビットの1書き込みは全てのセグメントを許可し、表示メモリの内容がLCDに出力されます。これの0書き込みは全てのLCDセグメントを"O FF"にします。

このビットはLCDタイシグ生成部を許可したままでLCDを点滅するのに使うことができます。

● ビット0 - BLANK:無表示形態(Blanking Display Mode)

このビットが1を書かれると、フレーム完了後に表示が空白にされます。全てのセグメントの共通の電極はGNDに駆動されます(より多くの詳細については216頁の「無表示」をご覧ください)。この機能は表示メモリを変更しません。

25.5.2. CTRLB - 制御レジスタB (Control register B)

ピット	7	6	5	4	3	2	1	0	_
+\$01	PRESC		CLKDIV2~0		LPWAV	-	DUT	Ύ1,0	CTRLB
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - PRESC: LCD前置分周選択 (LCD Prescaler Select)

PRESCビットはリプル計数器からの引き出し点を選びます。リプル計数器出力はクロック分周(CLKDIV2~0)設定によって更に分周することができます。各種選択が表25-6.で示されます。それらと共にLCD制御器をクロック駆動する前置分周LCDクロック(clk_CD_ps)を定義します。

表25-6. LCD前置分周器選択									
PRESC	リプル計数器からの出力	フレーム速度 (CLKDI)	€ (CLKDIV2~0=0,DUTY=1/4)						
PRESC	clk _{LCD} /N	F(clk _{LCD})=32kHz	F(clk _{LCD})=32.768kHz						
0	clk _{LCD} /8	500Hz	512Hz						
1	clk _{LCD} /16	250Hz	256Hz						

● ビット6~4 - CLKDIV2~0: LCDクロック前置分周(LCD Clock Division)

CLKDIVビット領域はクロック分周器の分周比を定義します。様々な選択が表25-7.で示されます。クロック分周器はフレーム速度設定に於いて追加の柔軟性を与えます。

フレーム速度の式:

カル上本座 =	F(clk _{LCD})	N:前置分周値(8または16)
フレーム速度 =	$(K \times N \times (1 + CLKDIV))$	K : 1/4,1/2,スタティック デューティは8、1/3デューティは6

表25-7. LCDクロック分周器 (1/4デューティ)

			フレーム速度(1/4デューティ)	
CLKDIV2~0	分周比	F(clkLC)=32kHz	F(clkLcD)=	=32.768kHz
		N=8	N=16	N=8	N=16
0 0 0	1	500 Hz	250 Hz	512Hz	256 Hz
0 0 1	2	250 Hz	125Hz	256 Hz	128Hz
0 1 0	3	166.667 Hz	83.333Hz	170.667 Hz	85.333Hz
0 1 1	4	125Hz	62.5Hz	128Hz	64Hz
1 0 0	5	100 Hz	50Hz	102.4Hz	51.2Hz
101	6	83.333Hz	41.667 Hz	85.333Hz	42.667 Hz
1 1 0	7	71.429Hz	35.714Hz	73.143Hz	36.671 Hz
111	8	62.5 Hz	31.25 Hz	64Hz	32Hz

1/3デューティ使用時、フレーム速度が上で一覧にされる値に比べて33%増加されることに注意してください。

表25-8. フレーム速度計算の例											
clkLCD	デューティ	K	PRESC	Ν	CLKDIV2~0	フレーム速度					
	スタティック	0				$32768 \div (8 \times 16 \times (1+4)) = 51.2 \text{Hz}$					
32.768kHz	1/2	0	1	16	1 0 0	$32768 \div (8 \times 16 \times (1+4)) = 51.2 \text{Hz}$					
32.708KHZ	1/3	6	1	10	100	$32768 \div (6 \times 16 \times (1+4)) = 68.267$ Hz					
	1/4	8				$32768 \div (8 \times 16 \times (1+4)) = 51.2$ Hz					

● ビット3 - LPWAV : 低電力波形 (Low Power Waveform)

LPWAVEが1を書かれると、LCDピンに低電力波形が出力され、さもなければ標準波形が出力されます。表示動作中にこのビットが変更された場合、その変更は次のフレームの始めで起きます(より多くの詳細については215頁の「低電力波形」をご覧ください)。

ビット2 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。



ビット1.0 - DUTY1.0: デューティ選択 (Duty Select) (注)

DUTYビット領域はデューティサイクルを定義します。使われない共通(COM)ピンはGNDに駆動されます。各種デューティ選択は**表25-9**.で示されます。

注: (利用可能な共通電極数に関連する)デューティ サイクルの有効性については特定デバイスのデータシートを参照してください。

表25-9. LCD デューティ選択									
DUTY1,0	DUTY1,0 デューティ バイアス 使用COMピン								
0 0	1/4	1/3	COM0∼3						
0 1	スタティック	スタティック	COM0						
1 0	1/2	1/3	COM0,1						
1 1	1/3	1/3	COM0~2						

25.5.3. CTRLC - 制御レジスタC (Control register C)

ヒ"ット	7	6	5	4	3	2	1	0			
+\$02	-	_		PMSK5~0							
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W			
初期値	0	0	0	0	0	0	0	0			

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

● ビット5~0 - PMSK5~0: LCDポート遮蔽 (LCD Port Mask)

PMSKビット領域はセグメント駆動部として使われるべきポート ピン数を定義します。未使用ピンは汎用入出力になる上位側16ピンを除いてGNDに駆動されます。

25.5.4. INTCTRL - 割り込み許可レジスタ (Interrupt Enable register)

ピット	7	6	5	4	3	2	1	0	_
+\$03			XIME4~0			-	FCINT	LVL1,0	INTCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 - XIME4~0: 拡張割り込み動作許可 (eXtended Interrupt Mode Enable)

XIMEビット領域は1つの割り込み周期の間に完了すべきフレーム数を定義します。

割り込み周期=(((XIME4~0)+1)×2LPWAV)フレーム

既定波形については、(XIME4~0)+1フレーム毎にLCDフレーム完了割り込み要求フラケ(FCIF)が生成されます。範囲は1~32フレームまでです。

連続する2つの波形が必要な低電力波形については、2×((XIME4~0)+1)フレーム毎にFCIFが生成されます。範囲は2~64フレームまでです。

注: この拡張割り込み動作はフレーム速度からの安定した時間基準を生成します。

ビット2 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

• ビット1,0 - FCINTLVL1,0: 割り込みレベル (Interrupt Level)

このビット領域はLCDフレーム完了割り込みを許可して、83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可された割り込みは割り込み要求フラグレジスタ(INTFLAGS)のFCIFが設定(1)される時に起動されます。

25.5.5. INTFLAGS - 割り込み要求フラク レジスタ (Interrupt Flag register)

ヒ゛ット _	7	6	5	4	3	2	1	0	
+\$04	-	_	-	-	-	-	-	FCIF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット0 - FCIF: LCDフレーム完了割り込み要求フラグ(LCD Frames Completed Interrupt Flag)

このフラケッの生成は割り込み許可(INTCTRL)レシ、スタの拡張割り込み動作許可(XIME)値に依存します。このビットはフレームの開始でハート、ウェアによって設定(1)されます。FCIFは対応する割り込み処理ルーチンを実行する時にハート・ウェアによって解除($\frac{0}{0}$)されます。代わりに、このフラケーへの論理1書き込みがFCIFを解除($\frac{0}{0}$)します。



25.5.6. CTRLD - 制御レジスタD (Control register D)

ピット	7	6	5	4	3	2	1	0	
+\$05	-	-	-	-	BLINKEN	-	BLINKF	RATE1,0	CTRLD
Read/Write	R	R	R	R	R/W	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3 - BLINKEN: 点滅許可 (Blink Enable)

このビットの1書き込みはLCD点滅速度(BLINKRATE)によって指定された周波数で点滅動作を開始します。これの0書き込みによってLCD点滅部は停止します(より多くの詳細については216頁の「点滅表示」をご覧ください)。

ビット2 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット1,0 - BLINKRATE1,0: LCD点滅速度 (LCD Blink Rate)

BLINKRATEビット領域は点滅許可(BLINKEN)ピットが設定(1)された時のハードウェア点滅表示周波数を定義します。点滅周波数は表25-10.で示されます。

表25-10. 点滅周波	皮数
BLINKRATE1,0	点滅周波数
0 0	4Hz
0 1	2Hz
1 0	1 Hz
1 1	0.5 Hz

25.5.7. CTRLE - 制御レジスタE (Control register E)

ピット	7	6	5	4	3	2	1	0	
+\$06		BPS	513~0			BPS(03~0		CTRLE
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - BPS13~0: 点滅セグメント選択1 (Blink Segment Selection 1)

このビット領域は点滅用のSEG1に接続されるセグメントを定義します。BPS13~0の各ビットは共通電極のそれに対応します。

● ビット7~4 - BPS03~0: 点滅セグメント選択0 (Blink Segment Selection 0)

このビット領域は点滅用のSEG0に接続されるセグメントを定義します。BPS03~0の各ビットは共通電極のそれに対応します。

注: 点滅セグメントが全く選択されない(BPS13~0=BPS03~0=0000)で点滅許可(BLINKEN)ビットが設定(1)の場合、表示全体が点滅します。

25.5.8. CTRLF - 制御レジスタF (Control register F)

<u> </u>	7	6	5	4	3	2	1	0	
+\$07	-	-			FCON	VT5∼0			CTRLF
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 - FCONT5~0 : 濃淡調整 (Fine Contrast)

FCONTビットはセグメントと共通ピン上の最大電圧(clkLCD)を定義します。FCONTは符号付き数値(2の補数)です。新しい値は各フレームの始めで有効になります。

 $VLCD = 3.0V + ((FCONT5 \sim 0) \times 0.016V)$

25.5.9. CTRLG - 制御レジスタG (Control register G)

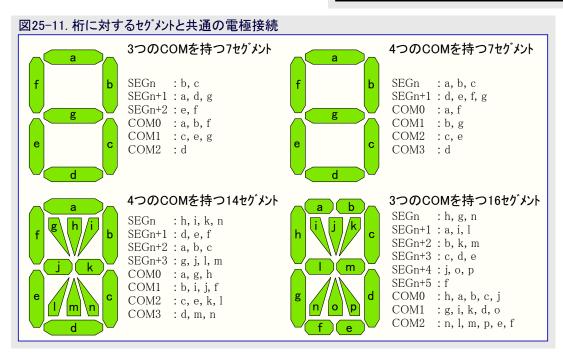
ピット	7	6	5	4	3	2	1	0	_
+\$08	TDO	G1,0			STSE	G5~0			CTRLG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 - TDG1,0 : 桁形式 (Type of Digit) (注)

このビット領域は桁表示に使われるセグメント数とセグメント/共通の接続を指定します。右の表25-11.と下の図25-11.をご覧ください。

注: "桁形式"の有効性については特定デバイスのデータシートを参照してください。

表25-11.	桁形式
TDG1,0	桁形式
0 0	3つの共通電極(COM2~0)を持つ7セグメント
0 1	4つの共通電極(COM3~0)を持つ7セグメント
1 0	4つの共通電極(COM3~0)を持つ14セグメント
1 1	3つの共通電極(COM2~0)を持つ16セグメント



● ビット5~0 - STSEG5~0: 開始セグメント (Start Segment)

STSEGビット領域は復号された表示書き込みに使われる最初のセグメント電極を定義します。このビット領域は桁で使われるセグメント電極数により、(制御レジスタH(CTRLH)の開始セグメントの減少(DEC)値に従って)自動的に増加または減少されます。

25.5.10. CTRLH - 制御レジスタH (Control register H)

ピット	7	6	5	4	3	2	1	0	
+\$09	DEC				DCODE6~0				CTRLH
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - DEC:開始セグメントの減少(Decrement of Start Segment)

このビットの1書き込みは桁で使われるセグメント電極数によって制御レジスタG(CTRLG)の開始セグメント(STSEG)ビット領域を自動的に減少します。このビットが0を書かれた場合、STSEGビット領域は桁で使われるセグメント電極数によって増加されます。この活動は桁復号が一度終わると起こり、次の桁復号呼び出しの準備をします。

● ビット6~0 - DCODE6~0: 表示符号 (Display Code)

DCODEL かり 領域は桁復号器によって計算され、表示符号に変換されて、その後に開始セグメント(STSEG)値に従って自動的に表示メモリ内に書かれます。この桁復号器はLCDパネルが前の図25-11.の1つまたはそれ以上の構成設定で定義される時に使うことができます。

表25-12.、表25-13.、表25-14.はDCODE6~0と表示模様を示します。

表の入口符号(DCODE6~0)は桁の7ビットASCII符号です。

表25-1	2. 7セク	ゾハ文	字表					
L/H	x000	x001	x010	x011	x100	x101	x110	x111
0000								
0001								
0010								
0011								
0100								
0101								
0110								
0111								
1000								
1001								
1010								
1011								
1100								
1101								
1110								
1111								

表25-1	3. 14セ	グメントプ	文字表					
L\H	x000	x001	x010	x011	x100	x101	x110	x111
0000								
0001								
0010								
0011								
0100								
0101								
0110								
0111								
1000								
1001								
1010								
1011								
1100								
1101								
1110								
1111								



表25-1	4. 16t	グメントプ	文字表					
L\H	x000	x001	x010	x011	x100	x101	x110	x111
0000								
0001								
0010								
0011								
0100								
0101								
0110								
0111								
1000								
1001								
1010								
1011								
1100								
1101								
1110								
1111								



25.5.11. DATA - LCDデータ メモリ割り当て

表示メモリはセグメントに対する"ON/OFF"状態制御のアクセスを提供します。

ピット	7	6	5	4	3	2	1	0	
(\$23)	PIX159	PIX158	PIX157	PIX156	PIX155	PIX154	PIX153	PIX152	DATA19
(\$22)				PIX15	1~144				DATA18
(\$21)				PIX14	3 ∼ 136				DATA17
(\$20)					5 ∼ 128				DATA16
(\$1F)				PIX12	7 ~ 120				DATA15
(\$1E)					9 ∼ 112				DATA14
(\$1D)					1~104				DATA13
(\$1C))3~96				DATA12
(\$1B)					5∼88				DATA11
(\$1A)					7∼80				DATA10
(\$19)					9 ∼ 72				DATA9
(\$18)					1~64				DATA8
(\$17)					3∼56				DATA7
(\$16)					5∼48				DATA6
(\$15)					$7 \sim 40$				DATA5
(\$14)					9 ∼ 32				DATA4
(\$13)					1~24				DATA3
(\$12)					3 ∼ 16				DATA2
(\$11)					15~8				DATA1
(\$10)	PIX7	PIX6	PIX5	PIX4	PIX3	PIX2	PIX1	PIX0	DATA0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

セグメント(ピクセル)座標(pixel_COM,pixel_SEG)に対するデータメモリレシ、スタ変位(オフセット)は次のとおりです。

 $LCD_{offset} = $10 + (pixel_{COM} \times [(Max_{SEG} + 7)/8]) + [pixel_{SEG}/8]$

ここで、・\$10はDATA0レジスタの16進数での変位

- ・Max_SEGはデバイスのSEG電極の最大番号
- [xxx]はxxxの整数部を意味します。

データ メモリ レシ、スタ内のセグ・メント(ピクセル)の(0~7の)ビット位置は次のとおりです。

ビット位置 = pixel_SEG%8

ここで、・%は剰余操作です。

25.6. レシ スタ要約 - LCD

アト・レス	略称	ピット7	ピット6	ピット5	ヒ゛ット4	ピット3	ピット2	ピット1	ピット0	頁
+\$24~+\$5F	予約	-	_	_	_	-	_	-	_	
+\$23	DATA19		! !		PIX159	°√152	1		! !	226
+\$22	DATA18		! 		PIX151	~144				226
+\$21	DATA17				PIX143	3 ∼ 136				226
+\$20	DATA16				PIX135	~128				226
+\$1F	DATA15				PIX127	7 ∼ 120			'	226
+\$1E	DATA14		'		PIX119	°2112	'		'	226
+\$1D	DATA13		'		PIX111	~104	'		'	226
+\$1C	DATA12		'		PIX10	3 ∼ 96	'			226
+\$1B	DATA11		'		PIX95	~88	'		'	226
+\$1A	DATA10		'		PIX87	7 ∼ 80	'		'	226
+\$19	DATA9		'		PIX79		'		'	226
+\$18	DATA8		'		PIX71	∼ 64	'			226
+\$17	DATA7				PIX63	3∼56				226
+\$16	DATA6				PIX55					226
+\$15	DATA5		'		PIX47	7 ~ 40	'		'	226
+\$14	DATA4		'		PIX39	9 ∼ 32	'		'	226
+\$13	DATA3		'		PIX31	∼ 24	'		'	226
+\$12	DATA2				PIX23	3∼16				226
+\$11	DATA1				PIX1	5 ∼ 8				226
+\$10	DATA0				PIX7	7 ~ 0				226
+\$0A~+\$0F	予約	-	_	_	-	-	-	-	-	
+\$09	CTRLH	DEC				DCODE6~0				223
+\$08	CTRLG	TDI	F1,0			STSE	G5~0			223
+\$07	CTRLF	_	-			FCON				222
+\$06	CTRLE		BPS	13~0			BPS	03~0		222
+\$05	CTRLD	-	-	-	-	BLINKEN	-	BLINKF	ATE1,0	222
+\$04	INTFLAGS	-	-	-	-	-	-	-	FCIF	221
+\$03	INTCTRL			XIME4~0			-	FCINT	LVL1,0	221
+\$02	CTRLC	-	-			PMSI	K5~0			221
+\$01	CTRLB	PRESC		CLKDIV2~0		LPWAV	-	DUT	Y1,0	220
+\$00	CTRLA	ENABLE	XBIAS	DATLCK	COMSWP	SEGSWP	CLRDT	SEGON	BLANK	219

25.7. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	LCD_vect	LCD割り込みベクタ

26. ADC - A/D変換器

26.1. 要点

- 12ビット分解能
- 1秒当たり最大30万採取
 - 8ビット分解能で最小2.3usの変換時間
 - 12ビット分解能で最小3.35usの変換時間
- 差動とシングルエンドの入力
 - 最大16のシングルエント、入力
 - 16×4種の利得なし差動入力
 - 16×4種の利得付き差動入力
- 組み込み差動利得段
 - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 3つの内部入力
 - 内部温度感知器
 - AVCCの1/10の電圧
 - 1.1Vハントギャップ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の変換結果DMA転送
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の比較結果での割り込み/事象

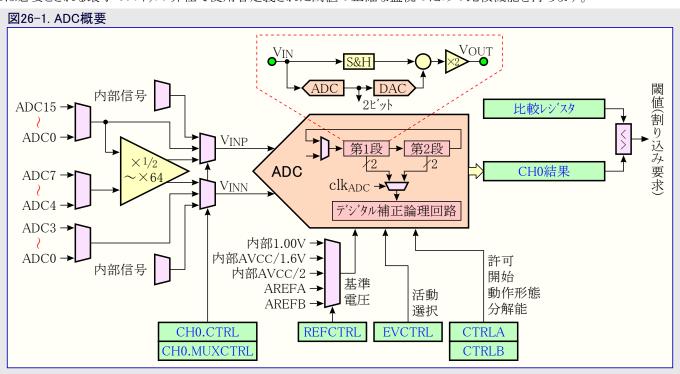
26.2. 概要

A/D変換器(ADC)はアナログ信号をデンダル値に変換します。ADCは12ビット分解能と秒当たり30万(300k)採取(SPS)までの変換能力を持ちます。入力選択は柔軟で、シングルエントと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

ADC測定は応用ソフトウェアまたはデバイス内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はソフトウェアの介在なしで予め予測されたタイミングで開始することができます。変換が行われる時にADCの結果を直接、メモリまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。AVCC/10とバンドギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。





26.3. 入力元

入力元はADCが測定と変換を行える電圧入力です。4つの測定形式が選択できます。

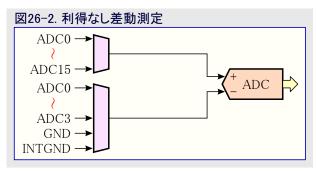
- (利得なし)差動入力
- 利得付き差動入力
- シングルエント 入力
- 内部入力

入力ピンはシングルエント」と差動の入力に使われ、一方内部入力はデバイスの内側で直接的に利用可能です。2つのADCを持つデバイスでは、PORTAピンがADCAへの入力にでき、PORTBピンがADCBへの入力にできます。1つだけのADCを持つデバイスについては、PORTAとPORTBの両方でADCに対して利用可能かもしれません。

ADCは差動で、故にシングルエンド測定については負入力が内部固定値に接続されます。4つの測定形式とそれらに対応する入力選択は**図26-2**.~230頁の**図26-7**.で示されます

26.3.1. 利得なし差動入力

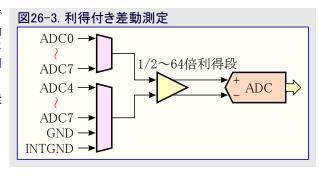
差動入力が許可されると、全ての入力ピンは正入力として選択でき、入力ピン0~3は負入力として選択できます。差動入力が使われる時、ADCは符号付き動作(CONVMODE=1)でなければなりません。



26.3.2. 利得付き差動入力

利得付き差動入力が許可されると、全ての入力ピンは正入力として選択でき、入力ピン4~7は負入力として選択できます。利得が許可されると、差動入力は最初に採取され、その結果が変換される前に利得段によって増幅されます。利得付き差動入力が使われる時、ADCは符号付き動作(CONVM ODE=1)でなければなりません。

利得は1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得が選択可能 です。



26.3.3. シングルエント 入力

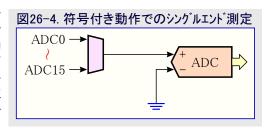
シングルエンド測定については全ての入力ピンが入力として使うことができます。シングルエンド測定は符号付きと符号なしの両動作で行うことができます。

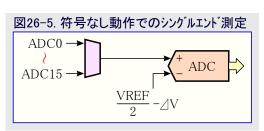
負入力は符号付き動作で内部GNDに接続されます。

符号なし動作では、負入力が基準電圧(VREF)の半分-固定変位に接続されます。この変位に対する公称値は以下です。

$\triangle V = VREF \times 0.05$

ADCが差動なので、入力範囲シングルエンド入力に対してVREFから0までです。変位はADCに対して符号なし動作での0交差測定を可能にし、デバイスの内部GNDが外部GNDよりも高い時の正の変位(オフセット)校正を許します。詳細については232頁の図26-11.をご覧ください。





26.3.4. 内部入力

これらの内部信号はADCによって測定または使うことができます。

- 温度感知器
- バンドギャップ電圧
- 縮尺AVCC
- パットでと内部GND

温度感知器はデバイの内部温度で直線的に増加する出力電圧を生じます。温度感知器からの温度を計算するのに1つ以上の校正 点が必要とされます。温度感知器は製造検査で1点校正され、結果が製品識票列内の温度感知器校正レジスタ(TEMPSENSE0とTEM PSENSE1)に格納されます。より多くの校正条件の詳細についてはデバイスのデータシートを参照してください。

ハントギャップ電圧は正確な内部電圧基準です。

VCCはADC入力の前で1/10して縮尺することによって直接測定することができます。従って、1.8VのVCCは0.18Vとして測定され、3.6VのVCCは0.36Vとして測定され、これはVCC電圧の容易な測定を許します。

内部信号はそれらが測定され得るのに先立って許可される必要があります。それらを許可する方法の詳細についてはそれらの手引書のバンドギャップに関する項を参照してください。内部信号に対する採取速度はADCのそれよりも遅くなります。詳細についてはデバイスのデータシート内のADC特性を参照してください。

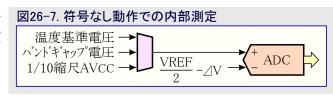
差動測定に関し、負入力としてパット・GND(GND)と内部GND(INTGND) を選択することができます。パット・GNDはピン上のGNDレベルで、外部GN Dと同じかまたは非常に近いものです。内部GNDはデバイス内部GNDレベルです。

符号付きシングルエンド動作で他の内部信号が測定される時に負入力として内部GNDが使われます。

符号なし動作で内部信号を測定するため、負入力は下の式によって与えられる固定値に接続され、それは符号なしシングルエント、入力に対する負入力として、基準電圧(VREF)の半分-固定変位です。詳細については232頁の図26-11.をご覧ください。

VINN = VREF/2 - /V





26.4. 採取時間制御

高インピーダンス供給元出力を持つ応用を支援するため、採取時間は最大64ADCクロック周期までADCクロック周期の半分の段階によって増加することができます。

26.5. 基準電圧選択

ADCに対する基準電圧(AREF)として以下の電圧が利用可能です。

- バッドギャップから生成された正確な内部1.00V電圧
- 内部AVCC/1.6V電圧
- 内部AVCC/2V電圧
- PORTAのAREFtプンに印加された外部基準電圧
- PORTBのAREFt ンに印加された外部基準電圧

図26-8. アナロゲ基準電圧選択 1.00V基準電圧 内部AVCC/1.6V 内部AVCC/2.0V AREFA AREFB AREFB

26.6. 変換結果

A/D変換の結果はチャネル結果(RES)レジスタに書かれます。ADCは符号付きと符号なしのどちらかです。この設定はADCとADCチャネルに対する全体設定です。

符号付き動作では、正と負の結果が生成されます。ADCチャネルが差動測定に設定される時は符号付き動作が使われなければなりません。符号なし動作ではシングルエント、または内部信号だけを測定することができます。12ビット分解能では符号付き結果のTOP値が2047で、結果は-2048~+2047(\$F800~\$07FF)の範囲です。

ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - VINN}{VREF} \times GAIN \times (TOP+1)$$

VINPとVINNはADCへの正入力と負入力です。

差動測定に関して利得(GAIN)は $1/2\sim64$ です。シングルエンドと内部測定に関して、利得(GAIN)は常に1で、VINPは内部GNDです。符号なし動作では、正の結果だけが生成されます。符号なしの結果のTOP値は4095で、結果は $0\sim4095$ ($$0000\sim$0FFF$)の範囲です。



ADCの伝達関数は次のように書くことができます。

$$RES = \frac{VINP - (- \underline{/}V)}{VREF} \times (TOP+1)$$

VINPはシングルエンドまたは内部の入力です。

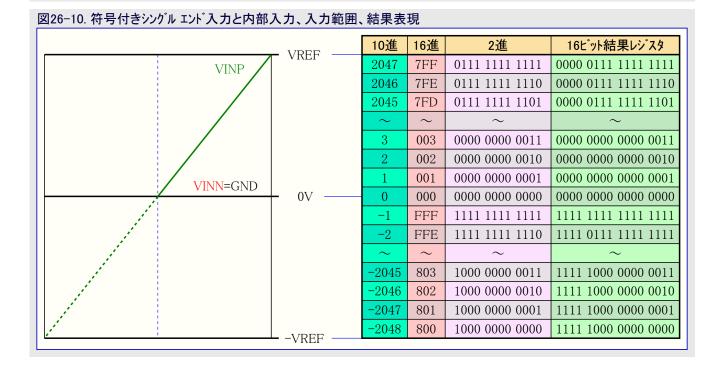
ADCは8ビットまたは12ビットの結果のどちらかを生成するように構成設定することができます。より低い分解能での結果はより早く利用可能になります。伝播遅延の記述については「ADCクロックと変換タイミング」をご覧ください。

結果レシ、スタは右揃えされた16ビットとして格納される16ビット幅です。右揃えは下位8ビットが下位バイトで得られることを意味します。12 ビットの結果は左揃えまたは右揃えのどちらかで表されます。左揃えは上位8ビットが上位バイトで得られることを意味します。

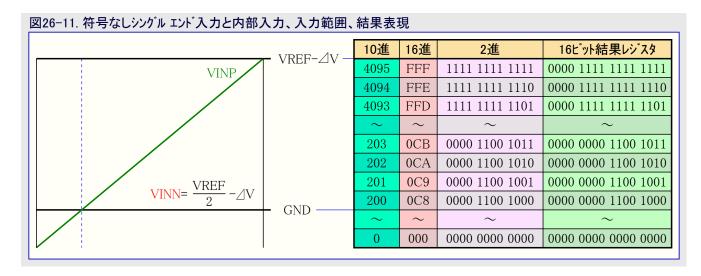
ADCが符号付き動作のとき、最上位ビットは符号ビットを表します。12ビット右揃え動作では、直接的な符号付き16ビット数値を作成するために符号ビット(ビット11)値がビット12~15に詰められます。8ビット動作では符号ビット(ビット7)値が上位バイト全体に詰められます。

図26-9.~図26-11.は差動入力任意選択、信号入力範囲、12ビット右揃え動作での結果表現を示します。

図26-9. (利得付き)符号付き差動入力、入力範囲、結果表現 10進 2進 16ビット結果レジスタ 16進 VREF **GAIN** 0000 0111 1111 1111 2047 7FF 0111 1111 1111 0000 0111 1111 1110 2046 7FE 0111 1111 1110 VINN 2045 7FD 0111 1111 1101 0000 0111 1111 1101 \sim 3 0000 0000 0011 0000 0000 0000 0011 003 2 0000 0000 0000 0010 0000 0000 0010 VINP 002 0000 0000 0000 0001 001 0000 0000 0001 0000 0000 0000 0000 0V0 000 0000 0000 0000 -1FFF 1111 1111 1111 1111 1111 1111 1111 1111 0111 1111 1111 -2FFE 1111 1111 1110 \sim -2045 803 1000 0000 0011 1111 1000 0000 0011 **RES** -2046 802 1000 0000 0010 1111 1000 0000 0010 -2047801 1000 0000 0001 1111 1000 0000 0001 -2048 1000 0000 0000 1111 1000 0000 0000 800 -VREF GAIN







26.7. 比較機能

ADCは組み込みの12ビット比較機能を持っています。ADC比較(CMP)レン゙スタは閾値電圧を表す12ビットを保持することができます。ADCチャネルは(比較)結果が閾値以上または以下の時にだけ割り込みまたは事象を生成するために、(変換)結果をこの比較値と自動的に比較するように構成設定することができます。

26.8. 変換の開始方法

変換が開始される前に入力元が選択されなければなりません。A/D変換は変換開始(START)ビットへのソフトウェア書き込みによって、または事象システムでのどれかの事象からのどちらからでも開始することができます。

26.8.1. 入力元走查

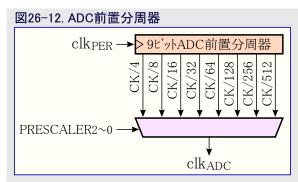
変換が開始される時に自動的に走査して測定される連続的な入力元の範囲を選択することが可能です。これは多重器制御レジスタ (MUXCTRL)を用いる最初(最低)の正ADCチャネル入力と連続的な正入力元数の設定によって行われます。変換が開始されると、選択された最初の入力元が測定/変換され、そして正入力選択はそれが走査のために指定された供給元数に達するまで各変換後に増やされます。

26.9. ADCクロックと変換タイミング

ADCは周辺機能クロックからクロック駆動されます。ADCの動作範囲内で応用の必要条件に合致するADCクロック(clkADC)を供給するために、ADCは周辺機能クロックを前置分周できます。

ADC測定の伝播遅延は次式によって与えられます。

伝播遅延 =
$$\frac{1 + \frac{RESOLUTION}{2} + GAIN}{f_{ADC}}$$



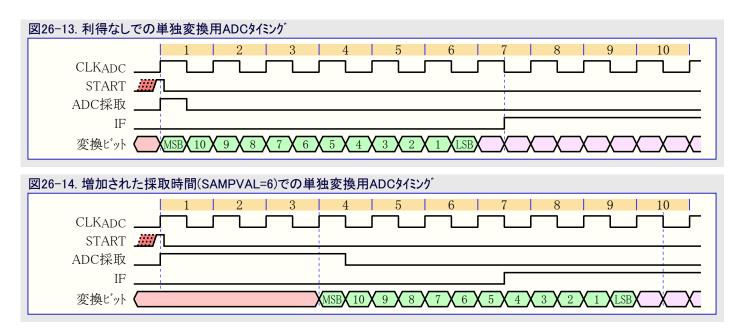
RESOLUTIONは分解能で8または12ビットです。利得段(GAIN)が使われた場合に、伝播遅延は追加ADCクロック周期によって増します。新規A/D変換は前の変換が完了されると直ぐに開始することができます。

結果の最上位ビット(MSB)が最初に変換され、残りのビットは次からの(8ビット結果に対して)3または(12ビット結果に対して)5周期の間に変換されます。1ビットの変換はADCクロック半周期かかります。最終周期の間で割り込み要求フラグが設定(1)される前に結果が準備されます。結果は読み出し用の結果レジスタで利用可能です。

26.9.1. 利得なし単独変換

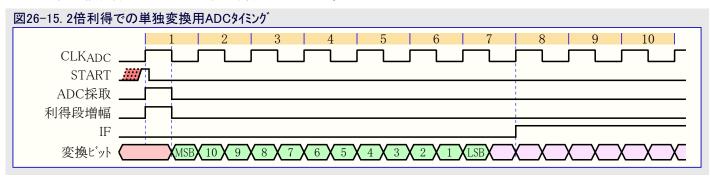
次頁の図26-13.は利得なしでの単独変換に関するADCタイミングを示します。変換開始ビットの書き込みまたは事象が起動する変換 (START)は、(START起動元の赤色(<mark>訳注</mark>:原書は灰色)傾斜で示される)変換が始まるADCクロック周期の、最低1周辺機能クロック周期前 に起きなければなりません。

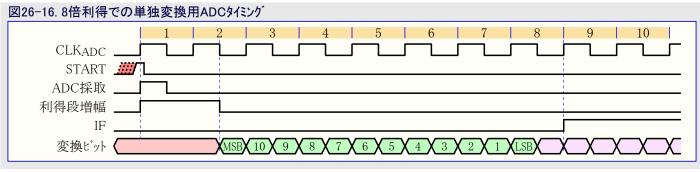
入力元は最初の周期の前半で採取されます。

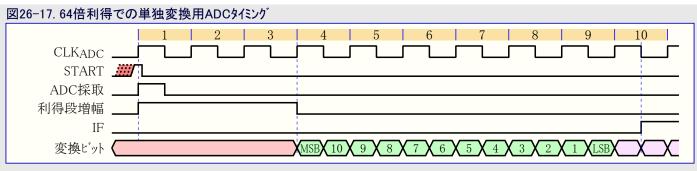


26.9.2. 利得付き単独変換

図26-15.~図26-17.は様々な利得設定での単独変換に関するADCタイジグを示します。228頁の「概要」で見られるように、利得段はADC内に組み込まれます。利得は変換無しのパイプライン段を通して信号を走らせることによって達成されます。利得なしでの単独変換と比べて、各2倍利得がADCクロック周期の半分を追加します。



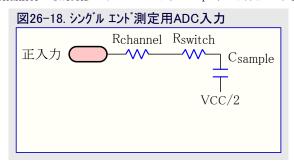


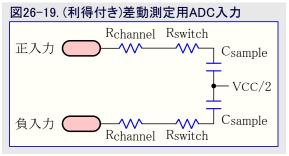




26.10. ADC入力模式

入力電圧は最大精度を得るためにADC内の採取/保持(S/H)コンデンサを充電しなければなりません。外部的に見たADC入力は入力抵抗(Rin=Rchannel+Rswitch)とS/Hコンデンサ(Csample)から成ります。図26-18と図26-19.はADC入力チャネルを示します。





nビット精度を達成するために供給元出力抵抗(Rsource)はピンのADC入力よりも低くなければなりません。

$$R_{\text{Source}} \leq \frac{T_{\text{S}}}{C_{\text{Sample}} \times \ln(2^{n+1})}$$
 - R_{Channel} - R_{Switch} こでADC採取時間(Ts)は $T_{\text{S}} \leq \frac{1}{2 \times f_{ADC}}$

によって与えられる0.5ADCクロック周期です。

Rchannel,Rswitch,Csampleの詳細についてはデバイスのデータシートでADCとADC利得段の電気的特性を参照してください。

26.11. DMA転送

ADCの変換結果をメモリや他の周辺機能へ転送するのにDMA制御器を使うことができます。新しい変換結果はDMA転送処理を起動することができます。DMA転送の詳細については36頁の「DMAC - 直接メモリ入出力制御器」を参照してください。

26.12. 割り込みと事象

ADCは割り込み要求と事象を生成できます。ADCチャネルは個別の割り込み設定と割り込みへ、クタを持ちます。割り込み要求と事象はADC変換が完了する時、またはADC測定がADC比較レジスタ値より上または下の時に生成することができます。

26.13. 校正

ADCは組み込みの直線状校正を持ちます。ADC内の内部パイプラインを校正する組み込み校正機構を持っています。仕様での精度を達成するために、ソフトウェアで製造検査校正からの値が識票列からADC校正レジスタ内に格納されなければなりません。直線性の使用者校正は不要で、従って不可能です。変位(オフセット)と利得の校正はソフトウェアで行われなければなりません。

26.14. 同期採取

周辺機能クロックがADCクロックよりも速いので、ADC変換の開始は開始の起動または事象と実際の変換開始の間に未知の遅延が起き得ます。到着事象で直ちにADC変換を開始するために、全ての測定に対してADCを破棄し、ADCクロックをリセットして次の周辺機能クロック周期(それはその後の次のADCクロック周期でもある)で変換を開始することが可能です(FLUSH=1)。これが行われた場合、ADCの進行中の変換が失われます。

ADCはソフトウェアから、またはこれを自動的に行い得る、やって来る事象で破棄することができます。この機能が使われる時に、ADCが破棄されて次の変換が開始される前に1つの変換が終了することを保証するために、各変換開始起動間の時間は伝播遅延よりも長くなければなりません。

破棄を行う前に保留の事象やADC変換開始指令を解除することも大事です。そうしなければ、破棄後直ちに保留中の変換が開始します。



26.15. レシ、スタ説明 - ADC

26.15.1. CTRLA - 制御レジスタA (Control register A)

ピット	7	6	5	4	3	2	1	0	
+\$00	-	-	-	_	-	CH0START	FLUSH	ENABLE	CTRLA
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2 - CHOSTART: チャネル単独変換開始 (Channel Start Single Conversion)

このビットの設定(1)がADC変換を開始します。このビットは変換が開始される時にハードウェアによって解除(0)されます。このビットの(1)書き込みはADCチャネル制御(CTRL)レジスタ内のチャネル変換開始(START)ビットの(1)書き込みと等価です。

● ビット1 - FLUSH: パイプライン破棄 (Pipeline Flush)

このビットの設定(1)がADCを破棄します。これが行われると、進行中の変換が中止されて失われ、ADCクロックは次の周辺機能クロック端で再始動されます。

破棄及びADCクロック再開後、ADCは中断された処から再開、換言すると何れかの変換が保留中だった場合、それらがADC完了に至るでしょう。

● ビット0 - ENABLE: ADC許可(ADC Enable)

このビットの設定(1)がADCを許可します。

26.15.2. CTRLB - 制御レジスタB (Control register B)

ビット +\$01	7	6 CURRI	5 IMIT1 0	4	3 FREERUN	2 RESOLI	JTION1.0	0	CTRLB
Read/Write	R	R/W	IMI11,0 R/W	R/W	R/W	R/W	R/W	R	CIRLD
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット6,5 - CURRLIMIT1,0:電流制限(Current Limitation)

これらのビットは最大ADC採取速度を減らすことによって、ADCの最大消費電流を制限するのに使うことができます。利用可能な設定は表26-1.で示されます。示された電流制限は公称値で、各設定に対する実際の電流制限についてはデバイスのデータシートを参照してください。

表26-1. ADC電流制限									
CURRLIMIT1,0	群構成設定	内容							
0 0	NO	電流制限なし							
0 1	LOW	低電流制限、最大採取速度=225kSPS							
1 0	MED	中電流制限、最大採取速度=150kSPS							
1 1	HIGH	高電流制限、最大採取速度=75kSPS							

● ビット4 - CONVMODE: 両極/単極変換 (Conversion Mode)

このビットはADCが符号付きまたは符号なしのどちらの動作で動くかを制御します。既定でのこのビットは解除(<mark>0</mark>)され、ADCは符号なし動作に構成設定されます。このビットが設定(1)されると、ADCは符号付き動作に構成設定されます。

● ビット3 - FREERUN: 連続動作 (Free Running Mode)

このビットはADCの連続(自由走行)動作を制御します。一旦変換が終わると、次の入力が採取されて変換されます。

● ビット2,1 - RESOUSION1,0:分解能/整列 (Conversion Result Resolusion)

これらのビットはADCが12ビットまたは8ビットのどちらの変換結果分解能で 完了するかを制御します。これらは12ビットの結果が16ビットの結果レジスタ で右または左のどちらの向きかも定義します。可能な設定については 表26-2.をご覧ください。

表26-2. ADC変換約	表26−2. ADC変換結果分解能										
RESOLUSION1,0	群構成設定	内容									
0 0	12BIT	12ピット結果、右揃									
0.1	-	(予約)									

8BIT

LEFT12BIT

10

8ビット結果、右揃え

12ビット結果、左揃え

ビット0 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を 書いてください。

26.15.3. REFCTRL - 基準電圧制御レジスタ (Reference Control register)

ピット _	7	6	5	4	3	2	1	0	
+\$02	-		REFSEL2~0		_	-	BANDGAP	TEMPREF	REFCTRL
Read/Write	R	R/W	R/W	R/W	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を 書いてください。

● ビット6~4 - REFSEL2~0:基準電圧選択 (Reference Selection)

これらのビットは表26-3.に従ってADCに対する基準電圧 を選びます。

表26-3. ADC	表26-3. ADC基準電圧形態									
REFSEL2~0	群構成設定	内容								
0 0 0	INT1V	ハント*キ*ャップ(1.1V)の10/11(1.0V)								
0 0 1	INTVCC	AVCC/1.6								
0 1 0	AREFA	PORTAのAREFt°ンからの外部基準電圧								
0 1 1	AREFB	PORTBのAREFt°ンからの外部基準電圧								
1 0 0	INTVCC2	AVCC/2								
101~111	_	(予約)								

ビット3.2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット1 - BANDGAP: バンドギャップ許可 (Bandgap Enable)

このビットの設定(1)はADC測定用バンドギャップを許可します。他の何れかの機能が既にバンドギャップを使っている場合、内部1.00V基 準電圧が別のADCで使われる時、または低電圧検出器(Brown-out Detectr)が許可されている場合、このビットの設定(1)が必要ない ことに留意してください。

● ビットO - TEMPREF:温度基準電圧許可 (Temperature Reference Enable)

このビットの設定(1)はADC測定用温度基準を許可します。

26.15.4. EVCTRL - 事象制御レジスタ (Event Control register)

ピット +\$03	7 -	6	5 -	4 EVSI	3 EL1,0	2	1 EVACT2~0	0	EVCTRL
Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット4.3 - EVSEL1.0: 事象チャネル入力選択 (Event channel Input Select)

これらのビットはどの事象チャネルがADCチャネルを起動する 表26-4. ADC事象チャネル選択 のかを定義します。各設定は事象チャネルの群を定義し、 これは最小番号の事象チャネルがADCチャネル0を、次の事 象チャネルがADCチャネル1を起動し、以下同様です。表26-4.をご覧ください。

EVSEL1,0	群構成設定	選択する事象線
0 0	0	起動入力として事象チャネル0を選択
0 1	1	起動入力として事象チャネル1を選択
1 0	2	起動入力として事象チャネル2を選択
1 1	3	起動入力として事象チャネル3を選択

▶ ビット2~0 - EVACT2~0:事象活動種別(Event Mode)

これらのビットは選択した事象チャネルのレヾつが使われ、そして更にADCチャネル起動も制限するかを、選択そして制限します。これらは**表26-5**.で定義されるようにもっと特別な事象起動も定義します。

表26-5. ADC事象活動種別選択

EVACT2~0	群構成設定	選択入力動作形態
0 0 0	NONE	事象入力なし
0 0 1	CH0	EVSELで定義された最小番号の事象チャネルがADCチャネルでの変換を起動
0 1 0	-	(予約)
0 1 1	-	(予約)
1 0 0	-	(予約)
1 0 1	-	(予約)
1 1 0	SYNCSWEEP	ADCは正確なタイミングで破棄そして再始動されます。
1 1 1	-	(予約)

26.15.5. PRESCALER - クロック前置分周レジスタ (Clock Prescaler register)

ピット	7	6	5	4	3	2	1	0	
+\$04	-	-	-	-	-	PRESCALER2~0			PRESCALER
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - PRESCALER2~0:前置分周器設定 (Prescaler Configuration)

これらのビットは表26-6.に従って周辺機能クロックに相対するADCクロックを定義します。

表26-6. ADC前置分周器設	定
------------------	---

PRESCALER2~0	群構成設定	周辺機能クロック分周数
0 0 0	DIV4	4
0 0 1	DIV8	8
0 1 0	DIV16	16
0 1 1	DIV32	32
1 0 0	DIV64	64
1 0 1	DIV128	128
1 1 0	DIV256	256
111	DIV512	512

26.15.6. INTFLAGS - 割り込み要求フラグレジスタ (Interrupt Flag register)

ピット	7	6	5	4	3	2	1	0	_
+\$06	_	-	-	_	-	-	-	CH0IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に<mark>0</mark>を書いてください。

● ビット3~0 - CHOIF: 割り込み要求フラグ (Interrupt Flag)

これらのフラケ はADC変換が完了される時に設定(1)されます。ADCチャネルが比較動作に構成設定されている場合、割り込み要求フラケ は比較条件一致時に設定(1)されます。CH0IFはADC割り込みへ、クタが実行される時に自動的に解除(0)されます。これらのフラケ はそのビット位置への1書き込みによっても解除(0)できます。

26.15.7. TEMP - 一時レジスタ (Temporary register)

ピット	7	6	5	4	3	2	1	0	
+\$07				TEM	P7∼0				TEMP
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - TEMP7~0: 一時値 (Temporary bits)

このレシ、スタはADC制御器内の16ビット レシ、スタ読み込み時に使われます。CPUによって下位バイトが読まれる時に16ビット レシ、スタの上位 バイトがここに格納されます。このレシ、スタは使用者ソフトウェアから読み書きすることもできます。

16ビット レジスタ アクセスのより多くの詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

26.15.8. SAMPCTRL - 採取時間制御レジスタ (Sampling time control register)

ピット	7	6	5	4	3	2	1	0	
+\$08	-	_			SAMPV	VAL5∼0			SAMPCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 - SAMPVAL5~0: 採取時間制御値 (sampling time control register)

これらのビットは前置分周されたA/D変換クロック周囲の半分の数値(ADC_PRESCALER値依存)でA/D変換採取時間を制御し、従ってADC入力インピーダンスを制御します。採取時間は次式に従って設定されます。

採取時間 = $(SAMPVAL+1) \times (clk_{ADC}/2)$

26.15.9. CALL - 校正値レジスタ下位 (Calibration Value register Low)

CALHとCALLレシ、スタ対は12ビット校正値を保持します。ADCは製造書き込み中に校正され、その校正値はソフトウェアで識票列から読まれてCALレシ、スタに書かれなければなりません。

ピット _	7	6	5	4	3	2	1	0	
+\$0C				CAI	_ 7∼0				CALL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CAL7~0: ADC校正値 (ADC Calibration value)

これは12ビットCAL値の下位側8ビットです。

26.15.10. CALH - 校正値レジスタ上位 (Calibration Value register High)

ピット	7	6	5	4	3	2	1	0	
+\$0D	-	-	-	-		CAL	11~8		CALH
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - CAL11~8: ADC校正値 (ADC Calibration value)

これは12ビットCAL値の上位側4ビットです。

26.15.11. CHORESH - チャネルの結果レジスタ上位 (Channel O Result register High)

CHORESHとCHORESLレシ、スタ対は16ビット値CHORESを表します。16ビットレジ、スタ読み込みの詳細については9頁の「16ビットレジ、スタのアクセス」を参照してください。

ピット	7	6	5	4	3	2	1	0	
12ビット左揃え				CHRE	S11~4				
12ビット右揃え	-	_	-	-		CHRE	S11~8		CH0RESH
8ピット	-	_	-	-	1	-	1	-	+\$11
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.15.11.1. 左揃え12ビット動作

● ビット7~0 - CHRES11~4: チャネル結果上位バイト (Channel Result high byte)

これらは12ビットADCの結果の上位8ビットです。

25.15.11.2. 右揃え12ビット動作

ビット7~4 - 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のCHRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 - CHRES11~8: チャネル結果上位バイト (Channel Result high byte)

これらは12ビットADCの結果の上位4ビットです。

25.15.11.3. 8ビット動作

ビット7~0 - 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のCHRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

25.15.12. CHORESL - チャネル0結果レジスタ下位 Channel 0 Result register Low)

					0	,			
ピット	7	6	5	4	3	2	1	0	
12ピット左揃え		CHRE	ES3~0		-	-	_	-	
12ピット右揃え				CHRE	S7∼0				CH0RESL
8ピット				CHRE	S7~0				+\$10
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

25.15.12.1. 左揃え12ビット動作

● ビット7~4 - CHRES3~0: チャネル結果下位バイト (Channel Result low byte)

これらは12ビットADCの結果の下位4ビットです。

ビット3~0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

25.15.12.2. 右揃え12ビット動作、8ビット動作

● ビット7~0 - CHRES7~0: チャネル結果下位バイト (Channel Result low byte)

これらはADCの結果の下位8ビットです。

25.15.13. CMPH - 比較レジスタ上位 (Compare register High)

CMPHとCMPLレジスタ対は16ビットのCMP値を表します。16ビット レジスタ読み書きの詳細については9頁の「16ビット レジスタのアクセス」を参照してください。

	1	б	5	4	3	2	1	0	
+\$19				CMP	15~8				CMPH
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CMP15~8:比較値上位 (Compare Value high byte)

これらは16ビットのADC比較値の上位8ビットです。符号付き動作では、数値が2の補数で表され、最上位ビットが符号ビットです。



26.15.14. CMPL - 比較レジスタ下位 (Compare register Low)

ピット	7	6	5	4	3	2	1	0	_
+\$18				CMI	P7~0				CMPL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - CMP7~0: 比較値上位 (Compare Value low byte)

これらは16ビットのADC比較値の下位8ビットです。符号付き動作では、数値が2の補数で表されます。

26.16. レシ、スタ説明 - ADCチャネル

26.16.1. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00	START	_	-		GAIN2∼0		INPUTM	IODE1,0	CTRL
Read/Write	R/W	R	R	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

• ビット7 - START: チャネル変換開始 (Start Conversion on Channel)

このビットの設定(1)がチャネルでの変換を開始します。このビットは変換が開始される時にハードウェアによって解除(0)されます。このビットが既に設定(1)されている時の設定(1)は無効です。このビットの読み書きは235頁の「CTRLA - 制御レジスタA」のADCチャネル0単独変換開始(CH0START)ビット書き込みと等価です。

ビット6.5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4~2 - GAIN2~0: 利得選択 (Gain Factor)

これらのビットはADC利得段に対する利得係数を定義します。

表26-7.をご覧ください。利得は正しい多重器(MUX)設定でだけ有効です。「MUXCTRL - 多重器制御レジスタ」をご覧ください。

表26-7. ADC利得係数						
GAIN2~0	利得係数					
0 0 0	1X	1倍				
0 0 1	2X	2倍				
0 1 0	4X	4倍				
0 1 1	8X	8倍				
100	16X	16倍				
101	32X	32倍				
110	64X	64倍				
111	DIV2	1/2倍				

● ビット1,0 - INPUTMODE1,0: チャネルn入力動作種別 (Channel Input Mode)

これらのビットはチャネル入力動作種別を定義します。入力形態変更はパイプライン内のどのデータも不正にします。

表26-8. チャネル入力種別、CONVMODE=0(符号なし動作)

<u> </u>							
INPUTMODE1,0	群構成設定	内容					
0 0	INTERNAL	内部正入力信号					
0 1	SINGLEENDED	シングルエンド正入力信号					
1 0	-	(予約)					
1 1	-	(予約)					

表26-9. チャネル入力種別、CONVMODE=1(符号付き動作)

INPUTMODE1,0	群構成設定	内容
0 0	INTERNAL	内部正入力信号
0 1	SINGLEENDED	シングルエンド正入力信号
1 0	DIFF	差動入力信号
1 1	DIFFWGAIN	利得付き差動入力信号

26.16.2. MUXCTRL - 多重器制御レジスタ (MUX Control register)

MUXCTRLレジスタはチャネルに対する入力元を定義します。

ピット	7	6	5	4	3	2	1	0	
+\$01	_		MUXP	OS3~0]	MUXNEG2~0)	MUXCTRL
Read/Write I	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

● ビット6~3 - MUXPOS3~0: ADC正入力選択 (MUX selection on Positive ADC Input)

これらのビットはADC正入力に対する多重器(MUX)選択を定義します。表26-10.は内部信号に対する、表26-11.はシンングル エンドと差動入力動作、表26-12.は利得付き差動動作に対する可能な入力選択を示します。

表26-10. INPUTMODE=00(内部信号)使用時の ADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	TEMP	温度基準電圧
0 0 0 1	BANDGAP	バンドギャップ電圧
0 0 1 0	SCALEDVCC	1/10縮尺VCC
0 0 1 1	-	(予約)
0100~1111	1	(予約)

表26-12. INPUTMODE=11(利得付き差動)使用時の ADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	PIN0	ADC0ピン
0 0 0 1	PIN1	ADC1ピン
0 0 1 0	PIN2	ADC2ピン
0 0 1 1	PIN3	ADC3t°>
0 1 0 0	PIN4	ADC4ピン
0 1 0 1	PIN5	ADC5ピン
0 1 1 0	PIN6	ADC6t°>
0 1 1 1	PIN7	ADC7ピン
1 x x x	_	(予約)

表26-11. INPUTMODE=01(シンケルエント・),=10(利得なし差動) 使用時のADC MUXPOS構成設定

MUXPOS3~0	群構成設定	アナログ入力
0 0 0 0	PIN0	ADC0ピン
0 0 0 1	PIN1	ADC1ピン
0 0 1 0	PIN2	ADC2ピン
0 0 1 1	PIN3	ADC3ピン
0 1 0 0	PIN4	ADC4ピン
0 1 0 1	PIN5	ADC5ピン
0 1 1 0	PIN6	ADC6ピン
0 1 1 1	PIN7	ADC7ピン
1000	PIN8	ADC8ピン
1001	PIN9	ADC9ピン
1010	PIN10	ADC10ピン
1011	PIN11	ADC11ピン
1 1 0 0	PIN12	ADC12ピン
1 1 0 1	PIN13	ADC13ピン
1 1 1 0	PIN14	ADC14ピン
1111	PIN15	ADC15ピン

ディーイスのピン数と機能の構成設定に依存して、実際のアナログ入力ピンの数は16よりも少ないかもしれず、詳細についてはディーイスのデータシートとピン配置記述を参照してください。

● ビット2~0 - MUXNEG2~0: ADC負入力選択 (MUX selection on Negative ADC Input)

これらのビットは差動測定が行われる時のADC負入力に対する多重器(MUX)選択を定義します。

表26-13.は利得なしに対する、表26-14.は利得付きに対する可能な入力選択を示します。

表26-13. INPUTMODE=10(利得なし差動)使用時の ADC MUXNEG構成設定

ADO WOANLUI用从以及							
MUXNEG2~0	群構成設定	アナログ入力					
0 0 0	PIN0	ADC0ピン					
0 0 1	PIN1	ADC1ピン					
0 1 0	PIN2	ADC2ピン					
0 1 1	PIN3	ADC3ピン					
1 0 0	-	(予約)					
1 0 1	GND	パッドGND					
1 1 0	_	(予約)					
111	INTGND	内部GND					

表26-14. INPUTMODE=11(利得付き差動)使用時の ADC MUXNEG構成設定

MUXNEG2~0	群構成設定	アナログ入力
0 0 0	PIN4	ADC4ピン
0 0 1	PIN5	ADC5ピン
0 1 0	PIN6	ADC6ピン
0 1 1	PIN7	ADC7ピン
1 0 0	INTGND	内部GND
1 0 1	-	(予約)
1 1 0	-	(予約)
111	GND	パッドGND



26.16.3. INTCTRL - 割り込み制御レジスタ (Interrupt Control register)

ピット	7	6	5	4	3	2	1	0	_
+\$02	-	_	-	-	INTMO	ODE1,0	INTL	VL1,0	INTCTRL
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3,2 - INTMODE1,0:割り込み種別 (Interrupt Mode)

これらのビットは表26-15.に従ってチャネルに対する割り込み種別を選択します。

表26-15. ADC割り込み種別							
INTMODE1,0 群構成設定 割り込み種別							
0 0	COMPLETE	変換完了					
0 1	BELOW	閾値以下の比較結果					
1 0	-	(予約)					
1 1	ABOVE	閾値以上の比較結果					

● ビット1,0 - INTLVL1,0: 割り込みレベル (Interrupt Priority Level and Enable)

これらのビットは83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレヘブルを選びます。許可した割り込みは割り込み要求フラグ レジスタ(INTFLAGS)レジスタのADCチャネル割り込み要求フラグ(IF)ビットが設定(1)される時の条件に対して起動されます。

26.16.4. INTFLAGS - 割り込み要求フラク・レシ、スタ (Interrupt Flag register)

ビット	7	6	5	4	3	2	1	0	_
+\$03	-	-	-	_	-	-	-	IF	INTFLAGS
Read/Write	R	R	R	R	R	R	R	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~1 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

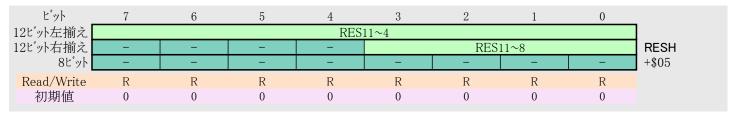
● ビット0 - IF:割り込み要求フラグ(Interrupt Flag)

この割り込み要求フラグはA/D変換完了時に設定(1)されます。チャネルが比較動作に構成設定されている場合、このフラグは比較条件に一致した時に設定(1)されます。このフラグはADCチャネル割り込みへ、クタが実行される時に自動的に解除(0)されます。このフラグはこのビット位置への1書き込みによっても解除(0)できます。

26.16.5. RESH - 結果レジスタ上位 (Result register High)

どのADC分解能でも全ての結果レジスタについて、符号付き数値は2の補数形式で表され、最上位ビットが符号ビットを表します。

RESHとRESLレシ、スタ対は16ビット値RESを表します。16ビット値の読み書きは特別な注意が必要です。詳細については9頁の「**16ビットレジスタのアクセス**」を参照してください。



26.16.5.1. 左揃え12ビット動作

● ビット7~0 - CHRES11~4: チャネル結果上位 (Channel Result high byte)

これらは12ビットADCの結果の上位8ビットです。

26.16.5.2. 右揃え12ビット動作

ビット7~4 - 予約 (Reserved)

これらのビットは実際問題としてADCが差動動作で動く時のRES11符号ビットの拡張で、ADCが符号なし動作で動く時に0が設定されます。

● ビット3~0 - CHRES11~8: チャネル結果上位 (Channel Result high byte)

これらは12ビットADCの結果の上位4ビットです。

26.16.5.3. 8년 小動作

ビット7~0 - 予約 (Reserved)

これらのビットは実際問題としてADCが符号付き動作で動く時のRES7符号ビットの拡張で、ADCがシングルエンド動作で動く時に0が設定されます。

26.16.6. RESL - 結果レジスタ下位 (Result register Low)

ピット	7	6	5	4	3	2	1	0	
12ピット左揃え		RES	3~0		-	-	-	_	
12ピット右揃え		RES7~0							RESL
8ビット		RES7~0							+\$04
Read/Write	R	R	R	R	R	R	R	R	
初期値	0	0	0	0	0	0	0	0	

26.16.6.1. 左揃え12ビット動作

● ビット7~4 - CHRES3~0: チャネル結果下位 (Channel Result low byte)

これらは12ビットADCの結果の下位4ビットです。

ビット3~0 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

26.16.6.2. 右揃え12ビット動作、8ビット動作

● ビット7~0 - CHRES7~0: チャネル結果下位 (Channel Result low byte)

これらはADCの結果の下位8ビットです。

26.16.7. SCAN - 入力チャネル走査レジスタ (Input Channel Scan register)

COUNTが0以外に設定される時に走査が許可されます。

ピット	7	6	5	4	3	2	1	0	_
+\$06		OFFS:	ET3~0			COU	VT3∼0		SCAN
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~4 - OFFSET3~0:正多重器設定変位(オフセット) (Positive MUX Setting Offset)

COUNT≠0の時にチャネル走査が許可され、このレジスタはADCチャネル上で変換されるべき次の入力元に対する変位(オワセット)を含みます。実際の正入力用多重器設定はMUXPOS+OFFSETに等しくなります。この値はCOUNTによって与えられる最大値に達するまで各変換後に増加されます。OFFSETがCOUNTに等しい時に、OFFSETは次の変換で解除(0)されます。

● ビット3~0 - COUNT3~0: 走査に含まれる入力チャネル数 (Number of Input Channels Included in Scan)

このレシブスタはチャネル走査に含まれる入力供給元数を与えます。含まれる入力供給元数はCOUNT+1です。含まれる入力チャネルはMUX POSからMUXPOS+COUNTまでの範囲です。

26.17. レジスタ要約 - ADC

これはADCが標準的な12ビットの結果を生じるように構成設定された時のレジスタ要約です。8ビットと左揃え12ビットに対するレジスタ要約は同様ですが、CH0RESHとCH0RESLの結果レジスタでいくつかが変わります。

アト・レス	略称	ピット7	ヒ゛ット6	ピット5	じット4	ヒ゛ット3	ヒ゛ット2	ピット1	ピット0	頁
+\$38	予約	-	_	_	_	-	-	-	-	
+\$30	予約	_	_	_	_	-	-	_	_	
+\$28	予約	-	_	_	_	-	-	_	_	
+\$20	CH0変位				ADCŦ	ャネル0用変位	アトレス			
+\$1F	予約	-	_	_	_	-	-	-	-	
+\$1E	予約	-	_	_	_	-	-	-	-	
+\$1D	予約	_	_	_	_	-	-	_	_	
+\$1C	予約	-	_	_	_	-	-	_	_	
+\$1B	予約	-	_	_	_	-	-	_	_	
+\$1A	予約	-	_	_	_	-	-	_	_	
+\$19	CMPH		1		CMP	15~8		1		239
+\$18	CMPL				CMI	P7~0				240
+\$17	予約	ı	_	_	_	1	1	_	-	
+\$16	予約	ı	_	_	_	1	1	_	-	
+\$15	予約	-	_	_	_	-	-	_	_	
+\$14	予約	-	_	_	_	-	-	_	_	
+\$13	予約	_	_	_	_	_	_	_	_	
+\$12	予約	_	_	_	_	_	_	_	_	
+\$11	CH0RESH			1	CH0RES11~	8または11~4		1		239
+\$10	CH0RESL			1	CH0RES7~	0または3~0		1		239
+\$0F	予約	_	-	_	_	_	_	_	_	
+\$0E	予約	-	-	_	_	_	_	_	_	
+\$0D	CALH	-	-	-	-		CAL	11~8		238
+\$0C	CALL		'	'	CAL	7~0		'		238
+\$0B	予約	_	_	_	_	_	_	-	_	
+\$0A	予約	_	_	_	_	_	_	-	_	
+\$09	予約	_	_	_	_	_	_	-	_	
+\$08	SAMPCTRL	-	-		1		AL5~0	'		238
+\$07	TEMP				TEM	P7∼0				238
+\$06	INTFLAGS	-	-	-	-	-	-	-	CH0IF	237
+\$05	予約	-	-	-	-	-	-	-	-	
+\$04	PRESCALER	-	-	-	-	-	PF	RESCALER2	~0	237
+\$03	EVCTRL	-	-	-	EVSI	EL1,0		EVACT2~0		236
+\$02	REFCTRL	-		REFSEL2~(1	-	-	BANDGAP	TEMPREF	236
+\$01	CTRLB	-	CURRL	IMIT1,0	CONVMODE	FREERUN		TION1,0	-	235
+\$00	CTRLA	-	-	-	-	-	CH0START	FLUSH	ENABLE	235



26.18. レシ、スタ要約 - ADCチャネル

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$07	予約	-	-	-	-	-	-	-	-	
+\$06	SCAN		OFFSI	ET3~0			COUN	√T3~0		243
+\$05	RESH				RES11∼83	たは11~4				242
+\$04	RESL				RES7~0 ₺	たは3~0				243
+\$03	INTFLAGS	1	-	-	-	-	-	-	IF	242
+\$02	INTCTRL	-	-	-	-	INTMO	DE1,0	INTL	VL1,0	242
+\$01	MUXCTRL	_		MUXP	OS3~0		N	MUXNEG2~	Ó	241
+\$00	CTRL	START	_	-		GAIN2~0		INPUTM	IODE1,0	240

26.19. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	CH0_vect	A/D変換器チャネル0割り込みへ、クタ



27. AC - アナログ比較器

27.1. 要点

- 選択可能なヒステリシス
 - ・なし
 - //\
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ホート上の全ピン
 - バントギャップ 基準電圧
 - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 構成設定可能な出力ピン選択を持つ定電流源

27.2. 概要

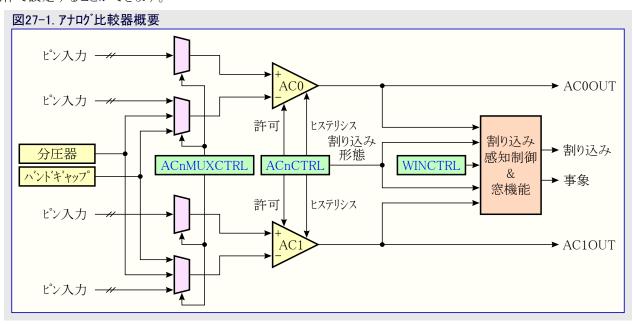
アナログ・比較器(AC)は2つの入力の電圧レベルを比較してその比較に基いたデジタル出力を与えます。アナログ・比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

アナログ比較器ヒステリシスは各応用に対して最適な動作を達成するために調節することができます。

入力選択はアナログ ポート ピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ 比較器出力の状態は外部デバイス によって使うためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

アナログ・比較器は常に各ポート上の対で分類されます。それらはアナログ・比較器0(AC0)とアナログ・比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジ、スタを持ちます。対として使うと、それらは電圧レヘブルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。





27.3. 入力元

各アナログ比較器は1つの正入力と1つの負入力を持っています。各入力はアナログ入力ピン、内部入力、AVCCを縮尺した入力から選ぶことができます。アナログ比較器からのデジタル出力は正と負の入力電圧間の差が正の時に1、差が負の時に0です。

27.3.1. ピン入力

ポートのアナログ入力ピンのどれもがアナログ比較器への入力として選択することができます。

27.3.2. 内部入力

アナログ比較器に対して2つの内部入力が利用可能です。

- ・バントギャップ。基準電圧
- 内部AVCC電圧を縮尺した64段階を提供する分圧器

27.4. 信号比較

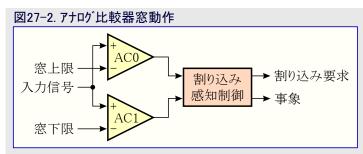
信号比較を開始するため、この単位部が許可される前に、アナログ比較器は望んだ特性と入力で構成設定されなければなりません。 比較結果は連続的に更新され、応用ソフトウェアと事象システムで利用可能です。

27.5. 割り込みと事象

アナログ比較器は出力が切り替わる時、出力が0から1に変化する(上昇端)時、または出力が1から0に変化する(下降端)時に割り込みを生成するように構成設定することができます。割り込みが許可されているか否かのどちらかに拘らず、事象は割り込みと同じ条件の間、常時生成されます。

27.6. 窓動作

同じポートの2つのアナログ比較器は窓動作で共に動作するように構成設定することができます。この動作では電圧範囲が定義され、アナログ比較器は入力信号がこの範囲内か否かのどちらかかについての情報を提供できます。



27.7. 入力ヒステリシス

応用ソフトウェアは比較に関してヒステリシスのなし、低、高を選ぶことができます。ヒステリシス付加は入力信号(値)がお互いに近い時に雑音によって引き起こされ得る定常的な出力切り換わりを防ぐのを手助けします。



27.8. レジスタ説明

27.8.1. ACnCTRL - アナログ比較器n制御レジスタ (Analog Comparator n Control register)

ピット	7	6	5	4	3	2	1	0	
+\$00,\$01	INTMO	ODE1,0	INTL	VL1,0	_	HYSMO	ODE1,0	ENABLE	ACnCTRL
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7,6 - INTMODE1,0:割り込み種別 (Interrupt Modes)

これらのビットは表27-1.に従ってアナログ比較器 に対する割り込み種別を構成設定します。

表27-1	アナログ比較器n割り込み設定	2
18 Z I = 1.	ノ ノ ロブ レレギメ もみい ラリン アンクアラマ ム	_

INTMODE1,0	群構成設定	内容							
0 0	BOTHEDGES	出力切り替わりでの比較器割り込みまたは事象							
0 1	-	(予約)							
1 0	FALLING	出力下降端での比較器割り込みまたは事象							
1 1	RISING	出力上昇端での比較器割り込みまたは事象							

● ビット5,4 - INTLVL1,0 : 割り込みレベル (Interrupt Level)

これらのビットはアナログ比較器nの割り込みを許可して83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込 みレベルを選びます。許可した割り込みは割り込み種別(INTMODE)設定に従って起動します。

ビット3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。 将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット2,1 - HYSMODE1,0 : ヒステリシス選択 (Hysteresis Mode Select)

これらのビットは表27-2.に従ってヒステリシス形態を選択します。 実際のヒステリシス レベ ルの詳細についてはデバイスのデータシートを参照してください。

HYSMODE1,0	群構成設定	内容
0 0	NO	ヒステリシスなし
0 1	SMALL	ヒステリシス小
1 0	LARGE	ヒステリシス大
1 1	-	(予約)

● ビット0 - ENABLE : 許可 (Enable)

このビットの設定(1)がアナログ比較器を許可します。

27.8.2. ACnMUXCTRL - アナログ 比較器n多重器(MUX)制御レジスタ (Analog Comparator n MUX Control register)

ピット	7	6	5	4	3	2	1	0	
+\$02,\$03	-	_		MUXPOS2~(0		MUXNEG2~0)	ACnMUXCTRL
Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7.6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ 常に0を書いてください。

● ビット5~3 - MUXPOS2~0: 正入力選択 (Positive Input MUX Selection)

これらのビットは表27-3.に従ってアナログ比較器の正入力にどの入力が 表27-3. アナログ比較器n正入力多重器(MUX)選択 接続されるかを選びます。

MUXPOS2~0	群構成設定	正入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN2	アナログ入力ピン2
0 1 1	PIN3	アナログ入力ピン3
1 0 0	PIN4	アナログ入力ピン4
1 0 1	PIN5	アナログ入力ピン5
1 1 0	PIN6	アナログ入力ピン6
1 1 1	1	(予約)



● ビット2~0 - MUXNEG2~0: 負入力選択 (Negative Input MUX Selection)

これらのビットは表27-4.に従ってアナログ比較器の負入力にどの入力が接続されるかを選びます。

主07.4	アナログ比較器n負	1 + 4 手型/MUV)	-c2 +c
衣2/-4.	ブナリグ 比較츎n貝。	人力多里裔(MUX):	洪坎

MUXPOS2~0	群構成設定	負入力
0 0 0	PIN0	アナログ入力ピン0
0 0 1	PIN1	アナログ入力ピン1
0 1 0	PIN3	アナログ入力ピン3
0 1 1	PIN5	アナログ入力ピン5
1 0 0	PIN7	アナログ入力ピン7
1 0 1	-	(予約)
1 1 0	BANDGAP	内部バンドギャップ基準電圧
111	SCALER	縮尺AVCC電圧

27.8.3. CTRLA - 制御レジスタA (Control register A)

<u> </u>	7	6	5	4	3	2	1	0	
+\$04	_	-	_	-	-	_	AC1OUT	AC0OUT	CTRLA
Read/Write	R	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - AC1OUT: アナログ比較器1出力許可(Analog Comparator 1 Output)

このビットの設定(1)はアナログ比較器1(AC1)の出力を同じポートのピン6で利用可能にします。

● ビット0 - ACOOUT: アナログ比較器0出力許可(Analog Comparator 0 Output)

このビットの設定(1)はアナログ比較器0(AC0)の出力を同じポートのピン7で利用可能にします。

27.8.4. CTRLB - 制御レジスタB (Control register B)

_		102 1-1 0 0	= (001101	01 1 0 610 001	2,					
	ピット _	7	6	5	4	3	2	1	0	
	+\$05	-	_			SCALE	FAC5~0			CTRLB
	Read/Write	R	R	R/W	R/W	R/W	R/W	R/W	R/W	
	初期値	0	0	0	0	0	0	0	0	

ビット7,6 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット5~0 - SCALEFAC5~0: アナログ比較器VCC入力縮尺 (Input Voltage Scalling Factor)

これらのビットはAVCC電圧縮尺器に対する縮尺係数を定義します。アナログ比較器への入力VSCALEは以下です。

$$V_{SCALE} = \frac{AVCC \times (SCALEFAC + 1)}{64}$$

27.8.5. WINCTRL - 窓制御レジスタ (Window Function Control register)

+\$06 WEN WINTMODE1,0 WINTLVL1,0 WINCTRL	ピット	7	6	5	4	3	2	1	0	_
Read/Write R R R R/W R/W R/W R/W R/W	+\$06	-	_	-	WEN	WINTM	IODE1,0	WINTI	LVL1,0	WINCTRL
Ready villed it	Read/Write	R	R	R	R/W	R/W	R/W	R/W	R/W	
初期値 0 0 0 0 0 0 0 0 0	初期値	0	0	0	0	0	0	0	0	

ビット7~5 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット4 - WEN:窓動作許可(Window Mode Enable)

このビットの設定(1)はアナログ比較器窓動作を許可します。

● ビット3,2 - WINTMODE1,0:窓割り込み種別 (Window Interrupt Mode Settings)

これらのビットは表27-5.に従ってアナログ比較器窓動作に対する割り込み動作種別を構成設定します。

表27-5. 窓動作割		
WINTMODE1,0	群構成設定	内容
0 0	ABOVE	窓以上の信号で割り込み
0 1	INSIDE	窓内の信号で割り込み
1 0	BELOW	窓以下の信号で割り込み
1 1	OUTSIDE	窓外の信号で割り込み

● ビット1,0 - WINTLVL1,0: アナログ比較器窓割り込みレベル (Window Interrupt Enable)

これらのビットはアナログ比較器窓動作割り込みを許可して83頁の「割り込みと設定可能な多段割り込み制御器」で記述されるように割り込みレベルを選びます。許可した割り込みは窓割り込み種別(WINTMODE)設定に従って起動します。

27.8.6. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	
+\$07	WSTA	TE1,0	AC1STATE	AC0STATE	-	WIF	AC1IF	AC0IF	STATUS
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7.6 - WSTATE1.0:窓動作現状 (Window Mode Current State)

これらのビットは**表27-6**.に従って窓動作が許可された場合の信号の現在の状態を示します。

表27-6. 窓動作での現在の状態									
WSTATE1,0	群構成設定	内容							
0 0	ABOVE	信号は窓以上							
0 1	INSIDE	信号は窓内							
1 0	BELOW	信号は窓以下							
1 1	OUTSIDE	信号は窓外							

- ビット5 AC1STATE: アナログ比較器1現状 (Analog Comparator 1 Current State)
- このビットはアナログ比較器1からの出力信号の現在の状態を示します。
- ビット4 ACOSTATE: アナログ比較器0現状 (Analog Comparator 0 Current State)

このビットはアナログ比較器0からの出力信号の現在の状態を示します。

● ビット3 - 予約 (Reserved)

このビットは予約されており、常に0として読めます。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に0を書いてください。

● ビット2 - WIF: アナログ比較器窓割り込み要求フラグ(Analog Comparator Window Interrupt Flag)

このビットは窓動作に対する割り込み要求フラグです。WIFは「WINCTRL - 窓制御レジスタ」のアナログ比較器窓割り込み種別(WINTMOD E)設定に従って設定(1)されます。

このフラグはアナログ比較器窓割り込みへ、クタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

● ビット1 - AC1IF: アナログ比較器1割り込み要求フラグ(Analog Comparator 1 Interrupt Flag)

このビットはアナログ比較器1に対する割り込み要求フラグです。AC1IFは248頁の「ACnCTRL - アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器1割り込みベクタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

● ビット0 - ACOIF: アナログ比較器0割り込み要求フラグ(Analog Comparator 0 Interrupt Flag)

このビットはアナログ比較器0に対する割り込み要求フラグです。AC0IFは248頁の「ACnCTRL - アナログ比較器n制御レジスタ」のアナログ比較器n割り込み種別(INTMODE)設定に従って設定(1)されます。

このフラグはアナログ比較器0割り込みへつタが実行されると、自動的に解除(0)されます。このフラグはこのビット位置に1を書くことによっても解除(0)することができます。

27.8.7. CURRCTRL - 電流源制御レジスタ (Current Source Control register)

ピット	7	6	5	4	3	2	1	0	
+\$08	CURRENT	-	-	-	-	-	AC1CURR	AC0CURR	CURRCTRL
Read/Write	R/W	R	R	R	R	R	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7 - CURRENT:電流源許可(Current Source Enable)

このビットの1設定は定電流源を許可します。

ビット6~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - AC1CURR: アナログ比較器1電流源出力許可(AC1 Current Source Output Enable)

このビットの1設定はアナログ比較器1多重器(MUX)制御(AC1MUXCTRL)レジスタ内の負入力選択(MUXNEG)によって選択されたピン上での定電流源出力を許可します。

● ビット0 - ACOCURR: アナログ比較器0電流源出力許可(ACO Current Source Output Enable)

このビットの1設定はアナログ比較器0多重器(MUX)制御(AC0MUXCTRL)レジスタ内の負入力選択(MUXNEG)によって選択されたピン上での定電流源出力を許可します。

27.8.8. CURRCALIB - 電流源校正レジスタ (Current Source Calibration register)

	ピット	7	6	5	4	3	2	1	0	
Read/Write R R R R R/W R/W R/W R/W	+\$09	-	-	-	-		CALI	B3∼0		CURRCALIB
reductivities it it it it it it, it it, it	Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
初期値 0 0 0 0 0 0 0 0	初期値	0	0	0	0	0	0	0	0	

ビット7~4 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット3~0 - CALIB3~0: 電流源校正 (Current Source Calibration)

定電流源は製造中に校正されます。校正値はソフトウェアで識票列から読んでCURRCALIBレジスタに書くことができます。既定校正値と使用者校正範囲についてはデバイスのデータシートを参照してください。

27.9. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$09	CURRCALIB	1	1	-	-		CALI	B3~0		251
+\$08	CURRCTRL	CURRENT	-	-	-	-	-	AC1CURR	AC0CURR	251
+\$07	STATUS	WSTA	TE1,0	AC1STATE	AC0STATE	1	WIF	AC1IF	AC0IF	250
+\$06	WINCTRL	1	1	-	WEN	WINTM	ODE1,0	WINTI	LVL1,0	249
+\$05	CTRLB	1	1			SCALEF	ACL5~0	1		249
+\$04	CTRLA	1	-	-	-	-	-	AC1OUT	AC0OUT	249
+\$03	AC1MUXCTRL	1	-	1	MUXPOS2~0)	1	MUXNEG2~	0	248
+\$02	AC0MUXCTRL	1	1	1	MUXPOS2~0)	1	, MUXNEG2~	0	248
+\$01	AC1CTRL	INTMC	DDE1,0	INTL	VL1,0	_	HYSM	DE1,0	ENABLE	248
+\$00	AC0CTRL	INTMO	DDE1,0	INTL	VL1,0	_	HYSM	DE1,0	ENABLE	248

27.10. 割り込みベクタ要約

変位	記述例	割り込み内容
\$00	COMP0_vect	アナログ比較器0割り込みへ、クタ
\$02	COMP1_vect	アナログ比較器1割り込みへ、クタ
\$04	WINDOW_vect	アナログ比較器窓割り込みへどクタ



28. IEEE 1149.1 JTAG 境界走査インターフェース

28.1. 要点

- JTAG(IEEE規格1149.1-2001適合)インターフェース
- JTAG規格に従った境界走査能力
- 全I/Oピンの完全な走査
- SAMPLE, IDCODE, PRELOAD, EXTEST, BYPASS必須命令支援
- HIGHZ, CLAMP任意命令支援
- PDIアクセス用AVR特定PDICOM命令支援

28.2. 概要

JTAGインターフェースはJTAG境界走査能力の使用によって基板を検査することを主に意図されています。副次的にJTAGインターフェースは任意のJTAG動作でプログラミングとデバッグ用インターフェースの入出力に使われます。

境界走査チェーンはI/Oピンの論理値を駆動、監視する能力持っています。システム上ではJTAG能力を持つ全てのマイクロコントローラや基板部品がTDIとTDO信号によって長い移動レシ、スタの形態で直列に接続されます。外部制御器はそれらの出力ピンで値を駆動するためにデ、バイスを設定し、他のデ、バイスから受信した入力値を監視します。この制御器は予測される結果と受信した値を比較します。このように境界走査の方法は4つのTAP信号だけを使うことによって、基板上の部品の完全性と内部連絡検査に対する機構を提供します。代わりに、全てのI/Oピンを不活性駆動状態にして置き、同時にチップの境界走査レジ、スタチェーンを迂回するのにHIGHZ命令を使うことができます。

AVR特定PDICOM命令はプログラミングとデバッグ用のPDIをアクセスするためのインターフェースとしてPDIデータレジスタの使用を可能にします。 これはJTAGインターフェースを使うことによって内部のプログラミングとデバッグの資源をアクセスする方法の切り換えを提供します。PDI、プログラミングとチップ上デバッグのより多くの詳細については258頁の「プログラミングとデバッグ、用インターフェース」を参照してください。

JTAGインターフェースとJTAG検査入出力ポート(TAP)を許可するには、JTAGENヒュース、がプログラム(0)され、MCU制御レジスタ(MCUCR)のJTAGインターフェース禁止(JTAGD)ビットが解除(0)されなければなりません。より多くの詳細については23頁の「FUSEBYTE4 - ヒュース、ハイト4」と31頁の「MCUCR - MCU制御レジスタ」をご覧ください。

境界走査に対してJTAGインターフェースを使うとき、JTAG TCKクロック周波数はデバイスの内部周波数より高くできます。境界走査に対して デバイスのシステム クロックは必要ありません。

28.3. 検査入出力ポート (TAP:Test Access Port)

JTAGインターフェースは4つのデバイス ピンの使用が必要です。JTAG用語では、これらのピンが検査入出力ポート(TAP)を構成します。

- TMS: 検査種別選択。このピンはTAP制御器順次回路を通しての指示に使われます。
- TCK:検査クロック。これはJTAGクロック信号で、全ての操作はTCKに同期します。
- TDI: 検査データ入力。命令レシ、スタまたはデータレシ、スタ(走査チェーン)内に移動されるべき直列入力データです。
- TDO:検査データ出力。命令レジスタまたはデータレジスタからの直列出力データです。

IEEE規格1149.1-2001では任意の検査リセット(TRST)も指定されています。これは利用できません。

JTAGENヒューズが非プログラム(1)またはJTAGインターフェース禁止(JTAGD)ビットが設定(1)の時にJTAGインターフェースが禁止されます。4つの TAPピンは標準ポート ピンで、TAP制御器はリセットです。許可されると、TAP信号入力は内部的にHighへ引かれてJTAGが境界走査動作を許可されます。



TAP制御器は境界走査回路の働きを制御する16段の有限順次回路です。**図28-1**.に示された状態遷移はTCKでの上昇端の時の(図の各状態遷移付近で示される)TMS上に存在する信号に依存します。電源ONリセット後の初期状態は<mark>検査回路リセット</mark>状態です。現在の状態が検査実行/アインル状態と仮定して、JTAGインターフェースを使う代表的な筋書きは以下です。

• 命令レジスタ(IR)移動状態へ移行するためにTC Kの上昇端でTMS入力に順次1,1,0,0を与えて ください。この状態中にTCKの上昇端でTDI入 力からJTAG命令レジスタ内に4ピットのJTAG命令 を移動してください。TMS入力はIR移動状態に 留まるために3 LSBの入力中、Lowに保持され なければなりません。命令のMSBはTMS入力 のHigh設定によってこの状態を抜ける時に移 動入力されます。命令がTDIピンから移動入力 されている間に捕獲されたIRの状態(\$01)が

TDOピンへ移動出力されます。ITAG命令はTD

IとTDO間の経路として特定のデータレジスタを選

択し、選択したデータレジスタ周辺回路を制御し

- 検査実行/アイドル状態へ再度移行するために TMSへ順次1,1,0を与えてください。この命令は IR更新状態で移動レジスタ経路から並列出力に ラッチされます。IR終了1、IR一時停止、IR終了2 の各状態は順次回路の誘導にだけ使われま す。
- データレジスタ(DR)移動状態へ移行するために TCKの上昇端でTMSに順次1,0,0を与えてくだ さい。この状態中にTCKの上昇端でTDI入力

図28-1. TAP制御器状態遷移図 検査回路リセット DR: データ レシ スタ IR: 命令レシブスタ 1 0 IR走査選択 (0) 検査実行/アイドル ► DR走査選択 $\downarrow 0$ $\downarrow 0$ DR捕獲 IR捕獲 0 **↓** 0 IR移動 DR移動 0 $\downarrow 1$ DR終了1 IR終了1 0 IR一時停止 DR一時停止 0 0 DR終了2 IR終了2 ↓1 DR更新 IR更新 0

から(JTAG命令レジスタ内に存在するJTAG命令によって選択された)選択データレジスタに値を移動入力してください。DR移動状態に留まるために、MSBを除く全ビットの入力の間、TMS入力はLowに保持されなければなりません。データのMSBはTMS入力のHigh設定によってこの状態を抜ける時に移動入力されます。データレジスタがTDIピンから移動入力されている間、DR捕獲状態(1,0)で捕獲したデータレジスタへの並列入力がTDOピンで移動出力されます。

• 検査実行/アイドル状態へ再度移行するためにTMSに順次1,1,0を与えてください。選択したデータレジスタがラッチした並列出力を持つ場合、DR更新状態でラッチを行います。DR終了1、DR一時停止、DR終了2の各状態は順次回路の誘導にだけ使われます。

状態遷移図で示されるように、検査実行/アイドル状態はJTAG命令選択とデータ レジスタ使用の間で移行の必要はありません。

注: TAP制御器の初期状態に関係なく、5 TCKクロック周期に対してTMSをHighに保持することによって、常に<mark>検査回路リセット状態</mark>へ移 行できます。

28.4. JTAG命令

ます。

命令レジスタ(IR)は4ビット幅です。以下の一覧は境界走査操作用JTAG命令とJTAG動作でのPDI入出力に使われるPDICOM命令です。

全ての移動レジスタに対してLSBが先に移動入出力されます。

各命令に対する符号は命令名後の16進形式で示されます。本文は各命令に関してTDIとTDO間の経路としてどのデータレジスタが選択されるかを記述します。

28.4.1. EXTEST: \$0

EXTESTはAVR XMEGAデバイス製品への外部的な回路の検査用のデータレン、スタ(DR)として境界走査チェーンを選択するための命令です。この命令は外部ピンの採取と出力ピンへのデータ設定に使われます。I/Oポートピンに関しては出力制御(DIR)と出力データ(OUT)が走査チェーン経由で制御可能で、一方出力制御と実際のピン値が監視可能です。境界走査チェーンのラッチされた出力の内容はJTAG命令レン、スタ(IR)がEXTEST命令を格納されると直ぐに出力駆動されます。

活性(有効)な状態は以下です。

• DR捕獲:外部ピン上のデータが境界走査チェーン内に採取されます。

• DR移動:境界走査チェーン内のデータがTCK入力によって移動されます。

DR更新: 走査チェーンからのデータが出力ピンに供給されます。



28.4.2. IDCODE; \$3

IDCODEはデータレジスタ(DR)として32ビットの識別符号(ID)レジスタを選択するための命令です。識別符号レジスタは版番号、デバイス番号 と、電子機器技術評議会(JEDEC)によって決めれた製造者符号から成ります。これは電源投入後の既定命令です。

活性(有効)状態は以下です。

- DR捕獲:識別符号レジスタの値がデバイス識別レジスタ内に採取されます。
- DR移動:識別符号走査チェーンがTCK入力によって移動されます。

28.4.3. SAMPLE/PRELOAD; \$2

SAMPLE/PRELOADはシステム動作への影響なしに入出力ピンの状態採取と出力ラッチの事前格納を行うための命令です。 けれども出 カラッチはピンに接続されません。データレジスタ(DR)として境界走査チェーンが選択されます。SAMPLEとPRELOADの各々の命令が別の 機能を実行するので、これらは共通の2進値を共用し、単一合併命令として扱うことができます。

活性(有効)状態は以下です。

- DR捕獲:外部ピンのデータが境界走査チェーン内に採取されます。
- DR移動:境界走査チェーンがTCK入力によって移動されます。
- DR更新:境界走査チェーンからのデータが出力ラッチに供給されますが、出力ラッチはピンに接続されません。

28.4.4. BYPASS; \$F

BYPASSはデータレジスタ(DR)に対して迂回(Bypass)レジスタを選択する命令です。この命令はデバイスを通る可能な最短走査チェーンを作 るのに発行することができます。

活性(有効)状態は以下です。

- DR捕獲: 迂回レジスタに0を格納します。
- DR移動: TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.5. CLAMP: \$4

CLAMPは事前格納された出力ラッチから決められる状態を入出力ピンに許す任意命令です。この命令は境界走査レジスタ経由で印加 されるべきピン静止値を許すと同時に走査経路内のこれらのレジスタを迂回し、直列検査経路の総合長を効率的に短くします。データレ ジスタ(DR)として迂回(Bypass) レジスタが選択されます。

活性(有効)状態は以下です。

- DR捕獲: 迂回レジスタに0を格納します。
- DR移動: TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.6. HIGHZ: \$5

HIGHZは全ての出力を不活性状態(例えば高インピーダンス)にする任意命令です。データレジスタ(DR)として迂回(Bypass)レジスタが選択さ れます。

活性(有効)状態は以下です。

活性(有効)状態は以下です。

- DR捕獲:迂回レシブスタに0を格納します。
- DR移動: TDIとTDO間の迂回レジスタ(セル)が移動されます。

28.4.7. PDICOM: \$7

PDICOMはPDIに対する代替インターフェースとしてJTAG TAPを使うためのAVR XMEGA特定命令です。

• DR捕獲: PDIからの並列データがPDICOMデータレジスタ内に採取されます。

- DR移動:命令またはオペラント、がPDICOMデータレシ、スタからPDI内へ並列ラッチされます。

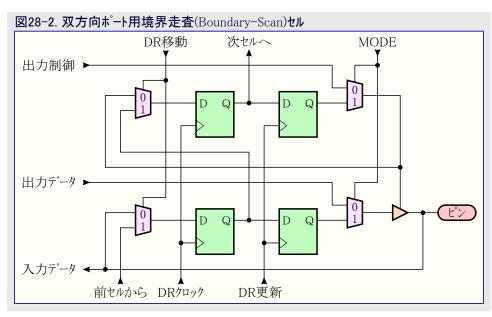


28.5. 境界走査チェーン(Boundary-Scan Chain)

境界走査チェーンはI/Oピンの論理値の設定と監視の能力を持ちます。EXTEST,CLAMP,HIGHZ命令中とその後での予測可能なデバイスの動きを保証するために、デバイスは自動的にリセット(状態)に置かれます。リセットが活性(有効)な間、外部用発振器、アナログ単位部、(プルアップ/ダウン、バス保持、ワイヤードAND/ORのような)既定以外のポート設定は禁止されます。現在のデバイスとポート ピンの状態がSAM PLEとPRELOAD命令によって影響を及ぼされないことに注目されるべきです。

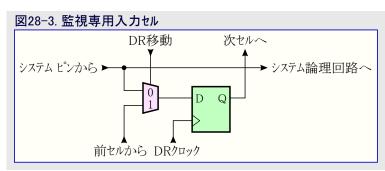
28.5.1. ポート ピンの走査

図28-2.は全ての双方向ポートピンに対して使われる境界走査セルを示します。このセルは2段の移動ルジスタ経由でピン方向とピン値の両方の制御と監視を行えます。交換ポート機能が存在しないとき、出力制御はDIRレジスタ値に対応し、出力データはOUTレジスタ値に対応し、入力データは(入力反転と同期化前に分岐された)INレジスタ値に対応します。MODEは活動中のCLAMPまたはEXTESTのどちらかの命令を表し、一方DR移動はTAP制御器がDR移動状態の時に設定(1)されます。



28.5.2. PDIL°ンの走査

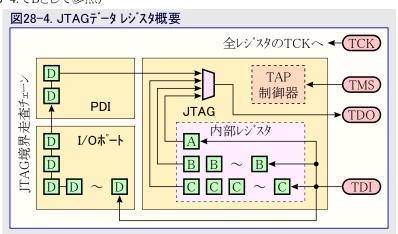
組み合わされたRESETとPDI_CLKピンのために2つの監視専用セルが挿入され、PDI_DATAピンが監視可能です。例えPDI_DATAピンが双方向でも、PDI_DATA出力経路にどんな追加論理回路も避けるために監視可能なだけにされています。



28.6. データ レジスタ

TDIとTDO間に接続可能な支援されるデータ レシブスタ(DR)は以下です。

- 迂回(Bypass)レジスタ (図28-4.でAとして参照)
- デバイス識別(Device Identification)レジスタ (図28-4.でCとして参照)
- 境界走査チェーン(Boundary-Scan chain) (図28-4.でDとして参照)
- PDICOMデータレジスタ(図28-4.でBとして参照)

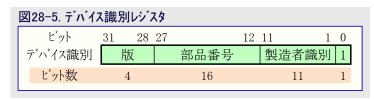




28.6.1. 迂回 (Bypass) レジスタ

迂回レシ、スタは単一の移動レシ、スタ段から成ります。TDIとTDO間の経路として迂回レシ、スタが選択されると、このレシ、スタはデータレシ、スタ(DR)捕獲制御器状態を抜ける時にOへリセットされます。迂回レジ、スタは他のデバイスが検査されるべき時にシステム上の走査チェーンを短くするのに使えます。

28.6.2. デバイス識別 (Device Identification) レジスタ



28.6.2.1. 版

版はデバイスの改訂を示す4ビットです。JTAG版番号はデバイス改訂に従います。改訂Aは\$00、改訂Bは\$01、以下同様です。

28.6.2.2. 部品番号

部品番号はデバイスを識別する16ビット符号です。正確な番号を得るにはデバイスのデータシートを参照してください。

28.6.2.3. 製造者識別

製造者識別は製造業者を識別する11ビット符号です。Atmelに関しては、この符号が\$01Fです。

28.6.3. 境界走査チェーン (Boundary-Scan Chain)

境界走査チェーンは全I/Ot°ンの論理値の設定と監視能力を持ちます。完全な記述については前頁の「**境界走査チェーン**(Boundary-Scan chain)」を参照してください。

28.6.4. PDICOMデータ レシ スタ

PDICOMデータレシ、スタはJTAG TAPとPDI間でのデータの直列⇒並列と並列⇒直列の変換に使われる9ビット幅のレシ、スタです。詳細については258頁の「プログラミングとデ・バッグ・用インターフェース」を参照してください。



29. プログラミングとデバッグ用インターフェース

29.1. 要点

- プログラミング
 - PDIまたはJTAGのインターフェースを通す外部プログラミング
 - 高速動作のための最小の規約付随負荷
 - 確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すプログラミング用のブート ローダ支援
- ・デバッグ
 - 不干渉、実時間、チップ・上デバッグ・システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
 - ずータ位置読み、書き、または読み書き両方
 - ずータ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- プログラミングとディッグ用インターフェース(PDI)
 - 外部のプログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - プログラミングまたはデバッグ中にI/Oピンの必要なし
- JTAGインターフェース
 - プログラミングとデバッグ用の4ピン、IEEE規格1149.1適合インターフェース
 - IEEE規格149.1(JTAG)に従った境界走査能力

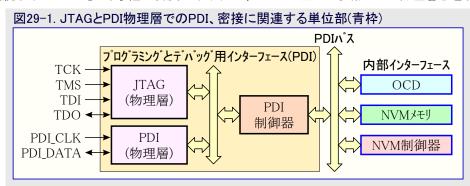
29.2. 概要

プログラミングとデ、バッグ、用インターフェース(PDI)はデ、バイスの外部プログラミングとチップ。上デ、バッグ、用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒュース、施錠ビット、使用者識票列の不揮発性メモリ(NVM)の高速プログラミングを支援します。これはNVM制御器をアクセスして、268頁の「メモリプログラミング」で記述されるようにNVM制御器命令を実行することによって行われます。

デバッグは不干渉、実時間のデバッグを提供するチップ上デバッグ・システムを通して支援されます。これはデバイス ピン接続を除いてどんなソフトウェアまたはハート・ウェアも必要としません。Atmelのツール チェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラ レベルからだけでなく、Cまたは他の高位言語ソースコート・のレベルからも行うことができます。

プログラミングとディッグは2つの物理インターフェースを通して行えます。基本は全てのディイスで利用可能なPDI物理層です。これはクロック入力用のリセット ピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使う2ピン インターフェースです。殆どのディイスでJTAGインターフェースも利用可能で、これは4ピンのJTAGインターフェースを通してプログラミングとディッグに使うことができます。JTAGインターフェースはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはチップ上ディッガ/エミュレータがこれらインターフェースのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すアクセスと仮定します。

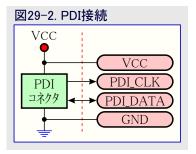




29.3. PDI物理層

PDI物理層は低位直列通信を扱います。これは(丁度USRT動作でのUSARTのように)双方向半二重同期直列送受信器を使います。物理層はフレーム開始検出、フレーミング異常検出、パリティ生成、パリティ誤り検出、衝突検出を含みます。

PDI_CLKとPDI_DATAに加え、PDI_DATAピンは内部プルアップ抵抗を持ち、VCCとGNDは外部書き込み器/デバッガとデバイス間で接続されなければなりません。図29-2.は代表的な接続を示します。



本項の残りはAtmel AVR XMEGAデバイスに対する第3者開発書き込み器またはプログラミング支援による使用だけを意図したものです。

29.3.1. 許可方法

PDI物理層は使用前に許可されなければなりません。これは最初にPDI_DATA線を外部リセット最小パルス幅と等しい長さよりも長い期間、Highに強制することによって行われます(外部リセットパルス幅のデータについてはデバイスのデータシートを参照してください)。これはヒュース設定によって未だ禁止されていない場合に、リセット ピンのRESET機能を禁止します。

次に、PDI_DATAを16PDI_CLK周期間、High保持を継続してください。最初のPSI_CLK周期はリセット ピンのRESET機能が禁止された後、100μsよりも遅れてはなりません。これがその時間で起きない場合、許可手順は始めから再び開始されなければなりません。許可の流れは図29-3.で示されます。



RESET ピンはPDIインターフェースが許可されている時に採取されます。そしてリセット レジスタはRESET ピンの状態に従って設定され、このピンのリセット機能が禁止された後でのコード走行からデバイスを保護します。

29.3.2. 禁止方法

PDI_CLKのクロック周波数が概ね10kHzよりも低い場合、これはクロック線での無活動と見なします。それはPDIを自動的に禁止します。 ヒューズによって禁止されていなければ、リセット(PDI_CLK)ピンのリセット機能が再び許可されます。これは最低プログラミング周波数が概ね 10kHzであることも意味します。

29.3.3. フレーム形式とキャラクタ

PDI物理層は開始ビット、パリティビット、2つの停止ビットを持つ8ビット データの1キャラクタで定義される固定フレーム形式を使います。

図29-4. PDI直列フレーム形式

(IDLE) St D0 X D1 X D2 X D3 X D4 X D5 X D6 X D7 X P Sp1 Sp2 (St/IDLE)

1フレーム

St : 開始ビット (常にLow) Spn: 停止ビット (常にhigh)
Dn: データビット (0~7) P: パリティ ビット (偶数パリティを使用)

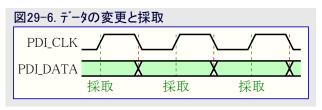
DATA,BREAK,IDLEの3つの異なるキャラクタが使われます。BREAKキャラクタは12ビット長のLowレヘ゛ルと当価です。IDLEキャラクタは12ビット長のHighレヘ゛ルと当価です。BREAKとIDLEのキャラクタは12ビット長を超えて延ばすことができます。



29.3.4. 直列送受信

PDI物理層は送信動作(TX)または受信動作(RX)のどちらかです。既定ではそれがRX動作で、開始ビットを待ちます。

書き込み器とPDIは書き込み器によって供給されるPDI_CLKで同期して動作します。クロック端とデータ採取またはデータ変更の間の依存性は固定化されています。図29-6.で図解されるように、(書き込み器またはPDIのどちらかからの)出力データは常にPDI_CLKの下降端で設定(変更)され、PDI_CLKの上昇端で採取されます。



29.3.5. 直列送信

データ送信がPDI制御器によって開始されると、送信部は開始ビット、データ ビット、パリティ ビット、2つの停止ビットをPDI_DATAへ単純に移動出力します。送信速度はPDI_CLK信号によって指示されます。送信動作の間では、連続するDATAキャラクタ間の隙間を可能な限り満たすためにIDLEピット(Highピット)が自動的に送信されます。送信中に衝突が検出された場合、出力駆動部が禁止されてインターフェースはBREAKキャラクタを待つRX動作に置かれます。

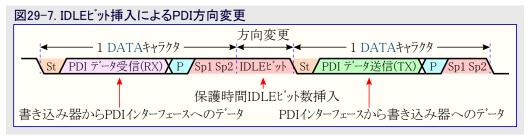
29.3.6. 直列受信

開始ビットが検出されると、受信部は8つのデータビット収集を始めます。 パリティビットがデータビットのパリティに対応していない場合、パリティ 誤りが発生しています。 1つまたは両方の停止ビットがLowなら、フレーミング異常が発生しています。 パリティビットが正しくてフレーミング異常が検出されないなら、受信データビットはPDI制御器で利用可能です。

PDIがTX動作の時に、書き込み器によるBREAKキャラクタの合図はBREAK(中断)として解釈されませんが、一般的なデータ衝突を代わりに引き起こします。PDIがRX動作の時に、BREAKキャラクタはBREAKとして認識されます。(1つ以上のHight'ットによって分けられていなければならない)2つの連続するBREAKキャラクタの送信によって、PDIが始めにTXまたはRX動作のどちらだったかに拘らず、最後のBREAKキャラクタが常にBREAK(中断)として認識されます。これはTX動作に於いて最初のBREAKが衝突として見えるためです。その後にPDIはRX動作に移動して2つ目のBREAKをBREAK(中断)として知ります。

29.3.7. 方向変更

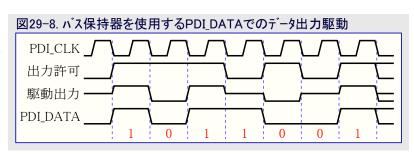
半二重動作に対して正しいタイシンがを保証するため、保護時間機構が使われます。PDIがRX動作からTX動作へ動作変更する時で開始ビットが送信される前に構成設定可能なビット数のIDLEビットが挿入されます。RXとTXの動作間の最小遷移時間は2IDLE周期で、これらが常に挿入されます。PDI制御器の制御(CTRL)レジスタ内の保護時間(GUARDTIME)ビット書き込みが追加保護時間を指定します。既定保護時間は128ビットです。



外部書き込み器は目的PDIがRX動作からTX動作へ変更する点でPDI_DATA線の制御を失うでしょう。保護時間は通信のこの重要な 段階を緩和します。書き込み器がRX動作からTX動作へ変更する時は、開始ビットが送信される前に最小で単一IDLEビットが挿入され るべきです。

29.3.8. 駆動競合と衝突検出

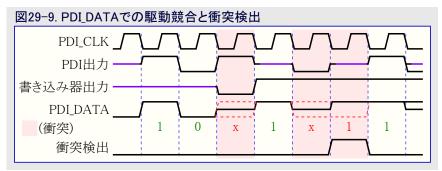
駆動競合(PDIと書き込み器が同時にPDI_DATAを駆動)の影響を低減するために衝突検出用機構が使われます。この機構はPDI_DATA線でのデータ出力のPDI駆動方法に基きます。図29-8.で示されるように、PDI出力駆動部は出力値が変化(0→1または1→0)する時にだけ活性(有効)です。従って、2つ以上の連続するビット値が同じ場合、その値は最初のクロック周期だけ能動的に駆動されます。この時点の後はPDI出力駆動部が自動的にHi-Zにされ、PDI_DATAピンは出力駆動部がビット値での変化のために再許可されるまでピン値を無変化に保つ責任があるバス保持器を持ちます。





書き込み器とPDIの両方が同時にPDI_DATAを駆動する場合、図29-9.で図解されるように駆動競合が起きます。ビット値が2クロック周期以上保たれていれば、いつもPDIはPDI_DATA線で駆動されている正しいビット値を検証できます。PDIが予期するものと逆のビット値で書き込み器がPDI_DATA線を駆動する場合に衝突が検出されます。

PDI出力駆動部が活動する時はPDI_DATA線のポーリングを妨げるので、PDIが1と0を切り換えながら送信する限り、衝突を検知することができません。けれども、1つのフレーム内で2つの停止ビットが常に1として送信されるべきなので、少なくてもフレーム当たりに1度は衝突検出を許します。



29.4. JTAG物理層

JTAG物理層はTMS,TCK,TDI,TDOの4つのI/O線に対して基本的な低位直列通信を扱いします。JTAG物理層はBREAK(中断)検出、パリティ誤り検出、パリティ生成を含みます。より多くの詳細については253頁の「IEEE 1149.1 JTAG 境界走査インターフェース」を参照してください。

29.4.1. 許可方法

JTAGインターフェースを許可するにはJTAGENヒュース、がプログラム(0)され、MCU制御レジスタ(MCUCR)のJTAG禁止(JTAGD)ヒットが解除(0)されなければなりません。これは既定によって行われます。PDICOM JTAG命令がJTAG命令レジスタ(IR)内に移動されると、外部プログラミングとチップ上デバッグ用のPDIの入出力にJTAGインターフェースを使うことができます。

29.4.2. 禁止方法

JTAGインターフェースはJTAGENヒューズの非プログラム(1)、または応用コードからMCU制御レジスタ(MCUCR)のJTAG禁止(JTAGD)ビットを設定(1)することによって禁止することができます。

29.4.3. JTAG命令一式

Atmel XMEGA特定JTAG命令一式は境界走査とプログラミングに関するPDI入出力に関連する8つの命令から成ります。JTAGと一般的なJTAG命令一式の詳細については254頁の「**JTAG命令**」を参照してください。

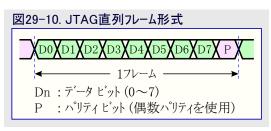
29.4.3.1. PDICOM命令

PDICOM命令がJTAG命令レジスタ内に移動されると、データレジスタとして9ビットのPDI通信レジスタが選択されます。直前の命令からの結果がこのレジスタから移動出力されている時に、命令がこのレジスタ内に移動されます。活性の(有効な)TAP制御器状態は以下です(253頁の「検査入出力ポート(TAP:Test Access Port)」をご覧ください)。

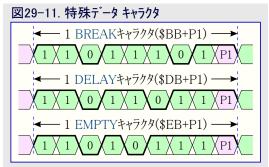
- DR捕獲: PDI制御器からの並列データがPDI通信レジスタ内に採取されます。
- DR移動: PDI通信レジスタがTCK入力によって移動されます。
- DR更新:命令またはオペラントがPDI制御器のレジスタ内に並列ラッチされます。

29.4.4. フレーム形式とキャラクタ

JTAG物理層は固定フレーム形式を支援します。直列フレームは1つのパリティビットが後続する8つのデータビットの1キャラクタで定義されます。



3つの特別なデータキャラクタが使われます。これらの間で共通なのは受信でパリティ誤りを強制するためにパリティヒットが反転されることです。BREAKキャラクタ(\$BB+P1)はどんな実行中の動作も中止することをPDIに強制し、そしてPDI制御器を既知の状態に引き戻すために外部書き込み器によって使われます。DELAYキャラクタ(\$DB+P1)はPDIが書き込み器への用意されたデータがないことを書き込み器に知らせるためにPDIによって使われます。EMPTYキャラクタ(\$EB+P1)は保留中の送信がない(換言するとPDIがRX動作である)ことを書き込み器に知らせるためにPDIによって使われます。

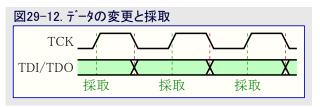




29.4.5. 直列送受信

JTAGインターフェースは全二重通信を支援します。入力データがTDIピンで移動入力されるのと同時に、出力データがTDOピンで移動出力されます。けれども、PDI通信は半二重データ転送に頼ります。このため、JTAG物理層は送信(TX)または受信(RX)のどちらかでだけ動作します。利用可能なJTAGピット チャネルが制御と状態の合図に使われます。

書き込み器とJTAGインターフェースは書き込み器によって供給されるTCKクロックで同期して動作します。クロック端とデータ採取またはデータ変更の間の依存性は固定されています。図29-12.で図解されるように、TDIとTDOはTCKの下降端で設定(変更)され、一方データは常にTCKの上昇端で採取されるべきです。



29.4.6. 直列送信

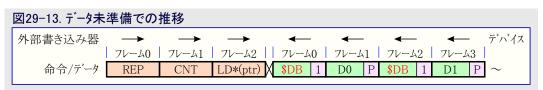
データ送信が開始されるとき、データが移動レジスタ内に格納され、その後にTDOに出力されます。パリティビットが生成されて送信中にデータビットへ追加されます。送信速度はTCK信号によって与えられます。

PDIが(LD命令への応答として)TX動作で、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中なら、有効なデータが移動レジスタ内に並列ラッチされ、正しいパリティ ビットが生成されてDR移動状態でデータ バイトと共に送信されます。

TAP制御器がDR捕獲状態へ移行する時にPDIがRX動作なら、EMPTYバイト(\$EB)が移動レジスタ内にラッチされ、データがDR移動状態で移動出力される時に(パリティ誤りを強制する)パリティビットが設定されます。この状態は標準PDI命令とそのオペラント、受信中に起きます。

PDIが(LD命令への応答として)TX動作であるけれど、TAP制御器がDR捕獲状態へ移行する時にPDI制御器からの送信要求が保留中でないなら、DELAYハイト(\$DB)が移動レジスタ内にラッチされ、データがDR移動状態で移動出力される時に(パリティ誤りを強制する)パリティヒットが設定されます。この状態は送信されるべきデータが未だ利用可能でない場合のデータ送信中に起きます。

図29-13.は繰り返された間接LD命令への応答としてPDIからの割り込まれないデータフレームの流れを示します。この例ではデバイスが2つの送信フレーム当たり1つの有効データバイトよりも速くデータバイトを返すことができず、従って、中間にDELAYキャラクタが挿入されています。



LD命令への応答としてDELAYデータフレームが送信される場合、書き込み器はこれを直前のDR捕獲状態での送信に対してJTAGイン ターフェースが準備されたデータを持っていないと解釈すべきです。書き込み器は有効なデータ バイトが受信されるまで繰り返し転送を始めなければなりません。LD命令はフレーム数ではなく、有効なフレームを指定数分返すことと定義されています。従って書き込み器がLD命令を送信した後でDELAYキャラクタを検知する場合、最初のLD命令が未だ保留中なので、LD命令を再送信すべきではありません。

29.4.7. 直列受信

受信の間、PDIはTDIから8つのデータ ビットとパリティ ビットを収集してそれらを移動レジスタ内に移動します。 有効なフレームが受信されれば いつもデータがDR更新状態でラッチされます。

パリティ検査器は到着フレーム内のデータ ビットの(偶数)パリティを計算してその結果を直列フレームからのパリティ ビットと比較します。パリティ誤りの場合はPDI制御器に合図します

ハプリティ検査器はTXとRXの両動作で活性(有効)です。ハプリティ誤りが検出された場合、受信したデータ ハイトは(常にハプリティ誤りが生成される)BREAKキャラクタと比較されて評価されます。BREAKキャラクタの場合はPDI制御器に合図します。

29.5. PDI制御器

PDI制御器はバイト レベルのデータ送受信、命令復号、高位方向制御、制御と状態のレジスタ入出力、例外操作、クロック切り換え(TCKと PDI_CLK)を実行します。外部書き込み器とPDI制御器間の相互作用は書き込み器がPDI制御器へ様々な形式の要求を送信し、そしてPDI制御器が指定要求に応じて応答を返す仕組みに基いています。書き込み器要求は命令の形式でやって来て、それは1つまたはそれ以上のバイト オペランドが後続するかもしれません。PDI制御器の応答は沈黙かもしれず(例えばデバイス内の位置へデータ バイトが格納される)、または書き込み器へ返されつつあるデータを巻き込むかもしれません(例えばデバイス内の位置からデータ バイトを読む)。

29.5.1. PDI動作とJTAG動作間の切り換え

PDI制御器は書き込み器への接続確立にJTAGまたはPDIのどちらかの物理層を使います。これに基いてPDIはJTAG動作またはPDI動作のどちらかです。この動作の1つに移行すると、PDI制御器のレジスタは初期化され、正しいクロック元が選択されます。PDI動作はJTAG動作よりも高い優先権を持ちます。従ってPDI制御器が既にJTAG動作中にPDI動作が許可された場合、入出力層は自動的にPDI動作へ切り換わります。デバイスの電源ON/OFFなしに物理層を切り換える場合、活動中の物理層は代わりの物理層が許可される前に禁止されるべきです。



29.5.2. 内部インターフェースの入出力

外部書き込み器がPDIとの通信を確立した後、内部インターフェースは既定で入出力不能です。プログラミング用にNVM制御器と不揮発性メモリへの入出力を得るには、KEY命令の使用によって固有の鍵で合図されなければなりません。内部インターフェースはPDIと内部インターフェース間の専用(PDIBUS)パスを使って1つの直線的なアドレス空間として入出力されます。PDIBUSアドレス空間は279頁の図30-3.で示されます。NVM制御器はNVMインターフェースへのどのアクセスのためにもPDI制御器に対して許可されなければなりません。PDI制御器はプログラミング動作でだけNVMとNVM制御器にアクセスすることができます。PDI制御器はNVM読み書き時にNVM制御器のデータやアドレスレジスタのアクセスを必要としません。

29.5.3. NVMプログラミング鍵

KEY命令を使って送らなければならない鍵は64ピット長です。NVMプログラミングを許可する鍵は \$1289AB45CDD888FFです。

29.5.4. 例外操作

通常動作から考察される例外が様々な状態であります。例外はPDIがRXまたはTXのどちらの動作か、PDIまたはJTAGのどちらの動作が使われているかに依存します。

PDIがRX動作の間の例外は以下です。

- PDI:
 - 物理層がパリティ誤りを検出
 - 物理層がフレーミング異常を検出
 - 物理層がBREAKキャラクタを認識(フレーミング異常としても検出)
- JTAG:
 - 物理層がパリティ誤りを検出
 - 物理層がBREAKキャラクタを認識 (フレーミング 異常としても検出)

PDIがTX動作の間の例外は以下です。

- PDI:
 - 物理層がデータ衝突を検出
- JTAG:
 - 物理層がパリティ誤りを検出 (TDIでの擬似データの移動入力)
 - 物理層がBREAKキャラクタを認識

例外はPDI制御器に合図されます。そして実行中の全ての動作が中止され、PDIがERROR状態に置かれます。PDIは外部書き込み器からBREAKが送られるまでERROR状態に留まり、これはPDIを既定RX状態に引き戻します。

この構造のため、書き込み器は2つの連続するBREAKキャラクタを送信することによって常に規約を同期することができます。

29.5.5. リセット指示

リセット(RESET)レシ、スタを通して書き込み器はリセットを発行してデバイスをリセットに強制できます。リセットレシ、スタの解除(0)後、別のいくつかのリセット元が活性(有効)でなければ、リセットが開放されます。



29.5.6. 命令一式

PDIはPDI自身と内部インターフェースの両方の入出力に使われる小さな一式の命令を持っています。全ての命令はバイト命令です。命令は外部書き込み器にPDI制御器、NVM制御器、不揮発性メモリの入出力を許します。

29.5.6.1. LDS - 直接アドレス指定を使うPDIバス データ空間からのデータ取得

LDS命令は読み出し用にPDIバスデータ空間からデータを取得するのに使われます。LDS命令は直接アドレス指定に基き、それはアドレスが命令の引数として与えられなければならないことを意味します。例え規約がバル単位通信に基いていても、LDS命令は複数バルのアドレスとデータの入出力を支援します。バイト、語(2バイト)、3バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。LDS命令使用時、データ転送の前にアドレス バイトが送信されなければなりません。

29.5.6.2. STS - 直接アドレス指定を使うPDIバス データ空間へのデータ格納

STS命令は物理層の移動レジスタ内へ直列で移動入力してPDIバスデータ空間内の位置にデータを格納するのに使われます。STS命令は直接アトレス指定に基き、それはアトレスが命令の引数として与えられなければならないことを意味します。例え規約がバイ単位通信に基いていても、STS命令は複数バイトのアトレスとデータの入出力を支援します。単一バイト、語(2ハイト)、3ハイト、ロング(4ハイト)の4つの異なるアトレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。STS命令使用時、データ転送の前にアトレスバイトが送信されなければなりません。

29.5.6.3. LD - 間接アドレス指定を使うPDIバス データ空間からのデータ取得

LD命令は直列読み出し用にPDIバス データ空間からデータを取得するのに使われます。LD命令は間接アドレス指定(ポインタ入出力)に基き、それはデータ入出力に先行してアドレスがポインタ レジスタ内に格納されていなければならないことを意味します。間接アドレス指定はポインタ進行と組み合わせることができます。PDIバス データ空間からのデータ読み込みに加え、LD命令はポインタ レジスタを読むことができます。例え規約がバイト単位通信に基いていても、LD命令は複数バイトのアドレスとデータの入出力を支援します。単一バイト、語(2バイト)、3 バイト、ロング(4バイト)の4つの異なるアドレス/データ量が支援されます。複数バイト入出力は内部的に単一バイト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

29.5.6.4. ST - 間接アドレス指定を使うPDIバス データ空間へのデータ格納

ST命令は物理層の移動レシ、スタ内へ直列で移動入力してPDIハ、ステータ空間内の位置にデータを格納するのに使われます。ST命令は間接アトレス指定(ポーペク入出力)に基き、それはデータ入出力に先行してアトレスがポーペタレシ、スタ内に格納されていなければならないことを意味します。間接アトレス指定はポーペク進行と組み合わせることができます。PDIハ、ステータ空間へのデータ書き込みに加え、ST命令はポーペクレシ、スタに書くことができます。例え規約がハ・イ単位通信に基いていても、ST命令は複数ハ・イトのアトレスとデータの入出力を支援します。ハ・イト、語、3ハ・イト、ロング(4ハ・イト)の4つの異なるアトレス/データ量が支援されます。複数ハ・イト入出力は内部的に単一ハ・イト入出力の繰り返しに分解されますが、これは規約での付随負荷を減らします。

29.5.6.5. LDCS - PDI制御/状態レジスタ空間からのデータ取得

LDCS命令はPDI制御/状態レシ、スタから直列読み出し用の物理層移動レシ、スタヘデータを取得するのに使われます。LDCS命令は直接アトレス指定と単一バイト入出力だけを支援します。

29.5.6.6. STCS - PDI制御/状態レジスタ空間へのデータ格納

STCS命令は物理層の移動レジスタ内へ直列で移動入力してPDI制御/状態レジスタ内の位置にデータを格納するのに使われます。STCS命令は直接アドレス指定と単一バイト入出力だけを支援します。

29.5.6.7. KEY - 活性化鍵設定

KEY命令はNVMインターフェースを活性(有効)化するのに必要とされる活性化鍵バイトの通信に使われます。

29.5.6.8. REPEAT - 命令繰り返し計数器設定

REPEAT命令は物理層の移動レジスタ内へ直列で移動入力して繰り返し計数器レジスタにデータを格納するのに使われます。REPEAT 命令のオペラントの直後に取得された命令が指定した繰り返し計数器レジスタ値に対応した回数を繰り返します。故に繰り返し計数器レジスタ初期値+1が総命令実行回数を与えます。繰り返し計数器レジスタの0設定は繰り返しなしの後続命令1回動作を行います。

REPEAT命令は繰り返すことができません。KEY命令は繰り返すことができず、繰り返し計数器レジスタの現在値を無効にします。



29.5.7. 命令一式要約

PDI命令一式要約は**図29-14**.で示されます。

図29-14. F	☑29-14. PDI命令一式要約													
	1	指令	-	1	-	A	量	D	量	-				
LDS	0	0	0	0	7	X	Х	Х	Х		指	旨令	ì	
STS	0	1	0	0	2	X	X	X	X		0	0	0	LDS (直接アドレス指定データ取得)
]	P種	刨	A/l	D量		0	0	1	LD (間接アドレス指定データ取得)
LD	0	0	1	0	7	X	X	X	X		0	1	0	STS (直接アドレス指定データ設定)
ST	0	1	1	0	2	X	Х	X	X		0	1	1	ST (間接アドレス指定データ設定)
					1		CS7	トレス			1	0	0	LDCS (LDS 制御/状態レジスタ)
LDCS	1	0	0	0	7	X	X	X	X		1	0	1	REPEAT (繰り返し指定)
STCS	1	1	0	0	7	X	Х	Х	X		1	1	0	STCS (STS 制御/状態レジスタ)
	1							D	量		1	1	1	KEY (NVMインターフェース許可鍵)
REPEAT	1	0	1	0	()	0	X	Х					
										-				
KEY	1	1	1	0	()	0	0	0					
A量(直	接水	レス指	定時	アドレ	ス長)		D	量 (デ [・]	ータ長)			Р	種別(間接アドレス指定時)
000	-				,		_	0 バイ					0	
0 1 語		<u>})</u>					0	1 語	(2バイ	(卜)			0	1 *(ptr++) (上記+ポインタ進行)
1 0 3	· ' /						1	0 3/1	'/ኑ				1	0 ptr (ポペインタ レシ スタ)
1 1 ロン	ク゛(4ハ	· /\					1	1 ロン:	グ (4)	バイ	<u> </u>		1	1 ptr++ (予約)
OCZL*L	7 (生1)	生17 / 14	と出しい	パカカ										
CS7F'V	人 (削100)		、悲心		т т) ([予約]	\	1	0 (1 () ['	約) 1 1 0 0 (予約)
	リレジ			0 1	0 (_) (_	-	
				<u> </u>	0]		(予約) (子約)		_			_		約) 1 1 0 1 (予約)
	0 レジ			0 1	1 (子約 子約			_	+	_		約) 1 1 1 0 (予約)
0 0 1	1 (予	ポソノ		0 1		1 ([予約])	1	0 1	1]	1 ((丁)	約) 1 1 1 (予約)



29.6. レシ、スタ説明 - PDI命令とアト、レス指定レシ、スタ

PDI命令とアドレス指定のレジスタは全て命令復号とPDIBUSアドレス指定に利用される内部レジスタです。これらのレジスタはレジスタ空間でのレジスタとして入出力不能です。

29.6.1. 命令レジスタ

命令が成功裏に物理層の移動レジスタ内へ移動されると、それが命令レジスタに複写されます。命令は別の命令が格納されるまで保持されます。この理由は必要な指令の復号を繰り返し行って同じ命令を多数回実行するために、REPEAT命令が同じ命令を強制するかもしれないからです。

29.6.2. ホ°インタ レシ、スタ

ポインタレジスタはPDIBUSアドレス空間内の位置を指定するアドレス値の格納に使われます。直接データ入出力の間、ポインタレジスタは命令ハイトのオペランドとして与えられたアドレスハイの指定値によって更新されます。間接データ入出力の間、その入出力自体に先行して既にポインタレジスタ内に格納されているアドレスに基いてアドレス指定を行います。間接データ入出力は他のどのレジスタ入出力もなしでポインタレジスタの読み書きを可能する任意選択を持ちます。どのレジスタ更新もリトルエンディアン(下位側優先)形式で実行されます。従って、アドレスレジスタの単一ハイト格納は常にLSB側ハイトが更新され、一方MSB側ハイトは無変化のままです。

ポインタレジ、スタはPDI制御/状態レジ、スタ空間(CSRS)内のアト・レス指定レジ、スタと無関係です。

29.6.3. 繰り返し計数器レジスタ

REPEAT命令は繰り返されるべき次の命令回数を定義する1つ以上のオペラント、バートを常に伴います。これらのオペラント、バートは受信で繰り返し計数器レジスタ内に複写されます。REPEAT命令とそのオペラント、の直ぐに後続する命令の繰り返し実行の間、繰り返し計数器レジスタはそれが全ての繰り返し完了を示すのに達するまで減数(-1)されます。繰り返し計数器は鍵受信にも関係します。

29.6.4. オペラント゛計数レシ、スタ

(LDCSとSTCS命令を除く)命令直後、(命令の量部分によって与えられる)指定数のオペラント、またはデータ バイトが期待されます。オペラント、計数レジスタは何バイトが転送されたかの経過を保持するのに使われます。

29.7. レジスタ説明 - PDI制御/状態レジスタ

PDIの制御と状態のレシ、スタはLDCSとSTCSの命令を使って入出力可能なPDI制御/状態レシ、スタ空間(CSRS)内のレジ、スタです。CSRSはPDI自身の構成設定と状態監視に直接関係するレジ、スタを含みます。

29.7.1. STATUS - 状態レジスタ (Status register)

ピット	7	6	5	4	3	2	1	0	_
+\$00	-	_	-	-	-	-	NVMEN	-	STATUS
Read/Write	R	R	R	R	R	R	R/W	R	
初期値	0	0	0	0	0	0	0	0	

ビット7~2 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット1 - NVMEN: 不揮発性メモリ許可 (Non-Volatile Memory Enable)

この状態ビットは<mark>鍵指</mark>令がNVMプログラミング インターフェースを許可する時に設定(1)されます。外部書き込み器は許可の成功を検証するために、このビットをポーリングすることができます。NVMENビット書き込みはNVMインターフェースを禁止します。

ビット0 - 予約 (Reserved)

このビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、このビットへ常に<mark>0</mark>を書いてください。

29.7.2. RESET - リセット レジスタ (Reset register)

ピット	7	6	5	4	3	2	1	0	
+\$01				RESE	T7~0				RESET
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

● ビット7~0 - RESET7~0: リセット識票 (Reset Signature)

リセット識票(\$59)がRESETレジスタに書かれると、デバイスはリセットを強制されます。デバイスはRESETレジスタがリセット識票と異なるデータ値で書かれるまでリセットを維持します。LSBビット読み込みはRESETレジスタ(リセット)の状態を返します。上位7ビットはデバイスがリセットか否かのどちらかに拘らず常に0を返します。



29.7.3. CTRL - 制御レジスタ (Control register)

ピット	7	6	5	4	3	2	1	0	
+\$02	-	-	-	-	-	GU	JARDTIME2	~0	CTRL
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
初期値	0	0	0	0	0	0	0	0	

ビット7~3 - 予約 (Reserved)

これらのビットは未使用で将来用に予約されています。将来のデバイスとの互換性のため、このレジスタが書かれる時に、これらのビットへ常に0を書いてください。

● ビット2~0 - GUADTIME2~0:保護時間(Guard Time)

これらのビットはPDI送受信方向の変更間に挿入される保護時間のIDLEビット数を指定します。 既定保護時間は128 IDLEビットで、利用可能な設定は表29-1.で示されます。通信速度向上の ために、保護時間は許容される安全で最低の構成設定にされるべきです。保護時間はTX動作 からRX動作への切り換え時に全く挿入されません。

设定
IDLEビット数
128
64
32
16
8
4
2
2

29.8. レジスタ要約

アト・レス	略称	ピット7	ピット6	ピット5	ピット4	ピット3	ピット2	ピット1	ピット0	頁
+\$03	予約		-	-	-	-	-	-	_	
+\$02	CTRL	-	-	-	-	-	GU	JARDTIME2	~0	267
+\$01	RESET				RESE	T7~0				266
+\$00	STATUS	-	-	-	-	-	-	NVMEN	-	266



30. メモリ プロク゛ラミンク゛

30.1. 要点

- 以下からの全メモリ空間への読み書きアクセス
 - 外部書き込み器
 - 応用ソフトウェア自己プログラミング
- 自己プログラミングとフートローダの支援
 - 書き中の読み(Read-While-Write)自己プログラミング
 - CPUはフラッシュプログラミング(書き込み)最中にコート、実行と走行が可能
 - どの通信インターフェースもプログラムの両方向転送に使用可能
- 外部プログラミング
 - 実装時と製造時のプログラミング支援
 - 直列PDIまたはJTAGインターフェースを通したプログラミング
- 以下に対する独立したブート施錠ビットでの高い安全性
 - 外部書き込み器アクセス
 - フートロータ 領域アクセス
 - 応用領域アクセス
 - 応用表領域アクセス
- 以下の先頭でのリセット ベクタ アドレスを選択するためのリセット ヒューズ
 - 応用領域、または
 - ●ブートローダ領域

30.2. 概要

本項はAtmel AVR XMEGAデバイス内の不揮発性メモリ(NVM)のプログラミング方法を記述し、自己プログラミングと外部プログラミングの両方を網羅します。NVMはプログラムフラッシュメモリ、使用者識票列と製品識票(校正)列、ヒュースと施錠ビット、データ用EEPROMから成ります。実際のメモリ詳細、それらがどう構成されるかと、メモリをアクセスするのに使われるNVM制御器に関するレジスタ記述については15頁の「メモリ」を参照してください。

NVMは自己プログラミングを通す応用ソフトウェアと外部書き込み器から読み書きに関してアクセスすることができます。NVMアクセスはNVM制御器を通して行われ、この2つのプログラミング方法は同様です。メモリアクセスは選択したメモリまたはNVM制御器にアトレスと/またはデータを設定することによって行われ、1式の命令の使用と起動元がNVM制御器に不揮発性メモリでの特別な作業をさせます。

外部プログラミングからは、読み込みだけ可能な製品識票列を除いて、全メモリ空間が読み書きできます。デバイスは実装プログラミングができ、PDIまたはJTAG物理インターフェースを使うPDIを通してアクセスされます。279頁の「外部プログラミング」はPDIとJTAGを詳細に記述します。

自己プログラミングとブートローダ支援はフラッシュメモリ、使用者識票列、EEPROMの読み書きと、より安全な設定への施錠ビット書き込みと、製品識票列とヒュース、の読み込みをデバイス内の応用ソフトウェアに許します。フラッシュメモリは、フラッシュメモリがプログラミング(書き込まれつつある)最中にCPUがコートを実行して動作を続けられることを意味する、書き中の読み(Read-While-Write)自己プログラミングを許します。271頁の「自己プログラミングとフートローダ支援」はこれを詳細に記述します。

自己プログラミングと外部プログラミングの両方について、プログラミング後の内容を検証するためにフラッシュ メモリまたはフラッシュ メモリの領域でのCRC検査を走行することが可能です。

デバイスはNVMの読みと/または書きを防ぐために施錠することができます。外部プログラミングでのアクセスと、ブートローダ領域、応用領域、応用表領域への自己プログラミングでのアクセスに対して独立した施錠ビットがあります。

30.3. NVM制御器

不揮発性メモリへのアクセスはNVM制御器を通して行われます。これは外部プログラミングと自己プログラミングの両方に対する共通NVMイン ターフェースで、NVMタイミングとアクセス権限を制御してNVMの状態を保持します。より多くの詳細については283頁の「**レジスタ説明**」を参照してください。

30.4. NVM指令

NVM制御器はNVMで作業を実行するのに使われる1組の指令を持っています。これはNVM指令(CMD)レジスタへ選択した指令を書くことによって行われます。加えてメモリ読み書き操作についてはデータとアトレスがNVMデータとNVMアトレスのレジスタと読み書きされなければなりません。

操作に関するアドレスとデータが設定され、選択した指令が格納されると、各指令はその操作を開始する起動源を持ちます。それらの起動源に基くものには主に3つの命令形式があります。

30.4.1. 活動起動指令

活動起動指令はNVM制御レジスタA(CTRLA)で指令実行(CMDEX)ビットが書かれる時に起動されます。活動起動指令は代表的にCRC検査のような、NVM読み書きをしない操作に対して用いられます。



30.4.2. NVM読み込み起動指令

NVM読み込み起動指令はNVMが読まれる時に起動され、これは代表的にNVM読み込み操作に用いられます。

30.4.3. NVM書き込み起動指令

NVM書き込み起動指令はNVMが書かれる時に起動され、これは代表的にNVM書き込み操作に用いられます。

30.4.4. 書き込み/実行保護

殆どの指令起動源は自己プログラミング中の不慮の変更/実行から保護されます。これはビット変更または指令実行のために特別な書き込みや実行の手順を必要とする、構成設定変更保護(CCP)機能を使って行われます。CCPの詳細については10頁の「構成設定変更保護」を参照してください。

30.5. NVM制御器多忙状態

NVM制御器が操作実行中で多忙のとき、NVM状態(STATUS)レジ、スタの多忙(NVMBUSY)フラケが設定(1)され、以下のレジ、スタが書き込みアクセスに対して防がれます。

- NVM指令(CMD)レシブスタ
- NVM制御A(CTRLA)レシブスタ
- NVM制御B(CTRLB)レシブスタ
- NVMアドレス(ADDR2,ADDR1,ADDR0)レジプタ
- NVMデータ(DATA2,DATA1,DATA0)レシブスタ

これは新しい操作の開始前に与えられた指令が実行されて操作が終了するのを保証します。外部書き込み器または応用ソフトウェアは プログラミング操作で多忙の間にVNMがアドレス指定されないことを保証しなければなりません。

NVMのどの部分のプログラミングも以下のように自動的に防がれます。

- NVMの他の部分への全てのプログラミング
- フラッシュ メモリとEEPROMのページ 緩衝部の全ての格納/消去
- 外部書き込み器からの全てのNVM読み込み
- 応用領域からの全てのNVM読み込み

自己プログラミングの間は割り込みが禁止されなければならないか、または83頁の「**割り込みと設定可能な多段割り込み制御器**」で記述されるように割り込みへ、クタ表がブートローグ領域へ移動されなければなりません。

30.6. フラッシュ メモリとEEPROMのヘーン 緩衝部

フラッシュ メモリはペーシ 単位で更新されます。EEPROMはハイト単位とペーシ 単位で更新することができます。フラッシュ メモリとEEPROMのペーシ 書き込みは最初に関連するペーン 緩衝部を満たし、そしてフラッシュ メモリまたはEEPROM内の選択したペーン にペーン 緩衝部全体を書くことによって行われます。

ぺーシ'とぺーシ'緩衝部の容量は各デバイスでのフラッシュメモリとEEPROMの容量に依存し、ペーシ'容量とペーシ'数の詳細はデバイスのデータシートで記述されます。

30.6.1. フラッシュ ヘーシ 緩衝部

フラッシュ へージ 緩衝部は1語(ワート) づつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でへージ 緩衝部が格納される時の結果はヘージ 緩衝部位置の内容と新しい値間の2進でのANDです。ヘージ 緩衝部が消去後に既に一旦格納された場合、その位置は多分不正にされるでしょう。

未格納のページ緩衝部位置は\$FFFFの値を持ち、(<mark>訳補</mark>:そのままで書かれたなら、)その後この値が対応するフラッシュ メモリのページ位置に書かれます。

ページ緩衝部は以下の後で自動的に消去されます。

- デバイス リセット
- フラッシュ ページ 書き込み指令実行
- フラッシュ へーシ 消去&書き込み指令実行
- 識票列書き込み指令実行
- 施錠ビット書き込み指令実行



30.6.2. EEPROM ページ緩衝部

EEPROMページ緩衝部は1バイトづつ満たされ、それが格納され得るのに先立って消去されなければなりません。新しい内容でページ 緩衝部が格納される時の結果はページ緩衝部位置の内容と新しい値間の2進でのANDです。EEPROMページ緩衝部が消去後に既に 一旦格納された場合、その位置は多分不正にされるでしょう。

格納されたEEPROMへージ緩衝部位置はNVM制御器によって付箋付けがなされます。ヘージ書き込みまたはヘージ消去の間で目的位置だけが書かれ、または消去されます。目的でない位置は書かれず、または消去されず、対応するEEPROM位置は無変化に留まります。これはEEPROMへージ消去(<mark>訳補</mark>:緩衝部ではなくEEPROM自体)前にもそれらに付箋付けするために選択したヘージ緩衝部位置へデータが格納されなければならないことを意味します。EEPROMへージ消去実行時に目的位置の実際の値は問題です。

EEPROMページ緩衝部は以下の後で自動的に消去されます。

- システム リセット
- EEPROMページ書き込み指令実行
- EEPROMへ ーシ 消去&書き込み指令実行
- 施錠ビット書き込みとヒューズ書き込み指令実行

30.7. フラッシュ メモリとEEPROMのプログラミング手順

ぺージプ゚ログラミングに関して、ページ緩衝部を満たすのと、フラッシュ メモリまたはEEPROM内へぺージ緩衝部を書くのは2つの独立した操作です。この手順は自己プログラミングと外部プログラミングの両方について同じです。

30.7.1. フラッシュ メモリ プログラミング手順

フラッシュ ページ緩衝部のデータでフラッシュ ページを書く前に、フラッシュ ページは消去されなければなりません。未消去フラッシュ ページ書き込みはそのフラッシュ ページ内容を不正にするでしょう。

フラッシュ ページ 緩衝部は以下のようにフラッシュ ページ 消去操作前、またはフラッシュ ページ 消去とフラッシュ ページ 書き込みの間のどちらででも満たすことができます。

選択1:

- フラッシュ へージ 緩衝部を満たしてください。
- フラッシュ ペーシ 消去を実行してください。
- フラッシュ ページ書き込みを実行してください。

選択2:

- フラッシュ へージ緩衝部を満たしてください。
- 非分断フラッシュ ページ 消去&書き込みを実行してください。

選択3: ページ消去後のページ緩衝部満たし

- フラッシュ ペーシ 消去を実行してください。
- フラッシュ へージ 緩衝部を満たしてください。
- フラッシュ ページ 書き込みを実行してください。

NVM指令一式は非分離消去&書き込み操作と、分離したページ消去とページ書き込み命令の両方を支援します。この分離指令は各指令に対してより短い書き込み時間を可能にし、消去操作は時間が際どくないプログラング実行の間に行うことができます。自己プログラングに対して上の選択1または2を使うとき、ブートローダが効率的な書き中の読み(Read-While-Write)機能を提供し、そしてそれは最初にページを読んで、必要な変更を行い、そして修正されたデータを書き戻すことをソフトウェアに許します。選択3が使われる場合はページが既に消去されているので、格納中に旧データを読むのは不可能です。選択1または3を使う時にページ、アトレスはページ消去とページを書き込みの両操作に対して同じでなければなりません。

30.7.2. EEPROMプログラミング手順

EEPROMへージ緩衝部に格納された付箋付けしたデータ バイト数でEEPROMを書く前に、EEPROMへージ内の選択位置は消去されなければなりません。未消去EEPROMへージ書き込みはそれの内容を不正にするでしょう。どのヘージ消去またはヘージ書き込み操作にも先立って、EEPROMへージ緩衝部が格納されなければなりません。

選択1:

- 選択したバイ数でEEPROMへージ緩衝部を満たしてください。
- EEPROMページ消去を実行してください。
- EEPROMページ書き込みを実行してください。

選択2:

- 選択したバイト数でEEPROMページ緩衝部を満たしてください。
- EEPROMペーシ消去&書き込みを実行してください。



30.8. NVMの保護

フラッシュ メモリとEEPROMを読みと/または書きから保護するために、外部書き込み器と応用ソフトウェアからのアクセスを制限するように施錠 ビットを設定することができます。利用可能な施錠ビット設定の詳細とそれらの使用法については24頁の「LOCKBITS - 施錠ビット レジスタ」を参照してください。

30.9. NVM化けの防止

VCC電圧がデバイスに対する最低動作電圧未満の間、供給電圧が正しく動作するCPUとフラッシュメモリに対して低すぎるため、フラッシュメモリ書き込みの結果は不正になり得ます。フラッシュメモリのプログラミング手順全体の間に電圧が充分足ることを保証するため、POR閾値(VPOT+)を用いた電圧検出器が許可されます。チップ消去中とPDIが許可される時に低電圧検出器(BOD)がそれの構成設定されたレベルで自動的に許可されます。

プログラミング操作に依存して、それらのVCC電圧レベルのどれかに達したなら、プログラミング手順は直ちに中止されます。これが起きたなら、書き込み手順失敗または部分のみ成功の場合、NVMプログラミングは電力が再び充分になった時に改めて開始されるべきです。

30.10. CRC機能

プログラム用フラッシュ メモリで自動巡回冗長検査(CRC)を走行することが可能です。CRC単位部を制御するのにNVMが使われると、最低フラッシュ範囲動作で偶数のバイ数が読まれます。使用者が奇数のバイ数で範囲を選ぶ場合、追加のバイトが読まれ、チェックサムは選択した範囲に対応しないでしょう。

より多くの詳細については207頁の「CRC - 巡回冗長検査」を参照してください。

30.11. 自己プログラミングとブートローダ支援

デバイス内の応用ソフトウェアからのEEPROMとフラッシュメモリの読み書きは自己プログラミングとして参照されます。フートロータ(フラッシュメモリのフートロータ・領域に配置された応用コート)はプログラム用フラッシュメモリ、使用者識票列、EEPROMの読み書き両方と、もっと安全な設定への施錠ビット書き込みができます。応用領域内の応用コート・はフラッシュメモリ、使用者識票列、製品識票(校正)列、ヒュース・の読み込みと、EEPROMの読み書きができます。

30.11.1. フラッシュ プログラミング

ブートローダ支援はデ、バイス自身による新しいプログラムコート、の更新のための真の書き中の読み(Rwad-While-Write)自己プログラミング機構を提供します。この機能はブラッシュメモリのブートローダ、領域に属すブートローダ・応用を使うデ、バイスによって制御される柔軟な応用ソフトウェア更新を可能にします。ブートローダ、はコード、読み込みとブラッシュメモリへのコード、書き込み、またはプログラムメモリコード、読み出しのために、利用可能な通信インターフェースと関連する規約のどれでも使うことができます。それはブートローダ、領域を含むブラッシュメモリ全体に書く能力を持ちます。従ってブートローダは自身を変更でき、この機能がそれ以上必要とされないなら、ブラッシュメモリからそれ自身を消去することもできます。

30.11.1.1. 応用領域とブートローダ領域

フラッシュメモリ内の応用領域とブートローダ領域は自己プログラミングを行う時に異なります。

- 応用領域内に配置されたページの消去または書き込み時、ブートローダ領域はその操作中に読むことができ、従ってCPUはブートローダ領域からコートを実行して走行することができます。
- プートローダ領域内に配置されたページの消去または書き込み時、CPUはその操作全体の間、停止され、コードは実行できません。 使用者識票列領域はプートローダ領域と同じ特性を持ちます。

表30-1. 自己プログラミング機能の要約		
プログラミング中にZポインタでアドレス指定されている領域	プログラミング中に読める領域	CPU動作
応用領域	ブートローダ、領域	走行
ブートローダ領域	なし	停止
使用者識票列領域	なし	停止



30.11.1.2. フラッシュ メモリのアトレス指定

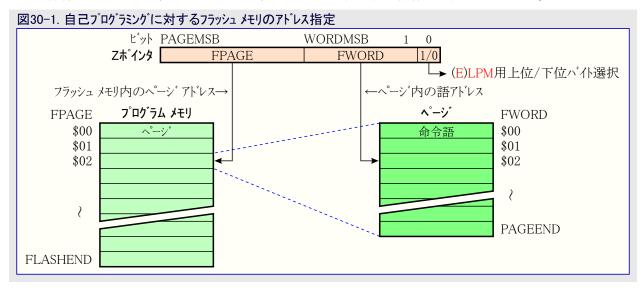
読み書きアクセスに対するフラッシュメモリのアドレスを保持するのにZポインタが使われます。Zポインタのより多くの詳細については8頁の「X,Y,Z レジスタ」を参照してください。

フラッシュ メモリがヘージで構成され、語(ワード)でアクセスされるため、Zポインタは2つの領域を持つように扱うことができます。最下位側ビットはヘージ内の語をアトレス指定し、一方最上位側ビットはフラッシュ メモリ内のページをアトレス指定します。これは図30-1.で示されます。ページ内の語アト・レス(FWORD)はZポインタ内のビットWORDMSB~1によって保持されます。Zポインタ内の残りのビットPAGAMSB~WORDMSB+1はフラッシュ ヘージ アト・レス(FPAGE)を保持します。FPAGEとFWORDを併せて、フラッシュ メモリ内の語への絶対アト・レスを保持します。

フラッシュ メモリ読み込み操作(LPMとELPM)については1度に1バイトが読まれます。これに関して語アドレス内の上位バイトと下位バイトを選択するために、Zポインタ内の最下位ビット(ビット0)が使われます。このビットが0ならば下位バイトが読まれ、このビットが1ならば上位バイトが読まれます。

FPAGEとFWORDの容量はデバイスのフラッシュ容量とヘーシ、容量に依存します。各デバイスのデータシートを参照してください。

一旦プログラミング操作が開始されると、アトレスはラッチされ、Zポインタは更新して他の操作に使うことができます。





30.11.2. NVM フラッシュ指令

プログラム用フラッシュ メモリ、使用者識票列、製品識票(校正)列をアクセスするのに使えるNVM指令が表30-2.で一覧されます。

フラッシュ メモリの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。 読み込み起動指令は(E)LPM命令を実行することによって起動されます。 書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは自己プログラミング中に起動源を書く/実行するための特別な手順です。より多くの詳細については11頁の「CCP - 構成設定変更保護レジスタ」を参照してください。外部プログラミングにCCPは必要とされません。右端側2列はアドレス指定に使われるアドレスポインタと転送元/転送先データレジスタを示します。

30.11.2.1.項~275頁の30.11.2.14.項は各NVM操作に対する方法を詳細に説明します。

表30-2. フラッシュ メモリ自己プログラミング指令

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM 多忙	変更 保護	アト゛レス ホ゜インタ	データ レシ、スタ
\$00	NO_OPERATION	無操作/フラッシュ読み込み	-/(E)LPM	-/N	N	-/N	−/Zポインタ	-/Rd
		フラッシュ ページ緩衝	部					
\$23	LOAD_FLASH_BUFFER	フラッシュ ページ緩衝部格納(設定)	SPM	N	N	-/N	Zポインタ	R1:R0
\$26	ERASE_FLASH_BUFFER	フラッシュヘ゜ージ緩衝部消去	CMDEX	N	Y	Y	Zポインタ	_
		フラッシュ メモリ全体						
\$2B	ERASE_FLASH_PAGE	フラッシュ ヘ゜ージ゛消去	SPM	N/Y(注1)	Y	Y	Zポインタ	_
\$2E	WRITE_FLASH_PAGE	フラッシュ ペーシ゛書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	_
\$2F	ERASE_WRITE_FLASH_PAGE	フラッシュ ヘ゜ーシ゛消去&書き込み	SPM	N/Y(注1)	Y	Y	Zポインタ	_
\$3A	FLASH_RANGE_CRC (注2)	フラッシュ範囲CRC	CMDEX	Y	Y	Y	DATA/ADDR	DATA
		応用領域フラッシュメ	モリ					
\$20	ERASE_APP	応用領域消去	SPM	Y	Y	Y	Zポインタ	_
\$22	ERASE_APP_PAGE	応用領域ページ消去	SPM	N	Y	Y	Zポインタ	_
\$24	WRITE_APP_PAGE	応用領域ページ書き込み	SPM	N	Y	Y	Zポインタ	_
\$25	ERASE_WRITE_APP_PAGE	応用領域ページ消去&書き込み	SPM	N	Y	Y	Zポインタ	_
\$38	APP_CRC	応用領域CRC	CMDEX	Y	Y	Y	-	DATA
		ブートローダ領域フラッシュ	ノモリ					
\$2A	ERASE_BOOT_PAGE	ブートローダ領域ページ消去	SPM	Y	Y	Y	Zポインタ	_
\$2C	WRITE_BOOT_PAGE	ブートローダ領域ページ書き込み	SPM	Y	Y	Y	Zホ゜インタ	-
\$2D	ERASE_WRITE_BOOT_PAGE	ブートローダ領域ページ消去&書き込み	SPM	Y	Y	Y	Zポインタ	_
\$39	BOOT_CRC	ブートロータ゛領域CRC	CMDEX	Y	Y	Y	=	DATA
		使用者識票列						
\$01(注3)	READ_USER_SIG_ROW	使用者識票列読み込み	LPM	N	N	N	Zポインタ	Rd
\$18	ERASE_USER_SIG_ROW	使用者識票列消去	SPM	Y	Y	Y	=	_
\$1A	WRITE_USER_SIG_ROW	使用者識票列書き込み	SPM	Y	Y	Y	-	_
		製品識票(校正)列(_
\$02(注3)	READ_CALIB_ROW	校正列読み込み	LPM	N	N	N	Zポインタ	Rd

注1: 実際にアトンス指定されるフラッシュ領域(応用またはブートローダ)に依存します。

注2: この指令は施錠ビットで制限され、ブート施錠ビットが非プログラム(1)であることを必要とします。

注3: LPM命令の通常の動きを変える指令(READ_USER_SIG_ROWとREAD_CALIB_ROW)の使用時、LPM命令の正しい実行を保証するために割り込みを禁止することが推奨されます。

注4: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。

30.11.2.1. フラッシュ読み込み

フラッシュ メモリから1バイトを読むのに(E)LPM命令が使われます。

- 1. 読むバイト アドレスをZポインタに格納してください。
- 2. 無操作指令をNVM指令(CMD)レジスタに格納してください。
- 3. (E)LPM命令を実行してください。

転送先レジスタは(E)LPM命令の実行中に格納されます。

30.11.2.2. フラッシュ ヘーン 緩衝部消去

フラッシュページ緩衝部を消去するのにフラッシュページ緩衝部消去指令が使われます。

- 1. フラッシュ ページ 緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください(これは自己プログラミング中にCCP時間手順を必要とします)。

ぺージ緩衝部が消去されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。



30.11.2.3. フラッシュ ヘーシ 緩衝部格納(設定)

フラッシュ ヘーシ 緩衝部内に1語(ワード)のデータを格納するのにフラッシュ ヘーシ 緩衝部格納指令が使われます。

- 1. フラッシュ ペーシ 緩衝部格納指令をNVM指令(CMD)レシ スタに格納してください。
- 2. 書く語アドレスをZポインタに格納してください。
- 3. R1:R0レシブスタに書かれるべきデータ語を格納してください。
- 4. SPM命令を実行してください。SPM命令はフラッシュ ヘーシ 緩衝部格納のプログラシング時に保護されません。

フラッシュ ページ緩衝部全体が格納されるまで手順2.~4.を繰り返してください。未格納(未設定)位置は\$FFFFの値を持ちます。

30.11.2.4. フラッシュ ページ消去

フラッシュ メモリの1ページを消去するのにフラッシュ ページ消去指令が使われます。

- 1. 消去するフラッシュのヘ゜ーシ゛アト・レスをZポーインタに格納してください。ヘ゜ーシ゛アト・レスはFPAGEに書かれなければなりません。Zポーインタの他のビットはこの操作の間、無視されます。
- 2. フラッシュ ペーシ 消去指令をNVM指令(CMD)レシ スタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラクが設定(1)されます。フラッシュメモリが多忙の間、フラッシュ領域多忙(FBUSY)フラクが設定(1)され、応用領域をアクセスすることができません。

30.11.2.5. フラッシュ ヘージ 書き込み

フラッシュ メモリの1ページ内にフラッシュ ページ緩衝部を書くのにフラッシュ ページ書き込み指令が使われます。

- 1. 書くフラッシュのヘ゜ーシ゛アト゛レスをZポーインタに格納してください。ヘ゜ーシ゛アト゛レスはFPAGEに書かれなければなりません。Zポーインタの他のビットはこの操作の間、無視されます。
- 2. フラッシュ ページ 書き込み指令をNVM指令(CMD)レジスタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この書き込み操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。フラッシュメモリが多忙の間、フラッシュ領域多忙(FBUSY)フラグが設定(1)され、応用領域をアクセスすることができません。

30.11.2.6. フラッシュ範囲CRC

自己プログラミング後にフラッシュメモリのアトレス範囲内の内容を検証するのにフラッシュ範囲CRC指令が使われます。

- 1. フラッシュ範囲CRC指令をNVM指令(CMD)レシブスタに格納してください。
- 2. NVMアトレス(ADDR2,ADDR1,ADDR0)レシンスタに開始ハイトアトレスを格納してください。
- 3. NVMデータ(DATA2,DATA1,DATA0)レシブスタに終了ハイトアトレスを格納してください。
- **4.** NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

フラッシュ範囲CRCを使うには、全てのブート施錠ビットが非プログラム(1,無施錠)にされなければなりません。アクセスされる位置に対するブート施錠ビットが(11以外に)設定されている場合、指令実行は失敗中止にされます。

30.11.2.7. 応用領域消去

応用領域を完全に消去するのに応用領域消去指令が使われます。

- 1. 応用領域内の何処かの位置をZポインタに格納してください。
- 2. 応用領域消去指令をNVM指令(CMD)レジスタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

30.11.2.8. 応用領域/ブートローダ領域 ページ消去

応用領域またはブートローダ領域内の1ページを消去するのに応用領域ページ消去とブートローダ領域ページ消去指令が使われます。

- 1. 消去するフラッシュのペーシ゛アトレスをZポインタに格納してください。ペーシ゛アトレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
- 2. 応用領域ページ消去/ブートロータ[・]領域ペーシ[・]消去指令をNVM指令(CMD)レシ[・]スタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラケが設定(1)されます。フラッシュメモリが多忙の間、フラッシュ領域多忙(FBUSY)フラケが設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページアドレスはNVM指令を失敗中止にします。応用領域ページ消去指令は応用領域をアドレス指定するZポインタを必要とし、プートローダ領域ページ消去指令はプートローダ領域をアドレス指定するZポインタを必要とします。(<mark>訳注</mark>:共通性から前2行追加)



30.11.2.9. 応用領域/ブートローダ領域 ページ書き込み

応用領域またはブートローダ領域の1ページ内にフラッシュページ緩衝部を書くのに応用領域ページ書き込みとブートローダ領域ページ書き込み指令が使われます。

- 1. 書くフラッシュのヘ゜ーシ゛アト゛レスをZポインタに格納してください。ヘ゜ーシ゛アト゛レスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
- 2. 応用領域ページ書き込み/プートローダ領域ペ゚ージ書き込み指令をNVM指令(CMD)レジスタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レシ[、]スタのNVM多忙(NVMBUSY)フラク[・]が設定(1)されます。フラッシュ メモリが多忙の間、フラッシュ領域多忙(FBUSY)フラク[・]が設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページアドレスはNVM指令を失敗中止にします。応用領域ページ書き込み指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ書き込み指令はブートローダ領域をアドレス指定するZポインタを必要とします。

30.11.2.10. 応用領域/ブートローダ領域 ページ 消去&書き込み

1つの非分断操作で、応用領域またはブートローダ領域内の1~゚ーン゙を消去し、そしてそのペーン・内にフラッシュ ペーン 緩衝部を書くのに応用領域ぺーン 消去&書き込みとブートローダ 領域ぺーン 消去&書き込み指令が使われます。

- 1. 書くフラッシュのペーシ アドレスをZポインタに格納してください。ペーシ アドレスはFPAGEに書かれなければなりません。Zポインタの他のビットはこの操作の間、無視されます。
- 2. 応用領域ページ消去&書き込み/プートローダ領域ページ消去&書き込み指令をNVM指令(CMD)レジスタに格納してください。
- 3. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラク・が設定(1)されます。フラッシュメモリが多忙の間、フラッシュ領域多忙(FBUSY)フラク・が設定(1)され、応用領域をアクセスすることができません。

Zポインタの無効ページアドレスはNVM指令を失敗中止にします。応用領域ページ消去&書き込み指令は応用領域をアドレス指定するZポインタを必要とし、ブートローダ領域ページ消去&書き込み指令はブートローダ領域をアドレス指定するZポインタを必要とします。

30.11.2.11. 応用領域/ブートローダ領域 CRC

自己プログラミング後に応用領域/ブートローダ領域の内容を検証するのに応用領域/ブートローダ領域CRC指令が使われます。

- 1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに格納してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

CRC指令実行の間、NVM状態(STATUS)レシ、スタのNVM多忙(NVMBUSY)フラケ、が設定(1)され、CPUは停止されます。CRCチェックサムは NVMデータ(DATA2,DATA1,DATA0)レシ、スタで利用可能になるでしょう。

30.11.2.12. 使用者識票列消去

使用者識票列を消去するのに使用者識票列消去指令が使われます。

- 1. 使用者識票列消去指令をNVM指令(CMD)レジスタに格納してください。
- 2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

消去操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラケが設定(1)され、CPUは停止されます。使用者識票列はNRWWです。

30.11.2.13. 使用者識票列書き込み

使用者識票列内にフラッシュ ページ緩衝部を書くのに使用者識票列書き込み指令が使われます。

- 1. 使用者識票列書き込み指令をNVM指令(CMD)レジスタに設定してください。
- 2. SPM命令を実行してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)され、この指令実行の間、CPUは停止されます。指令実行の間の書き込み操作後にフラッシュ ページ 緩衝部が解除されますが、CPUはこの段階中、停止されません。

30.11.2.14. 使用者識票列/製品識票列 読み込み

使用者識票列または製品識票(校正)列から1バイトを読むのに使用者識票列/製品識票(校正)列読み込み指令が使われます。

- 1. 読むバイト アドレスをZポインタに格納してください。
- 2. 使用者識票列読み込み/製品識票(校正)列読み込み指令をNVM指令(CMD)レジスタに格納してください。
- 3. LPM命令を実行してください。

転送先レジスタはLPM命令実行の間に格納されます。

フラッシュ読み込みに対してLPMが正しく実行されることを保証するため、それらの指令のどれかを使う間、割り込みを禁止することが勧告されます。



30.11.3. NVM ヒュース と施錠ビット指令

ヒュース、と施錠ビットをアクセスするのに使えるNVM指令が表30-3.で一覧されます。

ヒューズと施錠ビットの自己プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1) することです。読み込み起動指令は(E)LPM命令を実行することによって起動されます。書き込み起動指令はSPM命令を実行することによって起動されます。

(表の)変更保護列は起動源が自己プログラミング中に構成設定変更保護(CCP)によって保護されるかどうかを示します。右端側2列はアトレス指定に使われるアトレスポインタと転送元/転送先データレジスタを示します。

30.11.3.1.項~30.11.3.2.項は各NVM操作に対する方法を詳細に説明します。

主 20_2	トューズと施錠ビット指令	_
オマスリース	「 ユー 人 ~ かか おたに ツトィララ	i i

CMD6~0	群構成設定	内容	起動源	CPU停止	NVM 多忙	変更 保護	アト゛レス ホ゜インタ	データ レジスタ
\$00	NO_OPERATION	無操作	-	1	-	-	-	-
		ヒュース、と施錠ビッ	`					
\$07	READ_FUSES	ヒューズ読み込み	CMDEX	N	Y	N	ADDR	DATA
\$08	WRITE_LOCK_BITS	施錠ビット書き込み	CMDEX	N	Y	Y	ADDR	_

30.11.3.1. 施錠ビット書き込み

ソフトウェアからフート施錠ビットをもっと安全な設定にプログラミングするのに施錠ビット書き込み指令が使われます。

- 1. 新しい施錠ビット値をNVMデータ0(DATA0)レジスタに格納してください。
- 2. 施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
- 3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。この指令の完全な実行の間中、CPUは停止されます。

この指令はブートローダ領域と応用領域の両方から実行することができます。施錠ビットが書かれる時にEEPROMとフラッシュのページ緩衝部が自動的に消去されます。

30.11.3.2. ヒュース 読み込み

ソフトウェアからヒューズを読むのにヒューズ読み込み指令が使われます。

- 1. 読むヒューズ バイトへのアドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
- 2. ヒュース、読み込み指令をNVM指令(CMD)レシブスタに格納してください。
- 3. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

結果はNVMデータの(DATA0)レシブスタで利用可能になります。この指令の完全な実行の間、CPUは停止されます。

30.11.4. EEPROMプログラミング

EEPROMはフラッシュメモリのどの部分の応用コートからでも読み書きすることができます。それはバイトとページの両方でアクセス可能です。これは1度に1バイトまたは1ページのどちらでもEEPROMに書けることを意味します。読み込みではEEPROMから1バイトが読まれます。

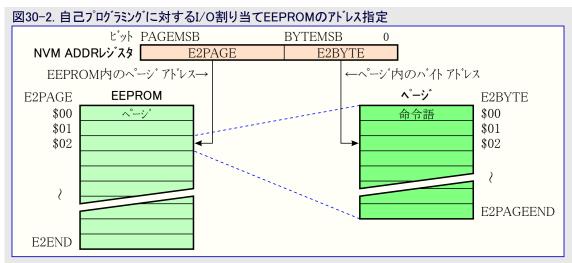


30.11.4.1. EEPROMのアドレス指定

EEPROMはプログラム用フラッシュ メモリのアクセスと同様に(I/Oに割り当てられた)NVM制御器を通してアクセスすることができ、またはSRAMと同様にアクセスされるデータ メモリ空間内にメモリ割り当てすることもできます。

NVM制御器を通してEPROMをアクセスするとき、EEPROMをアトレス指定するのにNVMアトレス(ADDR2,ADDR1,ADDR0)レジスタが使用され、同時にEEPROMデータを格納または取得するのにNVMデータ(DATA0)レジスタが使われます。

EEPROMへ。ージブプログラミングに対して、ADDRレジスタは2つの領域を持つように扱うことができます。最下位側ビットはへ。ージ内のハイトをアトレス指定し、一方最上位側ビットはEEPROM内のへ。ージをアトレス指定します。これは図30-2.で示されます。へ。ージ内のハイトアトレス (E2BYTE)はADDRレジスタ内のビットBYTEMSB~0によって保持されます。ADDRレジスタ内の残りのビットPAGAMSB~BYTEMSB+1は EEPROMへ。ージアトレス(E2PAGE)を保持します。E2PAGEとE2BYTEを併せて、EEPROM内のハイトへの絶対アトレスを保持します。E2P AGEとE2BYTEの容量はデハイスのEEPROM容量とへ。ージ容量に依存します。この詳細については各デハイスのデータシートを参照してください。



メモリ配置EEPROMが許可されると、EEPROMページ、緩衝部内へのバイト データ格納は直接または間接の格納(設定)命令を通して実行することができます。ページ、緩衝部内の位置を決めるのにEEPROMアドレスの最下位側ビットだけが使われますが、正しいアドレス割り当てを保証するために完全なメモリ割り当てEEPROMアドレスが常に必要とされます。EEPROMからの読み込みは直接または間接の格納(設定)命令を使って直接的に行うことができます。メモリ割り当てEEPROMページ、緩衝部格納操作が実行されると、CPUは次の命令が実行されるのに先立って2周期停止されます。

EEPROMがメモリ割り当てされると、NVM制御器からのEEPROMページ緩衝部格納とEEPROM読み込み機能は禁止されます。

30.11.5. NVM EEPROM指令

NVM制御器を通してEEPROMをアクセスするのに使えるNVM EEPROM指令が表30-4.で一覧されます。

EEPROMの自己プログラミングに対する活動起動指令と書き込み起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX) ビットを設定(1)することです。読み込み起動指令はNVMデータの(DATA0)レジスタを読むことによって起動されます。

(表の)変更保護列は自己プログラジング中に起動源が構成設定変更保護(CCP)によって保護されるかどうかを示します。これは起動源を書く/実行するのに時間手順を必要とします。外部プログラジングにCCPは必要とされません。右端側2列はアトレス指定に使われるアトレスポープタと転送元/転送先データレジスタを示します。

次頁の30.11.5.1.項~30.11.5.7.項は各EEPROM操作に対する方法を詳細に説明します。

表30-4. E	EPROM自己プログラミング指令							
CMD6~0	群構成設定	内容	起動源	CPU停止	NVM 多忙	変更 保護	アト゛レス ホ゜インタ	データ レシ、スタ
\$00	NO_OPERATION	無操作	-	-	_	-	-	-
		EEPROM へ [°] ーシ 緩復						
\$33		EEPROMぺージ緩衝部格納(設定)	DATA0	N	N	Y	ADDR	DATA0
\$36	ERASE_EEPROM_BUFFER	EEPROMページ緩衝部消去	CMDEX	N	Y	Y	1	_
		EEPROM						
\$32	ERASE_EEPROM_PAGE	EEPROMペーシ゛消去	CMDEX	N	Y	Y	ADDR	_
\$34	WRITE_EEPROM_PAGE	EEPROMページ書き込み	CMDEX	N	Y	Y	ADDR	_
\$35	ERASE_WRITE_EEPROM_PAGE	EEPROMページ消去&書き込み	CMDEX	N	Y	Y	ADDR	_
\$39	ERASE_EEPROM	EEPROM消去	CMDEX	N	Y	Y	_	_
\$06	READ_EEPROM	EEPROM読み込み	CMDEX	N	N	N	ADDR	DATA0



30.11.5.1. EEPROMへ ーシ 緩衝部格納(設定)

EEPROMへージ緩衝部内に1小小を格納(設定)するのにEEPROMへージ緩衝部格納指令が使われます。

- 1. EEPROMへ ーシ 緩衝部格納指令をNVM指令(CMD)レシ スタに格納してください。
- 2. 書くアドレスをNVMアドレス0(ADDR0)レシ、スタに格納してください。
- 3. 書くデータをNVMデータの(DATA0)レシブスタに格納してください。これが指令を起動します。

任意数のバイが格納されるまで手順2.と3.を繰り返してください。

30.11.5.2. EEPROMへ ージ 緩衝部消去

EEPROMへージ緩衝部を消去するのにEEPROMへージ緩衝部消去指令が使われます。

- 1. EEPROMへ。一ジ緩衝部消去指令をNVM指令(CMD)レジスタに格納してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.3. EEPROMへ ージ 消去

1つのEEPROMへージを消去するのにEEPROMへージ消去指令が使われます。

- 1. EEPROMページ消去指令をNVM指令(CMD)レジスタに設定してください。
- 2. 消去するEEPROMぺージアドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
- 3. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

このページ消去指令はEEPROMページ緩衝部に於いて格納されて付箋付けされた位置だけを消去します。

30.11.5.4. EEPROMへ ージ 書き込み

EEPROMの1~~ジ内にEEPROM~~ジ緩衝部に格納された全位置を書くのにEEPROM~~ジ書き込み指令が使われます。

- 1. EEPROMページ書き込み指令をNVM指令(CMD)レジスタに設定してください。
- 2. 書くEEPROMへーシ アトレスをNVMアトレス(ADDR2,ADDR1,ADDR0)レシスタに格納してください。
- 3. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.5. EEPROMへ ージ 消去&書き込み

1つの非分断操作で、最初にEEPROMへージを消去してEEPROMの1へージ内にEEPROMへージ緩衝部を書くのにEEPROMへージ消去&書き込み指令が使われます。

- 1. EEPROMペーシ消去&書き込み指令をNVM指令(CMD)レシスタに設定してください。
- 2. 書くEEPROMページ アドレスをNVMアドレス(ADDR2,ADDR1,ADDR0)レジスタに格納してください。
- 3. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング・中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.6. EEPROM消去

EEPROMページ緩衝部に格納されて付箋付けされた位置に対応する全EEPROMページ内の全位置を消去するのにEEPROM消去指令が使われます。

- 1. EEPROM消去指令をNVM指令(CMD)レジスタに設定してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.11.5.7. EEPROM読み込み

EEPROMから2バイトを読むのにEEPROM読み込み指令が使われます。

- 1. EEPROM読み込み指令をNVM指令(CMD)レジスタに設定してください。
- 2. 読むEEPROMハーイトアト・レスをNVMアト・レス(ADDR2,ADDR1,ADDR0)レシ、スタに格納してください。
- 3. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。

読まれたバイト データはNVMデータ0(DATA0)レジスタで利用可能になります。

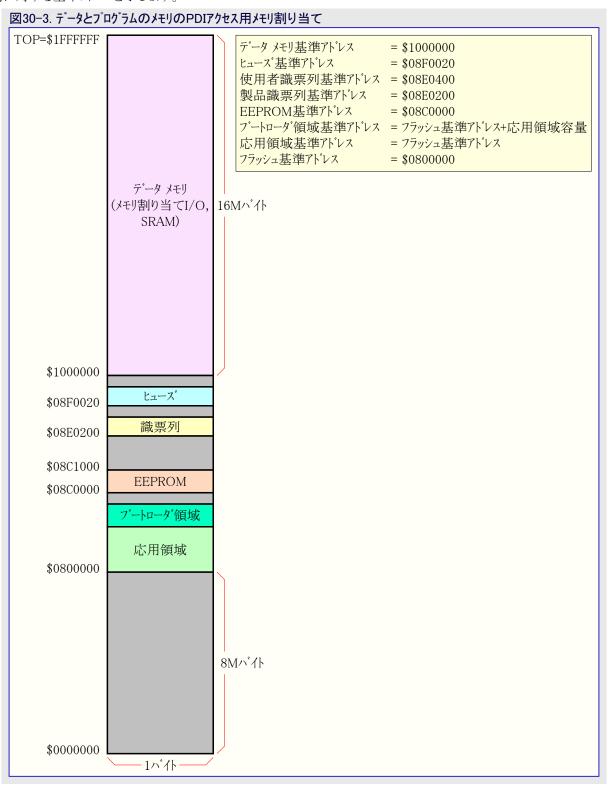


30.12. 外部プログラミング

外部プログラミングは外部の書き込み器またはディッカがからディイス内のコードと不揮発性データをプログラミングするための方法です。これは実装(実装書き込み)で、または大量生産プログラミングの両方によって行うことができます。

外部プログラミングに対して、デバイスはJTAGまたはPDI物理接続を使い、PDIとPDI制御器を通してアクセスされます。PDI、JTAGの詳細と物理インターフェースの許可と使用法については258頁の「プログラミングとデバッグ用インターフェース」を参照してください。本項の残り部分はPDIへの正しい物理接続が許可されているとの前提です。

これを行うことでデータとプログラムのメモリ空間の全てが直線的なPDIメモリ空間に割り当てられます。図30-3.はPDIメモリ空間とデバイス内の各メモリ空間に対する基準アドレスを示します。





30.12.1. 外部プログラミング インターフェースの許可

PDIからのNVMプログラミングは以下の手順を用いる許可が必要です。

- 1. \$59をPDIのリセット(RESET)レシブスタに格納してください。
- 2. PDIにNVM鍵を格納してください。
- 3. NVM許可(NVMEN)が設定(1)されるまでPDI状態(STATUS)レジスタのNVMENをホーリンク゛してください。

PDI状態レジスタのNVMENビットが設定(1)されると、NVMインターフェースはPDIから許可され、活性(有効)です。

30.12.2. NVMプログラミング

PDI NVMインターフェースが許可されると、デバイス内の全てのメモリがPDIアドレス空間にメモリ割り当てされます。PDI制御器はVNM制御器のアドレスやデータのレジスタのアクセスが必要ありませんが、NVM制御器は正しい指令を格納されなければなりません(換言すると、どれかのNVMから読むには、PDIBUSアドレス空間からデータを取得する前に制御器がNVM読み込み指令を格納されなければなりません)。本項の残り部分でのPDIからのデータまたはプログラムメモリアドレスの読み書きへの全ての参照については、279頁の図30-3.で示されるメモリ割り当てを参照してください。

PDIはバイト アドレス指定を使い、従って全てのメモリ アドレスはバイト アドレスでなければなりません。フラッシュまたはEEPROMのページ緩衝部を満たす時に、ページ緩衝部内の位置を決めるのにアドレスの最下位側だけが使われます。それでも、正しいアドレス割り当てを保証するために、フラッシュまたはEEPROMのページに対して完全なメモリ割り当てアドレスが必要とされます。使用者はページ緩衝部の取得と書き込みの両方に関し、ページ境界に注意を払わなければなりません。

プログラミング(ヘーン消去とヘーン)書き込み)中でNVMが多忙の時に、NVMが読み込みに対して防がれます。

30.12.3. NVM指令

外部プログラミングからNVMメモリをアクセスするのに使えるNVM指令が次頁の表30-5.で一覧されます。

外部プログラミングに対する活動起動指令の起動はNVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)することです。 読み込み起動指令はPDIからの直接または間接の取得(LDSまたはLD)命令によって起動されます(PDI読み)。 書き込み起動指令はPDIからの直接または間接の格納(STSまたはST)命令によって起動されます(PDI書き)。

282頁の「チップ消去」~283頁の「ヒュース・/施錠ビット書き込み」は各NVM操作に対する方法を詳細に説明します。指令は施錠ビットによって保護されており、読み書き施錠が設定されている場合、チップ消去とフラッシュCRC指令だけが利用可能です。



	部プログラミングで利用可能なNVM指令			
CMD6~0	指令/操作	起動源	NVM多忙	変更保護
\$00	無操作	_	_	_
\$40	チップ [°] 消去 (<mark>注1</mark>)	CMDEX	Y	Y
\$43	NVM読み込み	PDI読み	N	N
	フラッシュ ページ緩衝部			
\$23	フラッシュ ヘ゜ーシ゛緩衝部格納(設定)	PDI書き	N	N
\$26	フラッシュ ヘ゜ーシ゛緩衝部消去	CMDEX	Y	Y
	フラッシュ メモリ全体			
\$2B	フラッシュ ヘ゜ーシ゛消去	PDI書き	Y	N
\$2E	フラッシュ ヘーン・書き込み	PDI書き	Y	N
\$2F	フラッシュ ヘーン 消去&書き込み	PDI書き	Y	N
\$78	フラッシュ CRC	CMDEX	Y	Y
	応用領域フラッシュ メモリ			
\$20	応用領域消去	PDI書き	Y	N
\$22	応用領域ペーシ消去	PDI書き	Y	N
\$24	応用領域ページ書き込み	PDI書き	Y	N
\$25	応用領域ページ消去&書き込み	PDI書き	Y	N
\$38	応用領域 CRC	CMDEX	Y	Y
	ブートローダ゙領域フラッシュ メモリ			
\$68	ブートロータ 領域消去	PDI書き	Y	N
\$2A	ブートローダ領域ペ゜ージ消去	PDI書き	Y	N
\$2C	ブートローダ領域ページ書き込み	PDI書き	Y	N
\$2D	ブートローダ領域ページ消去&書き込み	PDI書き	Y	N
\$39	ブートロータ 領域 CRC	CMDEX	Y	Y
	 製品識票(校正)領域(<mark>注2</mark>)と使用者識票領域	Ž		•
\$01	使用者識票列読み込み	PDI読み	N	N
\$18	使用者識票列消去	PDI書き	Y	N
\$1A	使用者識票列書き込み	PDI書き	Y	N
\$02	校正列読み込み	PDI読み	N	N
\$07	ヒューズ読み込み	PDI読み	N	N
\$4C	ヒューズ書き込み	PDI書き	Y	N
\$08	施錠ビット書き込み	PDI書き/CMDEX	Y	N/Y
	EEPROM ページ緩衝部			
\$33	EEPROM ページ緩衝部格納(設定)	PDI書き	N	N
\$36	EEPROM ペーン 緩衝部消去	CMDEX	Y	Y
	EEPROM			
\$30	EEPROM消去	PDI書き	Y	N
\$32	EEPROMページ消去	PDI書き	Y	N
\$34	EEPROMページ書き込み	PDI書き	Y	N
\$35	EEPROMページ消去&書き込み	PDI書き	Y	N
	EEPROM読み込み	PDI読み	N	N

注1: EESAVEヒューズがプログラム(0)されている場合、EEPROMはチップ消去の間、保護されます。 注2: 一貫性のため、名称の校正列はデータシート全体を通して製品識票列に改名されています。



30.12.3.1. チップ 消去

プログラム用フラッシュ メモリ、EEPROM、施錠ビットを消去するのにチップ消去指令が使われます。EEPROMの消去はEESAVEヒュース、設定に依存し、この詳細については24頁の「FUSEBYTE5-ヒュース、ハイト5」を参照してください。使用者識票列、製品識票(校正)列、それとヒュース・は影響を及ぼされません。

- 1. チップ消去指令をNVM指令(CMD)レジスタに格納してください。
- 2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間手順を必要とします。
- 一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIバスは禁止され、この操作が終了するまでPDI状態(STATUS)レジスタのNVM許可(NVMEN)ビットが解除(0)されます。NVMENビットが設定(1)されるまでポーリングしてください。
- この操作が終了されるまでNVM状態(STATUS)レシ、スタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.2. NVM読み込み

フラッシュ メモリ、EEPROM、識票列、製品識票(校正)列を読むのにNVM読み込み指令が使われます。

- 1. NVM読み込み指令をNVM指令(CMD)レジスタに格納してください。
- 2. PDI読み込み操作を実行することによって選択したメモリ アドレスを読んでください。

専用のEEPROM読み込み、ヒューズ読み込み、識票列読み込み、製品識票(校正)列読み込み指令も各種メモリ領域に対して利用可能です。これらの指令に対する方法はNVM読み込み指令に対するものと同じです。

30.12.3.3. ページ 緩衝部消去

フラッシュとEEPROMのペーン、緩衝部を消去するのにフラッシュペーシ、緩衝部消去とEEPROMペーン、緩衝部消去指令が使われます。

- 1. フラッシュ ヘーン 緩衝部消去/EEPROMヘーン 緩衝部消去指令をNVM指令(CMD)レン スタに格納してください。
- 2. NVM制御レシブスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.4. ページ 緩衝部格納(設定)

フラッシュとEEPROMのページ緩衝部内に1バイトのデータを格納するのにフラッシュ ページ緩衝部格納とEEPROMページ緩衝部格納指令が使われます。

- 1. フラッシュ へーン 緩衝部格納/EEPROMへーン 緩衝部格納指令をNVM指令(CMD)レン スタに格納してください。
- 2. PDI書き込み操作を行うことによって選択したメモリアドレスに書いてください。

フラッシュ へージ 緩衝部は語(ワート)アクセスで、PDIがバイトアクセスを使うので、PDIは正しい順序でフラッシュ へージ 緩衝部に書かなければなりません。書き込み操作については語の下位バイトが上位バイトに先立って書かれなければなりません。この下位バイトは一時レジスタ内に書かれます。そしてPDIが語位置の上位バイトを書くのと同じクロック周期で、この下位バイトがヘージ 緩衝部の語位置に書かれます。PDIは次のPDI命令を実行できるようになるのに先立って自動的に停止されます。

30.12.3.5. ページ消去

選択したメモリ空間の内の1ページを消去するのに応用領域ページ消去、ブートローダ領域ページ消去、EEPROMページ消去、使用者識票列消去指令が使われます。

- 1. 応用領域へ゜ージ消去/ブートロータ・領域へ゜ージ消去/EEPROMへ゜ージ消去/使用者識票列消去指令をNVM指令(CMD)レジスタに設定してください。
- 2. NVM制御レジスタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.6. ページ書き込み

選択したメモリ空間内に格納(設定)されたフラッシュ/EEPROM ページ緩衝部を書くのに応用領域ページ書き込み、ブートローダ領域ページ書き込み、EEPROMページ書き込み、使用者識票列書き込み指令が使われます。

- 1. 応用領域ページ書き込み/ブートローダ領域ページ書き込み/EEPROMページ書き込み/使用者識票列書き込み指令をNVM指令(CMD)レジスタに設定してください。
- 2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。



30.12.3.7. ページ 消去&書き込み

1つの非分断操作で、選択したメモリ空間に於いて1ページを消去してその後にそのページ内にフラッシュ/EEPROMページ緩衝部を書くのに応用領域ページ消去&書き込み、ブートローダ領域ページ消去&書き込み、EEPROMページ消去&書き込み指令が使われます。

- 1. 応用領域ページ消去&書き込み/ブートローダ領域ページ消去&書き込み/EEPROMページ消去&書き込み指令をNVM指令(CMD)レジスタに設定してください。
- 2. PDI書き込み操作を行うことによって選択ページを書いてください。ページはページ内の何処かのバイト位置をアドレス指定することによって書かれます。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラクブが設定(1)されます。

30.12.3.8. 応用領域/ブートローダ領域/EEPROM消去

選択した領域全体を消去するのに応用領域消去、ブートローダ領域消去、EEPROM消去指令が使われます。

- 1. 応用領域消去/プートローダ領域消去/EEPROM消去指令をNVM指令(CMD)レジスタに設定してください。
- 2. PDI書き込み操作を行うことによって選択したメモリ領域を書いてください。

この操作が終了されるまでNVM状態(STATUS)レシブスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。

30.12.3.9. 応用領域/ブートローダ領域 CRC

プログラミング(書き込み)後に選択した領域内容を検証するのに応用領域CRCとブートローダ領域CRC指令が使われます。

- 1. 応用領域CRC/ブートローダ領域CRC指令をNVM指令(CMD)レジスタに設定してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ (DATA2,DATA1,DATA0)レジスタで利用可能になります。

30.12.3.10. フラッシュ CRC

プログラミング(書き込み)後にプログラム用フラッシュメモリの内容を検証するのにフラッシュCRC指令が使われます。

- 1. フラッシュCRC指令をNVM指令(CMD)レジスタに格納してください。
- 2. NVM制御レシ、スタA(CTRLA)の指令実行(CMDEX)ビットを設定(1)してください。これは自己プログラミング中にCCP時間制限手順を必要とします。

一旦この操作が始まると、PDI制御器と不揮発性メモリ(NVM)間のPDIハ、スは禁止され、この操作が終了するまでPDI状態(STATUS)レジスタのNVM許可(NVMEN)ビットが解除(0)されます。PDIハ、スの許可を示すNVMENビットが再び設定(1)されるまでポーリングしてください。この操作が終了されるまでNVM状態(STATUS)レジスタのNVM多忙(NVMBUSY)フラグが設定(1)されます。CRCチェックサムはNVMデータ(DATA2,DATA1,DATA0)レジスタで利用可能になります。

30.12.3.11. ヒューズ/施錠ビット書き込み

ヒューズともっと安全な設定へ施錠ビットを書くのにヒューズ書き込みと施錠ビット書き込み指令が使われます。

- 1. ヒュース、書き込み/施錠ビット書き込み指令をNVM指令(CMD)レジスタに格納してください。
- 2. PDI書き込み操作を行うことによって選択したヒューズまたは施錠ビットを書いてください。

この操作が終了されるまでNVM状態(STATUS)レシ、スタのNVM多忙(NVMBUSY)フラケが設定(1)されます。 施錠ビット書き込みに関しては(CMDEX起動の)施錠ビット書き込み指令も使用できます。

30.13. レジスタ説明

NVM制御器の完全なレジスタ記述については19頁の「レジスタ説明 - NVM制御器」を参照してください。 PDIの完全なレジスタ記述については266頁の「レジスタ説明 - PDI制御/状態レジスタ」を参照してください。

30.14. レジスタ要約

NVM制御器の完全なレシ、スタ要約については33頁の「レン、スタ要約 - NVM制御器」を参照してください。 PDIの完全なレシ、スタ要約については267頁の「レン、スタ要約」を参照してください。



31. 周辺機能単位部アドレス割り当て

アトンス割り当て表はXMEGA内の各周辺機能と単位部に対する基準アトンスを示します。全てのXMEGAデバイスに全ての周辺機能と単位部が存在する訳ではなく、特定デバイスに対する周辺機能単位部アトンス割り当てについてはデバイスのデータシートを参照してください。

基準アトレス	名称	意味	頁	基準 アドレス	名称	意味	頁
\$0000	GPIO	汎用I/Oレジスタ	35	\$0380	ACA	ポートAのアナログ比較器	252
\$0010	VPORT0	仮想ポート0		\$0390	ACB	ポートBのアナログ比較器	202
\$0014	VPORT1	仮想ポート1	102	\$0400	RTC	実時間計数器	143
\$0018	VPORT2	仮想ポート2	102	\$0480	TWIC	ポートCの2線インターフェース	178
\$001C	VPORT3	仮想ポート3		\$04C0	USB	万能直列バスインターフェース	163
\$0030	CPU	CPU	14	\$0600	PORTA	ポートA	
\$0040	CLK	クロック制御	69	\$0620	PORTB	ポートB	
\$0048	SLEEP	休止制御器	74	\$0640	PORTC	ポートC	
\$0050	OSC	発振器制御	69	\$0660	PORTD	ポートD	101
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	69	\$0680	PORTE	ポートE	101
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	09	\$06C0	PORTG	ホ°ートG	
\$0070	PR	電力削減	74	\$0760	PORTM	ホ°ートM	
\$0078	RST	リセット制御器	78	\$07E0	PORTR	ポ [°] ートR	
\$0080	WDT	ウォッチト゛ック゛タイマ	82	\$0800	TCC0	ポートCのタイマ/カウンタ0	119
\$0090	MCU	MCU制御	35	\$0840	TCC1	ポートCのタイマ/カウンタ1	119
\$00A0	PMIC	設定可能な多段割り込み制御器	87	\$0880	AWEXC	ポートCの新波形拡張	136
\$00B0	PORTCFG	ポート構成設定	101	\$0890	HIRESC	ポートCの高分解能拡張	138
\$00C0	AES	AES暗号単位部	206	\$08A0	USARTC0	ポートCのUSART0	197
\$00D0	CRC	CRC単位部	211	\$08C0	SPIC	ポートCの直列周辺インターフェース	182
\$0100	DMA	DMA制御器	47	\$08F8	IRCOM	赤外線通信単位部	200
\$0180	EVSYS	事象システム	54	\$0A00	TCE0	ポートEのタイマ/カウンタ0	119
\$01C0	NVM	不揮発性メモリ(NVM)制御器	33	\$0AA0	USARTE0	ポートEのUSART0	197
\$0200	ADCA	ポートAのA/D変換器	244	\$0D00	LCD	LCD-液晶表示	227
\$0240	ADCB	ポートBのA/D変換器	244				



32. 命令一式要約

ニーモニック	オペラント゛	意味	動作	フラク゛	クロック
		算術、論 ³	理演算命令		
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW SUB	Rd,K6 Rd,Rr	即値の語(ワード)長加算 汎用レジスタ間の減算	RdH:RdL ← RdH:RdL + K Rd ← Rd - Rr	I,T,H,S,V,N,Z,C	2
SUBI	Rd,Kr Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - Kr$ $Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワート)長減算	RdH:RdL ← RdH:RdL − K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レシブスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レシ、スタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	Rd ← Rd OR Rr	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レシブスタと即値の論理和(OR)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レシブスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I,T,H,S,O,N,Z,C	1
COM	Rd	1の補数(論理反転)	Rd ← \$FF - Rd	I,T,H,S,O,N,Z,C	1
NEG SBR	Rd Rd,K	2の補数 汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow \$00 - Rd$ $Rd \leftarrow Rd \cap K$	I,T,H,S,V,N,Z,C I,T,H,S,0',N,Z,C	1
CBR	Rd,K	汎用レシ、スタの(複数)と、ット解除(0)	$Rd \leftarrow Rd \ AND \ (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジ、スタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レシ、スタの全0設定(=\$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レシブスタの全1設定(=\$FF)	Rd ← \$FF	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ $(U \times U)$	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ $(S \times S)$	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) < 1$ $(U \times U)$	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) < 1 \qquad (S \times S)$	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) < (1 \qquad (S \times U)$	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
		分順			
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジブスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3(注1)
ICALL		Zレシブスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3(注1)
EICALL	1	拡張Zレジスタ間接サブルーチン呼び出し	STACK ← PC, PC ← EIND:Z	I,T,H,S,V,N,Z,C	3(注1)
CALL	k	絶対サブルーチン呼び出し	STACK ← PC, PC ← k PC ← STACK	I,T,H,S,V,N,Z,C	3,4(注1)
RET RETI		サブルーチンからの復帰 割り込みからの復帰	PC ← STACK PC ← STACK	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	4,5(注1) 4,5(注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ。	Rd=Rrtsb, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd - Rr	I,T,H,S,V,N,Z,C	1/2,3
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジブスタと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レシブスタのビットが解除(0)でスキップ	Rr(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBRS	Rr,b	汎用レシブスタのビットが設定(1)でスキップ	Rr(b)=17\$6, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレシ、スタのヒ、ットが設定(1)でスキップ	P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータス フラグが設定(1)で分岐	$SREG(s)=1$ \$\forall pC \lefta PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータス フラグが解除(0)で分岐	$SREG(s)=0$ 75, $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k k	不一致で分岐 キャリー フラグが設定(1)で分岐	Z=0なら, PC ← PC + K + 1 C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	1/2 1/2
BRCS BRCC	k	キャリー フラグが解除(0)で分岐	C=0 $\%$ 5, PC \leftarrow PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=07\$6, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしのくで分岐	C=17\$6, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1&6, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=07\$5, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリー フラグが解除(0)で分岐	H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVS	k 1-	2の補数溢れフラグが設定(1)で分岐	V=1/zb, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRVC BRIE	k k	2の補数溢れフラグが解除(0)で分岐 割り込み許可で分岐	V=0なら, PC ← PC + K + 1 I=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	$\frac{1/2}{1/2}$
BRID	k	割り込み禁止で分岐	I=1/よら, PC ← PC + K + I I=0なら, PC ← PC + K + I	I, T, H, S, V, N, Z, C I, T, H, S, V, N, Z, C	1/2
DIGD	IV	日がたが赤上へ万以	1 V-&-2, 1 O - 1 O - 1 X - 1	1, 1, 11, 0, V, N, L, C	1/2



		主 叶	₹ ↓ <i>\</i> /-	7-h*	h=h			
ニーモニック	オヘ フント	意味	動作	フラク゛	クロック			
	テ゚ータ移動命令							
MOV	Rd,Rr	汎用レジスタ間の複写	Rd ← Rr	I,T,H,S,V,N,Z,C	1			
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1			
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1			
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1$, $Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2(注1,2)			
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1$, $Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2(注1,2)			
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2(注1,2)			
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1(注1,2)			
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1$, Rd \leftarrow (Z)	I,T,H,S,V,N,Z,C	2(注1,2)			
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2(注1,2)			
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2(注1,2)			
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1(注1)			
ST	X+,Rr	事後増加付きXレシブスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1(注1)			
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)			
ST	Ý,Řr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I.T.H.S.V.N.Z.C	1(注1)			
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I.T.H.S.V.N.Z.C	1(注1)			
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I.T.H.S.V.N.Z.C	2(注1)			
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I.T.H.S.V.N.Z.C	2(注1)			
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I.T.H.S.V.N.Z.C	1(注1)			
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I.T.H.S.V.N.Z.C	1(注1)			
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I.T.H.S.V.N.Z.C	2(注1)			
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z+q) \leftarrow Rr$	ITHSVNZ.C	2(注1)			
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)			
LPM	K,IXI	プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I.T.H.S.V.N.Z.C	3			
LPM	Rd,Z	同上(任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3			
LPM	Rd,Z+	同上(生意のレンスケッ)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3			
ELPM	ru,Z	プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I.T.H.S.V.N.Z.C	3			
ELPM	Rd,Z	同上(任意のレジ、スタへ)	$Rd \leftarrow (RAMPZ:Z)$	ITHSVN7C	3			
ELPM	Rd,Z+	同上(事後増加付き)	$Rd \leftarrow (RAMPZ:Z)$ $Rd \leftarrow (RAMPZ:Z)$, $RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I, I, II, S, V, IV, Z, C	3			
SPM	ı(u,∠⊤	プログラム領域へZレジスタ間接での設定	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$ $(Z) \leftarrow R1:R0$	I.T.H.S.V.N.Z.C	- -			
SPM SPM	Z+	同上(事後増加(+2)付き)	$(Z) \leftarrow R1:R0$ $(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I, I ,H,S,V,N,Z,C	_			
			7	-, - ,,- , - ,,- , -				
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1			
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1			
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I, I, H, S, V, N, Z, C	1(注1)			
POP	Rd	スタックから汎用レジスタ〜復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2(注1)			
XCH	Z,Rd	RAM位置交换	Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp	I,T,H,S,V,N,Z,C	2			
LAS	Z,Rd	RAM位置取得&ビット設定(1)	Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp OR (Z)	I,T,H,S,V,N,Z,C	2			
LAC	Z,Rd	RAM位置取得&ビット解除(0)	Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow (\$FF-Temp) AND (Z)		2			
LAT	Z,Rd	RAM位置取得&ビット反転	Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp EOR (Z)	I,T,H,S,V,N,Z,C	2			



ニーモニック	オペラント゛	意味	動作	フラク゛	クロック		
ピット関係命令							
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1		
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1		
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1		
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,Ø,Z,C	1		
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C$, $Rd(n+1) \leftarrow Rd(n)$, $C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1		
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1		
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1		
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \Leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1		
BSET	S	ステータス レシブスタのビット設定(1)	$SREG(s) \leftarrow 1$	$1,T,H,\$,\Psi,\Pi,\mathcal{I},\mathbb{C}$	1		
BCLR	S	ステータス レシブスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0	1		
BST	Rr,b	汎用レシブスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1		
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1		
SEC		キャリー フラグを設定(<u>1</u>)	C ← 1	I,T,H,S,V,N,Z,C	1		
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z,0	1		
SEN		負フラグを設定(<u>1</u>)	N ← 1	I,T,H,S,V,N,Z,C	1		
CLN		負フラグを解除(<mark>0</mark>)	$N \leftarrow 0$	I,T,H,S,V, 0 ,Z,C	1		
SEZ		ゼロ フラグを設定(<u>1</u>)	Z ← 1	I,T,H,S,V,N,1,C	1		
CLZ		t [*] ロフラグを解除(0)	Z ← 0	I,T,H,S,V,N,Ø,C	1		
SEI		全割り込み許可	[← 1	1 ,T,H,S,V,N,Z,C	1		
CLI		全割り込み禁止	I ← 0	0 ,T,H,S,V,N,Z,C	1		
SES		符号フラグを設定(1)	S ← 1	I,T,H,\$,V,N,Z,C	1		
CLS		符号フラグを解除(<mark>0</mark>)	$S \leftarrow 0$	I,T,H,θ,V,N,Z,C	1		
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,¥,N,Z,C	1		
CLV		2の補数溢れフラグを解除(0)	V ← 0	I,T,H,S, 0 ,N,Z,C	1		
SET		一時フラグを設定(1)	T ← 1	I,T,H,S,V,N,Z,C	1		
CLT		一時フラグを解除(<mark>0</mark>)	T ← 0	I, 0 ,H,S,V,N,Z,C	1		
SEH		ハーフキャリー フラグを設定(<u>1</u>)	H ← 1	I,T,H,S,V,N,Z,C	1		
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T, 0 ,S,V,N,Z,C	1		
MCU制御命令							
NOP		無操作		I,T,H,S,V,N,Z,C	1		
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1		
WDR		ウォッチト゛ック゛ タイマ リセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1		
BREAK		一時停止	チップ上デバッグ機能専用(デバッガが使用)	I,T,H,S,V,N,Z,C	1		

K4, K6, K : 4, 6, 8ビット定数P : I/OレジスタRd, Rr : 汎用レジスタ(R0~R31)X, Y, Z : X, Y, Zレジスタb : ビット(0~7)k : アドレス定数(ア,12,16ビット)

q: 符号なし6ビット定数(変位) s: ステータス フラグ(C,Z,N,V,X,H,T,I)

注1: データ メモリ アクセスに対する周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA B系に外部メモリ インターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。



33. データシート改訂履歴

本章での頁番号参照が本文書への参照であることに注意してください。本章での改訂参照は文書改訂版への参照です。

33.1. 8291A - 2011年10月

1. XMEGA AU手引書改訂A(07/2011)から編集された初版

33.2. 8291B - 2013年1月

- 1. 5頁の表2-1.でXMEGA B特徴概要を追加
- 2. 校正列への参照を一貫性のために製品識票列へ更新
- 3. 16頁の「製品識票列」で273頁の「NVMフラッシュ指令」への参照を追加
- **4**. 24頁の「LOCKBITS 施錠ビット レジスタ」を更新。ビット1,0の記述更新と表注の追加
- 5. 25頁の表4-12.の表題を「プログラミング用施錠ビット」に変更
- 6. 44頁の「TRIGSRC 起動元」を更新。ビット7~0記述を更新
- 7. 53頁で「CHnCTRL 事象チャネルn制御レジスタ」の記述を更新
- 8. 82頁の「DFLL 2MHzとDFLL32MHz」でCOMPレシブスタの式を更新
- 9. 76頁の「表9-2. 設定可能なBODLEVEL設定」を更新
- 10.81頁の表10-1.に表注を追加
- 11.82頁の表10-2.に表注を追加
- 12. 91頁の「ポート割り込み」を更新
- 13. 92頁の表10-3.を更新。「両端」を「何れか端」によって置換
- 14. 92頁の「ポート事象」を更新
- 15. 99頁の表12-10.と表12-11.を更新
- 16. 107頁の「事象活動制御動作」を更新
- 17. 108頁の図13-10.を更新。CH3MUXをCHnMUXに変更
- 18. 111頁の「DMA支援」で表13-2.を更新
- 19. 125頁の表14-3.を更新。CMDをBYTEM1,0に変更
- **20**. 139頁の「クロック領域」を更新
- **21**. 151頁の「出力エンドポイントについて」の記述を更新
- **22**. 174頁の「BAUD ボーレート レジスタ」の両式を更新
- **23**. 177頁の「ADDR アドレス レジスタ」を更新。ADDR7~1とADDR0の記述を追加
- **24**. 190頁の「分数ボーレート生成」の式を更新
- 25. 191頁の「図21-9. 分数ボーレート例」を更新
- **26**. 191頁の「**表21-5**. USARTボーレート」を追加
- **27**. 234頁の「ADC入力模式」を更新
- 28. 234頁の「同期採取」を更新
- 29. 243頁の「SCAN 入力チャネル走査レジスタ」で「ビット3~0 COUNT3~0: 走査に含まれる入力チャネル数」の記述を更新
- **30**. 246頁の「**図27-1**. **アナログ比較器概要**」の構成図を更新

33.3. 8291C - 2014年9月

- 1. 29頁の4.15.19.項と34頁の4.20.項でRCOSC48MをUSBRCOSCに置換
- **2**. 230頁の「基準電圧選択」と246頁の「AC **7†ロク** 比較器」とそれ以降でVCCをAVCCに変更
- 3. 2014年5月の雛形で下見出しと裏表紙を更新 (訳注:本書では裏表紙のみ)
- (<mark>訳注</mark>) 上記には記載されていませんが、改訂Cに於いて特に第4章と第7章でLCD、JTAG、ADCBなどに関係する記述が削除されています。これは矛盾するため、他の系統と誤解して誤って削除されたものと思われます。本書では改訂Bでの記述のままに留めます。



目次

1.	手引書について · · · · · · · 2		5.12 . 割り込み ····· 38
	1.1. 手引書の読み方 ····································		5.13. レシズタ説明 - DMA制御器 ・・・・・・・・・ 39
	1.2. 資料		5.14. レシ スタ説明 - DMAチャネル ・・・・・・・・・・ 41
	1.3. 推奨読物 ・・・・・・・・・・・・・・・・・ 2		5.15. レジスタ要約 - DMA制御器 ······· 47
2	In the same		5.16. レジスタ要約 - DMAチャネル ・・・・・・・・・・・・ 47
2.			5.17. DMA割り込みベクタ要約 ・・・・・・・・・・・ 47
3.	Atmel AVR CPU · · · · · 6	6	事象システム・・・・・・・・・・・・・・・・・・48
	3.1. 要点	6.	
	3.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・6		
	3.3. 構造概要 ・・・・・・・・・・・・・・・・・・・・・・ 6		
	3.4. 算術論理演算器 (ALU) · · · · · · · · · · · · · · · · · · ·		6.3. 事象 48
	3.5 . プログラムの流れ・・・・・・・・・・・・・・・・ 7		6.4. 事象経路網
	3.6. 命令実行タイミング・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・		6.5. 事象タイミング・・・・・ 50
	3.7. ステータス レシ スタ・・・・・・・・・・・・・・・・・・・・・・・8		6.6. 濾波 50
	3.8 . スタックとスタック ホ°インタ・・・・・・・・・・ 8		6.7. 直交復号器 ・・・・・・ 51
	3.9. レジスタファイル・・・・・・・・・・8		6.8. レジスタ説明 ・・・・・・ 52
	3.10. RAMPと間接拡張レジスタ・・・・・・・・・ 9		6.9. レシ スタ要約 ・・・・・・・・・・ 54
	3.11. 16ビットレジスタのアクセス・・・・・・・・・・・9	7.	システム クロックとクロック選択 ・・・・・・・ 55
	3.12. 構成設定変更保護		7.1. 要点 … 55
	3.13. 施錠ヒュース・・・・・・・・・・・・・・・・・10		7.2. 概要・・・・・・・・・・ 55
	3.14. レジスタ説明 ・・・・・・・・・・・ 11		7.3. クロック配給 ・・・・・・・・・・・・・・ 56
	3.15. レジスタ要約・・・・・・・・・・・・・・・・・14		7.4. クロック元 ・・・・・・ 56
1	メモリ・・・・・・・・・・・・・・・・・15		7.5. システム クロック選択と前置分周器 ・・・・・・・ 57
4.	4.1. 要点・・・・・・・・・・・・・・・・・・15		7.6. 1~31の倍率を持つPLL······ 58
	4.1. 安点 · · · · · · · · · · · · · · · · · ·		7.7. DFLL 2MHz DFLL 32MHz ····· 58
	4.2. (城安・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・		7.8. PLLと外部供給元停止監視器 ・・・・・ 59
	4.4. ヒュース と施錠(Lock)ビット ・・・・・・・・・・・・・・・16		7.9. レジスタ説明 - クロック・・・・・・・・・・・・・・・・・・・・・・60
	4.5. データ メモリ・・・・・・・・・・・・・・・・・・・・・・・・16		7.10. レジスタ説明 - 発振器 ・・・・・・・・・・・ 63
	4.6. 内部SRAM ····································		7.11. レジスタ説明 - DFLL32M/DFLL2M ・・・・・・・ 67
	4.7. EEPROM		7.12. レシ スタ要約 - クロック・・・・・・・・・・・・・・・・・・69
	4.8. I/O≯ŧIJ · · · · · · · · · · · · · · · · · · ·		7.13. レジスタ要約 - 発振器 ・・・・・・・・・・・・ 69
	4.9. データ メモリとバス調停 ・・・・・・・・・・・・・・・・・・・・・・・・17		7.14. レジスタ要約 - DFLL32M/DFLL2M ・・・・・・・ 69
	4.10. メモリ タイミング・・・・・・・・・・・・・・・・・18		7.15. 発振器停止割り込みベクタ要約 ・・・・・・・・・ 69
	4.11. デバイスIDと改訂 ······ 18	8.	電力管理と休止形態動作 ・・・・・・・ 70
	4.12. JTAG禁止··················18	0.	8.1. 要点·······70
	4.13. I/Oメモリ保護 ······ 18		8.2. 概要 70
	4.14. レジスタ説明 - 不揮発性メモリ(NVM)制御器・・・・・ 19		8.3. 休止形態動作70
	4.15. レジスタ説明 - ヒュース と施錠ビット・・・・・・・・22		8.4. 電力削減レジスタ・・・・・・・・71
	4.16. レジスタ説明 - 製品識票列 ・・・・・・・・・・・ 26		8.5. 消費電力の最小化・・・・・・・ 71
	4.17. レジスタ説明 - 汎用I/Oメモリ 30		8.6. レジスタ説明 - 休止・・・・・・・・・・72
	4.18. レジスタ説明 - MCU制御 ······ 31		8.7. レジスタ説明 - 電力削減 ・・・・・・・ 72
	4.19. レジスタ要約 - NVM制御器 ······ 33		8.8. レジスタ要約 - 休止・・・・・・・・・・ 74
	4.20. レジスタ要約 - ヒュース と施錠ビット・・・・・・・・・・33		8.9. レジスタ要約 - 電力削減・・・・・・・・・・ 74
	4.21. レジスタ要約 - 製品識票列 ・・・・・・・・・・ 34	a	リセット体系・・・・・・・・・・・・・・・・75
	4.22. レジスタ要約 - 汎用I/Oレジスタ・・・・・・・・・・35	Ο.	9.1. 要点 · · · · · · · · · · · · · · · · · ·
	4.23. レジスタ要約 - MCU制御 ······ 35		9.2. 概要 · · · · · · · · · · · · · · · · · ·
	4.24. 割り込みベクタ要約 - NVM制御器 ······ 35		9.3. リセットの流れ · · · · · · · · · · · · · · · · · · ·
_	DMAC - 直接メモリ入出力制御器 ・・・・・・ 36		9.4. リセット元 · · · · · · · · · · · · · · · · · · ·
J .	DMAC _ 直接/七/八山刀削岬岙 ······ 30		9.5. レジスタ説明 ・・・・・・・・・ 78
	5.1. 要点・・・・・・・・・・・36 5.2. 概要・・・・・・・・・・36		9.6. レジスタ要約 ・・・・・・・・ 78
	William	10	WDT - ウォッチトック タイマ · · · · · · · 79
		10.	WDT - リオッチトック ダイマ ・・・・・・・・・ 79 10.1. 要点・・・・・・・・・・・ 79
			10.2. 概要····································
			and the state of t
	5.9. 異常検出・・・・・・・・・・・・・・・・・ 38 5.10. ソフトウェア リセット・・・・・・・・・・・・・・・・ 38		A
	5.11. 保護······38		
	0.11.		10.8. レジスタ要約・・・・・・・・・・・82



11.	割り込みと設定可能な多段割り込み制御器・・83		15.3. † °	-ト無効化 ・・・・・・・・・・・・・・・・・・・・・・ 130
	11.1. 要点 · · · · · · · · · 83		15.4. 沈	黙時間挿入・・・・・・・・ 131
	11.2. 概要・・・・・・・・・・・・・・・・・83			様型生成・・・・・・・・ 131
	11.3. 動作・・・・・・・・・・・83		15.6. 障	害保護・・・・・・・・ 132
	11.4. 割り込み・・・・・・・・・・・・・・・・・83		15.7. レジ	バスタ説明 ・・・・・・・・・・・・・・・・ 133
	11.5. 割り込みレベル・・・・・・・・・・85		15.8. レジ	バスタ要約 ・・・・・・・・・・・・・・ 136
	11.6. 割り込み優先権・・・・・・・・・・・・ 85	16.	Hi·Res -	- 高分解能拡張 ••••• 137
	11.7. 割り込みベクタ位置・・・・・・・85			点····································
	11.8. レジスタ説明 ・・・・・・・・・・・・・・ 86		16.2. 概	 要······ 137
	11.9. レジスタ要約・・・・・・・・・・・・・・・・・87			デスタ説明 ・・・・・・・・ 138
12	入出力ポート ・・・・・・ 88		16.4. L	viay要約 ······ 138
	12.1. 要点	17		実時間計数器 ••••• 139
	12.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・88			点
	12.3. I/Oピンの使い方と構成設定 ····· 89			要
	12.4. ピン値の読み方・・・・・・・・・・・・・・・・91			· in
	12.5. 入力感知構成設定 ············ 91			バスタ要約 ····· 143
	12.6. ポート割り込み・・・・・・・・・・・・・・・・91			り込みベクタ要約・・・・・・・・・・143
	12.7 . 术 小事象 · · · · · · · · · · · · · · · · · · 92	18		5能直列バス インターフェース ・・・・・・ 144
	12.8 . ポート機能交換 ・・・・・・・・・・・・ 92			点
	12.9 . クロックと事象の出力 ・・・・・・・・・・・・・・ 93			要
	12.10 . 複数ピン構成設定・・・・・・・・・・・ 93			作····································
	12.11 . 仮想ポート ・・・・・・・・・・・・・・・・ 93			RAMメモリ割り当て・・・・・・149
	12.12. レシ スタ説明 - ホート・・・・・・・・・・・・・・・・・94			<u>ny)生成 ······ 149</u>
	12.13. レシブスタ説明 - ホート構成設定 ・・・・・・・・・ 98			ンポン動作 ・・・・・・ 150
	12.14. レジスタ説明 - 仮想ポート ・・・・・・・・・・ 100			数パケット転送 ····· 150
	12.15. レジスタ要約 - ポート ・・・・・・・・・・101			動0長パケット ・・・・・・・ 151
	12.16. レジスタ要約 - ポート構成設定 ・・・・・・・・ 101		18.9. 転	送単位処理完了FIFO ······ 151
	12.17. レジスタ要約 - 仮想ポート・・・・・・・・102			り込みと事象 ・・・・・・・・ 152
	12.18. 割り込みベクタ要約 - ポート ・・・・・・・・・・・・・・・・・・・ 102			BUS検出 ······ 153
13.	TC0/1 - 16ビット タイマ/カウンタ0型と1型・・・・・ 103			プ [°] 上デバッグ・・・・・・・・・・・・・・・・・・153
	13.1. 要点			バスタ説明 – USB ・・・・・・・・・・・ 154
	13.2. 概要 103			バスタ説明 – USBエント ポイント ・・・・・・ 159
	13.3. 構成図			バスタ説明 - フレーム ・・・・・・・・・ 162
	13.4. クロック元と事象元 ・・・・・・・・・・ 106			viスタ要約 - USB単位部 ······ 163
	13.5. 2重緩衝			バスタ要約 - USBエント゛ポイント ・・・・・・・ 163
	13.6. 計数器動作			バスタ要約 - フレーム・・・・・・・・・・・・・・ 163
	13.7. 捕獲チャネル ・・・・・・・・・・・ 108 13.8. 比較チャネル ・・・・・・・・・・・・ 109			SB割り込みベクタ要約 ・・・・・・・ 163
	13.8. 比較ゲペル 109 13.9. 割り込みと事象 ・・・・・・・・・・・・ 110	19.		線インターフェース ・・・・・・・・・・ 164
	13.10. DMA支援 ····································			<u> </u>
	13.11. タイマ/カウンタ指令 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・			要 · · · · · · · · · · · · · · · · · · ·
	13.12. レジスタ説明 ····································			般的なTWI/、スの概念 ····· 164
	13.13. レジスタ要約 ····································			VIバス状態論理 ・・・・・・・・・・・・・・ 167
	13.14. 割り込みベクタ要約・・・・・・・120			VI主装置動作 ······ 168 VI従装置動作 ····· 169
1/	TC2 - 16ビット タイマ/カウンタ2型 ・・・・・・・ 121			************************************
14.	14.1. 要点 ···································			市 駆動 m 179ー/エース 計り ・・・・・・・・ 170 バスタ説明 - TWI ・・・・・・・・・・ 171
	14.2. 概要 ・・・・・・・・・・・・・・・・・・121			/ Ay説明 - TWI
	14.3. 構成図 ・・・・・・・・・・・ 121			· スタ説明 - TWI土装置 ・・・・・・・・・ 171 · スタ説明 - TWI従装置 ・・・・・・・・・ 175
	14.4. クロック元 · · · · · · · · · · · · · · · · · · ·			バスタ要約 - TWI・・・・・・ 178
	14.5. 計数器動作 ・・・・・・・・・・ 122			バスタ要約 - TWI主装置 ・・・・・・・ 178
	14.6. 比較チャネル・・・・・・・・・・122			バスタ要約 - TWI従装置 ・・・・・・・ 178
	14.7. 割り込みと事象 ・・・・・・・・・・ 123			り込み~クタ要約・・・・・・・・178
	14.8. DMA支援 ·························123	20		· 列周辺インターフェース ····· 179
	14.9. タイマ/カウンタ指令 ・・・・・・・・・・・ 123	20.	20.1. 要	点・・・・・・・・・・・・・・・・・179
	14.10. レジスタ説明 ・・・・・・・・・・・ 124			要······179
	14.11 . レジスタ要約 ・・・・・・・・・・・ 128			装置動作······ 179
	14.12. 割り込みベクタ要約 ・・・・・・・・・ 128			装置動作・・・・・・180
15.	AWeX - 新波形生成拡張 •••••• 129			─夕転送種別・・・・・・ 180
	15.1. 要点 ・・・・・・・・・・・・129			MA支援······ 180
	15.2 . 概要 ·······129		20.7. V	バスタ説明 ・・・・・・・・・・・・ 181



	20.8 . レジスタ要約 ・・・・・・・・・・・ 182		26.10 . ADC入力模式 ·············· 234
	20.9 . 割り込みベクタ要約 ・・・・・・・・・ 182		26.11 . DMA転送 ····································
21.	USART 183		26.12 . 割り込みと事象 ··········· 234
	21.1. 要点		26.13 . 校正 ······ 234
	21.2 . 概要 ······ 183		26.14. 同期採取 ・・・・・・・・・ 234
	21.3. クロック生成・・・・・・・・・・・184		26.15 . レジスタ説明 - ADC ······ 235
	21.4. フレーム構成・・・・・・・・・187		26.16 . レシ、スタ説明 - ADCチャネル ・・・・・・・・ 240
	21.5. USART初期化 · · · · · · · · · · · · · · · · · · ·		26.17. レジスタ要約 - ADC ・・・・・・・・・・・・ 244
	21.6. データ送信 - USART送信部 ······ 187		26.18 . レジスタ要約 - ADCチャネル ・・・・・・ 245
	21.7. データ受信 - USART受信部 · · · · · · · · · 188		26.19. 割り込みペクタ要約・・・・・・・・・・ 245
	21.8. 非同期データ受信 ・・・・・・・・・・ 189	27	AC - アナログ比較器 ・・・・・・・・ 246
	21.9. 分数ボーレート生成・・・・・・・・・190	۷,	27.1 . 要点····································
	21.10. 主装置SPI動作でのUSART ··········· 191		27.2. 概要····································
	21.11. USART SPIとSPIの比較 · · · · · · · 192		27.3. 入力元 ···································
	21.12. 複数プロセッサ通信動作 ・・・・・・・・・ 192		27.4. 信号比較
	21.12. 複数/100/9通信動作 ························· 192 21.13. 赤外線通信(IRCOM)動作 ·················· 192		27.5 . 割り込みと事象 ····································
	21.14. DMA支援 ····································		27.5. 高り込みでと事家 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
	21.14. DMA文張 21.15. レジスタ説明 ・・・・・・・・193		
	21.16. レジスタ要約 ・・・・・・・・ 197		A
			A
	21.17 . 割り込みベクタ要約 ······ 197		
22.	IRCOM 赤外線通信単位部 · · · · · · · 198		27.10 . 割り込みベクタ要約 · · · · · · · · · 252
	22.1. 要点	28.	IEEE 1149.1 JTAG境界走査インターフェース・・・・ 253
	22.2. 概要		28.1. 要点 · · · · · · · · · · · · · · · · · ·
	22.3. レジスタ説明 ・・・・・・199		28.2. 概要
	22.4. レジスタ要約・・・・・・・・・・・200		28.3 . 検査入出力ポート (TAP) · · · · · · · · · · · 253
23.	AESとDESの暗号エンジン・・・・・・・201		28.4 . JTAG命令 · · · · · · · · 254
	23 .1. 要点 ···································		28.5 . 境界走査チェーン · · · · · · · · · · · 256
	23.2 . 概要 ························ 201		28.6. データレジスタ · · · · · · · · · 256
	23.3 . DES命令 · · · · · · · · · · · 201	29.	プ [°] ロク [°] ラミンク [°] とテ [°] ハ [°] ック [°] 用インターフェース・・・・・・ 258
	23.4 . AES暗号单位部 ······ 202		29.1 . 要点 ······· 258
	23.5 . レジスタ説明 - AES ・・・・・・・・・・ 204		29.2 . 概要 ···································
	23.6 . レジスタ要約 - AES ・・・・・・・・・・・・ 206		29.3. PDI物理層 · · · · · · · · · · 259
	23.7 . 割り込みベクタ要約 ・・・・・・・・・・ 206		29.4. JTAG物理層 · · · · · · · · · 261
24.	CRC - 巡回冗長検査 · · · · · · · · 207		29.5 . PDI制御器 ············· 262
	24.1 . 要点 · · · · · · · · · · · · · · · · · ·		29.6. レジスタ説明 - PDI命令とアトレス指定レジスタ ・・ 266
	24.2 . 概要 ···································		29.7 . レジスタ説明 - PDI制御/状態レジスタ ・・・・・・・ 266
	24.3. 動作 ···································		29.8 . レジスタ要約 · · · · · · · · · · · · 267
	24.4. 7ラッシュ メモリでのCRC ・・・・・・・・・ 208	30.	メモリ プ [°] ロク [*] ラミンク [*] ・・・・・・・・・・・ 268
	24.5. DMA データでの CRC · · · · · · · · · 208		30.1. 要点
	24.6 . I/Oインターフェースを用いるCRC ・・・・・・ 208		30.2. 概要 · · · · · · · · · 268
	24.7. レジスタ説明 ・・・・・・・・・・・・・・・209		30.3. NVM制御器 ······· 268
	24.8 . レジスタ要約 ····································		30.4. NVM指令
25	LCD - 液晶表示部 ················· 212		30.5. NVM制御器多忙状態 · · · · · · · · · 269
20.	25.1 . 要点 · · · · · · · · · · · · · · · · · ·		30.6. フラッシュ メモリとEEPROMのへ [°] ーシ 緩衝部 ・・・・・ 269
	25.2. 概要 ···································		30.7 . フラッシュ メモリとEEPROMのプログラミング手順 ・・・ 270
	25.3. 構成図 ···································		30.8. NVMの保護 ······· 271
	25.4. 動作種別 · · · · · · · · · 214		30.9. NVM化けの防止 ············· 271
	25.5. レジスタ説明 - LCD ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・		30.10. CRC機能 ····································
	25.6. レジスタ要約 - LCD ・・・・・・・・・・・・ 227		30.11. 自己プログラミングとブートローダ支援 ・・・・・・・・ 271
	25.7 . 割り込みベクタ要約・・・・・・・・・・・・・・・・・ 227		30.12. 外部プログラミング・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
0.0			30.13. レジスタ説明 ・・・・・・・・・・・・ 283
20.	ADC - A/D変換器 · · · · · · · · · 228		30.14. レジスタ要約 ・・・・・・・・・・ 283
	26.1. 要点	31	周辺機能単位部アドレス割り当て・・・・・・ 284
	26.2. 概要		
	26.3. 入力元 · · · · · · · · 229		命令一式要約・・・・・・・ 285
	26.4. 採取時間制御	33.	データシート改訂履歴 · 288
	26.5. 基準電圧選択		33.1. 8291A - 2011年10月 · · · · · · · · 288
	26.6. 変換結果		33.2 . 8291B - 2013年1月 · · · · · · · · · · 288
	26.7. 比較機能		33.3 . 8291C - 2014年9月 · · · · · · · · · 288
	26.8. 変換の開始方法 ····································		
	26.9 . ADCクロックと変換タイミング・・・・・・・・・ 232		















Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 www.atmel.com

© 2014 Atmel Corporation. / 改訂:8291C-AVR-XMEGA B -Manual-09/2014

Atmel®、Atmelローとそれらの組み合わせ、Enabling Unlimited Possilities®、とその他は米国と他国のAtmel Corporationの登録商標または商標で す。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁 反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに位置する販売の条件とAtmelの定義での 詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示 的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとし ても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直 接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正 確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた 情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用さ れるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を 加えたり死に至らしめることがかなり予期されるどんな応用("安全重視応用")に対しても設計されず、またそれらとの接続にも使用されません。安全 重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作用の装置やシステムを含みます。Atmelによって軍用等級として特に明確 に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示 される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2022.

本データシートはAtmelのATxmega B英語版手引書(改訂8291C-09/2014)の翻訳日本語版です。日本語では不自然となる重複する形 容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて一部加 筆されています。頁割の変更により、原本より頁数が少なくなっています。

一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記し ています。

青字の部分はリンクとなっています。一般的に<mark>赤字の0,1</mark>は論理0,1を表します。その他の<mark>赤字</mark>は重要な部分を表します。