

特徴

- 高性能、低消費Atmel® AVR® XMEGA® 8/16ビット マイクロコントローラ
- データメモリと不揮発性プログラムメモリ
 - 実装自己書き換え(ISP)可能な64~128Kバイト(32~64K語)フラッシュメモリ
 - 4~8Kバイト(2~4K語)ブートコード領域
 - 2KバイトのEEPROM
 - 4~8Kバイトの内部SRAM
- 内蔵周辺機能
 - 2チャンネルのDMA制御器
 - 4チャンネルの事象システム
 - 3つの16ビットタイマ/カウンタ
 - 4つの比較チャンネルまたは捕獲チャンネルを持つ、2つのタイマ/カウンタ
 - 2つの比較チャンネルまたは捕獲チャンネルを持つ、1つのタイマ/カウンタ
 - 1つのタイマ/カウンタでの高分解能拡張
 - 1つのタイマ/カウンタでの新波形拡張
 - 2つのタイマ/カウンタでの分割動作
 - 1つのUSB装置インターフェース
 - USB2.0全速(Full-Speed, 12Mbps)と低速(Low-speed, 1.5Mbps)装置適合
 - 完全な構成設定柔軟性を持つ32個のエンドポイント
 - 1つのUSARTに対するIrDA(赤外線通信)支援を持つ、2つのUSART
 - AESとDESの暗号エンジン
 - CRC-16(CRC-CCITT)とCRC-32(IEEE 802.3)生成器
 - 2重アドレス一致を持つ、1つの2線インターフェース(I²CとSMBus適合)
 - 1つの直列周辺インターフェース(SPI: Serial Peripheral Interface)周辺機能
 - 独立した発振器を持つ、16ビット実時間計数器
 - 液晶表示部
 - 最大4×40セグメントの駆動部
 - 組み込み濃淡制御
 - ASCII文字割り当て
 - セグメントと共通の電極バスの柔軟な交換
 - 8チャンネル、12ビット、300k採取/秒の2つのA/D変換器
 - 窓比較機能と電流源機能を持つ、4つのアナログ比較器
 - 全ての汎用I/Oピンでの外部割り込み
 - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグタイマ
 - QTouch® ライブラリ支援
 - 容量性接触釦、滑動部、輪
- 特殊マイクロコントローラ機能
 - 電源ONリセットと設定可能な低電圧検出(BOD)
 - PLLと前置分周器を持つ、内部及び外部のクロック任意選択
 - 設定可能な多段割り込み制御器
 - 5つの休止形態動作
 - プログラミングとデバッグ用インターフェース
 - 境界走査を含むJTAG(IEEE 1149.1適合)インターフェース
 - PDI(Program and Debug Interface)
- I/Oと外圍器
 - 設定可能な53本のI/O線
 - 100ピンTQFP、100球VFPGA
- 動作電圧
 - 1.6~3.6V
- 速度性能
 - 0~12MHz/1.6~V
 - 0~32MHz/2.7~V

1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外囲器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega64B1-AU	64KB+4KB	2KB	4KB	100A	32	1.6~3.6V	-40°C~85°C
ATxmega64B1-AUR (注4)							
ATxmega128B1-AU	128KB+8KB	2KB	8KB	7A1	32	1.6~3.6V	-40°C~85°C
ATxmega128B1-AUR (注4)							
ATxmega64B1-CU	64KB+4KB	2KB	4KB	100A	32	1.6~3.6V	-40°C~105°C
ATxmega64B1-CUR (注4)							
ATxmega128B1-CU	128KB+8KB	2KB	8KB	7A1	32	1.6~3.6V	-40°C~105°C
ATxmega128B1-CUR (注4)							
ATxmega64B1-AN	64KB+4KB	2KB	4KB	100A	32	1.6~3.6V	-40°C~105°C
ATxmega64B1-ANR (注4)							
ATxmega128B1-AN	128KB+8KB	2KB	8KB	7A1	32	1.6~3.6V	-40°C~105°C
ATxmega128B1-ANR (注4)							

注1: このデバイスはウェハー(チップ単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせください。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

注3: 外囲器情報については54頁の「外囲器情報」をご覧ください。

注4: テープとリール。

外囲器形式

100A	100リード、14×14×1.0mm厚 0.5mmピッチ 薄型プラスチック4方向平板外囲器 (TQFP)
7A1	100球(10×10配列) 7×7×1.0mm本体 0.65mm球ピッチ 極薄密ピッチ球格子配列外囲器 (VFBGA)

代表的な応用

- | | | |
|---------|--------------|----------------|
| • 工業制御 | • 環境制御 | • 低電力電池応用 |
| • 工場自動化 | • RFとZigBee® | • 電力ツール |
| • 建築制御 | • USB接続性 | • 室内環境制御(HVAC) |
| • 基板制御 | • 感知器制御 | • 実用計器 |
| • 白物家電 | • 光学 | • 医療応用 |

2. ピン配置/構成図

図2-1. 構成図とピン配置

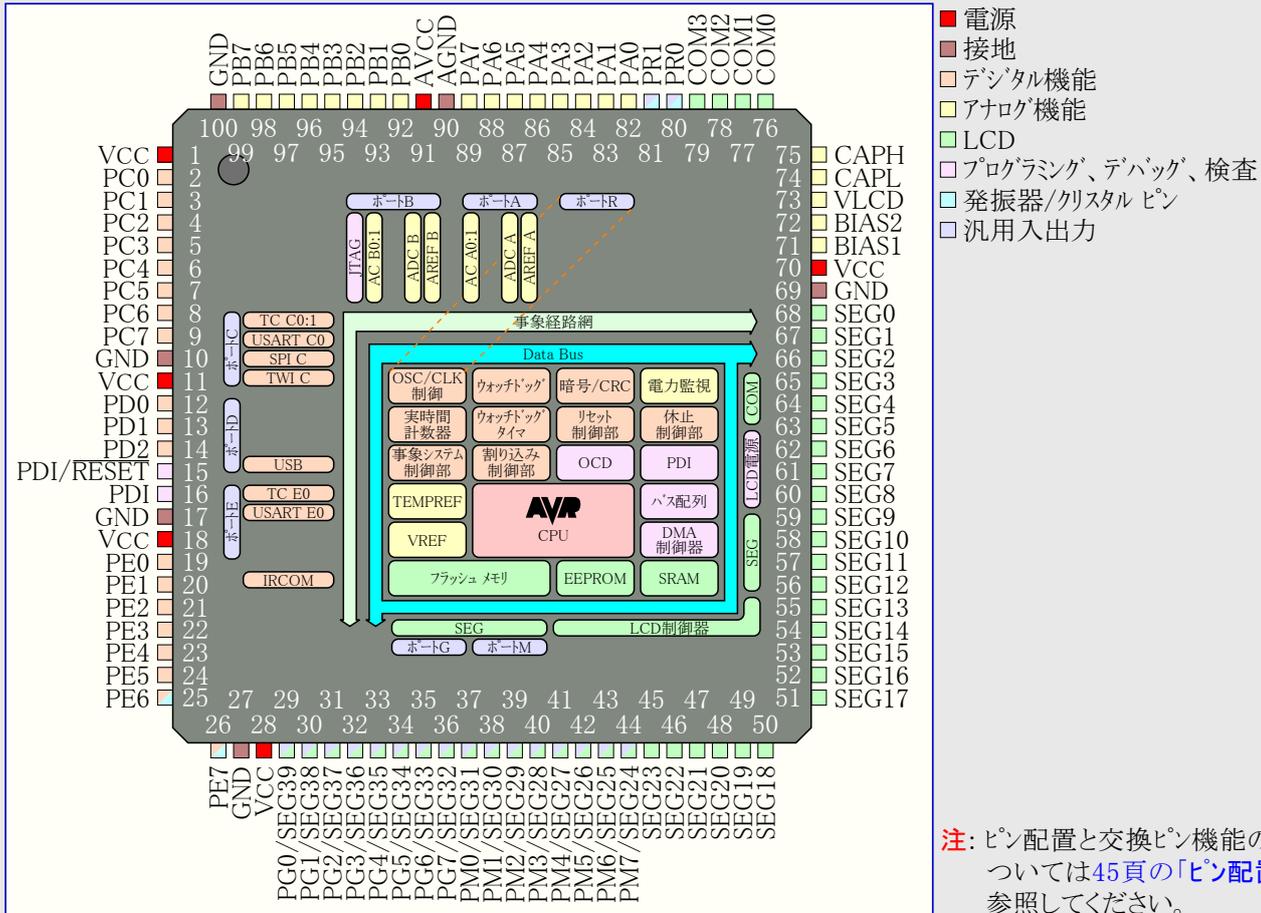


図2-2. VFBGA16ピン配置

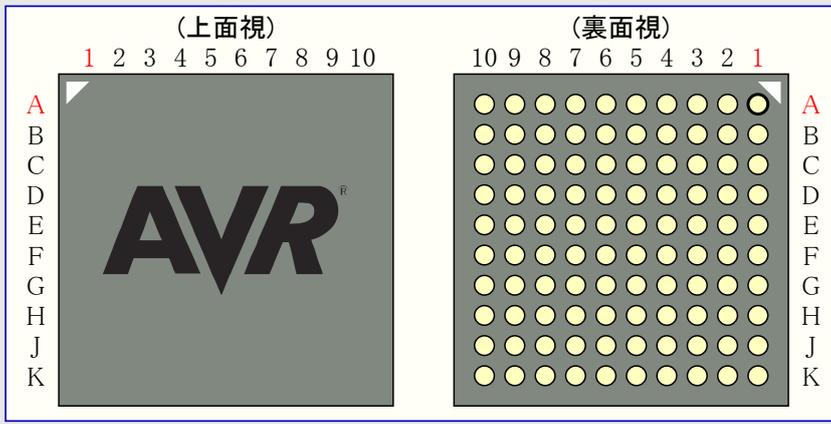


表2-1. VFBGA16ピン配列

	1	2	3	4	5	6	7	8	9	10
A	PC0	VCC	PB6	PB2	AVCC	PA5	PA1	PR1	COM2	CAPH
B	PC3	GND	PB7	PB4	AGND	PA4	PA0	PR0	COM1	CAPL
C	PC5	PC4	PC1	PB5	PA7	PA3	COM3	COM0	BIAS2	BIAS1
D	VCC	GND	PD0	PC2	PB0	PA6	SEG0	VLCD	GND	VCC
E	PD2	PDI/RESET	PD1	PC6	PB1	PA2	SEG1	SEG4	SEG3	SEG2
F	VCC	GND	PDI	PC7	PB3	PM2/SEG29	SEG10	SEG7	SEG6	SEG5
G	PE2	PE1	PE3	PE0	PE4	SEG23	SEG15	SEG13	SEG9	SEG8
H	PE5	PE6	PG1/SEG38	PG4/SEG35	PG7/SEG32	PM5/SEG26	SEG21	SEG18	SEG12	SEG11
J	PE7	PG0/SEG39	PG3/SEG36	PG6/SEG33	PM1/SEG30	PM4/SEG27	PM7/SEG24	SEG20	SEG16	SEG14
K	GND	VCC	PG2/SEG37	PG5/SEG34	PM0/SEG31	PM3/SEG28	PM6/SEG25	SEG22	SEG19	SEG17

3. 概要

Atmel® AVR® XMEGA®はAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能のCMOS 8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する命令によって、Atmel AVR XMEGAデバイスではシステム設計者に対して電力消費対処理速度の最適化を可能とする、MHz当たり100万命令に達するCPU単位時間処理能力を達成します。

Atmel AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコード効率と同時に伝統的な単一累積器やCISCに基づくマイクロ コントローラよりも何倍も速い単位時間処理能力達成に帰着します。

Atmel AVR XMEGA B1デバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュ メモリ、内部のEEPROMとSRAM、2チャネルのDMA制御器、4チャネルの事象システム、設定可能な多段割り込み制御器、53ピンの汎用入出力線、実時間計数器、最大4×40のセグメント駆動部、ASCII文字割り当てと組み込み濃淡制御を支援する液晶表示部(LCD)、比較動作とPWMを持つ3つの柔軟な16ビット タイマ/カウンタ、2つのUSART、1つの2線直列インターフェース(TWI)、1つのUSB2.0全速(Full-speed)装置インターフェース、1つの直列周辺インターフェース(SPI)、AESとDESの暗号エンジン、設定可能な利得付きの2つの8チャネル 12ビットA/D変換器、窓動作を持つ4つのアナログ比較器、独立した内部発振器を持つ設定可能なウォッチドッグ タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデバッグ用の高速2ピン インターフェースのプログラミングとデバッグ インターフェース(PDI)が利用可能です。デバイスはIEEE規格1149.1適合JTAGインターフェースも持ち、これはチップ上デバッグとプログラミングにも使うことができます。

XMEGAデバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、SRAM、DMA制御器、事象システム、割り込み制御器と全ての周辺機能に機能の継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWI、USB再開またはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。パワーセーブ動作ではLCD制御部がパネルへのデータ刷新を許されます。スタンバイ動作では外部クリスタル用発振器が走行を保つ一方で、デバイスの残りは休止します。これは低電力消費と組み合わせた外部クリスタルからの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続け、LCD制御部がパネルへのデータ刷新を許されます。更なる消費電力低減のため、各個別周辺機能への周辺機能ロックは活動動作とアイドル動作に於いて任意で停止することができます。

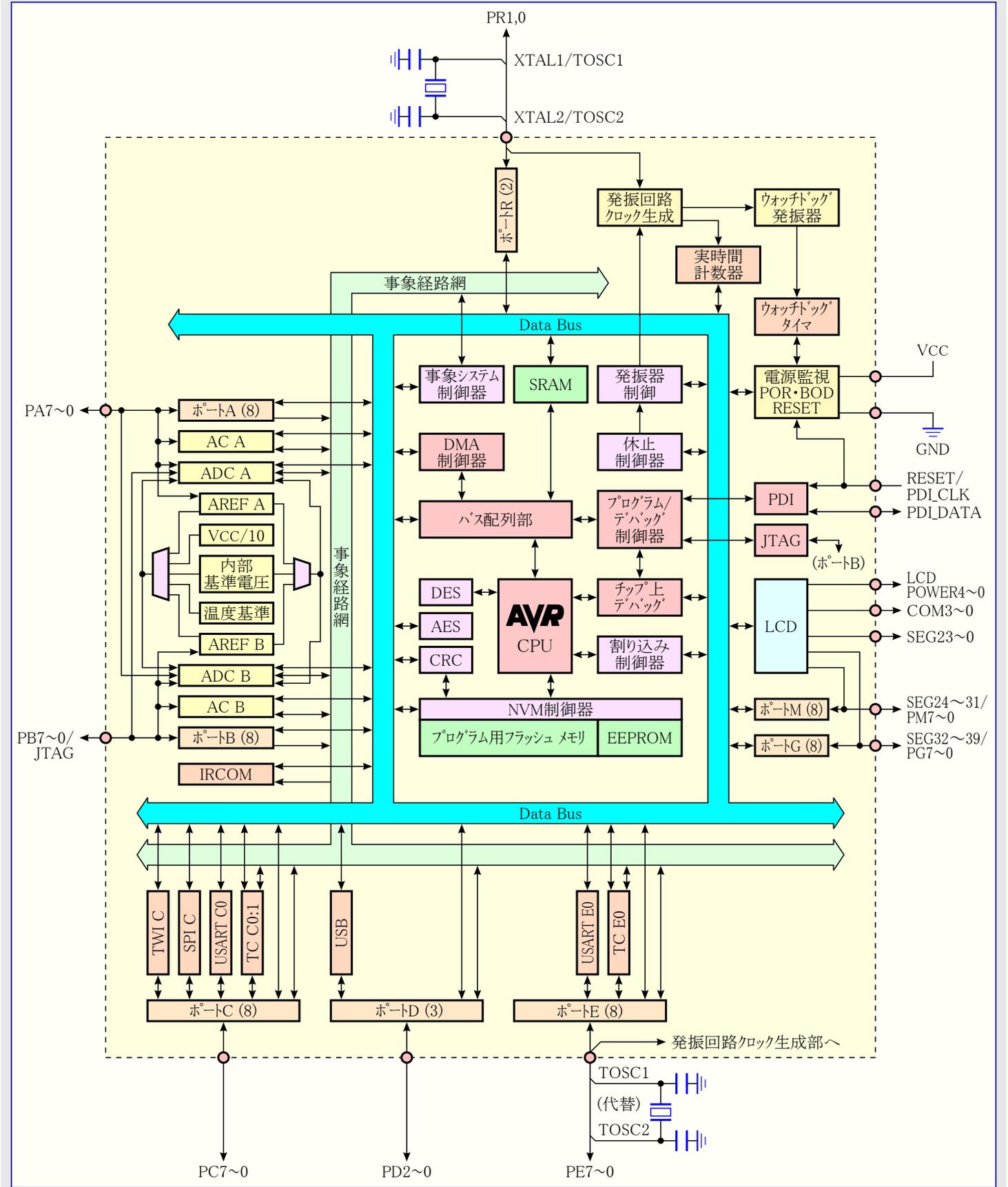
AtmelはAVRマイクロ コントローラへ容量性接触釦、滑動部、輪を組み込むためのQTouch®ライブラリを提供します。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュ メモリはPDIやJTAGインターフェースを通して実装書き換えをすることができます。デバイス内で走行するブートローダはフラッシュ メモリにアプリケーションプログラムを取得格納するのにどんなインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダ ソフトウェアはアプリケーションフラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、AtmelのXMEGA B1は多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロ コントローラ系列です。

Atmel AVR XMEGAデバイスはCコンパイラ、マクロ アセンブラ、プログラム デバッグ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。

3.1. 構成図

図3-1. XMEGA B1構成図



4. 資料

開発ツール、応用記述、データシートの包括的な1式は<http://www.atmel.com/avr>でのダウンロードに関して利用可能です。

4.1. 推奨読物

- XMEGA B 手引書
- XMEGA 応用記述

このデバイス データシートは各単位部と周辺機能の短い記述と共にデバイス固有情報だけを含みます。XMEGA B 手引書は単位部と周辺機能を広く深く記述します。XMEGA 応用記述はコード例を含み、単位部と周辺機能を適用する使い方を示します。

全ての資料は www.atmel.com/avr から利用可能です。

5. 容量性接触感知

AtmelのQTouch[®]ライブラリはAtmelの殆どのAVRマイクロ コントローラ上の接触感知インターフェース実現の解決策を使うための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制TM(AKSTM)技術を含みます。QTouchライブラリはQTouchとQMatrix[®]採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なAtmel QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャンネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャンネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のAtmelのウェブサイトからダウンロードすることができます。 www.atmel.com/qtouchlibrary 実装の詳細とその他の情報についてはAtmelのウェブサイトからも入手可能な「[QTouchライブラリ使用者の手引き](#)」を参照してください。

6. AVR CPU

6.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
 - 142命令
 - ハードウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- SRAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタックポインタ
- 16Mバイトまでのプログラムと16Mバイトのデータのメモリを直接アドレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の構成設定変更保護

6.2. 概要

全てのAtmel AVR XMEGAデバイスは8/16ビットAVR CPUを使います。CPUの主な機能はコードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムを実行することができます。割り込みの扱いは独立した章で記述され、22頁の「割り込みと設定可能な多段割り込み制御器」を参照してください。

6.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとバスを持つハーバード構造を使います。プログラムメモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラムメモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の詳細については<http://atmel.com/avr>を参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はレジスタ間または定数とレジスタ間の算術と論理の操作を支援します。単一レジスタ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レジスタファイルに直接的に接続されます。32×8ビット汎用作業レジスタの全てがレジスタ間またはレジスタと即値間での単一周期算術論理部(ALU)操作を許す単一周期アクセス時間を持ちます。32個中の6つのレジスタは効率的なアドレス計算を許す、プログラムとデータの空間をアドレス指定するための3つの16ビットアドレスポインタとして使うことができます。

メモリ空間は直線状です。データメモリ空間とプログラムメモリ空間は2つの異なるメモリ空間です。

データメモリ空間はI/Oレジスタ、SRAMに分けられます。加えてデータメモリ内にEEPROMをメモリ割り当てすることができます。

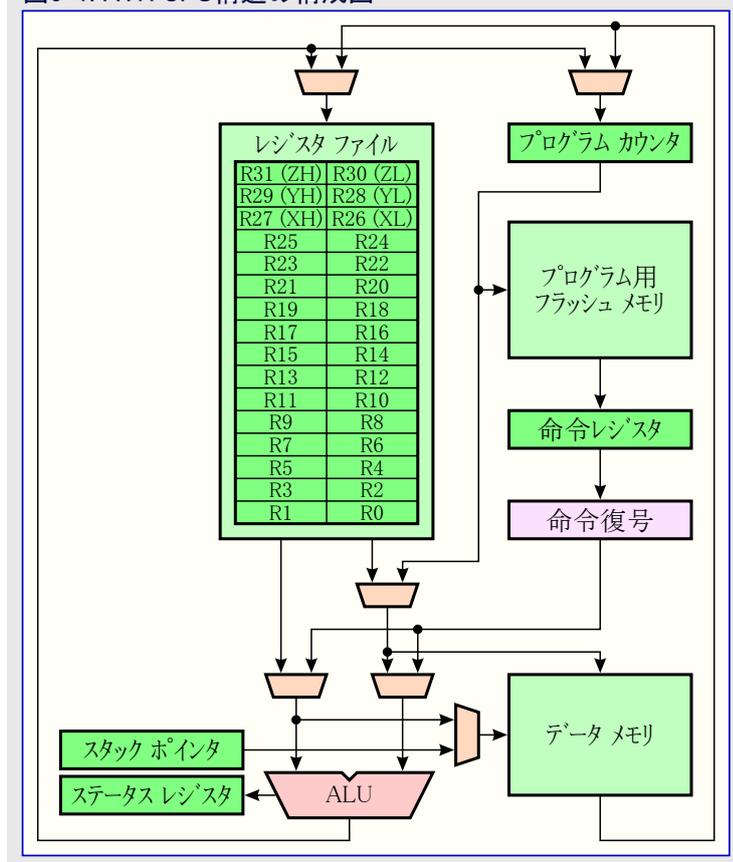
全てのI/Oの状態と制御のレジスタはデータメモリの最下位4Kバイトのアドレスに属します。これはI/Oメモリ空間として参照されます。最下位60アドレスは直接、または\$00～\$3Fのデータ空間位置としてアクセスすることができます。残りは\$0040～\$0FFFに連なる拡張I/Oメモリ空間です。このI/Oレジスタは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコード実行は支援されません。SRAMはAVR構造で支援される5つの異なるアドレス指定形態を通して容易にアクセスすることができます。

\$1000～\$1FFFのデータアドレスはメモリ割り当てEEPROM用に予約されています。

プログラムメモリは応用プログラム領域とブートプログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ビットを持ちます。応用フラッシュメモリの自己プログラミングに使われるSPM命令はブートプログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラムメモリ内の不揮発性データの格納を減らすのに使うことができます。

図6-1. AVR CPU構造の構成図



6.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はレジスタ間またはレジスタと定数間の演算と論理操作を支援します。単一レジスタ操作の実行もできます。ALUは32個の汎用レジスタ全てとの直接接続で動作します。単一クロック周期内で、汎用レジスタ間、またはレジスタと即値間の算術操作が実行されて結果がレジスタ ファイルに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにステータスレジスタが更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、**命令一式**は効率的な32ビット演算の実装を可能にします。ハードウェア乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

6.4.1. ハードウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUクロック周期かかります。

6.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アドレス '\$000000' から命令の実行を始めます。プログラム カウンタ(PC)は取得されるべき次の命令を指示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ビット語形式を用い、一方限られた若干が32ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC (値)がスタックに格納されます。スタックは一般的なデータ用SRAM内に割り当てられ、結果としてスタック容量は総SRAM容量とSRAMの使い方だけによって制限されます。リセット後のスタック ポインタ(SP)は内部SRAM内の最上位アドレスを指し示します。SPIはI/Oメモリ空間で読み書きアクセスが可能で、スタックまたはスタック領域の容易な複数実装を可能にします。データ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にアクセスすることができます。

6.6. ステータス レジスタ

ステータスレジスタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。ステータスレジスタは「**命令一式手引書**」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコードに帰着します。

ステータスレジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータスレジスタはI/Oメモリ空間でアクセスできます。

6.7. スタックとスタック ポインタ

スタックは割り込みとサブルーチン呼び出し後の復帰アドレスの格納に使われます。一時データの格納にも使えます。スタック ポインタ(SP)レジスタは常にスタックの先頭(注:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビットレジスタとして実装されます。データは**PUSH**命令と**POP**命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アドレスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならない、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アドレスがスタックへ格納されます。復帰アドレスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アドレスが2バイトで、故にスタック ポインタは+2/-2されます。128Kバイトを越えるプログラム メモリを持つデバイスについては復帰アドレスが3バイトで、故にSPは+3/-3されます。復帰アドレスは**RETI**命令を使って割り込みから、または**RET**命令を使ってサブルーチン呼び出しから戻る時にスタックから取得されます。

データが**PUSH**命令でスタックに格納される時にSPは-1され、**POP**命令を使ってスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

6.8. レジスタ ファイル

レジスタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用作業レジスタから成ります。レジスタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの16ビットの結果入力
- 1つの16ビット出力オペラントと1つの16ビットの結果入力

32個のレジスタの6つはデータ空間のアドレス指定用の3つの16ビット アドレスレジスタ ポインタとして用いることができ、効率的なアドレス計算を許します。3つのアドレス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアドレス ポインタとしても用いることができます。

7. メモリ

7.1. 要点

- フラッシュ プログラム メモリ
 - 1つの直線的なアドレス空間
 - 実装書き換え可能(In-System Reprogrammable)
 - 自己プログラミングとブートローダ支援
 - 応用コード用応用領域
 - 応用コードまたはデータ記憶用応用表領域
 - 応用コードまたはブートローダ コード用ブートローダ領域
 - 全領域に対する独立した読み/書き保護施錠ビット
 - 選択可能なフラッシュ プログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
 - 1つの直線的なアドレス空間
 - CPUからの単一周期アクセス
 - SRAM
 - EEPROM
 - バイトまたはページでのアクセスが可能
 - 直接取得/格納に対する任意のメモリ配置割り当て
 - I/Oメモリ
 - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
 - 全体変数またはフラグ用にビット アクセス可能な4つの汎用I/Oレジスタ
 - バス調停
 - CPU、DMA制御器、他のバス所有者間の優先順を扱う安全な決定法
 - SRAM、EPROM、I/Oメモリのアクセスに対する独立バス
 - CPUとDMA制御器の同時バス アクセス
- 工場書き込みデータ用製品識票列メモリ
 - 各マイクロ コントローラに対するID
 - 各デバイスに対する通番
 - 工場校正された周辺機能用の校正バイト
- 使用者識票列
 - 1つのフラッシュ ページ容量
 - ソフトウェアから読み書き可能
 - チップ消去後も内容保持

7.2. 概要

Atmel AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コードはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリバンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズ バイトを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は2ページの「[注文情報](#)」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関する[フラッシュメモリ識票列](#)を持っています。

7.3. フラッシュ プログラム メモリ

Atmel AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各アドレス位置は16ビットです。フラッシュ メモリは応用領域とブートローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持っています。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令はブートローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラムメモリ内の不揮発性データの安全な記憶を許します。

応用表領域とブート領域は一般的な応用ソフトウェアにも使うことができます。

図7-1. フラッシュプログラムメモリ (16進アドレス)

語アドレス		
ATxmega128B1	ATxmega64B1	
0000	0000	応用領域 (128/64Kバイト)
0EFFF	77FF	
0F000	7800	応用表領域 (8/4Kバイト)
0FFFF	7FFF	
10000	8000	ブート領域 (8/4Kバイト)
10FFF	87FF	

7.3.1. 応用領域 (Application Section)

応用領域は実行可能なアプリケーションコードを格納するために使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートローダコードも格納できません。

7.3.2. 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートローダ領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここにアプリケーションコードが存在できます。

7.3.3. ブートローダ領域 (Boot Loader Section)

応用領域がアプリケーションコードの格納に使われる一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダソフトウェアはブートローダ領域に配置されなければなりません。SPM命令はブートローダ領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ領域に対する保護段階はブートローダ施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダソフトウェア用に使われないなら、ここにアプリケーションコードを格納することができます。

7.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。いくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得されて対応する周辺機能レジスタに書かれなければなりません。校正条件の詳細については55頁の「電気的特性」を参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。利用可能なデバイスに対するデバイスIDは表7-1.で示されます。

製品識票列は消去や書き込みができませんが、アプリケーションソフトウェアと外部書き込み器から読むことができます。

表7-1. XMEGA B1デバイス用デバイスIDバイト

デバイス	内容		
	第1バイト	第2バイト	第3バイト
ATxmega64B1	1E	96	52
ATxmega128B1	1E	97	4D

7.3.5. 使用者識票列 (User Signature Row)

使用者識票列はアプリケーションソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュページ容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的なユーザーパラメータ記憶を予定されています。この領域はフラッシュメモリを消去するチップ消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ上デバッグ作業中のパラメータ記憶を保証します。

7.4. ヒューズと施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するために使われ、外部プログラミングインターフェースから書くことができます。アプリケーションソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や、始動構成設定、JTAG許可とJTAGユーザーIDに使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器とアプリケーションソフトウェアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えばチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒューズと施錠のビットは値1を持ち、一方プログラムにされたヒューズと施錠のビットは値0を持ちます。

ヒューズと施錠ビットの両方はプログラム用フラッシュメモリのように書き換え可能です。

7.5. データメモリ

データメモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMを含みます。データメモリは1つの続いたメモリ領域として構成されます。図7-2をご覧ください。開発を簡単化するため、全てのXMEGAデバイスに於いてI/Oメモリ、EEPROM、SRAMは常に同じ開始アドレスを持ちます。

図7-2. データメモリ割り当て (16進アドレス)

バイトアドレス		
ATxmega128B1	ATxmega64B1	
0000	0000	I/Oメモリ (4/4Kバイト)
0FFF	0FFF	
1000	1000	EEPROM (2/2Kバイト)
17FF	17FF	(予約)
2000	2000	内部SRAM (8/4Kバイト)
3FFF	2FFF	

7.6. EEPROM

Atmel AVR XMEGA B1デバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でのアドレス指定、または通常のデータ空間にメモリ配置割り当てしてアクセスする、のどちらかにできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。

7.7. I/Oメモリ

CPUを含む単位部と周辺機能に関する状態と構成設定のレジスタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得(LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレジスタファイル内の32個のレジスタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

XMEGA B1での全ての周辺機能と単位部に対するI/Oメモリアドレスは50頁の「周辺機能単位部アドレス割り当て」で示されます。

7.7.1. 汎用I/Oレジスタ

最下位4個のI/Oメモリアドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI,SBIS,SBIC命令を使って直接ビットアクセスが可能のため、全体変数とフラグの格納に使うことができます。

7.8. データメモリとバス調停

データメモリが4つの独立したメモリの組として構成されるため、異なるバス主権部(CPU、DMA制御器読み、DMA制御器書き、など)が同時に異なるメモリをアクセスし得ます。

7.9. メモリタイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。(DMA)集中読み込みについては新しいデータが毎周期で利用可能です。EEPROMページ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。命令と命令タイミングのより多くの詳細については命令要約を参照してください。

7.10. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

7.11. JTAG禁止

応用ソフトウェアからJTAGインターフェースを禁止することができます。これは次のデバイスリセットまたはJTAGが応用ソフトウェアから再び許可されるまで、デバイスへの全ての外部JTAGアクセスを防ぎます。JTAGが禁止されている限り、JTAGで必要とされるI/Oピンは標準I/Oピンとして使えます。

7.12. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。

7.13. フラッシュメモリとEEPROMのページ容量

プログラム用フラッシュメモリとデータ用EEPROMはページで構成されています。ページはフラッシュメモリに対して語アクセス可能で、EEPROMに対してバイトアクセス可能です。

表7-2はプログラム用フラッシュメモリ構成を示します。フラッシュの消去と書きこみの操作は1ページ毎に実行され、一方フラッシュ読み込みは1バイト毎に行われます。フラッシュアクセスに関してはアドレス指定にZポインタ(Zn~0)が使われます。アドレスの上位側(FPAGE)がページ番号を与え、下位側アドレスビット(FWORD)がページ内の語(位置)を与えます。

表7-2. フラッシュメモリ内のページ数と語数

デバイス	フラッシュ容量 (バイト)	ページ容量 (語)	FPAGE	FWORD	応用領域		ブート領域		PC大きさ (ビット)
					容量	ページ数	容量	ページ数	
ATxmega64B1	64K+4K	128	Z16~8	Z7~1	64KB	256	4KB	16	16
ATxmega128B1	128K+8K	128	Z17~8	Z7~1	128KB	512	8KB	16	17

表7-3はXMEGA B1デバイスに対するEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレスレジスタ(ADDRn~0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレスビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数

デバイス	EEPROM容量 (バイト)	ページ容量 (バイト)	E2PAGE	E2BYTE	ページ数
ATxmega64B1	2K	32	ADDR10~5	ADDR4~0	64
ATxmega128B1	2K	32	ADDR10~5	ADDR4~0	64

(訳補) フラッシュメモリは応用領域とブート領域が\$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュメモリをページ単位で扱い、ページ内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はバイト単位で扱うのでLSB(Z0)も使われます。表7-2のFPAGE及びFWORDのZポインタはSPM命令に対するものです。

8. DMAC – 直接メモリ入出力制御器 (Direct Memory Access Controller)

8.1. 要点

- 最小CPU介在での高速転送を許容
 - データメモリからデータメモリへ
 - データメモリから周辺機能へ
 - 周辺機能からデータメモリへ
 - 周辺機能から周辺機能へ
- 独立した2つのDMAチャネル
 - 転送起動元
 - 割り込みベクタ
 - アドレス指示種別
- 設定可能なチャネル優先順
- 単一転送処理で1バイトから16Mバイトまでのデータ
- 複数のアドレス指示種別
 - 静止
 - 増加
 - 減少
- 各終了での転送元と転送先の再設定任意選択
 - 集中
 - 塊
 - 単位処理
- 転送終了での割り込み任意選択
- DMAデータ上のCRCに対するCRC発生器への接続任意選択

8.2. 概要

2チャネル直接メモリ入出力(DMA)制御器はメモリと周辺機能間でデータを転送することができ、従ってCPUからそれらの作業の負担を取り除きます。それは最小CPU介在での高いデータ転送速度を許し、CPU時間を自由にします。2つのDMAチャネルは2つまでの独立した平行転送を許します。

DMA制御器はSRAMと周辺機能間、SRAM位置間、周辺機能レジスタ間のデータを直接移動することができます。全ての周辺機能へのアクセスとで、DMA制御器は通信単位部との自動的なデータ転送を扱うことができます。DMA制御器はメモリ配置割り当てEEPROMから読むこともできます。

データ転送は1,2,4,8バイトの継続集中で行われます。それらは1バイトから64Kバイトまでの構成設定可能な量の塊転送を構築します。繰り返し計数器は単一転送処理に対して最大16Mバイトまで各塊転送を繰り返すのに使うことができます。転送元と転送先のアドレス指示は静止、増加、減少にすることができます。転送元と/または転送先のアドレスの自動再設定は、各集中転送または塊転送後、転送完了時に行うことができます。応用ソフトウェア、周辺機能と事象がDMA転送を起動することができます。

2つのDMAチャネルは個別の構成設定と制御設定を持ちます。これには転送元、転送先、転送起動元、転送単位処理量を含みます。それらは個別の割り込み設定を持ちます。割り込み要求は転送単位処理完了時、またはDMA制御器がDMAチャネルで異常を検出した時に生成することができます。

継続的な転送を許すため、1つ目が終了された時に2つ目が転送を引き継ぐ、それとその逆のように2つのチャネルを内部接続することができます。

9. 事象システム

9.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
 - CPUとDMAの個別動作
 - 100%予測可能な信号タイミング
 - 短く保証された応答時間
- CPUとDMAの個別動作
- 4つまでの異なる平行信号経路と構成設定の4つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
 - 直交復号
 - 入出力ピン変化のデジタル濾波
- 活動動作とアイドル動作で作動

9.2. 概要

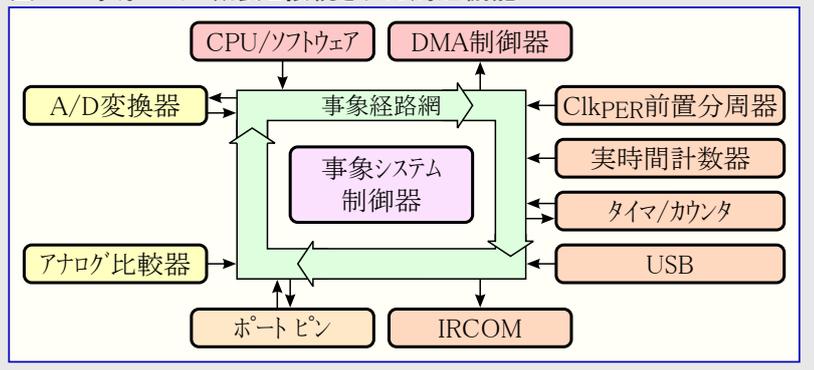
事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込み、CPU、またはDMA制御器の資源なしで自律の周辺機能制御と相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能単位部での同期した活動タイミングを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図9-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポートピン、実時間計数器、タイマ/カウンタ、IR通信単位部(IRCOM)、USBインターフェースを共に直接的に接続することができます。これは単位転送処理起動(DMA制御器)に使うこともできます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な4つの多重器から成ります。これらは事象チャネルと呼ばれ、4つまでの並列事象構成設定と配線を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。

図9-1. 事象システム概要と接続された周辺機能



10. システム クロックとクロック選択

10.1. 要点

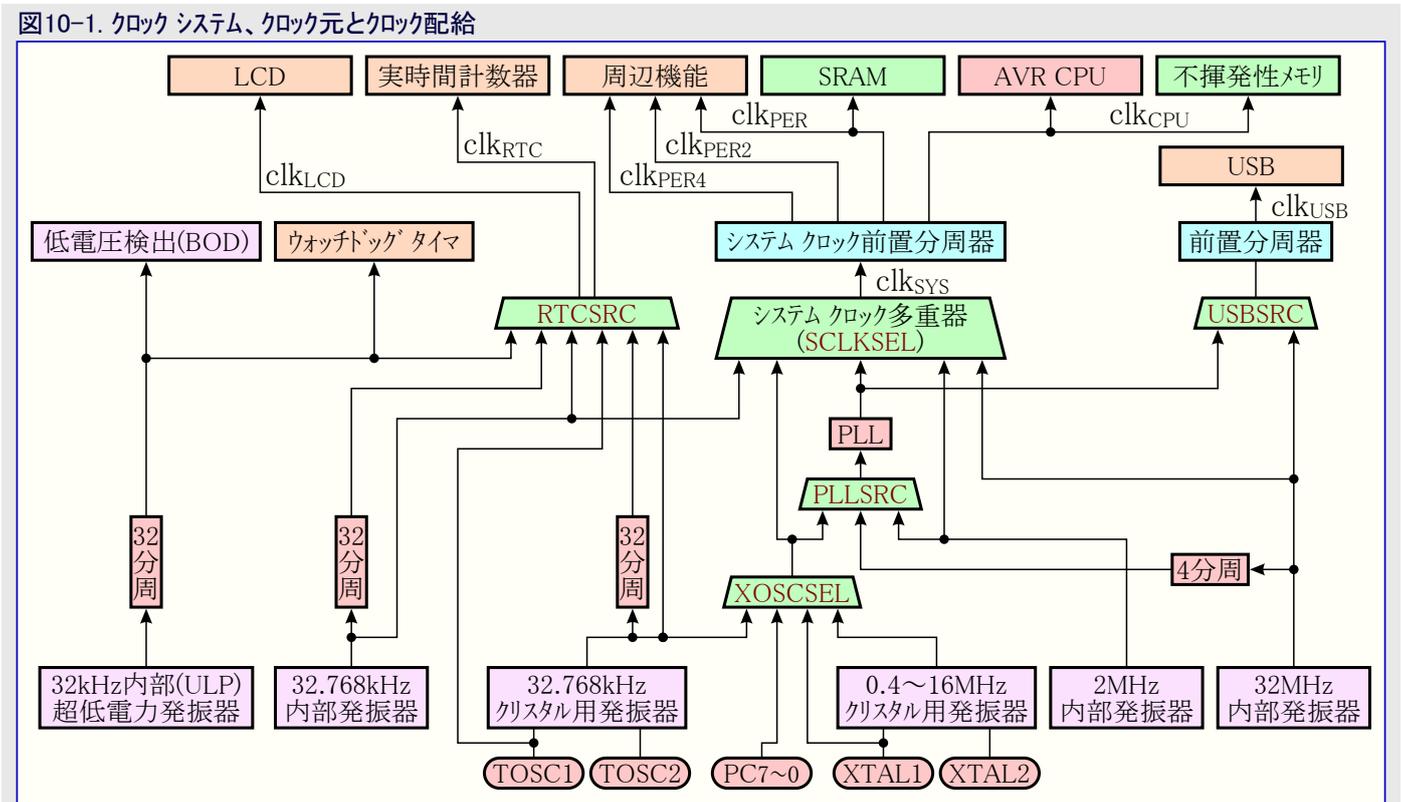
- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
 - 32MHz走行時校正付き発振器
 - 2MHz走行時校正付き発振器
 - 32.768kHz校正付き発振器
 - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
 - 0.4~16MHzクリスタル用発振器
 - 32.768kHzクリスタル用発振器
 - 外部クロック信号
- 20~128MHz出力周波数を持つPLL
 - 内部及び外部クロック任意選択と1~31通倍
 - 固定化検出器
- 1~2048分周のクロック前置分周器
- CPUクロック周波数の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

10.2. 概要

Atmel AVR XMEGAデバイスは多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振器とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステムクロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図10-1はXMEGA B1系デバイスの原則的なクロックシステムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは18頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。



10.3. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

10.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1kHz出力を提供する組み込み前置分周器を使います。この発振器はデバイスのどれかの部分に対してクロック元として使われる時に自動的に許可/禁止が行われます。この発振器は**実時間計数器(RTC)**と**液晶表示部(LCD)**に対するクロック元として選択することができます。

10.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。この発振器はシステムクロック、RTC、LCD、DFLL基準クロックに対するクロック元として使うことができます。

10.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステムクロック、RTC、LCD、DFLL基準クロックに対するクロック元として使うことができます。

10.3.4. 0.4~16MHzクリスタル用発振器

この発振器は0.4~16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

10.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器はリセット後の既定システムクロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。温度と電圧の変動に対する補償と発振器精度最適化のため、走行時自動校正にデジタル周波数固定化閉路(DFLL:Digital Frequency Locked Loop)を許可することができます。

10.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器精度の最適化のための温度と電圧の変動に対する補償のため、走行時自動校正にDFLLを許可することができます。この発振器は30~55MHz間のどの周波数にも調整、校正することができます。製品識票列は発振器が全速(Full-speed)USBクロック元に使われる時に使用を意図される48MHz校正値を含みます。

10.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1またはポートCの各ピンは外部クロック信号に対する入力としても使えます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

10.3.8. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システムクロックを生成するのに使うことができます。PLLは使用者選択可能な1~31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。

11. 電力管理と休止形態動作

11.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
 - アイドル
 - パワーダウン
 - パワーセーブ
 - スタンバイ
 - 拡張スタンバイ
- 活性とアイドルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レジスタ

11.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位の停止をAtmel AVR XMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コードを実行します。デバイスが休止形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コードは何時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラを休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

11.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

レジスタファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセットベクタから始動して実行します。

11.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、**割り込み制御器**、**事象システム**と**DMA制御器**を含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

11.3.2. パワーダウン動作

パワーダウン動作では**実時間計数器**クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは**2線インターフェース**アドレス一致割り込み、**非同期ポート割り込み**、USB再開割り込みだけです。

11.3.3. パワーセーブ動作

パワーセーブ動作は2つの例外(以下)を除いて**パワーダウン動作**と同じです。

1. 実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することができます。
2. 液晶表示制御器(LCD)が許可されているなら、それは休止中も動作を維持され、デバイスはLCDフレーム完了割り込みから起動することができます。

11.3.4. スタンバイ動作

スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPU、周辺機能、RTCとLCDのクロックが停止される例外を除いて**パワーダウン動作**と同じです。これは起動時間を減らします。

11.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いて**パワーセーブ動作**と同じです。これは起動時間を減らします。

12. システム制御とリセット

12.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
 - 電源ONリセット
 - 外部リセット
 - ウォッチドッグ リセット
 - 低電圧(Brown-out)リセット
 - PDIリセット
 - ソフトウェア リセット
- 非同期動作
 - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コードからリセット元を読み取るためのリセット状態レジスタ

12.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがその電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レジスタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

12.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通過して行きます。

- リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

12.4. リセット元

12.4.1. 電源ONリセット

電源ONリセット(POR)はチップ上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(V_{POT})に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してV_{POT}レベル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

V_{POT}レベルはVCC上昇の方がVCC下降よりも高くなります。

12.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレベルの固定値と比較することにより、動作中のVCCレベルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レベルを強制されます。

12.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間 t_{EXT} より長くRESETピン閾値電圧V_{RST}未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセットピンは内部プルアップ抵抗を内包します。

12.4.4. ウォッチドッグ リセット

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチドッグ リセットが起されます。ウォッチドッグ リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。より多くの詳細については21頁の「WDT - ウォッチドッグ タイマ」をご覧ください。

12.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レジスタのソフトウェア リセット(SWRST)ビットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。リセットはそのビット書き込み後、2 CPUクロック周期内で発行されます。ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

12.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェース リセットは外部のプログラミングとデバッグの間中のデバイス リセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。

13. WDT – ウォッチドッグ タイマ

13.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
 - 標準動作
 - 窓動作
- 望まれない変更を防ぐための構成設定施錠

13.2. 概要

ウォッチドッグ タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コードのような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に構成設定され、許可された時に定期的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロ コントローラ リセットを発行します。WDTは応用コードからのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコード異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例え主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒューズも利用可能です。

14. 割り込みと設定可能な多段割り込み制御器

14.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みベクタ
- 設定可能な多段割り込み制御器
 - 段位と割り込みベクタ アドレスに従った割り込み優先順化
 - 全ての割り込みに対して選択可能な3つの割り込み段位：下位、中位、上位
 - 低位割り込み内での選択可能なラウンド ロビン優先権の仕組み
 - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブート ロード領域に任意選択で配置される割り込みベクタ

14.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラム カウンタが割り込みベクタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのベクタ アドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベクタ アドレスから決められ、それは最下位割り込みベクタ アドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンド ロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使うことができます。

14.3. 割り込みベクタ

割り込みベクタは周辺機能の基準割り込みアドレスと各周辺機能内の特定割り込みに対する変位アドレスの合計です。Atmel AVR XMEGA B1デバイスに関する基準アドレスは表14-1.で示されます。周辺機能で利用可能な各割り込みに対する変位アドレスはXMEGA B手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または単位部については表14-1.で割り込みベクタが示されます。プログラム アドレスは語アドレスです。

表14-1. リセットと割り込みのベクタ

プログラム アドレス (基準アドレス)	供給元	割り込み内容
\$000000	RESET	
\$000002	OSCF_INT_vect	PLLとクリスタル用発振器停止割り込みベクタ (NMI)
\$000004	PORTC_INT_base	ポートC割り込み基準
\$000008	PORTR_INT_base	ポートR割り込み基準
\$00000C	DMA_INT_base	DMA制御器割り込み基準
\$000014	RTC_INT_base	実時間計数器割り込み基準
\$000018	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
\$00001C	TCC0_INT_base	ポートC上のタイマ/カウンタ0割り込み基準
\$000028	TCC1_INT_base	ポートC上のタイマ/カウンタ1割り込み基準
\$000030	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込みベクタ
\$000032	USARTC0_INT_base	ポートC上のUSART0割り込み基準
\$00003E	USB_INT_base	ポートD上のUSB割り込み基準
\$000046	LCD_INT_vect	LCD割り込み基準
\$000048	AES_INT_vect	AES割り込みベクタ
\$00004A	NVM_INT_base	不揮発性メモリ割り込み基準
\$00004E	PORTB_INT_base	ポートB割り込み基準
\$000052	ACB_INT_base	ポートB上のアナログ比較器割り込み基準
\$000058	ADCB_INT_base	ポートB上のA/D変換器割り込み基準
\$000060	PORTD_INT_base	ポートD割り込み基準
\$000064	PORTG_INT_base	ポートG割り込み基準
\$000068	PORTM_INT_base	ポートM割り込み基準
\$00006C	PORTE_INT_base	ポートE割り込み基準
\$000074	TCE0_INT_base	ポートE上のタイマ/カウンタ0割り込み基準
\$00008A	USARTE0_INT_base	ポートE上のUSART0割り込み基準
\$000096	PORTA_INT_base	ポートA割り込み基準
\$00009A	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
\$0000A0	ADCA_INT_base	ポートA上のA/D変換器割り込み基準

15. 入出力ポート

15.1. 要点

- 個別構成設定を持つ54本の汎用入出力ピン
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
 - コンプリメンタリ
 - ワイヤードAND
 - ワイヤードOR
 - バス保持
 - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
 - 両端感知
 - 上昇端感知
 - 下降端感知
 - Lowレベル感知
- 入力とワイヤードOR/AND構成設定での任意選択のプルアップとプルダウンの抵抗
- 任意選択のスレーブ制御
- 全休止形態からデバイスを起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポートピンへの効率的で安全なアクセス
 - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハードウェア読み-変更-書き
 - 単一操作で複数ピンの構成設定
 - ビットアクセス可能なI/Oメモリ空間へポートレジスタの割り当て
- ポートピンでの周辺機能クロック出力
- ポートピンでの実時間計数器クロック出力
- 事象チャンネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
 - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

15.2. 概要

1つのポートはピン0~7で最大8つのポートピンから成ります。各ポートピンは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で構成設定可能ですが、単一操作で多数のピンを構成設定することができます。ピンは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのハードウェア読み-変更-書き(RMW)機能を持ちます。1つのポートピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

ポートピン構成設定は他のデバイス機能の入出力選択も制御します。それはポートピンへの周辺機能クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

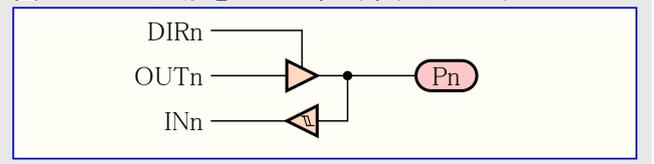
ポートの表記は、PORTA、PORTB、PORTC、PORTD、PORTE、PORTG、PORTM、PORTRです。

15.3. 出力駆動部

全てのポートピン(Pn)は設定可能な出力構成設定を持ちます。電磁放射を減らすため、ポートピンは構成設定可能なスレーブ制限も持ちます。

15.3.1. コンプリメンタリ (フッシュブル)

図15-1. I/Oピン形態 - コンプリメンタリ (フッシュブル)



15.3.2. プルダウン

15.3.3. プルアップ

15.3.4. ハス保持

ハス保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならプルアップとして、最後の値が0だったなら、プルダウンとして働きます。

15.3.5. その他

図15-2. I/Oピン形態 - 入力プルダウン付きコンプリメンタリ

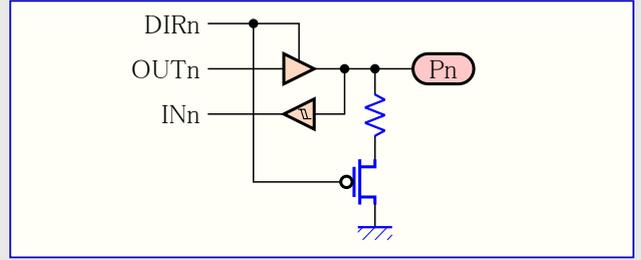


図15-3. I/Oピン形態 - 入力プルアップ付きコンプリメンタリ

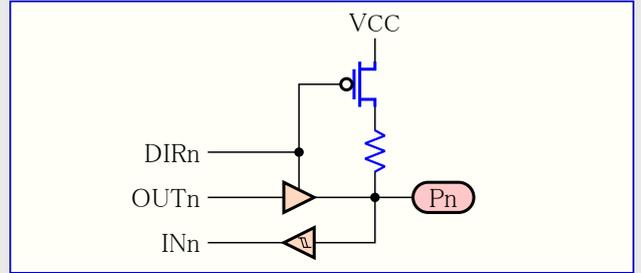


図15-4. I/Oピン形態 - ハス保持付きコンプリメンタリ

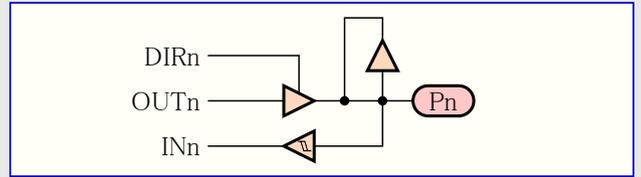


図15-5. 出力形態 - 任意選択プルダウン付きワイヤードOR

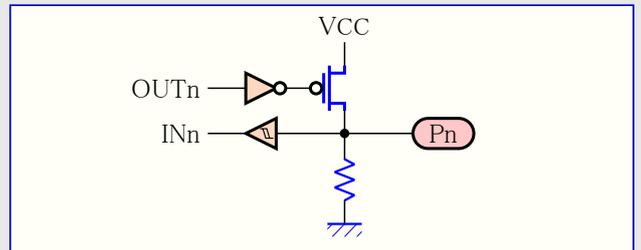
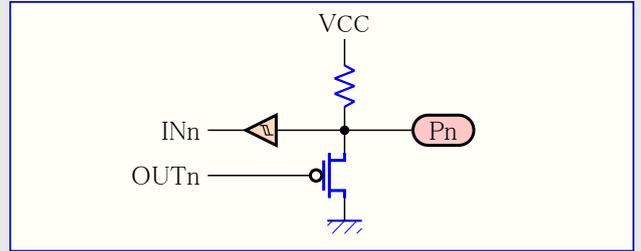


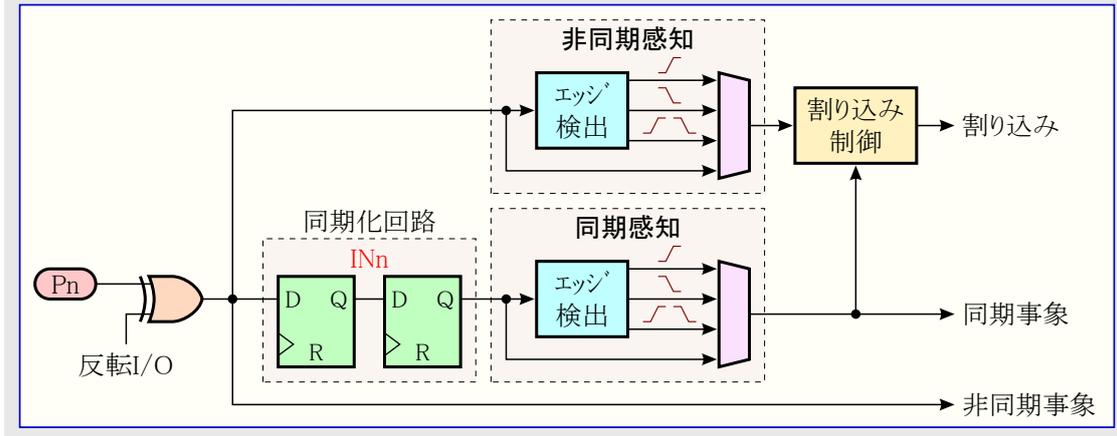
図15-6. 出力形態 - 任意選択プルアップ付きワイヤードAND



15.4. 入力感知

入力感知はポートに対して許可されたクロックに依存して同期または非同期で、この形態は図15-7.で示されます。

図15-7. 入力感知システム概要



ピンが反転I/Oで構成設定されると、ピン値は入力感知前に反転されます。

15.5. 交換ポート機能

殆どのポートピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポートピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに構成設定される時に起きます。周辺機能がどう無効にして、ピンをどう使うかはその周辺機能に関する章で記述されます。45頁の「[ピン配置とピン機能](#)」は周辺機能でどの単位部がピンでの交換機能を許可するのかと、どの交換機能がピンで利用可能かを示します。

16. TC0/1 – 16ビット タイマ/カウンタ0型と1型

16.1. 要点

- 3つの16ビット タイマ/カウンタ
 - 2つの0型タイマ/カウンタ
 - 1つの1型タイマ/カウンタ
- 2つのタイマ/カウンタの縦列接続によって支援される32ビット タイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
 - 0型のタイマ/カウンタに対して4つのCCチャネル
 - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
 - 周波数生成
 - 単一傾斜パルス幅変調
 - 2傾斜パルス幅変調
- 捕獲:
 - 雑音消去付き捕獲入力
 - 周波数捕獲
 - パルス幅捕獲
 - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
 - 直交復号
 - 計数と方向の制御
 - 捕獲
- DMAと共にDMA転送単位処理起動に使用可能
- Hi-Res – 高分解能拡張
 - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX – 新波形拡張
 - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
 - 駆動部の安全な禁止のための事象制御された障害保護

16.2. 概要

Atmel AVR XMEGA B1デバイスには3つの柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。事象システムは方向制御と捕獲起動、または動作の同期にも使うことができます。

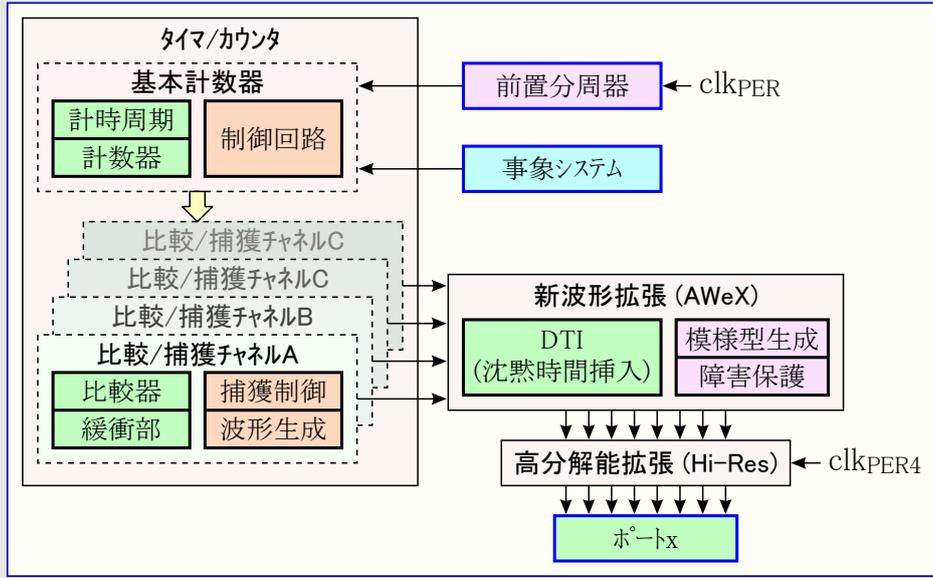
タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つ8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポートピンの向こう側への同期したビット様式を生成することもできます。

新波形拡張はタイマ/カウンタに対して追加のもっと進化した機能の提供を許します。これはタイマ/カウンタ0でだけ利用可能です。より多くの詳細については30頁の「[AWeX – 新波形拡張](#)」をご覧ください。

高分解能(Hi-Res)拡張は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。より多くの詳細については31頁の「[Hi-Res – 高分解能拡張](#)」をご覧ください。

図16-1. タイマ/カウンタと密接に関連する周辺機能の概要



ポートCは1つのタイマ/カウンタ0と1つのタイマ/カウンタ1を持ちます。ポートEは1つのタイマ/カウンタ0を持ちます。これらの表記は各々、TCC0(タイマ/カウンタC0)、TCC1、TCE0です。

17. TC2 – 16ビット タイマ/カウンタ2型

17.1. 要点

- 2つの8ビット タイマ/カウンタのシステム
 - 下位バイト タイマ/カウンタ
 - 上位バイト タイマ/カウンタ
- 8つの比較チャンネル
 - 下位バイト タイマ/カウンタ用の4つの比較チャンネル
 - 上位バイト タイマ/カウンタ用の4つの比較チャンネル
- 波形生成
 - 単一傾斜パルス幅変調
- 計時器漏れ(アンダーフロー)割り込み/事象
- 下位バイト タイマ/カウンタ用の比較チャンネル当たり1つの比較一致割り込み/事象
- 計数制御に対して事象システムとで使用可
- DMA転送単位処理起動に使用可
- 4倍または8倍で周波数と波形分解能を増す高分解能拡張

17.2. 概要

タイマ/カウンタ2は**タイマ/カウンタ0**が分割動作に設定される時に実現されます。これは各々4つの比較チャンネルを持つ2つの8ビット タイマ/カウンタのシステムです。これは個別に制御されるデューティ サイクルを持つ8つの構成設定可能なパルス幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMチャンネルが必要な応用に意図されています。

2つの8ビット タイマ/カウンタはこのシステムに於いて各々、下位バイトタイマ/カウンタと上位バイトタイマ/カウンタとして参照されます。それらの違いは下位バイト タイマ/カウンタだけが比較一致割り込み、事象、DMA起動を生成するのに使えることです。

2つの8ビット タイマ/カウンタは共用されるクロック元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。計数器は常に下降計数です。

タイマ/カウンタ2はそれを標準動作に設定することによってタイマ/カウンタ0に設定し戻され、従って1つのタイマ/カウンタは0型または2型のどちらかとしてだけ存在することができます。

ポートCとポートEは各々1つのタイマ/カウンタ2を持ちます。これらの表記は各々、TCC2(タイマ/カウンタC2)とTCE2です。

18. AWeX – 新波形生成拡張

18.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
 - 8ビット分解能
 - 独立したHigh側とLow側の沈黙時間設定
 - 2重緩衝された沈黙時間
 - 任意選択の沈黙時間中の停止計時器
- ポートピンに渡って同期したビット様式を生成する模様型生成部
 - 2重緩衝された模様型生成
 - 任意選択のポートピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

18.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポートピンに渡る同期されたビット模様を生成することもできます。

タイマ/カウンタ0からの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通過して行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

AWeXはTCC0に対して利用可能です。この表記はAWEXCです。

19. Hi-Res – 高分解能拡張

19.1. 要点

- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使われる時にAWeXを支援

19.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じタイマ/カウンタに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能クロック(clk_{PER4})を使います。システムクロック前置分周器はHi-Res拡張が許可される時に4倍周辺機能クロックがCPUと周辺機能のクロック周波数よりも4倍高くなるように構成設定されなければなりません。

Atmel AVR XMEGA B1デバイスではポートC上のタイマ/カウンタに対して許可することができる1つの高分解能拡張を持ちます。この表記はHIRESです。

20. RTC – 16ビット実時間計数器

20.1. 要点

- 16ビット分解能
- 選択可能なクロック元
 - 32.768kHz外部クリスタル
 - 外部クロック信号
 - 32.768kHz内部発振器
 - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

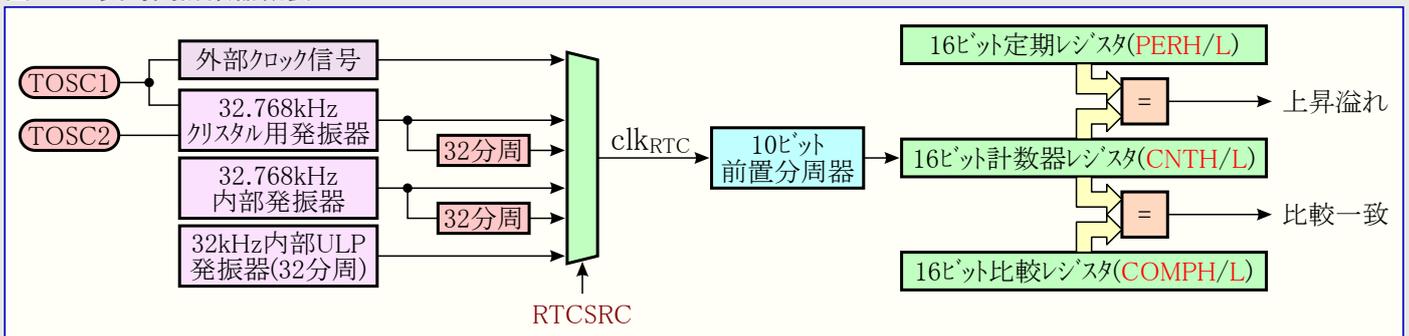
20.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTCが1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5 μ s、時間経過期間は2000sまでに行えます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。

図20-1. 実時間計数器概要



21. USB – 万能直列バス インターフェース

21.1. 要点

- 1つのUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)装置適合インターフェース
- 統合されたチップ上USB送受信部、外部部品不要
- 31までのエンドポイントに対する完全なエンドポイント柔軟性を持つ16のエンドポイントアドレス
 - エンドポイント当たり1つの入力エンドポイント
 - エンドポイント当たり1つの出力エンドポイント
- 選択可能なエンドポイント アドレス転送形式
 - 制御(Control)転送
 - 割り込み(Interrupt)転送
 - 大量(Bulk)転送
 - 等時(Isochronous)転送
- 設定可能なエンドポイント当たりのデータ本体量、最大1023バイト
- 内部SRAM内に配置されたエンドポイント構成設定とデータ緩衝部
 - エンドポイント構成設定データに対する構成設定可能な位置
 - 各エンドポイントのデータ緩衝部に対する構成設定可能な位置
- 以下のための内部SRAMとの組み込み直接メモリ入出力(DMA)
 - エンドポイント構成設定
 - エンドポイント データ読み書き
- より高い単位処理量のためのピンポン動作と2重緩衝動作
 - 単一方向で使われる入力と出力のエンドポイント データ緩衝部
 - 転送中にCPU/DMA制御器がデータ緩衝部を更新可
- 割り込み負荷とソフトウェア介入を減らすための複数パケット転送
 - 1つの継続する転送で転送される最大パケット量を超えるデータ本体
 - パケット転送段階での割り込みまたはソフトウェアの相互作用なし
- 複数エンドポイント使用時の作業の流れ用の転送単位処理完了FIFO
 - 到着先行、処理作業待ち行列先行での完了された全ての転送単位処理の経緯
- システム クロック元と選択に無関係なクロック選択
- 低速USB動作に必要とされる最小1.5MHzのCPUクロック
- 全速動作に必要とされる最小12MHzのCPUクロック
- 事象システムへの接続
- USB転送単位処理中のチップ上デバッグの可能性

21.2. 概要

USBインターフェースはUSB2.0全速(Full-speed:12Mbps)と低速(Low-speed:1.5Mbps)の装置の適合インターフェースです。

これは16のエンドポイント アドレスを支援します。全てのエンドポイント アドレスは1つの入力と1つの出力のエンドポイント、計32のエンドポイントを持ちます。各エンドポイント アドレスは完全に構成設定可能で、制御(Control)、割り込み(Interrupt)、大量(Bulk)、等時(Iso-chronous)の4つの転送形式のどれにも構成設定することができます。データ本体量も選択可能で、1023バイトまでのデータ本体を支援します。

専用メモリはUSB単位部に全く配置または含まれません。各エンドポイント アドレスに対する構成設定を保つのと、各エンドポイント用のデータ緩衝部に内部SRAMが使われます。エンドポイント構成設定とデータ緩衝部に使われるメモリ位置は完全に構成設定可能です。割り当てられたメモリの量は使うエンドポイントの数とそれらの構成設定に応じて完全に動的で、USB単位部は組み込み直接メモリ入出力(DMA)を持ちUSB転送単位処理が起こる時にSRAMとデータを読み書きします。

最大単位処理量のため、エンドポイント アドレスはピンポン動作に構成設定することができます。これが行われると、入力と出力のエンドポイントが両方共同方向で使われます。そしてCPUやDMA制御器が1つのデータ緩衝部を読み/書きすると同時にUSB単位部が他方を読み/書きすることができます、その逆もです。これは2重緩衝通信を与えます。

複数パケット転送はソフトウェア介入なしの複数パケットとして転送されるべきエンドポイントの最大パケット容量を超えるデータ本体を許します。これはUSB転送に必要とされるCPU介入と割り込みを減らします。

低電力動作のため、USB単位部はUSBバスがアイドルで休止条件が与えられた時にマイクロ コントローラをどれかの休止形態に置くことができます。バス再開で、USB単位部はどの休止形態からもマイクロ コントローラを起こすことができます。

ポートDは1つのUSBを持ちます。この表記はUSBです。

22. TWI – 2線インターフェース

22.1. 要点

- 1つのTWI周辺機能
- 双方向2線インターフェース
 - Phillips社I²C適合
 - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
 - 従装置動作
 - 単一バス権利者(主装置)動作
 - 複数バス権利者(主装置)環境でのバス権利者(主装置)
 - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
 - ハードウェアでの7ビットと一斉呼び出しのアドレス認証
 - 10ビット アドレス指定支援
 - 2重アドレス一致またはアドレス範囲遮蔽用のアドレス遮蔽レジスタ
 - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スルーレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

22.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI²Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ抵抗だけです。

バスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはホーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハードウェアでの7ビット アドレス一致と一斉アドレス呼び出しを実装します。10ビット アドレスも支援されます。専用のアドレス遮蔽レジスタは第2のアドレス一致レジスタまたはアドレス範囲遮蔽用のレジスタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアドレス一致での全休止形態からのデバイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アドレス一致を禁止することが可能です。

TWI単位部は**開始条件**、**停止条件**、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

ポートCは1つのTWIを持ちます。この周辺機能の表記はTWICです。

23. SPI – 直列周辺インターフェース

23.1. 要点

- 1つのSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

23.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはAtmel AVR XMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。

ポートCは1つのSPIを持ちます。この周辺機能の表記はSPICです。

24. USART

24.1. 要点

- 2つの同じUSART周辺機能
- 全二重動作
- 非同期と同期での動作
 - デバイス クロック周波数の1/2までの同期クロック速度
 - デバイス クロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データビットと1, 2停止ビットの直列フレーム支援
- 分数ボーレート発生器
 - どのシステム クロック周波数からも望むボーレートを生成可
 - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
 - 奇数/偶数パリティ生成器とパリティ検査
 - データ オーバランとフレーミング異常の検出
 - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
 - 送信完了
 - 送信データレジスタ空
 - 受信完了
- 複数プロセッサ通信動作
 - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
 - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
 - 2重緩衝された動作
 - 構成設定可能なデータ順
 - 周辺機能クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)単位部

24.2. 概要

USART(Universal Synchronous and Asynchronous serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USARTは非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。フレーミング異常と緩衝部溢れはハードウェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。ピン制御と割り込み生成は両動作で同じです。レジスタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。

ポートCとポートEは各々1つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0とUSARTE0です。

25. IRCOM – 赤外線通信単位部

25.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- 選択可能なパルス変調方式
 - 3/16ボーレート周期
 - 固定パルス周期、設定可能な8ビット
 - パルス変調禁止
- 組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

25.2. 概要

XMEGAデバイスは115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにこのUSARTにも接続することができます。

26. AESとDESの暗号エンジン

26.1. 要点

- データ暗号化規格(DES)CPU命令
- 新暗号化規格(AES)暗号部
- DES命令
 - 暗号化と解読
 - DES支援
 - 8バイトの塊当たり16CPUクロック周期の暗号化/解読
- AES暗号部
 - 暗号化と解読
 - 128ビット鍵支援
 - 状態メモリへのXORデータ設定支援
 - 16バイトの塊当たり375クロック周期の暗号化/解読

26.2. 概要

新暗号化規格(AES)とデータ暗号化規格(DES)は暗号化に使われる主な2つの規格です。これらはAES周辺単位部とDES CPU命令を通して支援され、通信インターフェースとCPUはこれらを高速で暗号化された通信と安全なデータ記憶に使うことができます。

DESはAVR CPUの命令によって支援されます。8バイトの鍵と8バイトのデータ塊がレジスタファイルに格納され、そしてそのデータ塊を暗号化/解読するためにDES命令が16回実行されなければなりません。

AES暗号単位部は128ビット鍵を使う128ビットデータ塊の暗号化と解読を行います。鍵とデータは暗号化/解読が開始される前に単位部内の鍵と状態のメモリに格納されていなければなりません。暗号化/解読が行われる前に375周辺機能クロック周期かかります。その後暗号化/解読されたデータが読み出すことができ、任意選択の割り込みを生成することができます。AES暗号単位部は暗号化/解読が行われた時の転送起動付きのDMA支援と、状態配列メモリが完全に設定された時の任意選択の暗号化/解読の自動開始も持ちます。

27. CRC – 巡回冗長検査(Cyclic Redundancy Check)生成器

27.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
 - 通信データ
 - フラッシュメモリ内のプログラムまたはデータ
 - SRAMとI/Oメモリ空間内のデータ
- フラッシュメモリ、DMA制御器、CPUとの統合
 - DMAチャネルを通して行うデータでの継続的なCRC
 - フラッシュメモリの全体または選択可能な範囲の自動CRC
 - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- 以下にソフトウェア選択可能なCRC生成多項式
 - CRC-16 (CRC-CCITT)
 - CRC-32 (IEEE 802.3)
- 0剰余検出

27.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使われ、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使うことができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の $1-2^{-n}$ を検出します。XMEGAデバイスのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

- **CRC-16:**

生成多項式 : $X^{16}+X^{12}+X^5+1$

16進値 : \$1021

- **CRC-32:**

生成多項式 : $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$

16進値 : \$04C11DB7

28. LCD – 液晶表示制御器 (Liquid Crystal Display Controller)

28.1. 要点

- 最大40セグメントと最大4共通電極の表示能力
- 最大16本の汎用入出力を支援
- セグメント更新に於いて完全な自由を与える投影表示メモリ
- ASCII文字割り当て
- 共通と/またはセグメントの電極バス上での交換能力任意選択
- 静止から1/4デューティまでを支援
- 静止と1/3バイアスを支援
- 低電力動作のためのパワーセーブ動作で活性なLCD駆動部
- ソフトウェア選択可能な低電力波形
- フレーム周波数の柔軟な選択
- 2つのセグメント電極で設定可能な点滅動作と周波数
- 32kHz RTCクロック元のみ使用
- チップ上のLCD電源
- ソフトウェア濃淡調整制御
- LCD寿命を増すための吐き出しと吸い込みの等しい能力
- 表示更新または休止形態からの起動のための拡張割り込み動作形態

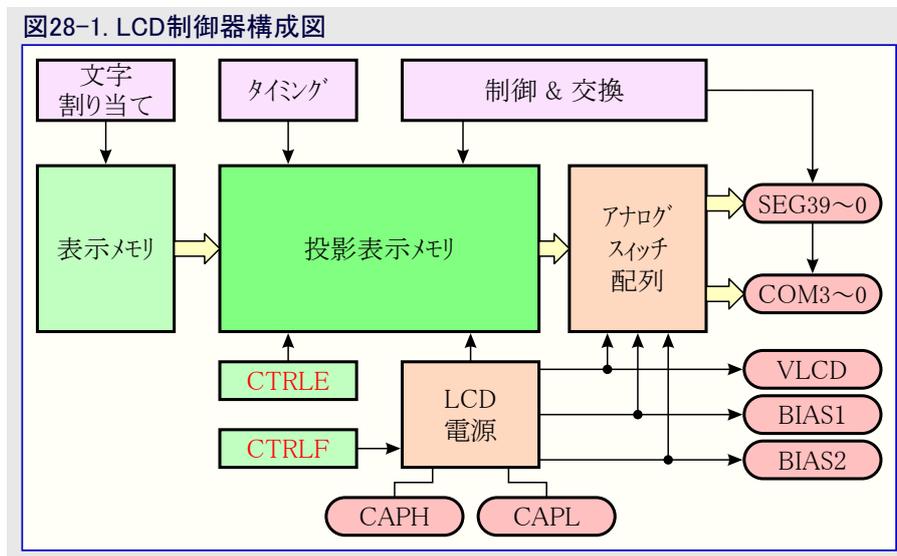
28.2. 概要

LCD制御器は4つまでの共通電極と40までのセグメント電極を持つ受動型単色液晶(LCD)が意図されています。応用がXMEGAで利用可能な全てのLCDセグメントを必要としない場合、最大16本の未使用LCDピンを汎用入出力ピンとして使うことができます。

LCD制御器は内部または外部の非同期32kHzクロック元によってクロック駆動することができます。この32kHz発振器供給元選択は実時間計数器(RTC)用と同じです。

CPU負荷軽減、割り込み低減、消費電力低減のため、専用低電力波形、濃淡制御、拡張割り込み動作、選択可能なフレーム周波数、点滅機能が支援されます。

ハードウェア設計の複雑さを減らすため、LCDは統合されたLCD緩衝部、統合された電源電圧、革新的な交換動作を含みます。交換動作使用は、それらがセグメントと/または共通の電極バス上のピンの流れを再配列できるため、ハードウェア設計者は基板配置中のより大きな柔軟性を持ちます。



29. ADC – 12ビット A/D変換器

29.1. 要点

- 2つのA/D変換器
- 12ビット分解能
- 1秒当たり最大30万採取
 - 8ビット分解能で最小2.3 μ sの変換時間
 - 12ビット分解能で最小3.35 μ sの変換時間
- 差動とシングルエンドの入力
 - 最大16のシングルエンド入力
 - 16 \times 4種の利得なし差動入力
 - 16 \times 4種の利得付き差動入力
- 組み込み差動利得段
 - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 3つの内部入力
 - 内部温度感知器
 - AVCCの1/10の電圧
 - 1.1Vハントギャップ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の変換結果DMA転送
- 任意選択の比較結果での割り込み/事象

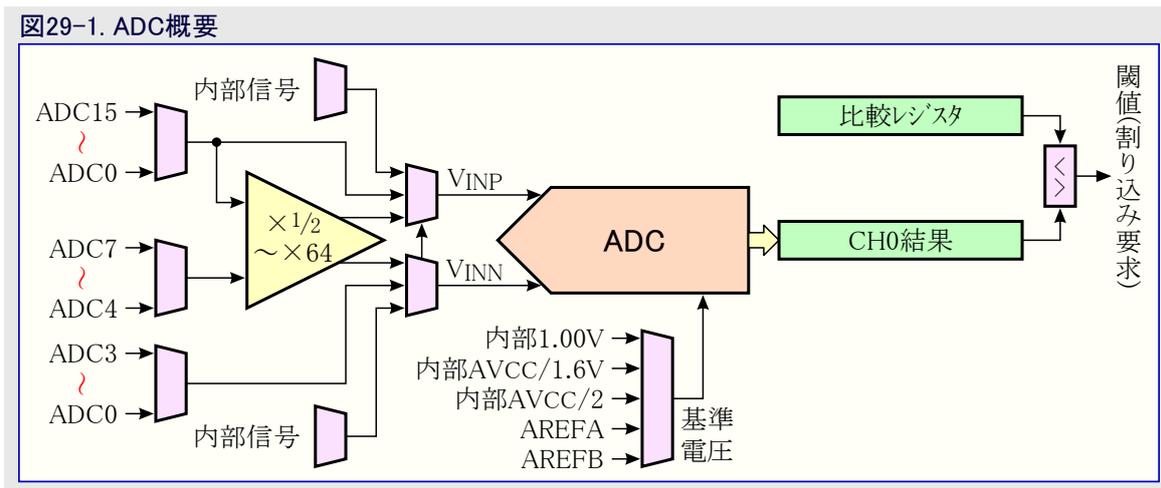
29.2. 概要

A/D変換器(ADC)はアナログ信号をデジタル値に変換します。ADCは12ビット分解能と秒当たり30万(300k)採取(SPS)までの変換能力を持ちます。入力選択は柔軟で、シングルエンドと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

ADC測定は応用ソフトウェアまたはデバイス内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はソフトウェアの介入なしで予め予測されたタイミングで開始することができます。変換が行われる時にADCの結果を直接、メモリまたは周辺機能へ移動するのにDMAを使うことが可能です。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。AVCC/10とハントギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介入で使用者定義された閾値の正確な監視のための比較機能を持ちます。



ADCは8または12ビットの結果に構成設定することができ、最小変換時間(伝播遅延)を12ビットに対する3.35 μ sから8ビットの結果に対する2.3 μ sに減らします。

ADC変換結果は任意選択の'1'または'0'の穴埋めでの左詰めまたは右詰めの調整が提供されます。これは結果が符号付き整数(符号付き16ビット数)として表現される時に計算を簡単にします。

ポートAとポートBは各々1つのADCを持ちます。これらの周辺機能の表記は各々、ADCAとADCBです。

30. AC – アナログ比較器

30.1. 要点

- 4つのアナログ比較器
- 選択可能なヒステリシス
 - なし
 - 小
 - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
 - ポート上の全ピン
 - バンドギャップ基準電圧
 - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
 - 上昇端
 - 下降端
 - 切り替わり
- 以下での窓機能割り込みと事象の生成
 - 窓以上の信号
 - 窓内側の信号
 - 窓以下の信号
- 構成設定可能な出力ピン選択を持つ定電流源

30.2. 概要

アナログ比較器(AC)は2つの入力の電圧レベルを比較してその比較に基いたデジタル出力を与えます。アナログ比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

アナログ比較器の動的な動きの1つの重要な特性はヒステリシスです。このパラメータは各応用に対して最適な動作を達成するために調節することができます。

入力選択はアナログポートピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使うためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使うと、それらは電圧レベルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ポートAとポートBの各々は1つのAC対を持ちます。表記は各々、ACAとACBです。

図30-1. アナログ比較器概要

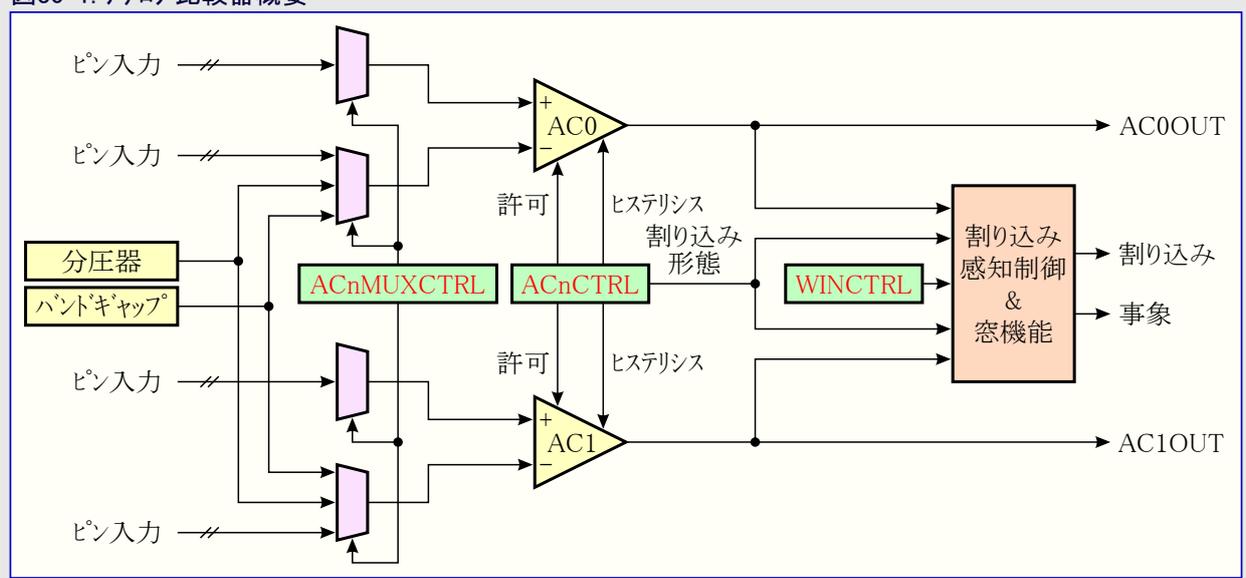
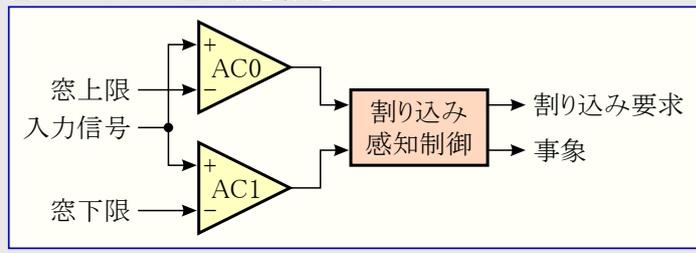


図30-2.で示されるように、窓機能は2つのアナログ比較器の外部入力を接続することによって実現されます。

図30-2. アナログ比較器窓機能



31. プログラミングとデバッグ

31.1. 要点

- プログラミング
 - PDIまたはJTAGのインターフェースを通す外部プログラミング
 - 高速動作のための最小の規約付随負荷
 - 確かな動作のための組み込みの異常検出と処理
 - 何れかの通信インターフェースを通すプログラミング用のブート ロータ支援
- デバッグ
 - 不干涉、実時間、チップ上デバッグ システム
 - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
 - プログラムの流れ制御
 - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
 - 無制限数の使用者プログラム中断点(ブレークポイント)
 - 無制限数の使用者データ中断点、以下で中断
 - データ位置読み、書き、または読み書き両方
 - データ位置内容が値と等しいまたは等しくない
 - データ位置内容が値よりも大きいまたは小さい
 - データ位置内容が範囲の内側または外側
 - デバイス クロック周波数での制限なし
- プログラミングとデバッグ用インターフェース(PDI)
 - 外部のプログラミングとデバッグ用の2ピン インターフェース
 - リセット ピンと専用ピンを使用
 - プログラミングまたはデバッグ中にI/Oピンの必要なし
- JTAGインターフェース
 - プログラミングとデバッグ用の4ピン、IEEE規格1149.1適合インターフェース
 - IEEE規格149.1(JTAG)に従った境界走査能力

31.2. 概要

プログラミングとデバッグ用インターフェース(PDI)はデバイスの外部プログラミングとチップ上デバッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒューズ、施錠ビット、使用者識別列の不揮発性メモリ(NVM)の高速プログラミングを支援します。

デバッグは不干涉、実時間のデバッグを提供するチップ上デバッグ システムを通して支援されます。これはデバイスピン接続を除いてどんなソフトウェアまたはハードウェアも必要としません。Atmelのツールチェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバッグはアセンブラと逆アセンブラレベルからだけでなく、Cまたは他の高位言語ソースコードのレベルからも行うことができます。

プログラミングとデバッグは2つの物理インターフェースを通して行えます。基本は全てのデバイスで利用可能なPDI物理層です。これはクロック入力用のリセットピン(PDI_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI_DATA)を使う2ピン インターフェースです。殆どのデバイスでJTAGインターフェースも利用可能で、これは4ピンのJTAGインターフェースを通してプログラミングとデバッグに使うことができます。JTAGインターフェースはIEEE規格1149.1適合で境界走査を支援します。何れかの外部書き込み器またはチップ上デバッグ/エミュレータがこれらインターフェースのどちらかへ直接的に接続することができます。他に言及がなければ、PDIへの全ての参照はPDI物理層を通すアクセスと仮定します。

32. ピン配置とピン機能

デバイスのピン配置は3頁の「[ピン配置/構成図](#)」で示されます。汎用I/O機能に加え、各ピンは様々な交換機能を持ち得ます。これはどの周辺機能が許可され、そして現実のピンに接続されるかに依存します。ピン機能は同時に1つだけを使うことができます。

32.1. 交換ピン機能の種類

下表は利用可能な全てのピン機能に対する表記とその機能の種類を示します。

32.1.1. 活動/電力供給

VCC	デジタル供給電圧
AVCC	アナログ供給電圧
GND	接地
AGND	アナログ接地

32.1.2. ホート割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つポートピン
ASYN	完全な同期と完全な非同期の割り込み機能を持つポートピン

32.1.3. アナログ機能

ACn	アナログ比較器入力ピンn
ACnOUT	アナログ比較器n出力
ADCn	A/D変換器入力ピンn
AREF	アナログ基準電圧入力ピン

32.1.4. LCD機能

SEGn	LCDセグメント駆動出力n
COMn	LCD共通駆動出力n
VLCD	LCD電圧多重器出力
BIAS2	LCD中間電圧出力(VLCD×2/3)
BIAS1	LCD中間電圧出力(VLCD×1/3)
CAPH	LCD浮動コンデンサのHigh端
CAPL	LCD浮動コンデンサのLow端

32.1.5. タイマ/カウンタとAWeX機能

OCnx	タイマ/カウンタn用比較チャンネルx出力
OCnx	タイマ/カウンタn用比較チャンネルx反転出力
OCnxLS	タイマ/カウンタn用比較チャンネルx Low側出力
OCnxHS	タイマ/カウンタn用比較チャンネルx High側出力

32.1.6. 通信機能

SCL	I ² C用直列クロック
SDA	I ² C用直列データ
SCLIN	外部駆動インターフェース許可時のI ² C用直列クロック入力
SCLOUT	外部駆動インターフェース許可時のI ² C用直列クロック出力
SDAIN	外部駆動インターフェース許可時のI ² C用直列データ入力
SDAOUT	外部駆動インターフェース許可時のI ² C用直列データ出力
XCKn	USARTn用転送クロック
RXDn	USARTn用受信データ
TXDn	USARTn用送信データ
SS	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列クロック
D-	USB用Data-
D+	USB用Data+

32.1.7. 発振器、クロック、事象

TOSCn	計時器用発振器ピンn
XTALn	発振器用入出力ピンn
CLKOUT	周辺機能クロック出力
EVOUT	事象チャンネルn出力
RTCO	RTCクロック元出力

32.1.8. デバッグ/システム機能

RESET	リセットピン
PDI_CLK	プログラミングとデバッグ用インターフェースクロックピン
PDI_DATA	プログラミングとデバッグ用インターフェースデータピン
TCK	JTAG検査クロック
TDI	JTAG検査データ入力
TDO	JTAG検査データ出力
TMS	JTAG検査動作種別選択

32.2. 交換ピン機能

下表は最初の列でポートの各ピンに対する主/既定の機能、第2列でピン番号、そして残りの列で全ての交換ピン機能を示します。先頭行は何の周辺機能が交換ピン機能を許可して使うかを示します。

より良い柔軟性のため、いくつかの交換機能はそれらの機能に対して選択可能なピン位置も持ち、これはこれが適用される最初の表の下で注記されます。

表32-1. ポートA - 交換機能

PORTA	ピン番号	割り込み	ADCA 利得有/無 正入力	ADCB 利得有/無 正入力	ADCA 利得なし 負入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力		REFA	
PA0	82	SYNC	ADC0	ADC8	ADC0		AC0	AC0			AREF	
PA1	83	SYNC	ADC1	ADC9	ADC1		AC1	AC1				
PA2	84	SYNC/ASYN	ADC2	ADC10	ADC2		AC2					
PA3	85	SYNC	ADC3	ADC11	ADC3		AC3	AC3				
PA4	86	SYNC	ADC4	ADC12		ADC4	AC4					
PA5	87	SYNC	ADC5	ADC13		ADC5	AC5	AC5				
PA6	88	SYNC	ADC6	ADC14		ADC6	AC6		AC1OUT			
PA7	89	SYNC	ADC7	ADC15		ADC7		AC7	AC0OUT			

表32-2. ポートB - 交換機能

PORTB	ピン番号	割り込み	ADCA 利得有/無 正入力	ADCB 利得有/無 正入力	ADCB 利得なし 負入力	ADCB 利得付き 負入力	ACB 正入力	ACB 負入力	ACB 出力		REFB	JTAG
AGND	90											
AVCC	91											
PB0	92	SYNC	ADC8	ADC0	ADC0		AC0	AC0			AREF	
PB1	93	SYNC	ADC9	ADC1	ADC1		AC1	AC1				
PB2	94	SYNC/ASYN	ADC10	ADC2	ADC2		AC2					
PB3	95	SYNC	ADC11	ADC3	ADC3		AC3	AC3				
PB4	96	SYNC	ADC12	ADC4		ADC4	AC4					TMS
PB5	97	SYNC	ADC13	ADC5		ADC5	AC5	AC5				TDI
PB6	98	SYNC	ADC14	ADC6		ADC6	AC6		AC1OUT			TCK
PB7	99	SYNC	ADC15	ADC7		ADC7		AC7	AC0OUT			TDO

表32-3. ポートC - 交換機能

PORTC	ピン番号	割り込み	TCC0 (注1)	AWEXC	TCC1	TCC2	USART C0 (注2)	SPIC (注3)	TWIC	外部クロック	クロック出力 (注4)	事象出力 (注5)
GND	100											
VCC	1											
PC0	2	SYNC	OC0A	OC0ALS		OC0AL			SDA/SDA_IN	EXTCLKC0		
PC1	3	SYNC	OC0B	OC0AHS		OC0BL	XCK0		SCL/SCL_IN	EXTCLKC1		
PC2	4	SYNC/ASYNC	OC0C	OC0BLS		OC0CL	RXD0		SDA_OUT	EXTCLKC2		
PC3	5	SYNC	OC0D	OC0BHS		OC0DL	TXD0		SCL_OUT	EXTCLKC3		
PC4	6	SYNC		OC0CLS	OC1A	OC0AH		\overline{SS}		EXTCLKC4		
PC5	7	SYNC		OC0CHS	OC1B	OC0BH		MOSI		EXTCLKC5		
PC6	8	SYNC		OC0DLS		OC0CH		MISO		EXTCLKC6	RTCOUT	
PC7	9	SYNC		OC0DHS		OC0DH		SCK		EXTCLKC7	CLKOUT	EVOUT

注1: 全てのTC0のピン割り当ては任意選択でポートの上位ニブルに移動することができます。

注2: 全てのUSART0のピン割り当ては任意選択でポートの上位ニブルに移動することができます。

注3: 全てのSPIに対してMOSIとSCKのピンは任意選択で交換することができます。

注4: CLKOUTは任意選択でポートC,E間とピン4~7間で移動することができます。

注5: EVOUTは任意選択でポートC,E間とピン4~7間で移動することができます。

表32-4. ポートD - 交換機能

PORTD	ピン番号	割り込み							USB		
GND	10										
VCC	11										
PD0	12	SYNC							D-		
PD1	13	SYNC							D+		
PD2	14	SYNC/ASYNC									

表32-5. プログラミングとデバッグの機能

PROG	ピン番号	割り込み								PROG
\overline{RESET}	15									PDI_CLK
PDI	16									PDI_DATA
GND	17									
VCC	18									

表32-6. ポートE - 交換機能

PORTE	ピン番号	割り込み	TCE0 (注1)	代替 TOSC		USARTE0 (注2)				クロック出力 (注4)	事象出力 (注5)
PE0	19	SYNC	OC0A								
PE1	20	SYNC	OC0B			XCK0					
PE2	21	SYNC/ASYNC	OC0C			RXD0					
PE3	22	SYNC	OC0D			TXD0					
PE4	23	SYNC									
PE5	24	SYNC									
PE6	25	SYNC		TOSC2							
PE7	26	SYNC		TOSC1						CLKOUT	EVOUT

表32-7. LCD

LCD (注1,2)	ピン 番号	割り込み (注1)	汎用入出力 (注1)					点滅 (注1)		
GND	27									
VCC	28									
SEG39	29	SYNC	PG0							
SEG38	30	SYNC	PG1							
SEG37	31	SYNC/ASYNC	PG2							
SEG36	32	SYNC	PG3							
SEG35	33	SYNC	PG4							
SEG34	34	SYNC	PG5							
SEG33	35	SYNC	PG6							
SEG32	36	SYNC	PG7							
SEG31	37	SYNC	PM0							
SEG30	38	SYNC	PM1							
SEG29	39	SYNC/ASYNC	PM2							
SEG28	40	SYNC	PM3							
SEG27	41	SYNC	PM4							
SEG26	42	SYNC	PM5							
SEG25	43	SYNC	PM6							
SEG24	44	SYNC	PM7							
SEG23	45									
SEG22	46									
SEG21	47									
SEG20	48									
SEG19	49									
SEG18	50									
SEG17	51									
SEG16	52									
SEG15	53									
SEG14	54									
SEG13	55									
SEG12	56									
SEG11	57									
SEG10	58									
SEG9	59									
SEG8	60									
SEG7	61									
SEG6	62									
SEG5	63									
SEG4	64									
SEG3	65									
SEG2	66									
SEG1	67							BLINK		
SEG0	68							BLINK		
GND	69									
VCC	70									
BIAS1	71									
BIAS2	72									
VLCD	73									
CAPL	74									
CAPH	75									
COM0	76									
COM1	77									
COM2	78									
COM3	79									

注1: セグメント(SEGn)電極のピン割り当ては任意選択で交換することができます。割り込み、汎用入出力、点滅の機能は自動的に交換されます。

注2: 共通(COMn)電極は任意選択で交換することができます。

表32-8. ホートル - 交換機能

PORTR	ピン 番号	割り込み	XTAL	TOSC
PR0	80	SYNC	XTAL2	TOSC2
PR1	81	SYNC	XTAL1	TOSC1

33. 周辺機能単位部アドレス割り当て

アドレス割り当て表はXMEGA B1内の各周辺機能と単位部に対する基準アドレスを示します。各周辺機能単位部に対する一覧と完全なレジスタ記述についてはXMEGA B 手引書を参照してください。

表34-1. 周辺機能単位部アドレス割り当て

基準アドレス	名称	意味	基準アドレス	名称	意味
\$0000	GPIO	汎用I/Oレジスタ	\$0380	ACA	ポートAのアナログ比較器
\$0010	VPORT0	仮想ポート0	\$0390	ACB	ポートBのアナログ比較器
\$0014	VPORT1	仮想ポート1	\$0400	RTC	実時間計数器
\$0018	VPORT2	仮想ポート2	\$0480	TWIC	ポートCの2線インターフェース
\$001C	VPORT3	仮想ポート3	\$04C0	USB	USB装置
\$0030	CPU	CPU	\$0600	PORTA	ポートA
\$0040	CLK	クロック制御	\$0620	PORTB	ポートB
\$0048	SLEEP	休止制御器	\$0640	PORTC	ポートC
\$0050	OSC	発振器制御	\$0660	PORTD	ポートD
\$0060	DFLLRC32M	32MHz内部発振器用DFLL	\$0680	PORTE	ポートE
\$0068	DFLLRC2M	2MHz内部発振器用DFLL	\$06C0	PORTG	ポートG
\$0070	PR	電力削減	\$0760	PORTM	ポートM
\$0078	RST	リセット制御器	\$07E0	PORTR	ポートR
\$0080	WDT	ウォッチドッグ タイマ	\$0800	TCC0	ポートCのタイマ/カウンタ0
\$0090	MCU	MCU制御	\$0840	TCC1	ポートCのタイマ/カウンタ1
\$00A0	PMIC	設定可能な多段割り込み制御器	\$0880	AWEXC	ポートCの新波形拡張
\$00B0	PORTCFG	ポート構成設定	\$0890	HIRESC	ポートCの高分解能拡張
\$00C0	AES	AES暗号単位部	\$08A0	USARTC0	ポートCのUSART0
\$00D0	CRC	CRC単位部	\$08C0	SPIC	ポートCの直列周辺インターフェース
\$0100	DMA	DMA制御器	\$08F8	IRCOM	赤外線通信単位部
\$0180	EVSYS	事象システム	\$0A00	TCE0	ポートEのタイマ/カウンタ0
\$01C0	NVM	不揮発性メモリ(NVM)制御器	\$0AA0	USARTE0	ポートEのUSART0
\$0200	ADCA	ポートAのA/D変換器	\$0D00	LCD	液晶表示部
\$0240	ADCB	ポートBのA/D変換器			

34. 命令一式要約

ニーモニック	オペラント	意味	動作	フラグ	クロック
算術、論理演算命令					
ADD	Rd,Rr	汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C	1
ADC	Rd,Rr	キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr + C$	I,T,H,S,V,N,Z,C	1
ADIW	Rd,K6	即値の語(ワード)長加算	$RdH:RdL \leftarrow RdH:RdL + K$	I,T,H,S,V,N,Z,C	2
SUB	Rd,Rr	汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr$	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	$RdH:RdL \leftarrow RdH:RdL - K$	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レジスタ間の論理積(AND)	$Rd \leftarrow Rd \text{ AND } Rr$	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	$Rd \leftarrow Rd \text{ AND } K$	I,T,H,S,0,N,Z,C	1
OR	Rd,Rr	汎用レジスタ間の論理和(OR)	$Rd \leftarrow Rd \text{ OR } Rr$	I,T,H,S,0,N,Z,C	1
ORI	Rd,K	汎用レジスタと即値の論理和(OR)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
EOR	Rd,Rr	汎用レジスタ間の排他的論理和(Ex-OR)	$Rd \leftarrow Rd \text{ EOR } Rr$	I,T,H,S,0,N,Z,C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,1	1
NEG	Rd	2の補数	$Rd \leftarrow \$00 - Rd$	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レジスタの(複数)ビット設定(1)	$Rd \leftarrow Rd \text{ OR } K$	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レジスタの(複数)ビット解除(0)	$Rd \leftarrow Rd \text{ AND } (\$FF - K)$	I,T,H,S,0,N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	$Rd \leftarrow Rd + 1$	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レジスタの減少(-1)	$Rd \leftarrow Rd - 1$	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	$Rd \leftarrow Rd \text{ AND } Rd$	I,T,H,S,0,N,Z,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	$Rd \leftarrow Rd \text{ EOR } Rd$	I,T,H,0,0,0,1,C	1
SER	Rd	汎用レジスタの全1設定(=\$FF)	$Rd \leftarrow \$FF$	I,T,H,S,V,N,Z,C	1
MUL	Rd,Rr	符号なし間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (U×U)	I,T,H,S,V,N,Z,C	2
MULS	Rd,Rr	符号付き間の乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×S)	I,T,H,S,V,N,Z,C	2
MULSU	Rd,Rr	符号付きと符号なしの乗算	$R1:R0 \leftarrow Rd \times Rr$ (S×U)	I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (U×U)	I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×S)	I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算	$R1:R0 \leftarrow (Rd \times Rr) \ll 1$ (S×U)	I,T,H,S,V,N,Z,C	2
DES	K4	データ暗号化/解読	H=0なら、R15~R0 ← 暗号化(R15~R0,K4) H=1なら、R15~R0 ← 解読(R15~R0,K4)	I,T,H,S,V,N,Z,C	1,2
分岐命令					
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレジスタ間接無条件分岐	$PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2
EIJMP		拡張Zレジスタ間接無条件分岐	$PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	$PC \leftarrow k$	I,T,H,S,V,N,Z,C	3
RCALL	k	相対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2,3 (注1)
ICALL		Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow Z$	I,T,H,S,V,N,Z,C	2,3 (注1)
EICALL		拡張Zレジスタ間接サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow \text{EIND}:Z$	I,T,H,S,V,N,Z,C	3 (注1)
CALL	k	絶対サブルーチン呼び出し	$\text{STACK} \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3,4 (注1)
RET		サブルーチンからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
RETI		割り込みからの復帰	$PC \leftarrow \text{STACK}$	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レジスタ間比較、一致でスキップ	Rd=Rrなら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	$Rd - Rr$	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	$Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
CPI	Rd,K	汎用レジスタと即値の比較	$Rd - K$	I,T,H,S,V,N,Z,C	1
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=0なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
SBR	Rr,b	汎用レジスタのビットが設定(1)でスキップ	Rr(b)=1なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	1/2,3
SBIC	P,b	I/Oレジスタのビットが解除(0)でスキップ	P(b)=0なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	2/3,4
SBIS	P,b	I/Oレジスタのビットが設定(1)でスキップ	P(b)=1なら、 $PC \leftarrow PC + 2\text{or}3$	I,T,H,S,V,N,Z,C	2/3,4
BRBS	s,k	ステータスフラグが設定(1)で分岐	SREG(s)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRBC	s,k	ステータスフラグが解除(0)で分岐	SREG(s)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BREQ	k	一致で分岐	Z=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリーフラグが設定(1)で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRCC	k	キャリーフラグが解除(0)で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLO	k	符号なしの<で分岐	C=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRMI	k	-(マイナス)で分岐	N=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRPL	k	+(プラス)で分岐	N=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRLT	k	符号付きの<で分岐	(N EOR V)=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHS	k	ハーフキャリーフラグが設定(1)で分岐	H=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRHC	k	ハーフキャリーフラグが解除(0)で分岐	H=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTS	k	一時フラグが設定(1)で分岐	T=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRTC	k	一時フラグが解除(0)で分岐	T=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVS	k	2の補数溢れフラグが設定(1)で分岐	V=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRVC	k	2の補数溢れフラグが解除(0)で分岐	V=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRIE	k	割り込み許可で分岐	I=1なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2
BRID	k	割り込み禁止で分岐	I=0なら、 $PC \leftarrow PC + K + 1$	I,T,H,S,V,N,Z,C	1/2

ニーモニック	オペランド	意味	動作	フラグ	クロック
データ移動命令					
MOV	Rd,Rr	汎用レジスタ間の複写	$Rd \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	$Rd+1:Rd \leftarrow Rr+1:Rr$	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	$Rd \leftarrow K$	I,T,H,S,V,N,Z,C	1
LD	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1, Rd \leftarrow (X)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Y+	事後増加付きYレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Y	事前減少付きYレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1, Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	I,T,H,S,V,N,Z,C	2 (注1,2)
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I,T,H,S,V,N,Z,C	2 (注1,2)
ST	X,Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	X+,Rr	事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr, X \leftarrow X + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1 (注1)
ST	-Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1, (Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	$(k) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2 (注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	$R0 \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上 (任意のレジスタへ)	$Rd \leftarrow (RAMPZ:Z)$	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上 (事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	$(Z) \leftarrow R1:R0$	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	$Rd \leftarrow P$	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	$P \leftarrow Rr$	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	$STACK \leftarrow Rr$	I,T,H,S,V,N,Z,C	1 (注1)
POP	Rd	スタックから汎用レジスタへ復帰	$Rd \leftarrow STACK$	I,T,H,S,V,N,Z,C	2 (注1)
XCH	Z,Rd	RAM位置交換	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp$	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ビット設定(1)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ OR } (Z)$	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ビット解除(0)	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow (\$FF - Temp) \text{ AND } (Z)$	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ビット反転	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp \text{ EOR } (Z)$	I,T,H,S,V,N,Z,C	2

ニーモニック	オペランド	意味	動作	フラグ	クロック
ビット関係命令					
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C, Rd(n+1) \leftarrow Rd(n), C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0\sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim 4) \leftrightarrow Rd(3\sim 0)$	I,T,H,S,V,N,Z,C	1
BSET	s	ステータスレジスタのビット設定(1)	$SREG(s) \leftarrow 1$	I,T,H,S,V,1,Z,C	1
BCLR	s	ステータスレジスタのビット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリーフラグを設定(1)	$C \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLC		キャリーフラグを解除(0)	$C \leftarrow 0$	I,T,H,S,V,N,Z,0	1
SEN		負フラグを設定(1)	$N \leftarrow 1$	I,T,H,S,V,1,Z,C	1
CLN		負フラグを解除(0)	$N \leftarrow 0$	I,T,H,S,V,0,Z,C	1
SEZ		ゼロフラグを設定(1)	$Z \leftarrow 1$	I,T,H,S,V,N,1,C	1
CLZ		ゼロフラグを解除(0)	$Z \leftarrow 0$	I,T,H,S,V,N,0,C	1
SEI		全割り込み許可	$I \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	$I \leftarrow 0$	0,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	$S \leftarrow 1$	I,T,H,1,V,N,Z,C	1
CLS		符号フラグを解除(0)	$S \leftarrow 0$	I,T,H,0,V,N,Z,C	1
SEV		2の補数溢れフラグを設定(1)	$V \leftarrow 1$	I,T,H,S,1,N,Z,C	1
CLV		2の補数溢れフラグを解除(0)	$V \leftarrow 0$	I,T,H,S,0,N,Z,C	1
SET		一時フラグを設定(1)	$T \leftarrow 1$	I,1,H,S,V,N,Z,C	1
CLT		一時フラグを解除(0)	$T \leftarrow 0$	I,0,H,S,V,N,Z,C	1
SEH		ハーフキャリーフラグを設定(1)	$H \leftarrow 1$	I,T,1,S,V,N,Z,C	1
CLH		ハーフキャリーフラグを解除(0)	$H \leftarrow 0$	I,T,0,S,V,N,Z,C	1
MCU制御命令					
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチドッグタイマリセット	ウォッチドッグタイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッグが使用)	I,T,H,S,V,N,Z,C	1

K4, K6, K : 4, 6, 8ビット定数

P : I/Oレジスタ

Rd, Rr : 汎用レジスタ(R0~R31)

X, Y, Z : X, Y, Zレジスタ

b : ビット(0~7)

k : アドレス定数(7,12,16ビット)

q : 符号なし6ビット定数(変位)

s : ステータスフラグ(C,Z,N,V,X,H,T,I)

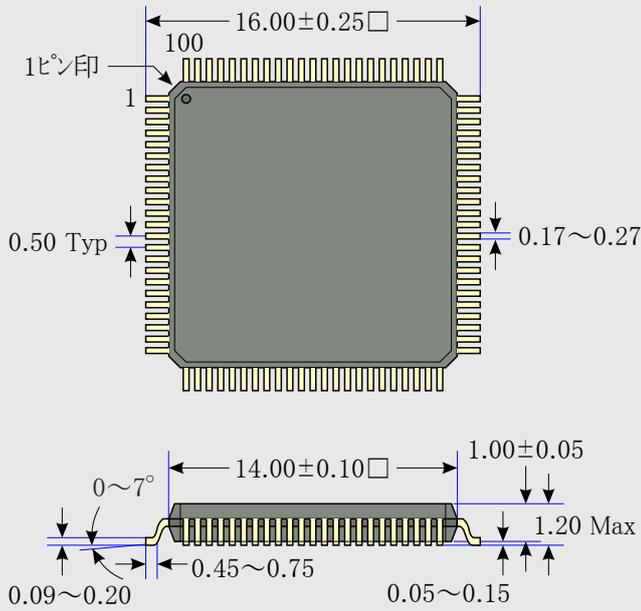
注1: データメモリアクセスに対する周期数は内部メモリアクセスを仮定し、外部メモリインターフェース経由のアクセスに対しては有効ではありません。(訳補:XMEGA B1系に外部メモリインターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

35. 外圍器情報

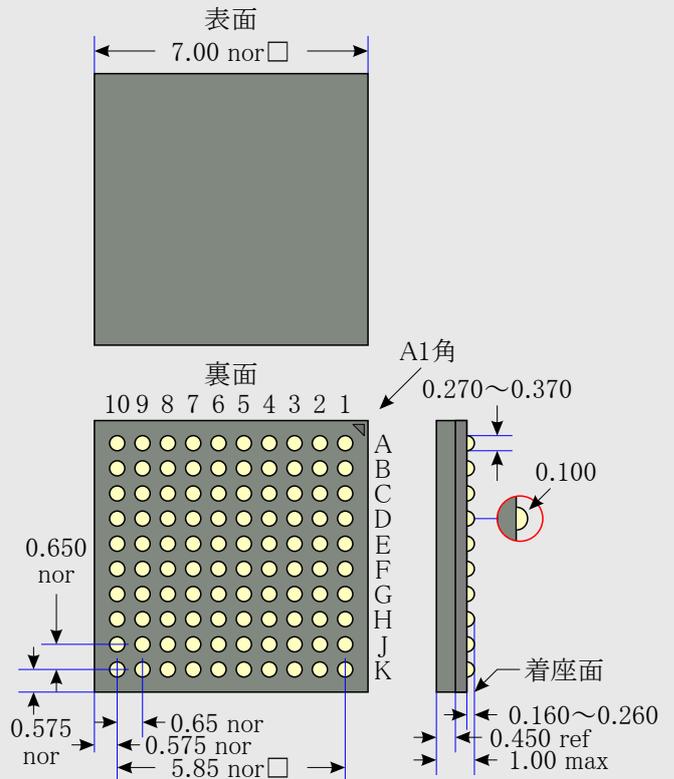
35.1. 100A

100リード 0.5mmピッチ プラスティック4方向平板外圍器 (TQFP)
 寸法: mm
 JEDEC規格 MS-026 AED



35.2. 7A1

100球 0.65mmピッチ 極薄密ピッチ球格子配列外圍器 (VFBGA)
 寸法: mm



36. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25°Cで測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

36.1. 絶対最大定格

下の表36-1.で一覧にされるそれらを超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのものです、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

表36-1. 絶対最大定格

シンボル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	mA
IGND	GNDピンの電流出力				200	
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	°C
Tj	接合部温度				150	

36.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、表36-2.で一覧にされる定格内で動作しなければなりません。

表36-2. 全般動作条件

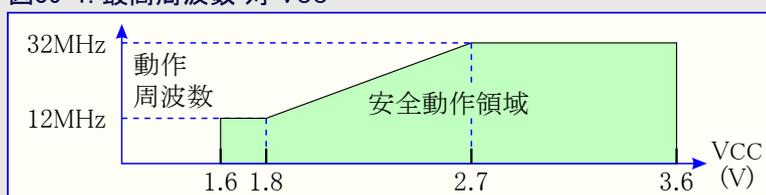
シンボル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	アナログ供給電圧		1.60		3.6	
TA	保存温度		-40		85	°C
Tj	接合部温度		-40		105	

表36-3. 動作電圧と周波数

シンボル	項目	条件	最小	代表	最大	単位
clk _{CPU}	CPUクロック周波数	VCC=1.6V	0		12	MHz
		VCC=1.8V	0		12	
		VCC=2.7V	0		32	
		VCC=3.6V	0		32	

Atmel AVR XMEGA B1デバイスの最高システム周波数は動作電圧に依存します。図36-1.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。

図36-1. 最高周波数 対 VCC



36.3. DC特性

表36-4. 活動動作と休止動作の消費電流

シンボル	項目	条件		最小	代表	最大	単位	
I _{CC}	活動動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V	150		μA	
				VCC=3.0V	320			
		1MHz外部クロック		VCC=1.8V	350			
				VCC=3.0V	700			
		2MHz外部クロック		VCC=1.8V	650	800		
				VCC=3.0V	1.0	1.6		
	32MHz外部クロック		VCC=3.0V	10	15	mA		
	アイドル動作消費電流 (注1)	32kHz外部クロック		VCC=1.8V	4.0		μA	
				VCC=3.0V	8.0			
		1MHz外部クロック		VCC=1.8V	80			
				VCC=3.0V	150			
		2MHz外部クロック		VCC=1.8V	160	250		
VCC=3.0V				300	600			
32MHz外部クロック		VCC=3.0V	4.7	7	mA			
I _{CC}	パワーダウン動作消費電流	T=25°C		VCC=3.0V		0.1	1.0	
						T=85°C		2.1
		採取動作BODとWDTを許可		T=25°C		VCC=1.8V	1.2	2.5
						T=85°C		VCC=3.0V
		ULPクロックでのRTC、採取動作BODとWDTを許可、T=25°C		VCC=3.0V		VCC=1.8V	1.3	
						VCC=3.0V	0.8	
I _{CC}	パワーセーブ動作消費電流 (注2)	低電力32.768kHz TOSCの1.024kHzでのRTC、T=25°C		VCC=3.0V		VCC=1.8V	0.9	
						VCC=3.0V	0.9	
		低電力32.768kHz TOSCからのRTC、T=25°C		VCC=3.0V		VCC=1.8V	1.3	
						VCC=3.0V	1.6	
		ULPクロックでのRTC、採取動作BOD、WDT,LCDを許可、全ピクセルON、T=25°C		VCC=3.0V		VCC=1.8V	4.6	
						VCC=3.0V	5.2	
		低電力32.768kHz TOSCの1.024kHzでのRTC、LCD許可、全ピクセルON、T=25°C		VCC=3.0V		VCC=1.8V	3.9	
						VCC=3.0V	4.3	
低電力32.768kHz TOSCからのRTC、LCD許可、全ピクセルON、T=25°C		VCC=3.0V		VCC=1.8V	4.0			
				VCC=3.0V	4.5			
	リセット消費電流	基台のRESETピンを通る電流		VCC=3.0V	420			

注1: 全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。

表36-5. 単位部と周辺機能に関する消費電流

シンボル	項目	条件 (注1)		最小	代表	最大	単位			
I _{CC}	超低電力(ULP)発振器				1.0					
	32.768kHz内部発振器				26					
	2MHz内部発振器				80					
		基準として32.768kHz内部発振器でDFLL許可			112					
	32MHz内部発振器				255					
		基準として32.768kHz内部発振器でDFLL許可			444					
	PLL	通倍率=20倍			316					
	ウォッチドッグ タイマ				1					
	低電圧検出器(BOD)	継続動作			126					
		採取動作,ULP発振器を含む			1.3					
	LCD (注2)	ピクセル負荷なし	濃淡最小	全ピクセルOFF		3.0		μA		
				100ピクセルON		3.0				
					全ピクセルON		3.0			
			代表的濃淡			全ピクセルOFF			3.3	
						100ピクセルON			3.4	
						全ピクセルON			3.4	
						全ピクセルOFF			3.8	
			濃淡最大			100ピクセルON			3.9	
						全ピクセルON			3.9	
			22pFのピクセル負荷	代表的濃淡			全ピクセルOFF			3.7
		全ピクセルON				4.3				
1.00V内部基準電圧				100						
温度感知器				100						
A/D変換器(ADC)	16k採取/秒, VREF=外部基準	電流制限(CURRLIMIT)=低			1.3		mA			
		電流制限(CURRLIMIT)=中			1.1					
		電流制限(CURRLIMIT)=高			1.0					
	75k採取/秒,VREF=外部基準			0.9						
	300k採取/秒,VREF=外部基準			1.7						
アナログ比較器(AC)				440						
DMA	I/OレジスタとSRAM間、615Kバイト/s			115		μA				
USART	9600bps,送受信許可			9						
フラッシュ メモリ/EEPROMプログラミング				4.4		mA				

注1: 全項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てがVCC=3.0V、前置分周なしでのclk_{sys}=外部1MHzクロック、T=25°Cでのデータです。

注2: LCD構成設定: 内部電圧生成、32Hz低電力フレーム速度、1/3バイアス、低電力32.768kHz TOSCによるクロック駆動

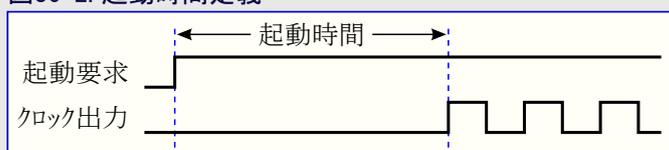
36.4. 休止形態からの起動時間

表36-6. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンボル	項目	条件	最小	代表	最大	単位
t _{wakeup}	アイドル、スタンバイ、拡張スタンバイからの起動時間	外部2MHzクロック		2		μs
		32.768KHz内部発振器		120		
		2MHz内部発振器		2		
	パワーセーフ、パワーダウンからの起動時間	32MHz内部発振器		0.2		
		外部2MHzクロック		4.5		
		32.768KHz内部発振器		320		
		2MHz内部発振器		9		
		32MHz内部発振器		5		

注: 起動時間は起動要求が与えられてからピンで周辺機能クロックが利用可能になるまでで、図36-2をご覧ください。全ての周辺機能と単位部はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。

図36-2. 起動時間定義



36.5. 入出力ピン特性

入出力ピンはJEDEC LVTTTLとLVCMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

表36-7. 入出力ピン特性

シンボル	項目	条件	最小	代表	最大	単位
I _{OH} (注1) I _{OL} (注2)	I/Oピン吐き出し/吸い込み電流		-20		20	mA
V _{IH}	Highレベル入力電圧	VCC=3.0~3.6V	0.6VCC			V
		VCC=2.3~2.7V	0.6VCC			
		VCC=1.6~2.3V	0.6VCC			
V _{IL}	Lowレベル入力電圧	VCC=3.0~3.6V			0.4VCC	V
		VCC=2.3~2.7V			0.4VCC	
		VCC=1.6~2.3V			0.4VCC	
V _{OH}	汎用入出力Highレベル出力電圧	VCC=3.3V I _{OH} =-8mA	2.6	2.8		V
		VCC=3.0V I _{OH} =-6mA	2.1	2.6		
		VCC=1.8V I _{OH} =-2mA	1.4	1.6		
V _{OL}	汎用入出力Lowレベル出力電圧	VCC=3.3V I _{OL} =15mA		0.4	0.76	V
		VCC=3.0V I _{OL} =10mA		0.26	0.64	
		VCC=1.8V I _{OL} =5mA		0.17	0.46	
I _{IN}	I/Oピン入力漏れ電流			<0.01	1	μA
R _P	I/Oピンプル/パス保持抵抗			25		kΩ
R _{RST}	リセットピンプルアップ抵抗			25		kΩ
t _r (注3)	上昇時間	無負荷		4		ns
		スリューレート制限		7		

注1: ポートAとポートBに対する全てのI_{OH}の合計は100mAを超えてはなりません。
 ポートC、ポートD、ポートEとPDIに対する全てのI_{OH}の合計は200mAを超えてはなりません。
 ポートGとポートMに対する全てのI_{OH}の合計は100mAを超えてはなりません。
 ポートRに対する全てのI_{OH}の合計は100mAを超えてはなりません。

注2: ポートAとポートBに対する全てのI_{OL}の合計は100mAを超えてはなりません。
 ポートC、ポートD、ポートEとPDIに対する全てのI_{OL}の合計は200mAを超えてはなりません。
 ポートGとポートMに対する全てのI_{OL}の合計は100mAを超えてはなりません。
 ポートRに対する全てのI_{OL}の合計は100mAを超えてはなりません。

注3: 設計シミュレーションから

36.6. 液晶表示部特性

表36-8. 液晶表示部特性

シンボル	項目	条件	最小	代表	最大	単位
SEG	セグメント電極ピン数		0		40	本
COM	共通電極ピン数		0		3	
fFrame	LCDフレーム周波数	F(clkLCD)=32.768kHz	31.25		512	Hz
CFlying	浮動コンデンサ			0.1		μF
Contrast	濃淡調整		-0.5	0	0.5	V
VLCD	LCD調整電圧	CFlying=0.1μF、 VLCD, BIAS2, BIAS1で0.1μF		3		
BIAS2				2VLCD/3		
BIAS1				VLCD/3		
RCOM	共通電極出力インピーダンス	COM0~COM3	(注) 0.25	0.5	1	kΩ
RSEG	セグメント電極出力インピーダンス	SEG0~SEG39	(注) 2	4	8	

注: スタティックと1/3バイアスに適用

36.7. A/D変換器特性

表36-9. 電源、基準電圧と入力範囲

シンボル	項目	条件	最小	代表	最大	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1		AVCC-0.6	
Rin	入力抵抗	切り替え			4.5	kΩ
Cin	入力容量	切り替え			5	pF
RAREF	基準電圧入力抵抗	(漏れのみ)		>10		MΩ
CAREF	基準電圧入力容量	静止負荷		7		pF
Vin	入力範囲		0		VREF	V
	変換範囲	差動動作、Vinp-Vinn 符号なしシングルエント動作、Vinp	-0.95VREF -0.05VREF		0.95VREF 0.95VREF	

表36-10. クロックとタイミング

シンボル	項目	条件	最小	代表	最大	単位
clkADC	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		1800	kHz
		内部信号測定		125		
fclkADC	採取(変換)速度		16		300	kSPS
fADC	採取(変換)速度	電流制限(CURRLIMIT)OFF	16		300	
		電流制限(CURRLIMIT)=低(Low)			250	
		電流制限(CURRLIMIT)=中(MEDIUM)			150	
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2 clkADC周期	0.25		5	μs
	変換時間(伝播遅延)	(RES+2) ÷ 2 + GAIN... 計算式 (RES=8または12, GAIN=0以外)	6		10	clkADC 周期
	始動時間	A/D変換クロック周期		12	24	
	ADC安定時間	基準電圧または入力形態変更後		7	7	

表36-11. 精度特性

シンボル	項目	条件 (注2)	最小	代表	最大	単位		
RES	分解能	12ビット分解能	差動	8	12	12	ビット	
			符号付きシングルエンド	7	11	11		
			符号なしシングルエンド	8	12	12		
INL	積分非直線性誤差 (注1)	差動動作	16kSPS, VREF=3V		1		LSB	
			16kSPS, VREF=1V		2			
			300kSPS, VREF=3V		1			
			300kSPS, VREF=1V		2			
		符号なしシングルエンド動作	16kSPS, VREF=3.0V		1	1.5		
			16kSPS, VREF=1.0V		2	3		
DNL	微分非直線性誤差 (注1)	差動動作	16kSPS, VREF=3V		1		LSB	
			16kSPS, VREF=1V		2			
			300kSPS, VREF=3V		1			
			300kSPS, VREF=1V		2			
		符号なしシングルエンド動作	16kSPS, VREF=3.0V		1	1.5		
			16kSPS, VREF=1.0V		2	3		
	変位(オフセット)誤差	差動動作	温度変動			8	mV	
			動作電圧変動		0.25		mV/V	
	利得誤差	差動動作	外部基準電圧		-5		mV	
			AVCC/1.6		-5			
			AVCC/2.0		-6			
			ハントキャップ		±10			
			温度変動		0.02			mV/K
			動作電圧変動		2			mV/V
		符号なしシングルエンド動作	外部基準電圧		-8		mV	
			AVCC/1.6		-8			
			AVCC/2.0		-8			
			ハントキャップ		±10			
		温度変動		0.03		mV/K		
		動作電圧変動		2		mV/V		

注1: 最大数値は特性付けに基づき、製造で検査されず、そして10~95%の入力範囲に対して有効です。

注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。

表36-12. 利得段特性

シンボル	項目	条件	最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え		4.0		kΩ
Csample	入力容量	標準動作での切り替え		4.4		pF
	信号範囲	利得段出力	0		VCC-0.3	V
	伝播遅延	A/D変換速度		1		clk _{ADC} 周期
	クロック速度	ADCと同じ	100		1800	kHz
	利得誤差	1/2倍、標準動作		-1		%
		1倍、標準動作		-1		
		8倍、標準動作		-1		
		64倍、標準動作		10		
	(入力基準での)変位(オフセット)誤差	1/2倍、標準動作		10		mV
		1倍、標準動作		10		
		8倍、標準動作		-20		
		64倍、標準動作		-150		

36.8. アナログ比較器特性

表36-13. アナログ比較器特性

シンボル	項目	条件	最小	代表	最大	単位
V _{off}	入力変位(オフセット)電圧			10		mV
I _{lk}	入力漏れ電流			<10	50	nA
	入力電圧範囲		-0.1		AVCC-0.1	V
	始動時間			50		μs
V _{hyst1}	ヒステリシス(なし設定時)			0		
V _{hyst2}	ヒステリシス(小設定時)	VCC=1.6~3.6V		12		mV
V _{hyst3}	ヒステリシス(大設定時)			28		
t _{delay}	伝播遅延	VCC=3.0V, T=85°C		22	30	ns
		VCC=1.6~3.6V		21	40	
	64レベル分圧器積分非直線性(INL)			0.3	0.5	LSB
	校正後電流源精度			5		%
	電流源校正範囲	単一動作形態	4		6	μA
		2重動作形態	8		12	

36.9. バンドギャップと内部1.0V基準電圧特性

表36-14. バンドギャップと内部1.0V基準電圧特性

シンボル	項目	条件	最小	代表	最大	単位
	始動時間	ADCまたはDACの基準電圧として	1clk _{PER} +2.5μs			μs
		ADCまたはACの入力として		1.5		
	バンドギャップ電圧			1.1		V
INT1V	内部1.00V基準電圧	校正後, T=85°C	0.99	1	1.01	
	電圧と温度での変動	T=85°Cで校正後		2.25		%

36.10. 低電圧検出(Brownout Detection)特性

表36-15. 低電圧検出特性

シンボル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0	T=85°C,校正	1.5	1.6	1.72	V
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		
	VCC降下検出レベル4			2.4		
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レベル7			3.0		
tBOD	検出時間	継続動作		0.4		μs
		採取動作		1000		
VHYST	ヒステリシス			1.6		%

注: 値電圧検出(BOD)は85°Cで検出レベル0に対して校正され、検出レベル0が既定レベルです。

36.11. 外部リセット特性

表36-16. 外部リセット特性

シンボル	項目	条件	最小	代表	最大	単位
tEXT	最小リセットパルス幅			90	1000	ns
VRST	リセット閾値電圧	VCC=2.7~3.6V		0.50VCC		V
		VCC=1.6~2.7V		0.40VCC		

36.12. 電源ONリセット特性

表36-17. 電源ONリセット(POR)特性

シンボル	項目	条件	最小	代表	最大	単位
VPOT-	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		V
		1V/msまたはより遅いVCC下降	0.8	1.3		
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: 両VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はμBODが許可され、VPOT-=VPOT+です。

36.13. フラッシュメモリとEEPROMの特性

表36-18. 耐久性とデータ保持力

シンボル	項目	条件	最小	代表	最大	単位
	フラッシュメモリ耐久性	書き込み/消去繰り返し	25°C	10,000		回
			85°C	10,000		
	フラッシュメモリデータ保持力		25°C	100		年
			55°C	25		
	EEPROM耐久性	書き込み/消去繰り返し	25°C	100,000		回
			85°C	100,000		
	EEPROMデータ保持力		25°C	100		年
			55°C	25		

表36-19. プログラミング時間

シンボル	項目	条件	最小	代表(注1)	最大	単位
	チップ消去時間	128KBフラッシュとEEPROM(注2)の消去		75		
		64KBフラッシュとEEPROM(注2)の消去		55		
	フラッシュメモリプログラミング時間	ページ消去		6		ms
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		
	EEPROMプログラミング時間	ページ消去		6		
		ページ書き込み		6		
		非分断ページ消去/ページ書き込み		12		

注1: プログラミングは内部2MHz発振器から計時されます。

注2: EESAVEヒューズがプログラム(0)されている場合、EEPROMは消去されません。

36.14. クロックと発振器の特性

36.14.1. 校正付き32.768kHz内部発振器特性

表36-20. 校正付き32.768kHz内部発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V, T=85°C	-0.5		0.5	%
	使用者校正精度		-0.5		0.5	

36.14.2. 校正付き2MHz内部発振器特性

表36-21. 2MHz内部発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLがこの周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V, T=85°C	-1.5		1.5	%
	使用者校正精度		-0.2		0.2	
	DFLL校正段階量			0.22		

36.14.3. 校正付き32MHz内部発振器特性

表36-22. 32MHz内部発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLがこの周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V, T=85°C	-1.5		1.5	%
	使用者校正精度		-0.2		0.2	
	DFLL校正段階量			0.23		

36.14.4. 32kHz内部ULP発振器特性

表36-23. 32kHz内部ULP発振器特性

シンボル	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V, T=85°C	-12		12	%

36.14.5. 内部位相固定化閉路(PLL)特性

表36-24. 内部PLL特性

シンボル	項目	条件	最小	代表	最大	単位
f_{IN}	入力周波数	出力周波数は f_{OUT} 以内	0.4		64	MHz
f_{OUT}	出力周波数 (注)	VCC=1.6~1.8V VCC=2.7~3.6V	20 20		48 128	
	始動時間			23	100	μs
	再固定化時間			20	50	

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはできません。

36.14.6. 外部クロック特性

図36-3. 外部クロック駆動波形

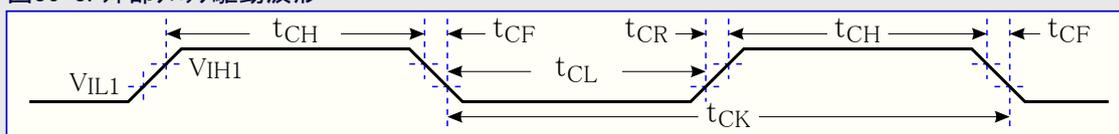


表36-25. 前置分周なしでシステムクロックとして使われる外部クロック

シンボル	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	クロック周波数 (注)	VCC=1.6~1.8V VCC=2.7~3.6V	0 0		12 32	MHz
t_{CK}	クロック周期	VCC=1.6~1.8V VCC=2.7~3.6V	83.3 31.5			
t_{CH}	クロックHigh時間	VCC=1.6~1.8V VCC=2.7~3.6V	30.0 12.5			ns
t_{CL}	クロックLow時間	VCC=1.6~1.8V VCC=2.7~3.6V	30.0 12.5			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6~1.8V VCC=2.7~3.6V			10 3	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6~1.8V VCC=2.7~3.6V			10 3	
Δt_{CK}	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。

表36-26. システムクロック用に前置分周器(注1)を持つ外部クロック

シンボル	項目	条件	最小	代表	最大	単位
$1/t_{CK}$	クロック周波数 (注2)	VCC=1.6~1.8V VCC=2.7~3.6V	0 0		90 142	MHz
t_{CK}	クロック周期	VCC=1.6~1.8V VCC=2.7~3.6V	11 7			
t_{CH}	クロックHigh時間	VCC=1.6~1.8V VCC=2.7~3.6V	4.5 2.4			ns
t_{CL}	クロックLow時間	VCC=1.6~1.8V VCC=2.7~3.6V	4.5 2.4			
t_{CR}	(最大周波数に対する)上昇時間	VCC=1.6~1.8V VCC=2.7~3.6V			1.5 1.0	
t_{CF}	(最大周波数に対する)下降時間	VCC=1.6~1.8V VCC=2.7~3.6V			1.5 1.0	
Δt_{CK}	次周期への周期内変化率				10	%

注1: システムクロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。

注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。

36.14.7. 外部16MHzクリスタル用発振器とXOSCの特性

表36-27. 外部16MHzクリスタル用発振器とXOSCの特性

シンボル	項目	条件	最小	代表	最大	単位
	周期間微動	XOSCPWR=0,FRQRANGE=0		0		ns
		XOSCPWR=0,FRQRANGE=1,2,3		0		
		XOSCPWR=1		0		
	長期間微動	XOSCPWR=0,FRQRANGE=0		0		ns
		XOSCPWR=0,FRQRANGE=1,2,3		0		
		XOSCPWR=1		0		
	周波数誤差	XOSCPWR=0,FRQRANGE=0		0.03		%
		XOSCPWR=0,FRQRANGE=1		0.03		
		XOSCPWR=0,FRQRANGE=2,3		0.03		
		XOSCPWR=1		0.03		
	デューティサイクル	XOSCPWR=0,FRQRANGE=0		50		%
		XOSCPWR=0,FRQRANGE=1		50		
		XOSCPWR=0,FRQRANGE=2,3		50		
		XOSCPWR=1		50		
RQ	負インピーダンス (注)	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF		44k	Ω
			1MHzクリスタル,CL=20pF		67k	
			2MHzクリスタル,CL=20pF		67k	
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリスタル		82k	
			8MHzクリスタル		1.5k	
			9MHzクリスタル		1.5k	
		XOSCPWR=0, FRQRANGE=2, CL=20pF	8MHzクリスタル		2.7k	
			9MHzクリスタル		2.7k	
			12MHzクリスタル		1k	
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリスタル		3.6k	
			12MHzクリスタル		1.3k	
			16MHzクリスタル		590	
		XOSCPWR=1, FRQRANGE=0, CL=20pF	9MHzクリスタル		390	
			12MHzクリスタル		50	
16MHzクリスタル			10			
XOSCPWR=1, FRQRANGE=1, CL=20pF	9MHzクリスタル		1.5k			
	12MHzクリスタル		650			
	16MHzクリスタル		270			
XOSCPWR=1, FRQRANGE=2,CL=20pF	12MHzクリスタル		1k			
	16MHzクリスタル		440			
XOSCPWR=1, FRQRANGE=3,CL=20pF	12MHzクリスタル		1.3k			
	16MHzクリスタル		590			
	始動時間	XOSCPWR=0, FRQRANGE=0	0.4MHzセラミック,CL=100pF		1.0	ms
			2MHzクリスタル,CL=20pF		2.6	
		XOSCPWR=0, FRQRANGE=2	8MHzセラミック,CL=20pF		0.8	
			12MHzセラミック,CL=20pF		1.0	
		XOSCPWR=1, FRQRANGE=3	16MHzセラミック,CL=20pF		1.4	
ESR	等価直列抵抗	SF=安全係数			min(RQ)/SF	kΩ
CXTAL1	XTAL1ピン寄生容量			5.9		pF
CXTAL2	XTAL2ピン寄生容量			8.3		
CLOAD	寄生容量性負荷			3.5		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。

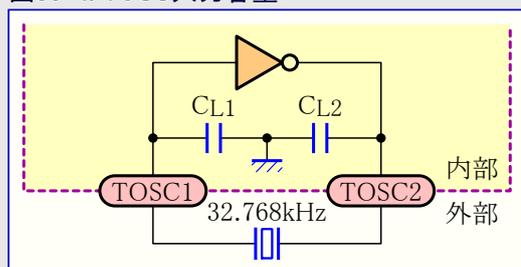
36.14.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

表36-28. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンボル	項目	条件	最小	代表	最大	単位
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量6.5pF			60	kΩ
		クリスタル負荷容量9.0pF			35	
		クリスタル負荷容量12.0pF			28	
C _{IN_TOSC}	TOSCピン間入力容量	標準形態		3.5		pF
		低電力形態		3.5		
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3			
	長期間微動(SIT)			0		%

注: 定義については図36-4をご覧ください。

図36-4. TOSC入力容量



TOSCピン間の入力容量は、外部容量なし発振時にクリスタルから見えるように直列でCL1+CL2です。

36.15. SPIタイミング特性

図36-5. 主装置動作でのSPI タイミング必要条件

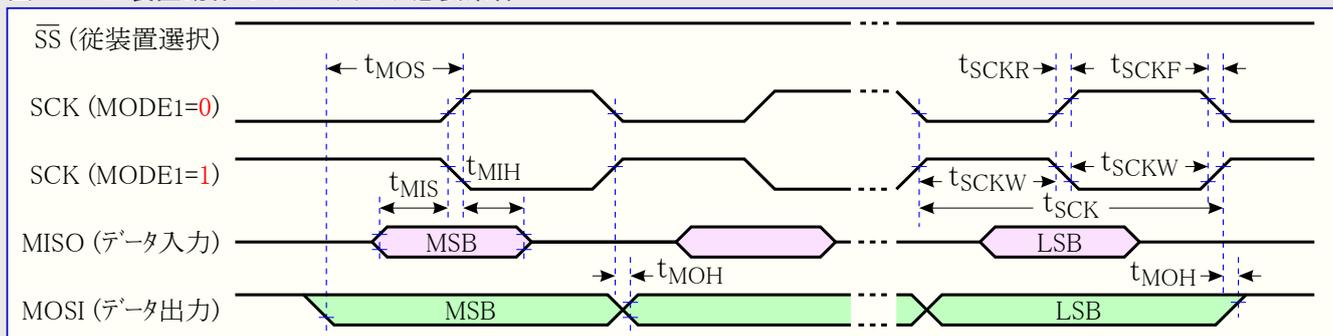


図36-6. 従装置動作でのSPI タイミング必要条件

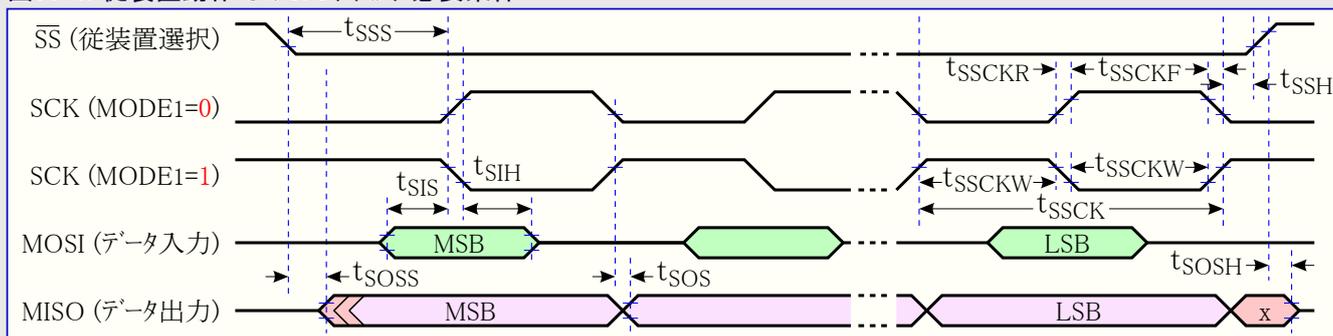


表36-29. SPI タイミング特性と必要条件

シンボル	項目	動作種別	最小	代表	最大	単位
t_{SCK}	SCK周期	主装置	XMEGA B 手引書の表20-3をご覧ください。			
t_{SCKW}	SCK High/Low期間	主装置		$0.5 \times SCK$		
t_{SCKR}	SCK 上昇時間	主装置		2.7		
t_{SCKF}	SCK 下降時間	主装置		2.7		
t_{MIS}	入力データ 準備時間	主装置		11		
t_{MIH}	入力データ 保持時間	主装置		0		
t_{MOS}	SCK 先行端対、出力データ 準備時間	主装置		$0.5 \times SCK$		
t_{MOH}	SCKからの出力遅延時間	主装置		1		
t_{SSCK}	SCK周期	従装置	$4 \times t_{clkPER}$			ns
t_{SSCKW}	SCK High/Low期間	従装置	$2 \times t_{clkPER}$			
t_{SSCKR}	SCK 上昇時間	従装置			1600	
t_{SSCKF}	SCK 下降時間	従装置			1600	
t_{SIS}	入力データ 準備時間	従装置	3			
t_{SIH}	入力データ 保持時間	従装置	t_{clkPER}			
t_{SSS}	SCK 先行端に対する \overline{SS} ↓ 準備時間	従装置	21			
t_{SSH}	SCK 後行端からの \overline{SS} Low 保持時間	従装置	20			
t_{SOS}	SCKからの出力遅延時間	従装置		8		
t_{SOH}	SCKからの出力保持時間	従装置		13		
t_{SOSS}	\overline{SS} ↓ からの出力準備時間	従装置		11		
t_{SOSH}	\overline{SS} ↑ からの出力保持時間	従装置		8		

(訳注) 表36-29.の t_{SOH} は図36-6.で対応するシンボル記載がありません。

36.16. 2線インターフェース特性

表36-30は2線直列バスに接続した装置に対する必要条件を記述します。XMEGAの2線インターフェースは記載条件下で、これらの必要条件を越えるか、または合致します。タイミングシンボルは図36-7を参照してください。

図36-7. 2線インターフェースバスタイミング

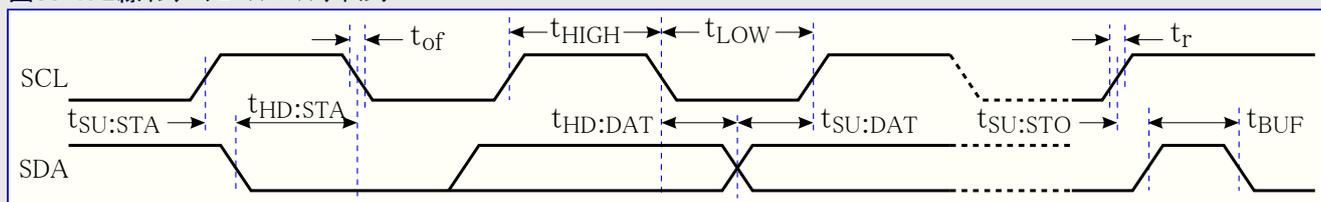


表36-30. 2線直列バス特性

シンボル	項目	条件	最小	代表	最大	単位
V_{IH}	Highレベル入力電圧		0.7VCC		VCC+0.5	V
V_{IL}	Lowレベル入力電圧		-0.5		0.3VCC	
V_{hys}	シュミットトリガ入力ヒステリシス電圧		① 0.05VCC			
V_{OL}	Lowレベル出力電圧	$I_{OL}=3mA$	0		0.4	ns
t_r	SDAとSCL両方の出力上昇時間		① 20+0.1Cb ②		300	
t_{of}	出力下降時間($V_{IHmin} \rightarrow V_{ILmax}$)	$10pF < C_b < 400pF$	① 20+0.1Cb ②		250	
t_{SP}	入力濾波による尖頭雑音消去		0		50	μA
I_i	入力電流(ピン単位)	$0.1VCC < V_i < 0.9VCC$	-10		10	
C_i	ピン入力容量				10	pF
f_{SCL}	SCLクロック周波数	$f_{PER} \textcircled{3} > \max(16f_{SCL}, 250kHz)$	0		400	kHz
R_p	プルアップ抵抗値	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	(VCC-0.4V) 3mA	100ns Cb	300ns Cb	
$t_{HD:STA}$	(再送)開始条件保持時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.0 0.6			μs
t_{LOW}	SCLクロックLowレベル時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.7 1.3			
t_{HIGH}	SCLクロックHighレベル時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.0 0.6			ns
$t_{SU:STA}$	再送開始条件準備時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.7 0.6			
$t_{HD:DAT}$	データ保持時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	0 0		3.5 0.9	μs
$t_{SU:DAT}$	データ準備時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	250 100			
$t_{SU:STO}$	停止条件準備時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.0 0.6			ns
t_{BUF}	停止条件→開始条件間バス開放時間	$f_{SCL} \leq 100kHz$ $f_{SCL} > 100kHz$	4.7 1.3			

① $f_{SCL} > 100kHz$ についてのみ必要とされます。

② C_b は1つのバス信号線の容量(pF)です。

③ f_{PER} は周辺機能クロック周波数です。

37. 代表特性

37.1. 消費電流

37.1.1. 活動動作消費電流

図37-1. 活動動作消費電流 対 周波数 ($f_{SYS}=0.1\sim 1.0\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

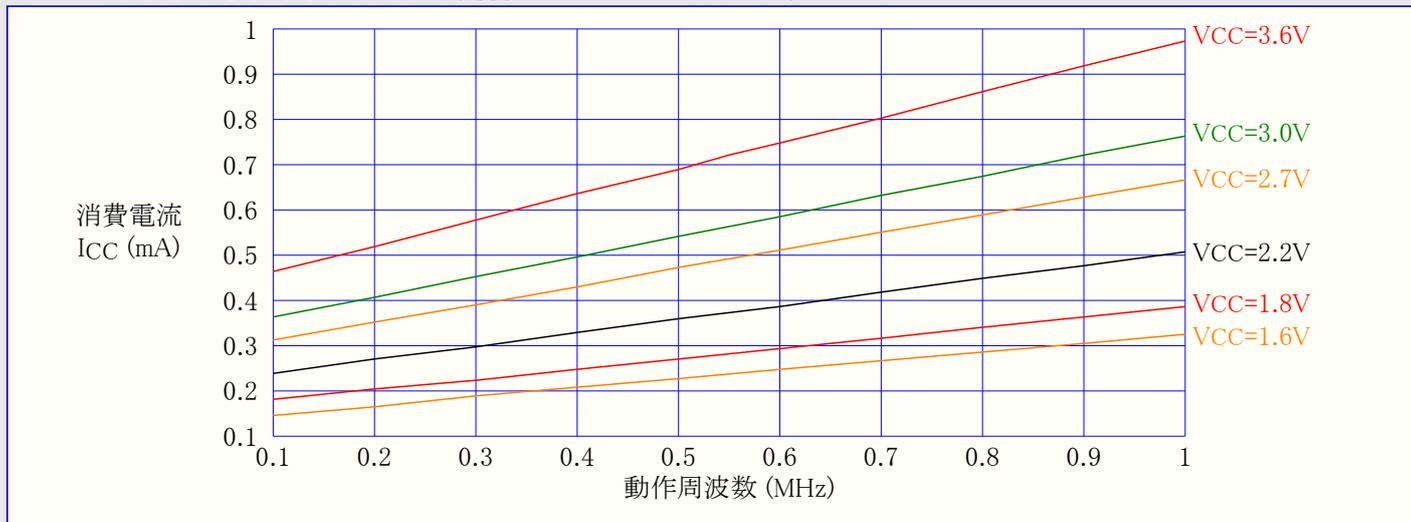


図37-2. 活動動作消費電流 対 周波数 ($f_{SYS}=1\sim 32\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

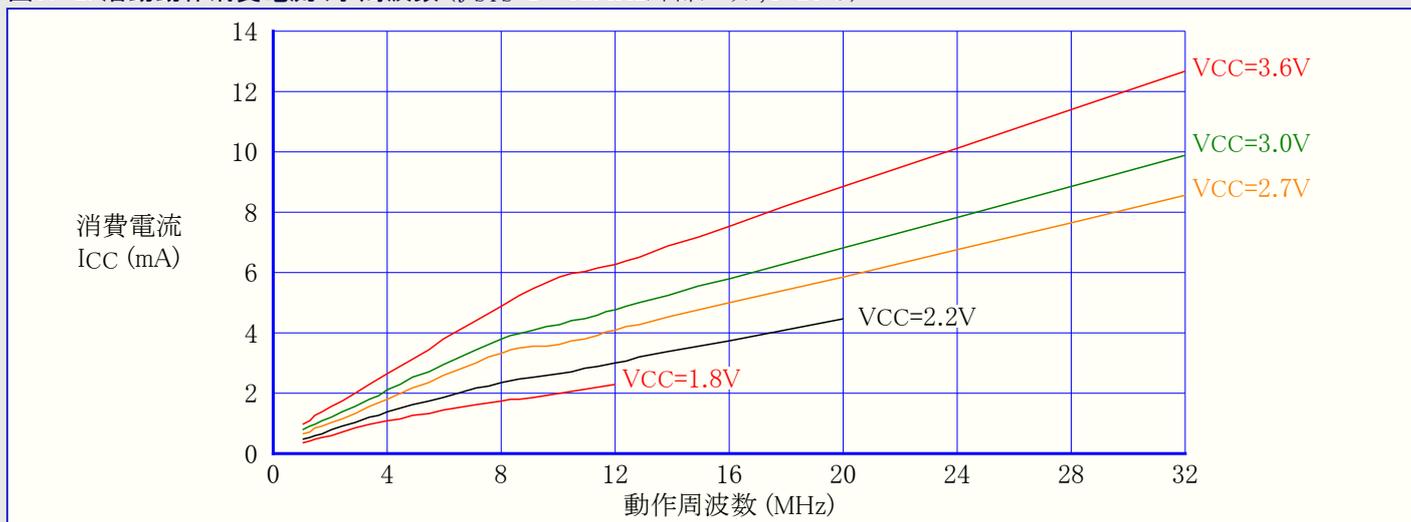
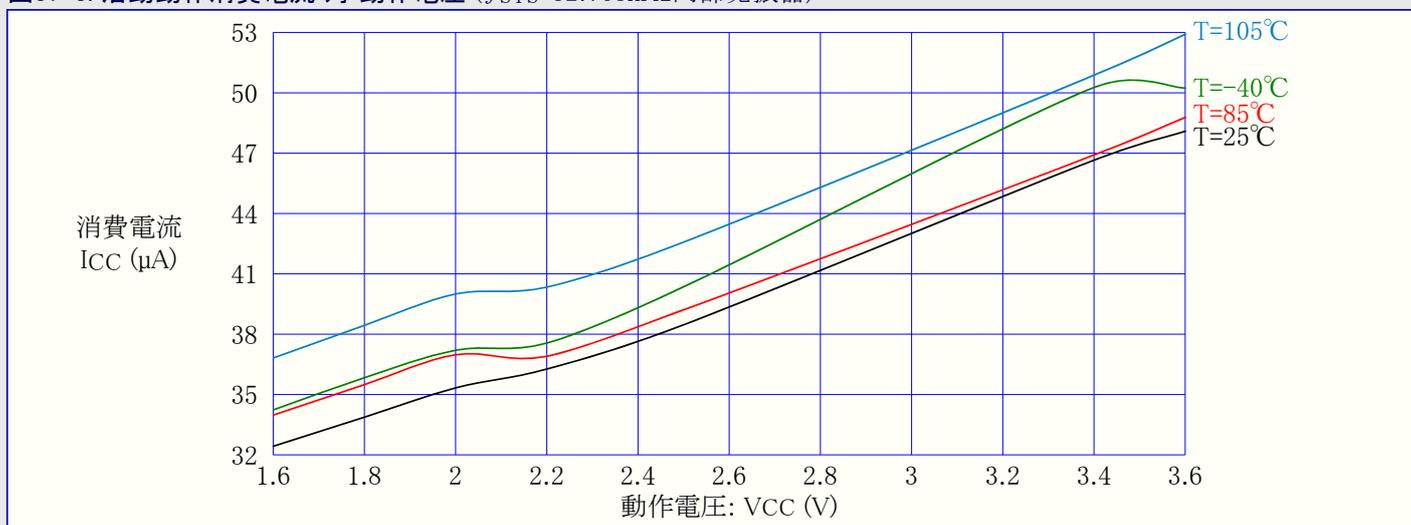


図37-3. 活動動作消費電流 対 動作電圧 ($f_{SYS}=32.768\text{kHz}$ 内部発振器)



(訳注) 原書での図37-3.は誤って図37-5.と入れ替わっています。本書では正しくなるように入れ替えてあります。

図37-4. 活動動作消費電流 対 動作電圧 ($f_{SYS}=2\text{MHz}$ 内部発振器)

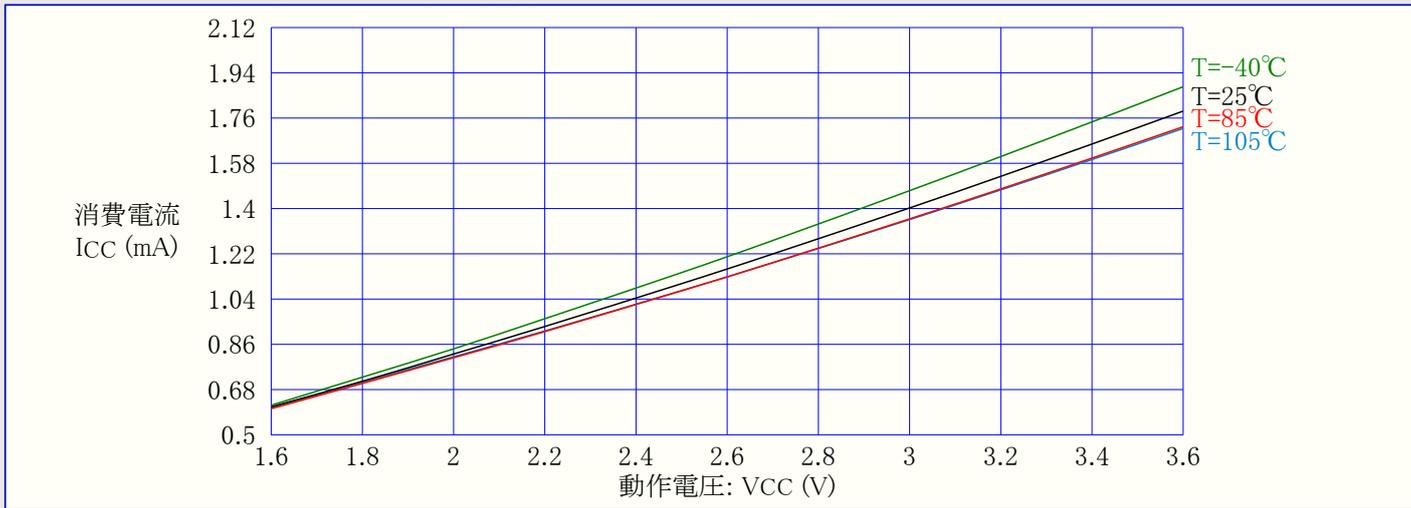


図37-5. 活動動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ に前置分周した32MHz内部発振器)

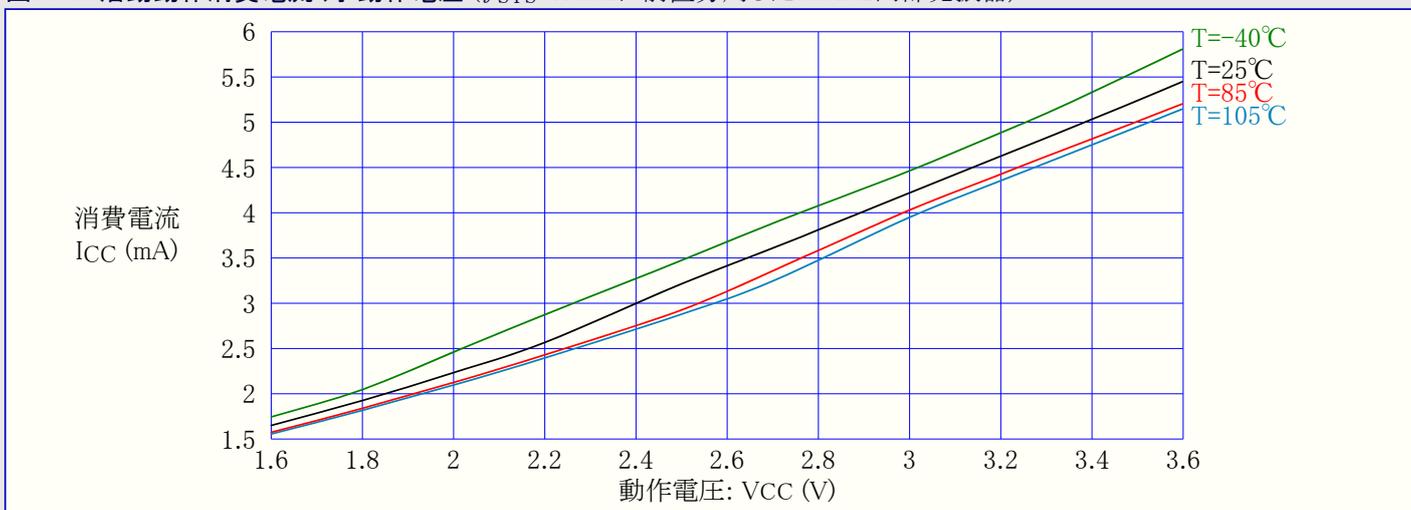
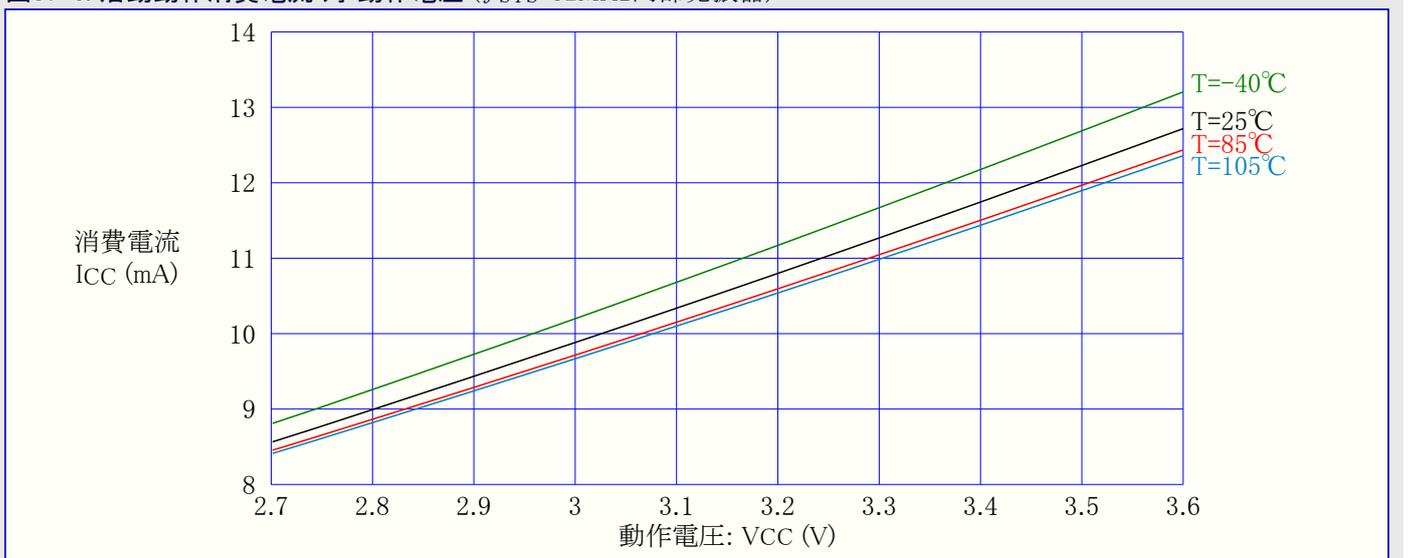


図37-6. 活動動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部発振器)



(訳注) 原書での図37-5.は誤って図37-3.と入れ替わっています。本書では正しくなるように入れ替えてあります。

37.1.2. アイドル動作消費電流

図37-5. アイドル動作消費電流 対 周波数 ($f_{SYS}=0.1\sim 1.0\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

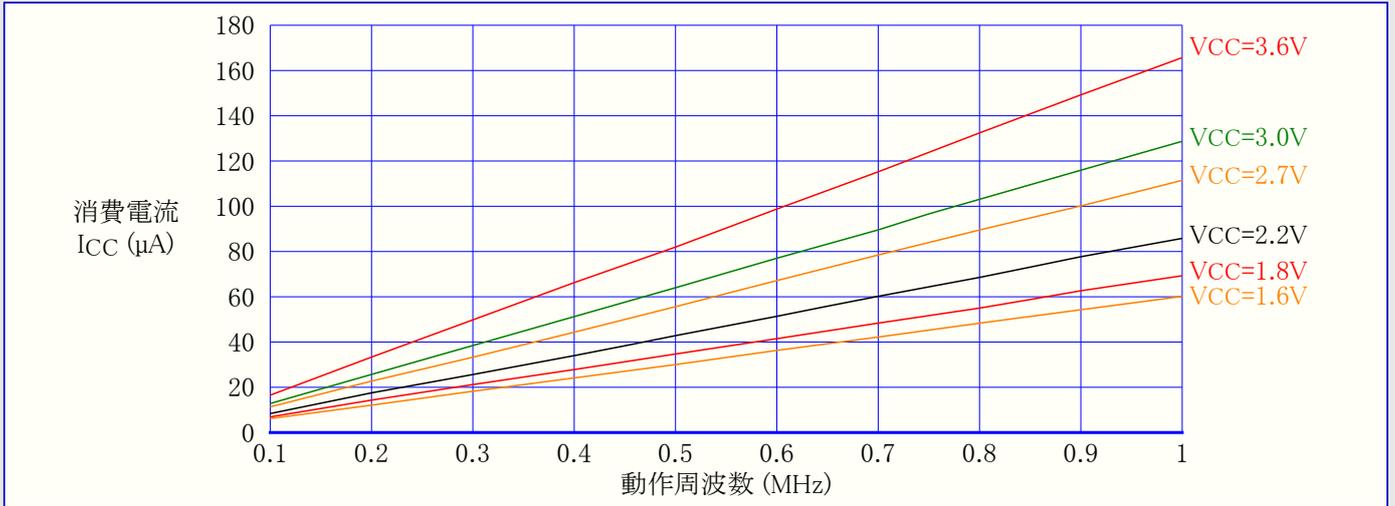


図37-6. アイドル動作消費電流 対 周波数 ($f_{SYS}=1\sim 32\text{MHz}$ 外部クロック, $T=25^\circ\text{C}$)

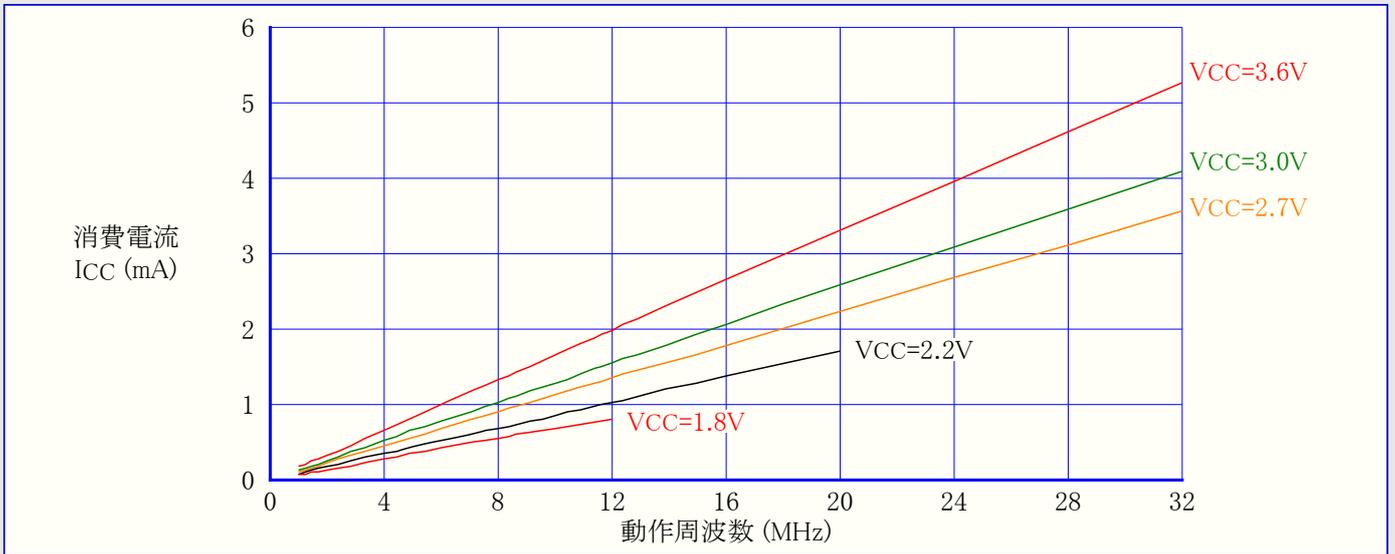


図37-9. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=32.768\text{kHz}$ 内部発振器)

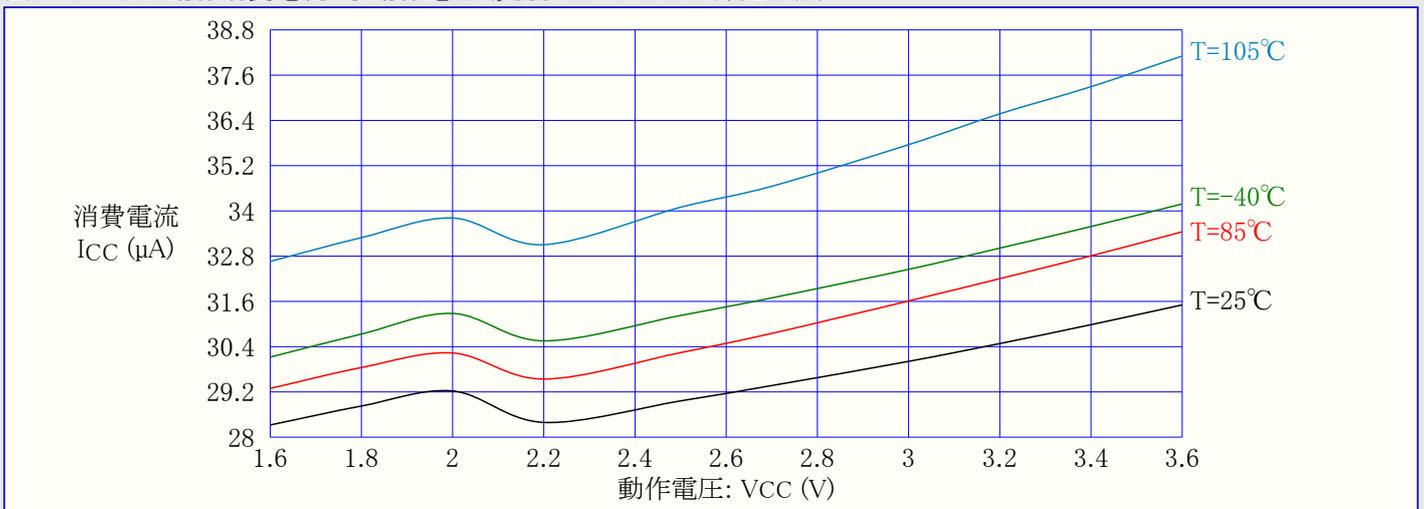


図37-10. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=2\text{MHz}$ 内部発振器)

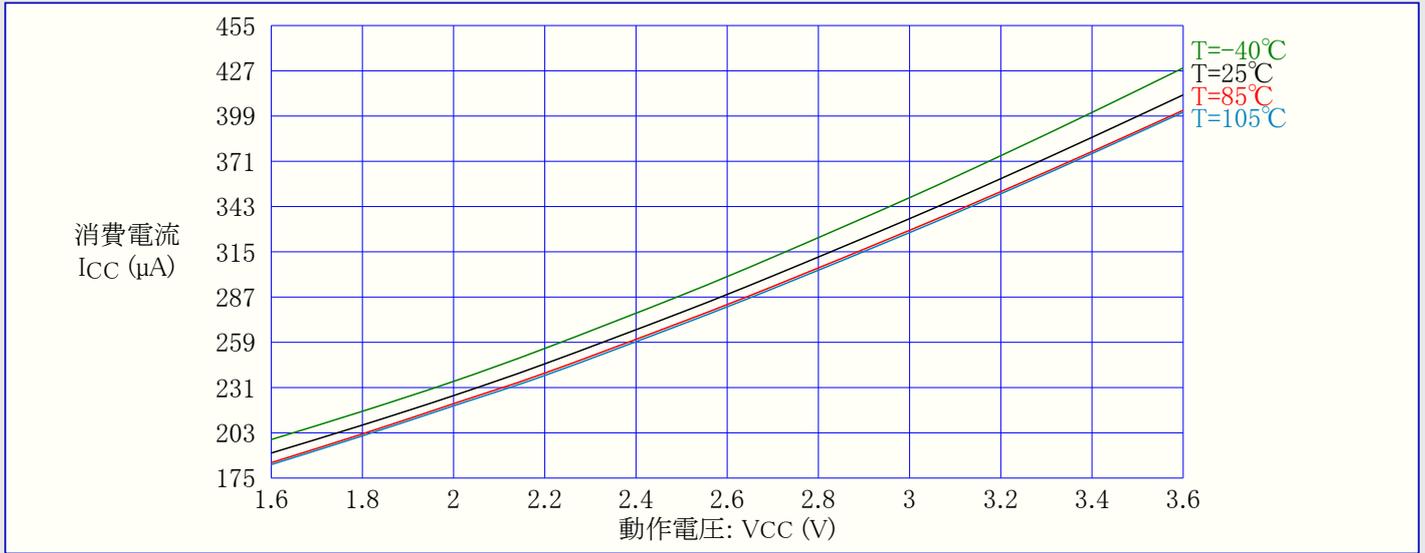


図37-11. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=8\text{MHz}$ へ前置分周された32MHz内部発振器)

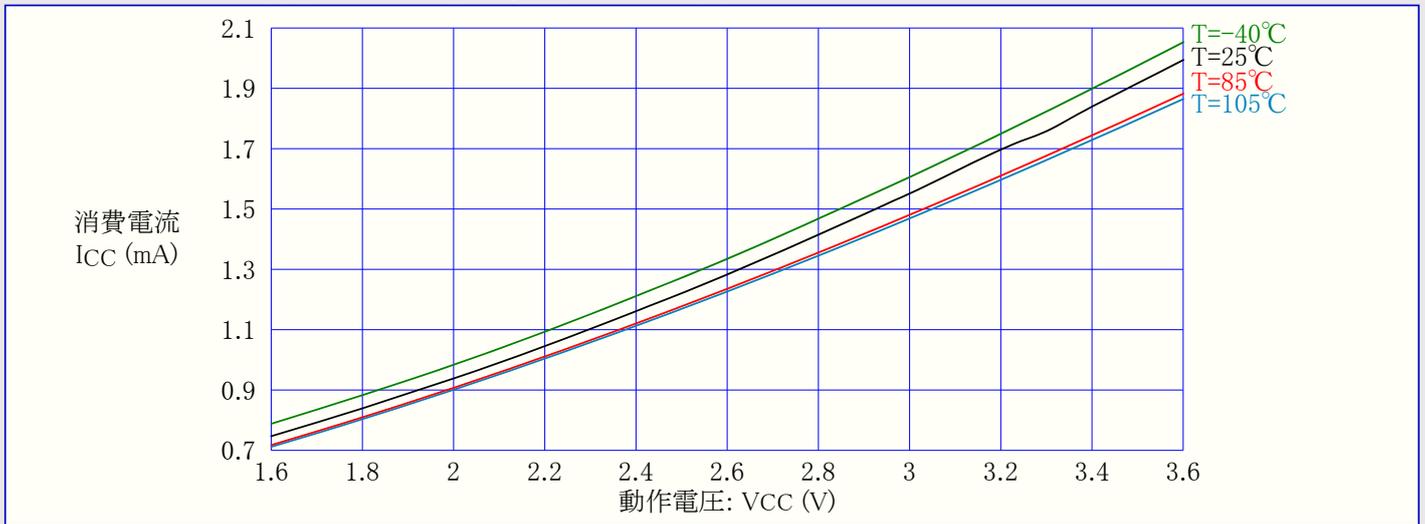
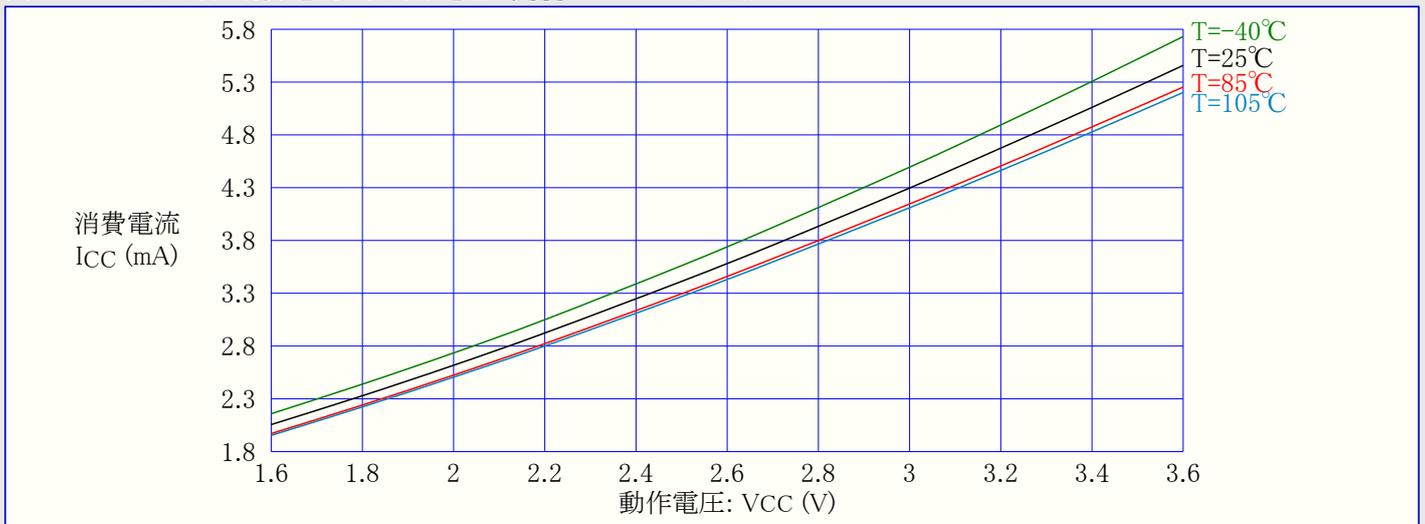


図37-12. アイドル動作消費電流 対 動作電圧 ($f_{SYS}=32\text{MHz}$ 内部発振器)



37.1.3. パワーダウン動作消費電流

図37-13. パワーダウン動作消費電流 対 動作温度 (全機能禁止)

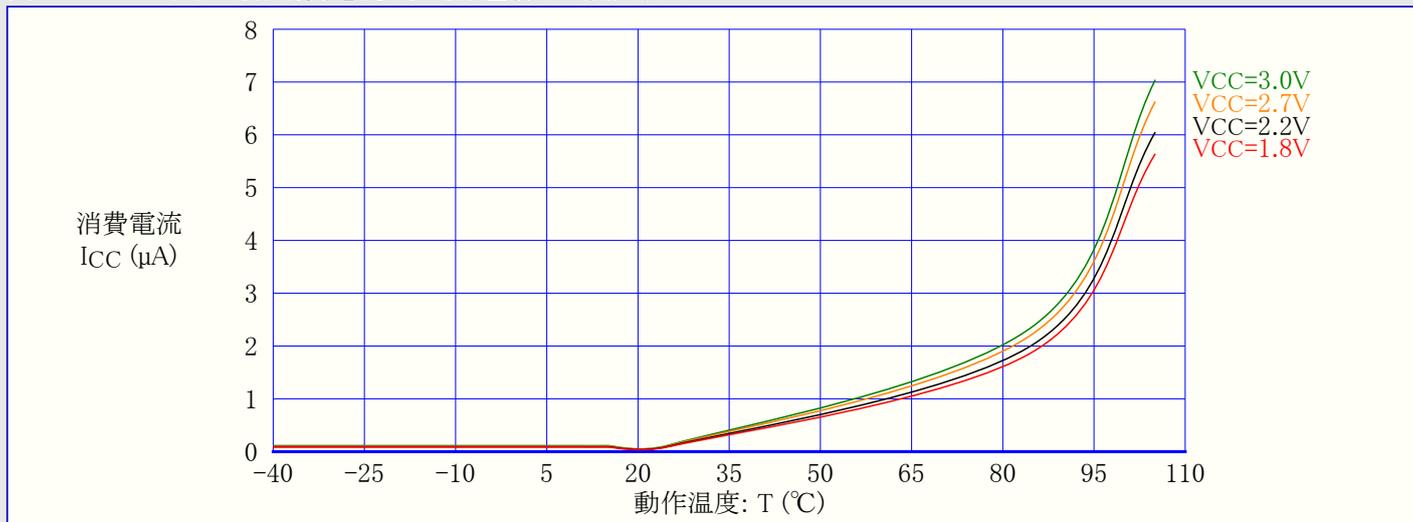


図37-14. パワーダウン動作消費電流 対 動作温度 (採取動作BOD,WDT許可)

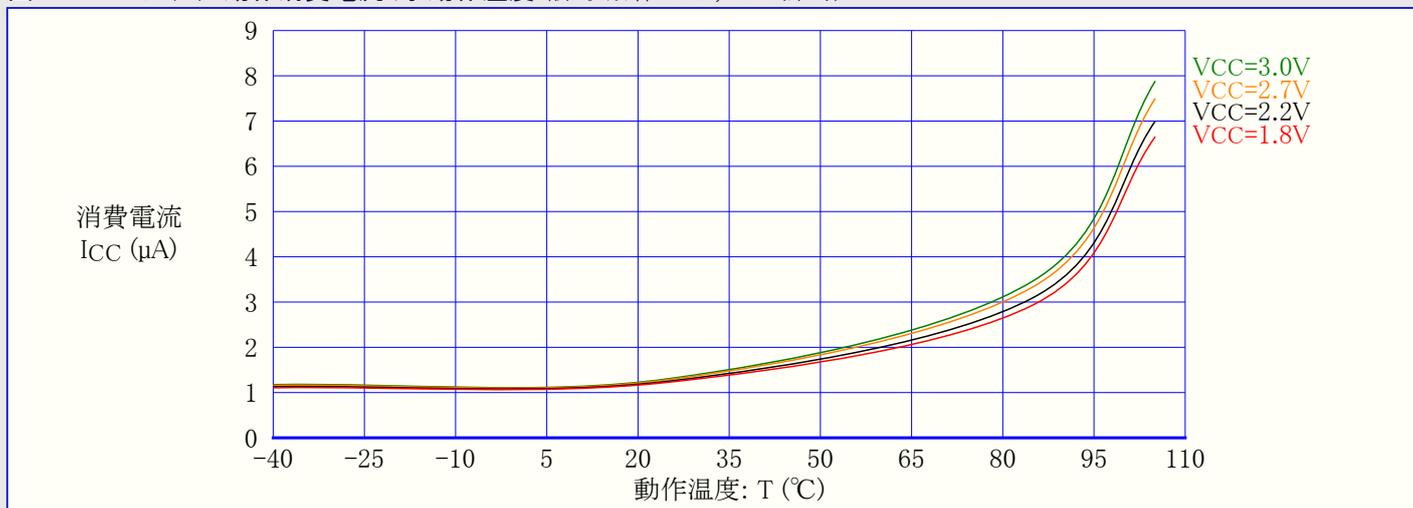


図37-15. パワーダウン動作消費電流 対 動作電圧 (全機能禁止)

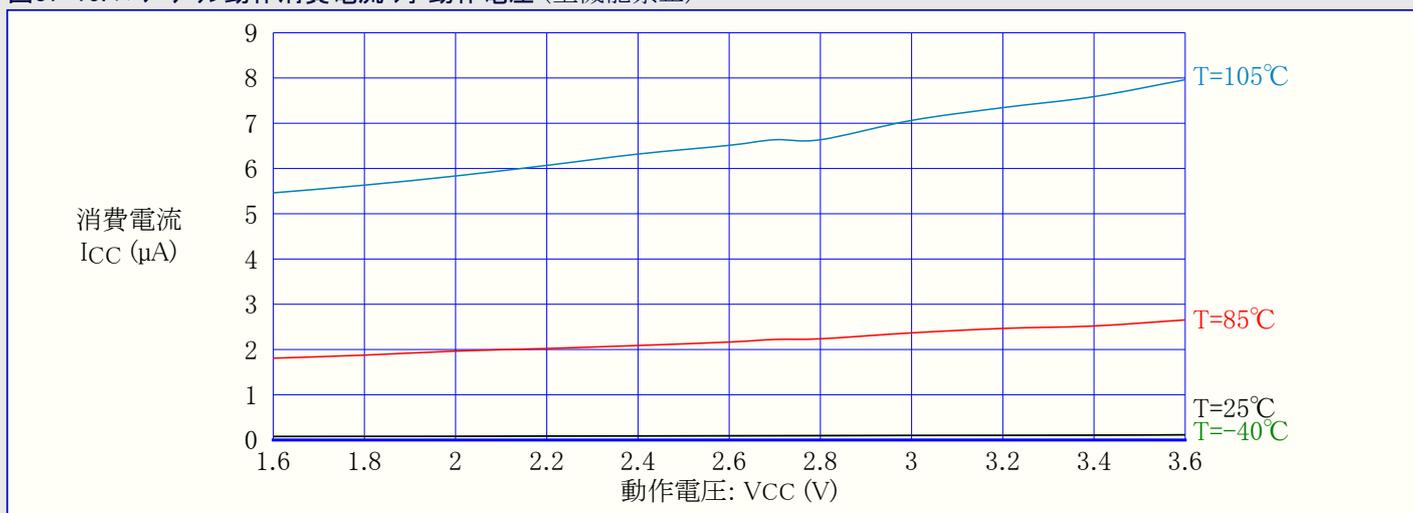
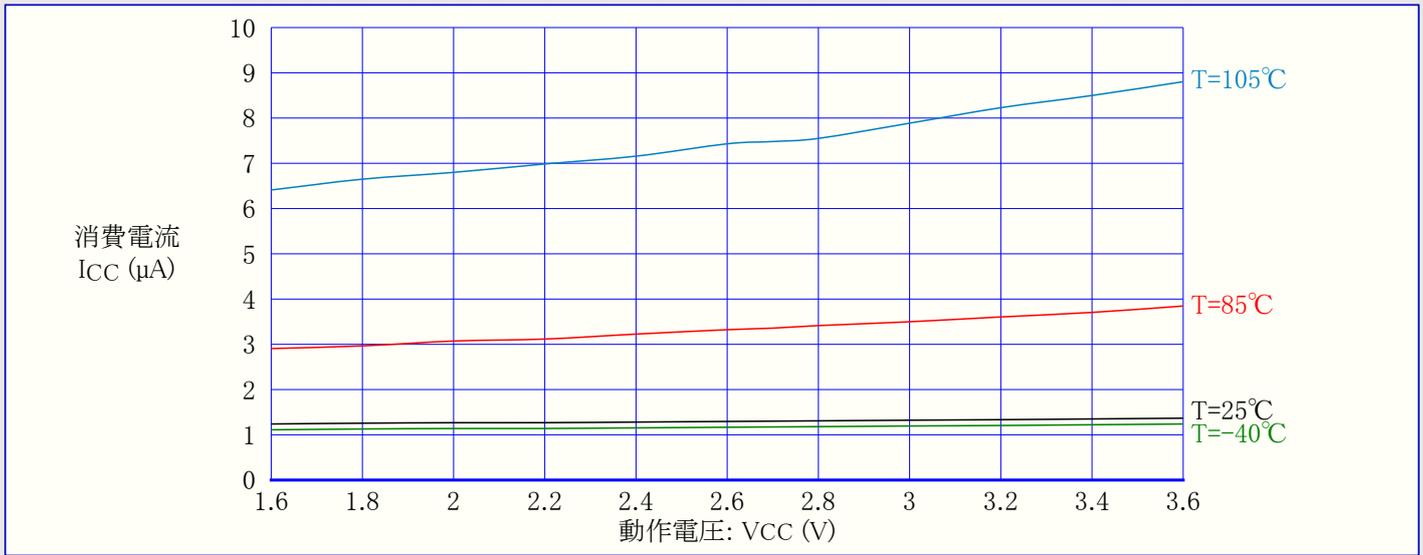


図38-16. パワーダウン動作消費電流 対 動作電圧 (ULP発振器で走行するウォッチドッグタイマでの採取動作BOD)



37.2. 入出力ピン特性

37.2.1. プルアップ

図37-17. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=1.8V)

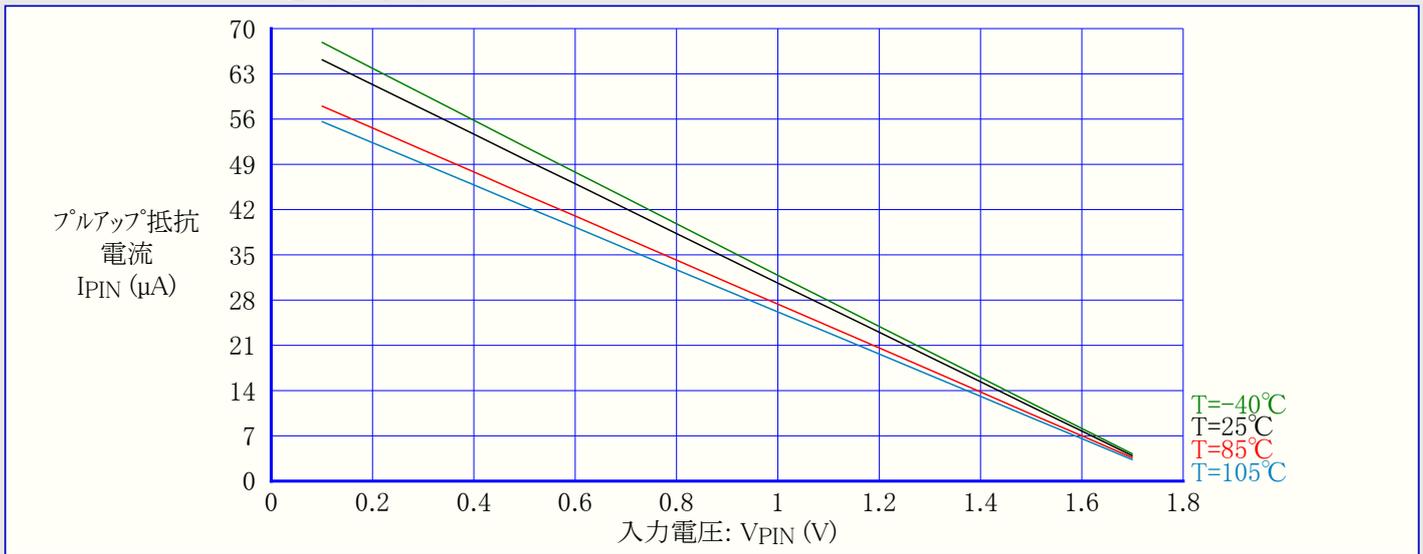


図37-18. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=3.0V)

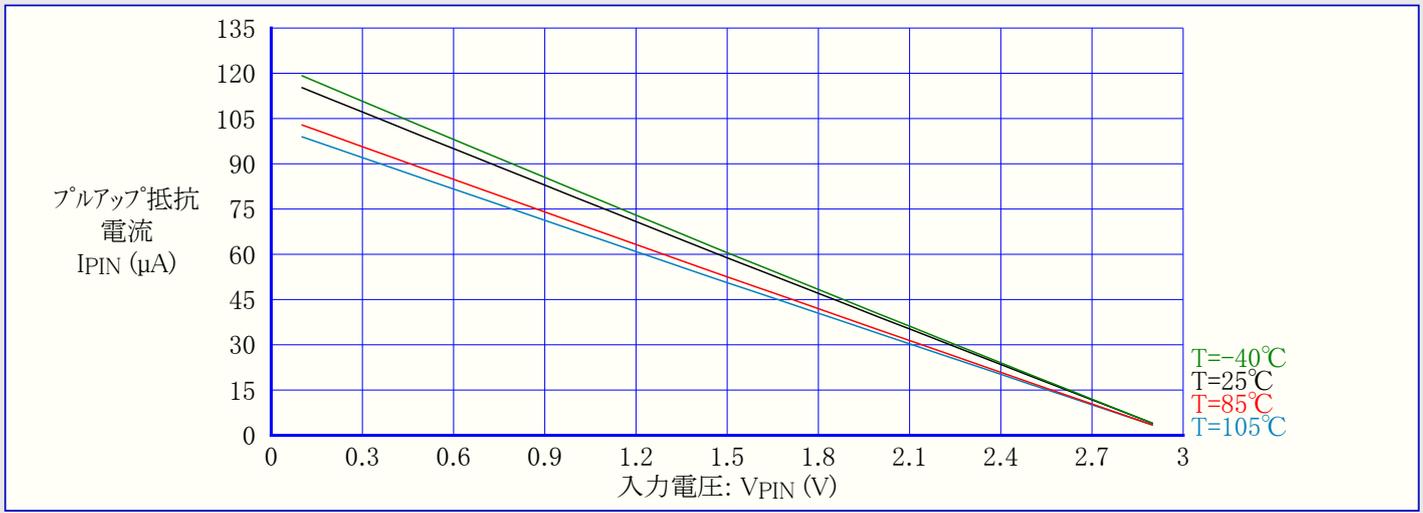
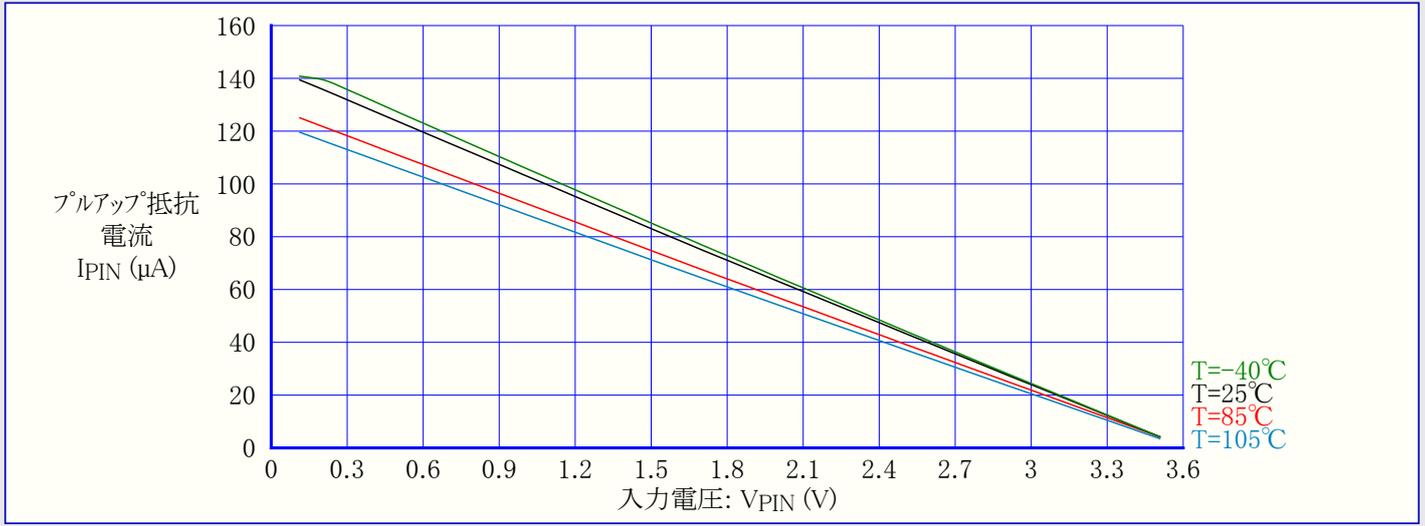


図37-19. I/Oピンプルアップ抵抗電流 対 入力電圧 (VCC=3.3V)



37.2.2. 出力電圧 対 吸い込み/吐き出し電流

図37-20. I/Oピン出力電圧 対 吐き出し電流 (VCC=1.8V)

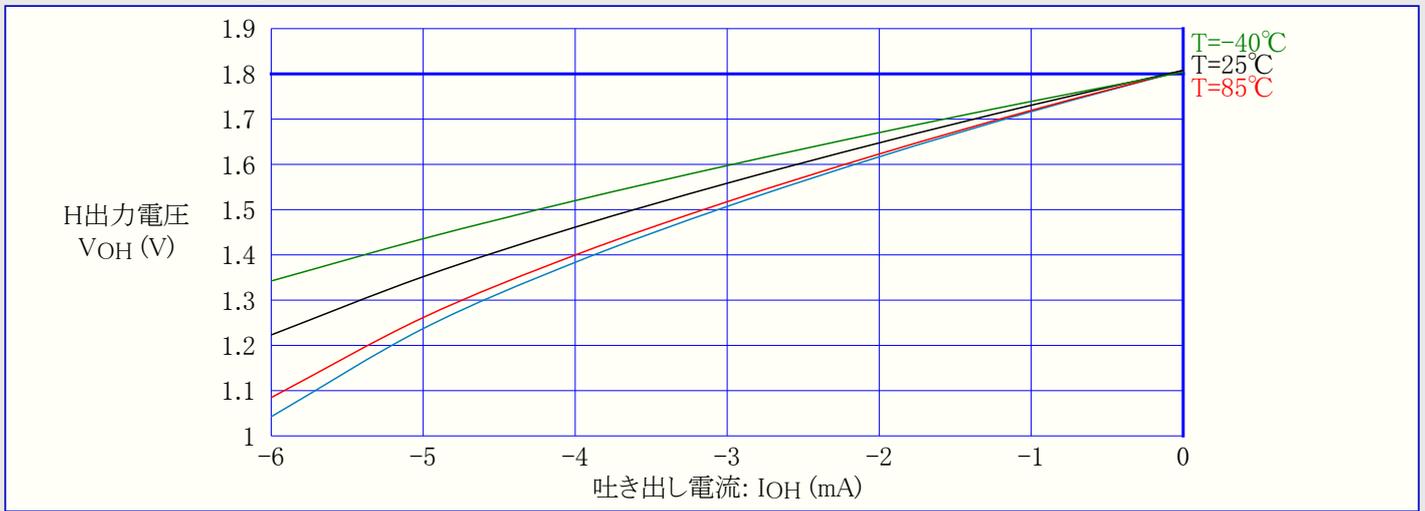


図37-21. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.0V)

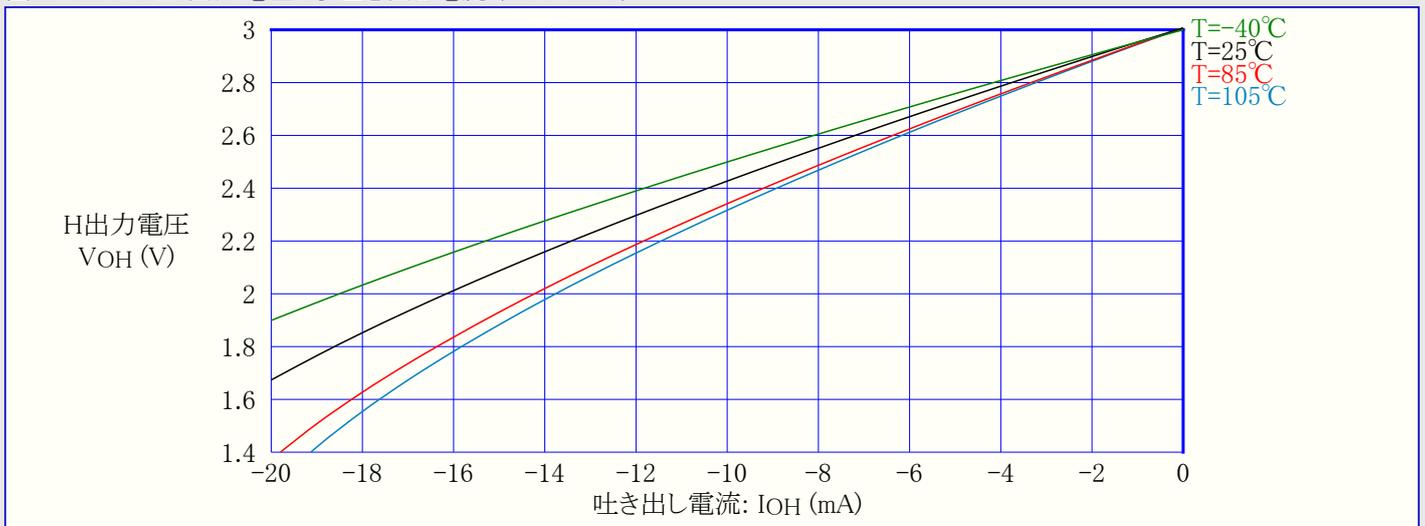


図37-22. I/Oピン出力電圧 対 吐き出し電流 (VCC=3.3V)

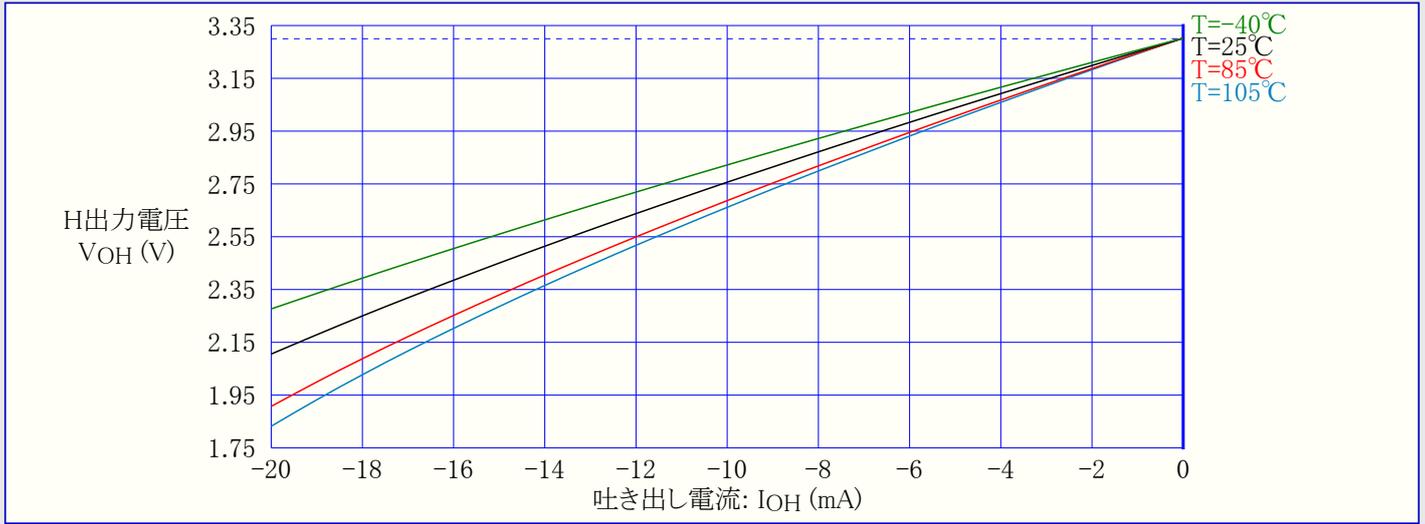


図37-23. I/Oピン出力電圧 対 吸い込み電流 (VCC=1.8V)

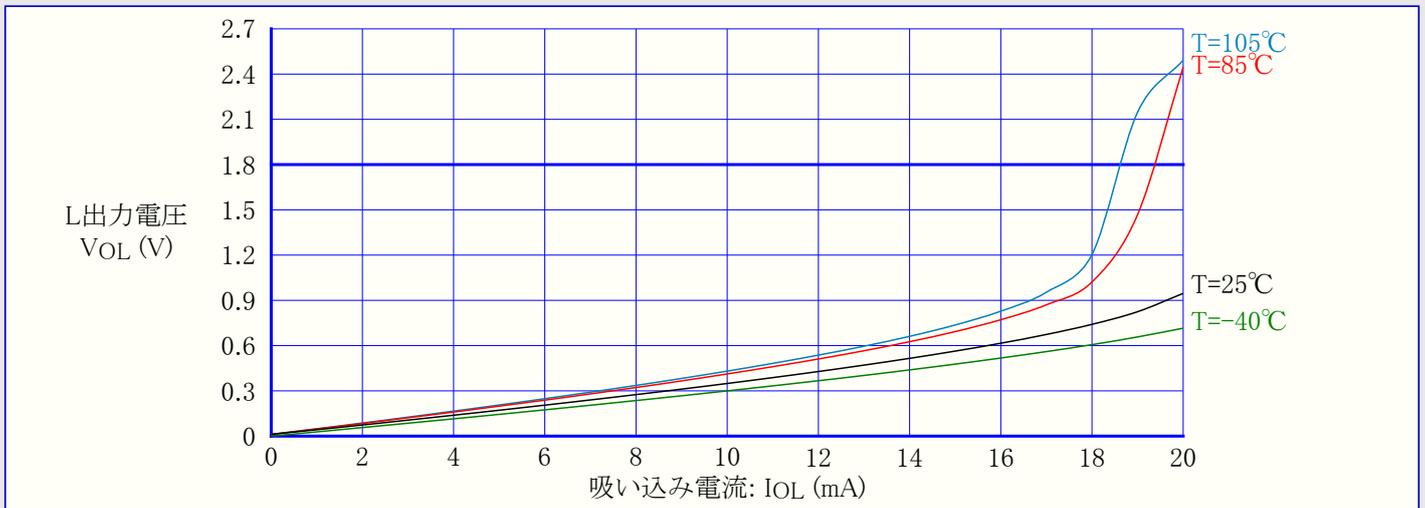


図37-24. I/Oピン出力電圧 対 吸い込み電流 (VCC=3.0V)

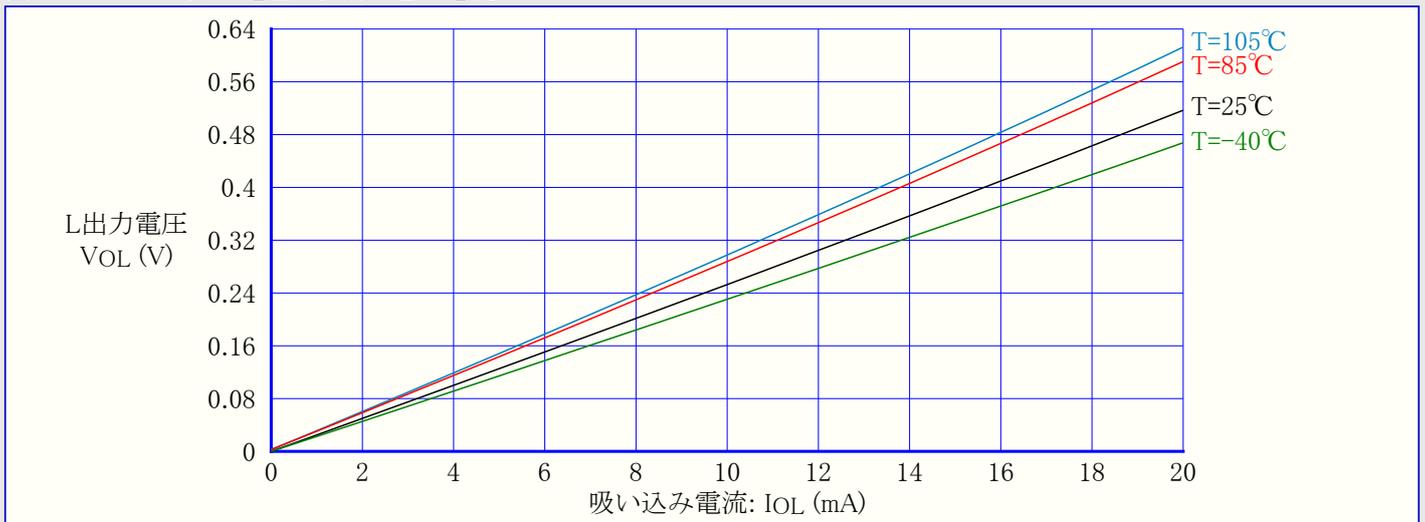
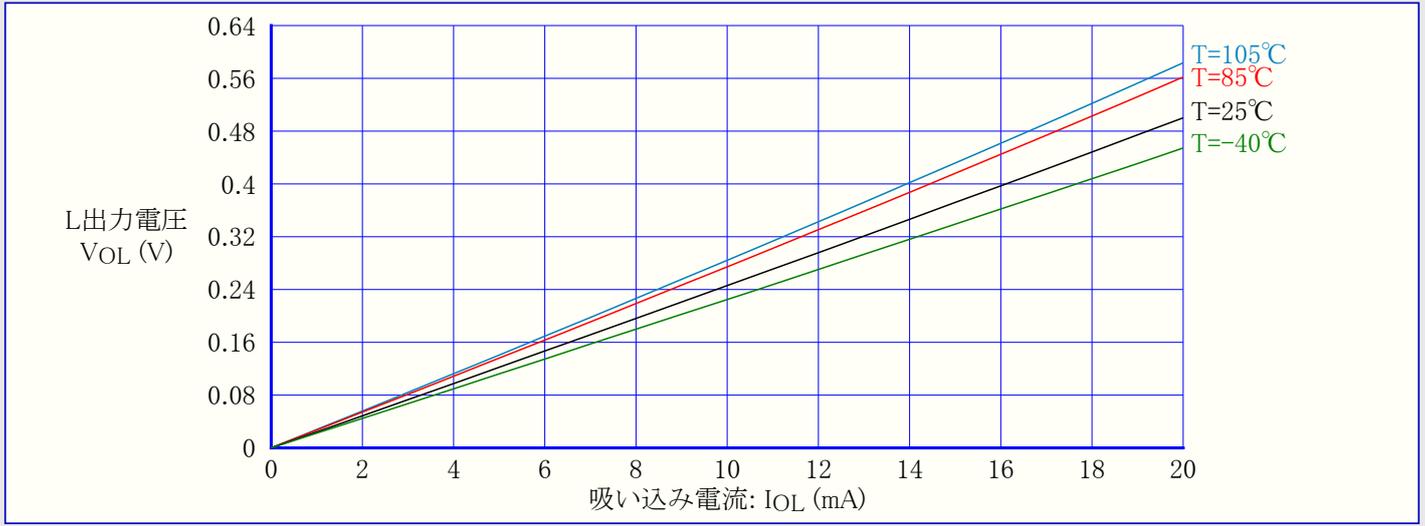


図37-25. I/Oピン出力電圧 対 吸い込み電流 (VCC=3.3V)



37.2.3. 閾値とヒステリシス

図37-26. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (V_{IH}, 1読み値)

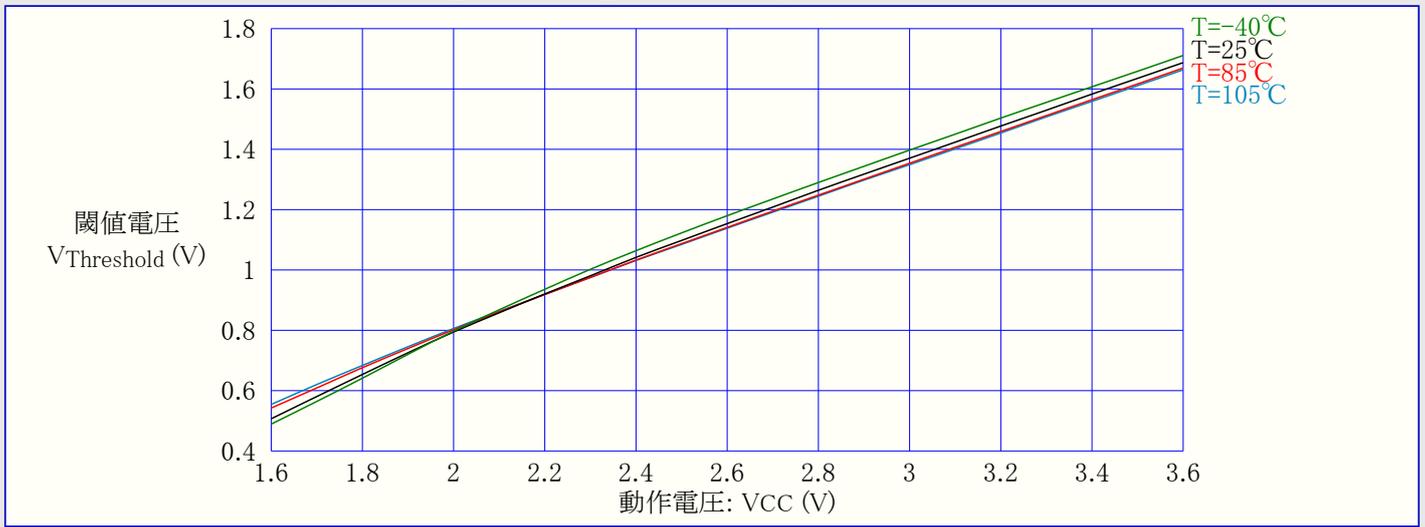


図37-27. I/Oピン入力閾値(スレッショールド)電圧 対 動作電圧 (V_{IL}, 0読み値)

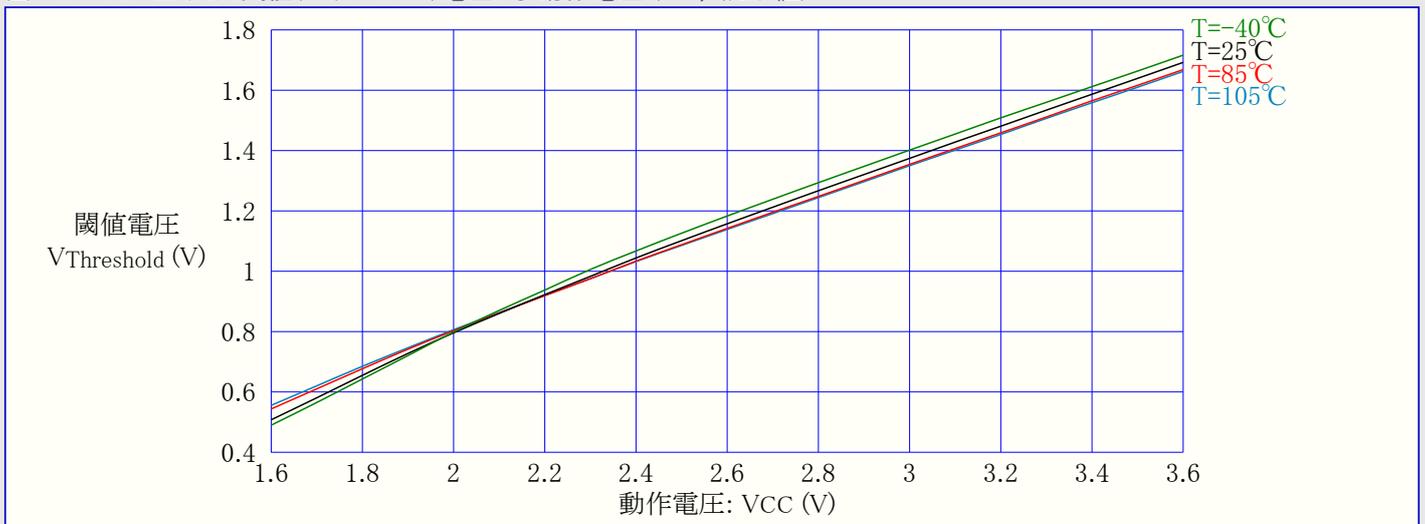
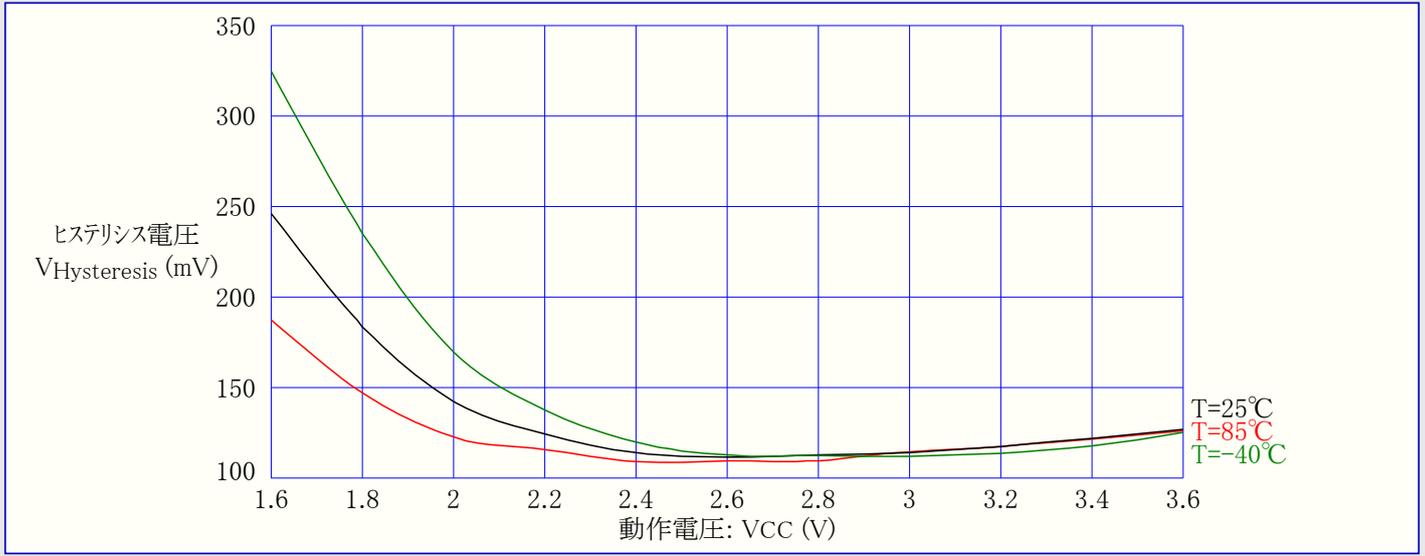


図37-28. I/Oピン入力ヒステリシス電圧 対 動作電圧



37.3. A/D変換器(ADC)特性

図37-29. ADC積分性誤差(INL) 対 外部VREF (VCC=3.6V、符号付き差動動作)

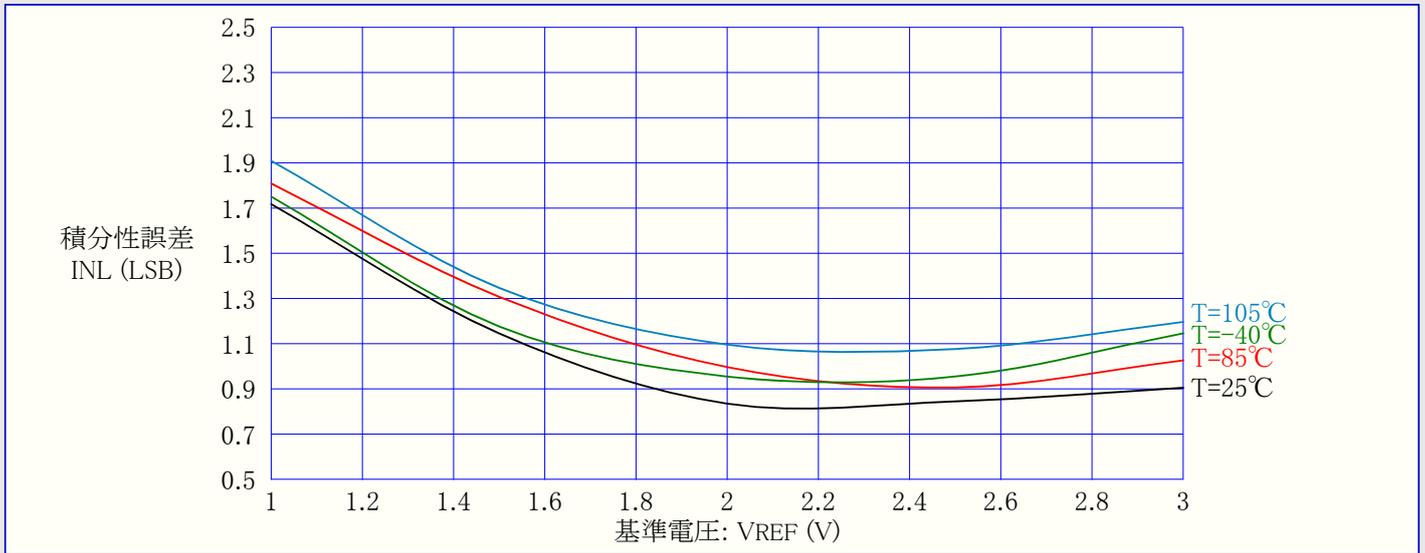


図37-30. ADC積分性誤差(INL) 対 外部VREF (VCC=3.6V、符号なしシングル エント動作)

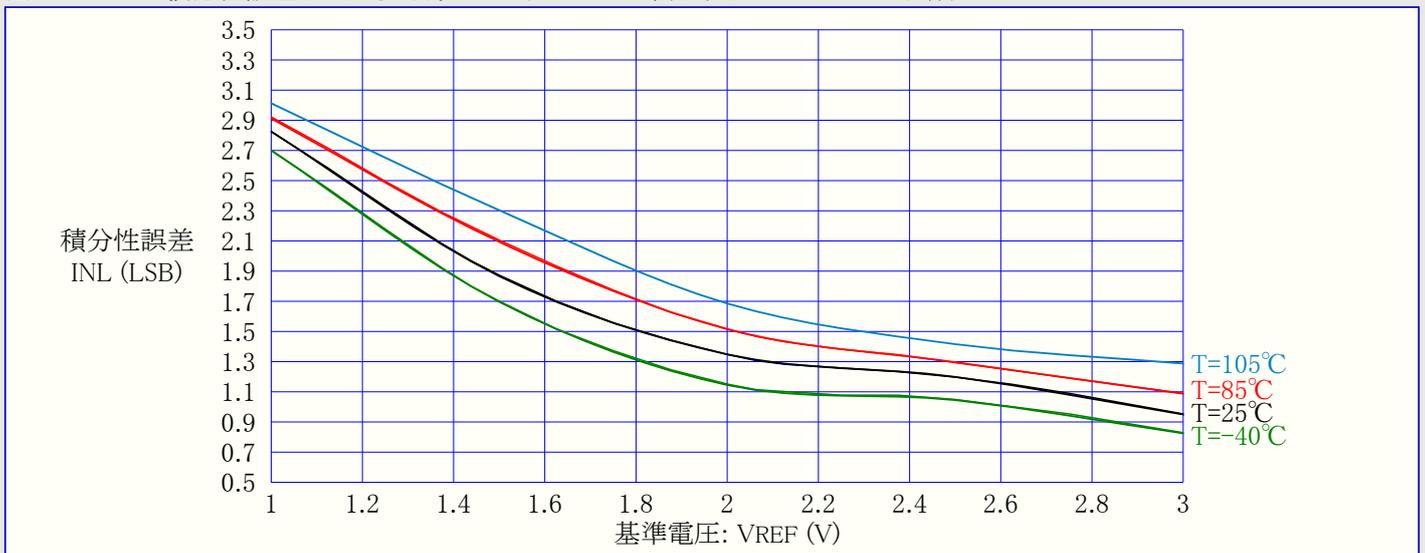


図37-31. ADC微分性誤差(DNL) 対 外部VREF (VCC=3.6V、符号付き差動動作)

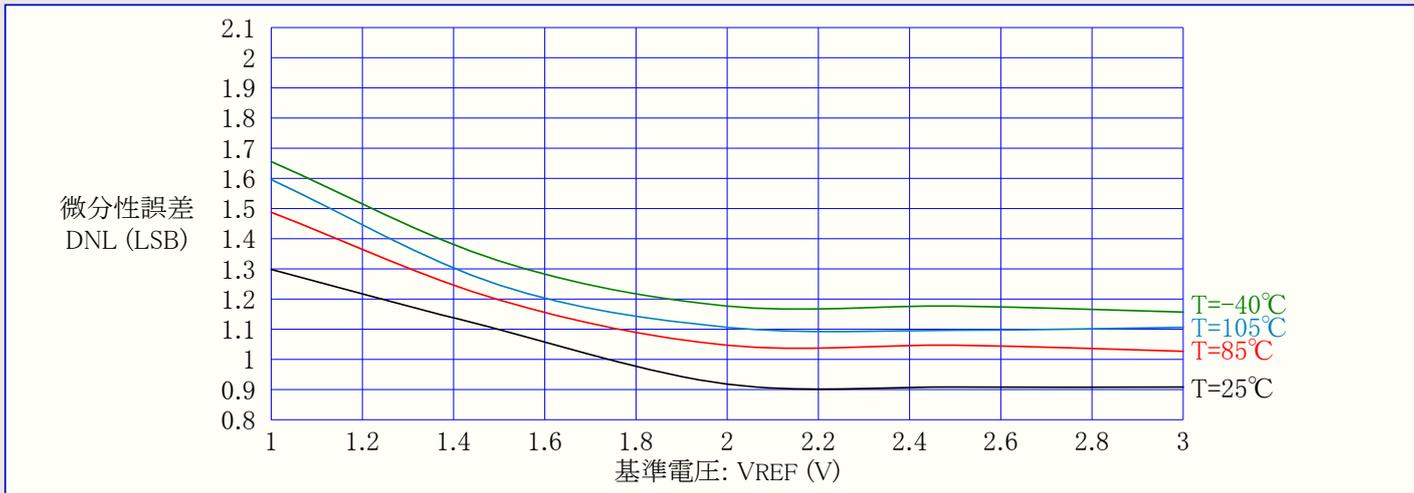


図37-32. ADC微分性誤差(DNL) 対 外部VREF (VCC=3.6V、符号なしシングルエンド動作)

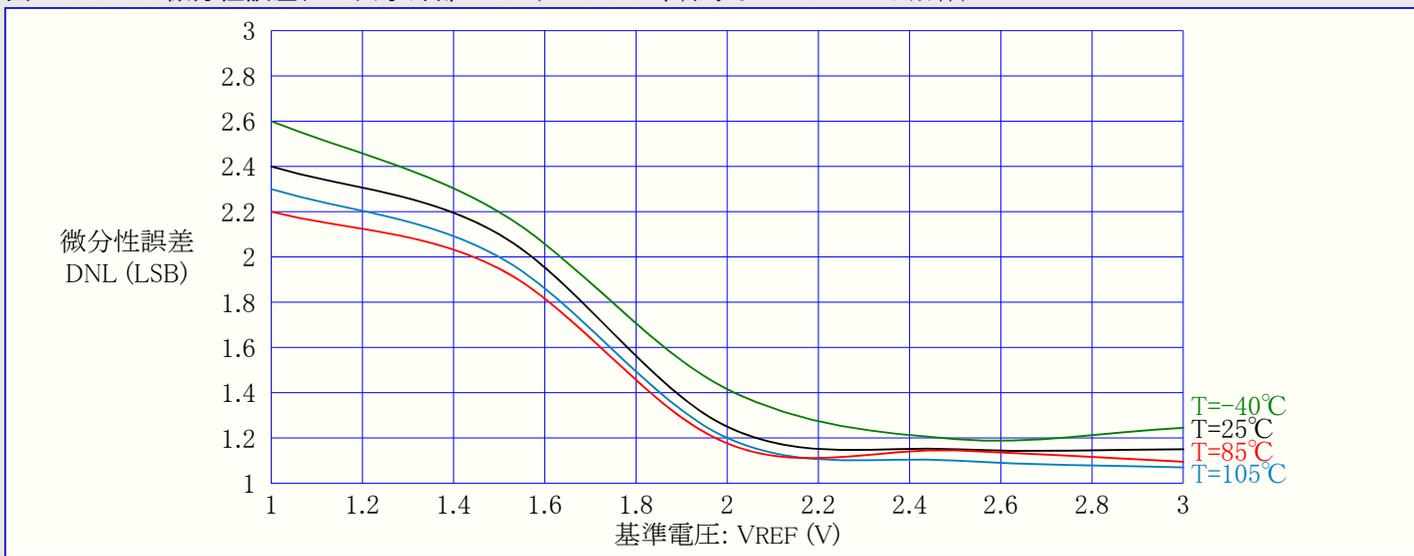


図37-33. ADC変位(オフセット)誤差 対 動作電圧 (VREF=外部1.0V、符号なしシングルエンド動作)

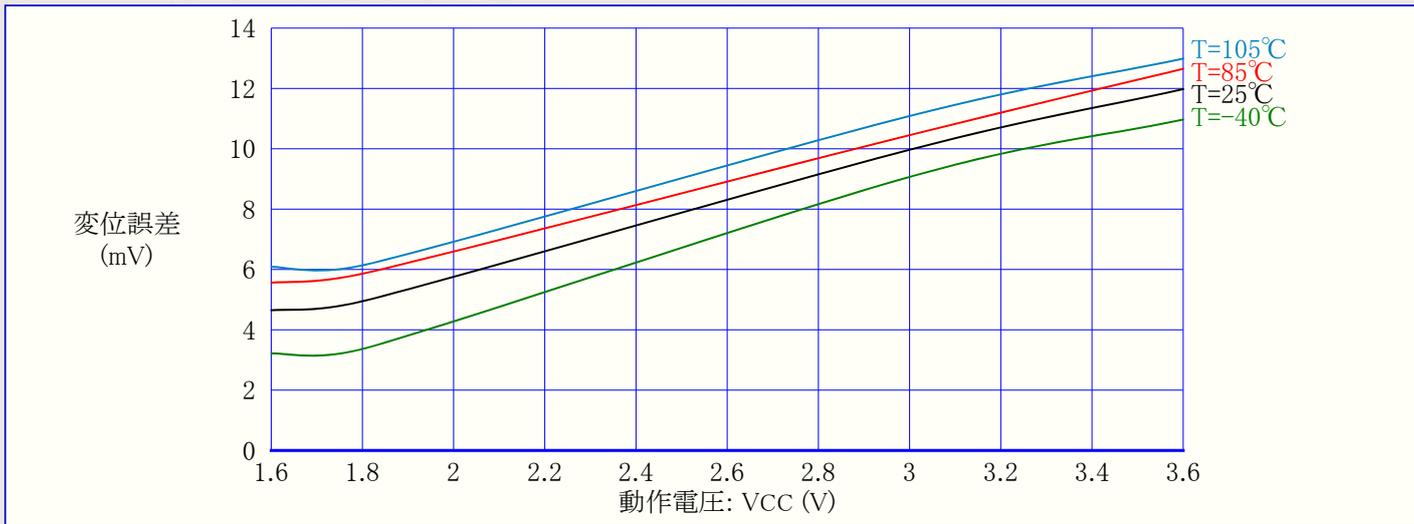


図37-34. ADC変位(オフセット)誤差 対 外部VREF (VCC=3.6V、符号なしシングルエンド動作)

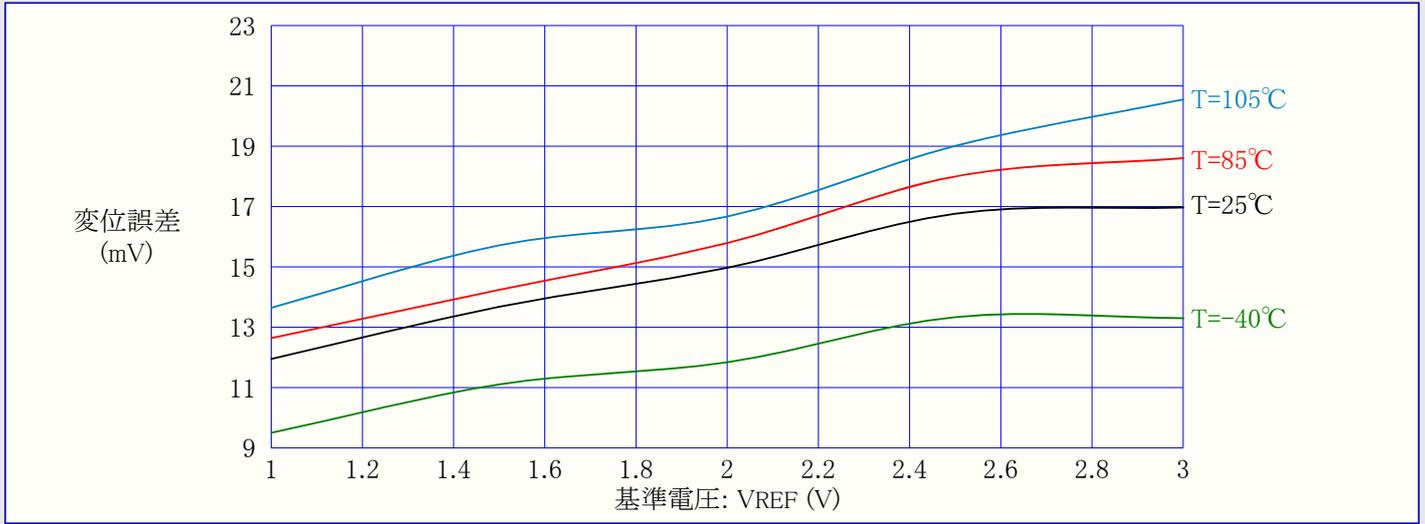


図37-35. ADC変位(オフセット)誤差 対 外部VREF (VCC=3.6V、符号付き差動動作)

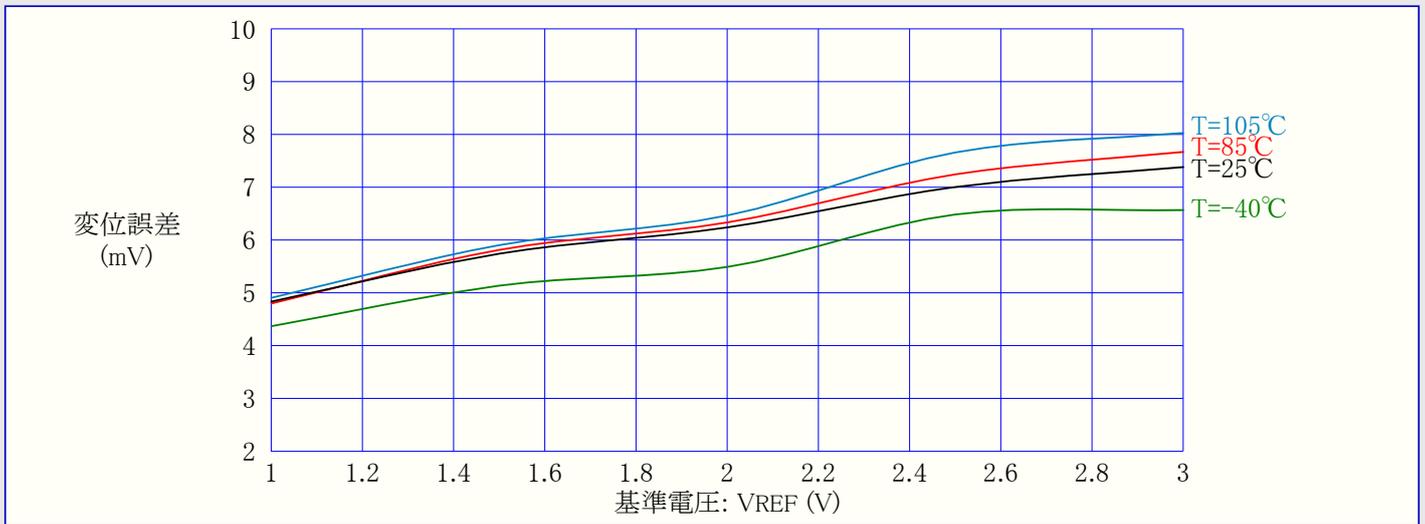


図37-36. ADC変位(オフセット)誤差 対 動作電圧 (VREF=外部1.0V、符号付き差動動作)

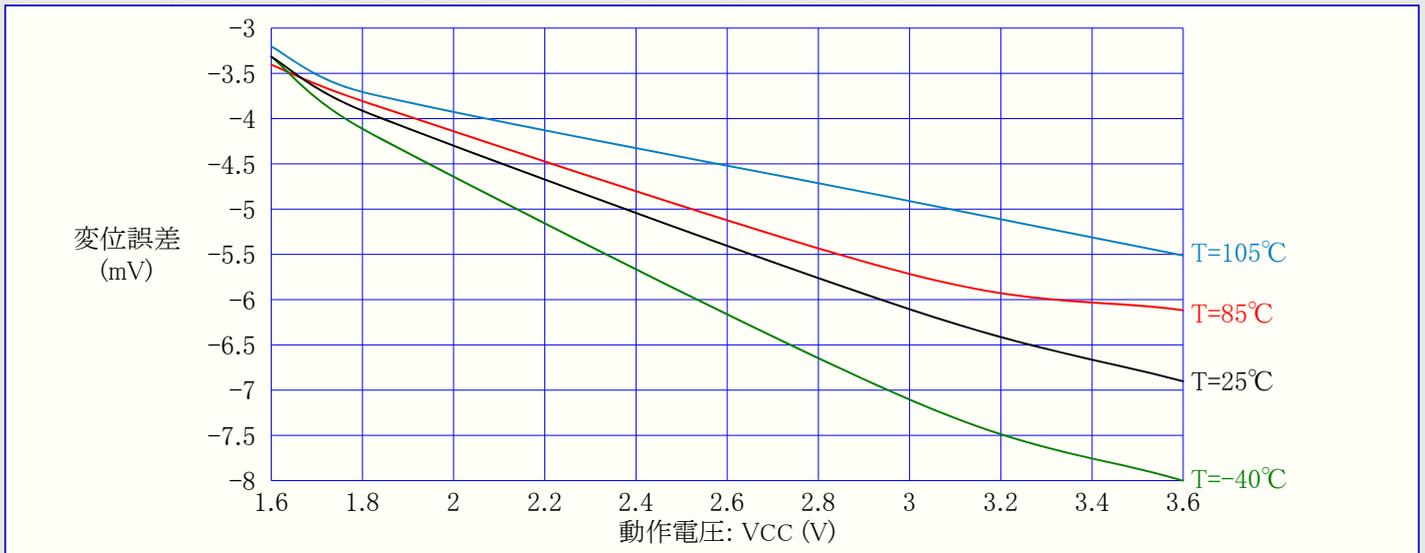


図37-37. ADC利得誤差 対 外部VREF (符号付き差動動作)

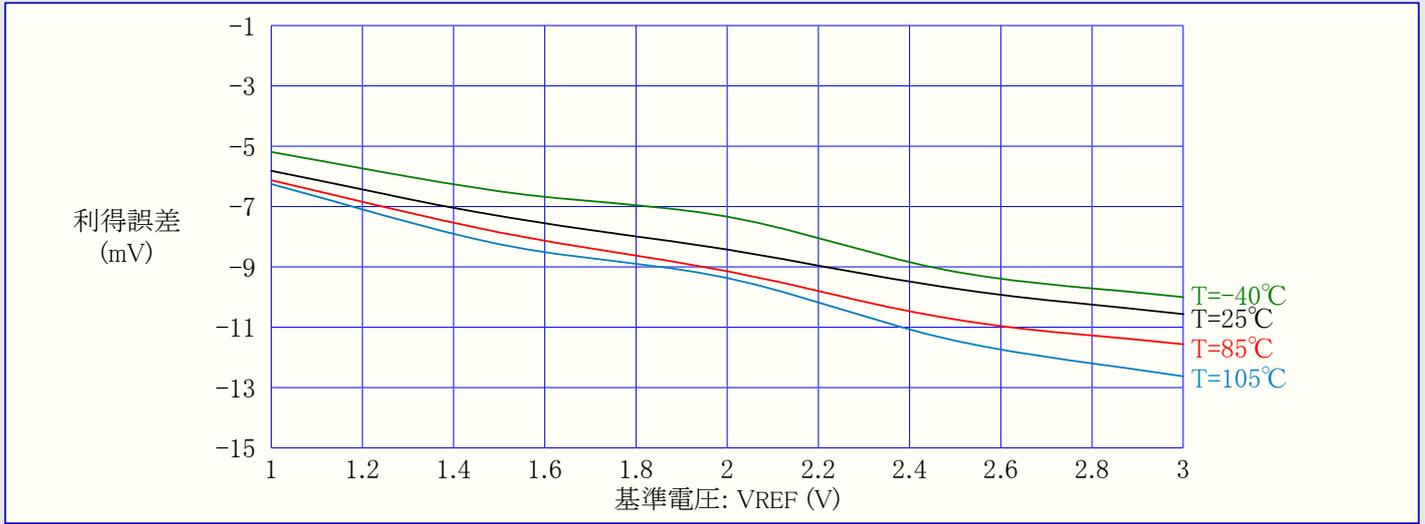


図37-38. ADC利得誤差 対 外部VREF (符号なしシングルエンド動作)

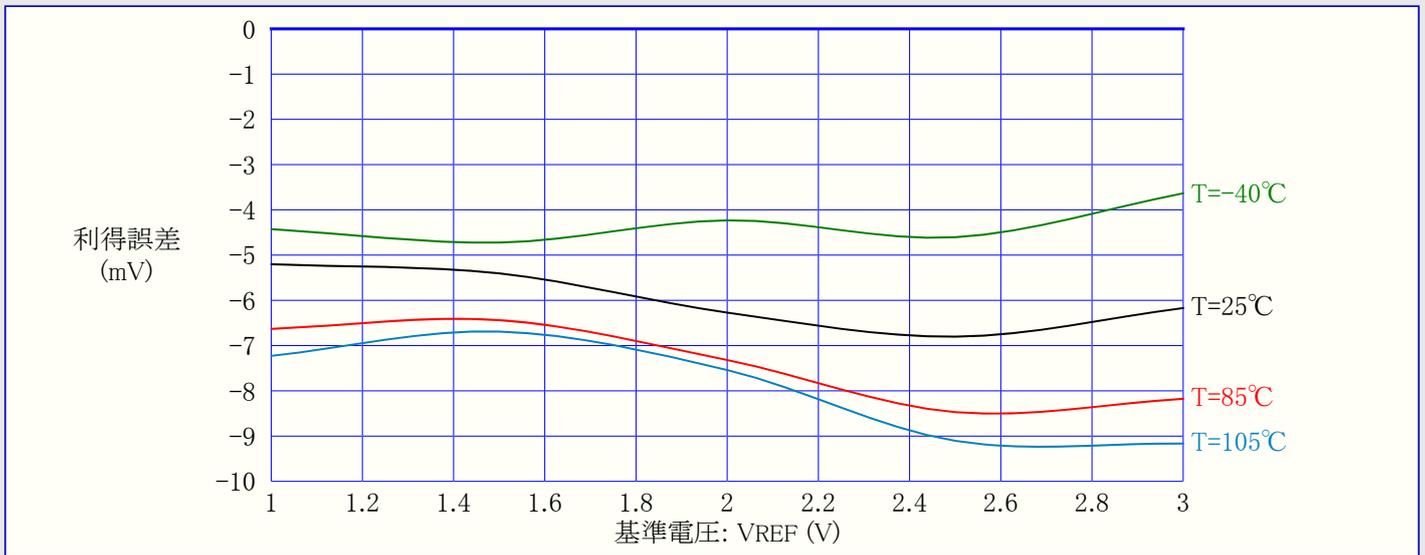


図37-39. ADC利得誤差 対 動作電圧 (VREF=外部、符号付き差動動作)

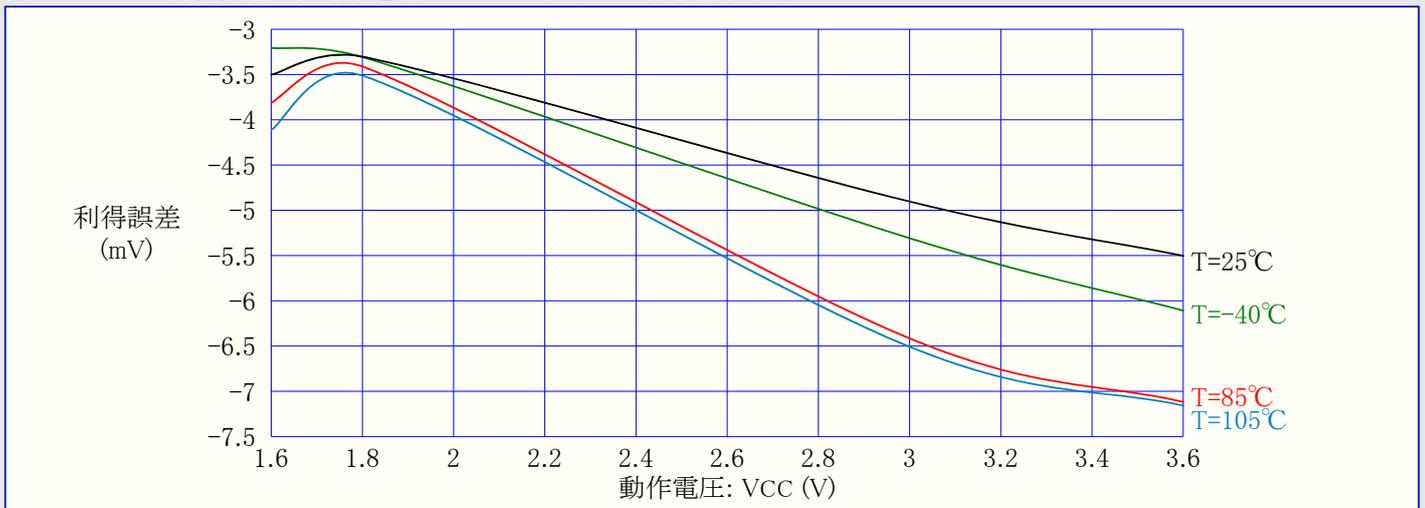


図37-40. ADC利得誤差 対 動作電圧 (VREF=外部、符号なしシングルエンド動作)

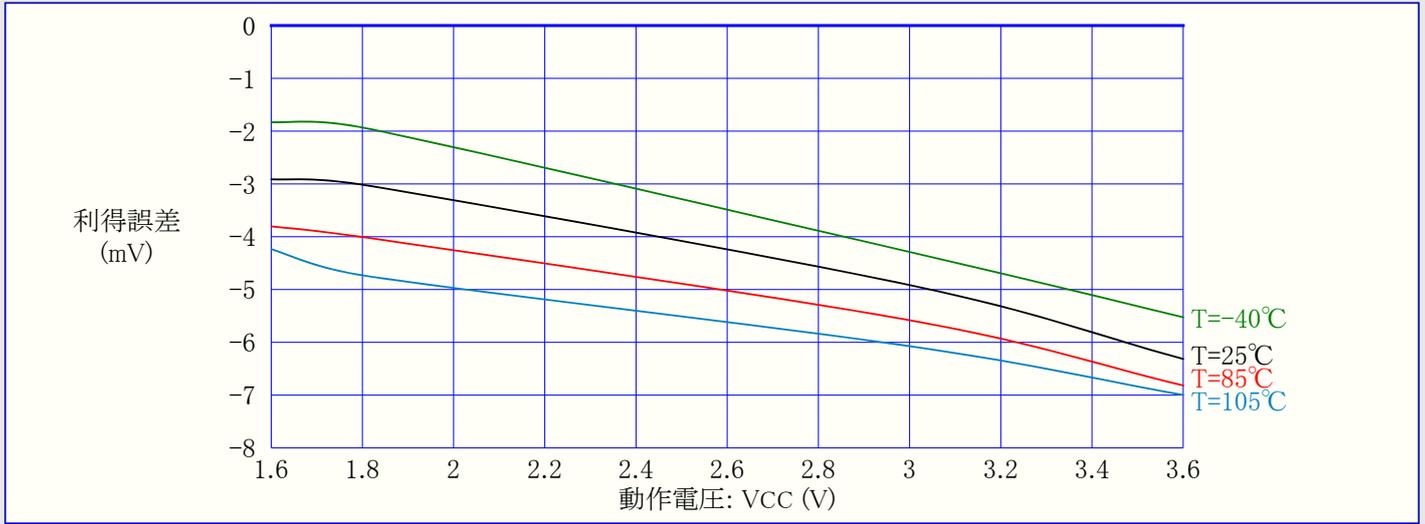


図37-41. ADC利得誤差 対 動作温度 (VREF=外部、符号付き差動動作)

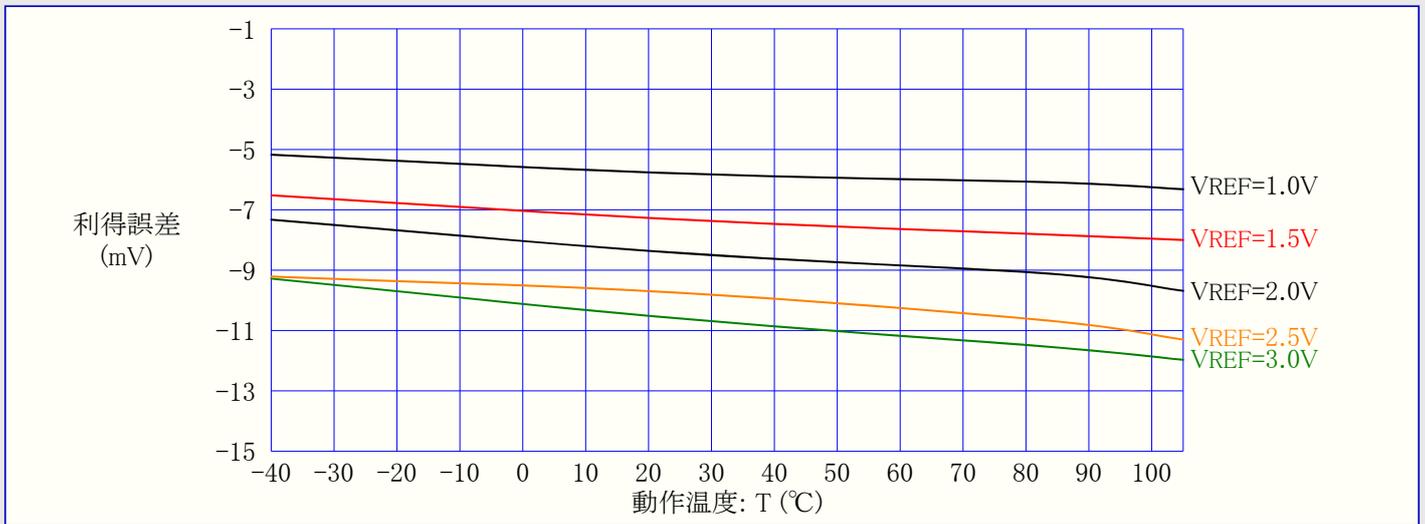
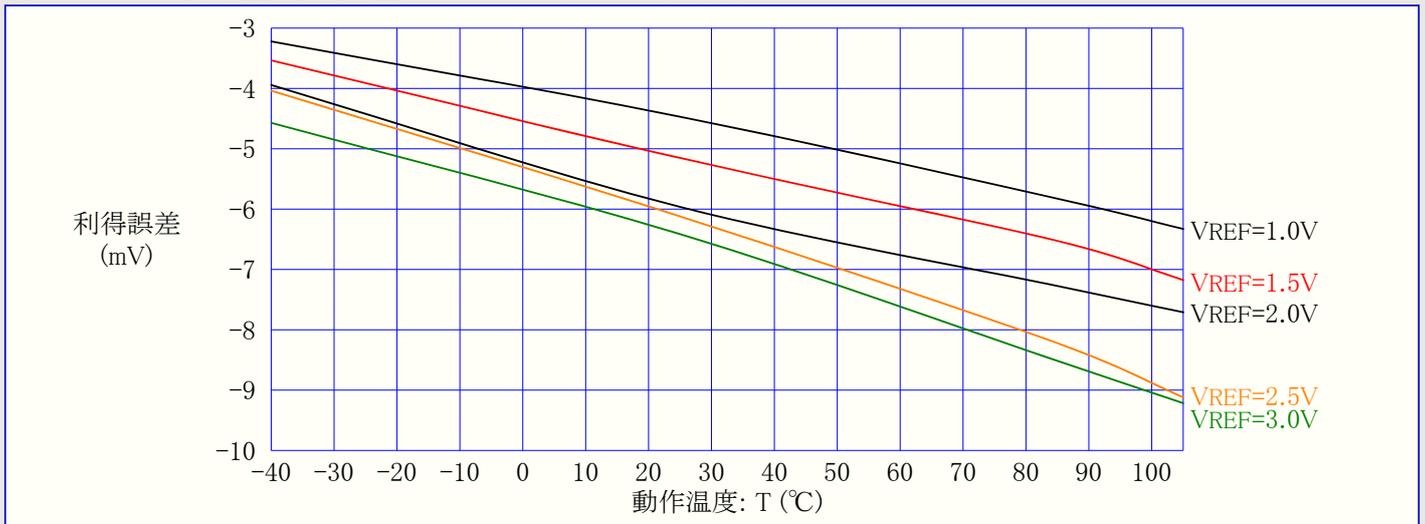


図37-42. ADC利得誤差 対 動作温度 (VCC=3.6V、VREF=外部、符号なしシングルエンド動作)



37.4. アナログ比較器特性

図37-43. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=小)

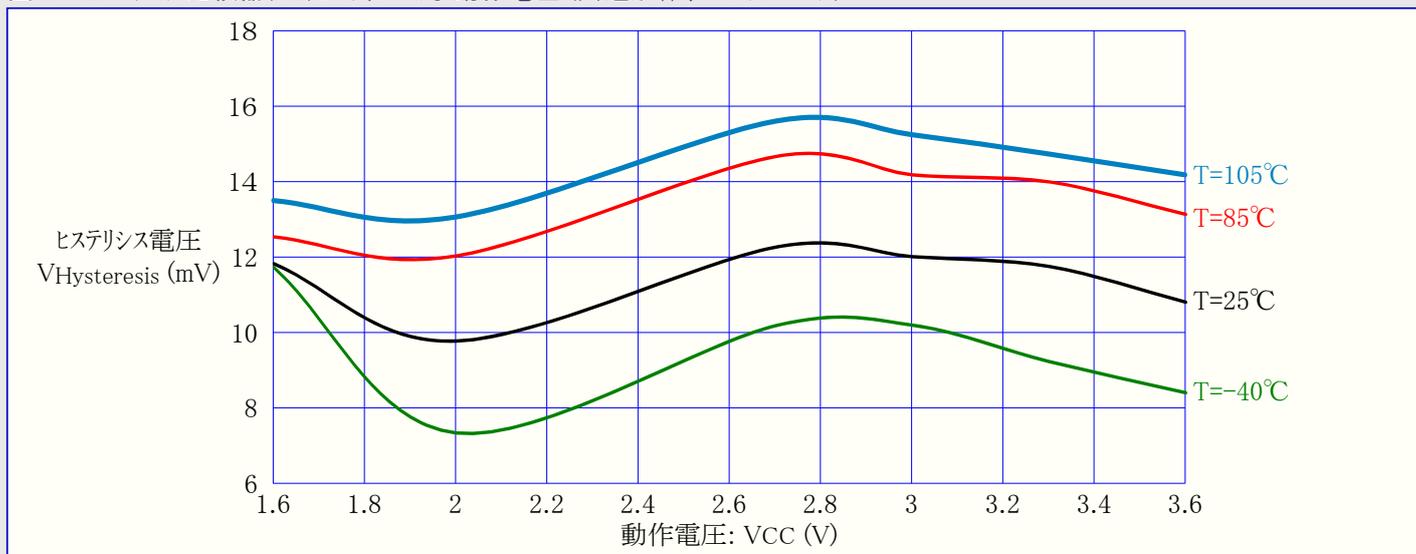


図37-44. アナログ比較器(AC)ヒステリシス 対 動作電圧 (高速動作、ヒステリシス=大)

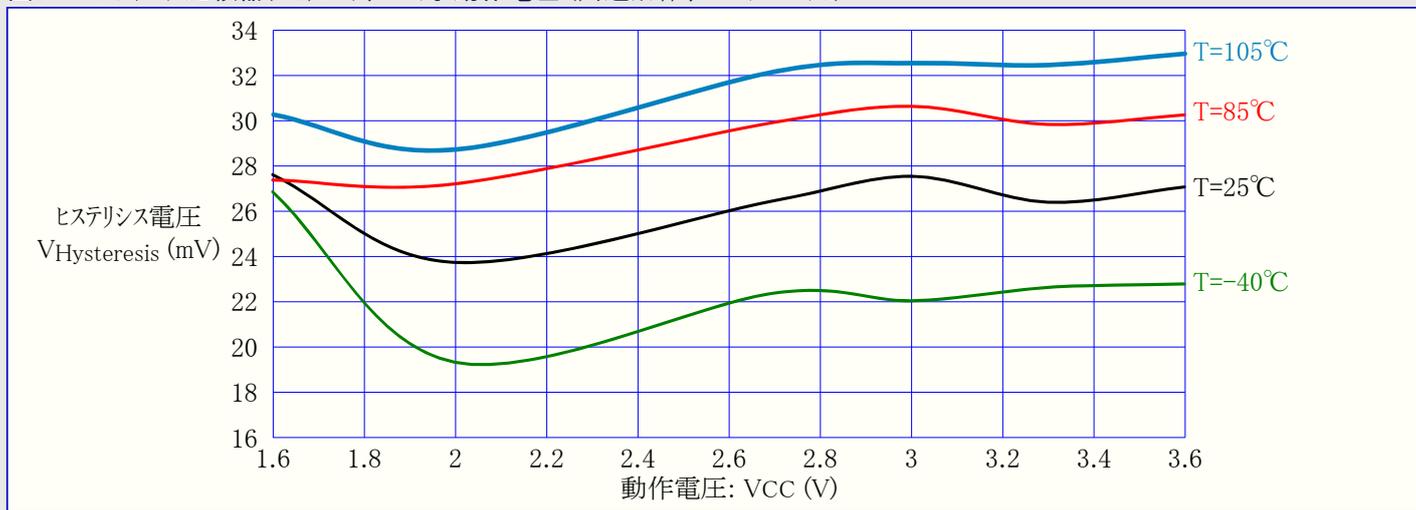


図37-45. アナログ比較器(AC)伝播遅延 対 動作電圧 (高速動作)

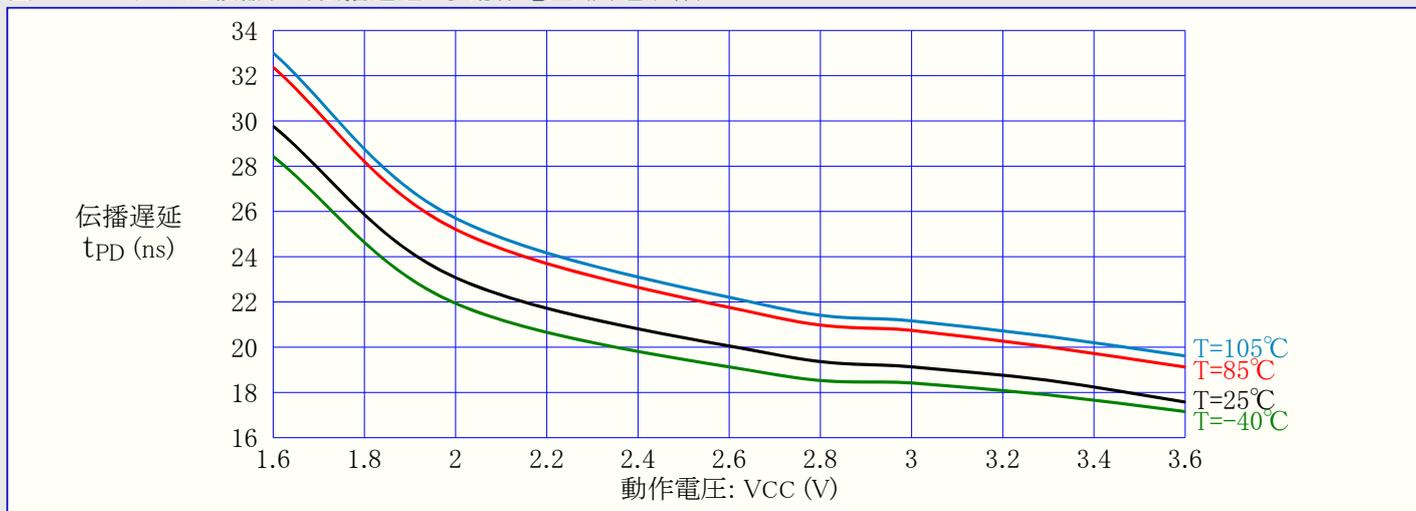


図37-46. アナログ比較器(AC)消費電流 対 動作電圧 (高速動作)

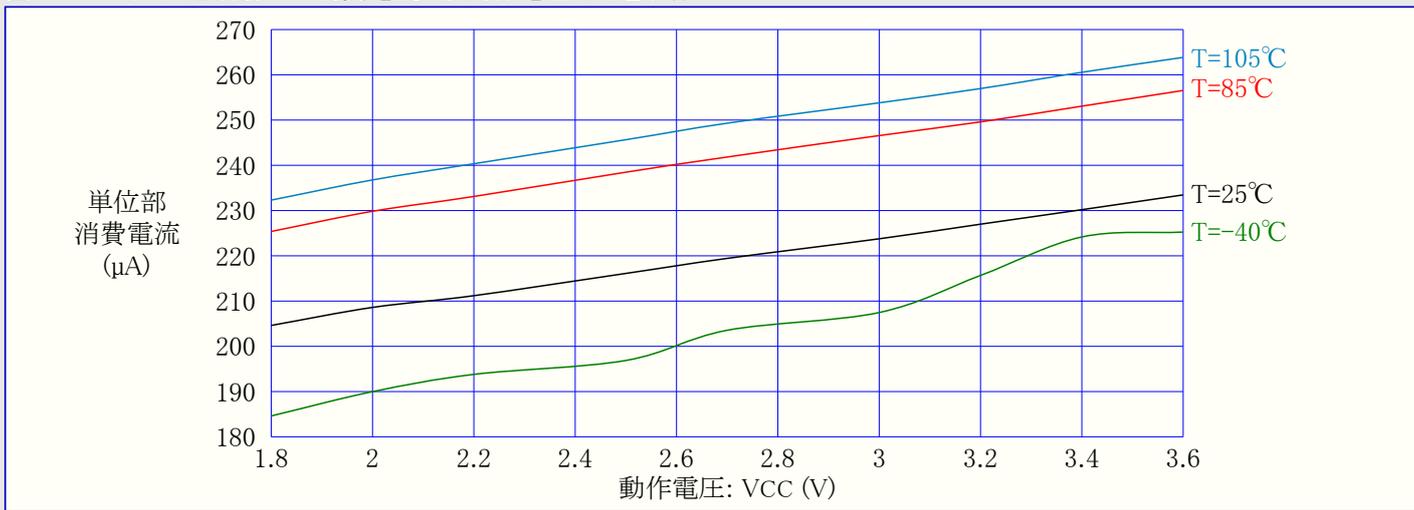


図37-47. アナログ比較器(AC)分圧器電圧 対 分圧係数 (T=25°C)

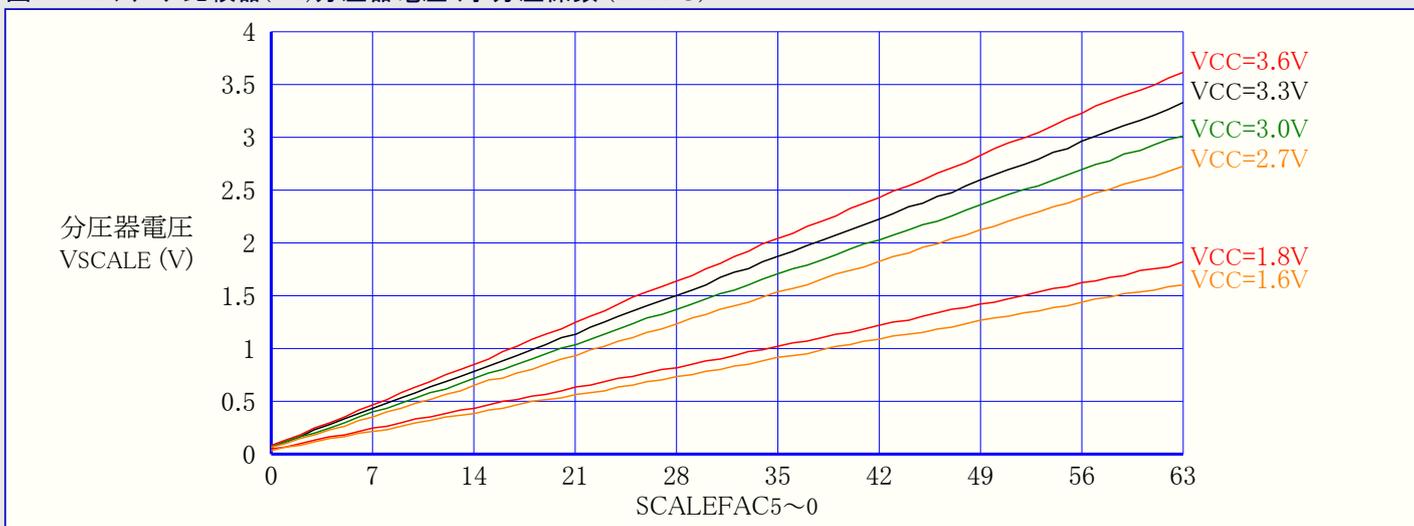
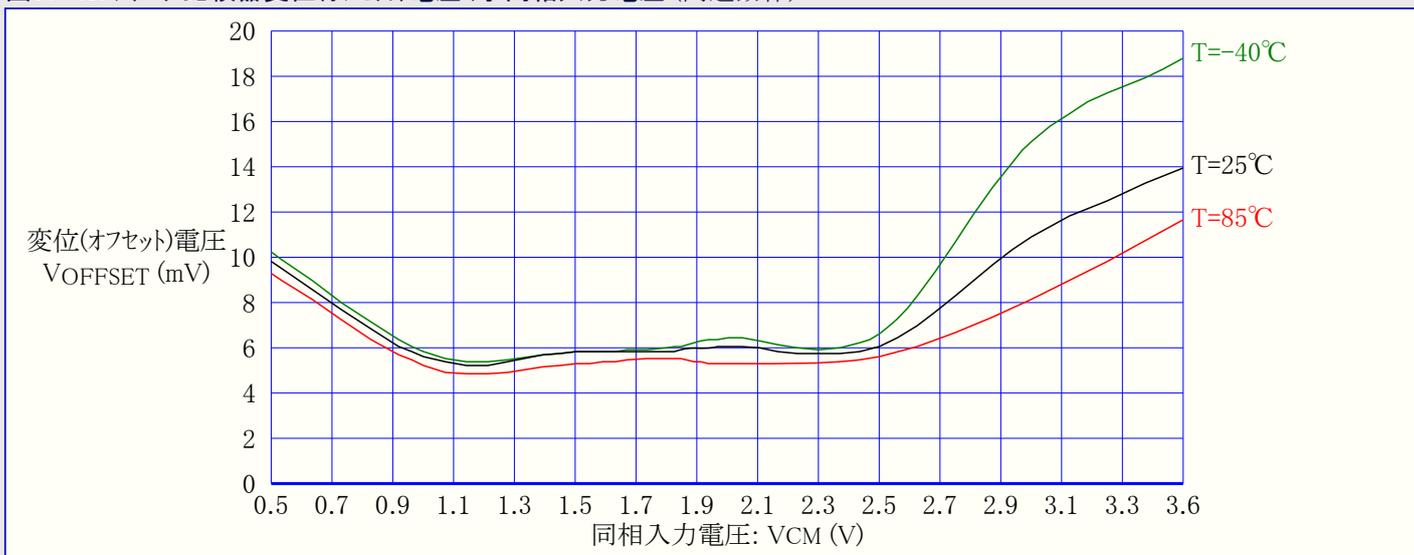
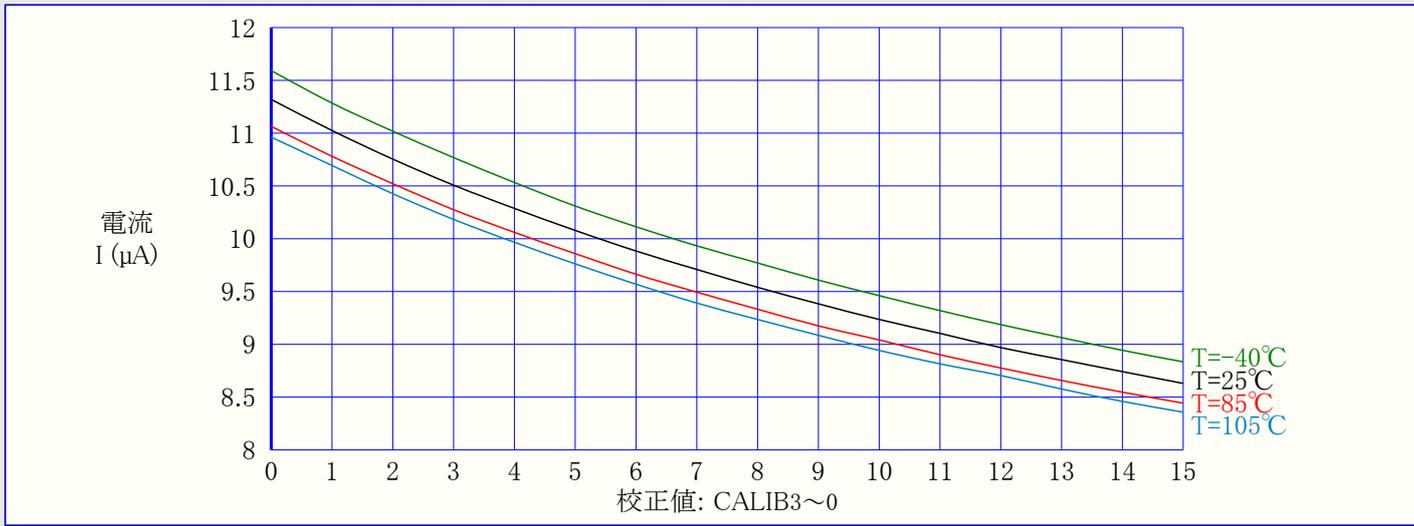


図37-48. アナログ比較器変位(オフセット)電圧 対 同相入力電圧 (高速動作)



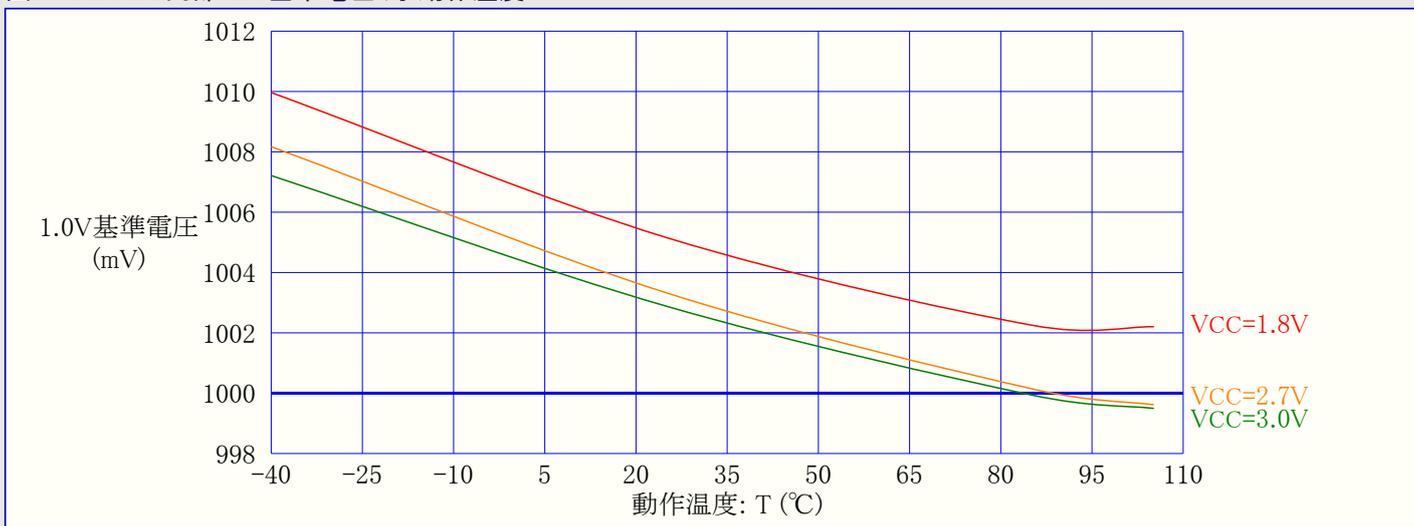
(訳注) 原書の図37-48は誤って図37-43と同じ特性図が使われています。本書では改訂Fの図を記載します。

図37-49. アナログ比較器(AC)電流源 対 校正値 (VCC=3.0V,2重動作)



37.5. 内部1.0V基準電圧特性

図37-50. ADC内部1.0V基準電圧 対 動作温度



37.6. 低電圧検出器(BOD)特性

図37-51. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=1.6V)

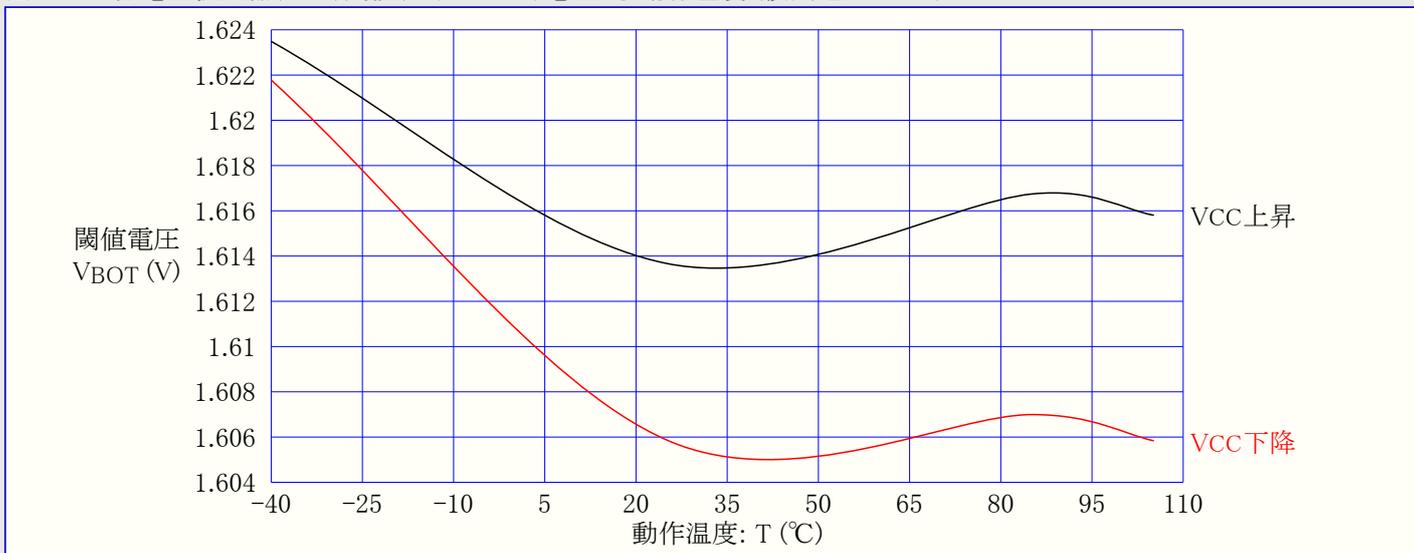


図37-52. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=2.2V)

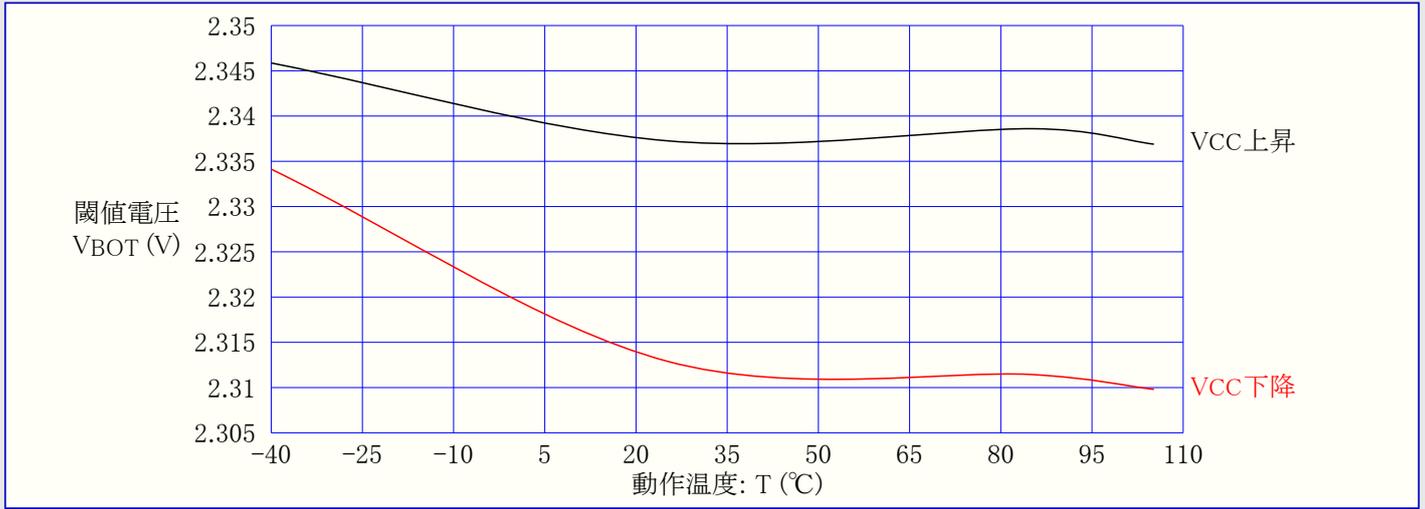


図37-53. 低電圧検出器(BOD)閾値(スレッショルド)電圧 対 動作温度 (検出電圧=3.0V)

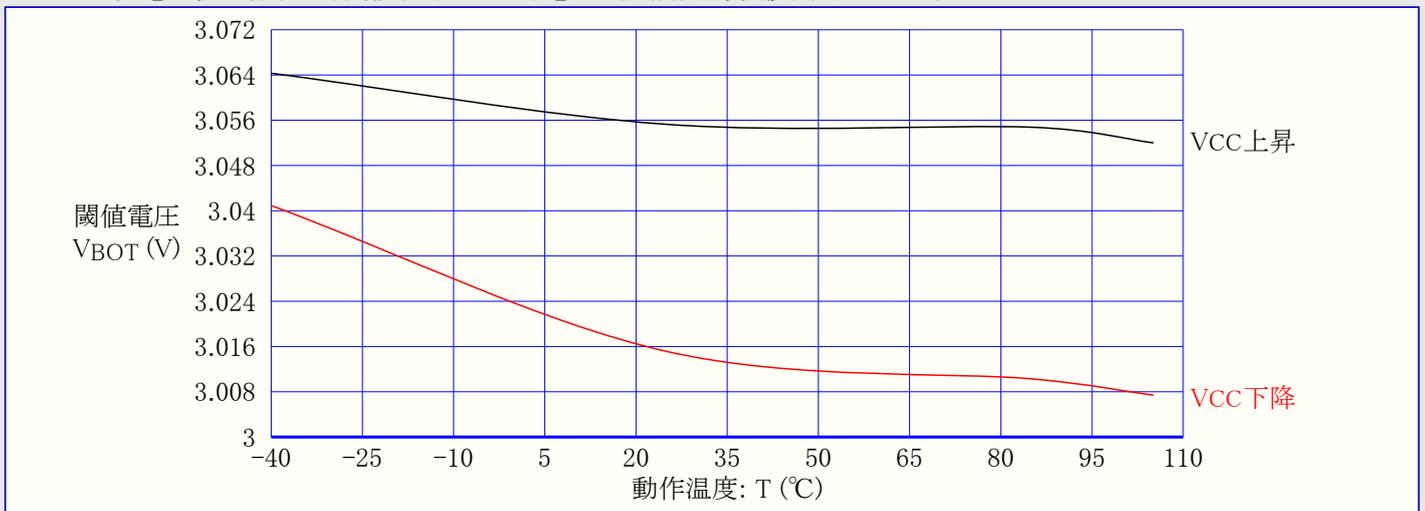


図37-54. 低電圧検出器(BOD)消費電流 対 動作温度 (継続動作、検出電圧=1.6V)

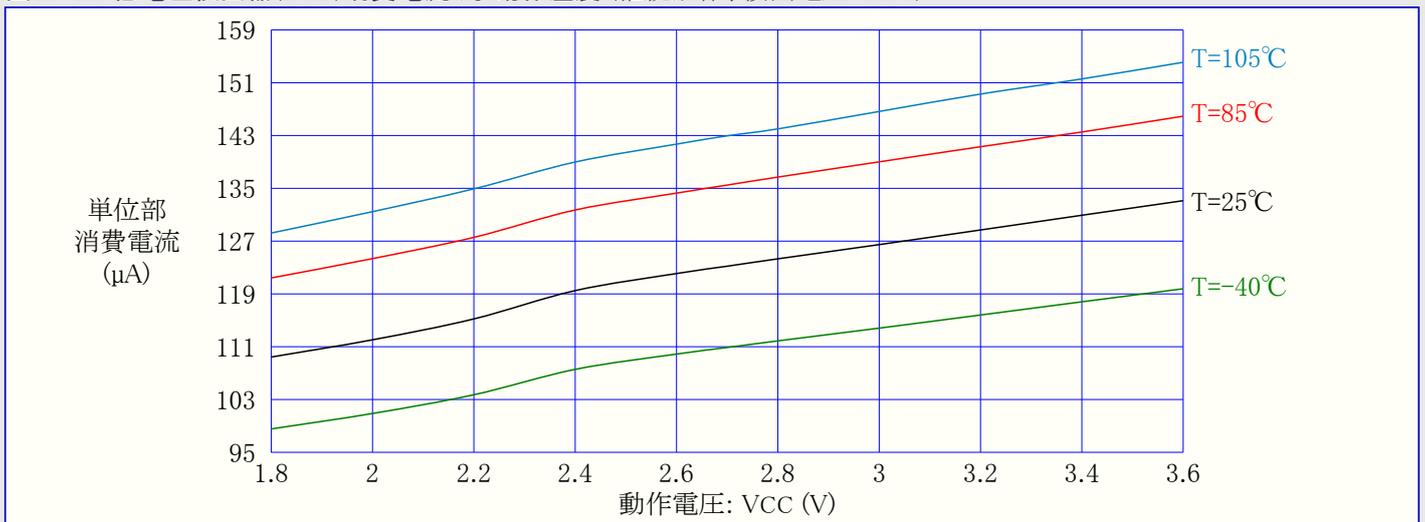
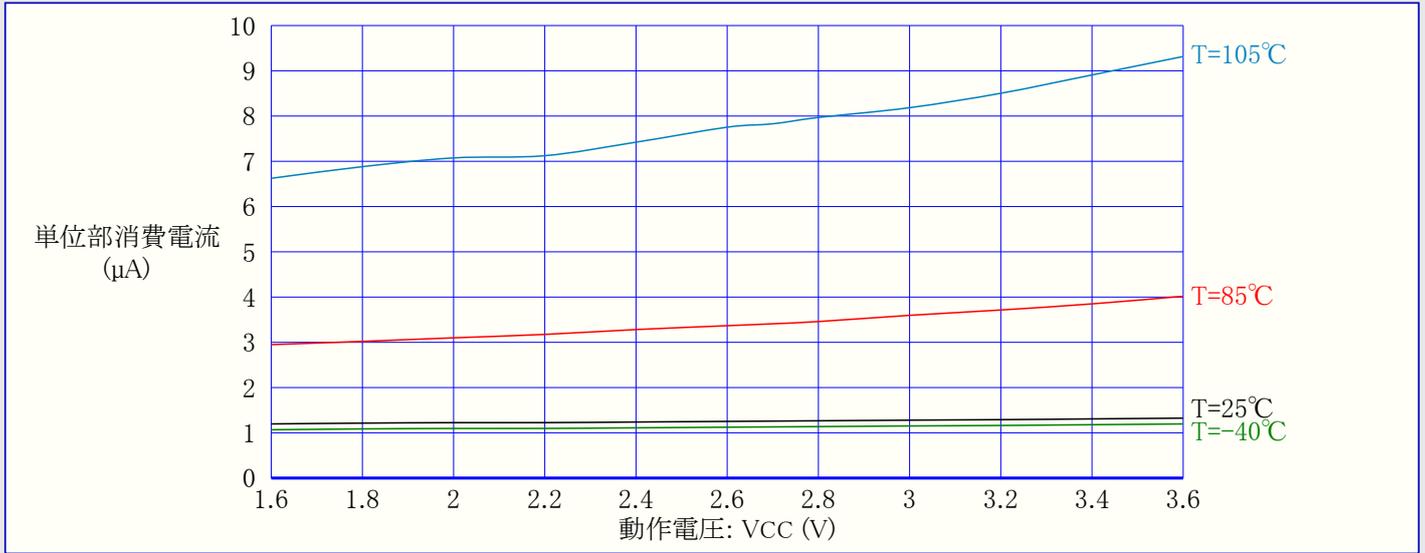


図37-55. 低電圧検出器(BOD)消費電流 対 動作温度 (採取動作、検出電圧=1.6V)



37.7. 外部リセット特性

図37-56. 最小リセットパルス幅 対 動作電圧

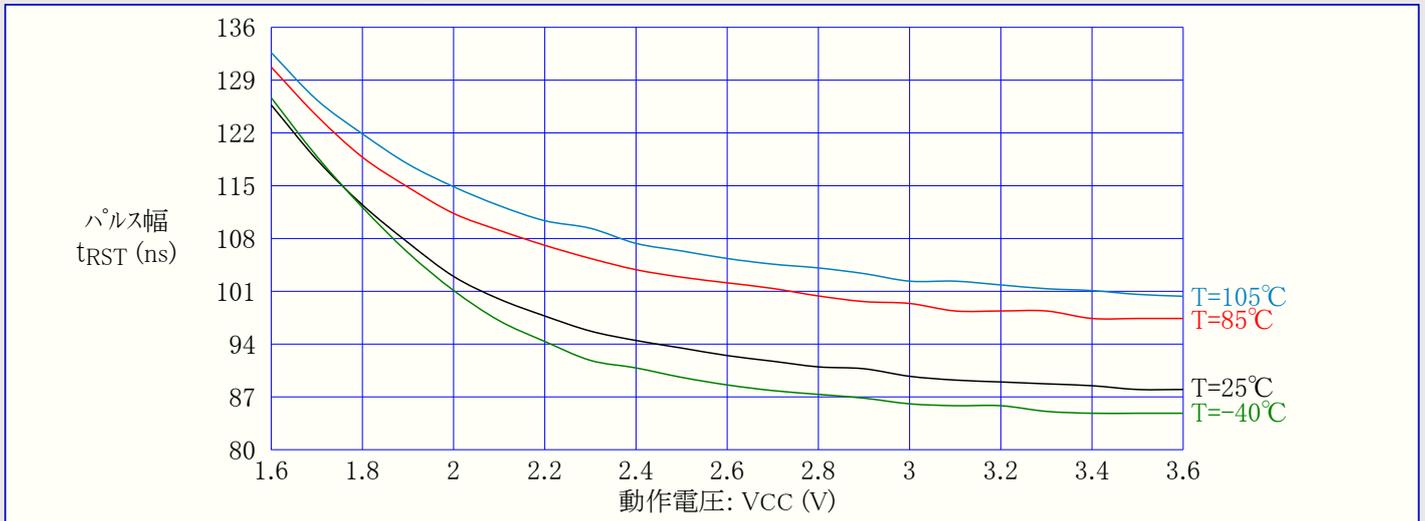


図37-57. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=1.8V)

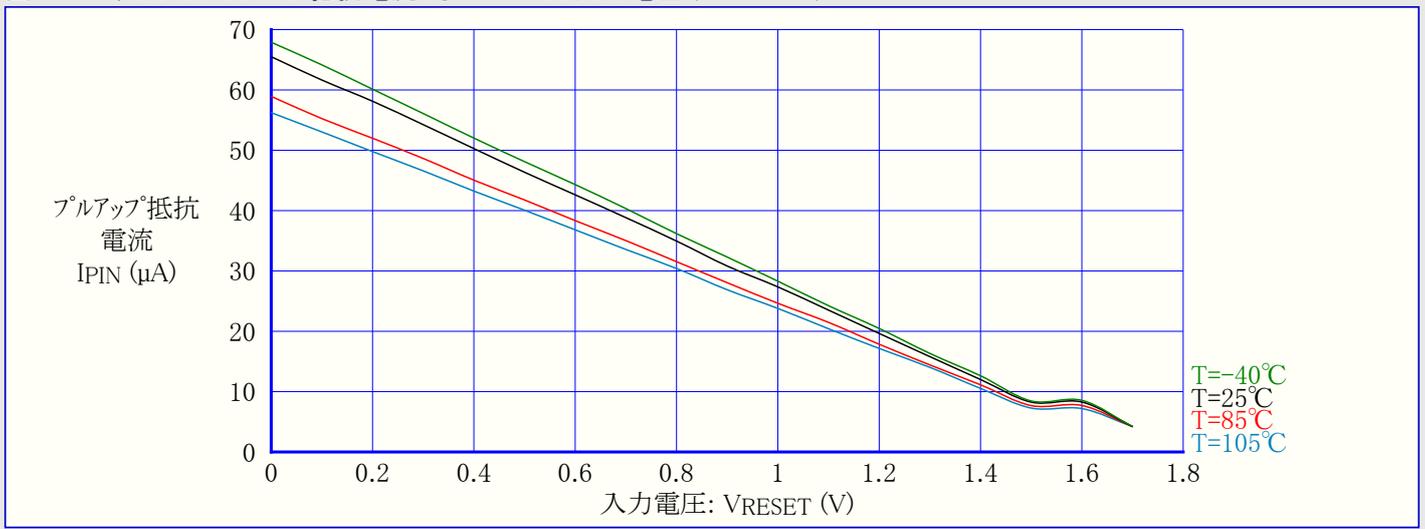


図37-58. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.0V)

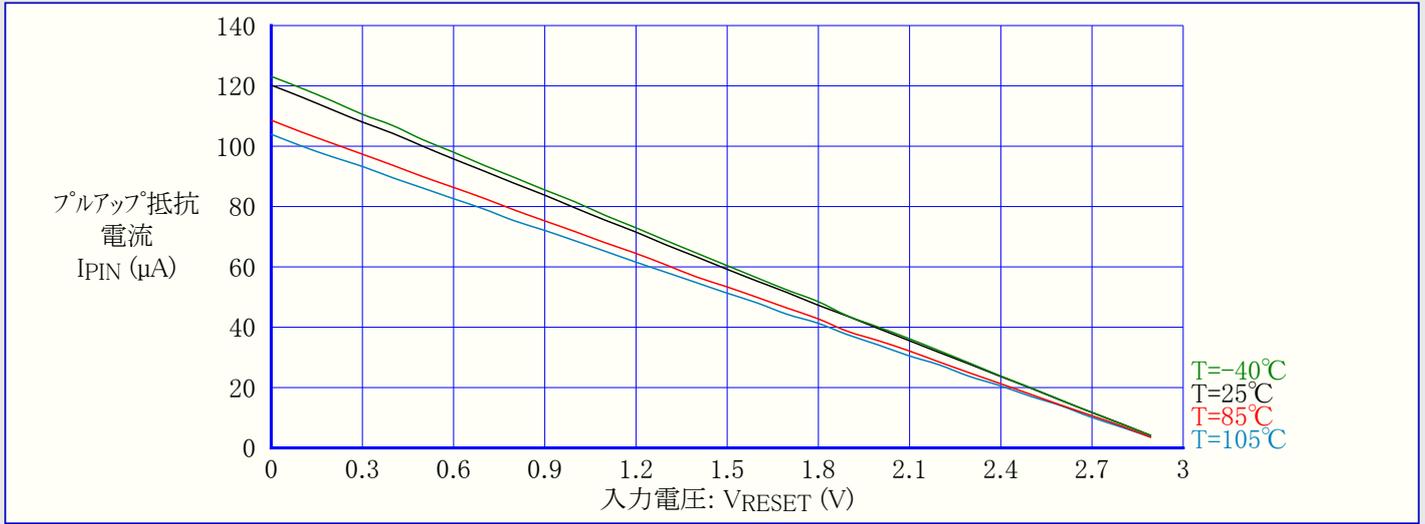


図37-59. リセットピンプルアップ抵抗電流 対 RESETピン入力電圧 (VCC=3.3V)

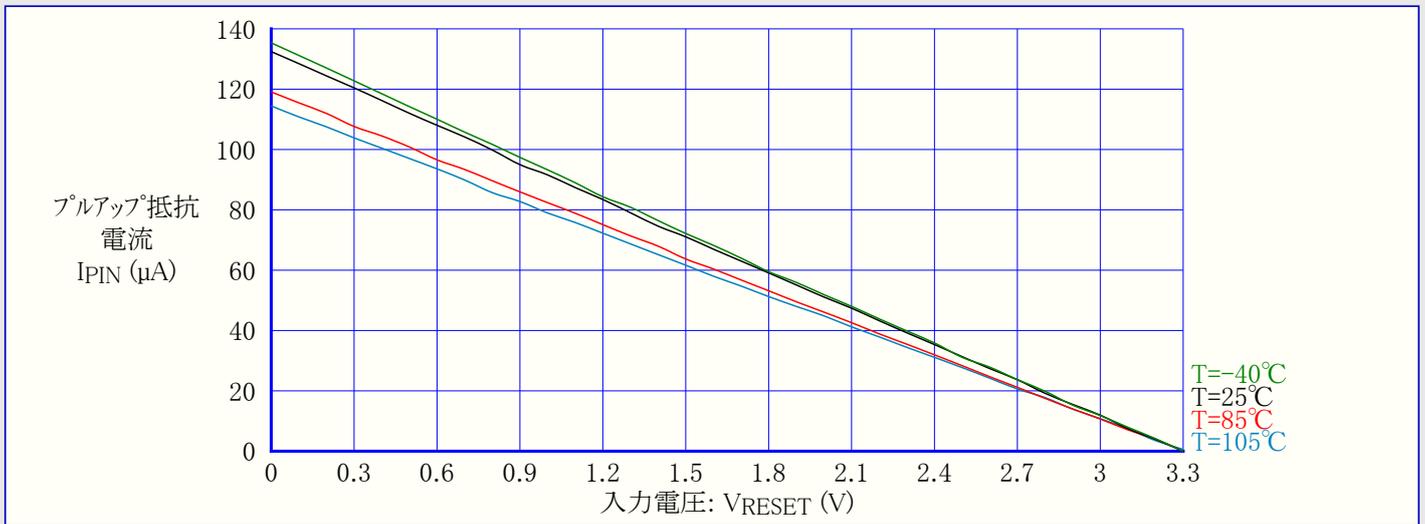


図37-60. RESET入力閾値(スレッシュホールド)電圧 対 動作電圧 (VIH,1読み値)

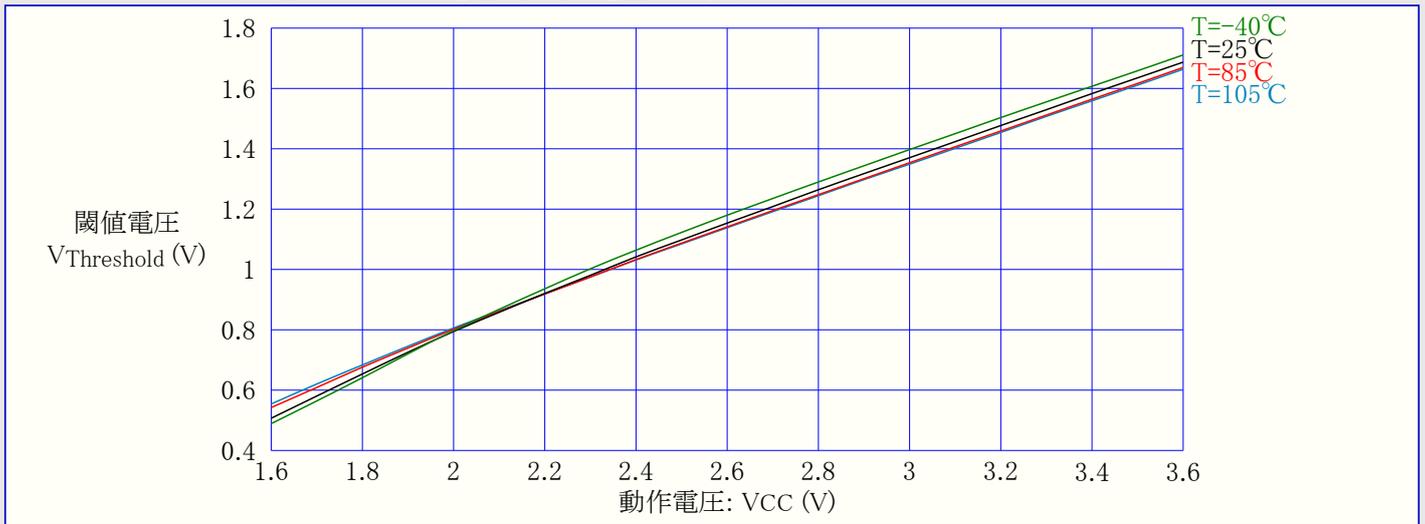
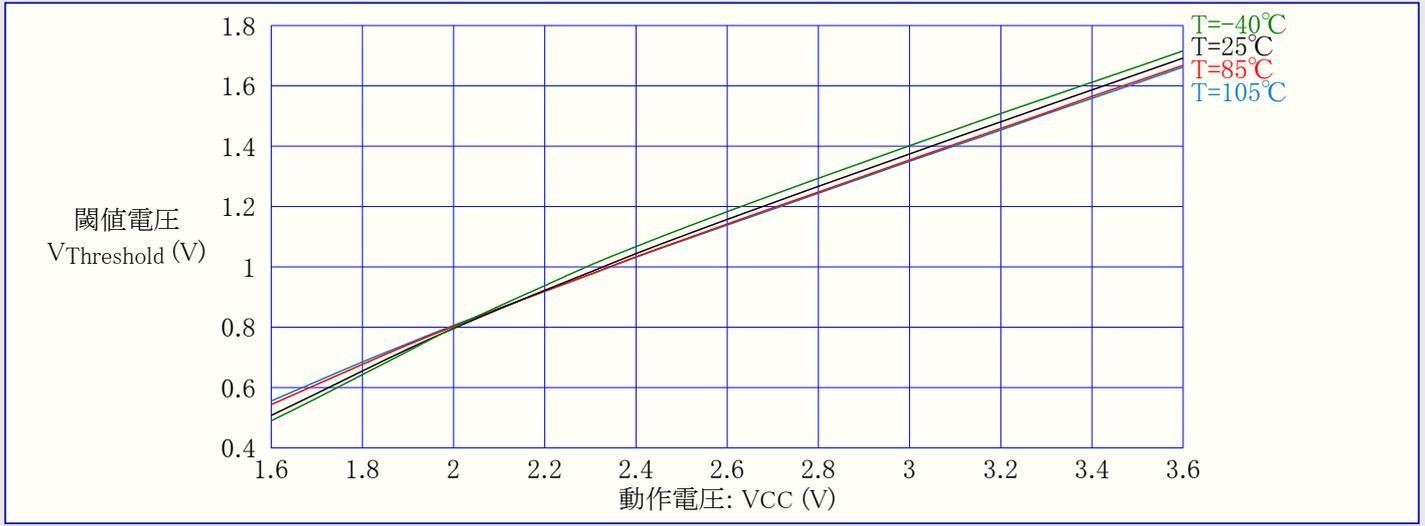


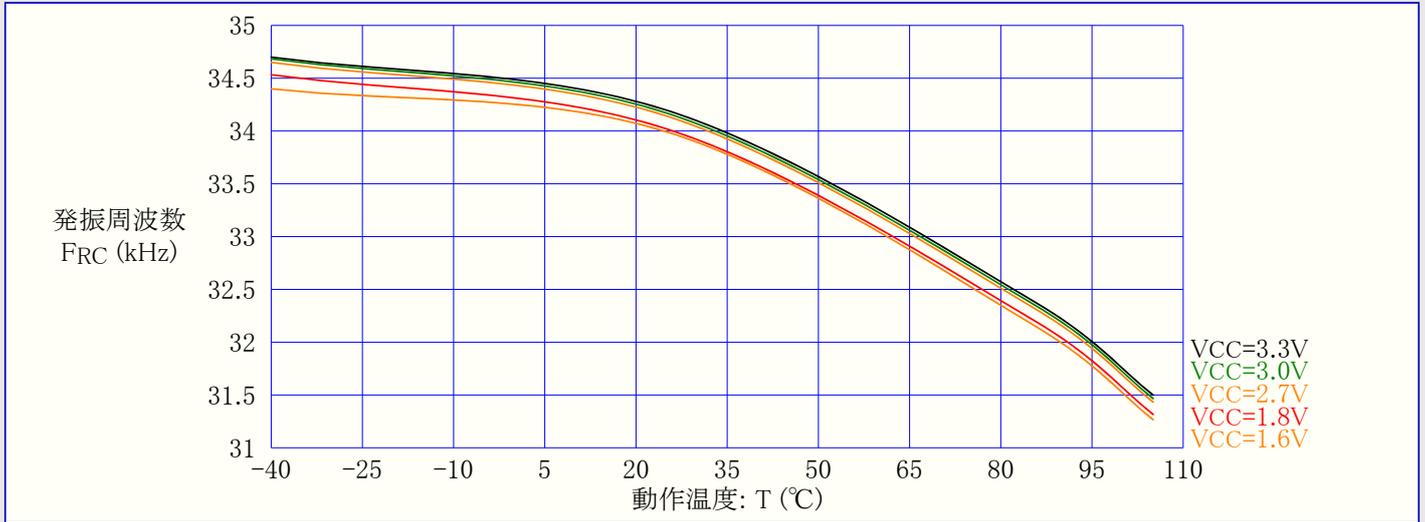
図37-61. RESET入力閾値(スレッショルド)電圧 対 動作電圧 (VIL,0読み値)



37.8. 発振器特性

37.8.1. 超低電力内部発振器

図37-62. 32kHz超低電力(ULP)内部発振器周波数 対 動作温度



37.8.2. 32.768kHz内部発振器

図37-63. 32.768kHz内部発振器周波数 対 動作温度

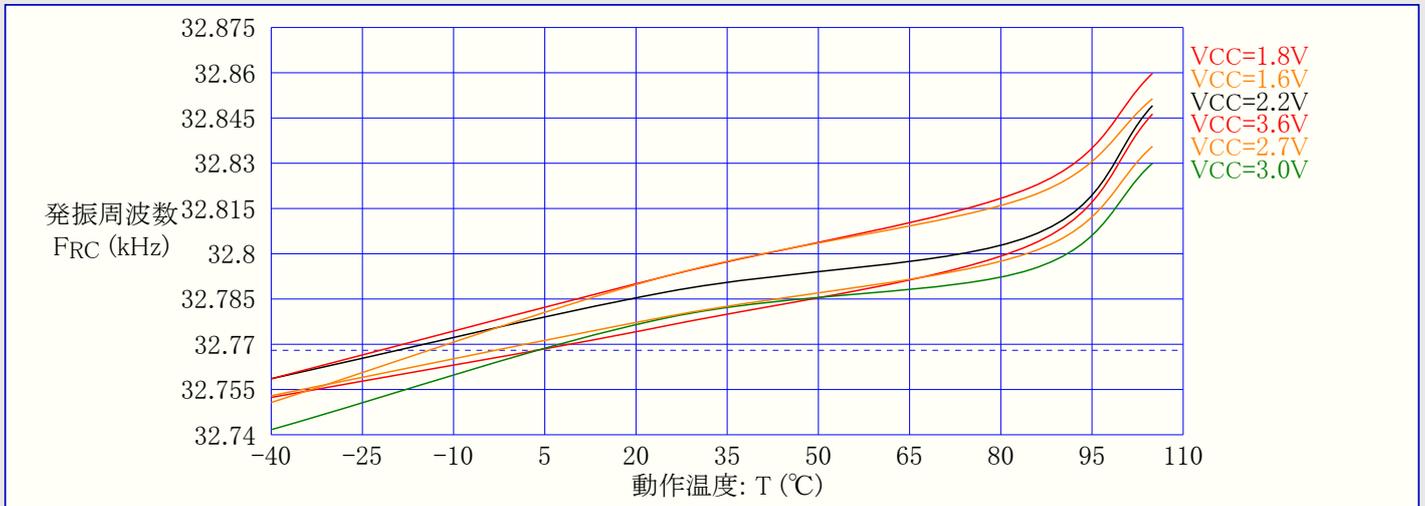


図37-64. 32.768kHz内部発振器校正段階量 (T=-40~+85°C、VCC=3.0V)

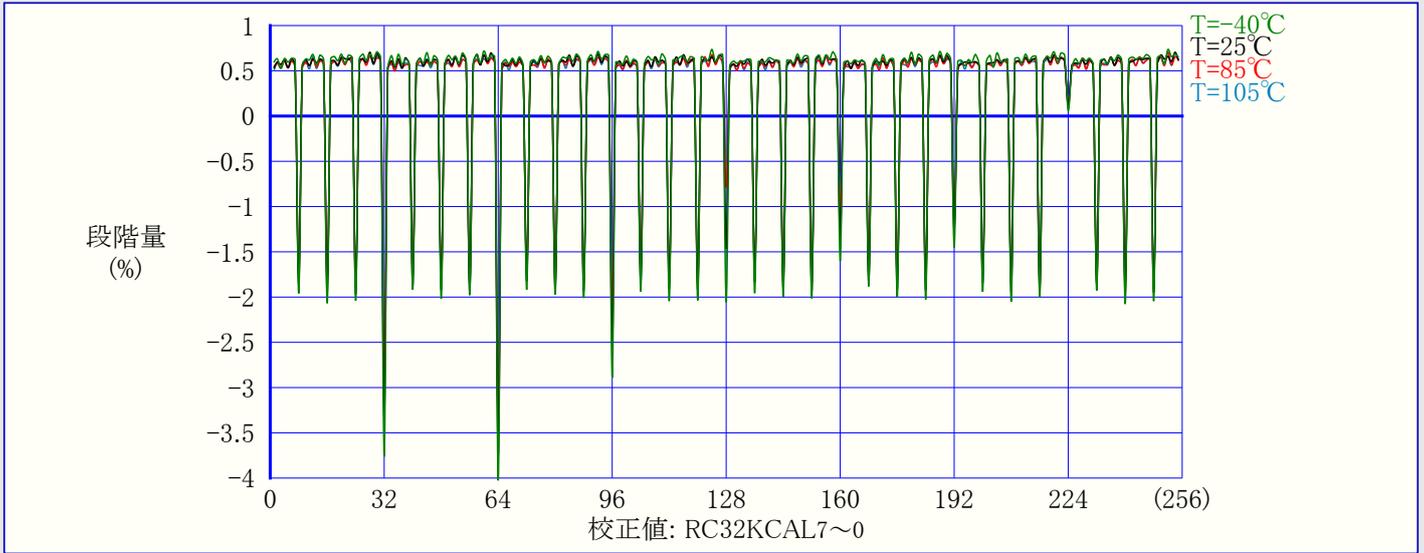
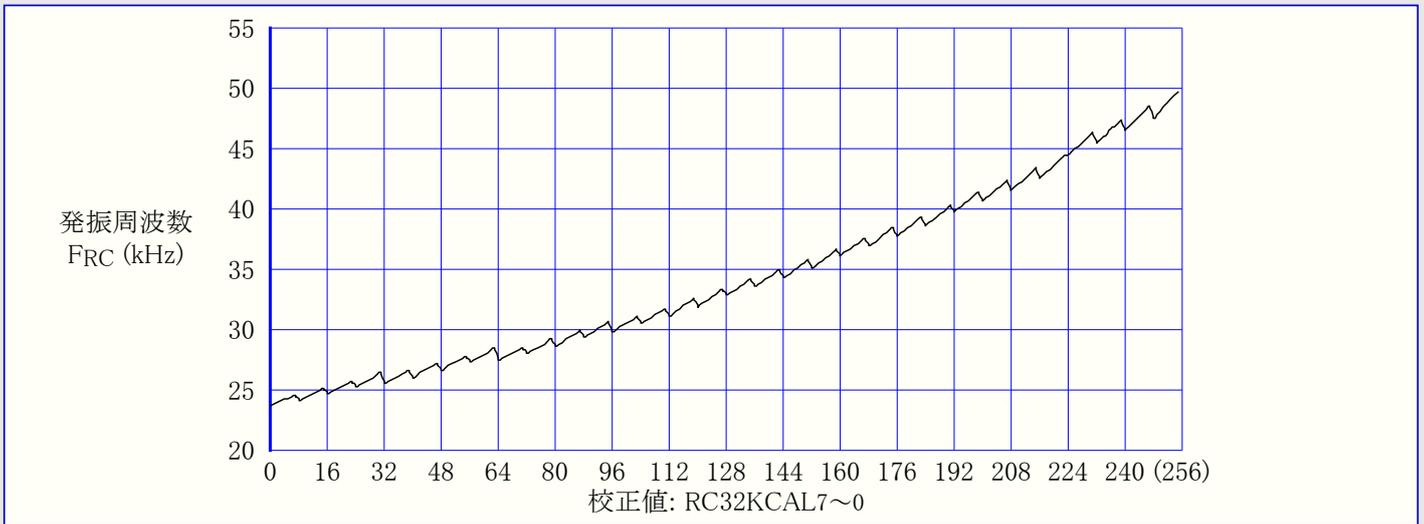


図37-65. 32.768kHz内部発振器周波数 対 校正値 (T=25°C、VCC=3.0V)



37.8.3. 2MHz内部発振器

図37-66. 2MHz内部発振器周波数 対 動作温度 (DFLL禁止)

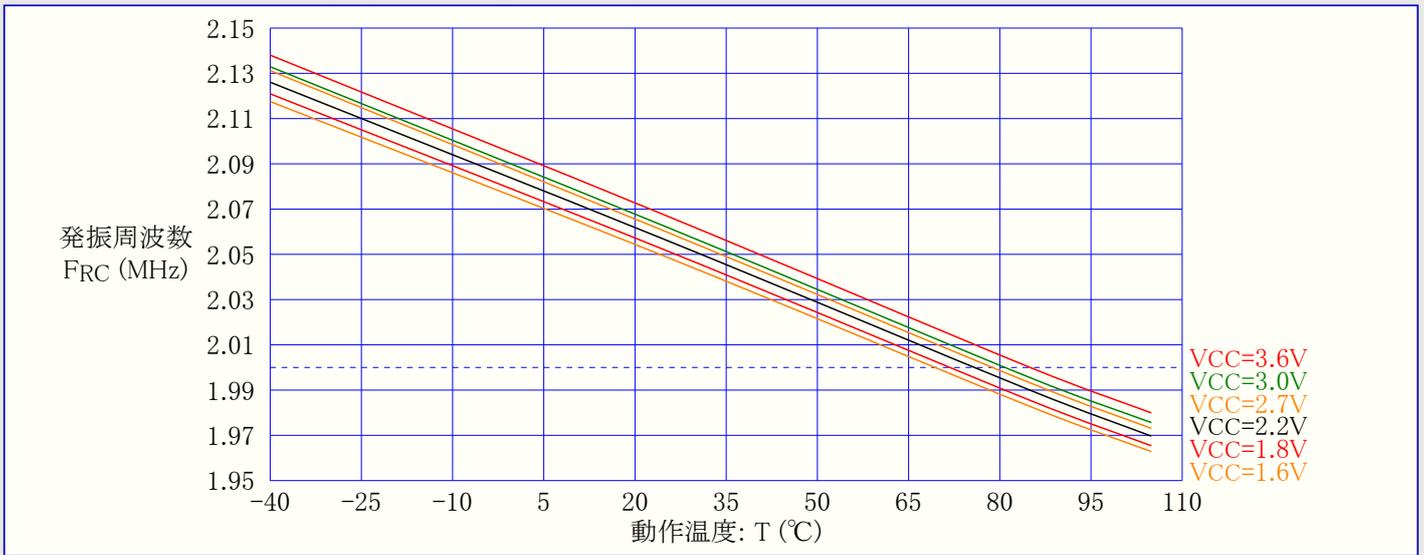


図37-67. 2MHz内部発振器周波数 対 動作温度 (DFLL許可)

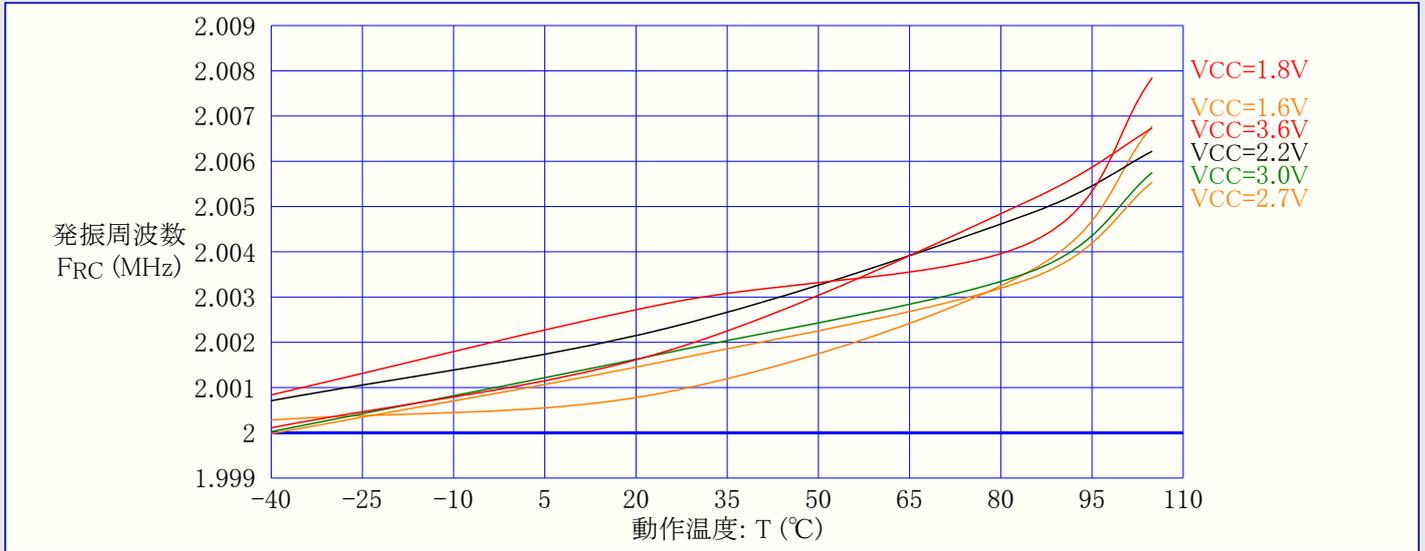


図37-68. 2MHz内部発振器CALA校正段階変量 (VCC=3.0V)

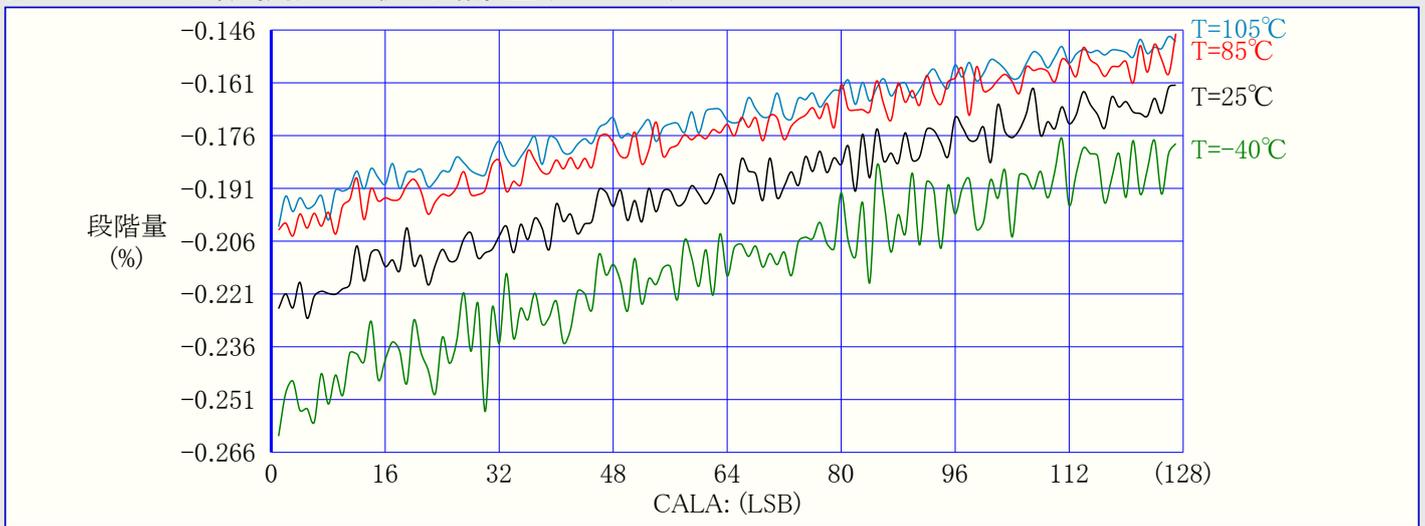
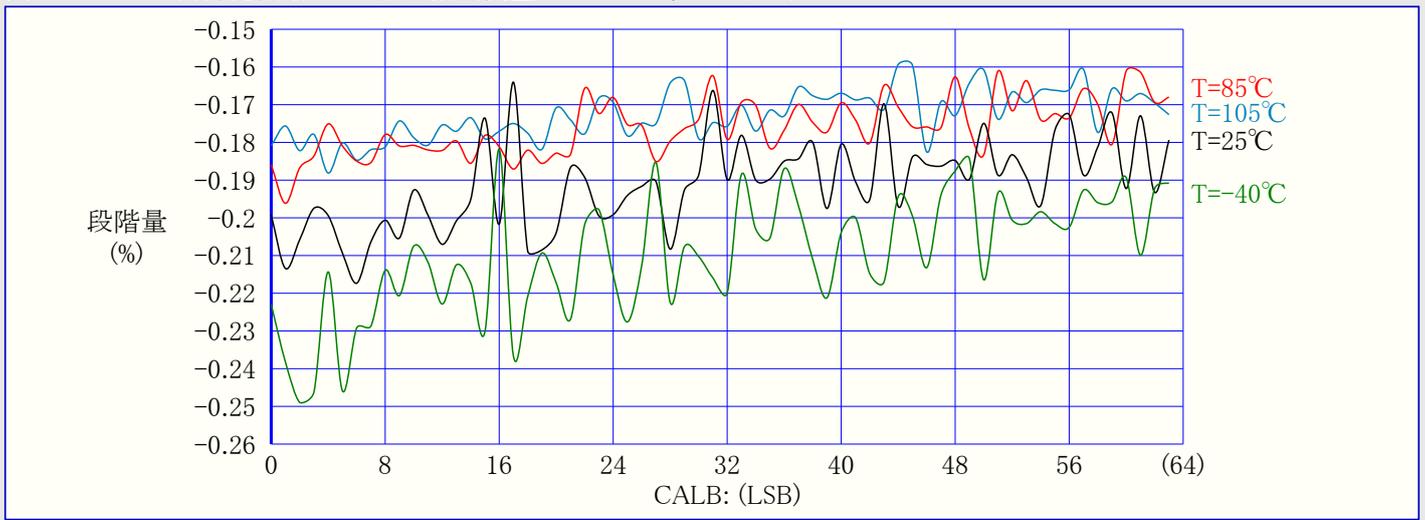


図37-69. 2MHz内部発振器CALB校正段階変量 (VCC=3.0V,DFLL許可)



37.8.4. 32MHz内部発振器

図37-70. 32MHz内部発振器周波数 対 動作温度 (DFLL禁止)

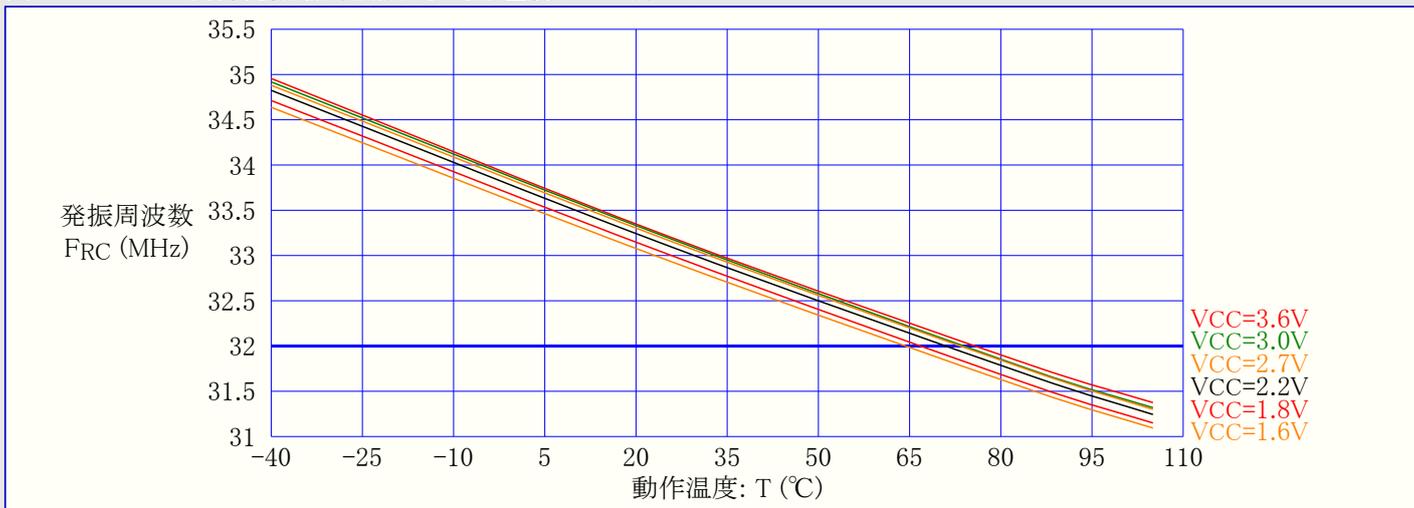


図37-71. 32MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からDFLL許可)

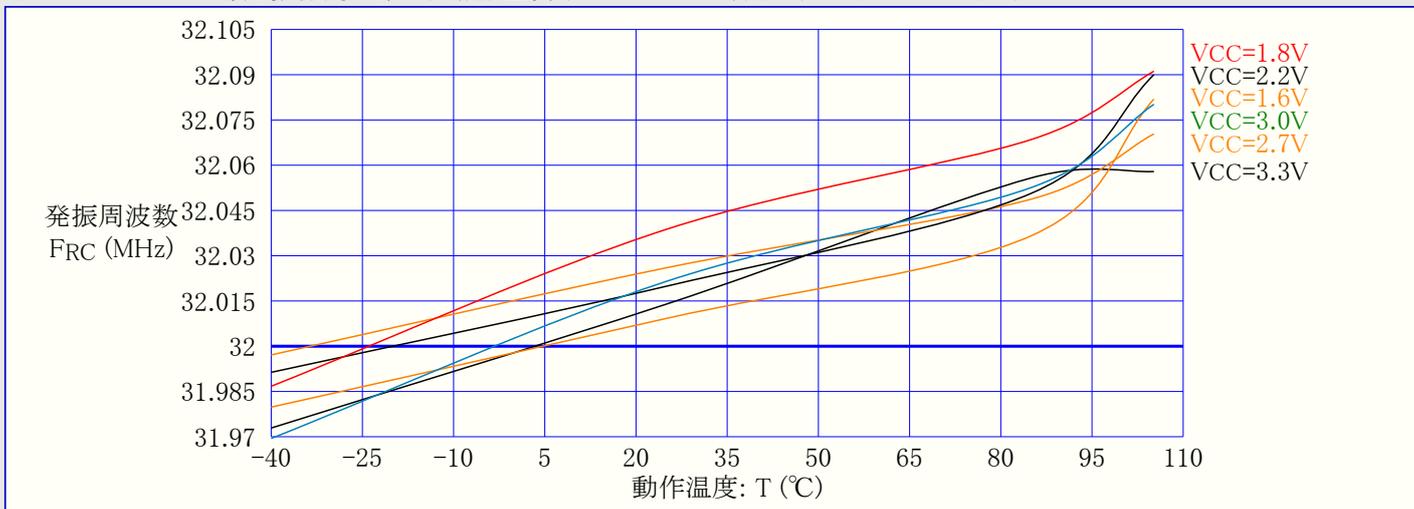


図37-72. 32MHz内部発振器CALA校正段階変量 (VCC=3.0V)

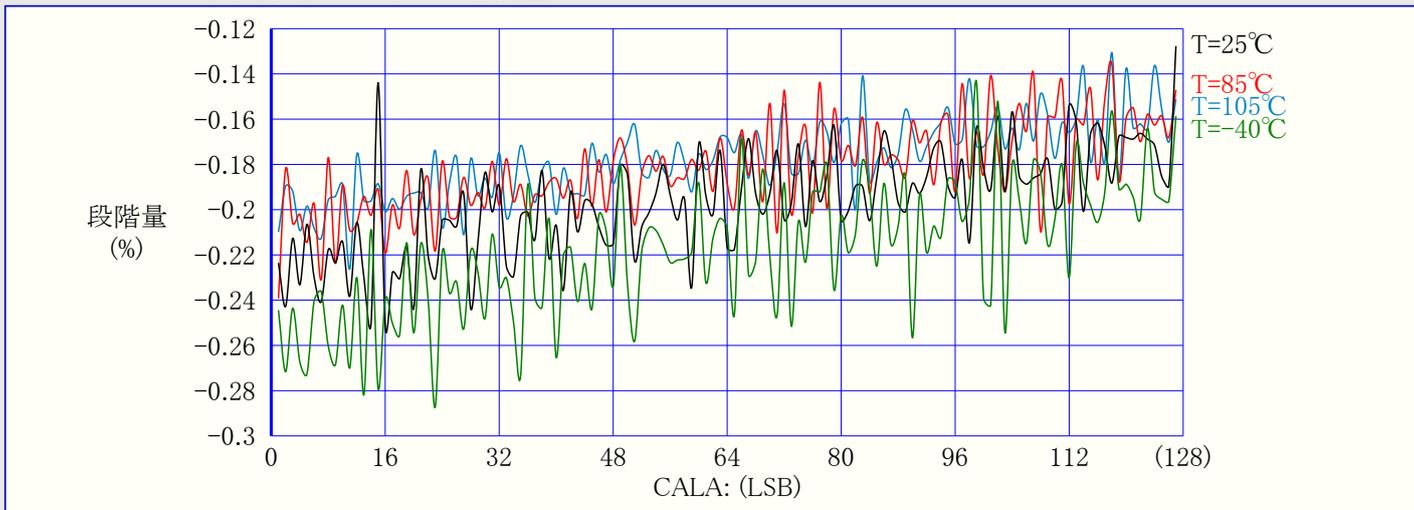


図37-73. 32MHz内部発振器CALB校正段階変量 (VCC=3.0V,CALA=中央値)

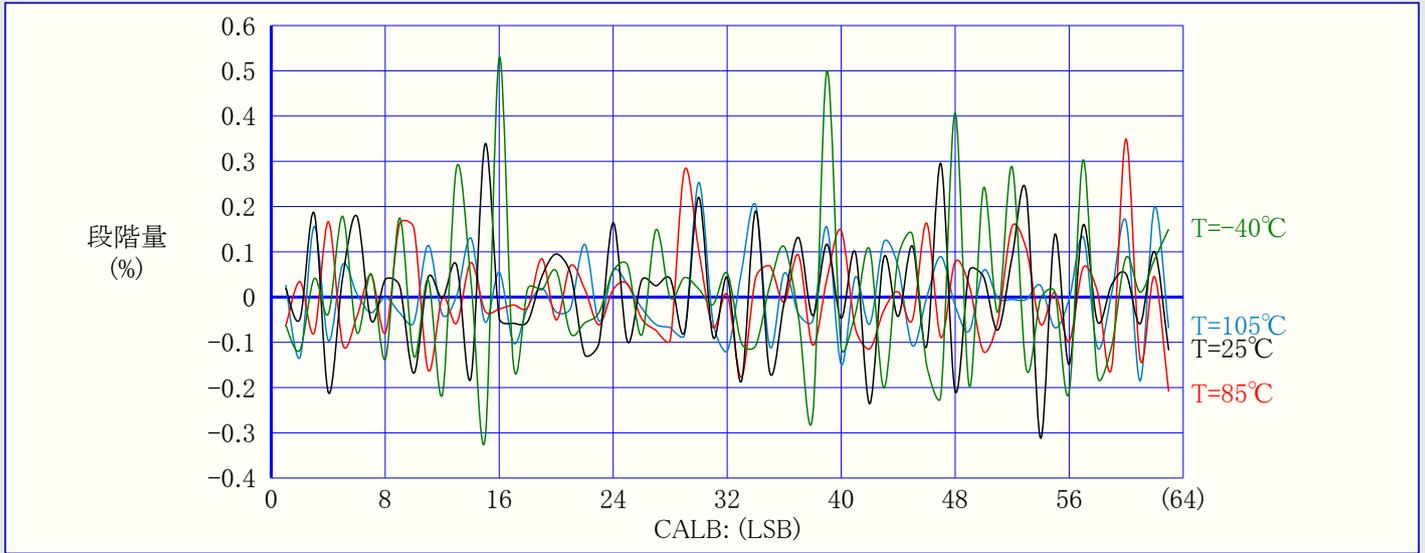


図37-74. 32MHz内部発振器周波数 対 CALA校正値 (VCC=3.0V)

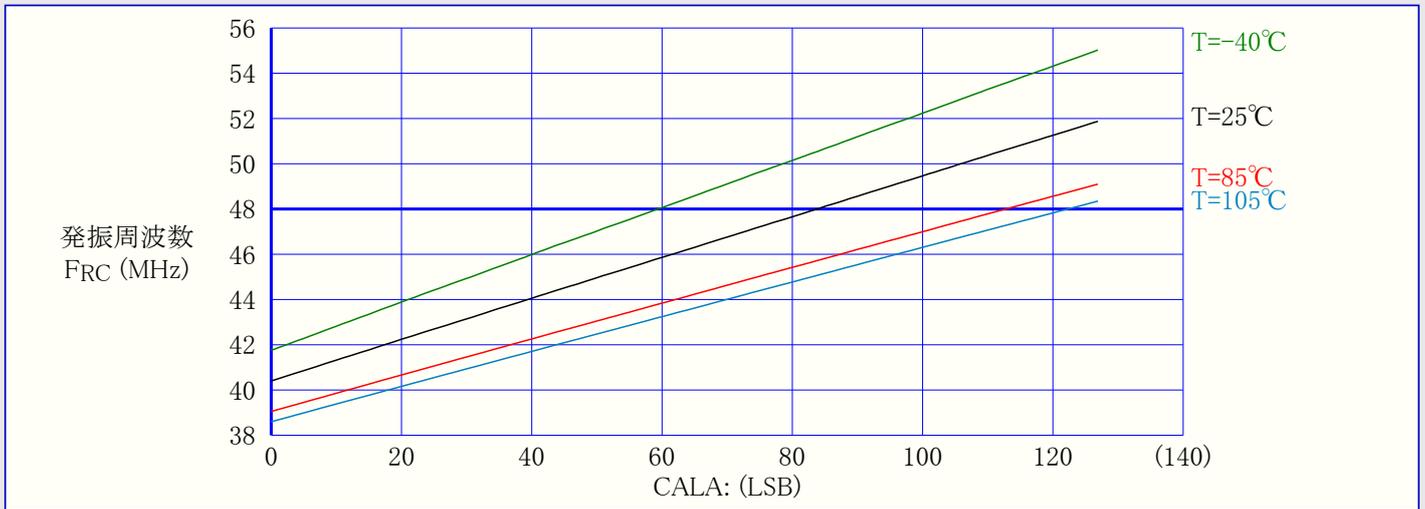
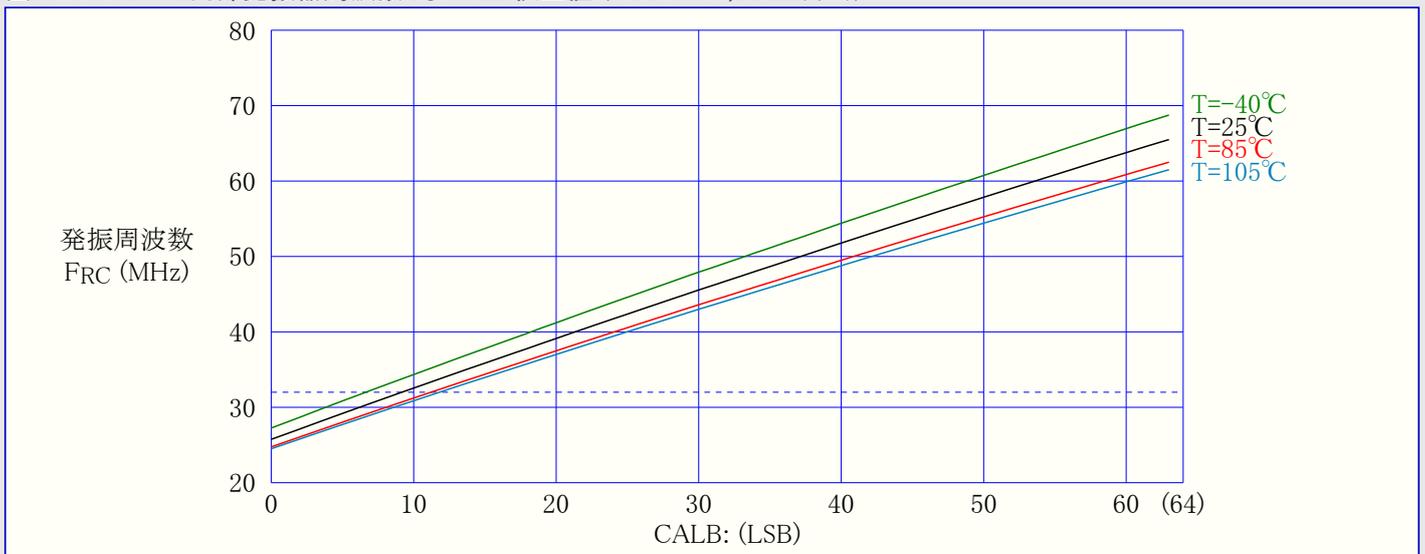


図37-75. 32MHz内部発振器周波数 対 CALB校正値 (VCC=3.0V,DFLL許可)



37.8.5. 48MHzに校正された32MHz内部発振器

図37-76. 48MHz内部発振器周波数 対 動作温度 (DFLL禁止)

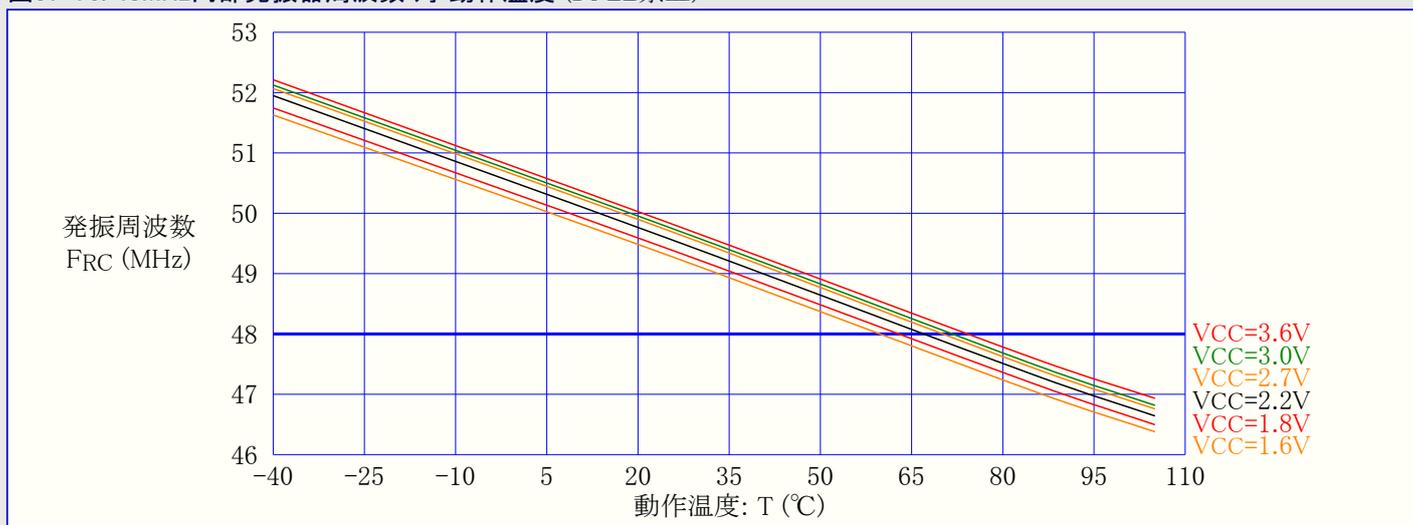


図37-77. 48MHz内部発振器周波数 対 動作温度 (32.768kHz内部発振器からDFLL許可)

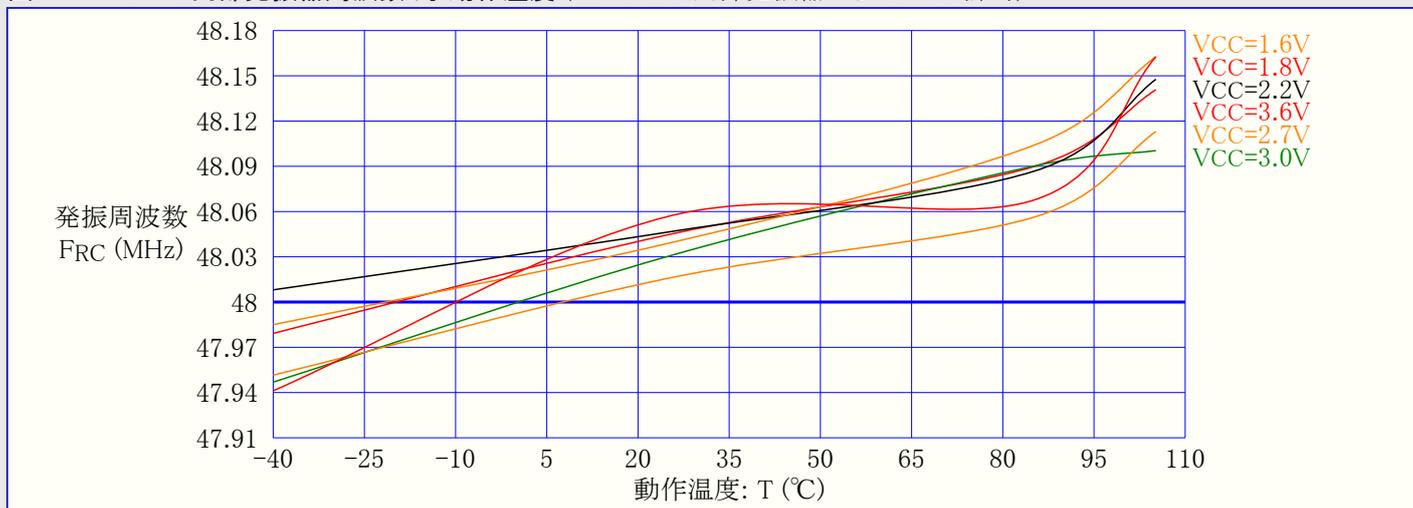


図37-78. 32MHz内部発振器CALA校正段階変量 (識票列からの48MHz校正値使用, VCC=3.0V)

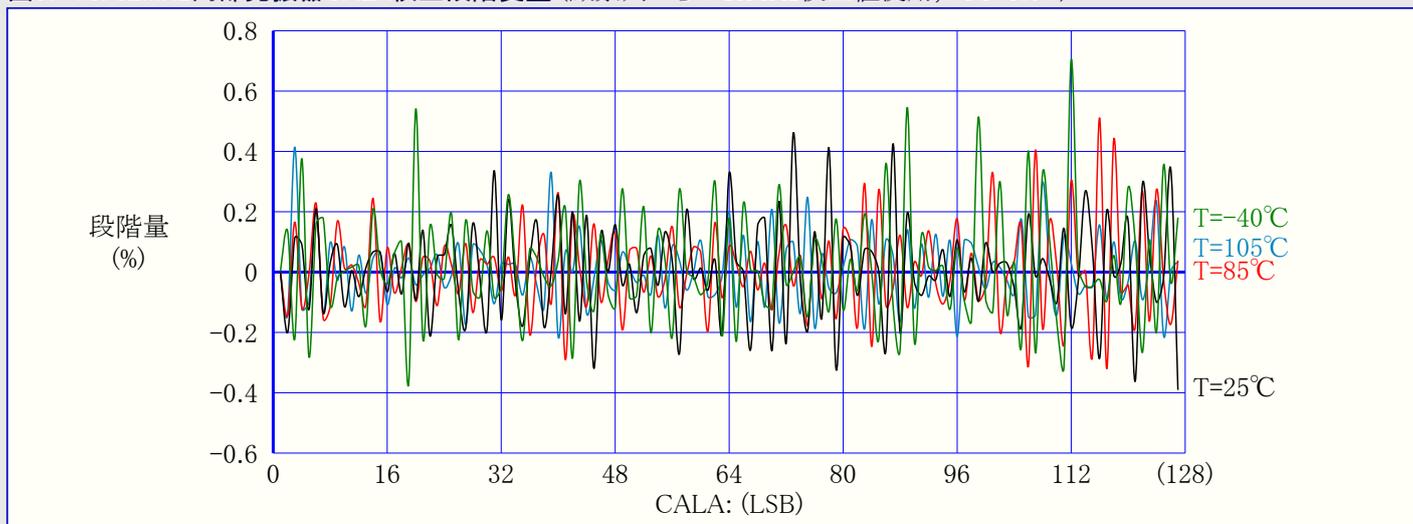
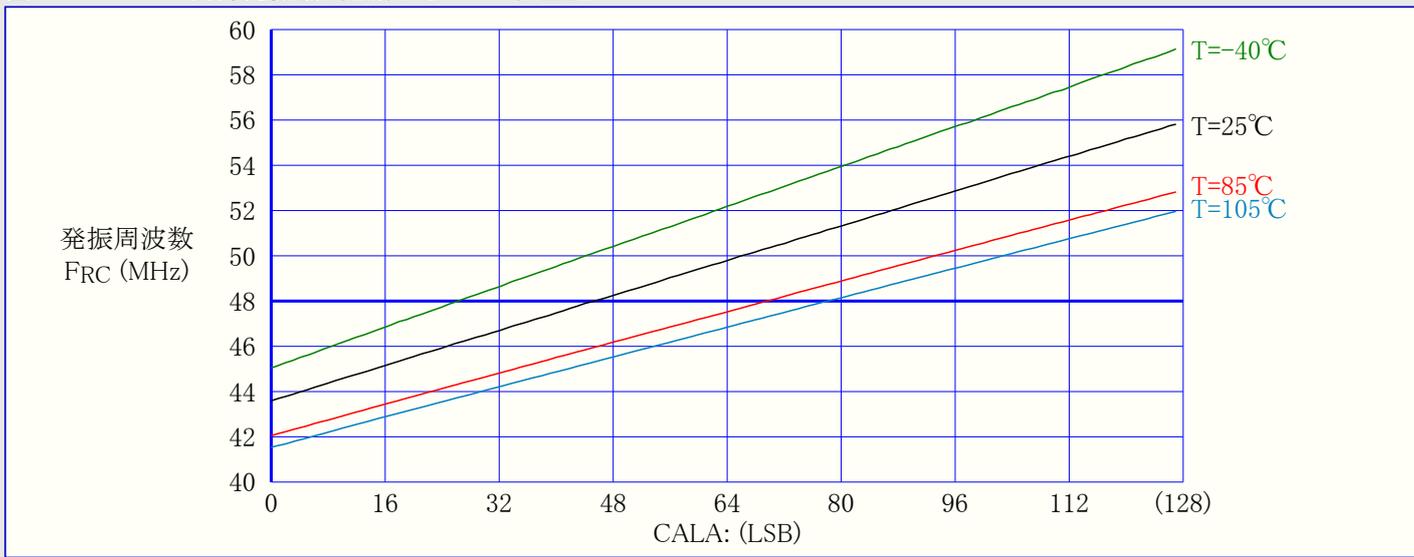
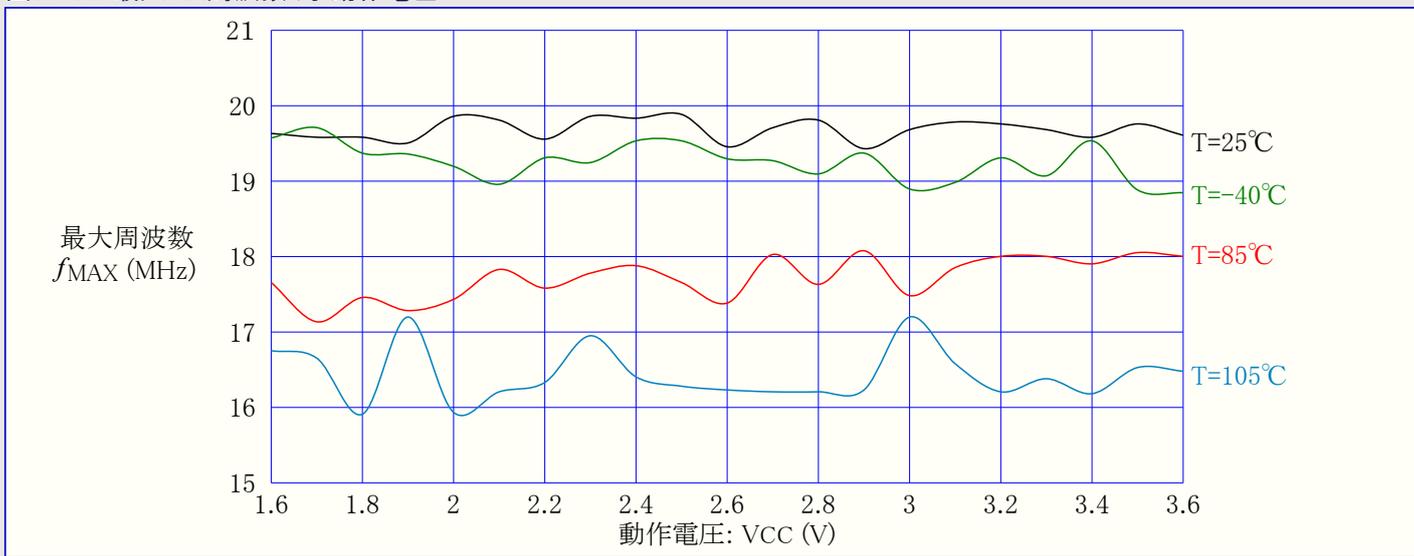


図37-79. 48MHz内部発振器周波数 対 CALA校正値 (VCC=3.0V)



37.9. PDI特性

図37-80. 最大PDI周波数 対 動作電圧



37.10. LCD特性

図37-81. 消費電流 対 フレーム速度 (32.768kHz TOSCからの低電力フレーム,ピクセル負荷有無,VCC=1.8V,T=25°C)

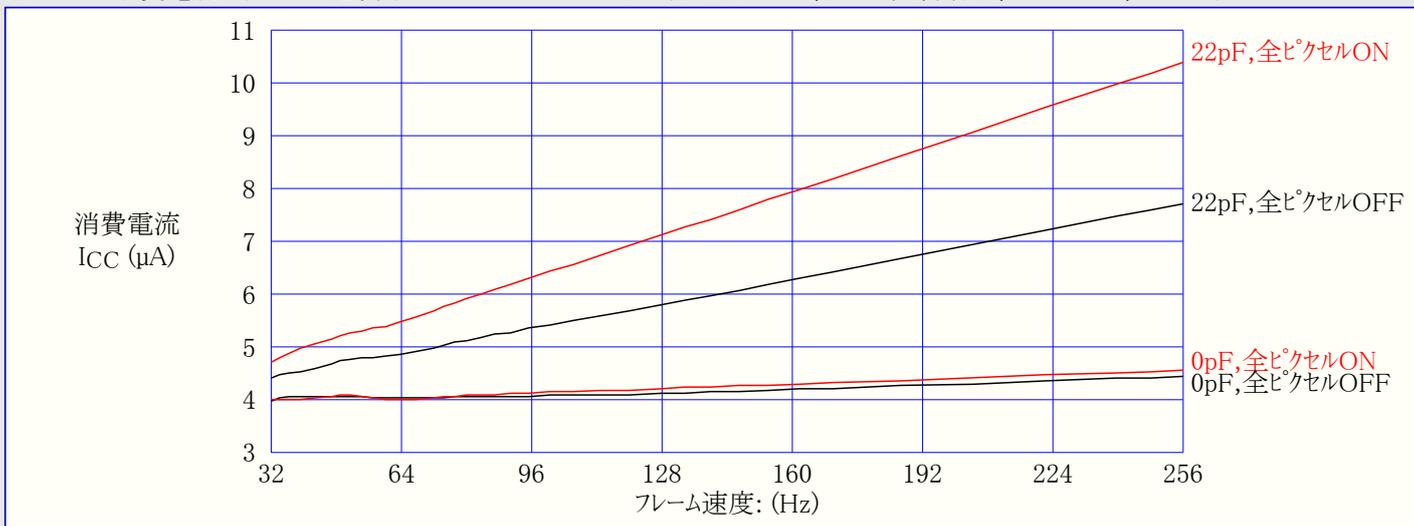


図37-82. 消費電流 対 フレーム速度 (32.768kHz TOSCからの低電力フレーム,ピクセル負荷有無,VCC=3.0V,T=25°C)

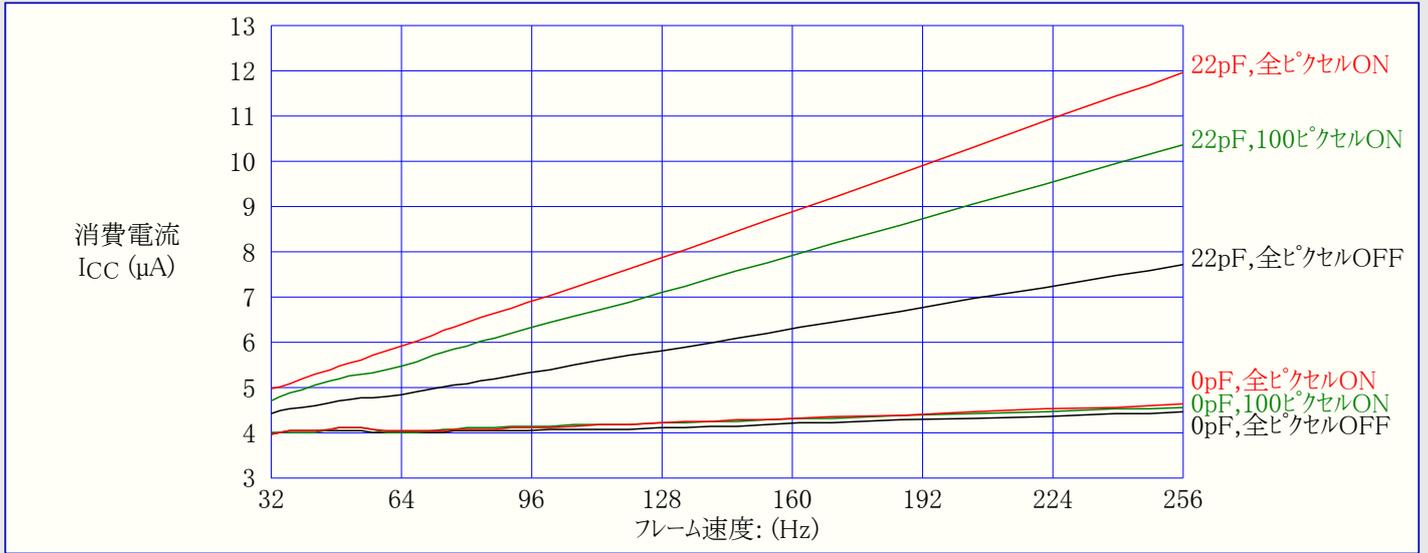


図37-83. 消費電流 対 フレーム速度 (ピクセル無負荷)

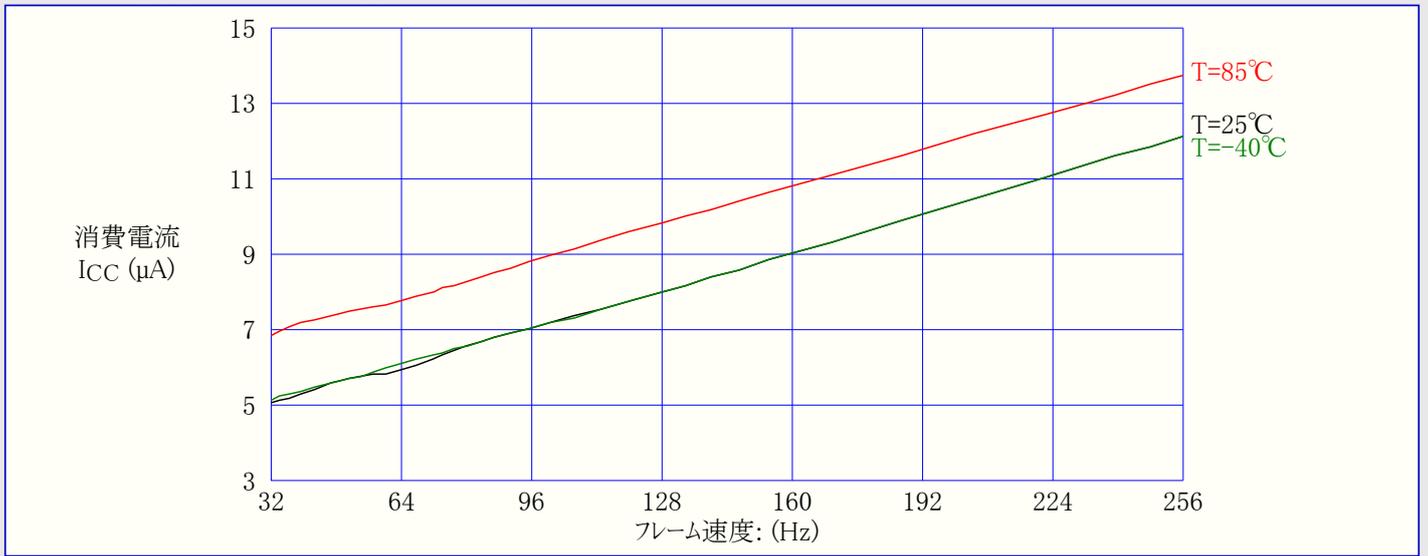


図37-84. 消費電流 対 濃淡 (32.768kHz TOSCからの32Hz低電力フレーム,ピクセル負荷無,VCC=1.8V)

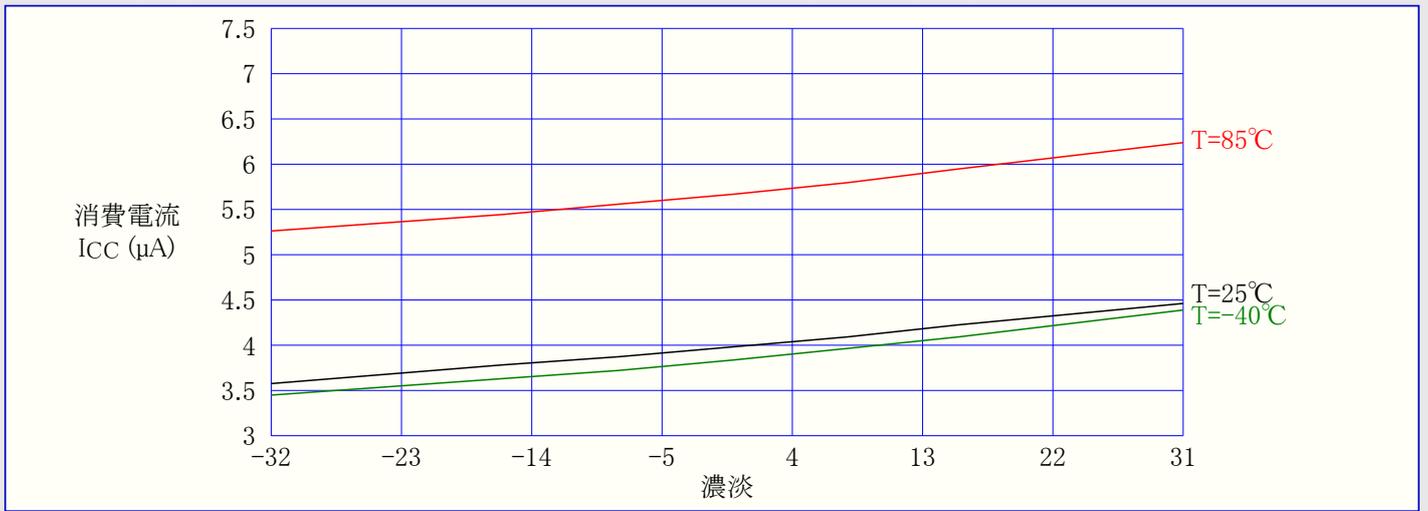


図37-85. 消費電流 対 濃淡 (32.768kHz TOSCからの32Hz低電力フレーム,ピクセル負荷無,VCC=3.0V)

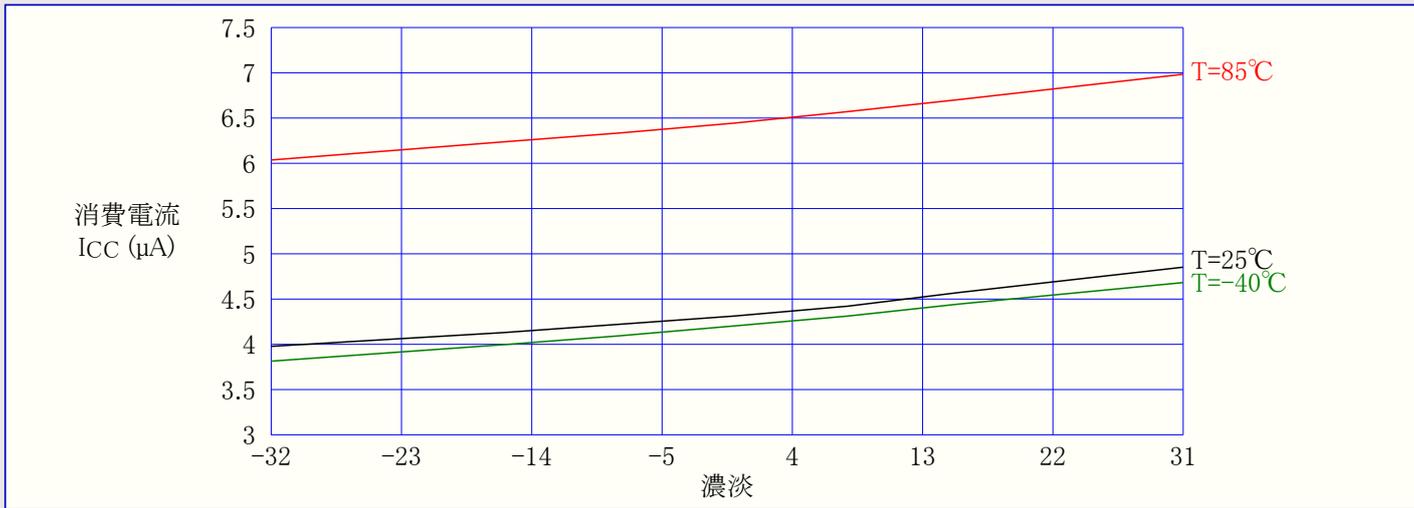


図37-86. パワーセーブ動作,低電力32Hz LCD単位部消費電流 対 動作温度

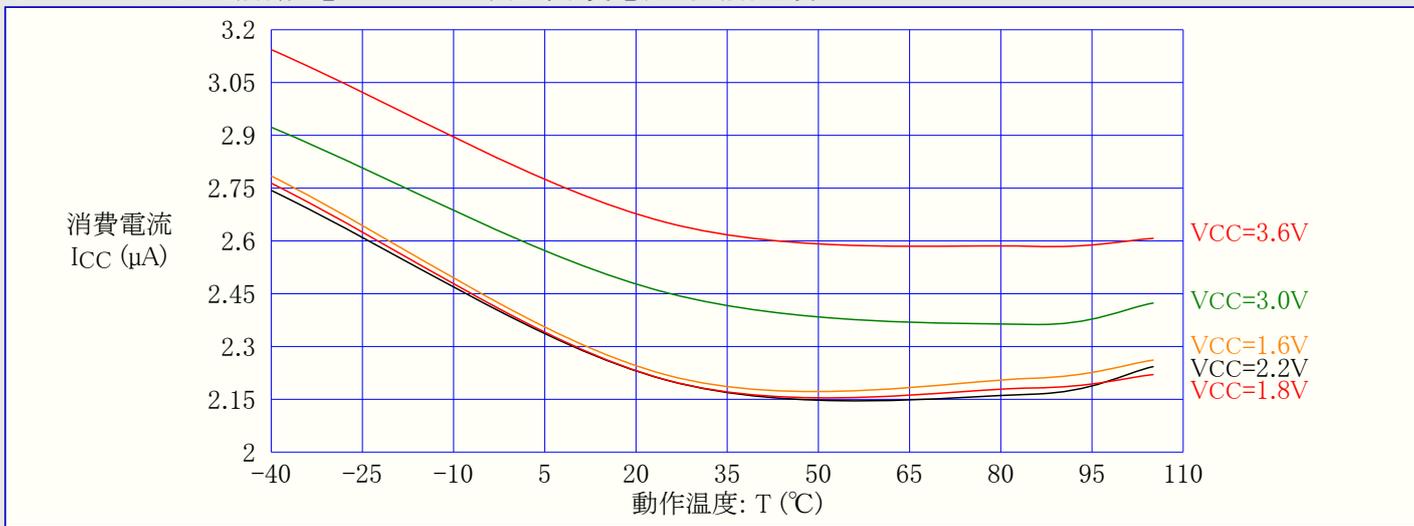


図37-87. パワーセーブ動作,低電力32Hz LCD単位部消費電流 対 動作温度 (RTC,WDT,採取BOD許可)

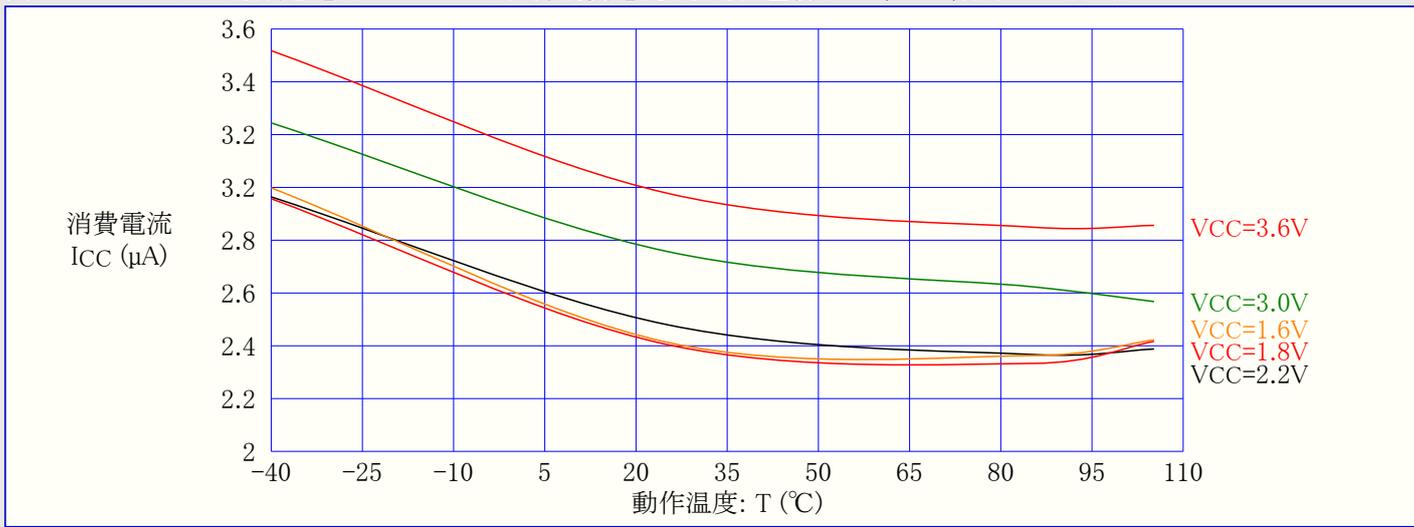
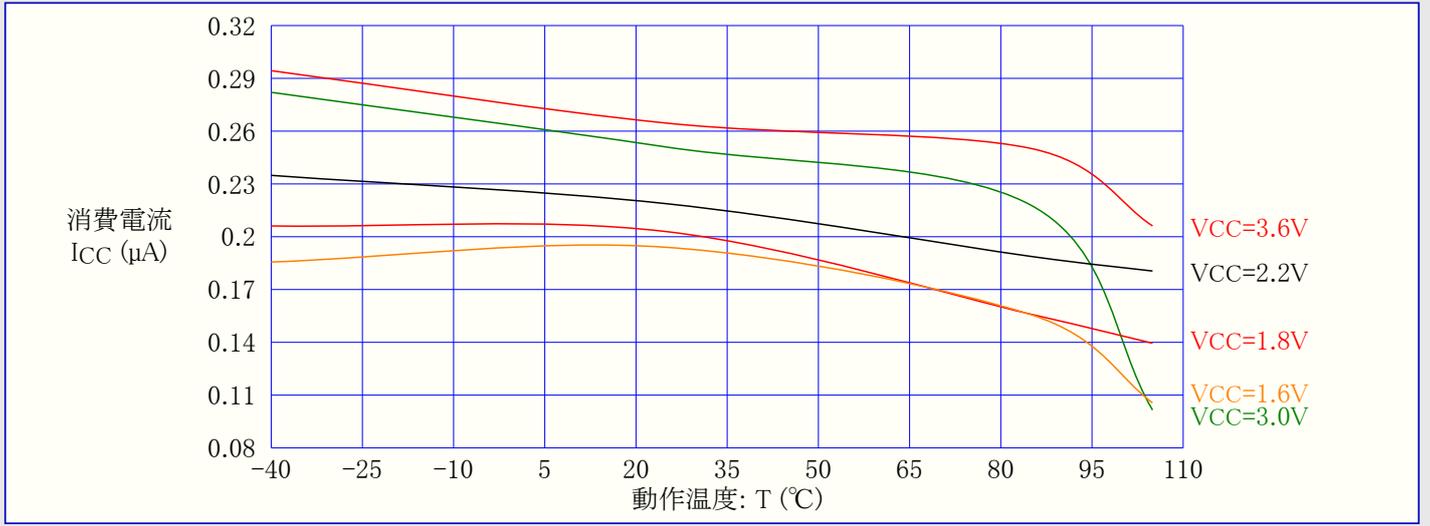


図37-88. パワーセーブ動作消費電流 対 動作温度 (RTC,WDT,採取BOD許可)



38. 障害情報

38.1. ATxmega64B1/128B1改訂B

試供されていません。

38.2. ATxmega64B1/128B1改訂A,C

• デバイス改訂番号	64/128-C
• AWeX障害保護回復が模様型生成動作で正しく行われない	64/128-C
• パワーダウン消費	64/128-A
• ×0.5利得使用時のA/D変換異常	64/128-A
• USART送信部禁止が自動的にTxDPin方向を入力に設定しない	64/128-A

1. デバイス改訂番号 (64/128-C)

デバイス改訂番号は改訂Bと改訂C間で無変化です。

2. AWeX障害保護回復が模様型生成動作で正しく行われない (64/128-C)

障害が検出されると、出力無効化許可(OUTOVEN)レジスタが解除され、障害条件が解消される時に対応する許可されたDTIチャネルに従ってOUTOVENが回復されます。共通波形チャネル動作(CWCM:Common Waveform Channel Mode)に関しては、障害から回復した後にOUTOVENが正しいので、これは無効です。模様型生成動作(PGM:Pattern Generation Mode)については、OUTOVENが代わりに沈黙時間Low側緩衝(DTLSBUF)レジスタに従って回復されてしまいます。

対策/対処

CWCMに関しては対策の必要がありません。

ラッチ動作でのPGMについては障害状態から戻る前にDTIチャネルを禁止してください。そして、正しい出力を再び許可するために方向(DIR)レジスタが書かれる前に、正しいOUTOVEN値を設定してDTIチャネルを許可してください。

周期単位動作でのPGMについては対策がありません。

3. パワーダウン消費 (64/128-A)

リセット後、システムがパワーダウンに入る時、またはA/D変換器が禁止される時に、余分な電力消費が引き出されます。

対策/対処

A/D変換器を差動動作形態と違う構成設定に設定してください。

4. ×0.5利得使用時のA/D変換異常 (64/128-A)

利得が×0.5に設定される時に、変換結果は×1利得設定と同じです。

対策/対処

対策はありません。

5. USART送信部禁止が自動的にTxDPin方向を入力に設定しない (64/128-A)

USART送信部が送信すべきデータなしでアイドルの場合、送信許可(TXEN)の0設定は自動的にTxDPinの方向を入力に設定しないでしょう。

対策/対処

TxDピン方向はポート方向(DIR)レジスタを使って入力に設定することができます。即座にポートDIRレジスタを入力に設定することができます。進行中の送信は切り詰められます。

39. データシート改訂履歴

本章での頁番号参照が本文書を参照されることに注意してください。本章での改訂の参照は文書改訂を参照しています。

39.1. 8330A – 2011年10月

1. 初版

39.2. 8330B – 2012年2月

1. 13頁の表7-2を更新。ATxmega128B1のページ容量(語)を256から128に変更
2. 55頁からの「電気的特性」全てを更新
3. 69頁からの「代表特性」全てを更新
4. 99頁の「障害情報」を更新

39.3. 8330C – 2012年7月

1. 47頁の表32-5を更新。16番ピンでのPDI_CLOCKと15番ピンでのPDI_DATA
2. 99頁の「障害情報」を更新。“JTAG改訂”を“デバイス改訂番号”に置換
3. Atmelの新雛形を用いてデータシートを更新

39.4. 8330D – 2013年1月

1. 2頁の「注文情報」を更新。-AUR,-CU,-CUR任意選択を追加
2. 47頁の表32-5を更新。PDIとRESETのピンを更新
3. 49頁の表32-8でPR1に対するピン番号を81番ピンに更新
4. 「外圍器情報」を更新。54頁に「100C1」用外圍器図を追加 (訳注:後に100C1は7A1に変更)
5. 64頁の表36-26「システム クロック用に前置分周器を持つ外部クロック」を更新
6. 65頁の表36-27「外部16MHzクリスタル用発振器とXOSCの特性」にESR項目を追加

39.5. 8330E – 2013年6月

1. CBGA外圍器任意選択用ピン配置(3頁の図2-2と表2-1.)を追加 (訳注:後にCBGAはVFBGAに変更)

39.6. 8330F – 2014年2月

1. 正しいVFBGA外圍器図を追加:
 - 7A1(VFBGA)外圍器によって100C1(CBGA)外圍器を置換
 - 2頁の「注文情報」で外圍器形式を更新
 - 3頁の図2-2と表2-1で表題を更新
 - 54頁の「外圍器情報」で外圍器形式を更新
2. 64頁の表36-24の表題名を更新

39.7. 8330G – 2014年11月

1. 3頁の表2-1でVCC1,LVCC1,LVCC01をVCC、GND1,LGND1,LGND01をGND、D2W_DをPDI_DATAに変更
2. VFBGAピン配置用記述修正。3頁の表2-1でF2位置ピンをVCCからGNDに変更
3. 41頁の「29. ADC – 12ビットA/D変換器」と42頁の「30. AC – アナログ比較器」でVCCをAVCCに変更
4. 46頁の表32-2でAVDDをAVCCに修正
5. 68頁の表36-30でt_{SU};DATパラメータ用単位値を変更
6. 99頁の「38. 障害情報」にUSART送信部での障害情報を追加
7. 105°C品用の情報を追加
8. 新雛形に従って文書構成設定のために様々な小さな変更が行われました。

39.8. 8330H – 2014年12月

1. 3頁の表2-1でVFBGAピン配列記述を修正

目次

特徴	1	14.3. 割り込みベクタ	22
1. 注文情報	2	15. 入出力ポート	24
2. ピン配置/構成図	3	15.1. 要点	24
3. 概要	4	15.2. 概要	24
3.1. 構成図	5	15.3. 出力駆動部	24
4. 資料	6	15.4. 入力感知	26
4.1. 推奨読み物	6	15.5. 交換ポート機能	26
5. 容量性接触感知	6	16. TC0/1 – 16ビット タイマ/カウンタ0型と1型	27
6. AVR CPU	7	16.1. 要点	27
6.1. 要点	7	16.2. 概要	27
6.2. 概要	7	17. TC2 – 16ビット タイマ/カウンタ2型	29
6.3. 構造概要	7	17.1. 要点	29
6.4. 算術論理演算器 (ALU)	8	17.2. 概要	29
6.5. プログラムの流れ	8	18. AWeX – 新波形拡張	30
6.6. ステータスレジスタ	8	18.1. 要点	30
6.7. スタックとスタックポインタ	8	18.2. 概要	30
6.8. レジスタファイル	9	19. Hi-Res – 高分解能拡張	31
7. メモリ	10	19.1. 要点	31
7.1. 要点	10	19.2. 概要	31
7.2. 概要	10	20. RTC – 16ビット実時間計数器	32
7.3. フラッシュプログラムメモリ	10	20.1. 要点	32
7.4. ヒューズと施錠ビット	11	20.2. 概要	32
7.5. データメモリ	11	21. USB – 万能直列バスインターフェース	33
7.6. EEPROM	12	21.1. 要点	33
7.7. I/Oメモリ	12	21.2. 概要	33
7.8. データメモリとバス調停	12	22. TWI – 2線インターフェース	34
7.9. メモリタイミング	12	22.1. 要点	34
7.10. デバイスIDと改訂	12	22.2. 概要	34
7.11. JTAG禁止	12	23. SPI – 直列周辺インターフェース	35
7.12. I/Oメモリ保護	12	23.1. 要点	35
7.13. フラッシュメモリとEEPROMのページ容量	13	23.2. 概要	35
8. DMAC – 直接メモリ入出力制御器	14	24. USART	36
8.1. 要点	14	24.1. 要点	36
8.2. 概要	14	24.2. 概要	36
9. 事象システム	15	25. I2C – 赤外線通信単位部	37
9.1. 要点	15	25.1. 要点	37
9.2. 概要	15	25.2. 概要	37
10. システムクロックとクロック選択	16	26. AESとDESの暗号エンジン	38
10.1. 要点	16	26.1. 要点	38
10.2. 概要	16	26.2. 概要	38
10.3. クロック元	17	27. CRC – 巡回冗長検査	39
11. 電力管理と休止形態動作	18	27.1. 要点	39
11.1. 要点	18	27.2. 概要	39
11.2. 概要	18	28. LCD – 液晶表示制御器	40
11.3. 休止形態動作	18	28.1. 要点	40
12. システム制御とリセット	19	28.2. 概要	40
12.1. 要点	19	29. ADC – 12ビット A/D変換器	41
12.2. 概要	19	29.1. 要点	41
12.3. リセットの流れ	19	29.2. 概要	41
12.4. リセット元	19	30. AC – アナログ比較器	42
13. WDT – ウォッチドッグタイマ	21	30.1. 要点	42
13.1. 要点	21	30.2. 概要	42
13.2. 概要	21	31. プログラミングとデバッグ	44
14. 割り込みと設定可能な多段割り込み制御器	22	31.1. 要点	44
14.1. 要点	22	31.2. 概要	44
14.2. 概要	22	32. ピン配置とピン機能	45

32.1.	交換ピン機能の種類	45
32.2.	交換ピン機能	46
33.	周辺機能単位部アドレス割り当て	50
34.	命令一式要約	51
35.	外圍器情報	54
35.1.	100A	54
35.2.	7A1	54
36.	電氣的特性	55
36.1.	絶対最大定格	55
36.2.	全般動作定格	55
36.3.	DC特性	56
36.4.	休止形態からの起動時間	58
36.5.	入出力ピン特性	58
36.6.	液晶表示部特性	59
36.7.	A/D変換器特性	59
36.8.	アナログ比較器特性	61
36.9.	ハントギャップと内部1.0V基準電圧特性	61
36.10.	低電圧検出(Brownout Detection)特性	62
36.11.	外部リセット特性	62
36.12.	電源ONリセット特性	62
36.13.	フラッシュメモリとEEPROMの特性	62
36.14.	クロックと発振器の特性	63
36.15.	SPIタイミング特性	67
36.16.	2線インターフェース特性	68
37.	代表特性	69
37.1.	消費電流	69
37.2.	入出力ピン特性	74
37.3.	A/D変換器(ADC)特性	78
37.4.	アナログ比較器特性	83
37.5.	内部1.0V基準電圧特性	85
37.6.	低電圧検出器(BOD)特性	85
37.7.	外部リセット特性	87
37.8.	発振器特性	89
37.9.	PDI特性	95
37.10.	LCD特性	95
38.	障害情報	99
38.1.	ATxmega64B1/128B1改訂B	99
38.2.	ATxmega64B1/128B1改訂A,C	99
39.	データシート改訂履歴	100
39.1.	8386A - 2011年10月	100
39.2.	8386B - 2012年2月	100
39.3.	8386C - 2012年7月	100
39.4.	8386D - 2013年1月	100
39.5.	8386E - 2013年6月	100
39.6.	8386F - 2014年2月	100
39.7.	8386G - 2014年11月	100
39.8.	8386H - 2014年12月	100

Atmel®, Atmelロゴとそれらの組み合わせ、Adjacent Key Suppression®, AKS®, AVR®, Enabling Unlimited Possibilities®, QTouch®, XMEGA®とその他は米国および他国に於けるAtmel Corporationの登録商標または商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに表示する販売の条件とAtmelの定義での詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとしても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用されるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を加えたり死に至らしめることがかなり予期されるどんな応用(“安全重視応用”)に対しても設計されず、またそれらとの接続にも使用されません。安全重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作の装置やシステムを含みます。Atmelによって軍用等級として特に明確に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

© HERO 2022.

本データシートはAtmelのATxmega B1系英語版データシート(改訂8330H-12/2014)の翻訳日本語版です。日本語では不自然となる重複する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意識されている部分もあります。必要に応じて一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データレジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されています。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表記しています。

青字の部分はリンクとなっています。一般的に赤字の0,1は論理0,1を表します。その他の赤字は重要な部分を表します。