

#### 8/16ビット Atmel XMEGA D4 マイクロ コントローラ

### ATxmega128D4, ATxmega64D4, ATxmega32D4, ATxmega16D4

#### 特徴

- 高性能、低消費Atmel® AVR® XMEGA® 8/16ビットマイクロ コントローラ
- データ メモリと不揮発性プログラム メモリ
  - 実装自己書き換え(ISP)可能な16~128Kバイト(8~64K語)フラッシュメモリ
  - 独立した施錠ビットを持つ4~8Kバイト(2~4K語)ブート コード領域
  - 1~2KバイトのEEPROM
  - 2~8Kバイトの内部SRAM
- 内蔵周辺機能
  - 4チャネルの事象システム
  - 4つの16ビットタイマ/カウンタ
    - 4つの比較チャネルまたは捕獲チャネルを持つ、3つのタイマ/カウンタ
    - 2つの比較チャネルまたは捕獲チャネルを持つ、1つのタイマ/カウンタ
    - 2つのタイマ/カウンタでの高分解能拡張
    - 1つのタイマ/カウンタでの新波形拡張
  - 1つのUSARTに対するIrDA(赤外線通信)支援を持つ、2つのUSART
  - 2重アトンス一致を持つ、2つの2線インターフェース(I<sup>2</sup>CとSMBus適合)
  - 2つの直列周辺インターフェース(SPI:Serial Peripheral Interface)周辺機能
  - CRC-16(CRC-CCITT)とCRC-32(IEEE 802.3)生成器
  - 独立した発振器を持つ、16ビット実時間計数器
  - 12チャネル、12ビット、200k採取/秒の1つのA/D変換器
  - 窓比較機能と電流源を持つ、2つのアナログ比較器
  - 全ての汎用I/Oピンでの外部割り込み
  - チップ上の独立した超低電力発振器付きの設定可能なウォッチドッグタイマ
  - QTouch® ライフ ラリ 支援
    - 容量性接触釦、滑動部、輪
- 特殊マイクロ コントローラ機能
  - 電源ONリセットと設定可能な低電圧検出(BOD)
  - PLLと前置分周器を持つ、内部及び外部のクロック任意選択
  - 設定可能な多段割り込み制御器
  - 5つの休止動作形態
  - プログラミングとデバッグ用のインターフェース
    - PDI(Program and Debug Interface)
- I/Oと外囲器
  - 設定可能な34本のI/O線
  - 44リート TQFP、44ハ ット VQFN/QFN、49球VFBGA
- 動作電圧
  - 1.6∼3.6V
- 速度性能
  - $0\sim12\text{MHz}/1.6\sim3.6\text{V}$
  - $0\sim32\text{MHz}/2.7\sim3.6\text{V}$

本書は一般の方々の便宜のため有志により作成されたもので、Atmel社とは無関係であることを御承知ください。しおりの[はじめに]での内容にご注意ください。

#### 1. 注文情報

注文符号	フラッシュ	EEPROM	SRAM	外囲器 (注1,2,3)	速度(MHz)	電源電圧	温度
ATxmega16D4-AU	16VD±4VD	11/D	91/D				
ATxmega16D4-AUR ( <b>注4</b> )	16KB+4KB	1KB	2KB				
ATxmega32D4-AU	32KB+4KB	1KB	4KB				
ATxmega32D4-AUR (注4)	32KD+4KD	TIVD	417D	44A			
ATxmega64D4-AU	64KB+4KB	2KB	4KB	T1/1			
ATxmega64D4-AUR (注4)	O IND · IND	2110	IIND				
ATxmega128D4-AU	128KB+8KB	2KB	8KB				
ATxmega128D4-AUR ( <b>注4</b> )		2112	OTE				
ATxmega16D4-MH	16KB+4KB	1KB	2KB				
ATxmega16D4-MHR ( <b>注4</b> )							
ATxmega32D4-MH	32KB+4KB	1KB	4KB				
ATxmega32D4-MHR (注4)				44M1	32	1.6~3.6V	-40°C∼85°C
ATxmega64D4-MH	64KB+4KB	2KB	4KB				21 2 33 0
ATxmega64D4-MHR (注4)							
ATxmega128D4-MH	128KB+8KB	2KB	8KB				
ATxmega128D4-MHR (注4) ATxmega16D4-CU							
ATxmega16D4-CUR (注4)	16KB+4KB	1KB	2KB				
ATxmega32D4-CU (124)							
ATxmega32D4-CUR (注4)	32KB+4KB	1KB	4KB				
ATxmega64D4-CU				49C2			
ATxmega64D4-CUR (注4)	64KB+4KB	2KB	4KB				
ATxmega128D4-CU							
ATxmega128D4-CUR (注4)	128KB+8KB	2KB	8KB				
ATxmega16D4-AN							
ATxmega16D4-ANR ( <b>注4</b> )	16KB+4KB	1KB	2KB				
ATxmega32D4-AN							
ATxmega32D4-ANR (注4)	32KB+4KB	1KB	4KB				
ATxmega64D4-AN	CAIZD : AIZD	OIZD	ALZD	44A			
ATxmega64D4-ANR ( <b>注4</b> )	64KB+4KB	2KB	4KB				
ATxmega128D4-AN	128KB+8KB	9KD	OND				
ATxmega128D4-ANR ( <b>注4</b> )	120ND+8NB	2KB	8KB		32	1.6~3.6V	-40°C∼105°C
ATxmega16D4-M7	16KB+4KB	1KB	2KB		34	1.0 ~ 3.0 V	40 0 100 0
ATxmega16D4-M7R ( <b>注4</b> )	10170+4170	TIVD	ZIXD				
ATxmega32D4-M7	32KB+4KB	1KB	4KB				
ATxmega32D4-M7R ( <b>注4</b> )	0217D+317D	117D	TIVD	44M1			
ATxmega64D4-M7	64KB+4KB	2KB	4KB	1 11/11			
ATxmega64D4-M7R ( <b>注4</b> )	3 11 1D · 11 1D	21115	1110				
ATxmega128D4-M7	128KB+8KB	2KB	8KB				
ATxmega128D4-M7R (注4)							

注1: このデバイスはウェハー(チップ・単体)形状でも供給できます。詳細な注文情報については最寄のAtmel営業所へお問い合わせく ださい。

注2: 有害物質使用制限に関する欧州指令(RoHS指令)適合の鉛フリー製品。またハロゲン化合物フリーで完全に安全です。

**注3**: 外囲器情報については48頁の「**外囲器情報**」をご覧ください。

**注4**: テープ。とリール。



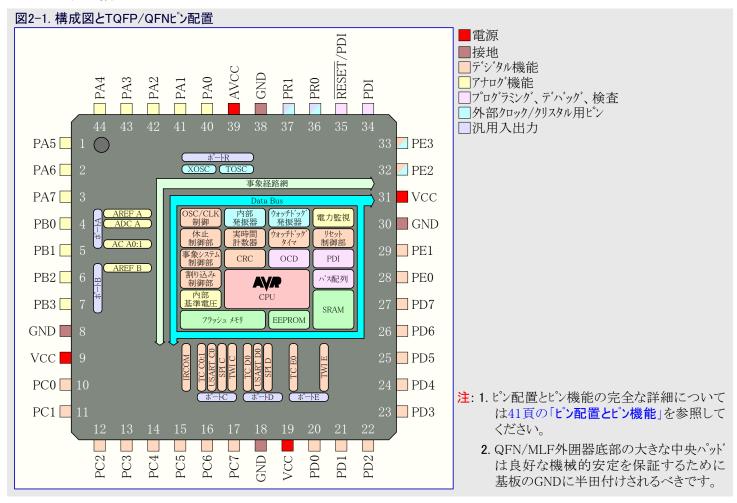
外囲器形式				
44A	44リート、10×10×1.0mm厚 0.8mmピッチ 薄型プラスティック4方向平板外囲器 (TQFP)			
44M1	44パット、7×7×1.0mm 0.50mmピッチ 5.20mm露出パット、耐熱プラスティック極薄4方向平板リート、なし外囲器 (VQFN)			
49C2	49球(7×7配列) 5×5×1.0mm 0.65mmピッチ 極薄密ピッチ球格子配列外囲器 (VFBGA)			

#### 代表的な応用

・工業制御	• 環境制御	• 低電力電池応用	
・工場自動化	• RFとZigBee®	・電力ツール	
• 建築制御	・USB接続性	・室内環境制御(HVAC)	
• 基板制御	• 感知器制御	・実用計器	
• 白物家雷	• 光学	• 医療応用	



#### 2. ピン配置/構成図



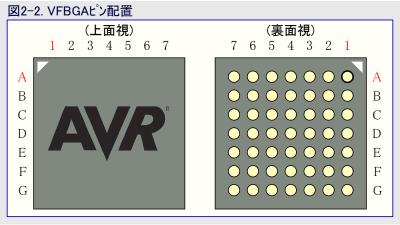


表2-	-1. VFBGAL	ン配列					
	1	2	3	4	5	6	7
Α	PA3	AVCC	GND	PR1	PR0	PDI	PE3
В	PA4	PA1	PA0	GND	RESET/PDI	PE2	VCC
С	PA5	PA2	PA6	PA7	GND	PE1	GND
D	PB1	PB2	PB3	PB0	GND	PD7	PE0
Е	GND	GND	PC3	GND	PD4	PD5	PD6
F	VCC	PC0	PC4	PC6	PD0	PD1	PD3
G	PC1	PC2	PC5	PC7	GND	VCC	PD2



#### 3. 概要

Atmel AVR XMEGAはAVR強化型RISC構造に基いた、低電力、高性能、豊富な周辺機能の8/16ビット マイクロ コントローラ系列です。単一クロック周期で実行する命令によって、AVR XMEGAデバイスはシステム設計者に対して電力消費対処理速度の最適化を可能とするMHz当たり100万命令に達するCPU単位時間処理能力を達成します。

AVR CPUは32個の汎用作業レジスタを豊富な命令一式に結合します。32個全てのレジスタが算術論理演算器(ALU)へ直接接続され、単一命令でのアクセスを2つの独立したレジスタに許し、単一クロック周期で実行されます。この構造はより大きなコート、効率と同時に伝統的な単一累積器やCISCに基くマイクロコントローラよりも何倍も速い単位時間処理能力達成に帰着します。

AVR XMEGA D4デバイスは次の機能、実装書き込み可能な書き中の読み(Read-While-Write)能力を持つフラッシュメモリ、内部のEEPR OMとSRAM、4チャネルの事象システム、設定可能な多段割り込み制御器、34本の汎用入出力線、16ビットの実時間計数器(RTC)、比較動作とPWM付きの4つの柔軟な16ビット タイマ/カウンタ、2つのUSART、2つの2線直列インターフェース(TWI)、2つの直列周辺インターフェース(SPI)、設定可能な利得付きの任意選択差動入力を持つ1つの12チャネル 12ビットA/D変換器、窓動作を持つ2つのアナログ比較器(AC)、独立した内部発振器を持つ設定可能なウォッチドック゚タイマ、PLLと前置分周器付きの正確な内部発振器、設定可能な低電圧検出(Brown-Out Detection)を提供します。

プログラミングとデブッグ用の高速2ピンインターフェースのプログラミングとデブッグ、インターフェース(PDI)が利用可能です。

XMEGA D4デバイスはソフトウェアで選択可能な5つの節電動作を持ちます。アイドル動作はCPUを停止する一方で、SRAM、事象システム、割り込み制御器と全ての周辺機能に機能の継続を許します。パワーダウン動作はSRAMとレジスタの内容を保存しますが、発振器を停止し、次のTWI、USB再開(resume)またはピン変化の割り込み、またはリセットまで他の全ての機能を禁止します。パワーセーブ動作では非同期実時間計数器が走行を続けて時間の維持を応用に許す一方、デバイスの残りは休止します。スタンバイ動作ではクリスタル発振子/セラミック振動子用発振器が走行を保つ一方、デバイスの残りは休止します。これは低電力消費と組み合わせた外部クリスタルからの非常に速い始動を可能にします。拡張スタンバイ動作では主発振器と非同期計時器の両方が走行を続けます。更なる消費電力低減のため、各個別周辺機能への周辺機能クロックは活動動作とアイドル動作に於いて任意で停止することができます。

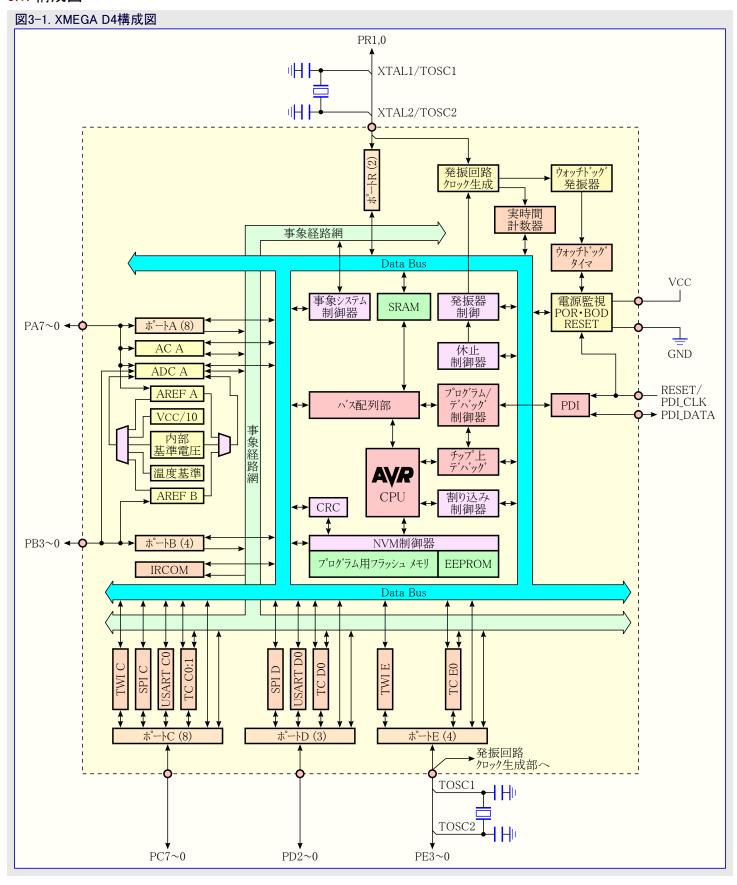
AtmelはAVRマイクロコントローラへ容量性接触釦、滑動部、輪を組み込むためのQTouchライブラリを提供します。

デバイスはAtmelの高密度不揮発性メモリ技術を使って製造されています。プログラム用フラッシュメモリはPDIインターフェースを通して実装書き換えをすることができます。デバイス内で走行するブートローダ、はフラッシュメモリに応用プログラムを取得格納するのにどんなインターフェースをも用いることができます。ブートフラッシュ領域内のブートローダ、ソフトウェアは応用フラッシュ領域が更新されている間も走行を続ける、真の「書き中の読み(Read-While-Write)」動作を提供します。実装自己書き換え可能なフラッシュと8/16ビットRISC CPUの結合により、AVR XMEGAは多くの組み込み応用に対して高い柔軟性と費用効率の解決策を提供する強力なマイクロコントローラ系列です。

全てのAtmel AVR XMEGAデバイスはCコンパイラ、マクロアセンブラ、プログラムデバッガ/シミュレータ、書き込み器、評価キットを含む、プログラムとシステム開発ツールの完全な揃えで支援されます。



#### 3.1. 構成図





#### 4. 資料

開発ツール、応用記述、データシートの包括的な1式はhttp://www.atmel.com/avrでのダウンロードに関して利用可能です。

#### 4.1. 推奨読物

- Atmel AVR XMEGA D手引書
- XMEGA応用記述

このデバイス データシートは各単位部と周辺機能の短い記述と共にデバイス固有情報だけを含みます。 XMEGA D手引書は単位部と周辺機能を広く深く記述します。 XMEGA応用記述はコート 例を含み、単位部と周辺機能を適用する使い方を示します。

全ての資料は www.atmel.com/avr から利用可能です。

#### 5. 容量性接触感知

AtmelのQTouchライブラリはAtmelの殆どのAVRマイクロコントローラ上の接触感知インターフェース実現の解決策を使うための単一物を提供します。特許権を持つ充電転移信号採取は強力な感知を提供し、接触キーの完全な反発運動報告を含み、そしてキー事象の明白な検出のための隣接キー抑制 $^{TM}$ (AKS $^{TM}$ )技術を含みます。QTouchライブラリはQTouchとQMatrix採取法に関する支援を含みます。

接触感知はAVRマイクロ コントローラ用の適切なAtmel QTouchライブラリをリンクすることによってどの応用にも追加することができます。これは接触チャネルと感知器を定義するために簡単なAPIの組を用いて行われ、そしてチャネル情報を取得して接触感知器の状態を決めるために接触感知APIを呼び出します。

QTouchライブラリは無料で以下の場所のAtmelのウェブサイトからダウンロードすることができます。www.atmel.com/qtouchlibrary 実装の詳細とその他の情報についてはAtmelのウェブサイトからも入手可能な「QTouchライブラリ使用者の手引き」を参照してください。



#### 6. AVR CPU

#### 6.1. 要点

- 8/16ビット高性能Atmel AVR RISC CPU
  - 141命令
  - ハート・ウェア乗算器
- ALUに直結された32個の8ビットレジスタ
- SRAM内のスタック
- I/Oメモリ空間内でアクセス可能なスタック ポインタ
- 16Mハーイトまでのプログラムと16Mハーイトのデータのメモリを直接アトレス指定
- 16/24ビットレジスタへの真の16/24ビット入出力
- 8、16、32演算に対する効率的な支援
- システム重要特性の構成設定変更保護

#### 6.2. 概要

Atmel AVR XMEGAデバイスは8/16ビットAVR CPUを使います。CPUの主な機能は、コードを実行して全ての計算を実行することです。CPUはメモリ入出力、計算実行、周辺制御、そしてフラッシュメモリ内のプログラムを実行することができます。割り込みの扱いは独立した章で記述され、22頁の「割り込みと設定可能な多段割り込み制御器」を参照してください。

#### 6.3. 構造概要

最大性能と並列化のためにAVR CPUはプログラムとデータに対して独立したメモリとハスを持つハーハート、構造を使います。プログラム メモリ内の命令は単一段のパイプラインで実行されます。1つの命令が実行されつつあると同時に、次の命令がプログラム メモリから予め取得されます。これは毎クロック周期で実行される命令を可能にします。全AVR命令の詳細についてはhttp://atmel.com/avrを参照してください。

算術論理演算部(ALU:Arithmetic Logic Unit)はレジスタ間または定数とレジスタ間の算術と論理の操作を支援します。単一レジスタ操作をALUで実行することもできます。算術操作後、操作の結果についての情報を反映するためにステータスレジスタが更新されます。

ALUは高速入出力レシ、スタファイルへ直接的に接続されます。32×8ビット汎用作業レシ、スタの全てがレシ、スタ間またはレシ、スタと即値間での単一周期算術論理部(ALU)操作を許す単一クロック周期アクセス時間を持ちます。32個中の6つのレシ、スタは効率的なアト、レス計算を許す、プログラムとデータの空間をアトレス指定するための3つの16ビット アト・レスポインタとして使うことができます。

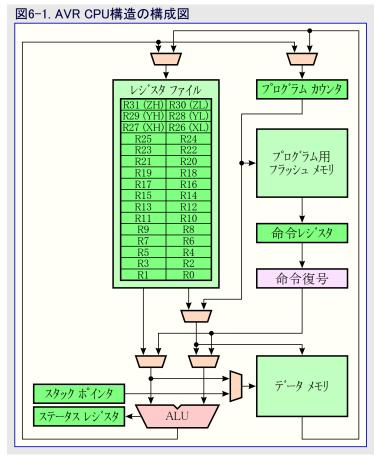
メモリ空間は直線状です。データ メモリ空間とプログラム メモリ空間は2つの異なるメモリ空間です。

データ メモリ空間はI/Oレジスタ、SRAM、外部RAMに分けられます。 加えて、データ メモリ内にEEPROMをメモリ割り当てすることができます。

全てのI/Oの状態と制御のレシ、スタはデータメモリの最下位4Kバイのアトレスに属します。これはI/Oメモリ空間として参照されます。最下位60アトレスは直接、または\$00~\$3Fのデータ空間位置としてアクセスすることができます。残りは\$0040~\$0FFFに連なる拡張I/Oメモリ区間です。ここのI/Oレシ、スタは取得(LD/LDS/LDD)と格納(ST/STS/STD)の命令を用いてデータ空間位置としてアクセスされなければなりません。

SRAMはデータを保持します。SRAMからのコート、実行は支援されません。SRAMはAVR構造で支援される5つの異なるアトルス指定形態を通して容易にアクセスすることができます。

\$1000~\$1FFFのデータアトレスはメモリ割り当てEEPROM用に予約されています。



プログラム メモリは応用プログラム領域とブート プログラム領域の2つの領域に分けられます。両領域は書き込みと読み書きの保護のための専用の施錠ビットを持ちます。応用フラッシュ メモリの自己プログラミングに使われるSPM命令はブート プログラム領域に属さなければなりません。応用領域は書き込みと読み書きの保護のための独立した施錠ビットを持つ応用表領域を含みます。応用表領域はプログラム メモリ内での不揮発性データの格納を減らすのに使うことができます。



#### 6.4. 算術論理演算器 (ALU)

算術論理演算器(ALU)はレシ、スタ間またはレシ、スタと定数間の演算と論理操作を支援します。単一レシ、スタ操作の実行もできます。ALUは32個の汎用レシ、スタ全てとの直接接続で動作します。単一クロック周期内で、汎用レシ、スタ間、またはレシ、スタと即値間の算術操作が実行されて結果がレシ、スタファイルに書き戻されます。算術または論理の操作後、操作結果についての情報を反映するためにステータスレシ、スタが更新されます。

ALU操作は、演算、論理、ビット操作の、3つの主な分野に分けられます。8ビットと16ビットの両方の算術演算が支援され、命令一式は 効率的な32ビット演算の実装を可能にします。ハードウェア乗算器は符号付きと符号なしの両方と固定小数点形式を支援します。

#### 6.4.1. ハート・ウェア乗算器

乗算器は2つの8ビット数値を16ビットの結果に乗算する能力です。ハードウェア乗算器は符号付と符号なしの整数と固定小数点数の種々の変種を支援します。

- 符号なし整数の乗算
- 符号付き整数の乗算
- 符号付き整数と符号なし整数の乗算
- 符号なし固定小数点数の乗算
- 符号付き固定小数点数の乗算
- 符号付き固定小数点数と符号なし固定小数点数の乗算

乗算は2CPUクロック周期かかります。

#### 6.5. プログラムの流れ

リセット後、CPUはプログラム用フラッシュ メモリ内の最下位アトレス'\$000000'から命令の実行を始めます。プログラム カウンタ(PC)は取得されるべき次の命令を指示します。

プログラムの流れはアドレス空間全体を直接位置指定できる条件付きと条件なしの分岐(Jump)と呼び出し(Call)命令によって提供されます。殆どのAVR命令は16ビット語形式を用い、一方限られた若干が32ビット形式を使います。

割り込みとサブルーチン呼び出しの間、復帰アドレスのPC(値)がスタックに格納されます。スタックは一般的なデータ用SRAM内に割り当てられ、結果としてスタック容量は総SRAM容量とSRAMの使い方だけによって制限されます。リセット後のスタック ポインタ(SP)は内部SRA M内の最上位アドレスを指し示します。SPはI/Oメモリ空間で読み書きアクセスが可能で、スタックまたはスタック領域の容易な複数実装を可能にします。データ用SRAMはAVR CPUで支援される5つの異なる位置指定種別を通して容易にアクセスすることができます。

#### 6.6. ステータス レジスタ

ステータス レジ スタ(SREG)は最も直前に実行した演算または論理命令の結果についての情報を含みます。この情報は条件付き操作を実行するためにプログラムの流れを変えるのに使えます。 ステータス レジスタは「命令一式手引書」で詳述されるように、全てのALU操作後に更新されることに注目してください。これは多くの場合でそれ用の比較命令使用の必要をなくし、高速でより簡潔なコート、に帰着します。

ステータス レジスタは割り込み処理ルーチン移行時の保存と割り込みからの復帰時の回復が自動的に行われません。これはソフトウェアによって扱われなければなりません。

ステータス レシ、スタはI/Oメモリ空間でアクセスできます。

#### 6.7. スタックとスタック ホ°インタ

スタックは割り込みとサブルーチン呼び出し後の復帰アトンスの格納に使われます。一時データの格納にも使えます。スタック ポインタ(SP) レシ、スタ は常にスタックの先頭(訳注:次に使われるべき位置)を指し示します。これはI/Oメモリ空間でアクセス可能な2つの8ビット レシ、スタとして実装されます。データはPUSH命令とPOP命令を使ってスタックへ格納とスタックから取得されます。スタックは上位メモリ位置から下位メモリ位置へ増えます。これはスタックへのデータ格納がSPを減らし、スタックからのデータ取得がSPを増すことを意味します。SPはリセット後に自動的に設定され、その初期値は内部SRAMの最上位アトンスです。SPが変更されるなら、それは\$2000番地以上を指し示すように設定されなければならず、そして何れかのサブルーチン呼び出しが実行される前、または割り込みが許可される前に定義されなければなりません。

割り込みまたはサブルーチン呼び出しの間、自動的に復帰アトンスがスタックへ格納されます。復帰アトンスはデバイスのプログラム メモリ量に依存して2または3バイトで有り得ます。128Kバイト以下のプログラム メモリを持つデバイスについては復帰アトンスが2バイトで、故にスタック ポインタは +2/-2されます。128Kバイトを越えるプログラム メモリを持つデバイスについては復帰アトンスが3バイトで、故にSPは+3/-3されます。復帰アトンスはRETI命令を使って割り込みから、またはRET命令を使ってサブルーチン呼び出しから戻る時にスタックから取得されます。

データがPUSH命令でスタックに格納される時にSPは-1され、POP命令を使ってスタックからデータを取得する時に+1されます。

ソフトウェアからのスタック ポインタ更新時の改変を防ぐため、SPL書き込みは4命令までに対して、または次のI/Oメモリ書き込みまで割り込みを自動的に禁止します。

リセット後、スタック ポインタはSRAMの最高アトレスに初期化されます。13頁の図7-2.をご覧ください。



#### 6.8. レジスタ ファイル

レシ、スタ ファイルは単一クロック周期アクセス時間を持つ32個の8ビット汎用作業レシ、スタから成ります。レシ、スタ ファイルは以下の入出力機構を支援します。

- 1つの8ビット出力オペランドと1つの8ビットの結果入力
- 2つの8ビット出力オペラントと1つの8ビットの結果入力
- 2つの8ビット出力オペランドと1つの16ビットの結果入力
- 1つの16ビット出力オペランドと1つの16ビットの結果入力

32個のレシ、スタの6つはデータ空間のアト・レス指定用の3つの16ビットアト・レスレシ、スタ ポインタとして用いることができ、効率的なアト・レス計算を 許します。3つのアト・レス ポインタの1つはプログラム用フラッシュ メモリ内の参照表用のアト・レス ポインタとしても用いることができます。



#### 7. メモリ

#### 7.1. 要点

- フラッシュ プログラム メモリ
  - 1つの直線的なアドレス空間
  - 実装書き換え可能(In-System Reprogrammable)
  - 自己プログラミングとフートローダ支援
  - 応用コート・用応用領域
  - 応用コート またはデータ記憶用応用表領域
  - 応用コート゛またはフ゛ートロータ゛コート゛用フ゛ートロータ゛領域
  - 全領域に対する独立した読み/書き保護施錠ビット
  - 選択可能なフラッシュプログラム メモリ領域の組み込み高速CRC検査
- データ メモリ
  - 1つの直線的なアドレス空間
  - CPUからの単一周期アクセス
  - SRAM
  - EEPROM

    - 直接取得/格納に対する任意のメモリ配置割り当て
  - I/O メチリ
    - 全ての単位部と周辺機能に対する構成設定と状態のレジスタ
    - 全体変数またはフラグ用にビット アクセス可能な16個の汎用I/Oレジスタ
- 工場書き込みデータ用製品識票列メモリ
  - 各マイクロ コートローラに対するID
  - 各デバイスに対する通番
  - 工場較正された周辺機能用の較正バイト
- 使用者識票列
  - 1つのフラッシュ ページ 容量
  - ソフトウェアから読み書き可能
  - チップ消去後も内容保持

#### 7.2. 概要

Atmel AVR構造はプログラム メモリとデータ メモリの主な2つのメモリ空間を持ちます。実行可能コートはプログラム用メモリにだけ属し、一方データはプログラム用メモリとデータ用メモリに格納することができます。データ用メモリはSRAMと不揮発性データ記憶用のEEPROMを含みます。全てのメモリ空間は直線状でメモリ ハンク切り換えを必要としません。不揮発性メモリ(NVM:Non-Volatile Memory)空間は更なる書き込みと読み書きの操作に対して施錠することができます。これは応用ソフトウェアの無制限なアクセスを防ぎます。

独立したメモリ領域がヒューズバイトを含みます。これらは重要なシステム機能の構成設定に使われ、外部書き込み器によってのみ書くことができます。

利用可能なメモリ容量形態は2頁の「**注文情報**」で示されます。加えて、各デバイスは校正データ、デバイス識別、通番などに関するフラッシュ メモリ識票列を持っています。

#### 7.3. フラッシュ プログラム メモリ

Atmel AVR XMEGAデバイスはチップ上にプログラム記憶用の実装書き換え可能なフラッシュ メモリを含みます。フラッシュ メモリはPDIを通す外部書き込み器またはデバイスで走行する応用ソフトウェアから読み書きアクセスができます。

全てのAVR CPU命令は16または32ビット幅、フラッシュの各アトレス位置は16ビットです。フラッシュ メモリは応用領域とブート ローダ領域の2つの主な領域で構成されます。各領域の容量は固定ですが、デバイス依存です。これら2つの領域は独立した施錠ビットを持ち、異なる保護段階を持てます。応用ソフトウェアからフラッシュを書くのに使われるSPM(Store Program Memory)命令はブート ローダ領域から実行される時にだけ動作します。

応用領域は独立した施錠設定を持つ応用表領域を含みます。これはプログラム メモリ内の不揮発性データの安全な記憶を許します。 応用表領域とプート領域は一般的な応用ソフトウェアにも使うことができます。



<b>図7-1. フラッシュ プログラム メモリ</b> (16進アドレス)							
	語アトレス						
ATxmega128D4	ATxmega64D4	ATxmegaD4	ATxmega16D4				
00000	0000	0000	0000	応用領域			
				心用映域 (128/64/32/16Kバイト)			
0EFFF	77FF	37FF	17FF				
0F000	7800	3800	1800	応用表領域			
0FFFF	7FFF	3FFF	1FFF	(8/4/4/4Kハ イト)			
10000	8000	4000	2000	ブート領域			
10FFF	87FF	47FF	27FF	(8/4/4/4Kハイト)			

#### 7.3.1. 応用領域 (Application Section)

応用領域は実行可能な応用コートを格納するのに使われるフラッシュの領域です。応用領域に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットA)によって選択できます。SPM命令は応用領域から実行することができないので、応用領域はどんなブートロータ゛コート・も格納できません。

#### **7.3.2.** 応用表領域 (Application Table Section)

応用表領域はデータの格納に使えるフラッシュの応用領域の一部です。容量はブートロータ、領域と同じです。応用表に対する保護段階はこの領域用のブート施錠ビット(ブート施錠ビットT)によって選択できます。応用領域と応用表領域で異なる保護段階にできることはプログラムメモリの安全なパラメータ記憶を可能にします。この領域がデータ用に使われないなら、ここに応用コートが存在できます。

#### 7.3.3. ブートローダ領域 (Boot Loader Section)

応用領域が応用コート・の格納に使われる一方、SPM命令がこの領域から実行する時にだけプログラミングを始められるので、ブートローダッソフトウェアはブートローダ・領域に配置されなければなりません。SPM命令はブートローダ・領域それ自身を含むフラッシュ全体をアクセスできます。ブートローダ・領域に対する保護段階はブートローダ・施錠ビット(ブート施錠ビットB)によって選択できます。この領域がブートローダ・ソフトウェア用に使われないなら、ここに応用コート・を格納することができます。

#### 7.3.4. 製品識票列 (Production Signature Row)

製品識票列は工場書き込みデータ用の独立したメモリ領域です。これは発振器やアナログ部のような機能用の構成データを含みます。レヘくつかの校正値はリセット中に対応する単位部または周辺機能部へ自動的に格納されます。その他の値はソフトウェアで識票列から取得さ

れて対応する周辺機能レジスタに書かれなければなりません。校正条件の詳細については49頁の「電気的特性」を参照してください。

製品識票列は各マイクロコントローラ型式を識別するIDと製造された各デバイスに対する通番も含みます。通番はそのデバイスに対する製品ロット番号、ウェハー番号、ウェハー座標から成ります。利用可能なデバイスに対するデバイスIDは表7-1.で示されます。

製品識票列は消去や書き込みができませんが、応用ソフトウェアと外部書き込み器から読むことができます。

テ゛ハ゛イス	内容					
7717	第1バイト	第2バイト	第3バイト			
ATxmega16D4	1E	94	42			
ATxmega32D4	1E	95	42			
ATxmega64D4	1E	96	47			
ATxmega128D4	1E	97	47			

#### 7.3.5. 使用者識票列 (User Signature Row)

使用者識票列は応用ソフトウェアと外部の書き込み器から完全にアクセス(読み書き)可能な独立したメモリ領域です。これは1つのフラッシュ へーシ 容量で、校正データ、独自の通番や識別番号、乱数の種(素)などのような静的な使用者パラメータ記憶を予定されています。この領域はフラッシュ メモリを消去するチップ 消去指令によって消去されず、専用の消去指令を必要とします。これは多数回の消去/書き込み操作とチップ 上デバッグ 作業中のパラメータ記憶を保証します。

#### 7.4. ヒュース と施錠(Lock)ビット

ヒューズは重要なシステム機能を構成設定するのに使われ、外部プログラミング インターフェースから書くことができます。応用ソフトウェアはヒューズを読むことができます。ヒューズは低電圧検出器(BOD:Brown-out Detector)やウォッチドッグのようなリセット元構成設定や始動構成設定に使われます。

施錠ビットは各種フラッシュ領域の保護段階設定に使われます(換言すると、読み(と/または)書きのアクセスが防止されるべき場合に)。施錠ビットは外部書き込み器と応用ソフトュアから書けますが、より厳しい保護へだけです。チップ消去が施錠ビットを消去する唯一の方法です。例えチップ消去中でもフラッシュ内容が保護されることを保証するため、施錠ビットはフラッシュメモリの残りの部分が(完全に)消去された後に消去されます。

非プログラムにされたヒュース、と施錠のビットは値1を持ち、一方プログラムにされたヒュース、と施錠のビットは値0を持ちます。 ヒュース、と施錠ビットの両方はプログラム用フラッシュ メモリのように書き換え可能です。



#### 7.5. データ メモリ

データ メモリはI/Oメモリ、内部SRAM、任意選択のメモリ配置割り当てEEPROMを含みます。 データ メモリは1つの続いたメモリ領域として構成されます。 図7-2.をご覧ください。 開発を簡単化するため、全てのAtmel AVR XMEGAデバイスでI/Oメモリ、 EEPROMとSRAMは常に同じ開始アトレスを持ちます。

図7-2. データメモリ割り当て(16進アトレス) バイト アドレス ATxmega128D4 ATxmega64D4 ATxmega32D4 ATxmega16D4 0000 0000 0000 0000 I/Oメモリ (4/4/4/4Kハ イト) 0FFF 0FFF 0FFF 0FFF 1000 1000 1000 1000 **EEPROM** (2/2/1/1Kバイト) 17FF 17FF 13FF 13FF (予約) 2000 2000 2000 2000 内部SRAM (8/4/4/2Kバイト) 3FFF 2FFF 2FFF 27FF

#### 7.6. FFPROM

全てのデバイスは不揮発性データ記憶用にEEPROMを持っています。それは独立したデータ空間(既定)でのアドレス指定、または通常のデータ空間にメモリ配置割り当てしてアクセスする、のどちらかにできます。EEPROMはバイトとページの両アクセスを支援します。メモリ配置割り当てEEPROMは高い効率のEEPROM読み込みとEEPROM緩衝部格納を許します。これを行うと、EEPROMは取得と格納の命令を使ってアクセスできます。メモリ配置割り当てEEPROMは常に16進アドレス\$1000で始まります。

#### 7.7. I/Oメモリ

CPUを含む単位部と周辺機能に関する状態と構成設定のレシ、スタはI/Oメモリ位置を通してアドレス指定できます。全てのI/O位置は取得 (LD/LDD/LDS)と格納(ST/STD/STS)命令によってアクセスでき、そしてそれはレシ、スタファイル内の32個のレシ、スタとI/Oメモリ間でデータを転送するのに使われます。IN命令とOUT命令は\$0000~\$003F範囲のI/Oメモリ位置を直接アドレス指定できます。アドレス範囲\$0000~\$001Fでは個別ビットの操作と検査の命令が利用できます。

XMEGA D4に於ける全ての周辺機能と単位部に対するI/Oメモリ アドレスは44頁の「周辺機能単位部アドレス割り当て」で示されます。

#### 7.7.1. 汎用I/Oレジスタ

最下位16個のI/Oメモリ アドレスは汎用I/Oレジスタ用に予約されています。これらのレジスタは、それらがSBI,CBI,SBIS,SBIC命令を使って直接ビット アクセスが可能なため、全体変数とフラグの格納に使うことができます。

#### 7.8. データ メモリとバス調停

データ メモリが4つの独立したメモリの組として構成されるため、異なるバス主権部(CPUなど)が同時に異なるメモリをアクセスし得ます。

#### 7.9. メモリ タイミング

I/Oメモリへの読み書きアクセスは1CPUクロック周期かかります。SRAMへの書き込みは1周期かかり、SRAMからの読み込みは2周期かかります。EEPROMへージ設定(書き込み)は1周期かかり、読み込みに対して3周期が必要です。集中読み込みについては新しいデータが毎2周期で利用可能です。命令と命令タイングのより多くの詳細については命令要約を参照してください。

#### 7.10. デバイスIDと改訂

各々のデバイスは3バイトのデバイスIDを持ちます。このIDはデバイスの製造業者としてのAtmelとデバイス型式を明らかにします。独立した改訂版ID(REVID)レジスタはデバイスの改訂版番号を含みます。

#### 7.11. I/Oメモリ保護

デバイス内のいくつかの機能はいくつかの応用での安全性に大いに関係します。このため、クロック系、事象システム、新波形拡張に関連するI/Oレジスタの施錠が可能です。施錠が許可されている限り、全ての関連I/Oレジスタが施錠され、それらは応用ソフトウェアから書くことができません。それら自身の施錠レジスタは構成設定変更保護機構によって保護されます。



#### 7.12. フラッシュ メモリとEEPROMのページ容量

プログラム用フラッシュ メモリとデータ用EEPROMはヘージで構成されています。 ヘージはフラッシュ メモリに対して語アクセス可能で、EEPROMに対してバイトアクセス可能です。

表7-2. フラッシュ メモリ内のページ数と語数

	X. = 7777 = 7 07 107							
デバイス	フラッシュ容量	ページ容量	FPAGE	FWORD	応用	領域	ブート	領域
	(バイト)	(語)			容量	ページ数	容量	ページ数
ATxmega16D4	16KB+4KB	128	Z14~8	Z7~1	16KB	64	4KB	16
ATxmega32D4	32KB+4KB	128	Z15~8	Z7~1	32KB	128	4KB	16
ATxmega64D4	64KB+4KB	128	Z16~8	Z7~1	64KB	256	4KB	16
ATxmega128D4	128KB+8KB	128	Z17~8	Z7~1	128KB	512	8KB	16

表7-3.はAtmel AVR XMEGA D4デバイス用のEEPROM構成を示します。EEPROMの消去と書きこみの操作は1ページまたは1バイト毎に実行され、一方EEPROM読み込みは1バイト毎に行われます。EEPROMアクセスに関してはアドレス指定にNVMアドレス レジスタ(ADDRn~0)が使われます。アドレスの上位側(E2PAGE)がページ番号を与え、下位側アドレス ビット(E2BYTE)がページ内のバイト(位置)を与えます。

表7-3. EEPROM内のページ数とバイト数

テ゛バ・イス	EEPROM容量	ページ容量	E2PAGE	E2BYTE	ページ数
	(バイト)	(バイト)			
ATxmega16D4	1KB	32	ADDR9∼5	ADDR4∼0	32
ATxmega32D4	1KB	32	ADDR9∼5	ADDR4∼0	32
ATxmega64D4	2KB	32	ADDR10~5	ADDR4∼0	64
ATxmega128D4	2KB	32	ADDR10∼5	ADDR4∼0	64

(<mark>訳補</mark>) フラッシュ メモリは応用領域とブート領域が\$000000番地から連続的に配置されています。このため、例えば応用領域が64KBの場合の領域内に於けるZポインタのMSBはZ15ですが、ブート領域分まで含めた全領域に対してはZ16になります。またSPM命令ではフラッシュ メモリをヘ゜ーシ 単位で扱い、ヘ゜ーシ 内は語単位で扱います。このため、ZポインタのLSB(Z0)は常に無視されます。(E)LPM命令はハ・イト単位で扱うのでLSB(Z0)も使われます。表7-2.のFPAGE及びFWORDのZポインタはSPM命令に対するものです。



#### 8. 事象システム

#### 8.1. 要点

- 周辺機能から周辺機能への直接的な通信と合図のためのシステム
- 周辺機能は周辺機能事象へ直接的に送る、受ける、反応が可能
  - CPU独立動作
  - 100%予測可能な信号タイミング
  - 短く保証された応答時間
- 4つまでの異なる平行信号経路と構成設定の4つの事象チャネル
- 事象は殆どの周辺機能、クロック系、ソフトウェアによって送出、そして/または使うことが可能
- 以下の付加機能
  - 直交復号
  - 入出力ピン変化のデジタル濾波
- 活動動作とアイドル動作で作動

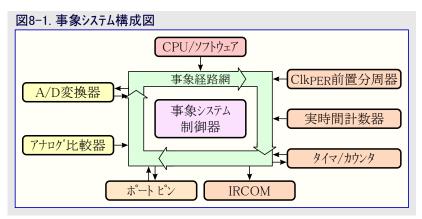
#### 8.2. 概要

事象システムは周辺機能から周辺機能への直接的な通信と合図のためのシステムです。それは或る周辺機能の変化に別の周辺機能の自動起動活動を許します。これは周辺機能間の短くて予測可能な応答時間のために予測可能な系を提供するように設計されています。それは割り込みやCPUなしで自律の周辺機能制御との相互作用を許し、従って応用コードの複雑さ、大きさ、実行時間を減らすための強力なツールです。それはまた、多数の周辺機能単位部での同期した活動タイシグを許します。

周辺機能の状態変化は事象として参照され、通常、周辺機能に対する割り込み条件に対応します。事象は事象経路網と呼ばれる専用の配線網を用いて他の周辺機能へ直接渡すことができます。周辺機能によって事象がどう配線され、どう使われるかはソフトウェアで構成設定されます。

図8-1.は接続された全ての周辺機能の基本構成図を示します。事象システムはA/D変換器、アナログ比較器、入出力ポート ピン、実時間計数器、タイマ/カウンタ、IR通信単位部 (IRCOM)を共に直接的に接続することができます。事象はソフトウェアと周辺機能クロックからも生成することができます。

事象配線網は事象がどう配線され、どう使われるかを制御する、ソフトウェアで構成設定可能な4つの多重器から成ります。これらは事象チャネルと呼ばれ、4つまでの並列事象配線構成設定を許します。最大配線遅れは2周辺機能クロック周期です。事象システムは活動動作とアイドル休止動作の両形態で動きます。



#### 9. システム クロックとクロック選択

#### 9.1. 要点

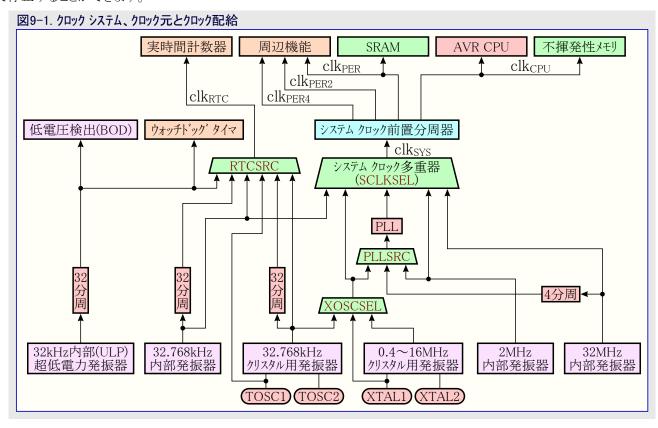
- 高速な始動時間
- 安全な走行時クロック切り替え
- 内部発振器:
  - 32MHz走行時校正付き調整可能な発振器
  - 2MHz走行時校正付き発振器
  - 32.768kHz校正付き発振器
  - 1kHz出力を持つ32kHz超低電力(ULP)発振器
- 外部クロック任意選択
  - 0.4~16MHzクリスタル用発振器
  - 32.768kHzクリスタル用発振器
  - 外部クロック信号
- 20~128MHz出力周波数を持つPLL
  - 内部及び外部クロック任意選択と1~31逓倍
  - 固定化検出器
- 1~2048分周のクロック前置分周器
- CPUクロック周波数の2倍と4倍で走行する高速周辺機能クロック
- 内部発振器の走行時自動校正
- 任意選択遮蔽不可割り込みを持つ、外部発振器とPLL固定化失敗検出

#### 9.2. 概要

Atmel AVR XMEGA D4デバイスは多数のクロック元を支援する柔軟なクロックシステムを持ちます。これは正確な内部発振器と外部のクリスタル発振子とセラミック振動子の支援の両方を結合します。高周波数の位相固定閉路(PLL:Phase Locked Loop)とクロック前置分周器が広い範囲のクロック周波数生成に使えます。校正機能(DFLL)が利用可能で、電圧と温度に渡る周波数変動を取り去るための内部発振器の走行時自動校正に使えます。クリスタル用発振器停止監視器は外部発振器やPLLが停止した場合に遮蔽不可割り込みの発行と内部発振器の切り替えを許可することができます。

リセット発生時、32kHz超低電力を除く全ての発振器が禁止されます。リセット後、デバイスは常に2MHz内部発振器からの走行で始動します。標準動作の間はシステム クロック元と前置分周器はソフトウェアによって何時でも変更することができます。

図9-1.はXMEGA D4系デバイスの原則的なクロック システムを表します。クロックの全てが与えられた時間での活動を必要とする訳ではありません。CPUと周辺機能用のクロックは18頁の「電力管理と休止形態動作」で記述されるように、休止形態動作と電力削減レジスタを使って停止することができます。





#### 9.3. クロック元

クロック元は2つの主な群、内部発振器と外部クロック元に分けられます。クロック元の殆どはソフトウェアから直接的に許可と禁止ができ、一方その他は周辺機能設定に依存して自動的に許可または禁止されます。リセット後にデバイスは2MHz内部発振器からの走行で始動します。既定での他のクロック元、DFLL、PLLはOFFされます。

内部発振器は動作のためにどんな外部部品も必要としません。内部発振器の特性と精度の詳細についてはデバイスのデータシートを参照してください。

#### 9.3.1. 32kHz超低電力発振器

この発振器は概ね32kHzのクロックを提供します。32kHz超低電力(ULP)内部発振器は非常に低い電力のクロック元で、高い精度用には設計されていません。この発振器は1KHz出力を提供する組み込み前置分周器を使います。この発振器はデバイスのどれかの部分に対してクロック元として使われる時に自動的に許可/禁止が行われます。この発振器は実時間計数器(RTC)に対するクロック元として選択することができます。

#### 9.3.2. 32.768kHz校正付き内部発振器

この発振器は概ね32.768kHzのクロックを提供します。これは公称周波数に近い既定周波数を提供するため、製造中に較正されます。32.768kHz発振器校正(RC32KCAL)レジスタは発振器周波数の走行時校正のためにソフトウェアからも書けます。発振器は32.768kHz出力と1.024kHz出力の両方を提供する組み込み前置分周器を使います。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

#### 9.3.3. 32.768kHzクリスタル用発振器

32.768kHzクリスタル用発振器はTOSC1とTOSC2のピン間に接続することができ、専用の低周波数発振器入力回路を許します。TOSC2での低減された電圧振れ幅を持つ低電力動作形態が利用可能です。この発振器はシステム クロック、RTC、DFLL基準クロックに対するクロック元として使うことができます。

#### 9.3.4. 0.4~16MHzクリスタル用発振器

この発振器は0.4~16MHz内全てを含む各周波数範囲に最適化された4つの異なる動作で働けます。

#### 9.3.5. 2MHz走行時校正付き内部発振器

2MHz走行時校正付き内部発振器はリセット後の既定システム クロック元です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。温度と電圧の変動に対する補償と発振器精度最適化のため、走行時自動校正にデジタル周波数固定化閉路 (DFLL:Digital Frequency Locked Loop)を許可することができます。

#### 9.3.6. 32MHz走行時校正付き内部発振器

32MHz走行時校正付き内部発振器は高周波数発振器です。これは公称周波数に近い既定周波数を提供するため、製造中に校正されます。発振器精度の最適化のための温度と電圧の変動に対する補償のため、走行時自動校正にDFLLを許可することができます。この発振器は30~55MHz間のどの周波数にも調整、校正することができます。

#### 9.3.7. 外部クロック入力

XTAL1とXTAL2ピンは水晶クリスタルまたはセラミック振動子のどちらに対しても、外部発振器を駆動するのに使えます。XTAL1は外部クロック信号に対する入力としても使えます。TOSC1とTOSC2ピンは32.768kHzクリスタル用発振器駆動専用です。

#### 9.3.8. 1~31の倍率を持つPLL

組み込み位相固定化閉路(PLL)は高周波数システム クロックを生成するのに使うことができます。PLLは使用者選択可能な1~31の倍率を持ちます。前置分周器との組み合わせで、これは全てのクロック元から広範囲の出力周波数を与えます。



#### 10. 電力管理と休止形態動作

#### 10.1. 要点

- 消費電力と機能を調節するための電力管理
- 5つの休止形態動作種別
  - アイドル
  - パワーダウン
  - パワーセーブ
  - スタンバイ
  - 拡張スタンバイ
- 活性とアイ・「ルの動作形態でクロックを禁止して未使用周辺機能をOFFにするための電力削減レシ、スタ

#### 10.2. 概要

電力消費を応用の必要条件に仕立てるために様々な休止形態動作とクロック開閉が提供されます。これは節電のための未使用単位部の停止をAtmel AVR XMEGAマイクロコントローラに許します。

全ての休止形態が利用可能で、活動動作から移行することができます。活動動作ではCPUが応用コートを実行します。デバイスが休止 形態動作に移行すると、プログラム実行が停止され、再びデバイスを起動するのに割り込みまたはリセットが使われます。応用コートは何 時、どの休止動作形態へ移行するかを決めます。許可された周辺機能からの割り込みと許可された全てのリセット元がマイクロコントローラ を休止から活動動作に回復することができます。

加えて、電力削減レジスタはソフトウェアから個別周辺機能へのクロックを停止する方法を提供します。これが行われると、周辺機能の現在の状態は凍結され、その周辺機能からの電力消費はありません。これは活動動作とアイドル動作での消費電力を減らし、休止形態動作だけよりも遥かに細かく調整された電力管理を可能にします。

#### 10.3. 休止形態動作

休止形態動作は節電のためにマイクロコントローラ内の単位部とクロック範囲を停止するのに使われます。XMEGAマイクロコントローラは応用実行中の代表的な機能段に合うように調整された5つの異なる休止形態動作を持ちます。休止形態へ移行するための専用休止命令(SLEEP)が利用できます。休止からデバイスを起動するのに割り込みが使われ、利用可能な割り込み起動元は構成設定された休止形態種別に依存します。許可された割り込みが起こると、デバイスは起動し、SLEEP命令の後の最初の命令から通常のプログラム実行を継続する前に、割り込み処理ルーチンを実行します。起動が起きた時により高い優先権の他の割り込みが保留中の場合、起動割り込みに対する割り込み処理ルーチンが実行される前に、それらの割り込み処理ルーチンがそれらの優先権に従って実行されます。起動後、CPUは実行を開始する前に4クロック周期停止します。

レジスタファイル、SRAM、I/Oレジスタの内容は休止中も維持されます。休止の間にリセットが起きた場合、デバイスはリセットし、リセット ベクタから 始動して実行します。

#### 10.3.1. アイドル動作

アイドル動作ではCPUと不揮発性メモリが停止されますが(進行中のどのプログラミングも完了されることに注意)、割り込み制御器と事象システムを含む全ての周辺機能は動作を維持されます。許可されたどの割り込みもデバイスを起動します。

#### 10.3.2. パワーダウン動作

パワーダウン動作では実時間計数器クロック元を含む全てのクロック元が停止されます。これは走行しているクロックを必要としない非同期単位部だけの動作を許します。MCUを起動できる割り込みは2線インターフェース アドレス一致割り込み、非同期ポート割り込みだけです。

#### 10.3.3. パワーセーブ動作

ハプワーセーブ動作は1つの例外(以下)を除いてハプワーダウン動作と同じです。実時間計数器が許可されているなら、それは休止中も動作を維持され、デバイスはRTCの上昇溢れまたは比較一致の割り込みのどちらからでも起動することできます。

#### 10.3.4. スタンバイ動作

スタンバイ動作は許可されているシステム クロック元が動作を維持され、一方CPU、周辺機能、RTCのクロックが停止される例外を除いてパップータウン動作と同じです。これは起動時間を減らします。

#### 10.3.5. 拡張スタンバイ動作

拡張スタンバイ動作は許可されているシステムクロック元が動作を維持され、一方CPUと周辺機能のクロックが停止される例外を除いてパワーセーブ動作と同じです。これは起動時間を減らします。



#### 11. システム制御とリセット

#### 11.1. 要点

- リセット元が活性になる時にマイクロ コントローラをリセットして初期状態に設定
- 各種状況を網羅する多数のリセット元
  - 電源ONリセット
  - 外部リセット
  - ウォッチト、ック、リセット
  - 低電圧(Brown-out)リセット
  - PDIリセット
  - ソフトウェア リセット
- 非同期動作
  - リセットにデバイス内のシステム クロックの走行が全く不要
- 応用コート、からリセット元を読み取るためのリセット状態レシ、スタ

#### 11.2. 概要

リセット システムはマイクロ コントローラ リセットを発行してデバイスをその初期状態に設定します。これはマイクロ コントローラがそれの電源定格以下で動作するような時に動作が開始または継続しない状況のためです。リセット元が活性(有効)になった場合、デバイスは全てのリセット元がそれらのリセットを開放するまでリセットに移行して保持されます。I/Oピンは直ちにHi-Zにされます。プログラム カウンタはリセット ベクタ位置に設定され、全てのI/Oレジスタがそれらの初期値に設定されます。SRAM内容は保持されます。けれども、リセット発生時にデバイスがSRAMをアクセスする場合、アクセスされた位置の内容を保証することはできません。

リセットが全てのリセット元から開放された後、デバイスがリセット ベクタ アドレスから走行を始める前に、既定発振器が始動され、そして校正されます。既定により、これは最低プログラム アドレス(0)ですが、リセット ベクタをブート領域の最低アドレスへ移動することが可能です。

リセット機能は非同期で、故にデバイスをリセットするのにシステム クロックの走行が全く必要とされません。ソフトウェア リセット機能は使用者ソフトウェアからの制御されたシステム リセットの発行を可能にします。

リセット状態(STATUS)レシ、スタは各リセット元に対する個別の状態フラグを持ちます。これは電源ONリセットで解除(0)され、最後の電源ONからどのリセット元がリセットを発行したかを示します。

#### 11.3. リセットの流れ

何れかのリセット元からのリセット要求は直ちにデバイスをリセットし、その要求が活性(有効)である限り、リセットを維持します。全てのリセット要求が開放されると、再びデバイスが走行を始める前にデバイスは3つの段階を通って行きます。

- ・リセット計数器遅延
- 発振器始動
- 発振器校正

この処理中に別のリセット要求が起きると、リセットの流れは最初から始まります。

#### 11.4. リセット元

#### 11.4.1. 電源ONリセット

電源ONリセット(POR)はチップ。上の検出回路によって生成されます。PORはVCCが上昇してPOR閾値電圧(VPOT)に達した時に活性にされ、リセット手順を開始します。

PORはVCCが下降してVPOTレヘル以下に落ちた時にデバイスの電力を正しく落とすのにも活性にされます。

VPOTレベルはVCC上昇の方がVCC下降よりも高くなります。

#### 11.4.2. 低電圧検出(Brown-Out)リセット

チップ上の低電圧検出(BOD)回路はBODLEVELヒューズによって選択される設定可能なレヘブルの固定値と比較することにより、動作中の VCCレヘブルを監視します。禁止されると、BODはチップ消去中とPDIが許可されている時に最低レヘブルを強制されます。

#### 11.4.3. 外部リセット

外部リセット回路は外部RESETピンに接続されています。RESETピンが最小パルス時間textより長くRESETピン閾値電圧VRST未満に駆動された時に外部リセットが起動されます。リセットはピンがLowに保たれる限り保持されます。リセット ピンは内部プルアップ 抵抗を内包します。

#### 11.4.4. ウォッチト・ック・リセット

ウォッチト、ック、タイマ(WDT)は正しいプログラム動作を監視するためのシステム機能です。WDTが設定された時間経過周期内にソフトウェアからリセットされない場合、ウォッチト、ック、リセットが起されます。ウォッチト、ック、リセットは2MHz内部発振器で1~2クロック周期の間、活性(有効)です。より多くの詳細については21頁の「WDT - ウォッチト、ック、タイマ」をご覧ください。



#### 11.4.5. ソフトウェア リセット

ソフトウェア リセットはリセット制御(CTRL)レシ、スタのソフトウェア リセット(SWRST)ヒ、ットへの書き込みによってソフトウェアからシステム リセットを発行することを可能にします。 リセットはそのヒ、ット書き込み後、2 CPUクロック周期内で発行されます。 ソフトウェア リセットが要求される時からそれが発行されるまではどの命令も実行できません。

#### 11.4.6. プログラミングとデバッグ用インターフェース リセット

プログラミングとデバッグ用インターフェースリセットは外部のプログラミングとデバッグの間中のデバイスリセットに使われる独立したリセット元を含みます。このリセット元はデバッガと書き込み器からだけアクセス可能です。



#### 12. WDT - ウォッチト、ック、タイマ

#### 12.1. 要点

- 計時経過時間前に計時器がリセットされない場合にデバイス リセットを発行
- 専用発振器からの非同期動作
- 32kHz超低電力発振器の1kHz出力
- 8msから8sまで11種の選択可能な時間経過周期
- 2つの動作種別
  - 標準動作
  - 窓動作
- 望まれない変更を防ぐための構成設定施錠

#### 12.2. 概要

ウォッチト、ック、タイマ(WDT)は正しいプログラム動作を監視するシステム機能です。暴走や停滞コート、のような異常状況からの回復を可能にします。WDTはタイマで、予め定義された時間経過周期に構成設定され、許可された時に定常的に走行します。WDTが時間経過周期内にリセットされない場合、WDTはマイクロコントローラリセットを発行します。WDTは応用コート、からのWDR(Watchdog Timer Reset)命令を実行することによってリセットされます。

窓動作はWDTがリセットされなければならない総時間経過期間内の時間幅または窓の定義を可能にします。WDTが速すぎまたは遅すぎでこの窓の外側でリセットされると、システム リセットが発行されます。標準動作に比べ、これはコート、異常が一定のWDR実行を引き起こす状況を捕らえることもできます。

許可されていれば、WDTは活動動作と全ての電力(休止形態)動作で作動します。これは非同期で、CPUと無関係なクロック元で動作し、例え主クロックが停止したとしても、システム リセットを発行するための動作を継続します。

構成設定変更保護機構はWDT設定が事故によって変更され得ないことを保証します。安全性を増すため、WDT設定を固定化するためのヒュースも利用可能です。



#### 13. 割り込みと設定可能な多段割り込み制御器

#### 13.1. 要点

- 短くて予想可能な割り込み応答時間
- 各割り込みに対して独立した構成設定と独立した割り込みへ、クタ
- 設定可能な多段割り込み制御器
  - 段位と割り込みへづタアトレスに従った割り込み優先順化
  - 全ての割り込みに対して選択可能な3つの割り込み段位:下位、中位、上位
  - 低位割り込み内での選択可能なラウンドロビン優先権の仕組み
  - 重大な機能用の遮蔽不可割り込み
- 応用領域またはブートローダ領域に任意選択で配置される割り込みへりタ

#### 13.2. 概要

割り込みは周辺機能の状態変化を合図し、これはプログラム実行の切り換えに使えます。周辺機能は1つ以上の割り込みを持つことができ、その全てが個別に許可され、構成設定されます。割り込みが構成設定されて許可される時に割り込み条件が存在すると、割り込み要求を生成します。設定可能な多段割り込み制御器(PMIC)は割り込み要求の処理と優先順化を制御します。割り込み要求がPMICによって応答されると、プログラムカウンタが割り込みへ、クタを指示するように設定され、割り込み処理ルーチンを実行できます。

全ての周辺機能はそれらの割り込みに対して、低、中、高の3つの異なる優先レベルを選択できます。割り込みはそれらの段位とそれらのペックタアドレスに従って優先順化されます。中位割り込みは低位割り込み処理に割り込みます。高位割り込みは中位と低位の両方の割り込み処理に割り込みます。各レベル内では割り込み優先権が割り込みベックタアドレスから決められ、それは最下位割り込みベックタアドレスが最高割り込み優先権を持ちます。全ての割り込みが或る一定時間内に処理されるのを保証するために、低位割り込みは任意選択のラウンドロビン計画機構を持ちます。

遮蔽不可割り込み(NMI)も支援され、システムの重大な機能に使うことができます。

#### 13.3. 割り込みべりタ

割り込みへ、クタは周辺機能の基準割り込みアト・レスと各周辺機能内の特定割り込みに対する変位アト・レスの合計です。Atmel AVR XME GA D4テ、ハイスに関する基準アト・レスは表13-1.で示されます。周辺機能で利用可能な各割り込みに対する変位アト・レスはXMEGA D手引書内で各周辺機能に対して記述されます。割り込みを1つだけ持つ周辺機能または単位部については表13-1.で割り込みへ、クタが示されます。プログラムアト・レスは語アト・レスです。

表13-1	11.14	t dealer.	17 7.	A. " h.h.
<del>25</del> 13-1	リヤット	と書目り	ᆪᄽ	(1)ヘリタ

プログラム アトレス (基準アトレス)	供給元	割り込み内容
\$000000	RESET	
\$000002	OSCF_INT_vect	クリスタル用発振器停止割り込みベクタ (NMI)
\$000004	PORTC_INT_base	ポートC割り込み基準
\$000008	PORTR_INT_base	ポートR割り込み基準
\$000014	RTC_INT_base	実時間計数器割り込み基準
\$000018	TWIC_INT_base	ポートC上の2線インターフェース割り込み基準
\$00001C	TCC0_INT_base	ポートC上のタイマ/カウンタ0割り込み基準
\$000028	TCC1_INT_base	ポートC上のタイマ/カウンタ1割り込み基準
\$000030	SPIC_INT_vect	ポートC上の直列周辺インターフェース(SPI)割り込みへ、クタ
\$000032	USARTC0_INT_base	ポートC上のUSART0割り込み基準
\$000040	NVM_INT_base	不揮発性メモリ割り込み基準
\$000044	PORTB_INT_base	ポートB割り込み基準
\$000056	PORTE_INT_base	ポートE割り込み基準
\$00005A	TWIE_INT_base	ポートE上の2線インターフェース割り込み基準
\$00005E	TCE0_INT_base	ポートE上のタイマ/カウンタ0割り込み基準
\$000080	PORTD_INT_base	ポートD割り込み基準
\$000084	PORTA_INT_base	ポートA割り込み基準
\$000088	ACA_INT_base	ポートA上のアナログ比較器割り込み基準
\$00008E	ADCA_INT_base	ポートA上のA/D変換器割り込み基準
\$00009A	TCD0_INT_base	ポートD上のタイマ/カウンタ0割り込み基準
\$0000AE	SPID_INT_vect	ポートD上の直列周辺インターフェース(SPI)割り込みへ、クタ
\$0000B0	USARTD0_INT_base	ポートD上のUSART0割り込み基準



#### 14. 入出力ポート

#### 14.1. 要点

- 個別構成設定を持つ34本の汎用入出力ピン
- 構成設定可能な駆動部と引き込み設定を持つ出力駆動部
  - コンプリメンタリ
  - ワイヤードAND
  - ワイヤート OR
  - バス保持
  - 反転入出力
- 割り込みと事象を持つ同期と/または非同期の感知付き入力
  - 両端感知
  - 上昇端感知
  - 下降端感知
  - Lowレベル感知
- 入力とワイヤート、OR/AND構成設定での任意選択のプルアップとプルタ・ウンの抵抗
- 全休止形態からデバイスを起動できる非同期ピン変化感知
- 入出力ポート毎でピン遮蔽を持つ2つのポート割り込み
- ポート ピンへの効率的で安全なアクセス
  - 専用の切り換え、解除(0)、設定(1)用レジスタ通すハードウェア読みー変更−書き
  - 単一操作で複数ピンの構成設定
  - ビット アクセス可能なI/Oメモリ空間へポート レジスタの割り当て
- ポート ピンでの周辺機能クロック出力
- ポート ピンでの実時間計数器クロック出力
- 事象チャネルがポートピンで出力可能
- デジタル周辺機能ピンの再割り当て
  - 選択可能なUSART、SPI、タイマ/カウンタの入出力ピン位置

#### 14.2. 概要

1つのポートはピン0~7で最大8つのポート ピンから成ります。各ポート ピンは構成設定可能な駆動部と引き込み設定を持つ入力または出力として構成設定することができます。それらは選択可能なピン変化条件用の割り込みと事象を持つ同期と非同期の入力感知も実装します。非同期ピン変化感知はクロックが全く動かない形態を含む全ての休止形態からピン変化がデバイスを起こせることを意味します。

全ての機能はピン毎に個別で構成設定可能ですが、単一操作で多数のピンを構成設定することができます。ピンは駆動値と/または引き込み抵抗の構成設定の安全で正しい変更のためのハードウェア読みー変更ー書き(RMW)機能を持ちます。1つのポート ピンの方向は他のどのピンの方向をも予期せず変更することなく変えることができます。

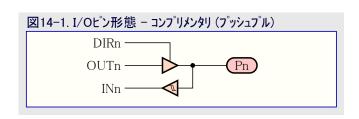
ポート ピン構成設定は他のデバイス機能の入出力選択も制御します。それはポート ピンへの周辺機能クロックと実時間クロックの両出力を持つことが可能で、それは外部使用に利用可能です。同じことが外部機能の同期と制御に使える、事象システムからの事象に適用されます。応用の必要性に対するピン配置の最適化のため、USART、SPI、タイマ/カウンタのような他のデジタル周辺機能は選択可能なピン位置に再割り当てすることができます。

ポートの表記は、PORTA、PORTB、PORTC、PORTD、PORTE、PORTRです。

#### 14.3. 出力駆動部

全てのポートピン(Pn)は設定可能な出力構成設定を持ちます。

#### 14.3.1. コンプリメンタリ (プッシュプル)

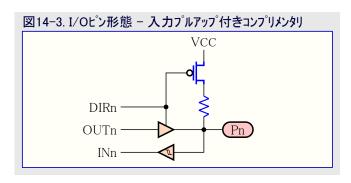




#### 14.3.2. プルダウン

# 図14-2. I/Oピン形態 - 入力プルダウン付きコンプリメンタリ DIRn OUTn INn

#### 14.3.3. フ<sup>°</sup>ルアッフ<sup>°</sup>

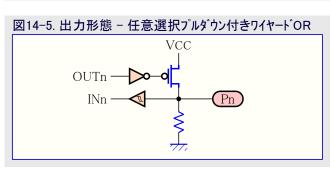


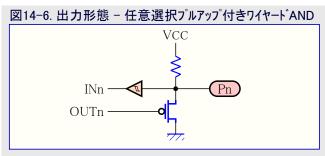
#### 14.3.4. バス保持

ハ、ス保持の弱い出力は最後の出力値と同じ論理値を生成します。最後の値が1だったならプルアップとして、最後の値が0だったなら、プルダウンとして働きます。

## 図14-4. I/Oピン形態 - バス保持付きコンプ゚リメンタリ DIRn OUTn INn

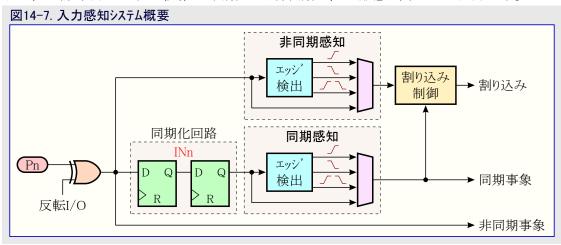
#### 14.3.5. その他





#### 14.4. 入力感知

入力感知はポートに対して許可されたクロックに依存して同期または非同期で、この形態は図14-7.で示されます。



ピンが反転I/Oで構成設定されると、ピン値は入力感知前に反転されます。

#### 14.5. 交換ポート機能

殆どのポート ピンは汎用I/Oピンであることに加えて交換ピン機能を持ちます。機能交換が許可されると、それは通常ポート ピン機能またはピン値を無効にするかもしれません。これは他の周辺機能で必要とするピンが許可または使用ピンに構成設定される時に起きます。周辺機能がどう無効にして、ピンをどう使うかはその周辺機能に関する章で記述されます。41頁の「ピン配置とピン機能」は周辺機能でどの単位部がピンでの交換機能を許可するのかと、どの交換機能がピンで利用可能かを示します。



#### 15. TC0/1 - 16ビットタイマ/カウンタ0型と1型

#### 15.1. 要点

- 4つの16ビットタイマ/カウンタ
  - 3つの0型タイマ/カウンタ
  - 1つの1型タイマ/カウンタ
- 2つのタイマ/カウンタの縦列接続によって支援される32ビットタイマ/カウンタ
- 4つまでの組み合わせた比較と捕獲(CC)チャネル
  - 0型のタイマ/カウンタに対して4つのCCチャネル
  - 1型のタイマ/カウンタに対して2つのCCチャネル
- 2重緩衝されたタイマ定期間設定
- 2重緩衝された比較と捕獲のチャネル
- 波形生成:
  - 周波数生成
  - 単一傾斜パルス幅変調
  - 2傾斜パルス幅変調
- 捕獲:
  - 雑音消去付き捕獲入力
  - 周波数捕獲
  - ・パルス幅捕獲
  - 32ビット捕獲入力
- タイマ経過溢れとタイマ異常の割り込み/事象
- CCチャネル当たり1つの比較一致または捕獲の割り込み/事象
- 事象システムと共に以下が使用可能:
  - 直交復号
  - 計数と方向の制御
  - 捕獲
- Hi-Res 高分解能拡張
  - 周波数と波形の分解能を2ビット(×4)または3ビット(×8)増加
- AWeX 新波形拡張
  - 設定可能な沈黙時間挿入(DTI)を持つLow側とHigh側の出力
  - 駆動部の安全な禁止のための事象制御された障害保護

#### 15.2. 概要

Atmel AVR XMEGA D4デバイスは4つの柔軟な16ビット タイマ/カウンタ(TC)の組を持ちます。それらの能力には正確なプログラム実行タイミング、周波数と波形の生成、事象管理、デ゙ジタル信号の時間と周波数の測定付きの捕獲入力を含みます。2つのタイマ/カウンタは任意選択の32ビット捕獲を持つ32ビット タイマ/カウンタを作成するために縦列接続することができます。

タイマ/カウンタは基本計数器と比較または捕獲(CC)チャネルの組から成ります。基本計数器はクロック周期または事象を計数するのに使えます。これは方向制御とタイミングに使うことができる定期設定を持ちます。CCチャネルは基本計数器と共に、比較一致制御、周波数生成、パルス幅波形変調は勿論、様々な入力捕獲動作を行うのにも使うことができます。タイマ/カウンタは比較または捕獲のどちらの機能にも構成設定できますが、同時に両方を実行することはできません。

タイマ/カウンタは任意選択の前置分周付きの周辺機能クロックまたは事象システムからクロック駆動と計時を行うことができます。 事象システムは 方向制御と捕獲起動、または動作の同期にも使うことができます。

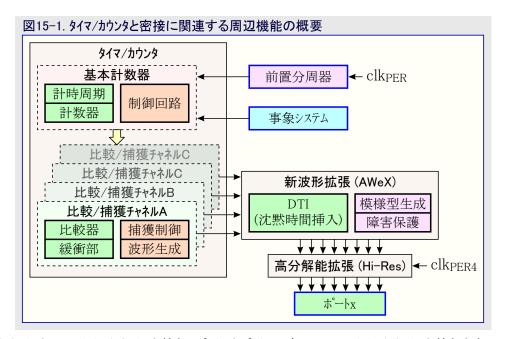
タイマ/カウンタの0型と1型間には2つの違いがあります。タイマ/カウンタ0は4つのCCチャネルを持ち、タイマ/カウンタ1は2つのCCチャネルを持ちます。CCチャネルCとCCチャネルDに関連する全ての情報はタイマ/カウンタ0に対してだけ有効です。タイマ/カウンタ0だけが各々4つの比較チャネルを持つ2つ8ビット タイマ/カウンタに分割する分割動作機能を持ちます。

いくつかのタイマ/カウンタはもっと特殊化された波形と周波数の生成を許すための拡張を持ちます。新波形拡張(AWeX)は電動機制御や他の電力制御応用を意図されています。それは沈黙時間挿入付きのLow側とHigh側の出力は勿論、禁止用の障害保護や外部駆動部切断も許します。ポート ピンの向こう側への同期したビット様式を生成することもできます。

新波形拡張はタイマ/カウンタに対して追加のもっと進化した機能の提供を許します。これはタイマ/カウンタ0でだけ利用可能です。より多くの詳細については29頁の「AWeX - 新波形拡張」をご覧ください。

高分解能(Hi-Res)拡張は周辺機能クロックよりも最大4倍速く走行する内部クロック元を使うことによって、波形出力分解能を4または8倍に増すのに使うことができます。より多くの詳細については30頁の「Hi-Res - 高分解能拡張」をご覧ください。





ポートCは1つのタイマ/カウンタ0と1つのタイマ/カウンタ1を持ち、ポートDとポートEは各々、1つのタイマ/カウンタ0を持ちます。これらの表記は各々、TCC0(タイマ/カウンタC0)、TCC1、TCD0、TCE0です。



#### 16. TC2 - タイマ/カウンタ2型

#### 16.1. 要点

- 6つの8ビットタイマ/カウンタ
  - 3つの下位バイトタイマ/カウンタ
  - 3つの上位バイト タイマ/カウンタ
- 各タイマ/カウンタ2で最大8つの比較チャネル
  - 下位バイト タイマ/カウンタ用の4つの比較チャネル
  - 上位バイトタイマ/カウンタ用の4つの比較チャネル
- 波形生成
  - 単一傾斜パルス幅変調
- 計時器漏れ(アンダーフロー)割り込み/事象
- 下位バイト タイマ/カウンタ用の比較チャネル当たり1つの比較一致割り込み/事象
- 計数制御に対して事象システムとで使用可

#### 16.2. 概要

3つのタイマ/カウンタ2があります。これらはタイマ/カウンタ0が分割動作に設定される時に実現されます。これは各々4つの比較チャネルを持つ2つの8ビット タイマ/カウンタのシステムです。これは個別に制御されるデューティサイクルを持つ8つの構成設定可能なパルス幅変調(PWM:Pulse Width Modulation)を与え、多くのPWMチャネルが必要な応用に意図されています。

2つの8ビット タイマ/カウンタはこのシステムに於いて各々、下位バイトタイマ/カウンタと上位バイトタイマ/カウンタとして参照されます。それらの違いは下位バイト タイマ/カウンタだけが比較一致割り込みと事象を生成するのに使えることです。2つの8ビット タイマ/カウンタは共用されるクロック元と、独立した定期と比較の設定を持ちます。それらは任意選択の前置分周を周辺機能クロックから、または事象システムからクロック駆動と計時をすることができます。計数器は常に下降計数です。

ポートC、ポートD、ポートEは各々1つのタイマ/カウンタ2を持ちます。これらの表記は各々、TCC2(タイマ/カウンタC2)、TCD2、TCE2です。



#### 17. AWeX - 新波形生成拡張

#### 17.1. 要点

- 各比較チャネルからの補完出力を持つ波形出力
- 4つの沈黙時間挿入(DTI)部
  - 8ビット分解能
  - 独立したHigh側とLow側の沈黙時間設定
  - 2重緩衝された沈黙時間
  - 任意選択の沈黙時間中の停止計時器
- ホートピンに渡って同期したビット様式を生成する模様型生成部
  - 2重緩衝された模様型生成
  - 任意選択のポート ピンに渡る1つの比較チャネル出力の分配
- 瞬時と予め予測可能な障害起動に対する事象制御された障害保護

#### 17.2. 概要

新波形拡張(AWeX)は波形生成(WG)動作でのタイマ/カウンタに追加の機能を提供します。これは主として各種形式の電動機や他の電力制御応用での使用が意図されています。これは外部駆動部の禁止と停止に対して沈黙時間挿入と障害保護を持つLow側とHigh側の出力を許します。ポート ピンに渡る同期されたビット模様を生成することもできます。

タイマ/カウンタのからの波形生成器出力の各々は何れかのAWeX機能が許可される時に出力の補完対に分けられます。これらの出力対はLow側(LS)とHigh側(HS)切り換え間の沈黙時間挿入を持つ、WG出力の非反転LSと反転HSを生成する沈黙時間挿入(DTI)部を通って行きます。DTI出力はポート無効化設定に従って標準ポート値を無効にします。

模様型生成部はそれが接続されたポートで同期したビット模様の生成に使うことができます。加えて、比較チャネルAからのWG出力は全てのポートピンを無効にして、(そこへ)配給することができます。模様型生成器部が許可されている時はDTI部が迂回されます。

障害保護部は事象システムに接続され、AWeX出力を禁止する障害条件を起動するのをどの事象でも可能にします。事象システムは予測可能で即時の障害反応を保証し、障害起動の選択に於ける柔軟性を与えます。

AWeXはTCC0に対して利用可能です。これの表記はAWEXCです。



#### 18. Hi-Res - 高分解能拡張

#### 18.1. 要点

- 波形生成器分解能を最大8倍(3ビット)増加
- 周波数、単一傾斜PWM、2傾斜PWMの生成を支援
- これが同じタイマ/カウンタに使われる時にAWeXを支援

#### 18.2. 概要

高分解能(Hi-Res)拡張はタイマ/カウンタからの波形生成出力の分解能を4または8倍に増やすのに使うことができます。これはタイマ/カウンタに対して周波数、単一傾斜PWM、2傾斜PWMの生成を行うのに使うことができます。これが同じタイマ/カウンタに使われる場合、AWeXと共に使うこともできます。

Hi-Res拡張は4倍周辺機能クロック(clkper4)をいます。システム クロック前置分周器はHi-Res拡張が許可される時に4倍周辺機能クロックが CPUと周辺機能のクロック周波数よりも4倍高くなるように構成設定されなければなりません。

ポートCの各タイマ/カウンタに対して許可することができる1つのHi-Res拡張があります。この表記はHIRESCです。



#### 19. RTC - 16ビット実時間計数器

#### 19.1. 要点

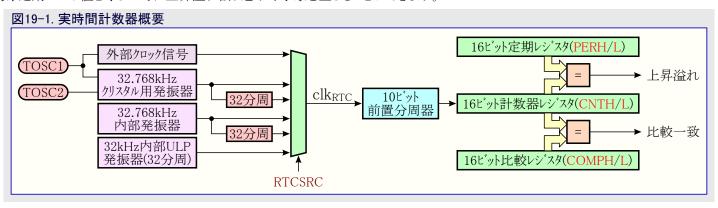
- 16ビット分解能
- 選択可能なクロック元
  - 32.768kHz外部クリスタル
  - 外部クロック信号
  - 32.768kHz内部発振器
  - 32kHz内部ULP発振器
- 設定可能な前置分周器
- 1つの比較レジスタ
- 1つの定期レジスタ
- 定期上昇溢れでの計数器解除
- 任意選択の上昇溢れと比較一致での割り込み/事象

#### 19.2. 概要

16ビット実時間計数器(RTC)は時間の経緯を保つために、低電力休止形態を含み、代表的に継続して走行する計数器です。これは規則的な間隔で休止形態からデバイスを起こしたり、デバイスに割り込むことができます。

基準クロックは代表的に32.768kHzの高精度クリスタルからの1.024kHzで、これは殆ど低電力消費用に最適化された構成設定です。RTC が1msよりも高い分解能を必要とするなら、より速い32.768kHz出力を選択することができます。RTCは外部クロック信号、32.768kHz内部発振器、または32kHz内部ULP発振器からもクロック駆動することができます。

RTCは計数器へ至る前に基準クロックを下げることができる設定可能な10ビットの前置分周器を含みます。広範囲の分解能と時間経過期間を構成設定することができます。32.768kHzのクロック元とで、最大分解能は30.5µs、時間経過期間は2000sまでにできます。1sの分解能とで、最大時間経過期間は18時間よりも多くなります(65536s)。RTCは計数器が比較レジスタ値と等しい時に比較割り込みや事象、定期レジスタ値と等しい時に上昇溢れ割り込みや事象を生じることができます。





#### 20. TWI - 2線インターフェース

#### 20.1. 要点

- 2つの同様のTWI周辺機能
- 双方向2線インターフェース
  - Phillips社I<sup>2</sup>C適合
  - システム管理バス(SMBus)適合
- バス権利者(主装置)と従装置を支援
  - 従装置動作
  - 単一バス権利者(主装置)動作
  - 複数バス権利者(主装置)環境でのバス権利者(主装置)
  - 複数バス権利者(主装置)調停
- 柔軟な従装置アドレス一致機能
  - ハート・ウェアでの7ビットと一斉呼び出しのアトレス認証
  - 10ビット アトレス指定支援
  - 2重アト・レス一致またはアト・レス範囲遮蔽用のアト・レス遮蔽レシ・スタ
  - 無制限のアドレス数のための任意選択ソフトウェア アドレス認証
- パワーダウン動作を含む全休止形態動作で動作可能な従装置動作
- 全休止形態からデバイスを起こすことができる従装置アドレス一致
- 100kHzと400kHzのバス周波数支援
- スリューレート制限された出力駆動部
- バスの雑音とスパイクを消去するための入力濾波器
- 開始条件/再送開始条件とデータ ビット間の調停を支援(SMBus)
- アドレス解決規約(ARP)に対する支援を許す従装置調停(SMBus)

#### 20.2. 概要

2線インターフェース(TWI)は双方向2線インターフェースです。これはI<sup>2</sup>Cとシステム管理バス(SMBus)適合です。バス実装に必要な外部ハードウェアは各バス線上の1つのプルアップ。抵抗だけです。

ハスに接続されたデバイスは主装置または従装置として動作しなければなりません。主装置はバス上の従装置をアドレス指定することによってデータ転送処理を始め、データの送信または受信のどちらを望むかを知らせます。1つのバスは多くの従装置と、バスの制御を取ることができる1つまたは多数の主装置を持つことができます。調停手順は1つよりも多い主装置が同時に送信を試みる場合の優先権を取り扱います。バス衝突を解決するための手法は本質的に規約です。

TWI単位部は主装置と従装置の機能を支援します。主装置と従装置の機能はお互いに分離されており、個別に許可と構成設定ができます。主装置単位部は複数主装置バス動作と調停を支援します。それはボーレート発生器を含みます。100kHzと400kHzの両バス周波数が支援されます。自動起動操作のために迅速指令と簡便動作を許可することができ、ソフトウェアの複雑さを低減します。

従装置単位部はハート・ウェアでの7ビット アドレス一致と一斉アト・レス呼び出しを実装します。10ビット アドレスも支援されます。専用のアト・レス遮蔽レシ、スタは第2のアト・レス一致レシ、スタまたはアト・レス範囲遮蔽用のレシ、スタとして働くことができます。従装置はパワーダウン動作を含む全ての休止形態動作で動作を継続します。これはTWIアト・レス一致での全休止形態からのデ・バーイス起動を従装置に許します。代わりにソフトウェアでこれを扱うために、アト・レス一致を禁止することが可能です。

TWI単位部は開始条件、停止条件、バス衝突、バス異常を検出します。バス上の協調損失、異常、衝突、クロック保持も検出され、主装置と従装置の両動作で利用可能な独立した状態フラグで示されます。

デバイスの内部TWI駆動部を禁止して、外部TWIバス駆動部接続に対する4線インターフェースを許可することが可能です。これはデバイスがTWIバスによって使われるのと違うVCC電圧で動作する応用に使うことができます。

ポートCとポートEは各々1つのTWIを持ちます。これらの周辺機能の表記はTWICとTWIEです。



#### 21. SPI - 直列周辺インターフェース

#### 21.1. 要点

- 2つの同様なSPI周辺機能
- 全二重、3線同期データ転送
- 主装置または従装置の動作
- LSB先行またはMSB先行のデータ転送
- 設定可能な7つのビット速度
- 送信終了での割り込み要求フラグ
- データ衝突を示すための上書き発生フラグ
- アイドル休止動作からの起動
- 倍速主装置動作

#### 21.2. 概要

直列周辺インターフェース(SPI)は3線または4線を使う高速同期データ転送インターフェースです。それはAtmel AVR XMEGAデバイスと周辺装置間、または多数のマイクロコントローラ間での高速通信を許します。SPIは全二重通信を支援します。

バスに接続する装置は主装置または従装置として動作しなければなりません。主装置が全てのデータ転送処理を始め、そして制御します。

ポートCとポートDは各々1つのSPIを持ちます。これらの周辺機能の表記はSPICとSPIDです。



#### 22. USART

#### 22.1. 要点

- 2つの同様なUSART周辺機能
- 全二重動作
- 非同期と同期での動作
  - デバイス クロック周波数の1/2までの同期クロック速度
  - デバイス クロック周波数の1/8までの非同期クロック速度
- 5, 6, 7, 8, 9データ ビットと1, 2停止ビットの直列フレーム支援
- 分数ボーレート発生器
  - どのシステム クロック周波数からも望むボーレートを生成可
  - 一定の周波数で外部発振器不要
- 組み込みの誤り検出と修正の仕組み
  - 奇数/偶数パリティ生成器とパリティ検査
  - データ オーバランとフレーミング 異常の検出
  - 不正開始ビット検出とデジタル低域通過濾波器を含む雑音濾波
- 以下の独立した割り込み
  - 送信完了
  - 送信データ レジスタ空
  - 受信完了
- 複数プロセッサ通信動作
  - 複数デバイスのバス上で特定デバイスをアドレス指定するためのアドレス指定の仕組み
  - アドレス指定されないデバイスで全てのフレームを自動的に無視することが可
- 主装置SPI動作
  - 2重緩衝された動作
  - 構成設定可能なデータ順
  - 周辺機能クロック周波数の1/2までの動作
- IrDA適合パルス変調/復調用赤外線通信(IRCOM)単位部

#### 22.2. 概要

USART(Universal Synchronous and Asynchronuos serial Receiver and Transmitter)は高速で柔軟な直列通信単位部です。USART は非同期と同期の動作と全二重通信を支援します。USARTはSPI主装置での動作形態に構成設定してSPI通信に使うことができます。

通信はフレームに基き、その構造形式は広範囲の規格を支援するように独自設定することができます。USARTは両方向於いて緩衝され、フレーム間のどんな遅延もなしに継続するデータ送信を可能にします。受信と送信の完了に対する独立した割り込みは完全な割り込み駆動通信を許します。フレーミング異常と緩衝部溢れはハートヴェアで検知され、独立した状態フラグで示されます。奇数または偶数のパリティ生成とパリティ検査も許可することができます。

クロック生成部はどのシステム クロック周波数からでも広範囲のUSARTボーレートを発生できる分数ボーレート発生器を含みます。これは必要とされるボーレートを達成するために特定周波数を持つ外部クリスタル発振器を使うことの必要を取り去ります。これは同期従装置動作での外部クロック入力も支援します。

USARTが主装置SPI動作に設定されると、全てのUSART特有論理回路は禁止され、送受信緩衝部、移動レジスタ、ボーレート発生器を許可のままにします。 ピン制御と割り込み生成は両動作で同じです。 レシ、スタは両動作で使われますが、いくつかの制御設定について機能が異なります。

赤外線通信(IRCOM)単位部は115.2kbpsまでのボーレートに対してIrDA 1.4物理適合パルスの変調と復調の支援を1つのUSARTに対して許可することができます。

ポートCとポートDは各々1つのUSARTを持ちます。これらの周辺機能の表記は各々、USARTC0とUSARTD0です。



#### 23. IRCOM - 赤外線通信単位部

#### 23.1. 要点

- 赤外線通信用パルス変調/復調
- 115.2kbpsまでのボーレートに対してIrDA適合
- ・選択可能なパルス変調方式
  - 3/16ボーレート周期
  - 固定パルス周期、設定可能な8ビット
  - パルス変調禁止
- ・組み込み濾波
- 何れかのUSARTへ接続可能(USARTによる使用)

#### 23.2. 概要

Atmel AVR XMEGAデバイスは115.2kbpsまでのボーレートに対してIrDA適合の赤外線通信単位部です。これはUSARTに対して赤外線パルスの符号化と復号を可能とするためにUSARTに接続することができます。



#### 24. CRC - 巡回冗長検査(Cyclic Redundancy Check)生成器

#### 24.1. 要点

- 以下に対する巡回冗長検査(CRC)生成と検査
  - 通信データ
  - フラッシュメモリ内のプログラムまたはデータ
  - SRAMとI/Oメモリ空間内のデータ
- フラッシュ メモリとCPUとの統合
  - フラッシュ メモリの全体または選択可能な範囲の自動CRC
  - CPUはI/Oインターフェースを通してデータをCRC生成器に設定可
- ・以下にソフトウェア選択可能なCRC生成多項式
  - CRC-16 (CRC-CCITT)
  - CRC-32 (IEEE 802.3)
- 0剰余検出

#### 24.2. 概要

巡回冗長検査(CRC)はデータ内の偶然の誤りを見つけるのに使われる誤り検出技術調査算法で、これは一般的にデータ送信の正しさを決めるのに使われ、データはデータとプログラムのメモリ内に存在します。CRCは入力としてデータの流れまたはデータの塊を取り、データに追加してチェックサムとして使うことができる16ビットまたは32ビットの出力を生成します。同じデータが後で受信される、または読まれる時に、デバイスまたは応用が計算を繰り返します。新しいCRCの結果が先に計算されたものと一致しなければ、その塊はデータ誤りを含みます。そして応用はこれを検知し、再び送るべきデータの要求または単純に不正なデータを不使用のように、調整的な活動を取るかもしれません。

代表的に、任意長のデータ塊に適用されるnビットCRCはnビットよりも長くないどんな単一の連続誤り(データのnビットよりも多くに及ばないどんな単一の改変)も検出し、より長い全ての連続誤り分の1-2<sup>-n</sup>を検出します。Atmel AVR XMEGAデバイスのCRC単位部は一般的に使われる2つのCRC生成多項式、CRC-16(CRC=CCITT)とCRC-32(IEEE 802.3)を支援します。

• CRC-16:

生成多項式: $X^{16}+X^{12}+X^{5}+1$ 

16進値 : \$1021

• CRC-32:

生成多項式: $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^{8}+X^{7}+X^{5}+X^{4}+X^{2}+X+1$ 

16進値 : \$04C11DB7



# 25. ADC - 12t yh A/D変換器

#### 25.1. 要点

- 1つのA/D変換器
- 12ビット分解能
- 1秒当たり最大20万採取
  - 8ビット分解能で最小3.6usの変換時間
  - 12ビット分解能で最小5.0µsの変換時間
- 差動とシングルエントの入力
  - 最大12のシングルエント、入力
  - 12×4種の利得なし差動入力
  - 12×4種の利得付き差動入力
- 組み込み差動利得段
  - 1/2倍、1倍、2倍、4倍、8倍、16倍、32倍、64倍の利得任意選択
- 単発、連続、走査の変換任意選択
- 3つの内部入力
  - 内部温度感知器
  - AVCCの1/10の電圧
  - 1.1Vハントギャップ電圧
- 内部及び外部の基準電圧任意選択
- 使用者定義閾値の正確な監視用の比較機能
- 任意選択の正確なタイミング用事象起動変換
- 任意選択の比較結果での割り込み/事象

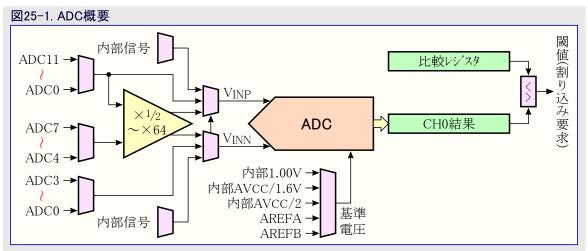
#### 25.2. 概要

A/D変換器(ADC)はアナロケ信号をデッケル値に変換します。ADCは12ビット分解能と秒当たり20万(200k)採取(sps)までの変換能力を持ちます。入力選択は柔軟で、シンケルエントと差動の両方の測定を実行することができます。差動測定に対しては動態範囲を拡大するために任意選択の利得段が利用可能です。加えて多数の内部信号入力が利用可能です。ADCは符号付と符号なしの結果を提供できます。

ADC測定は応用ソフトウェアまたはデバイス内の別の周辺機能からやって来る事象のどちらかによって開始することができます。ADC測定はソフトウェアの介在なしで予め予測されたタイミングで開始することができます。

内部と外部の両方の基準電圧が使えます。統合された温度感知器がADCとで利用可能です。AVCC/10、バンドギャップ電圧からの出力もADCによって測定することができます。

ADCは必要とされる最小のソフトウェア介在で使用者定義された閾値の正確な監視のための比較機能を持ちます。



ADCは8または12ビットの結果に構成設定することができ、最小変換時間(伝播遅延)を12ビットに対する5.0μsから8ビットの結果に対する3.6μsに減らします。

ADC変換結果は任意選択の'1'または'0'の穴埋めでの左詰めまたは右詰めの調整が提供されます。これは結果が符号付き整数(符号付き16ピット数)として表現される時に計算を簡単にします。

この周辺機能の表記はADCAです。ポートAはADCA入力0~7を持ち、ポートBはADCA入力8~11を持ちます。



# 26. AC - アナログ比較器

#### 26.1. 要点

- 2つのアナログ比較器
- 選択可能なヒステリシス
  - ・なし
  - 小
  - 大
- ピンで利用可能なアナログ比較器出力
- 柔軟な入力選択
  - ●ポートトの全ピン
  - バンドギャップ基準電圧
  - 内部AVCC電圧の64段階に設定可能な分圧器
- 以下での割り込みと事象の生成
  - 上昇端
  - 下降端
  - 切り替わり
- 以下での窓機能割り込みと事象の生成
  - 窓以上の信号
  - 窓内側の信号
  - 窓以下の信号
- 構成設定可能な出力ピン選択を持つ定電流源

#### 26.2. 概要

アナログ・比較器(AC)は2つの入力の電圧レベルを比較してその比較に基いたデジタル出力を与えます。アナログ・比較器は多数の異なる入力変化の組み合わせで割り込み要求や事象を生成するように構成設定できます。

アナログ比較器の動的な動きの重要な特性はヒステリシスです。それは各応用に対して最適な動作を達成するように調節することができます。

入力選択はアナログ ポート ピン、多数の内部信号、64段階の設定可能な分圧器を含みます。アナログ比較器出力の状態は外部デバイスによって使うためにピン上に出力することもできます。

定電流源を許可することができ、選択可能なピン上に出力することができます。これは例えば容量性接触感知応用でコンデンサを充電するのに使われる外部抵抗を置き換えるのに使うことができます。

アナログ比較器は常に各ポート上の対で分類されます。それらはアナログ比較器0(AC0)とアナログ比較器1(AC1)と呼ばれます。それらは同様の動きを持ちますが、独立した制御レジスタを持ちます。対として使うと、それらは電圧レヘブルの代わりに電圧範囲と信号を比較するように窓動作で設定することができます。

ポートAは1つのAC対を持ちます。表記はACAです。

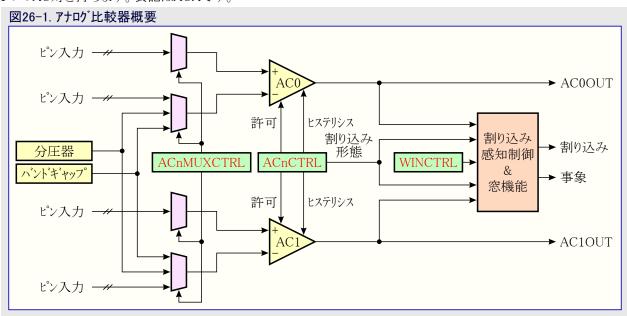
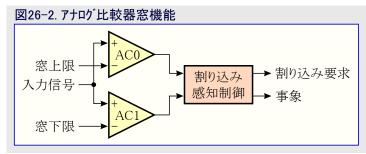




図26-2.で示されるように、窓機能は2つのアナログ比較器の外部入 力を接続することによって実現されます。





# 27. プログラミングとデバッグ

#### 27.1. 要点

- プログラミング
  - PDIを通す外部プログラミング
    - 高速動作のための最小の規約付随負荷
    - 確かな動作のための組み込みの異常検出と処理
  - 何れかの通信インターフェースを通すプログラミング用のブート ローダ支援
- ・デバッグ
  - 不干渉、実時間、チップ・上デバッグ・システム
  - ピン接続を除き、デバイスから必要とされるソフトウェアまたはハードウェアなし
  - プログラムの流れ制御
    - 実行、停止、リセット、1行実行、内側実行、外側実行、カーソルまで実行
  - 無制限数の使用者プログラム中断点(ブレークポイント)
  - 無制限数の使用者データ中断点、以下で中断
    - ずータ位置読み、書き、または読み書き両方
    - ずータ位置内容が値と等しいまたは等しくない
    - ずータ位置内容が値よりも大きいまたは小さい
    - ずータ位置内容が範囲の内側または外側
  - デバイス クロック周波数での制限なし
- プログラミングとディッグ用インターフェース(PDI)
  - 外部のプログラミングとデバッグ用の2ピン インターフェース
  - リセット ピンと専用ピンを使用
  - プログラミングまたはデバッグ中にI/Oピンの必要なし

#### 27.2. 概要

プログラミングとディブッグ用インターフェース(PDI)はディバイスの外部プログラミングとチップ上ディブッグ用のAtmel専有インターフェースです。

PDIはフラッシュ、EEPROM、ヒュース、施錠ビット、使用者識票列の不揮発性メモリ(NVM)の高速プログラミングを支援します。

デバックiは不干渉、実時間のデバックiを提供するチップ上デバックiシステムを通して支援されます。これはデバイス ピン接続を除いてどんなソフトウェアまたはハートiウェアも必要としません。Atmelのツール チェーン使用は完全なプログラムの流れ制御を提供し、プログラムと複雑なデータの無制限数の中断点(ブレークポイント)を支援します。応用デバックiはアセンブラと逆アセンブラレベルからだけでなく、Cまたは他の高位言語ソースコートiのレベルからも行うことができます。

プログラミングとディーックがはPDI物理層を通して行えます。これはクロック入力用のリセット ピン(PDI\_CLK)とデータ入出力用の他の1つの専用検査ピン(PDI\_DATA)を使う2ピン インターフェースです。何れかの外部書き込み器またはチップ。上ディーッガ/エミュレータがこのインターフェースへ直接的に接続することができます。



# 28. ピン配置とピン機能

デバイスのピン配置は4頁の「ピン配置/構成図」で示されます。汎用I/O機能に加え、各ピンは様々な交換機能を持ち得ます。これはどの周辺機能が許可され、そして現実のピンに接続されるかに依存します。ピン機能は同時に1つだけを使うことができます。

# 28.1. 交換ピン機能の種類

下表は利用可能な全てのピン機能に対する表記とその機能の内容を示します。

#### 28.1.1. 活動/電力供給

VCC	デジタル供給電圧
AVCC	アナログ供給電圧
GND	接地

#### 28.1.2. ポート割り込み機能

SYNC	完全な同期と制限された非同期の割り込み機能を持つポートピン
ASYNC	完全な同期と完全な非同期の割り込み機能を持つポートピン

#### 28.1.3. アナログ機能

ACn	アナログ比較器入力ピンn
ACnOUT	アナログ比較器n出力
ADCn	A/D変換器入力ピンn
AREF	アナログ・基準電圧入力ピン

#### 28.1.4. タイマ/カウンタとAWeX機能

	タイマ/カウンタn用比較チャネルx出力
OCnx	タイマ/カウンタn用比較チャネルx反転出力
OCnxLS	タイマ/カウンタn用比較チャネルx Low側出力
OCnxHS	タイマ/カウンタn用比較チャネルx High側出力

#### 28.1.5. 通信機能

SCL	TWI用直列クロック
SDA	TWI用直列データ
SCLIN	外部駆動インターフェース許可時のTWI用直列クロック入力
SCLOUT	外部駆動インターフェース許可時のTWI用直列クロック出力
SDAIN	外部駆動インターフェース許可時のTWI用直列データ入力
SDAOUT	外部駆動インターフェース許可時のTWI用直列データ出力
XCKn	USARTn用転送クロック
RXDn	USARTn用受信データ
TXDn	USARTn用送信データ
SS	SPI用従装置選択
MOSI	SPI用主装置出力従装置入力
MISO	SPI用主装置入力従装置出力
SCK	SPI用直列クロック

#### 28.1.6. 発振器、クロック、事象

TOSCn	計時器用発振器ピンn
XTALn	発振器用入出力ピンn
CLKOUT	周辺機能クロック出力
EVOUT	事象チャネル出力
RTCOUT	RTCクロック元出力

# 28.1.7. デバッグ/システム機能

RESET	リセット ピン
PDI_CLK	プログラミングとディック・用インターフェース クロック ピン
PDI_DATA	プログラミングとデバッグ用インターフェース データ ピン



# 28.2. 交換ピン機能

下表は最初の列でポートの各ピンに対する主/既定の機能、第2列でピン番号、そして残りの列で全ての交換ピン機能を示します。先頭行は何の周辺機能が交換ピン機能を許可して使うかを示します。

より良い柔軟性のため、いくつかの交換機能はそれらの機能に対して選択可能なピン位置も持ち、これはこれが適用される最初の表の下で注記されます。

#### 表28-1. ポ-トA - 交換機能

PORTA	ピン 番号	割り込み	ADCA 利得有/無 正入力		ADCA 利得なし 負入力	ADCA 利得付き 負入力	ACA 正入力	ACA 負入力	ACA 出力		REFA	
GND	38											
AVCC	39											
PA0	40	SYNC	ADC0		ADC0		AC0	AC0			AREF	
PA1	41	SYNC	ADC1		ADC1		AC1	AC1				
PA2	42	SYNC/ASYNC	ADC2		ADC2		AC2					
PA3	43	SYNC	ADC3		ADC3		AC3	AC3				
PA4	44	SYNC	ADC4			ADC4	AC4					
PA5	1	SYNC	ADC5			ADC5	AC5	AC5				
PA6	2	SYNC	ADC6	·		ADC6	AC6		AC1OUT	·		·
PA7	3	SYNC	ADC7			ADC7		AC7	AC0OUT			

#### 表28-2. ポ-トB - 交換機能

PORTB	ピン 番号	割り込み	ADCA 利得有/無 正入力	REFB	
PB0	4	SYNC	ADC8	AREF	
PB1	5	SYNC	ADC9		
PB2	6	SYNC/ASYNC	ADC10		
PB3	7	SYNC	ADC11		

#### 表28-3. ポ-トC - 交換機能

PORTC	ピン 番号	割り込み	TCC0 (注1,2)	AWEXC	TCC1	USARTC0 (注3)	SPIC (注4)	TWIC	クロック出力 ( <u>注5</u> )	事象出力
GND	8									
VCC	9									
PC0	10	SYNC	OC0A	OC0ALS				SDA/SDA_IN		
PC1	11	SYNC	ОС0В	OC0AHS		XCK0		SCL/SCL_IN		
PC2	12	SYNC/ASYNC	OC0C	OC0BLS		RXD0		SDA_OUT		
PC3	13	SYNC	OC0D	OC0BHS		TXD0		SCL_OUT		
PC4	14	SYNC		OC0CLS	OC1A		SS			
PC5	15	SYNC		OC0CHS	OC1B		MOSI			
PC6	16	SYNC		OC0DLS			MISO		RTCOUT	
PC7	17	SYNC		OC0DHS			SCK		CLKOUT	EVOUT

注1: 全てのTC0のピン割り当ては任意選択でポートの上位ニブルに移動することができます。

注2: TC0がTC2として構成設定された場合、8つ全てのピンがPWM出力として使うことができます。

注3: 全てのUSART0のピン割り当ては任意選択でポートの上位ニブルに移動することができます。

注4: 全てのSPIに対してMOSIとSCKのピンは任意選択で交換することができます。

注5: CLKOUTは任意選択でポートC,D,E間とピン4~7間で移動することができます。

注6: EVOUTは任意選択でポートC,D,E間とピン4~7間で移動することができます。



# 表28-4. ポ-トD - 交換機能

PORTD	ピン 番号	割り込み	TCD0		USARTD0	SPID	クロック出力	事象出力
GND	18							
VCC	19							
PD0	20	SYNC	OC0A					
PD1	21	SYNC	OC0B		XCK0			
PD2	22	SYNC/ASYNC	OC0C		RXD0			
PD3	23	SYNC	OC0D		TXD0			
PD4	24	SYNC				SS		
PD5	25	SYNC				MOSI		
PD6	26	SYNC				MISO		
PD7	27	SYNC				SCK	CLKOUT	EVOUT

# 表28-5. ポートE - 交換機能

PORTE	ピン 番号	割り込み	TCE0		TWIE	
PE0	28	SYNC	OC0A		SDA/SDA_IN	
PE1	29	SYNC	ОС0В		SCL/SCL_IN	
GND	30					
VCC	31					
PE2	32	SYNC/ASYNC	OC0C		SDA_OUT	
PE3	33	SYNC	OC0D		SCL_OUT	

# 表28-6. ポ-トR - 交換機能

PORTR	ピン 番号	割り込み	XTAL TOSC (注)		PDI
PDI	34				PDI_DATA
RESET	35				PDI_CLOCK
PR0	36	SYNC	XTAL2	TOSC2	
PR1	37	SYNC	XTAL1	TOSC1	

注: TOSCピンは任意選択でPE2/PE3へ移動することができます。

# 29. 周辺機能単位部アドレス割り当て

アドレス割り当て表はAtmel AVR XMEGA D4内の各周辺機能と単位部に対する基準アドレスを示します。各周辺機能単位部に対する一覧と完全なレシブス タ記述についてはXMEGA D手引書を参照してください。

表29-1. 周辺機能単位部アドレス割り当て

基準アドレス	名称	意味	基準アドレス	名称	意味
\$0000	GPIO	汎用I/Oレジスタ	\$0380	ACA	ポートAのアナログ比較器
\$0010	VPORT0	仮想ポート0	\$0400	RTC	実時間計数器
\$0014	VPORT1	仮想ポート1	\$0480	TWIC	ポートCの2線インターフェース
\$0018	VPORT2	仮想ポート2	\$04A0	TWIE	ポートEの2線インターフェース
\$001C	VPORT3	仮想ポート3	\$0600	PORTA	ポートA
\$0030	CPU	CPU	\$0620	PORTB	ポートB
\$0040	CLK	クロック制御	\$0640	PORTC	ポートC
\$0048	SLEEP	休止制御器	\$0660	PORTD	ポートD
\$0050	OSC	発振器制御	\$0680	PORTE	ポートE
\$0060	DFLLRC32M	32MHz内部RC発振器用DFLL	\$07E0	PORTR	ポートR
\$0068	DFLLRC2M	2MHz内部RC発振器用DFLL	\$0800	TCC0	ポートCのタイマ/カウンタ0
\$0070	PR	電力削減	\$0840	TCC1	ポートCのタイマ/カウンタ1
\$0078	RST	リセット制御器	\$0880	AWEXC	ポートCの新波形拡張
\$0080	WDT	ウォッチト゛ック゛ タイマ	\$0890	HIRESC	ポートCの高分解能拡張
\$0090	MCU	MCU制御	\$08A0	USARTC0	ポートCのUSART0
\$00A0	PMIC	設定可能な多段割り込み制御器	\$08C0	SPIC	ポートCの直列周辺インターフェース
\$00B0	PORTCFG	ポート構成設定	\$08F8	IRCOM	赤外線通信単位部
\$00D0	CRC	CRC単位部	\$0900	TCD0	ポートDのタイマ/カウンタ0
\$0180	EVSYS	事象システム	\$09A0	USARTD0	ポートDのUSART0
\$01C0	NVM	不揮発性メモリ(NVM)制御器	\$09C0	SPID	ポートDの直列周辺インターフェース
\$0200	ADCA	ポートAのA/D変換器	\$0A00	TCE0	ポートEのタイマ/カウンタ0



# 30. 命令一式要約

ニーモニック	オペラント゛	意味	動作	フラク゛	クロック
ADD	DID		<b>建演算命令</b>	L.T.H.G.H.N.T.G	1
ADC	Rd,Rr	汎用レジスタ間の加算   キャリーを含めた汎用レジスタ間の加算	$Rd \leftarrow Rd + Rr$	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	
ADC ADIW	Rd,Rr Rd,K6	即値の語(ワート)・長加算	$Rd \leftarrow Rd + Rr + C$ $RdH:RdL \leftarrow RdH:RdL + K$	I, T, H, S, V, IN, Z, C	2
SUB	Rd,Rr	汎用レジスタ間の減算	Rd ← Rd − Rr	I,T,H,S,V,N,Z,C	1
SUBI	Rd,K	汎用レジスタから即値の減算	$Rd \leftarrow Rd - K$	I,T,H,S,V,N,Z,C	1
SBIW	Rd,K6	即値の語(ワード)長減算	RdH:RdL ← RdH:RdL - K	I,T,H,S,V,N,Z,C	2
SBC	Rd,Rr	キャリーを含めた汎用レジスタ間の減算	$Rd \leftarrow Rd - Rr - C$	I,T,H,S,V,N,Z,C	1
SBCI	Rd,K	汎用レジスタからキャリーと即値の減算	$Rd \leftarrow Rd - K - C$	I,T,H,S,V,N,Z,C	1
AND	Rd,Rr	汎用レシブスタ間の論理積(AND)	Rd ← Rd AND Rr	I,T,H,S,0,N,Z,C	1
ANDI	Rd,K	汎用レジスタと即値の論理積(AND)	Rd ← Rd AND K	I,T,H,S,0,N,Z,C	1
OR ORI	Rd,Rr Rd,K	汎用レジスタ間の論理和(OR) 汎用レジスタと即値の論理和(OR)	Rd ← Rd OR Rr Rd ← Rd OR K	I,T,H, <b>S</b> , <b>0</b> ,N, <b>Z</b> ,C I,T,H, <b>S</b> , <b>0</b> ,N, <b>Z</b> ,C	1
EOR	Rd,Rr Rd,Rr	汎用レジスタと即個の調理和(OR) 汎用レジスタ間の排他的論理和(Ex-OR)	Rd ← Rd EOR Rr	I, T, H, S, O, N, Z, C	1
COM	Rd	1の補数(論理反転)	$Rd \leftarrow \$FF - Rd$	I,T,H,S,0,N,Z,C	1
NEG	Rd	2の補数	Rd ← \$00 - Rd	I,T,H,S,V,N,Z,C	1
SBR	Rd,K	汎用レシブスタの(複数)ビット設定(1)	Rd ← Rd OR K	I,T,H,S,0,N,Z,C	1
CBR	Rd,K	汎用レシ、スタの(複数)ビット解除(0)	$Rd \leftarrow Rd \ AND \ (\$FF - K)$	I,T,H,S,0',N,Z,C	1
INC	Rd	汎用レジスタの増加(+1)	Rd ← Rd + 1	I,T,H,S,V,N,Z,C	1
DEC	Rd	汎用レシブスタの減少(-1)	Rd ← Rd − 1	I,T,H,S,V,N,Z,C	1
TST	Rd	汎用レジスタのゼロとマイナス検査	Rd ← Rd AND Rd	I,T,H, <mark>S,0,N,Z</mark> ,C	1
CLR	Rd	汎用レジスタの全0設定(=\$00)	Rd ← Rd EOR Rd	I,T,H,0,0,0,1,C	1
SER	Rd Rd,Rr	汎用レジスタの全1設定(=\$FF) 符号なし間の乗算	$Rd \leftarrow \$FF$ $R1:R0 \leftarrow Rd \times Rr$ (U	I,T,H,S,V,N,Z,C ×U) I,T,H,S,V,N,Z,C	1
MUL MULS	Rd,Rr Rd,Rr	付号ない間の乗算    符号付き間の乗算		× S)	2 2
MULSU	Rd,Rr Rd,Rr	付号付き间の乗算    符号付きと符号なしの乗算		$\times$ U) I,T,H,S,V,N,Z,C	2
FMUL	Rd,Rr	符号なし間の固定小数点乗算		$\times$ U) I,T,H,S,V,N,Z,C	2
FMULS	Rd,Rr	符号付き間の固定小数点乗算		×S) I,T,H,S,V,N,Z,C	2
FMULSU	Rd,Rr	符号付きと符号なしの固定小数点乗算		×U) I,T,H,S,V,N,Z,C	2
	,		命令	, , , , , , , , , , , ,	
RJMP	k	相対無条件分岐	$PC \leftarrow PC + k + 1$	I,T,H,S,V,N,Z,C	2
IJMP		Zレシブスタ間接無条件分岐	PC ← Z	I,T,H,S,V,N,Z,C	2
EIJMP		拡張ZVジスタ間接無条件分岐	PC ← EIND:Z	I,T,H,S,V,N,Z,C	2
JMP	k	絶対無条件分岐	PC ← k	I,T,H,S,V,N,Z,C	3
RCALL ICALL	k	相対サブルーチン呼び出し Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow PC + k + STACK \leftarrow PC, PC \leftarrow Z$		2,3(注1) 2,3(注1)
EICALL		な張Zレジスタ間接サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow Z$ $STACK \leftarrow PC, PC \leftarrow EIND:Z$	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	3(注1)
CALL	k	絶対サブルーチン呼び出し	$STACK \leftarrow PC, PC \leftarrow k$	I,T,H,S,V,N,Z,C	3.4(注1)
RET	17	サブルーチンからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	,
RETI		割り込みからの復帰	PC ← STACK	I,T,H,S,V,N,Z,C	4,5 (注1)
CPSE	Rd,Rr	汎用レシブスタ間比較、一致でスキップ。	Rd=Rrなら、PC ← PC + 2or3	I,T,H,S,V,N,Z,C	1/2,3
CP	Rd,Rr	汎用レジスタ間の比較	Rd – Rr	I,T,H,S,V,N,Z,C	1
CPC	Rd,Rr	キャリーを含めた汎用レジスタ間の比較	Rd - Rr - C	I,T,H,S,V,N,Z,C	
CPI	Rd,K	汎用レジスタと即値の比較	Rd - K	I,T,H,S,V,N,Z,C	
SBRC	Rr,b	汎用レジスタのビットが解除(0)でスキップ	Rr(b)=07\$5, PC ← PC + 2or3	I,T,H,S,V,N,Z,C	
SBRS	Rr,b	汎用レジスタのビットが設定(1)でスキップ	$Rr(b)=1$ 7\$\$, $PC \leftarrow PC + 2$ or3	I,T,H,S,V,N,Z,C	
SBIC SBIS	P,b P,b	I/Oレシ、スタのヒットが解除(0)でスキップ I/Oレシ、スタのヒットが設定(1)でスキップ	P(b)=0なら, PC ← PC + 2or3 P(b)=1なら, PC ← PC + 2or3	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	$\frac{2/3,4}{2/3,4}$
BRBS	s,k	ステータス フラグが設定(1)で分岐	SREG(s)=1なら, PC ← PC + K +		
BRBC	s,k	ステータス フラグが解除(0)で分岐	SREG(s)=0756, PC $\leftarrow$ PC + K +		1/2
BREQ	k	一致で分岐	Z=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRNE	k	不一致で分岐	Z=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRCS	k	キャリー フラグが設定(1)で分岐	C=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	
BRCC	k	キャリー フラグが解除(0)で分岐	C=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRSH	k	符号なしの≧で分岐	C=07\$6, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	
BRLO	k k	符号なしのくで分岐	C=1 $\uparrow c$ b, PC $\leftarrow$ PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRMI BRPL	k	-(マイナス)で分岐   +(プラス)で分岐	N=1なら, PC ← PC + K + 1 N=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	
BRGE	k	符号付きの≧で分岐	(N EOR V)=0なら, PC ← PC + K		
BRLT	k	符号付きのくで分岐	(N EOR V)=1/26, PC ← PC + K		1/2
	k	ハーフキャリー フラグが設定(1)で分岐	H=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	
BRHS	_		H=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHS BRHC	k	ハーフキャリー フラク゛が解除(0)で分岐	111 0,2.5, 10 10 11		
	k k	一時フラグが設定(1)で分岐	T=176, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC BRTS BRTC	k k	一時フラグが設定(1)で分岐 一時フラグが解除(0)で分岐	T=1なら, PC ← PC + K + 1 T=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C	1/2
BRHC BRTS BRTC BRVS	k k k	ー時7ラグが設定(1)で分岐 ー時7ラグが解除(0)で分岐 2の補数溢れフラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1 T=0なら, PC ← PC + K + 1 V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	1/2 1/2
BRHC BRTS BRTC BRVS BRVC	k k k	ー時7ラグが設定(1)で分岐 ー時7ラグが解除(0)で分岐 2の補数溢れ7ラグが設定(1)で分岐 2の補数溢れ7ラグが解除(0)で分岐	T=1なら, PC ← PC + K + 1 T=0なら, PC ← PC + K + 1 V=1なら, PC ← PC + K + 1 V=0なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	1/2 1/2 1/2
BRHC BRTS BRTC BRVS	k k k	ー時7ラグが設定(1)で分岐 ー時7ラグが解除(0)で分岐 2の補数溢れフラグが設定(1)で分岐	T=1なら, PC ← PC + K + 1 T=0なら, PC ← PC + K + 1 V=1なら, PC ← PC + K + 1	I,T,H,S,V,N,Z,C I,T,H,S,V,N,Z,C	1/2 1/2 1/2



ニーモニック	オペラント゛	意味	動作	フラク゛	クロック
_ <del></del>	177 //	<u>  忠怀</u>	<mark>└────────────────────────────────────</mark>	7 7 7	グロググ
MOV	Rd,Rr	汎用レジスタ間の複写	製加力   Rd ← Rr	I,T,H,S,V,N,Z,C	1
MOVW	Rd,Rr	汎用レジスタ対間の複写	Rd+1:Rd ← Rr+1:Rr	I,T,H,S,V,N,Z,C	1
LDI	Rd,K	即値の取得	Rd ← K	I.T.H.S.V.N.Z.C	1
LDI	Rd,X	Xレジスタ間接での取得	$Rd \leftarrow (X)$	ITHSVNZ.C	1 ( <b>注1,2</b> )
LD	Rd,X+	事後増加付きXレジスタ間接での取得	$Rd \leftarrow (X), X \leftarrow X + 1$	I.T.H.S.V.N.Z.C	1(注1,2)
LD	Rd,-X	事前減少付きXレジスタ間接での取得	$X \leftarrow X - 1$ , $Rd \leftarrow (X)$	I.T.H.S.V.N.Z.C	2( <b>注1,2</b> )
LD	Rd,Y	Yレジスタ間接での取得	$Rd \leftarrow (Y)$	I,T,H,S,V,N,Z,C	1(注1,2)
LD	Rd,Y+	事後増加付きソレジスタ間接での取得	$Rd \leftarrow (Y), Y \leftarrow Y + 1$	I.T.H.S.V.N.Z.C	1(注1,2)
LD	Rd,-Y	事前減少付きソレジスタ間接での取得	$Y \leftarrow Y - 1, Rd \leftarrow (Y)$	I.T.H.S.V.N.Z.C	2 (注1, <b>2</b> )
LDD	Rd,Y+q	変位付きYレジスタ間接での取得	$Rd \leftarrow (Y + q)$	I.T.H.S.V.N.Z.C	2 (注1, <b>2</b> )
LDD	Rd,Z	Zレジスタ間接での取得	$Rd \leftarrow (7)$	I.T.H.S.V.N.Z.C	
LD	Rd,Z+	事後増加付きZレジスタ間接での取得	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I.T.H.S.V.N.Z.C	1(注1,2)
LD	Rd,-Z	事前減少付きZレジスタ間接での取得	$Z \leftarrow Z - 1$ , $Rd \leftarrow (Z)$	I.T.H.S.V.N.Z.C	2( <b>注1,2</b> )
LDD	Rd,Z+q	変位付きZレジスタ間接での取得	$Rd \leftarrow (Z + q)$	ITHSVN7C	2(注1, <b>2</b> )
LDS	Rd,k	データ空間(SRAM)から直接取得	$Rd \leftarrow (k)$	I.T.H.S.V.N.Z.C	2 (注1, <b>2</b> )
ST	X.Rr	Xレジスタ間接での設定	$(X) \leftarrow Rr$	I.T.H.S.V.N.Z.C	1(注1)
ST		事後増加付きXレジスタ間接での設定	$(X) \leftarrow Rr$ $(X) \leftarrow Rr, X \leftarrow X + 1$	1, 1, 1, 1, 0, 1, 1, 1, 0, 0	· · · · ·
ST	X+,Rr			I,T,H,S,V,N,Z,C	1(注1)
	-X,Rr	事前減少付きXレジスタ間接での設定	$X \leftarrow X - 1, (X) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)
ST	Y,Rr	Yレジスタ間接での設定	$(Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1(注1)
ST	Y+,Rr	事後増加付きYレジスタ間接での設定	$(Y) \leftarrow Rr, Y \leftarrow Y + 1$	I,T,H,S,V,N,Z,C	1(注1)
ST	-Y,Rr	事前減少付きYレジスタ間接での設定	$Y \leftarrow Y - 1, (Y) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)
STD	Y+q,Rr	変位付きYレジスタ間接での設定	$(Y + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)
ST	Z,Rr	Zレジスタ間接での設定	$(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	1(注1)
ST	Z+,Rr	事後増加付きZレジスタ間接での設定	$(Z) \leftarrow Rr, Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	1(注1)
ST	−Z,Rr	事前減少付きZレジスタ間接での設定	$Z \leftarrow Z - 1$ , $(Z) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)
STD	Z+q,Rr	変位付きZレジスタ間接での設定	$(Z + q) \leftarrow Rr$	I,T,H,S,V,N,Z,C	2(注1)
STS	k,Rr	データ空間(SRAM)へ直接設定	(k) ← Rr	I,T,H,S,V,N,Z,C	2(注1)
LPM		プログラム領域からZレジスタ間接での取得	$R0 \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z	同上(任意のレジ、スタへ)	$Rd \leftarrow (Z)$	I,T,H,S,V,N,Z,C	3
LPM	Rd,Z+	同上(事後増加付き)	$Rd \leftarrow (Z), Z \leftarrow Z + 1$	I,T,H,S,V,N,Z,C	3
ELPM		プログラム領域から拡張Zレジスタ間接で取得	R0 ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z	同上(任意のレジスタへ)	Rd ← (RAMPZ:Z)	I,T,H,S,V,N,Z,C	3
ELPM	Rd,Z+	同上(事後増加付き)	$Rd \leftarrow (RAMPZ:Z), RAMPZ:Z \leftarrow RAMPZ:Z + 1$	I,T,H,S,V,N,Z,C	3
SPM		プログラム領域へZレジスタ間接での設定	(Z) ← R1:R0	I,T,H,S,V,N,Z,C	-
SPM	Z+	同上 (事後増加(+2)付き)	$(Z) \leftarrow R1:R0, RAMPZ:Z \leftarrow RAMPZ:Z + 2$	I,T,H,S,V,N,Z,C	-
IN	Rd,P	I/Oレジスタからの入力	Rd ← P	I,T,H,S,V,N,Z,C	1
OUT	P,Rr	I/Oレジスタへの出力	P ← Rr	I,T,H,S,V,N,Z,C	1
PUSH	Rr	汎用レジスタをスタックへ保存	STACK ← Rr	I,T,H,S,V,N,Z,C	1(注1)
POP	Rd	スタックから汎用レジスタへ復帰	Rd ← STACK	I,T,H,S,V,N,Z,C	2(注1)
XCH	Z,Rd	RAM位置交換	$Temp \leftarrow Rd, Rd \leftarrow (Z), (Z) \leftarrow Temp$	I,T,H,S,V,N,Z,C	2
LAS	Z,Rd	RAM位置取得&ビット設定(1)	Temp $\leftarrow$ Rd, Rd $\leftarrow$ (Z), (Z) $\leftarrow$ Temp OR (Z)	I,T,H,S,V,N,Z,C	2
LAC	Z,Rd	RAM位置取得&ビット解除(0)	Temp $\leftarrow$ Rd, Rd $\leftarrow$ (Z), (Z) $\leftarrow$ (\$FF-Temp) AND (Z)	I,T,H,S,V,N,Z,C	2
LAT	Z,Rd	RAM位置取得&ビット反転	Temp $\leftarrow$ Rd, Rd $\leftarrow$ (Z), (Z) $\leftarrow$ Temp EOR (Z)	I,T,H,S,V,N,Z,C	2
	_,		1 1 1 (B)	-, - , - , -, -, -, -, -, -, -, -, -, -,	



ニーモニック	オペラント゛	意味	動作	フラク゛	クロック
		L <sup>*</sup> yh関	係命令		
SBI	P,b	I/Oレジスタのビット設定(1)	$I/O(P,b) \leftarrow 1$	I,T,H,S,V,N,Z,C	1
CBI	P,b	I/Oレジスタのビット解除(0)	$I/O(P,b) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSL	Rd	論理的左ビット移動	$Rd(n+1) \leftarrow Rd(n), Rd(0) \leftarrow 0$	I,T,H,S,V,N,Z,C	1
LSR	Rd	論理的右ビット移動	$Rd(n) \leftarrow Rd(n+1), Rd(7) \leftarrow 0$	I,T,H,S,V,0,Z,C	1
ROL	Rd	キャリーを含めた左回転	$Rd(0) \leftarrow C$ , $Rd(n+1) \leftarrow Rd(n)$ , $C \leftarrow Rd(7)$	I,T,H,S,V,N,Z,C	1
ROR	Rd	キャリーを含めた右回転	$Rd(7) \leftarrow C, Rd(n) \leftarrow Rd(n+1), C \leftarrow Rd(0)$	I,T,H,S,V,N,Z,C	1
ASR	Rd	算術的右ビット移動	$Rd(n) \leftarrow Rd(n+1), n=0 \sim 6$	I,T,H,S,V,N,Z,C	1
SWAP	Rd	ニブル(4ビット)上位/下位交換	$Rd(7\sim4) \Leftrightarrow Rd(3\sim0)$	I,T,H,S,V,N,Z,C	1
BSET	S	ステータス レシブスタのビット設定(1)	$SREG(s) \leftarrow 1$	$1,T,H,\$,\Psi,N,\mathcal{I},\mathbb{C}$	1
BCLR	S	ステータス レシ・スタのヒット解除(0)	$SREG(s) \leftarrow 0$	0,0,0,0,0,0,0,0,0	1
BST	Rr,b	汎用レジスタのビットを一時フラグへ移動	$T \leftarrow Rr(b)$	I,T,H,S,V,N,Z,C	1
BLD	Rd,b	一時フラグを汎用レジスタのビットへ移動	$Rd(b) \leftarrow T$	I,T,H,S,V,N,Z,C	1
SEC		キャリー フラグを設定( <u>1</u> )	C ← 1	I,T,H,S,V,N,Z,C	1
CLC		キャリー フラグを解除(0)	C ← 0	I,T,H,S,V,N,Z, <b>0</b>	1
SEN		負フラグを設定( <u>1</u> )	N ← 1	I,T,H,S,V,N,Z,C	1
CLN		負フラグを解除( <mark>0</mark> )	$N \leftarrow 0$	I,T,H,S,V, <b>0</b> ,Z,C	1
SEZ		ゼロ フラグを設定( <u>1</u> )	Z ← 1	I,T,H,S,V,N,1,C	1
CLZ		t <sup>*</sup> ロフラグを解除(0)	Z ← 0	I,T,H,S,V,N,Ø,C	1
SEI		全割り込み許可	[ ← 1	<b>1</b> ,T,H,S,V,N,Z,C	1
CLI		全割り込み禁止	I ← 0	<b>0</b> ,T,H,S,V,N,Z,C	1
SES		符号フラグを設定(1)	S ← 1	I,T,H,\$,V,N,Z,C	1
CLS		符号フラグを解除( <mark>0</mark> )	$S \leftarrow 0$	$I,T,H,\theta,V,N,Z,C$	1
SEV		2の補数溢れフラグを設定(1)	V ← 1	I,T,H,S,¥,N,Z,C	1
CLV		2の補数溢れフラグを解除( <mark>0</mark> )	V ← 0	I,T,H,S, <b>0</b> ,N,Z,C	1
SET		一時フラグを設定(1)	T ← 1	I,T,H,S,V,N,Z,C	1
CLT		一時フラグを解除( <mark>0</mark> )	$T \leftarrow 0$	I, <b>0</b> ,H,S,V,N,Z,C	1
SEH		ハーフキャリー フラグを設定(1)	H ← 1	I,T,H,S,V,N,Z,C	1
CLH		ハーフキャリー フラグを解除(0)	H ← 0	I,T, <b>0</b> ,S,V,N,Z,C	1
		MCU制	御命令		
NOP		無操作		I,T,H,S,V,N,Z,C	1
SLEEP		休止形態動作開始	休止形態動作参照	I,T,H,S,V,N,Z,C	1
WDR		ウォッチト゛ック゛ タイマ リセット	ウォッチト゛ック゛タイマ参照	I,T,H,S,V,N,Z,C	1
BREAK		一時停止	チップ上デバッグ機能専用(デバッガが使用)	I,T,H,S,V,N,Z,C	1

K6, K: 6, 8t ット定数 P:I/Oレジスタ Rd, Rr : 汎用レジスタ(R0~R31) X, Y, Z: X, Y, Zレジスタ b : ビット(0~7) k:アドレス定数(7,12,16ビット)

q:符号なし6ビット定数(変位) s : ステータス フラケ (C,Z,N,V,X,H,T,I)

注1: データ メモリ アクセスに対する周期数は内部メモリ アクセスを仮定し、外部メモリ インターフェース経由のアクセスに対しては有効ではありませ ん。(<mark>訳補:</mark>XMEGA D4系に外部メモリ インターフェースはありません。)

注2: 内部SRAMアクセス時に1つの付加周期が追加されなければなりません。

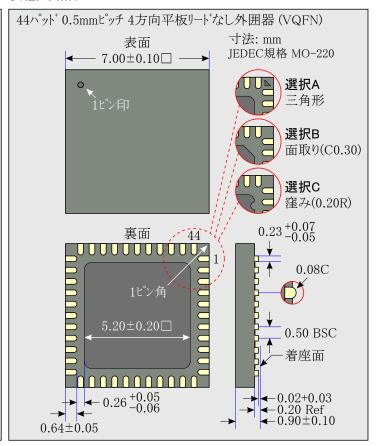


# 31. 外囲器情報

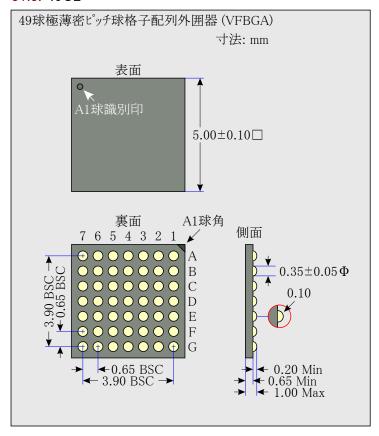
#### 31.1. 44A

# 

#### 31.2. 44M1



#### 31.3. 49C2





# 32. 電気的特性

全ての代表値は他の温度条件が与えられていない限り、T=25℃で測定されています。全ての最小と最大の値は他の条件が与えられていない限り、動作温度と動作電圧に渡って有効です。

#### 32.1. ATxmega16D4

#### 32.1.1. 絶対最大定格

下の表32-1.で一覧にされるそれらを超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

表32-1	絶対最大定格
1X UZ 1.	ルロンコヨメントメニコロ

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	A
IGND	GNDピンの電流出力				200	mA
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	$^{\circ}$
Tj	接合部温度				150	C

#### 32.1.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、表32-2.で一覧にされる定格内で動作しなければなりません。

#### 表32-2. 全般動作条件

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	アナログ供給電圧		1.60		3.6	V
TA	保存温度		-40		85	°C
Tj	接合部温度		-40		105	

#### 表32-3. 動作電圧と周波数

シンホ゛ル	項目	条件	最小	代表	最大	単位
	CPUクロック周波数	VCC=1.6V	0		12	
clk <sub>CPU</sub>		VCC=1.8V	0		12	MI I
CIKCPU		VCC=2.7V	0		32	MHz
		VCC=3.6V	0		32	

最高システム周波数は動作電圧に依存します。図32-1.で示されるように周波数対VCC曲線は1.8V〈VCC〈2.7V間で直線です。



# 32.1.3. 消費電流

表32-4. 活動動作と休止動作の消費電流

シンホ゛ル	項目	条件			最小	代表	最大	単位
		32kHz外部クロック		VCC=1.8V		40		
		32K口Zグト市Bグロツグ		VCC=3.0V		80		
		1MHz外部クロック		VCC=1.8V		200		μA
	活動動作消費電流(注1)	11VII 127 F p p p p p p		VCC=3.0V		410		
		2MHz外部クロック		VCC=1.8V		350	600	
		Zivii izykapyuyy		VCC=3.0V		0.75	1.4	mA
		32MHz外部クロック		VCC=3.0V		7.5	12	IIIA
		32kHz外部クロック		VCC=1.8V		2.0		
		32KI IZ/Рар/ 19/		VCC=3.0V		2.8		
		1MHz外部クロック		VCC=1.8V		42		μA
	ア仆ル動作消費電流(注1)	11VII 127 (- GB) - 77		VCC=3.0V		85		μΑ
		2MHz外部クロック		VCC=1.8V		85	225	
		21VII 12/ Εμγαγγ		VCC=3.0V		170	350	
ICC		32MHz外部クロック		VCC=3.0V		2.7	5.5	mA
		T=25°C				0.1	1.0	
		T=85°C				2.0	4.5	
	パワーダウン動作消費電流	T=105°C	_	VCC=3.0V		0.1	7.0	
		採取動作BODと	T=25°C	000-3.00		1.4	3.0	
		WDTを許可	T=85°C			3.0	6.0	
		WDI ZII ()	T=105℃			1.4	10	
		ULPクロックでのRTC、採取動作E	BOD	VCC=1.8V		1.5		μA
		とWDTを許可、T=25℃		VCC=3.0V		1.5		
	   パリーセーフ・動作消費電流 ( <mark>注2</mark> )	低電力32.768kHz TOSCの1.02	24kHzで	VCC=1.8V		0.6	2.0	
		ØRTC、T=25℃		VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからの	RTC,	VCC=1.8V		0.8	3.0	
		T=25°C		VCC=3.0V		1.0	3.0	
	リセット消費電流	基台のRESETピンを通る電流		VCC=3.0V		300		

注1:全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。



# 表32-5. 単位部と周辺機能に関する消費電流

シンホ゛ル	項目		条件 (注1)	最小	代表	最大	単位
	超低電力(ULP)発振器				0.8		
	32.768kHz内部発振器				29		
	2MHz内部発振器				85		
	ZIVII IZP 1日月7日加久有百	基準として32.768kH	Hz内部発振器でDFLL許可		115		
	32MHz内部発振器				245		
	32WH IZP 1日19七1次在	基準として32.768kH	Hz内部発振器でDFLL許可		410		μA
	PLL	逓倍率=20倍,32MF	Hz内部,基準としてDIV4		290		μΑ
	ウォッチト゛ック゛タイマ				1.0		
	低電圧検出器(BOD)	継続動作			138		
ICC	区电压(R) 四位(DOD)	採取動作,ULP発振	器を含む		1.2		
icc	1.00V内部基準電圧				175		
	温度感知器				170		
					1.2		
		16k採取/秒,	電流制限(CURRLIMIT)=低		1.0		
	A/D変換器(ADC)	VREF=外部基準	電流制限(CURRLIMIT)=中		0.9		mA
	人 万多1英位(八万〇)		電流制限(CURRLIMIT)=高		0.8		ША
		75k採取/秒,VREF=	-外部基準,電流制限=低		1.7		
		200k採取/秒,VREF	F=外部基準		3.1		
	USART	9600bps,送受信許可	可		11		μA
	フラッシュ メモリ/EEPROMプロクブラミンクブ				4		mA

注1: 全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てがVCC=3.0 V、前置分周なしでのclksys=外部1MHzクロック、T=25℃でのデータです。

# 32.1.4. 休止形態からの起動時間

#### 表32-6. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンホ゛ル	項目	条件	最小	代表	最大	単位
		外部2MHzクロック		2.0		
	アイドル、スタンバイ、拡張スタンバイ	32.768KHz内部発振器		120		
	からの起動時間	2MHz内部発振器		2.0		
+ ,		32MHz内部発振器		0.2		
t <sub>wakeup</sub>		外部2MHzクロック		5.0		μs
	ハ <sup>°</sup> ワーセーフ˙、ハ <sup>°</sup> ワータ˙ウン	32.768KHz内部発振器		320		
	からの起動時間	2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからピンで周辺機能クロックが利用可能になるまでで、図32-2.をご覧ください。全ての周辺機 能と単位部はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。





#### 32.1.5. 入出力ピン特性

入出力ピンはJEDEC LVTTLとLVCSMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

#### 表32-7. 入出力ピン特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
IOH ( <b>注1</b> ) IOL ( <b>注2</b> )	I/Oピン吐き出し/吸い込み電流			-20		20	mA
VIH	Highレベル入力電圧	VCC=2.4~3.6V		0.7VCC		VCC+0.5	
VIH		VCC=1.6∼2.4V		0.8VCC		VCC+0.5	
VIL		VCC=2.4~3.6V		-0.5		0.3VCC	
VIL	Lowレベル入力電圧	VCC=1.6∼2.4V		-0.5		0.2VCC	
		VCC=3.3V	IOH=-4mA	2.6	2.9		V
Voh	Highレヘール出力電圧	VCC=3.0V	IOH=-3mA	2.1	2.7		V
		VCC=1.8V	IOH=-1mA	1.4	1.6		
		VCC=3.3V	IOL=8mA		0.4	0.76	
Vol	Lowレベル出力電圧	VCC=3.0V	IOL=5mA		0.3	0.64	
		VCC=1.8V	IOL=3mA		0.2	0.46	
IIN	I/Oピン入力漏れ電流	T=25℃			<0.01	1	μA
Rp	I/Oピン プル/バス保持 抵抗			·	25		kΩ

注1: ポートAとポートBに対する全てのIOHの合計は100mAを超えてはなりません。

ポートCに対する全てのIOHの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ポートAとポートBに対する全てのIOLの合計は100mAを超えてはなりません。

ポートCに対する全てのIOLの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

#### 32.1.6. A/D変換器特性

# 表32-8. 電源、基準電圧と入力範囲

シンホ゛ル	項目	条件	最小	代表	最大	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1		AVCC-0.6	V
Rin	入力抵抗	切り替え			4.5	kΩ
Csample	入力容量	切り替え			5	рF
RAREF	基準電圧入力抵抗	(漏れのみ)		>10		МΩ
CAREF	基準電圧入力容量	静止負荷		7		рF
	入力範囲		0		VREF	
Vin	亦格然田	差動動作、Vinp-Vinn	-VREF		VREF	V
	変換範囲	符号なしシングルエント、動作、Vinp	- <b>∠</b> V		VREF-⊿V	
∠V	固定変位(オフセット)電圧			200		LSB



# 表32-9. クロックとタイミング

シンホ゛ル	項目	条件	最小	代表	最大	単位
clk <sub>ADC</sub>	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		1800	kHz
CIKADC	A/D友换/中///问仮剱	内部信号測定		125		KIIZ
fclkADC	採取(変換)速度				300	
		電流制限(CURRLIMIT)OFF			300	
fADC	TADC   採取(変換)ig	電流制限(CURRLIMIT)=低(LOW)	16		250	ksps
TADC		電流制限(CURRLIMIT)=中(MEDIUM)			150	
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2~32 clk <sub>ADC</sub> 周期の段階で設定可	0.28		320	μs
	変換時間(伝播遅延)	(RES+1)÷2+GAIN・・・計算式	4.5		10	
	交换可用(四届过速)	(RES=8または12,GAIN=0,1,2,3)	1.0		10	clk <sub>ADC</sub>
	始動時間	A/D変換クロック周期		12	24	周期
	ADC安定時間	基準電圧または入力形態変更後		7	7	

# 表32-10. 精度特性

シンホ゛ル	項目		条件	(注2)	最小	代表	最大	単位
			差動動作	:	8	12	12	
RES	分解能	12ピット分解能	符号付き	シンクブル エント゛	7	11	11	ピット
			符号なし	シングル エント	8	12	12	
			16ksps	VREF=3V		0.5	1	
		差動動作	TOKSPS	全VREF		0.8	2	
INL	   積分非直線性誤差	(左到到)	200ksps	VREF=3V		0.6	1	
IIVL	( <b>人</b> )		200K3p3	全VREF		1	2	
		符号なしシングル	16ksps	VREF=3V		0.5	1	
		エント・動作	TOKSPS	全VREF		1.3	2	LSB
			16ksps	VREF=3V		0.3	1	Lob
		差動動作	TOKSPS	全VREF		0.5	1	
DNL	   微分非直線性誤差		200ksps	VREF=3V		0.35	1	
DIVL	成为 9 F E 冰 L 嵌 左 (		200K3p3	全VREF		0.5	1	
		符号なしシングル 16k	16ksps	VREF=3V		0.6	1	
		エント・動作	TOROPO	全VREF		0.6	1	
						8		mV
	変位(オフセット)誤差	温度変動				0.01		mV/K
		動作電圧変動				0.25		mV/V
			外部基準			-5		
			AVCC/1.			-5		mV
		差動動作	AVCC/2.			-6		
			ハントギャ			±10		
			温度変動			0.02		mV/K
	利得誤差		動作電圧			2		mV/V
			外部基準			-8		
		符号なしシングル A	AVCC/1.			-8		mV
						-8		
		エント・動作	ハントギャ			±10		/
			温度変動			0.03		mV/K
			動作電圧	: 変動		2		mV/V

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5~95%の入力範囲に対して有効です。

注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。



# 表32-11. 利得段特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え		4.0		kΩ
Csample	入力容量	標準動作での切り替え		4.4		рF
	信号範囲	利得段出力	0		AVCC-0.6	V
	伝播遅延	A/D変換速度	1/2	1	3	clk <sub>ADC</sub> 周期
	クロック速度	ADCと同じ	100		1800	kHz
		1/2倍、標準動作		-1		
	利得誤差	1倍、標準動作		-1		%
		8倍、標準動作		-1		70
		64倍、標準動作		10		
		1/2倍、標準動作		10		
	(出力基準での)変位(オフセット)誤差	1倍、標準動作		5		mV
	(山刀基準での)変位(47代外)誤定	8倍、標準動作		-20		111 V
		64倍、標準動作		-150		

# 32.1.7. アナログ 比較器特性

# 表32-12. アナログ比較器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Voff	入力変位(オフセット)電圧	VCC=1.6~3.6V		<±10		mV
Ilk	入力漏れ電流	VCC=1.6~3.6V		<1		nA
	入力電圧範囲		-0.1		AVCC	V
	始動時間			100		μs
Vhyst1	ヒステリシス(なし設定時)	VCC=1.6∼3.6V		0		
Vhyst2	ヒステリシス(小設定時)	VCC=1.6~3.6V		11		mV
Vhyst3	ヒステリシス(大設定時)	VCC=1.6~3.6V		26		
+	<b>伝播遅延</b>	VCC=3.0V,T=85°C		16	90	
tdelay		VCC=1.6~3.6V		16		ns
	64レベル分圧器積分非直線性(INL)			0.3	0.5	LSB

# 32.1.8. バンドギャップと内部1.0V基準電圧特性

# 表32-13. バンドギャップと内部1.0V基準雷圧特性

Act 10.001 1 100 CE 1 III 110 VE T ECT 11E									
	シンホ゛ル	項目	条件	最小	代表	最大	単位		
I		始動時間	ADCの基準電圧として	10	1clk <sub>PER</sub> +2.5µs				
ı		到时间	ADCまたはACの入力電圧として		1.5		μs		
I		ハントギャップ電圧			1.1		17		
	INT1V	内部1.00V基準電圧	校正後,T=85℃	0.98	1	1.02	V		
		電圧と温度での変動	T=85℃,VCC=3.0Vで校正		±1.0		%		



# 32.1.9. 低電圧検出(Brownout Detection)特性

# 表32-14. 低電圧検出特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0		1.50	1.62	1.75	
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		V
	VCC降下検出レベル4			2.4		V
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レヘブル7			3.0		
tnon	検出時間	継続動作		0.4		110
tBOD	7次山町	採取動作		1000	·	μs
VHYST	ヒステリシス			1.2		%

注: 値電圧検出(BOD)は85℃で検出レヘブル0に対して校正され、検出レヘブル0が既定レヘブルです。

# 32.1.10. 外部リセット特性

#### 表32-15. 外部リセット特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
text	最小リセット パルス幅			90	1000	ns
	リセット閾値電圧(VIH)	VCC=2.7~3.6V	0.6VCC			
Vrst	リビット  教作   电/土(VIH)	VCC=1.6~2.7V	0.6VCC			V
VKSI	リセット閾値電圧(VIL)	VCC=2.7~3.6V			0.5VCC	V
		VCC=1.6~2.7V			0.4VCC	
RRST	リセット ピン プルアップ 抵抗			25		$k\Omega$

# 32.1.11. 電源ONリセット特性

## 表32-16. 電源ONJセット(POR)特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
VPOT-	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
VPOI-		1V/msまたはより遅いVCC下降	0.8	1.0		V
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はVPOT-=VPOT+です。

#### 32.1.12. フラッシュ メモリとEEPROMの特性

## 表32-17. 耐久性とデータ保持力

シンホ゛ル	項目	条件		最小	代表	最大	単位
			25℃	10,000			
	フラッシュ メモリ耐久性能	書き込み/消去繰り返し	85℃	10,000			回
			105℃	2000			
			25℃	100			
	フラッシュ メモリ データ保持力		85℃	25			年
			105℃	10			
			25℃	100,000			
	EEPROM耐久性能	書き込み/消去繰り返し	85℃	100,000			口
			105℃	30,000			
			25℃	100			
	EEPROMデータ保持力		85℃	25			年
			105℃	10			



# 表32-18. プログラミング時間

シンホ゛ル	項目	条件	最小	代表(注1)	最大	単位
	チップ。消去時間	16KBフラッシュとEEPROM( <mark>注2</mark> )の消去		45		
		ページ消去		4		
	フラッシュ メモリ プログラミング時間	ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		ms
		ページ消去		4		
	EEPROMプログラミング・時間	ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		

注1: プログラミングは内部2MHz発振器から計時されます。

注2: EESAVEヒューズがプログラム(0)されている場合、EEPROMは消去されません。

# 32.1.13. クロックと発振器の特性

# 32.1.13.1. 校正付き32.768kHz内部発振器特性

#### 表32-19. 校正付き32.768kHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	0/
	使用者校正精度		-0.5		0.5	%

## 32.1.13.2. 校正付き2MHz内部発振器特性

#### 表32-20. 2MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.18		

# 32.1.13.3. 校正付き32MHz内部発振器特性

#### 表32-21. 32MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30	32	55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.19		

#### 32.1.13.4. 32kHz内部ULP発振器特性

#### 表32-22. 32kHz内部ULP発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V,T=85℃	-12		12	%
	精度		-30		30	70



#### 32.1.13.5. 内部位相固定化閉路(PLL)特性

#### 表32-23. 内部PLL特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
$f_{ m IN}$	入力周波数	出力周波数はfout以内	0.4		64	
form	出力周波数 (注)	VCC=1.6∼1.8V	20		48	MHz
<i>f</i> out	山刀同仮数 ( <mark>注</mark> )	VCC=2.7∼3.6V	20		128	
	始動時間			25		
	再固定化時間			25		μs

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

#### 32.1.13.6. 外部クロック特性

図32-3. 外部クロック駆動波形 – t<sub>CF</sub> ← t<sub>CF</sub> -  $t_{\rm CL}$ VIL1  $t_{CK}$ 

#### 表35-24. 外部クロック(注1)

シンホ゛ル	項目	条件	最小	代表	最大	単位
1 /t ov		VCC=1.6~1.8V	0		90	MHz
1/tCK		VCC=2.7~3.6V	0		142	MITZ
tov	クロック周期	VCC=1.6~1.8V	11			
tck	グロック向射	VCC=2.7~3.6V	7.0			
touttor	カロッカI ligh /I ovv時間	VCC=1.6~1.8V	4.5			ns
tCH/tCL	クロックHigh/Low時間	VCC=2.7~3.6V	2.4			
VIL/VIH	Low/Highレベル入力電圧		52頁の表	<mark>32-7</mark> .をご覧	ください。	
⊿tck	次周期への周期内変化率				10	%

注1: システム クロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。 注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。



# 32.1.13.7. 外部16MHzクリスタル用発振器とXOSCの特性

表32-25. 外部16MHzクリスタル用発振器とXOSCの特性

シンホ゛ル	項目		条件		最小	代表	最大	単位
		XOSCPWR=0,FI	RQRANGE:	=0		0		
	周期間微動	XOSCPWR=0,FI	RQRANGE:	=1,2,3		0		
		XOSCPWR=1	XOSCPWR=1			0		
		XOSCPWR=0,FI	RQRANGE:	=0		0		ns
	長期間微動	XOSCPWR=0,FI	RQRANGE:	=1,2,3		0		
		XOSCPWR=1				0		
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=0			0.03		
	四外业品头	XOSCPWR=0,FI	RQRANGE:	=1		0.03		
	周波数誤差	XOSCPWR=0,FI	RQRANGE:	=2,3		0.03		
		XOSCPWR=1				0.003		0/
		XOSCPWR=0,FI	RQRANGE:	=0		50		%
		XOSCPWR=0,FI	RQRANGE:	=1		50		
	デューティ サイクル	XOSCPWR=0,FI	RQRANGE:	=2,3		50		
		XOSCPWR=1				50		
			0.4MHzセラミック.CL=100r			44k		
		XOSCPWR=0,		タル,CL=20pF		67k		
		FRQRANGE=0		タル,CL=20pF		67k		
		XOSCPWR=0,	2MHzクリス	タル		82k		
		FRQRANGE=1,	8MHzクリス	タル		1.5k		
		CL=20pF		タル		1.5k		
		XOSCPWR=0,	8MHzクリス			2.7k		
		FRQRANGE=2,	9MHzクリス			2.7k		
		CL=20pF	12MHzクリ			1k		
		XOSCPWR=0,	9MHzクリス			3.6k		
	<i>t</i>	FRQRANGE=3,	12MHzクリ			1.3k		_
RQ	負インピーダンス	CL=20pF	16MHzクリ			590		Ω
		XOSCPWR=1,	9MHzクリス			390		
		FRQRANGE=0,	12MHzクリ			50		
		CL=20pF	16MHzクリ			10		
		XOSCPWR=1,	9MHzクリス			1.5k		
		FRQRANGE=1,	12MHzクリ			650		
		CL=20pF	16MHzクリ			270		
		XOSCPWR=1,	10.01112//	12MHzクリスタル		1k		
		FRQRANGE=2,0	CL=20pF	16MHzクリスタル		440		
		XOSCPWR=1,		12MHzクリスタル		1.3k		
		FRQRANGE=3,0	CL=20pF	16MHzクリスタル		590		
	等価直列抵抗(ESR)	SF=安全係数				000	min(RQ)/SF	kΩ
	-4 live immy > -4 lives f\/ if freq to \( \tau \)	XOSCPWR=0, FRQRANGE=0	0.4MHzセ	ラミック,CL=100pF		1.0	(134)/ 31	
		XOSCPWR=0, FRQRANGE=1	2MHzクリス	タル,CL=20pF		2.6		
	始動時間 XOSCPW FRQRAN		8MHzセラミ	ック,CL=20pF		0.8		ms
		XOSCPWR=0, FRQRANGE=3	12MHzセラ	ミック,CL=20pF		1.0		
		XOSCPWR=1, FRQRANGE=3	XOSCPWR=1, 16MHz+75w4 CL=20pF			1.4		
CXTAL1	XTAL1ピン寄生容量					5.9		
CXTAL2	XTAL2ピン寄生容量					8.3		pF
CLOAD	寄生容量性負荷					3.5		



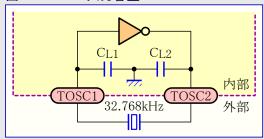
# 32.1.13.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

# 表32-26. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
		クリスタル負荷容量6.5pF			60	
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量9.0pF			35	kΩ
		クリスタル負荷容量12pF			28	
CTOSC1	TOSC1ピン寄生容量			3.5		pF
CTOSC2	TOSC2ピン寄生容量			3.5		рг
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3			

注: 定義については図32-4.をご覧ください。

# 図32-4. TOSC入力容量

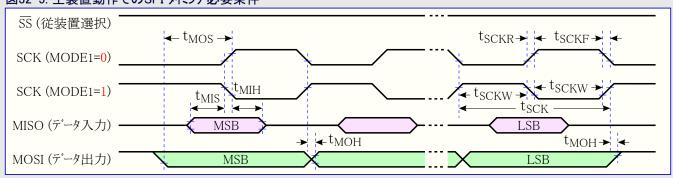


TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列でCL1+CL2です。



#### 32.1.14. SPIタイミング 特性

# 図32-5. 主装置動作でのSPI タイミング必要条件



#### 図32-6. 従装置動作でのSPI タイミング必要条件 t<sub>SSCKR</sub>→ | ← t<sub>SSCKF</sub>→ $\leftarrow$ t<sub>SSH</sub> SCK (MODE1=0) -t<sub>SSCKW</sub>→ t<sub>SIH</sub> SCK (MODE1=1) t<sub>SIS</sub> MOSI (データ入力) t<sub>SOSH</sub> $\leftarrow$ t<sub>SOSS</sub> → t<sub>SOS</sub> MISO (データ出力) -MSB LSB

表32-27. SP	I タイミング特性と必要条件
シンホ゛ル	項目

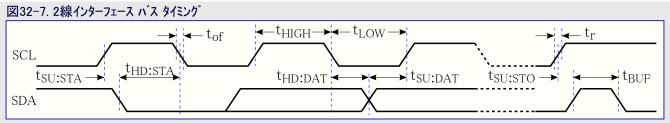
シンホ゛ル	項目	動作種別	最小	代表	最大	単位
$t_{SCK}$	SCK周期	主装置	XMEGA D手	引書の表18-3.を	ご覧ください。	
$t_{SCKW}$	SCK High/Low期間	主装置		$0.5 \times SCK$		
$t_{SCKR}$	SCK上昇時間	主装置		2.7		
t <sub>SCKF</sub>	SCK下降時間	主装置		2.7		
t <sub>MIS</sub>	入力データ 準備時間	主装置		10		
$t_{ m MIH}$	入力データ 保持時間	主装置		10		
$t_{ m MOS}$	SCK先行端対、出力データ 準備時間	主装置		$0.5 \times SCK$		
$t_{MOH}$	SCKからの出力遅延時間	主装置		1		
$t_{ m SSCK}$	SCK周期	従装置	4×t clk <sub>PER</sub>			
$t_{ m SSCKW}$	SCK High/Low期間	従装置	2×t clk <sub>PER</sub>			ns
t <sub>SSCKR</sub>	SCK上昇時間	従装置			1600	
$t_{ m SSCKF}$	SCK下降時間	従装置			1600	
$t_{SIS}$	入力データ 準備時間	従装置	3			
t <sub>SIH</sub>	入力データ 保持時間	従装置	t clk <sub>PER</sub>			
$t_{\rm SSS}$	SCK先行端に対するSS↓準備時間	従装置	21			
$t_{SSH}$	SCK後行端からのSS Low保持時間	従装置	20			
$t_{SOS}$	SCKからの出力遅延時間	従装置		8		
$t_{SOH}$	SCKからの出力保持時間	従装置		13		
$t_{ m SOSS}$	SS↓からの出力準備時間	従装置		11		
$t_{ m SOSH}$	SS↑からの出力保持時間	従装置		8		

(訳注) 表32-27.の<sup>t</sup>SOHは図32-6.で対応するシンボル記載がありません。



#### 32.1.15. 2線インターフェース特性

表32-28.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に於いて、これらの必要条件を越えるか、または合致します。タイシグ・シンボルは図32-7.を参照してください。



シンホ゛ル	項目	条件	最小	代表	最大	単位
VIH	Highレヘブル入力電圧		0.7VCC		VCC+0.5	
VIL	Lowレヘブル入力電圧		-0.5		0.3VCC	V
Vhys	シュミットトリカ、入力ヒステリシス電圧		1 0.05 VCC			V
Vol	Lowレヘブル出力電圧	IOL=3mA	0		0.4	
tr	SDAとSCL両方の出力上昇時間		1 20+0.1Cb2		300	
tof	出力下降時間(V <sub>IHmin</sub> →V <sub>ILmax</sub> )	10pF <cb2<400pf< td=""><td>1 20+0.1Cb2</td><td></td><td>250</td><td>ns</td></cb2<400pf<>	1 20+0.1Cb2		250	ns
$t_{\mathrm{SP}}$	入力濾波による尖頭雑音消去		0		50	
Ii	入力電流(ピン単位)	0.1VCC <vi<0.9vcc< td=""><td>-10</td><td></td><td>10</td><td>μА</td></vi<0.9vcc<>	-10		10	μА
Ci	ピン入力容量				10	рF
fSCL	SCLクロック周波数	$f_{\text{PER}}$ max (16 $f_{\text{SCL}}$ ,250kHz)	0		400	kHz
Rp	プルアップ・抵抗値	f <sub>SCL</sub> ≤100kHz	(VCC-0.4V)		100ns Cb	Ω
Νр	/ ル/ツ/ 投入が旧	f <sub>SCL</sub> >100kHz	3mA		300ns Cb	1 52
t	(五光)期46条件但持時期	f <sub>SCL</sub> ≤100kHz	4.0			
tHD:STA	(再送)開始条件保持時間	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
tr our	SCLクロックLowレベル時間	f <sub>SCL</sub> ≤100kHz	4.7			
tLOW	2CLV n A V FOM N V V N H 4 H 1	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			
turari	CCI /pp.,/pr II-land *n 吐即	f <sub>SCL</sub> ≤100kHz	4.0			
tHIGH	SCLクロックHighレヘブル時間	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			μs
tarramı	再送開始条件準備時間	f <sub>SCL</sub> ≤100kHz	4.7			
tsu:sta	<b>丹</b> 达開始条件準備时间	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
+	データ保持時間	f <sub>SCL</sub> ≤100kHz	0		3.45	
HD:DAT	/ 一/ 休村时间	$f_{\rm SCL} > 100 {\rm kHz}$	0		0.9	
<b>.</b>	ニ゛カ海/芒叶則	f <sub>SCL</sub> ≤100kHz	250			
tsu:DAT	データ準備時間	$f_{\rm SCL}{>}100{\rm kHz}$	100			ns
	古	f <sub>SCL</sub> ≤100kHz	4.0			
tsu:sto	停止条件準備時間	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
	古	f <sub>SCL</sub> ≤100kHz	4.7			μs
tBUF	停止条件→開始条件間バス開放時間	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			

- ①  $f_{SCL} > 100 kHz$ についてのみ必要とされます。
- ② Cbは1つのバス信号線の容量(pF)です。
- ③ fperは周辺機能クロック周波数です。



# 32.2. ATxmega32D4

## 32.2.1. 絶対最大定格

下の表32-29.で一覧にされるそれらを超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

±00 00	ᄵᄮᆸᆂᅼᄡ
<del>20</del> 32-29	絶対最大定格

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	A
IGND	GNDピンの電流出力				200	mA
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	$^{\circ}\!\mathbb{C}$
Tj	接合部温度				150	C

#### 32.2.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、**表32-30**.で一覧にされる定格内で動作しなければなりません。

#### 表32-30. 全般動作条件

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	アナログ供給電圧		1.60		3.6	V
TA	保存温度		-40		85	°C
Tj	接合部温度		-40		105	

#### 表32-31. 動作電圧と周波数

シンホ゛ル	項目	条件	最小	代表	最大	単位
		VCC=1.6V	0		12	
clk <sub>CPU</sub>	CPUクロック周波数	VCC=1.8V	0		12	MHz
CIKCPU	CFU/10/10/10/00 数	VCC=2.7V	0		32	MITZ
		VCC=3.6V	0		32	

最高システム周波数は動作電圧に依存します。**図32-8**.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。





# 32.2.3. 消費電流

表32-32. 活動動作と休止動作の消費電流

シンホ゛ル	項目	条件			最小	代表	最大	単位
		32kHz外部クロック		VCC=1.8V		40		
		32KロZグト市3クロツク		VCC=3.0V		80		
		1MHz外部クロック		VCC=1.8V		200		μA
	活動動作消費電流 (注1)	TMMZグト音のクロック		VCC=3.0V		410		
		2MHz外部クロック		VCC=1.8V		350	600	
		ZIVII IZ7F pp/ L y/		VCC=3.0V		0.75	1.4	mA
		32MHz外部クロック		VCC=3.0V		7.5	12	ША
		32kHz外部クロック		VCC=1.8V		2.0		
		32KI IZ/ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	7			2.8		
		1MHz外部クロック				42		μA
	アイドル動作消費電流(注1)	INII IZAKEBA LAA		VCC=3.0V		85		μΑ
		2MHz外部クロック		VCC=1.8V		85	225	
		Zivii izərəpə = yə		VCC=3.0V		170	350	
ICC		32MHz外部クロック		VCC=3.0V		2.7	5.5	mA
		T=25°C				0.1	1.0	
		T=85℃				2.0	4.5	
	パワーダウン動作消費電流	T=105°C		VCC=3.0V		0.1	7.0	
		  採取動作BODと	T=25°C	000-5.00		1.4	3.0	
		WDTを許可	T=85℃			3.0	6.0	
		WD1 541 1	T=105℃			1.4	10	
		ULPクロックでのRTC、採取動作I	BOD	VCC=1.8V		1.5		μA
		とWDTを許可、T=25℃		VCC=3.0V		1.5		
	   パワーセーブ動作消費電流 ( <mark>注2</mark> )	低電力32.768kHz TOSCの1.02	24kHzで	VCC=1.8V		0.6	2.0	
		ØRTC、T=25℃		VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからの	PRTC,	VCC=1.8V		0.8	3.0	
		T=25°C		VCC=3.0V		1.0	3.0	
	リセット消費電流	基台のRESETピンを通る電流		VCC=3.0V		300		

注1:全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。



# 表32-33. 単位部と周辺機能に関する消費電流

シンホ゛ル	項目		条件 (注1)	最小	代表	最大	単位
	超低電力(ULP)発振器				0.8		
	32.768kHz内部発振器				29		
	2MHz内部発振器				85		
	ZIVII IZY J pp 先1灰石b	基準として32.768kH	Hz内部発振器でDFLL許可		115		
	32MHz内部発振器				245		
	32MH 127 1日19年1次名6	基準として32.768kH	基準として32.768kHz内部発振器でDFLL許可		410		μA
	PLL	逓倍率=20倍,32MF	Hz内部,基準としてDIV4		290		μΑ
	ウォッチト゛ック゛タイマ				1.0		
	低電圧検出器(BOD)	継続動作			138		
ICC	区电压使用做(DOD)	採取動作,ULP発振器を含む			1.2		
icc	1.00V内部基準電圧				175		
	温度感知器				170		
					1.2		
		16k採取/秒,	電流制限(CURRLIMIT)=低		1.0		
	A/D変換器(ADC)	VREF=外部基準	電流制限(CURRLIMIT)=中		0.9		mA
	7/ 0 変 1 英値 (ADC)		電流制限(CURRLIMIT)=高		0.8		ША
		75k採取/秒,VREF=	=外部基準,電流制限=低		1.7		
		200k採取/秒,VREF	F=外部基準		3.1		
	USART	9600bps,送受信許	可		11		μA
	フラッシュ メモリ/EEPROMプロクブラミンクブ				4		mA

注1:全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てはVCC=3.0 V、前置分周なしでのclksys=外部1MHzクロック、T=25℃でのデータです。

# 32.2.4. 休止形態からの起動時間

表32-34. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンホ゛ル	項目	条件	最小	代表	最大	単位
		外部2MHzクロック		2.0		
	アイドル、スタンバイ、拡張スタンバイ	32.768KHz内部発振器		120		
	からの起動時間	2MHz内部発振器		2.0		
+ ,		32MHz内部発振器		0.2		110
t <sub>wakeup</sub>		外部2MHzクロック		5.0		μs
	ハ゜ワーセーフ゛、ハ゜ワータ゛ウン	32.768KHz内部発振器		320		
	からの起動時間	2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからピンで周辺機能クロックが利用可能になるまでで、図32-9.をご覧ください。全ての周辺機能と単位部はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。





#### 32.2.5. 入出力ピン特性

入出力ピンはJEDEC LVTTLとLVCSMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

#### 表32-35. 入出力ピン特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
IOH ( <b>注1</b> ) IOL ( <b>注2</b> )	I/Oピン吐き出し/吸い込み電流			-20		20	mA
VIH	Highレベル入力電圧	VCC=2.4~3.6V		0.7VCC		VCC+0.5	
VIH	nigiivベルバ/J電圧	VCC=1.6∼2.4V		0.8VCC		VCC+0.5	
VIL	Lowレベル入力電圧	VCC=2.4~3.6V		-0.5		0.3VCC	
VIL	LOWV・ルバルの	VCC=1.6∼2.4V		-0.5		0.2VCC	
		VCC=3.3V	I <sub>OH</sub> =-4mA	2.6	2.9		V
Voh	Highレヘル出力電圧	VCC=3.0V	IOH=-3mA	2.1	2.7		V
		VCC=1.8V	I <sub>OH</sub> =-1mA	1.4	1.6		
		VCC=3.3V	IOL=8mA		0.4	0.76	
Vol	Lowレベル出力電圧	VCC=3.0V	IOL=5mA		0.3	0.64	
		VCC=1.8V	I <sub>OL</sub> =3mA		0.2	0.46	
IIN	I/Oピン入力漏れ電流	T=25°C			<0.01	1	μA
Rp	I/Oピン プル/バス保持 抵抗				25		kΩ

注1: ポートAとポートBに対する全てのIOHの合計は100mAを超えてはなりません。

ポートCに対する全てのIOHの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ポートAとポートBに対する全てのIOLの合計は100mAを超えてはなりません。

ポートCに対する全てのIOLの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

#### 32.2.6. A/D変換器特性

# 表32-36. 電源、基準電圧と入力範囲

シンホ゛ル	項目	条件	最小	代表	最大	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1		AVCC-0.6	V
Rin	入力抵抗	切り替え			4.5	$k\Omega$
Csample	入力容量	切り替え			5	рF
RAREF	基準電圧入力抵抗	(漏れのみ)		>10		МΩ
CAREF	基準電圧入力容量	静止負荷		7		рF
	入力範囲		0		VREF	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
	<b>多換</b> 型四	符号なしシングルエント・動作、Vinp	- <b>∠</b> V		VREF-⊿V	
∠V	固定変位(オフセット)電圧			200		LSB
<u> </u>	固定交压(() 5)1)电压			200		Lob



# 表32-37. クロックとタイミング

シンホ゛ル	項目	条件	最小	代表	最大	単位
clk <sub>ADC</sub>	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		1800	kHz
CIKADC	A/D发换/中外/问仮数	内部信号測定		125		КПХ
fclkADC	採取(変換)速度				300	
		電流制限(CURRLIMIT)OFF			300	
fADC	採取(変換)速度	電流制限(CURRLIMIT)=低(LOW)	16		250	ksps
TADC		電流制限(CURRLIMIT)=中(MEDIUM)			150	
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2~32 clk <sub>ADC</sub> 周期の段階で設定可	0.28		320	μs
	変換時間(伝播遅延)	(RES+1)÷2+GAIN・・・計算式	4.5		10	
	交换可用(四届过速)	(RES=8または12,GAIN=0,1,2,3)	1.0		10	clk <sub>ADC</sub>
	始動時間	A/D変換クロック周期		12	24	周期
	ADC安定時間	基準電圧または入力形態変更後		7	7	

# 表32-38. 精度特性

シンホ゛ル	項目		条件	(注2)	最小	代表	最大	単位		
			差動動作	Ē	8	12	12			
RES	分解能	12ビット分解能	符号付き	シングル エント゛	7	11	11	ピット		
			符号なし	シンク・ル エント	8	12	12			
			16ksps	VREF=3V		0.5	1			
		差動動作	TOKSPS	全VREF		0.8	2			
INL	   積分非直線性誤差		200ksps	VREF=3V		0.6	1			
IIVL	( <b>人</b> )		全VREF		1	2				
		符号なしシングル	16ksps	VREF=3V		0.5	1			
		エント・動作	TOKSPS	全VREF		1.3	2	LSB		
			16ksps	VREF=3V		0.3	1	Lob		
		差動動作	TOKSPS	全VREF		0.5	1			
DNL	   微分非直線性誤差				200ksps	VREF=3V		0.35	1	
DIVE	[MA] 好區/M I L M E (		200K3p3	全VREF		0.5	1			
		符号なしシングル	16ksps	VREF=3V		0.6	1			
		エント・動作 G	全VREF		0.6	1				
						8		mV		
	変位(オフセット)誤差	温度変動				0.01		mV/K		
		動作電圧変動				0.25		mV/V		
			外部基準			-5				
			AVCC/1.			-5		mV		
		差動動作	AVCC/2.			-6				
			ハントギャ			±10				
			温度変動			0.02		mV/K		
	利得誤差		動作電圧			2		mV/V		
			外部基準			-8				
		符号なしシングル A'	AVCC/1.			-8		mV		
						-8				
		エント・動作	ハントギャ			±10		37/17		
			温度変動			0.03		mV/K		
			動作電圧	: 変動		2		mV/V		

注1: 最大値は特性付けに基づき、製造に於いて検査されず、5~95%の入力範囲に対して有効です。

注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。



# 表32-39. 利得段特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え		4.0		kΩ
Csample	入力容量	標準動作での切り替え		4.4		рF
	信号範囲	利得段出力	0		AVCC-0.6	V
	伝播遅延	A/D変換速度	1/2	1	3	clk <sub>ADC</sub> 周期
	クロック速度	ADCと同じ	100		1800	kHz
		1/2倍、標準動作		-1		
	   利得誤差	1倍、標準動作		-1		%
	付研左	8倍、標準動作		-1		70
		64倍、標準動作		10		
		1/2倍、標準動作		10		
	  (出力基準での)変位(オフセット)誤差	1倍、標準動作		5		mV
	(四万季辛 (*グ)変征(47 (*))協定	8倍、標準動作		-20		111 V
		64倍、標準動作		-150		

# 32.2.7. アナログ 比較器特性

# 表32-40. アナログ比較器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Voff	入力変位(オフセット)電圧	VCC=1.6~3.6V		<±10		mV
Ilk	入力漏れ電流	VCC=1.6~3.6V		<1		nA
	入力電圧範囲		-0.1		AVCC	V
	始動時間			100		μs
Vhyst1	ヒステリシス(なし設定時)	VCC=1.6~3.6V		0		
Vhyst2	ヒステリシス(小設定時)	VCC=1.6~3.6V		11		mV
Vhyst3	ヒステリシス(大設定時)	VCC=1.6~3.6V		26		
+	<b>伝播遅延</b>	VCC=3.0V,T=85°C		16	90	
tdelay		VCC=1.6~3.6V		16		ns
	64レベル分圧器積分非直線性(INL)			0.3	0.5	LSB

# 32.2.8. バンドギャップと内部1.0V基準電圧特性

# 表32-41. バンドギャップと内部1.0V基準電圧特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	始動時間	ADCの基準電圧として	1clk <sub>PER</sub> +2.5μs			110
	1第7h41h1	ADCまたはACの入力電圧として		1.5		μs
	ハントギャップ電圧			1.1		<b>1</b> 7
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.98	1	1.02	V
	電圧と温度での変動	T=85℃,VCC=3.0Vで校正		±1.0		%



# 32.2.9. 低電圧検出(Brownout Detection)特性

# 表32-42. 低電圧検出特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0		1.50	1.62	1.75	
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		V
	VCC降下検出レベル4			2.4		V
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レヘブル7			3.0		
tnon	検出時間	継続動作		0.4		110
tBOD	快口時间	採取動作	·	1000		μs
VHYST	ヒステリシス			1.2		%

注: 値電圧検出(BOD)は85℃で検出レヘブル0に対して校正され、検出レヘブル0が既定レヘブルです。

# 32.2.10. 外部リセット特性

#### 表32-43. 外部リヤット特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
text	最小リセットハプルス幅			90	1000	ns
	リセット閾値電圧(VIH)	VCC=2.7~3.6V	0.6VCC			
		VCC=1.6~2.7V	0.6VCC			V
Vrst		VCC=2.7~3.6V			0.5VCC	V
リビット図作	リセット閾値電圧(VIL)	VCC=1.6~2.7V			0.4VCC	
RRST	リセット ピン プルアップ 抵抗			25		kΩ

# 32.2.11. 電源ONリセット特性

## 表32-44. 電源ONJセット(POR)特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
VPOT-	OT- VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
VPOI-		1V/msまたはより遅いVCC下降	0.8	1.0		V
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はVPOT-=VPOT+です。

#### 32.2.12. フラッシュ メモリとEEPROMの特性

## 表32-45. 耐久性とデータ保持力

シンホ゛ル	項目	条件		最小	代表	最大	単位
			25℃	10,000			
	フラッシュ メモリ耐久性能	書き込み/消去繰り返し	85℃	10,000			口
			105℃	2000			
			25℃	100			
	フラッシュ メモリ データ保持力		85℃	25			年
			105℃	10			
			25℃	100,000			
	EEPROM耐久性能	書き込み/消去繰り返し	85℃	100,000			口
			105℃	30,000			
			25℃	100			
	EEPROMデータ保持力		85℃	25			年
			105℃	10			



# 表32-46. プログラミング時間

シンホ゛ル	項目	条件	最小	代表(注1)	最大	単位
	チップ消去時間	32KBフラッシュとEEPROM( <mark>注2</mark> )の消去		50		
		ページ消去		4		
	フラッシュ メモリ プログラミング時間	ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		ms
		ページ消去		4		
	EEPROMプログラミング時間	ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		

注1: プログラミングは内部2MHz発振器から計時されます。

注2: EESAVEtュースがプログラム(0)されている場合、EEPROMは消去されません。

# 32.2.13. クロックと発振器の特性

# 32.2.13.1. 校正付き32.768kHz内部発振器特性

#### 表32-47. 校正付き32.768kHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	0/
	使用者校正精度		-0.5		0.5	%

## 32.2.13.2. 校正付き2MHz内部発振器特性

#### 表32-48. 2MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.18		

# 32.2.13.3. 校正付き32MHz内部発振器特性

#### 表32-49. 32MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30	32	55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.19		

#### 32.2.13.4. 32kHz内部ULP発振器特性

#### 表32-50. 32kHz内部ULP発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V,T=85℃	-12		12	%
	精度		-30		30	70



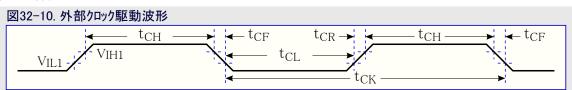
#### 32.2.13.5. 内部位相固定化閉路(PLL)特性

#### 表32-51. 内部PLL特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
$f_{ m IN}$	入力周波数	出力周波数はfout以内	0.4		64	
form	17   出力周波数 (注)	VCC=1.6~1.8V	20		48	MHz
<i>f</i> out		VCC=2.7~3.6V	20		128	
	始動時間			25		
	再固定化時間			25		μs

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

#### 32.2.13.6. 外部クロック特性



# 表35-52. 外部クロック(注1)

シンホ゛ル	項目	条件	最小	代表	最大	単位
1/tcK	カロッカ   書い店 本ケ (・土り)	VCC=1.6∼1.8V	0		90	MHz
		VCC=2.7~3.6V	0		142	MITZ
tor	<u> </u>	VCC=1.6~1.8V	11			
tck		VCC=2.7~3.6V	7.0			
t arrytar	/pp.v/pj 1:1- /j中間	VCC=1.6∼1.8V	4.5			ns
tCH/tCL	クロックHigh/Low時間	VCC=2.7~3.6V	2.4			
VIL/VIH	Low/Highレベル入力電圧		65頁の表32-35.をご覧ください。			
⊿tcĸ	次周期への周期内変化率				10	%

注1: システム クロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。 注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。



# 32.2.13.7. 外部16MHzクリスタル用発振器とXOSCの特性

表32-53. 外部16MHzクリスタル用発振器とXOSCの特性

シンホ゛ル	項目		条件		最小	代表	最大	単位	
		XOSCPWR=0,FI	RQRANGE:	=0		0			
	周期間微動	XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=1,2,3			0			
		XOSCPWR=1				0			
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=0			0		ns	
	長期間微動	XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=1,2,3			0			
		XOSCPWR=1				0			
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=0			0.03			
	周波数誤差	XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=1			0.03			
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=2,3			0.03			
			XOSCPWR=1			0.003			
			XOSCPWR=0,FRQRANGE=0			50		%	
	デューティ サイクル		XOSCPWR=0,FRQRANGE=1			50			
			XOSCPWR=0,FRQRANGE=2,3			50			
		XOSCPWR=1				50			
		ACCOUNTION	0 4MHz+z	ラミック,CL=100pF		44k			
		XOSCPWR=0,		タル,CL=20pF		67k			
		FRQRANGE=0		タル、CL=20pF タル、CL=20pF		67k			
				· •					
		XOSCPWR=0,	2MHzクリス			82k			
		FRQRANGE=1,	8MHzクリス			1.5k			
		CL=20pF	9MHzクリス			1.5k			
		XOSCPWR=0,	8MHzクリス		2.7k				
		FRQRANGE=2,	9MHzクリスタル			2.7k			
		CL=20pF	12MHzクリ			1k			
		XOSCPWR=0,	9MHzクリス			3.6k			
RQ	負インピーダンス	FRQRANGE=3,	12MHzクリスタル			1.3k		Ω	
		CL=20pF	16MHzクリスタル			590		52	
		XOSCPWR=1,	9MHzクリスタル			390			
		FRQRANGE=0, CL=20pF	12MHzクリスタル			50			
			16MHzクリスタル			10			
		XOSCPWR=1,	9MHzクリスタル			1.5k			
		FRQRANGE=1,	12MHzクリスタル			650			
		CL=20pF	16MHzクリスタル			270			
		XOSCPWR=1,		12MHzクリスタル		1k			
		FRQRANGE=2,0	CL=20pF	16MHzクリスタル		440			
		XOSCPWR=1,		12MHzクリスタル		1.3k			
			FRQRANGE=3,CL=20pF			590			
	等価直列抵抗(ESR) SF=安全係数		1 -	16MHzクリスタル			min(RQ)/SF	kΩ	
	4 1 mm 1	XOSCPWR=0,				1.0	(34), 31		
		XOSCPWR=0,				2.6			
	始動時間	XOSCPWR=0,				0.8		ms	
		XOSCPWR=0, FRQRANGE=3	XOSCPWR=0, 19MHadziswa CL =20pE			1.0			
						1.4			
CXTAL1	XTAL1ピン寄生容量					5.9			
CXTAL2	XTAL2ピン寄生容量					8.3		рF	
CLOAD	寄生容量性負荷					3.5			



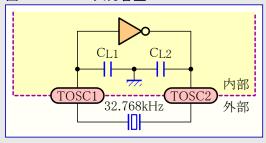
# 32.2.13.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

# 表32-54. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンホ゛ル	項目	条件	最小	代表	最大	単位	
ESR/R1		クリスタル負荷容量6.5pF			60		
	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量9.0pF			35	$k\Omega$	
		クリスタル負荷容量12pF			28		
CTOSC1	TOSC1ピン寄生容量			3.5		pF	
CTOSC2	TOSC2ピン寄生容量			3.5		рг	
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3				

注: 定義については図32-11.をご覧ください。

# 図32-11. TOSC入力容量

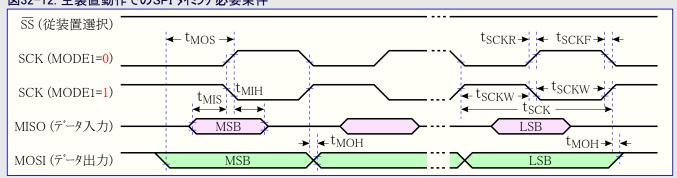


TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列で CL1+CL2です。



### 32.2.14. SPIタイミング 特性

# 図32-12. 主装置動作でのSPI タイミング必要条件



### 図32-13. 従装置動作でのSPI タイミング必要条件 SS (従装置選択) tssckr→ tssckf→ $\leftarrow$ t<sub>SSH</sub> SCK (MODE1=0) -t<sub>SSCKW</sub>→ t<sub>SIH</sub> SCK (MODE1=1) t<sub>SIS</sub> MOSI (データ入力) t<sub>SOSH</sub>→ $\leftarrow$ t<sub>SOSS</sub> $\rightarrow$ $\leftarrow$ $t_{SOS}$ MISO (データ出力) -MSB LSB

	PI タイミング特性と必要条件
\ п	- <del>-</del>

シンホ゛ル	項目	動作種別	最小	代表	最大	単位
$t_{SCK}$	SCK周期	主装置	XMEGA D手	引書の表18-3.を	ご覧ください。	
$t_{SCKW}$	SCK High/Low期間	主装置		$0.5 \times SCK$		
$t_{SCKR}$	SCK上昇時間	主装置		2.7		
t <sub>SCKF</sub>	SCK下降時間	主装置		2.7		
t <sub>MIS</sub>	入力データ 準備時間	主装置		10		
$t_{ m MIH}$	入力データ 保持時間	主装置		10		
$t_{ m MOS}$	SCK先行端対、出力データ 準備時間	主装置		$0.5 \times SCK$		
$t_{MOH}$	SCKからの出力遅延時間	主装置		1		
$t_{ m SSCK}$	SCK周期	従装置	4×t clk <sub>PER</sub>			
$t_{ m SSCKW}$	SCK High/Low期間	従装置	2×t clk <sub>PER</sub>			ns
t <sub>SSCKR</sub>	SCK上昇時間	従装置			1600	
$t_{ m SSCKF}$	SCK下降時間	従装置			1600	
$t_{SIS}$	入力データ 準備時間	従装置	3			
t <sub>SIH</sub>	入力データ 保持時間	従装置	t clk <sub>PER</sub>			
$t_{\rm SSS}$	SCK先行端に対するSS↓準備時間	従装置	21			
$t_{SSH}$	SCK後行端からのSS Low保持時間	従装置	20			
$t_{SOS}$	SCKからの出力遅延時間	従装置		8		
$t_{SOH}$	SCKからの出力保持時間	従装置		13		
$t_{ m SOSS}$	SS↓からの出力準備時間	従装置		11		
$t_{ m SOSH}$	SS↑からの出力保持時間	従装置		8		

(訳注) 表32-55.の<sup>t</sup>SOHは図32-13.で対応するシンボル記載がありません。



### 32.2.15. 2線インターフェース特性

表32-56.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に於 いて、これらの必要条件を越えるか、または合致します。タイシングシンボルは図32-14.を参照してください。

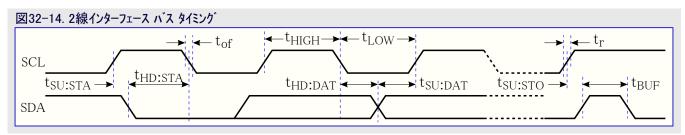


表32-56.2	尿胆列ハス特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
VIH	Highレヘール入力電圧		0.7VCC		VCC+0.5	
VIL	Lowレベル入力電圧		-0.5		0.3VCC	V
Vhys	シュミット トリカ・入力ヒステリシス電圧		1 0.05 VCC			V
Vol	Lowレヘブル出力電圧	IOL=3mA	0		0.4	
tr	SDAとSCL両方の出力上昇時間		1 20+0.1Cb2		300	
tof	出力下降時間(V <sub>IHmin</sub> →V <sub>ILmax</sub> )	10pF <cb2<400pf< td=""><td>1 20+0.1Cb2</td><td></td><td>250</td><td>ns</td></cb2<400pf<>	1 20+0.1Cb2		250	ns
tsp	入力濾波による尖頭雑音消去		0		50	
Ii	入力電流(ピン単位)	0.1VCC <vi<0.9vcc< td=""><td>-10</td><td></td><td>10</td><td>μA</td></vi<0.9vcc<>	-10		10	μA
Ci	ピン入力容量				10	pF
$f_{ m SCL}$	SCLクロック周波数	$f_{\text{PER}}$ max (16 $f_{\text{SCL}}$ ,250kHz)	0		400	kHz
Rp	プルアップ抵抗値	f <sub>SCL</sub> ≦100kHz	(VCC-0.4V)		100ns Cb	Ω
Тур	フルノツノ 投入が値	$f_{\rm SCL} > 100 {\rm kHz}$	3mA		300ns Cb	22
t <sub>HD:STA</sub>	(再送)開始条件保持時間	$f_{\text{SCL}} \leq 100 \text{kHz}$	4.0			
GID.STA		$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
$t_{ m LOW}$	SCLクロックLowレベル時間	f <sub>SCL</sub> ≤100kHz	4.7			
CLOW	00H) -	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			
thigh	SCLクロックHighレベル時間	$f_{\text{SCL}} \leq 100 \text{kHz}$	4.0			μs
VIIIGII	5 5 2 7 7 7 1 1 1 2 1 5 7 7 1 1 1 J	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			p.o
tsu:sta	再送開始条件準備時間	f <sub>SCL</sub> ≤100kHz	4.7			
***************************************	11 Conserver 1 with 11 in	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
t <sub>HD:DAT</sub>	データ保持時間	f <sub>SCL</sub> ≤100kHz	0		3.45	
-110.0711		$f_{\rm SCL} > 100 {\rm kHz}$	0		0.9	
tsu:DAT	データ準備時間	f <sub>SCL</sub> ≤100kHz	250			ns
-50.5711		$f_{\rm SCL} > 100 {\rm kHz}$	100			
t <sub>SU:STO</sub>	停止条件準備時間	f <sub>SCL</sub> ≤100kHz	4.0			
-50.510	111111111111111111111111111111111111111	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			μs
tBUF	停止条件→開始条件間バス開放時間	f <sub>SCL</sub> ≤100kHz	4.7			
3501	14 THE MAY DESIGN THE PROPERTY AND A STATE OF THE PARTY O	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			

- ①  $f_{SCL} > 100 kHz$ についてのみ必要とされます。
- **2** Cbは1つのバス信号線の容量(pF)です。
- ③ fperは周辺機能クロック周波数です。



# 32.3. ATxmega64D4

### 32.3.1. 絶対最大定格

下の表32-57.で一覧にされるそれらを超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

+	絕対最大定格
キッツート/	XH 777 TV

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	Λ
IGND	GNDピンの電流出力				200	mA
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	$^{\circ}\!\mathbb{C}$
Tj	接合部温度				150	C

### 32.3.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、**表32-58**.で一覧にされる定格内で動作しなければなりません。

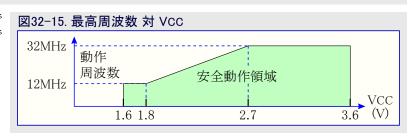
### 表32-58. 全般動作条件

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	アナログ供給電圧		1.60		3.6	V
TA	保存温度		-40		85	%
Tj	接合部温度		-40		105	

### 表32-59. 動作電圧と周波数

シンホ゛ル	項目	条件	最小	代表	最大	単位
		VCC=1.6V	0		12	
clk <sub>CPU</sub>	CPUクロック周波数	VCC=1.8V	0		12	MHz
CIKCPU	CFU/10/10/10/00 数	VCC=2.7V	0		32	MITZ
		VCC=3.6V	0		32	

最高システム周波数は動作電圧に依存します。**図32-15**.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。





# 32.3.3. 消費電流

表32-60. 活動動作と休止動作の消費電流

シンボル	項目	条件			最小	代表	最大	単位
		32kHz外部クロック		VCC=1.8V		68		
		32KI IZグトロリクロツク		VCC=3.0V		145		
		1MHz外部クロック		VCC=1.8V		260		μA
	活動動作消費電流(注1)	TIVITIZ / F = B / L y /		VCC=3.0V		540		
		2MHz外部クロック		VCC=1.8V		460	600	
		乙四日とグトロリグロッグ		VCC=3.0V		0.96	1.4	A
		32MHz外部クロック		VCC=3.0V		9.8	12	mA
		32kHz外部クロック		VCC=1.8V		2.4		
		32KI 127 P p p 7 1 2 7 7		VCC=3.0V		3.9		
		1MHz外部クロック		VCC=1.8V		62		
	アイドル動作消費電流 (注1)	TIVIFIZグト市Bクロツク		VCC=3.0V		118		μA
		2MHz外部クロック		VCC=1.8V		125	225	
		乙四日とグトロリグロッグ		VCC=3.0V		240	350	
ICC		32MHz外部クロック		VCC=3.0V		3.8	5.5	mA
		T=25°C				0.1	1.0	
		T=85°C				1.2	4.5	
	パワーダウン動作消費電流	T=105℃		VCC=3.0V		0.1	6.0	
	アクタン野川下付負 电弧	松野科(KDOD).	T=25℃			1.3	3.0	
		採取動作BODと WDTを許可	T=85℃			2.4	6.0	
		WDIZE 7	T=105℃			1.3	8.0	
		ULPクロックでのRTC、採取動作	BOD	VCC=1.8V		1.2		μA
		とWDTを許可、T=25℃		VCC=3.0V		1.3		
	パワーセーブ動作消費電流 (注2)	低電力32.768kHz TOSCの1.0	24kHzで	VCC=1.8V		0.6	2.0	
	ハッーセー/ 助作用貨電流 ( <mark>注2</mark> ) 	ØRTC、T=25℃		VCC=3.0V		0.7	2.0	
		低電力32.768kHz TOSCからの	ORTC,	VCC=1.8V		0.8	3.0	
		T=25℃		VCC=3.0V		1.0	3.0	
	リセット消費電流	基台のRESETピンを通る電流		VCC=3.0V		320		

注1:全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。



# 表32-61. 単位部と周辺機能に関する消費電流

シンホ゛ル	項目		条件 (注1)	最小	代表	最大	単位
	超低電力(ULP)発振器				1.0		
	32.768kHz内部発振器				27		
	2MHz内部発振器				85		
	ZIVII IZY 引用产机火布	基準として32.768kH	Hz内部発振器でDFLL許可		115		
	32MHz内部発振器				270		
	321/11727 1百0光/旅谷	基準として32.768kH	Hz内部発振器でDFLL許可		460		., Λ
	PLL	逓倍率=20倍,32MF	Hz内部,基準としてDIV4		220		μA
	ウォッチト゛ック゛タイマ				1.0		
	氐電圧検出器(BOD)	継続動作			138		
ICC		採取動作,ULP発振		1.2			
icc	1.00V内部基準電圧				100		
	温度感知器				95		
					3.0		
	A/D変換器(ADC)	150k採取/秒,	電流制限(CURRLIMIT)=低		2.6		mA
	A/D友1央命(ADC)	VREF=外部基準	電流制限(CURRLIMIT)=中		2.1		ША
			電流制限(CURRLIMIT)=高		1.6		
	アナログ比較器	高速動作			330		
	タイマ/カウンタ				16		μA
	USART	9600bps,送受信許可	可		2.5		
	フラッシュ メモリ/EEPROMプ゚ログラミンク゛				4	8	mA

注1:全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てはVCC=3.0 V、前置分周なしでのclksys=外部1MHzクロック、T=25℃でのデータです。

# 32.3.4. 休止形態からの起動時間

### 表32-62. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンホ゛ル	項目	条件	最小	代表	最大	単位
		外部2MHzクロック		2.0		
	アイドル、スタンバイ、拡張スタンバイ	32.768KHz内部発振器		120		
	からの起動時間	2MHz内部発振器		2.0		
+ ,		32MHz内部発振器		0.2		110
t <sub>wakeup</sub>		外部2MHzクロック		4.5		μs
	ハ゜ワーセーフ゛、ハ゜ワータ゛ウン	32.768KHz内部発振器		320		
	からの起動時間	2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

**注**: 起動時間は起動要求が与えられてからピンで周辺機能クロックが利用可能になるまでで、図32-16.をご覧ください。全ての周辺 機能と単位部はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。





### 32.3.5. 入出力ピン特性

入出力ピンはJEDEC LVTTLとLVCSMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

### 表32-63. 入出力ピン特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
IOH ( <b>注1</b> ) IOL ( <b>注2</b> )	I/Oピン吐き出し/吸い込み電流			-15		15	mA
		VCC=2.7∼3.6V		2		VCC+0.3	
VIH	Highレヘル入力電圧	VCC=2.0∼2.7V		0.7VCC		VCC+0.3	
		VCC=1.6∼2.0V		0.7VCC		VCC+0.3	
		VCC=2.7∼3.6V		-0.3		0.3VCC	
VIL	Lowレベル入力電圧	VCC=2.0∼2.7V		-0.3		0.3VCC	
		VCC=1.6∼2.0V		-0.3		0.3VCC	
		VCC=3.0∼3.6V	I <sub>OH</sub> =-2mA	2.4	0.94VCC		V
Voh	   Highレヘブル出力電圧	VCC=3.3V	IOH=-4mA	2.6	2.9		V
VOH		VCC=3.0V	IOH=-3mA	2.1	2.6		
		VCC=1.8V	I <sub>OH</sub> =-1mA	1.4	1.6		
		VCC=3.0∼3.6V	I <sub>OL</sub> =2mA		0.05VCC	0.4	
Vol	Lowレベル出力電圧	VCC=3.3V	I <sub>OL</sub> =8mA		0.4	0.76	
VOL	LOWV・ハロハ电/エ	VCC=3.0V	IOL=5mA		0.3	0.64	
		VCC=1.8V	IOL=3mA		0.2	0.46	
IIN	I/Oピン入力漏れ電流	T=25°C			<0.001	0.1	μА
Rp	I/Oピン プル/バス保持 抵抗				24		kΩ
tr	上昇時間	無負荷			4		ns

注1: ポートAとポートBに対する全てのIOHの合計は100mAを超えてはなりません。

ポートCに対する全てのIOHの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ポートAとポートBに対する全てのIOLの合計は100mAを超えてはなりません。

ポートCに対する全てのIOLの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

### 32.3.6. A/D変換器特性

# 表32-64. 電源、基準電圧と入力範囲

シンホ゛ル	項目	条件	最小	代表	最大	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		$k\Omega$
Csample	入力容量	切り替え		4.4		pF
RAREF	基準電圧入力抵抗	(漏れのみ)		>10		МΩ
CAREF	基準電圧入力容量	静止負荷		7.0		pF
	入力範囲		-0.1		AVCC+0.1	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
	25 1	符号なしシングルエント・動作、Vinp	- <b>∠</b> V		VREF-⊿V	
∠V	固定変位(オフセット)電圧			190		LSB



# 表32-65. クロックとタイミング

シンホ゛ル	項目	条件	最小	代表	最大	単位
clk <sub>ADC</sub>	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		1400	kHz
CIKADC	A/D友换/P///问仮剱	内部信号測定	100		125	KIIZ
fclkADC	採取(変換)速度				200	
		電流制限(CURRLIMIT)OFF			200	
fADC	ADC 採取(変換)速度	電流制限(CURRLIMIT)=低(LOW)	14		150	Irana
TADC		電流制限(CURRLIMIT)=中(MEDIUM)			100	ksps
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2clk <sub>ADC</sub> 周期	0.25		5	μs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN・・・計算式 (RES=8または12,GAIN=0,1,2,3)	5	7	10	11
	始動時間	A/D変換クロック周期		12	24	clk <sub>ADC</sub>
	ADC安定時間	基準電圧または入力形態変更後		7	7	周期
	ADU女だ時間	ADC破棄後		1	1	

# 表32-66. 精度特性

シンホ゛ル	項目		条件(注	<b><u></u></b> <u></u> <u></u> <u> </u>	最小	代表	最大	単位
RES	分解能	8または1	2ビット設定可能		8	12	12	ピット
		50ksps	VCC-1.0V <vref<vcc-0< th=""><th>.6V</th><th></th><th>±1.2</th><th>±3</th><th></th></vref<vcc-0<>	.6V		±1.2	±3	
INL	   積分非直線性誤差	JUKSPS	全VREF			±1.5	±4	
IINL	[ 例 升 巨 脉 性 <del>成 左</del>	200ksps	VCC-1.0V <vref<vcc-0< th=""><th>.6V</th><th></th><th>±1.0</th><th>±3</th><th>LSB</th></vref<vcc-0<>	.6V		±1.0	±3	LSB
		200KSpS	全VREF			$\pm 1.5$	±4	
DNL	微分非直線性誤差 (注1)	単調性保	単調性保証			<±0.8	<±1	
						-1		mV
	変位(オフセット)誤差	温度変動				<0.01		mV/K
		動作電圧変動			<0.6		mV/V	
			外部基準電圧			-1		
		  差動動作	AVCC/1.6			10		mV
	利得誤差	左劉勁川	AVCC/2.0			8		111 V
			ハントキャップ。			±5		
		温度変動			<0.02		mV/K	
		動作電圧変動			<0.5		mV/V	
	雑音		=,短絡入力,200ksps, V,clk <sub>PER</sub> =16MHz			0.4		mV (RMS)

**注1**: 最大値は特性付けに基づき、製造に於いて検査されず、5~95%の入力範囲に対して有効です。 注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。



# 表32-67. 利得段特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		рF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度			1		clk <sub>ADC</sub> 周期
	採取速度	ADCと同じ		14		200	kHz
INL	積分非直線性誤差 (注)	50ksps,全利得設定			±1.5	±4	LSB
		1倍、標準動作			-0.8		
	利得誤差	8倍、標準動作			-2.5		%
		64倍、標準動作			-3.5		
		1倍、標準動作			-2		
	(出力基準での)変位(オフセット)誤差	8倍、標準動作			-5		mV
		64倍、標準動作			-4		
		1倍、標準動作	Mag o cu		0.5		
	雑音	8倍、標準動作	VCC=3.6V, 外部VREF		1.5		mV
		64倍、標準動作	/ P p V NEF		11		(RMS)

注: 最大値は特性付けに基づき、製造で検査されず、5~95%の入力電圧範囲に対して有効です。

# 32.3.7. アナログ比較器特性

# 表32-68. アナログ比較器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Voff	入力変位(オフセット)電圧			<±10		mV
Ilk	入力漏れ電流			<1		nA
	入力電圧範囲		-0.1		AVCC	V
	始動時間			100		μs
Vhyst1	ヒステリシス(なし設定時)			0		
Vhyst2	ヒステリシス(小設定時)			13		mV
Vhyst3	ヒステリシス(大設定時)			30		
+ , ,		VCC=3.0V,T=85℃		30	90	20.0
tdelay	仏御廷処			30		ns
	64レベル分圧器積分非直線性(INL)			0.3	0.5	LSB

# 32.3.8. バンドギャップと内部1.0V基準電圧特性

# 表32-69. バンドギャップと内部1.0V基準電圧特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
		ADCの基準電圧として	10	1clk <sub>PER</sub> +2.5µs		
		ADCまたはACの入力電圧として		1.5		μs
	ハントギャップ電圧			1.1		17
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1	1.01	V
	電圧と温度での変動	T=85℃,VCC=3.0Vで校正		±1.5		%



# 32.3.9. 低電圧検出(Brownout Detection)特性

# 表32-70. 低電圧検出特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0		1.60	1.62	1.70	
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		V
	VCC降下検出レベル4			2.4		V
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レベル7			3.0		
tnon	<b>松山時間</b>	継続動作		0.4		110
tBOD	検出時間	採取動作	·	1000	·	μs
VHYST	ヒステリシス			1.2		%

注: 値電圧検出(BOD)は85℃で検出レヘブル0に対して校正され、検出レヘブル0が既定レヘブルです。

# 32.3.10. 外部リセット特性

### 表32-71. 外部リヤット特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
text	最小リセット パルス幅			95	1000	ns
	リセット閾値電圧 (VIH)	VCC=2.7~3.6V	0.6VCC			
		VCC=1.6~2.7V	0.6VCC			V
Vrst	リセット閾値電圧(VIL)	VCC=2.7~3.6V			0.5VCC	V
		VCC=1.6~2.7V			0.4VCC	
RRST	リセット ピン プルアップ 抵抗			25		kΩ

# 32.3.11. 電源ONリセット特性

### 表32-72. 電源ONJセット(POR)特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
VDOT	VPOT- VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
VPOI-		1V/msまたはより遅いVCC下降	0.8	1.0		V
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はVPOT-=VPOT+です。

### 32.3.12. フラッシュ メモリとEEPROMの特性

# 表32-73. 耐久性とデータ保持力

シンホ゛ル	項目	条件		最小	代表	最大	単位
			25℃	10,000			
	フラッシュメモリ耐久性能	書き込み/消去繰り返し	85℃	10,000			口
			105℃	2000			
			25℃	100			
	フラッシュ メモリ データ保持力		85℃	25			年
			105℃	10			
			25℃	100,000			
	EEPROM耐久性能	書き込み/消去繰り返し	85℃	100,000			口
			105℃	30,000			
			25℃	100			
	EEPROMデータ保持力		85℃	25			年
			105℃	10			



# 表32-74. プログラミング時間

シンホ゛ル	項目	条件	最小	代表(注1)	最大	単位
	チップ消去時間	64KBフラッシュとEEPROM( <mark>注2</mark> )の消去		55		
		ペーシ゛消去		4		
	フラッシュ メモリ プログラミング時間	~゜ーシ゛書き込み		4		
		非分断ページ消去/ページ書き込み		8		ms
		ヘ゜ーシ゛消去		4		
	EEPROMプログラミング時間	~゜ーシ゛書き込み		4		
		非分断ページ消去/ページ書き込み		8		

注1: プログラミングは内部2MHz発振器から計時されます。

注2: EESAVEtュースがプログラム(0)されている場合、EEPROMは消去されません。

# 32.3.13. クロックと発振器の特性

# 32.3.13.1. 校正付き32.768kHz内部発振器特性

### 表32-75. 校正付き32.768kHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85℃	-0.5		0.5	0/
	使用者校正精度		-0.5		0.5	%

## 32.3.13.2. 校正付き2MHz内部発振器特性

### 表32-76. 2MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.21		

# 32.3.13.3. 校正付き32MHz内部発振器特性

### 表32-77. 32MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

### 32.3.13.4. 32kHz内部ULP発振器特性

### 表32-78. 32kHz内部ULP発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V,T=85℃	-12		12	%
	精度		-30		30	70



### 32.3.13.5. 内部位相固定化閉路(PLL)特性

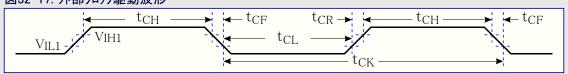
# 表32-79. 内部PLL特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
$f_{ m IN}$	入力周波数	出力周波数はfout以内	0.4		64	
form	出力周波数(注)	VCC=1.6~1.8V	20		48	MHz
<i>f</i> out	山川侧似剱	VCC=2.7~3.6V	20		128	
	始動時間			25		
	再固定化時間			25		μs

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

### 32.3.13.6. 外部クロック特性

図32-17. 外部クロック駆動波形



# 表32-80. 前置分周なしでシステム クロックとして使われる外部クロック

シンホ゛ル	項目	条件	最小	代表	最大	単位
1/tck	   クロック周波数	VCC=1.6~1.8V	0		12	MHz
1/tCK	7年77月仅数	VCC=2.7~3.6V	0		32	IVII IZ
tck	クロック周期	VCC=1.6∼1.8V	83.3			
UCK	グロック同則	VCC=2.7~3.6V	31.5			
tou	クロックHigh時間	VCC=1.6∼1.8V	30.0			
tch	クログル IIBIIh社 由)	VCC=2.7~3.6V	12.5			
$t_{CL}$	クロックLow時間	VCC=1.6∼1.8V	30.0			ns
tCL	ンログ COM h社 [日]	VCC=2.7~3.6V	12.5			115
top	(最大周波数に対する)上昇時間	VCC=1.6∼1.8V			10	
tcr	(取入河仮数に対する)工弁時间	VCC=2.7~3.6V			3	
top	(最大周波数に対する)下降時間	VCC=1.6~1.8V			10	
tcf	(取八川収数に別り3月	VCC=2.7~3.6V			3	
⊿tcĸ	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのハプラメータにも同じく適用します。

# 表32-81、システム クロック用に前置分周器(注1)を持つ外部クロック

シンホ゛ル	項目	条件	最小	代表	最大	単位
1/tov	/tck       クロック周波数       (注2)	VCC=1.6∼1.8V	0		90	MHz
1/tCK		VCC=2.7~3.6V	0		142	MITZ
tov	クロック周期	VCC=1.6~1.8V	11			
tck	7 - 77 / Fig. 791	VCC=2.7~3.6V	7			
tou	クロックHigh時間	VCC=1.6~1.8V	4.5			
tch	クログル IIBIIh4 自]	VCC=2.7~3.6V	2.4			na
tcL	クロックLow時間	VCC=1.6~1.8V	4.5			ns
tCL.	クログク COM H-子[日]	VCC=2.7~3.6V	2.4			
tcr	(最大周波数に対する)上昇時間				1.5	
tcf	(最大周波数に対する)下降時間				1.5	
⊿tcĸ	次周期への周期内変化率				10	%

注1: システム クロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。

注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。



# 32.3.13.7. 外部16MHzクリスタル用発振器とXOSCの特性

表32-82. 外部16MHzクリスタル用発振器とXOSCの特性

シンホ゛ル	項目		条件		最小	代表	最大	単位
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=0			<10		
	周期間微動	XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=1,2,3			<1		
		XOSCPWR=1	XOSCPWR=1			<1		
		XOSCPWR=0,FI	RQRANGE:	=0		<6		ns
	長期間微動	XOSCPWR=0,FI	RQRANGE:	=1,2,3		<0.5		
		XOSCPWR=1				<0.5		
		XOSCPWR=0,FI	RQRANGE:	=0		<0.1		
	F7 14 W/ 3 F 3 /	XOSCPWR=0,FI	RQRANGE:	=1		<0.05		
	周波数誤差	XOSCPWR=0,FI	RQRANGE:	=2,3		<0.005		
		XOSCPWR=1				<0.005		
		XOSCPWR=0,FI	RQRANGE:	=0		40		%
		XOSCPWR=0,FI				42		
	デューティ サイクル	XOSCPWR=0,FI				45		
		XOSCPWR=1				48		
			0.4MHzt	ラミック,CL=100pF	2.4k			
		XOSCPWR=0,		タル,CL=20pF	8.7k			
		FRQRANGE=0		タル,CL=20pF	2.1k			
	XOSCPWR=0,		タル	4.2k				
		FRQRANGE=1, 8MHz/2 CL=20pF 9MHz/2			250			
					195			
		XOSCPWR=0,	8MHzクリス		360			
		FRQRANGE=2,			285			
		CL=20pF	12MHzクリ		155			
		XOSCPWR=0,	9MHzクリス		365			
		FRORANGE=3	12MHzクリ		200			
RQ	負インピータンス (注	CL=20pF	16MHzクリ		105			Ω
		XOSCPWR=1,	1011112//		435			
		FRQRANGE=0,	12MHzクリ		235			
		CL=20pF	16MHzクリ		125			
		_	9MHzクリス		495			
		XOSCPWR=1, FRQRANGE=1,	12MHzクリ		270			
		CL=20pF	16MHzクリ		145			
			TOWN IZ/ )	12MHzクリスタル	305			
		XOSCPWR=1, FRQRANGE=2,0	CI =20pF	16MHzクリスタル	160			
			20pr	12MHzクリスタル	380			
		XOSCPWR=1, FRQRANGE=3,0	CI =20pF	16MHzクリスタル	205			
	等価直列抵抗(ESR)	SF=安全係数	or 20bi	10101112/ /////	200		min(RQ)/SF	kΩ
	寺画匠グリムが広いい	XOSCPWR=0,	<u> </u>				IIIII(I(Q)/ SI	N 52
		FRQRANGE=0	0.4MHzt	ラミック、CL=100pF		1.0		
		XOSCPWR=0, FRQRANGE=1	2MHzクリス	タル,CL=20pF		2.6		
	始動時間	XOSCPWR=0, FRQRANGE=2	8MHzセラミ	ック,CL=20pF		0.8		ms
		XOSCPWR=0, FRQRANGE=3	12MHzセラ	ミック,CL=20pF		1.0		
		XOSCPWR=1, FRQRANGE=3	16MHzセラ	ミック,CL=20pF		1.4		
CXTAL1	XTAL1ピン寄生容量					5.9		
CXTAL2	XTAL2ピン寄生容量					8.3		рF
	寄生容量性負荷					3.5		

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。



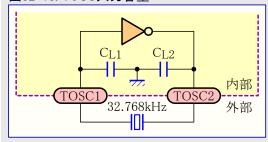
### 32.3.13.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

# 表32-83. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
ESR/R1	推奨クリスタル等価直列抵抗(ESR)	クリスタル負荷容量6.5pF			60	kΩ
ESK/KI	在关//////李伽直列松/JUCSK/	クリスタル負荷容量9.0pF			35	K \$2
Cmaga	TOSC1ピン寄生容量	標準動作		4.7		- F
CTOSC	1030107前生谷里	低電力動作		5.2		pF
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3			

注: 定義については図32-18.をご覧ください。

### 図32-18. TOSC入力容量

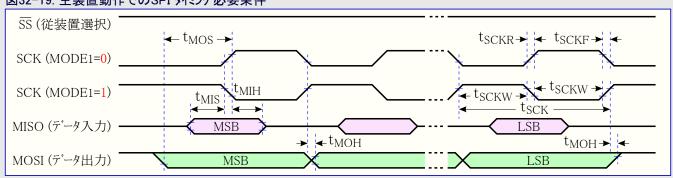


TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列で CL1+CL2です。



### 32.3.14. SPIタイミング 特性

# 図32-19. 主装置動作でのSPI タイミング必要条件



### 図32-20. 従装置動作でのSPI タイミング必要条件 SS (従装置選択) t<sub>SSCKR</sub> → t<sub>SSCKF</sub> → **↓**t<sub>SSH</sub> SCK (MODE1=0) -t<sub>SSCKW</sub>→ t<sub>SIH</sub> SCK (MODE1=1) t<sub>SIS</sub> $t_{SSCK}$ MOSI (データ入力) t<sub>SOSH</sub>→ **←**t<sub>SOSS</sub> $\rightarrow$ $\leftarrow$ $t_{SOS}$ MISO (データ出力) -MSB LSB

表32-84. SI	PI タイミング特性と必要条件					
シンホ゛ル	項目	動作種別	最小	代表	最大	単位
$t_{SCK}$	SCK周期	主装置	XMEGA D手	引書の表18-3.を	ご覧ください。	
t <sub>SCKW</sub>	SCK High/Low期間	主装置		0.5×SCK		
$t_{ m SCKR}$	SCK上昇時間	主装置		2.7		
$t_{ m SCKF}$	SCK下降時間	主装置		2.7		
t <sub>MIS</sub>	入力データ 準備時間	主装置		10		
t <sub>MIH</sub>	入力データ 保持時間	主装置		10		
t <sub>MOS</sub>	SCK先行端対、出力データ 準備時間	主装置		$0.5 \times SCK$		
t <sub>MOH</sub>	SCKからの出力遅延時間	主装置		1		
$t_{ m SSCK}$	SCK周期	従装置	4×t clk <sub>PER</sub>			
t <sub>SSCKW</sub>	SCK High/Low期間	従装置	2×t clk <sub>PER</sub>			ns
$t_{ m SSCKR}$	SCK上昇時間	従装置			1600	
$t_{ m SSCKF}$	SCK下降時間	従装置			1600	
$t_{\mathrm{SIS}}$	入力データ 準備時間	従装置	3			
$t_{SIH}$	入力データ 保持時間	従装置	t clk <sub>PER</sub>			
$t_{\mathrm{SSS}}$	SCK先行端に対するSS↓準備時間	従装置	21			
$t_{SSH}$	SCK後行端からのSS Low保持時間	従装置	20			
$t_{SOS}$	SCKからの出力遅延時間	従装置		8.0		
$t_{ m SOH}$	SCKからの出力保持時間	従装置		13.0		
$t_{ m SOSS}$	SS ↓ からの出力準備時間	従装置		11.0		
$t_{SOSH}$	SS↑からの出力保持時間	従装置		8.0		

(訳注) 表32-84.の<sup>t</sup>SOHは図32-20.で対応するシンボル記載がありません。



### 32.3.15. 2線インターフェース特性

表32-85.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に於 いて、これらの必要条件を越えるか、または合致します。タイシングシンボルは図32-21.を参照してください。

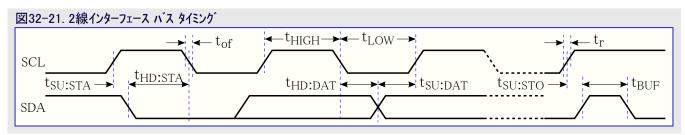


表32-85.	2線直列	バス特性
---------	------	------

シンホ゛ル	項目	条件	最小	代表	最大	単位
VIH	Highレベル入力電圧		0.7VCC		VCC+0.5	
$V_{\mathrm{IL}}$	Lowレヘブル入力電圧		-0.5		0.3VCC	V
Vhys	シュミットトリカ・入力ヒステリシス電圧		1 0.05 VCC			V
Vol	Lowレヘブル出力電圧	IOL=3mA	0		0.4	
tr	SDAとSCL両方の出力上昇時間		1 20+0.1Cb2		300	
$t_{of}$	出力下降時間(V <sub>IHmin</sub> →V <sub>ILmax</sub> )	10pF <cb<b>2&lt;400pF</cb<b>	1 20+0.1Cb2		250	ns
tsp	入力濾波による尖頭雑音消去		0		50	
Ii	入力電流(ピン単位)	0.1VCC <vi<0.9vcc< td=""><td>-10</td><td></td><td>10</td><td>μА</td></vi<0.9vcc<>	-10		10	μА
Ci	ピン入力容量				10	pF
fSCL	SCLクロック周波数	$f_{\text{PER}}$ >max (16 $f_{\text{SCL}}$ ,250kHz)	0		400	kHz
Rp	プルアップ抵抗値	f <sub>SCL</sub> ≦100kHz	(VCC-0.4V)		100ns Cb	Ω
тър	/ // // Jext/ulle.	f <sub>SCL</sub> >100kHz	3mA		300ns Cb	52
t <sub>HD:STA</sub>	(再送)開始条件保持時間	$f_{\text{SCL}} \leq 100 \text{kHz}$	4.0			
rhD:STA	(行达/历列末任体的时间	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
$t_{LOW}$	SCLクロックLowレベル時間	f <sub>SCL</sub> ≤100kHz	4.7			
CLOW	DCL/ = // LOWV - // FNJ [HJ	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			
thigh	SCLクロックHighレヘブル時間	$f_{\text{SCL}} \leq 100 \text{kHz}$	4.0			μs
unign	SCL/P//IIgiiv (MM)[H]	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			μδ
tsu:sta	再送開始条件準備時間	$f_{\text{SCL}} \leq 100 \text{kHz}$	4.7			
450:51A	行及历机术厅车幅时间	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			
t <sub>HD:DAT</sub>	データ保持時間	f <sub>SCL</sub> ≤100kHz	0		3.45	
THD:DAT	\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	$f_{\rm SCL} > 100 {\rm kHz}$	0		0.9	
tsu:DAT	データ準備時間	f <sub>SCL</sub> ≤100kHz	250			ns
vsu:DA1	\ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \ \	$f_{\rm SCL} > 100 {\rm kHz}$	100			113
tallero	停止条件準備時間	f <sub>SCL</sub> ≤100kHz	4.0			
tsu:sto	厅业术计华渊时间	$f_{\rm SCL} > 100 {\rm kHz}$	0.6			110
tour	停止条件→開始条件間バス開放時間	f <sub>SCL</sub> ≤100kHz	4.7			μs
tBUF	[P. [1]	$f_{\rm SCL} > 100 {\rm kHz}$	1.3			

- ①  $f_{SCL} > 100 kHz$ についてのみ必要とされます。
- **2** Cbは1つのバス信号線の容量(pF)です。
- ③ fperは周辺機能クロック周波数です。



# 32.4. ATxmega128D4

### 32.4.1. 絶対最大定格

下の表32-86.で一覧にされるそれらを超える負担はデバイスに定常的な損傷を与えます。絶対最大定格は負担の定格を示すためだけのもので、この値または、この仕様書の動作特性で示された値を超える条件で動作することを示すものではありません。長時間の最大定格での使用はデバイスの信頼性を損なう場合があります。

±22 06	絶対最大定格
オマスクーとり	细划嵌入正价

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		-0.3		4	V
IVCC	VCCピンへの電流				200	A
IGND	GNDピンの電流出力				200	mA
VPIN	GNDとVCCに対するピン電圧		-0.5		VCC+0.5	V
IPIN	入出力ピン吸い込み/吐き出し電流		-25		25	mA
TA	保存温度		-65		150	$^{\circ}$
Tj	接合部温度		·		150	C

### 32.4.2. 全般動作定格

デバイスは保証されて有効であるべきデバイスの他の全ての電気的特性と代表特性のために、**表32-87**.で一覧にされる定格内で動作しなければなりません。

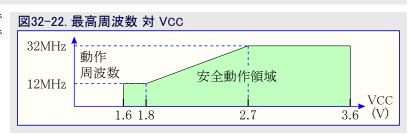
### 表32-87. 全般動作条件

シンホ゛ル	項目	条件	最小	代表	最大	単位
VCC	電源電圧		1.60		3.6	V
AVCC	アナログ供給電圧		1.60		3.6	V
TA	保存温度		-40		85	°C
Tj	接合部温度		-40		105	

### 表32-88. 動作電圧と周波数

シンホ゛ル	項目	条件	最小	代表	最大	単位
		VCC=1.6V	0		12	
clk <sub>CPU</sub>	CPUクロック周波数	VCC=1.8V	0		12	MHz
CIKCPU	CF U/ 19/1/円 仮 剱	VCC=2.7V	0		32	IVII IZ
		VCC=3.6V	0		32	

最高システム周波数は動作電圧に依存します。**図32-22**.で示されるように周波数対VCC曲線は1.8V<VCC<2.7V間で直線です。





# 32.4.3. 消費電流

表32-89. 活動動作と休止動作の消費電流

シンホ゛ル	項目	条件			最小	代表	最大	単位
		32kHz外部クロック		VCC=1.8V		55		
		32K口Zグト市Dグロツグ		VCC=3.0V		135		
		1MHz外部クロック		VCC=1.8V		255		μA
	活動動作消費電流 (注1)	IMMZ9F=p9 p99		VCC=3.0V		535		
		2MHz外部クロック		VCC=1.8V		460	600	
		ZMHZ9F=p9 L99		VCC=3.0V		1.0	1.4	mA
		32MHz外部クロック		VCC=3.0V		9.5	12	IIIA
		32kHz外部クロック		VCC=1.8V		2.9		
		32K口Zグト市Dグロツグ		VCC=3.0V		3.9		
		1MHz外部クロック		VCC=1.8V		62		μA
	アイドル動作消費電流( <mark>注1</mark> )	IMMZ9F=p9 p99		VCC=3.0V		118		μA
		2MHz外部クロック		VCC=1.8V		125	225	
		ZMHZ7F=B7 L97		VCC=3.0V		240	350	
ICC		32MHz外部クロック		VCC=3.0V		3.8	5.5	mA
		T=25°C				0.1	1.0	
		T=85°C				1.5	4.5	
	パワーダウン動作消費電流	T=105℃		VCC=3.0V		0.1	8.6	
	アプラグダン野川下付負 电弧	拉取動作DOD I.	T=25°C	VCC-3.0V		1.4	3.0	
		採取動作BODと WDTを許可	T=85°C			2.8	6.0	
		MD1 5 H . J	T=105℃			1.4	8.8	
		ULPクロックでのRTC、採取動作I	BOD	VCC=1.8V		1.2		μA
		とWDTを許可、T=25℃		VCC=3.0V		1.5		
	パワーセーフ゛動作消費電流(注2)	低電力32.768kHz TOSCの1.0	24kHzで	VCC=1.8V		0.6	2.0	
		のRTC、T=25℃ 低電力32.768kHz TOSCから		VCC=3.0V		0.7	2.0	
			PRTC,	VCC=1.8V		0.8	3.0	
		T=25℃		VCC=3.0V		1.0	3.0	
	リセット消費電流	基台のRESETt°ンを通る電流		VCC=3.0V		300		

注1:全ての電力削減レジスタは設定(1)。

注2: 最大限度は特性付けに基づき、製造に於いて検査されません。



### 表32-90. 単位部と周辺機能に関する消費電流

シンホ゛ル	項目		条件 (注1)	最小	代表	最大	単位
	超低電力(ULP)発振器				1.0		
	32.768kHz内部発振器				29		
	2MHz内部発振器				85		
	ZMHZ内部宪派裕	基準として32.768kl	Hz内部発振器でDFLL許可		115		
	32MHz内部発振器				270		
	32MHZ四部光派品	基準として32.768kl	Hz内部発振器でDFLL許可		440		A
	PLL	逓倍率=20倍,32MF	Hz内部,基準としてDIV4		320		μA
	ウォッチト゛ック゛ タイマ				1.0		
	低電工於山界(DOD)	継続動作	続動作		138		
	低電圧検出器(BOD)	採取動作,ULP発振	器を含む		1.2		
ICC	1.00V内部基準電圧				260		
	温度感知器				250		
					3.0		
	A/D変換器(ADC)	150k採取/秒,	電流制限(CURRLIMIT)=低		2.6		
	A/D发换的(ADC)	VREF=外部基準	電流制限(CURRLIMIT)=中		2.1		mA
			電流制限(CURRLIMIT)=高		1.6		
	アナログ比較器	高速動作			330		
	/ / ピノ レロギズ右丘	低電力動作			130		
	タイマ/カウンタ				16		μA
	USART	9600bps,送受信許	可		2.5		
	フラッシュ メモリ/EEPROMプ゚ログラミンク゛				4.0	8.0	mA

注1:全ての項目は周辺機能/単位部の許可/禁止間の消費電力差として測定。他の条件が与えられない限り、全てはVCC=3.0 V、前置分周なしでのclksys=外部1MHzクロック、T=25℃でのデータです。

### 32.4.4. 休止形態からの起動時間

表32-91. 様々なシステムクロック元での休止形態からのデバイス起動時間

シンホ゛ル	項目	条件	最小	代表	最大	単位
	アイドル、スタンバイ、拡張スタンバイ	外部2MHzクロック		2.0		
		32.768KHz内部発振器		120		
		2MHz内部発振器		2.0		
+ .		32MHz内部発振器		0.2		110
twakeup		外部2MHzクロック		4.5		μs
		32.768KHz内部発振器		320		
	からの起動時間	2MHz内部発振器		9.0		
		32MHz内部発振器		5.0		

注: 起動時間は起動要求が与えられてからピンで周辺機能クロックが利用可能になるまでで、図32-23.をご覧ください。全ての周辺機能と単位部はプログラム実行開始に先立って4クロック周期間停止されるCPUを除き、最初のクロック周期から実行を開始します。





### 32.4.5. 入出力ピン特性

入出力ピンはJEDEC LVTTLとLVCSMOS仕様に従い、HレベルとLレベルの入力と出力の電圧限度はこの仕様を反映または超えます。

### 表32-92. 入出力ピン特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
IOH ( <b>注1</b> ) IOL ( <b>注2</b> )	I/Oピン吐き出し/吸い込み電流			-20		20	mA
		VCC=2.7∼3.6V		2		VCC+0.3	
VIH	Highレヘル入力電圧	VCC=2.0∼2.7V		0.7VCC		VCC+0.3	
		VCC=1.6∼2.0V		0.8VCC		VCC+0.3	
		VCC=2.7∼3.6V		-0.3		0.8	
VIL	Lowレベル入力電圧	VCC=2.0∼2.7V		-0.3		0.3VCC	
		VCC=1.6∼2.0V		-0.3		0.2VCC	
		VCC=3.0∼3.6V	I <sub>OH</sub> =-2mA	2.4	0.94VCC		
		VCC=2.3~2.7V	IOH=-1mA	2.0	0.96VCC		
Vou	VOH Highレベル出力電圧	VCC-2.5 · 2.1 V	IOH=-2mA	1.7	0.92VCC		V
νОп	I light \/\ \	VCC=3.3V	IOH=-4mA	2.6	2.9		V
		VCC=3.0V	IOH=-3mA	2.1	2.6		
		VCC=1.8V	I <sub>OH</sub> =-1mA	1.4	1.6		
		VCC=3.0∼3.6V	IOL=2mA		0.05	0.4	
		VCC=2.3~2.7V	IOL=1mA		0.03	0.4	
Vol	Lowレベル出力電圧	VCC 2.5 2.1V	IOL=2mA		0.06	0.7	
VOL	LOWV ·/VIII/J 电/L	VCC=3.3V	IOL=8mA		0.4	0.76	
		VCC=3.0V	IOL=5mA		0.3	0.64	
		VCC=1.8V	IOL=3mA		0.2	0.46	
IIN	I/Oピン入力漏れ電流	T=25°C			<0.01	0.1	μA
Rp	I/Oピン プル/バス保持 抵抗				24		kΩ
$t_r$	  上昇時間	無負荷			4.0		ns
CI	<u>기 '에</u> 타	///   四	スリューレート制限		7.0		110

注1: ポートAとポートBに対する全てのIOHの合計は100mAを超えてはなりません。

ポートCに対する全てのIOHの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOHの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOHの合計は100mAを超えてはなりません。

注2: ポートAとポートBに対する全てのIOLの合計は100mAを超えてはなりません。

ポートCに対する全てのIOLの合計は200mAを超えてはなりません。

ポートDとポートEのPE1,0に対する全てのIOLの合計は200mAを超えてはなりません。

ポートEのPE3,2とポートRとPDIに対する全てのIOLの合計は100mAを超えてはなりません。

### 32.4.6. A/D変換器特性

### 表32-93. 電源、基準電圧と入力範囲

シンホ゛ル	項目	条件	最小	代表	最大	単位
AVCC	アナログ供給電圧		VCC-0.3		VCC+0.3	V
VREF	基準電圧		1.0		AVCC-0.6	
Rin	入力抵抗	切り替え		4.0		kΩ
Csample	入力容量	切り替え		4.4		pF
RAREF	基準電圧入力抵抗	(漏れのみ)		>10		МΩ
CAREF	基準電圧入力容量	静止負荷		7.0		pF
	入力範囲		-0.1		AVCC+0.1	
Vin	変換範囲	差動動作、Vinp-Vinn	-VREF		VREF	V
	久1央軋四	符号なしシングルエント・動作、Vinp	- <b>∠</b> V		VREF-⊿V	
∠V	固定変位(オフセット)電圧			190		LSB



# 表32-94. クロックとタイミング

シンホ゛ル	項目	条件	最小	代表	最大	単位
clk <sub>ADC</sub>	A/D変換クロック周波数	最大は周辺機能クロック周波数の1/4	100		1400	kHz
CIKADC	A/D发换/119//问仮数	内部信号測定	100		125	КПХ
		電流制限(CURRLIMIT)OFF	14		200	
fADC	  採取(変換)速度	電流制限(CURRLIMIT)=低(LOW)	14		150	Irana
TADC	休取(変換)壓度	電流制限(CURRLIMIT)=中(MEDIUM)	14		100	ksps
		電流制限(CURRLIMIT)=高(HIGH)			50	
	採取時間	1/2clk <sub>ADC</sub> 周期	0.25		5	μs
	変換時間(伝播遅延)	(RES+2)÷2+GAIN・・・計算式 (RES=8または12,GAIN=0,1,2,3)	5	7	10	.,
	始動時間	A/D変換クロック周期		12	24	clkadc
	ADC安定時間	基準電圧または入力形態変更後		7	7	周期
	ADUX比时间	ADC破棄後		1	1	

# 表32-95. 精度特性

シンホ゛ル	項目		条件 (注2)	最小	代表	最大	単位
RES	分解能	8または1	2ビット設定可能	8	12	12	ピット
		501rana	VCC-1.0V <vref<vcc-0.6v< td=""><th></th><td>±1.2</td><td>±2</td><td></td></vref<vcc-0.6v<>		±1.2	±2	
INL	積分非直線性誤差 (注1)	50ksps	全VREF		±1.5	±3	
IINL	個刀升但脉性缺左 (注1)	2001rana	VCC-1.0V <vref<vcc-0.6v< td=""><th></th><td>±1.0</td><td>±2</td><td>LSB</td></vref<vcc-0.6v<>		±1.0	±2	LSB
		200ksps	全VREF		±1.5	±3	
DNL	微分非直線性誤差 (注1)	単調性係	· · · · · · · · · · · · · · · · · · ·		<±0.8	<±1	
					-1		mV
	変位(オフセット)誤差	温度変動			<0.01		mV/K
		動作電圧変動			<0.6		mV/V
			外部基準電圧		-1		
		  差動動作	AVCC/1.6		10		mV
	利得誤差	左則則们 	AVCC/2.0		8		III V
			ハントギャップ		±5		
		温度変動			<0.02		mV/K
		動作電圧変動			<0.5		mV/V
	雑音		=,短絡入力,200ksps, V,clk <sub>PER</sub> =16MHz		0.4		mV (RMS)

**注1**: 最大値は特性付けに基づき、製造に於いて検査されず、5~95%の入力範囲に対して有効です。

注2: 他の注記を除き、全ての直線性、変位、利得の誤差値は外部VREFが使われる条件下で有効です。



# 表32-96. 利得段特性

シンホ゛ル	項目	条件		最小	代表	最大	単位
Rin	入力抵抗	標準動作での切り替え			4.0		kΩ
Csample	入力容量	標準動作での切り替え			4.4		pF
	信号範囲	利得段出力		0		VCC-0.6	V
	伝播遅延	A/D変換速度		1		clk <sub>ADC</sub> 周期	
	採取速度	ADCと同じ	14		200	kHz	
INL	積分非直線性誤差 (注)	50ksps,全利得設定		$\pm 1.5$	±4	LSB	
		1倍、標準動作	1倍、標準動作				
	利得誤差	8倍、標準動作			-2.5		%
		64倍、標準動作			-3.5		
		1倍、標準動作			-2		
	(出力基準での)変位(オフセット)誤差	8倍、標準動作			-5		mV
		64倍、標準動作			-4		
		1倍、標準動作	Mag 9 CM		0.5		
	雑音	8倍、標準動作	VCC=3.6V, 外部VREF		1.5		mV
		64倍、標準動作	\FBD \ IVEL		11		(RMS)

注: 最大値は特性付けに基づき、製造で検査されず、5~95%の入力電圧範囲に対して有効です。

# 32.4.7. アナログ比較器特性

# 表32-97. アナログ比較器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
Voff	入力変位(オフセット)電圧			<±10		mV
Ilk	入力漏れ電流			<1		nA
	入力電圧範囲		-0.1		AVCC	V
	始動時間			100		μs
Vhyst1	ヒステリシス(なし設定時)			0		
Vhyst2	ヒステリシス(小設定時)	高速(HS)動作		13		
v Hyst2	[[1] [[1] [[1] [[1] [[1] [[1] [[1] [[1]	低電力(LP)動作		30		mV
V <sub>hyst3</sub>	ヒステリシス(大設定時)	高速(HS)動作		30		
v nysta	にバリック(人政定時)	低電力(LP)動作		60		
+ 1 1	伝播遅延	VCC=3.0V,T=85℃		30	90	na
t <sub>delay</sub>	口油烂			30		ns
	64レベル分圧器積分非直線性(INL)			0.3	0.5	LSB

# 32.4.8. バンドギャップと内部1.0V基準電圧特性

# 表32-98. バンドギャップと内部1.0V基準電圧特性

シンホ゛ル	項目	条件	最小	代表	最大	単位	
	始動時間	ADCの基準電圧として	10	1clk <sub>PER</sub> +2.5µ			
	到····································	ADCまたはACの入力電圧として		1.5		μs	
	ハントギャップ電圧			1.1		V	
INT1V	内部1.00V基準電圧	校正後,T=85℃	0.99	1	1.01	V	
	電圧と温度での変動	T=85℃,VCC=3.0Vで校正		±1.5		%	



# 32.4.9. 低電圧検出(Brownout Detection)特性

### 表32-99. 低電圧検出特性

シンホール	項目	条件	最小	代表	最大	単位
	VCC降下検出レベル0		1.60	1.62	1.70	
	VCC降下検出レベル1			1.8		
	VCC降下検出レベル2			2.0		
	VCC降下検出レベル3			2.2		V
	VCC降下検出レベル4			2.4		V
	VCC降下検出レベル5			2.6		
	VCC降下検出レベル6			2.8		
	VCC降下検出レベル7			3.0		
tnon	検出時間	継続動作		0.4		
tBOD	快山时间	採取動作		1000		μs
VHYST	ヒステリシス			1.2		%

注: 値電圧検出(BOD)は85℃で検出レヘブル0に対して校正され、検出レヘブル0が既定レヘブルです。

# 32.4.10. 外部リセット特性

### 表32-100. 外部リセット特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
text	最小リセット パルス幅			95	1000	ns
	リセット閾値電圧 (VIH)	VCC=2.7~3.6V	0.6VCC			
		VCC=1.6~2.7V	0.6VCC			V
Vrst	リセット閾値電圧(VIL)	VCC=2.7~3.6V			0.5VCC	V
		VCC=1.6~2.7V			0.4VCC	
RRST	リセット ピン プルアップ 抵抗			25		kΩ

# 32.4.11. 電源ONリセット特性

### 表32-101. 電源ONJセット(POR)特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
VPOT-	VCC下降POR閾値電圧 (注)	1V/msよりも速いVCC下降	0.4	1.0		
VPOI-		1V/msまたはより遅いVCC下降	0.8	1.0		V
VPOT+	VCC上昇POR閾値電圧			1.3	1.59	

注: VPOT-値は低電圧検出(BOD)が禁止される時にだけ有効です。BOD許可時はVPOT-=VPOT+です。

# 32.4.12. フラッシュ メモリとEEPROMの特性

## 表32-102. 耐久性とデータ保持力

シンホ゛ル	項目	条件		最小	代表	最大	単位
			25℃	10,000			
	フラッシュ メモリ耐久性能	書き込み/消去繰り返し	85℃	10,000			口
			105℃	2000			
			25℃	100			
	フラッシュ メモリ データ保持力		85℃	25			年
			105℃	10			
			25℃	100,000			
	EEPROM耐久性能	書き込み/消去繰り返し	85℃	100,000			口
			105℃	30,000			
			25℃	100			
	EEPROMデータ保持力		85℃	25			年
			105℃	10			



# 表32-103. プログラミング時間

シンホ゛ル	項目	条件	最小	代表(注1)	最大	単位
	チップ消去時間	128KBフラッシュとEEPROM( <mark>注2</mark> )の消去		75		
	応用消去時間	応用領域		6		
		ページ消去		4		
	フラッシュ メモリ プログラミング時間	ページ書き込み		4		ma
		非分断ページ消去/ページ書き込み		8		ms
		ページ消去		4		
	EEPROMプログラミング時間	ページ書き込み		4		
		非分断ページ消去/ページ書き込み		8		

注1: プログラミングは内部2MHz発振器から計時されます。

注2: EESAVEtュース、がプログラム(0)されている場合、EEPROMは消去されません。

### 32.4.13. クロックと発振器の特性

### 32.4.13.1. 校正付き32.768kHz内部発振器特性

### 表32-104. 校正付き32.768kHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数			32.768		kHz
	工場校正精度	VCC=3.0V,T=85°C	-0.5		0.5	0/
	使用者校正精度		-0.5		0.5	%

### 32.4.13.2. 校正付き2MHz内部発振器特性

### 表32-105. 2MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	1.8		2.2	MHz
	工場校正周波数			2.0		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量		·	0.21		

# 32.4.13.3. 校正付き32MHz内部発振器特性

### 表32-106. 32MHz内部発振器特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
	周波数範囲	電圧と温度に対してDFLLが この周波数を調整可能	30		55	MHz
	工場校正周波数			32		
	工場校正精度	VCC=3.0V,T=85℃	-1.5		1.5	
	使用者校正精度		-0.2		0.2	%
	DFLL校正段階量			0.22		

### 32.4.13.4. 32kHz内部ULP発振器特性

### 表32-107. 32kHz内部ULP発振器特性

1232 107.	32KI IZPY 印ULF 元派部1寸江					
シンホ゛ル	項目	条件	最小	代表	最大	単位
	工場校正周波数			32		kHz
	工場校正精度	VCC=3.0V,T=85℃	-12		12	%
	精度		-30		30	70



### 32.4.13.5. 内部位相固定化閉路(PLL)特性

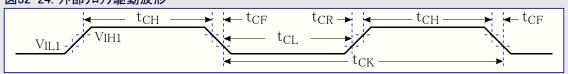
### 表32-108. 内部PLL特性

シンホール	項目	条件	最小	代表	最大	単位
$f_{\rm IN}$	入力周波数	出力周波数はfout以内	0.4		64	
form	出力周波数 (注)	VCC=1.6∼1.8V	20		48	MHz
JOUT		VCC=2.7~3.6V	20		128	
	始動時間			25		
	再固定化時間			25		μs

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、最大CPU周波数の4倍よりも決して高くすることはでません。

### 32.4.13.6. 外部クロック特性

図32-24. 外部クロック駆動波形



# 表32-109. 前置分周なしでシステム クロックとして使われる外部クロック

シンホ゛ル	項目	条件	最小	代表	最大	単位
1/tck	   クロック周波数	VCC=1.6~1.8V	0		12	MHz
1/tCK	7年77月仅数	VCC=2.7~3.6V	0		32	IVII IZ
tck	K クロック周期	VCC=1.6∼1.8V	83.3			
UCK		VCC=2.7~3.6V	31.5			
tou	クロックHigh時間 ト	VCC=1.6∼1.8V	30.0			
tch		VCC=2.7~3.6V	12.5			
$t_{CL}$	クロックLow時間	VCC=1.6∼1.8V	30.0			ns
tCL	ンログ COM h社 [日]	VCC=2.7~3.6V	12.5			115
top	(最大周波数に対する)上昇時間	VCC=1.6∼1.8V			10	
tcr	(取入河仮数に対する)工弁時间	VCC=2.7~3.6V			3	
top	(最大周波数に対する)下降時間	VCC=1.6~1.8V			10	
tcf		VCC=2.7~3.6V			3	
⊿tcĸ	次周期への周期内変化率				10	%

注: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのハプラメータにも同じく適用します。

### 表32-110.システム クロック用に前置分周器(注1)を持つ外部クロック

シンホ゛ル	項目	条件	最小	代表	最大	単位
1/tck	クロック周波数 (注2)	VCC=1.6~1.8V	0		90	МПа
1/tCK		VCC=2.7~3.6V	0		142	IVII IZ
tov	クロック  計工期	VCC=1.6∼1.8V	11			
tck		VCC=2.7~3.6V	7			
t <sub>CH</sub>	クロックHigh時間	VCC=1.6∼1.8V	4.5			
		VCC=2.7~3.6V	2.4			nc
tcL	クロックLow時間	VCC=1.6∼1.8V	4.5			115
	クログク COM H-4-1自1	VCC=2.7~3.6V	2.4			MHz
$t_{CR}$	(最大周波数に対する)上昇時間				1.5	
tcf	(最大周波数に対する)下降時間				1.5	
⊿tck	次周期への周期内変化率				10	%

注1: システム クロック前置分周器はデバイスに対する最大CPUクロック周波数を超えないように設定されなければなりません。

注2: 最大出力周波数対供給電圧は1.8~2.7V間で直線状で、供給電圧条件を伴う他の全てのパラメータにも同じく適用します。



# 32.4.13.7. 外部16MHzクリスタル用発振器とXOSCの特性

表32-111. 外部16MHzクリスタル用発振器とXOSCの特性

シンホ゛ル	項目	項目          条件				代表	最大	単位	
		XOSCPWR=0,FRQRANGE=0				<10			
	周期間微動	XOSCPWR=0,FRQRANGE=1,2,3			<1				
		XOSCPWR=1				<1			
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=0			<6		ns	
	長期間微動	XOSCPWR=0,FRQRANGE=1,2,3			<0.5				
		XOSCPWR=1			<0.5				
		XOSCPWR=0,FRQRANGE=0			<0.1				
	E 1 → ₩ .= Π → ←	XOSCPWR=0,FRQRANGE=1			<0.05				
	周波数誤差	XOSCPWR=0,FRQRANGE=2,3			<0.005				
		XOSCPWR=1				<0.005		0.4	
	デューティ サイクル	XOSCPWR=0,FRQRANGE=0				40		%	
		XOSCPWR=0,FI	XOSCPWR=0,FRQRANGE=1			42			
		XOSCPWR=0,FRQRANGE=2,3			45				
		XOSCPWR=1				48			
			0.4MHzセラミック,CL=100pF		2.4k				
	負インピ <sup>°</sup> ーダ <sup>*</sup> ンス (注)	XOSCPWR=0, FRQRANGE=0		タル,CL=20pF	8.7k				
				タル,CL=20pF	2.1k				
		XOSCPWR=0, FRQRANGE=1, CL=20pF	2MHzクリス	•	4.2k				
			8MHzクリス		250				
			9MHzクリス		195				
			8MHzクリス		360				
		XOSCPWR=0, FRQRANGE=2, CL=20pF	9MHzクリス		285				
			12MHzクリ		155				
		XOSCPWR=0, FRQRANGE=3, CL=20pF	9MHzクリス		365				
			12MHzクリスタル		200				
RQ			16MHzクリスタル		105			Ω	
			9MHzクリスタル		435				
		XOSCPWR=1, FRQRANGE=0,	12MHzクリスタル		235				
		CL=20pF	16MHzクリスタル		125				
		_	9MHzクリスタル		495				
		XOSCPWR=1,	12MHzクリスタル		270				
		FRQRANGE=1, CL=20pF	16MHzクリスタル		145				
			12MHzクリスタル		305				
		XOSCPWR=1, FRQRANGE=2,CL=20pF		16MHzクリスタル	160				
			2E-20hi	12MHzクリスタル	380				
		XOSCPWR=1,	7I =20pF	16MHzクリスタル	205				
	等価直列抵抗(ESR)	FRQRANGE=3,CL=20pF 16MHzクリン SF=安全係数		10WH 12/ 9/1//	200		min(RQ)/SF	kΩ	
	寸 川戸ふれが(COU)	XOSCPWR=0,					IIIII(I(Q)/ SF	K 22	
		XOSCPWR=0,   FRQRANGE=0   0.4MHzt		ラミック、CL=100pF		1.0			
		XOSCPWR=0, FRQRANGE=1	XOSCPWR=0, 2MHahilahi CI -20			2.6			
	始動時間	VOCCDWD-0		ック,CL=20pF		0.8		ms	
		XOSCPWR=0, FRQRANGE=3	RQRANGE=3			1.0			
		XOSCPWR=1, FRQRANGE=3				1.4			
CXTAL1	XTAL1ピン寄生容量					5.9			
CXTAL2	XTAL2ピン寄生容量					8.3		pF	
CLOAD	寄生容量性負荷					3.5			

注: 負インピーダンスの数値は検査されませんが、設計と特性付けから保証されます。



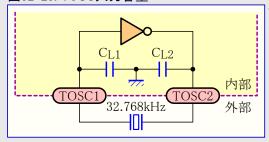
### 32.4.13.8. 外部32.768kHzクリスタル用発振器とTOSCの特性

### 表32-112. 外部32.768kHzクリスタル用発振器とTOSCの特性

シンホ゛ル	項目	条件	最小	代表	最大	単位
ESR/R1	7年・空グリスタル 美価・旧 列 11式 4元(ESR)	クリスタル負荷容量6.5pF			60	1, ()
		クリスタル負荷容量9.0pF			35	K \$2
C <sub>TOSC</sub>	TOCCIVV宏生容是	標準動作		4.7		- D
	TOSC1ピン寄生容量	低電力動作		5.2		kΩ pF
	推奨安全係数	クリスタル特性に合わせた容量性負荷	3			

注: 定義については図32-25.をご覧ください。

### 図32-25. TOSC入力容量

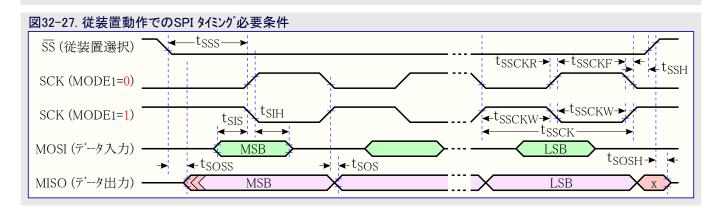


TOSCピン間の寄生容量は、外部容量なし発振時にクリスタルから見えるように直列で CL1+CL2です。



### 32.4.14. SPIタイミング 特性

# 図32-26. 主装置動作でのSPI タイミンが必要条件 SS (従装置選択) SCK (MODE1=0) SCK (MODE1=1) MISO (データ入力) MSB LSB LSB LSB



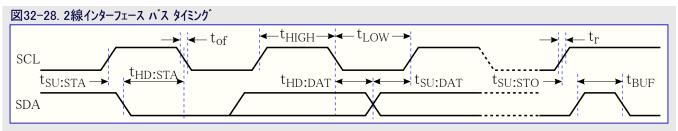
シンホ゛ル	項目	動作種別	最小	代表	最大	単位
${ m t_{SCK}}$	SCK周期	主装置	XMEGA D手	引書の表18-3.を		
t <sub>SCKW</sub>	SCK High/Low期間	主装置		0.5×SCK		
t <sub>SCKR</sub>	SCK上昇時間	主装置		2.7		
$t_{SCKF}$	SCK下降時間	主装置		2.7		
$t_{MIS}$	入力データ 準備時間	主装置		10		
t <sub>MIH</sub>	入力データ 保持時間	主装置		10		
$t_{ m MOS}$	SCK先行端対、出力データ 準備時間	主装置		0.5×SCK		
t <sub>MOH</sub>	SCKからの出力遅延時間	主装置		1		
$t_{ m SSCK}$	SCK周期	従装置	4×t clk <sub>PER</sub>			
t <sub>SSCKW</sub>	SCK High/Low期間	従装置	2×t clk <sub>PER</sub>			ns
$t_{\rm SSCKR}$	SCK上昇時間	従装置			1600	
$t_{ m SSCKF}$	SCK下降時間	従装置			1600	
$t_{SIS}$	入力データ 準備時間	従装置	3			
$t_{SIH}$	入力データ 保持時間	従装置	t clk <sub>PER</sub>			
$t_{\mathrm{SSS}}$	SCK先行端に対するSS↓準備時間	従装置	21			
$t_{SSH}$	SCK後行端からのSS Low保持時間	従装置	20			
$t_{SOS}$	SCKからの出力遅延時間	従装置		8.0		
t <sub>SOH</sub>	SCKからの出力保持時間	従装置		13.0		
$t_{SOSS}$	SS ↓ からの出力準備時間	従装置		11.0		
t <sub>SOSH</sub>	SS↑からの出力保持時間	従装置		8.0		

(訳注) 表32-113.の<sup>t</sup>SOHは図32-27.で対応するシンボル記載がありません。



### 32.4.15. 2線インターフェース特性

表32-114.は2線直列バスに接続した装置に対する必要条件を記述します。Atmel AVR XMEGAの2線インターフェースは記載条件下に 於いて、これらの必要条件を越えるか、または合致します。タイシグ・シンボルは図32-28.を参照してください。



### 表32-114. 2線直列バス特性 シンホール 項目 条件 最小 代表 最大 単位 VIH Highレベル入力電圧 0.7VCC VCC+0.5 $V_{IL}$ Lowレベル入力電圧 -0.50.3 VCC V Vhys シュミットトリカ、入力ヒステリシス電圧 1 0.05 VCC Lowレベル出力電圧 Vol 0.4 IOL=3mA 0 SDAとSCL両方の出力上昇時間 1 20+0.1Cb2 300 tr tof 出力下降時間(V<sub>IHmin</sub>→V<sub>ILmax</sub>) 10pF<Cb2<400pF 1 20+0.1Cb2 250 ns 入力濾波による尖頭雑音消去 tsp 50 入力電流(ピン単位) $0.1 \text{VCC} < \text{V}_i < 0.9 \text{VCC}$ -1010 Ιį μΑ Ci ピン入力容量 10 рF $f_{\text{PER}}$ > max $f_{\rm SCL}$ 0 SCLクロック周波数 400 kHz $(16f_{SCL}, 250kHz)$ 100ns $f_{SCL} \leq 100 \text{kHz}$ (VCC-0.4V)Cb プルアップ、抵抗値 Ω Rp 3mA300ns $f_{SCL} > 100 \text{kHz}$ Cb $f_{SCL} \leq 100 \text{kHz}$ 4.0 (再送)開始条件保持時間 thd:STA $f_{SCL} > 100 \text{kHz}$ 0.6 $f_{SCL} \leq 100 \text{kHz}$ 4.7 **tLOW** SCLクロックLowレベル時間 $f_{SCL} > 100 \text{kHz}$ 1.3 $f_{SCL} \leq 100 \text{kHz}$ 4.0 SCLクロックHighレベル時間 tHIGH μs $f_{\rm SCL} > 100 \rm kHz$ 0.6 $f_{SCL} \leq 100 \text{kHz}$ 4.7 再送開始条件準備時間 tsu:sta $f_{\rm SCL} > 100 {\rm kHz}$ 0.6 $f_{\text{SCL}} \leq 100 \text{kHz}$ 0 3.45 データ保持時間 thd:DAT $f_{\rm SCL} > 100 \rm kHz$ 0 0.9 $f_{SCL} \leq 100 \text{kHz}$ 250 データ準備時間 tsu:dat ns $f_{\rm SCL} > 100 \rm kHz$ 100 $f_{SCL} \leq 100 \text{kHz}$ 4.0 停止条件準備時間 tsu:sto $f_{\rm SCL} > 100 {\rm kHz}$ 0.6 μs $f_{SCL} \leq 100 \text{kHz}$ 4.7 tBUF 停止条件→開始条件間バス開放時間 $f_{SCL} > 100 \text{kHz}$ 1.3

- ①  $f_{SCL} > 100 kHz$ についてのみ必要とされます。
- ② Cbは1つのバス信号線の容量(pF)です。
- ③  $f_{PER}$ は周辺機能クロック周波数です。

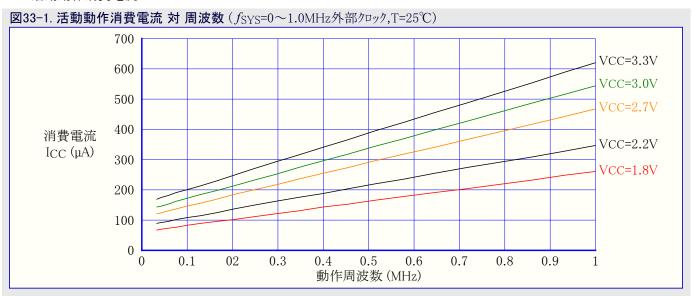


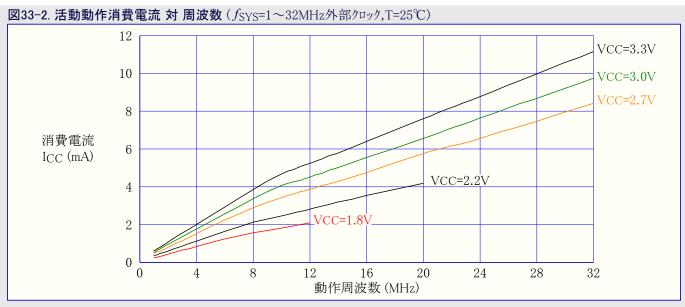
# 33. 代表特性

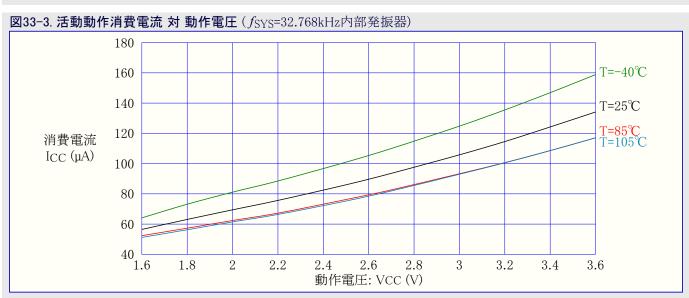
# 33.1. ATxmega16D4

### 33.1.1. 消費電流

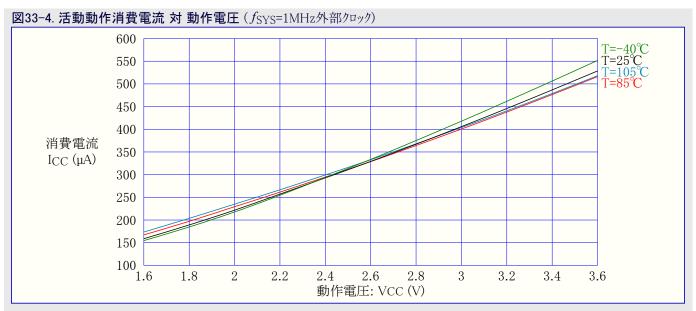
### 33.1.1.1. 活動動作消費電流

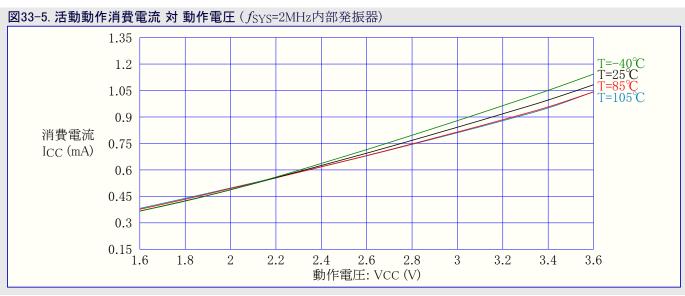


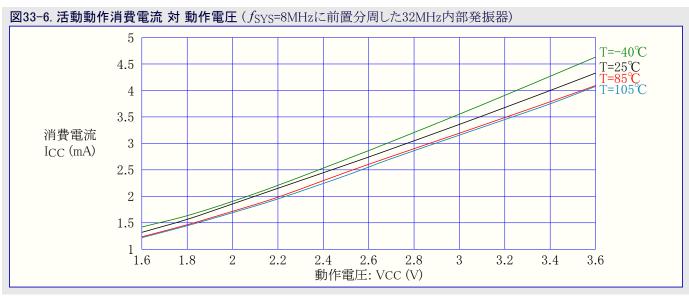




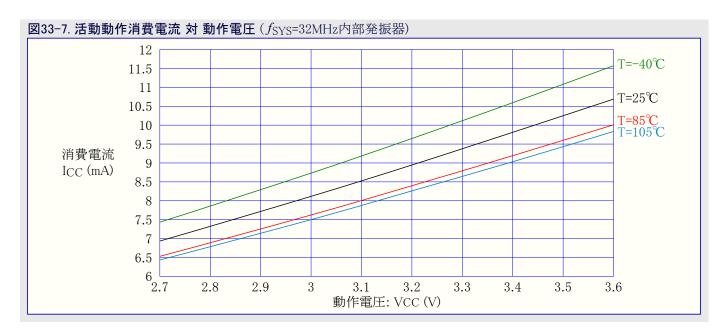




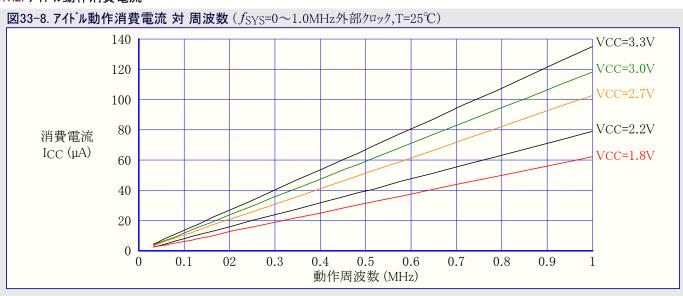


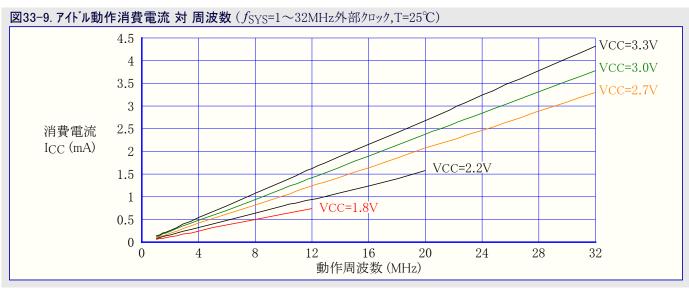




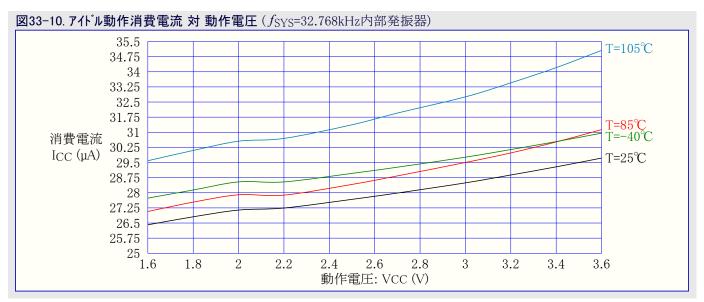


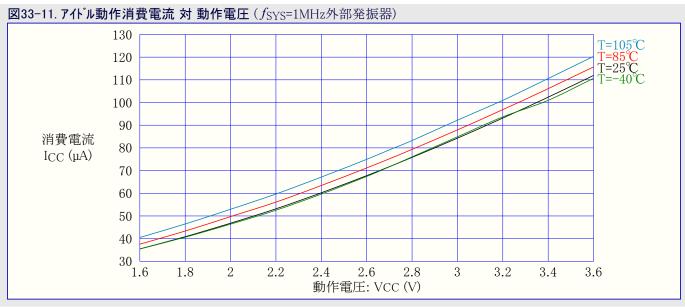
### 33.1.1.2. アイトル動作消費電流

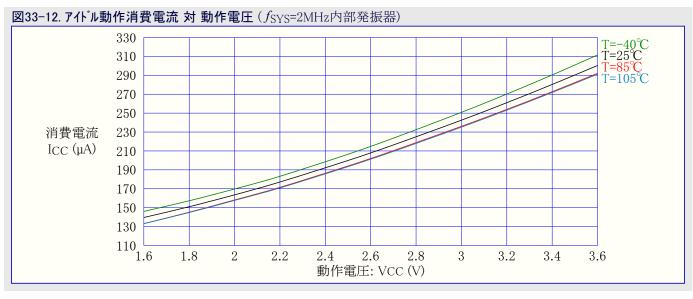




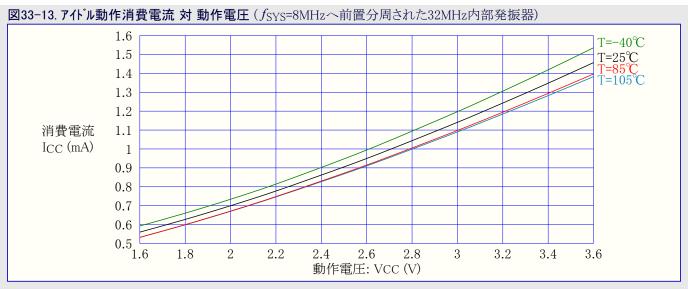


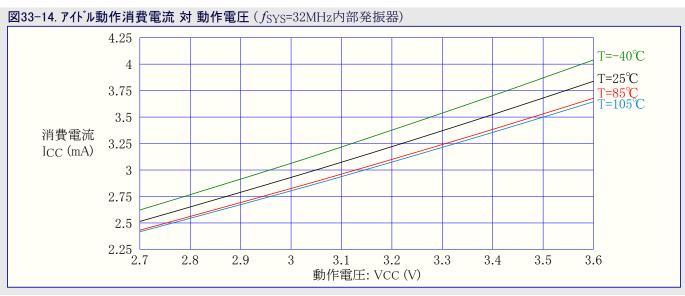




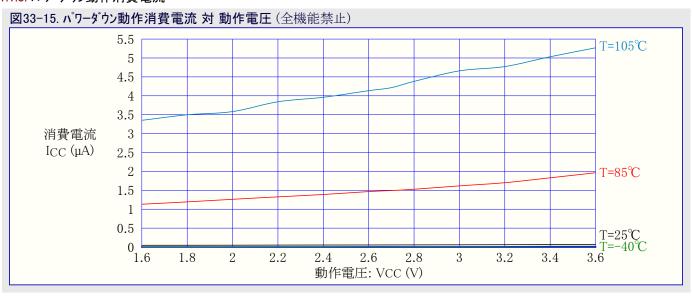




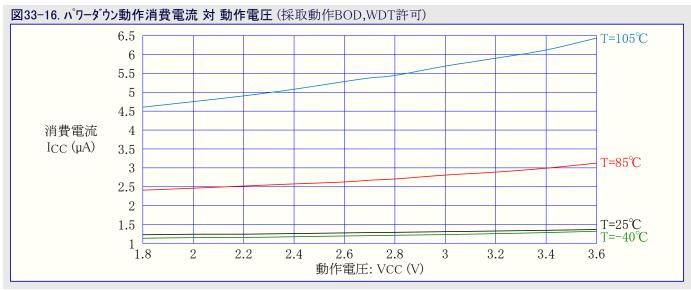


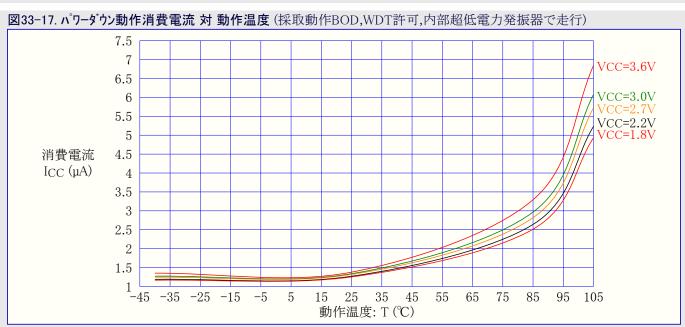


### 33.1.1.3. パワーダウン動作消費電流

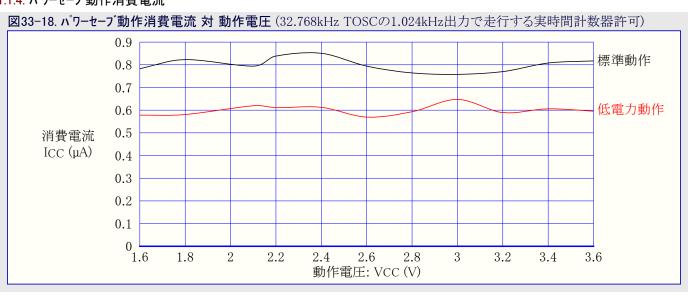






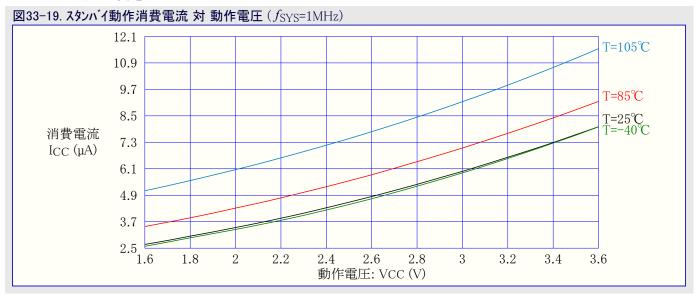


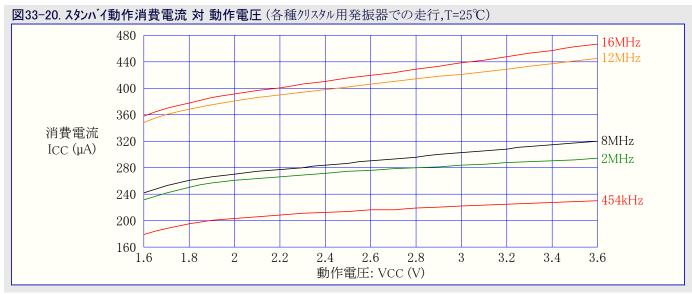
### 33.1.1.4. パワーセーブ動作消費電流





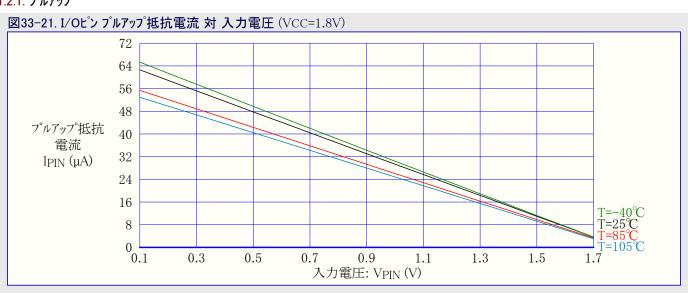
### 33.1.1.5. スタンバイ動作消費電流



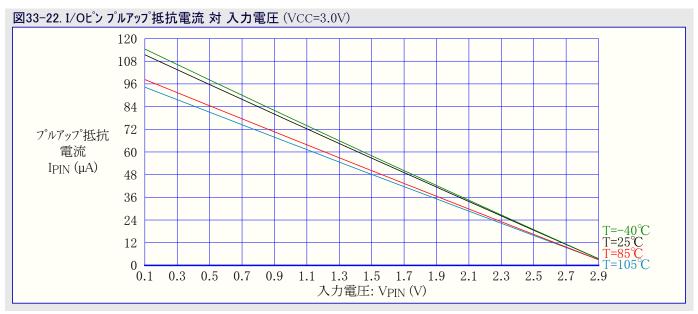


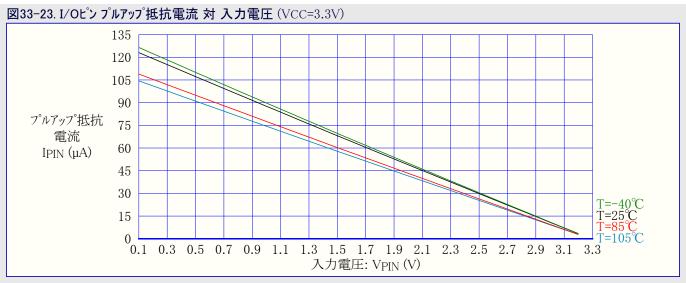
# 33.1.2. 入出力ピン特性

### 33.1.2.1. プルアップ

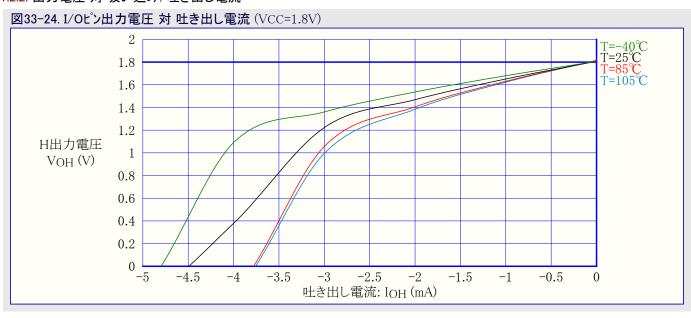




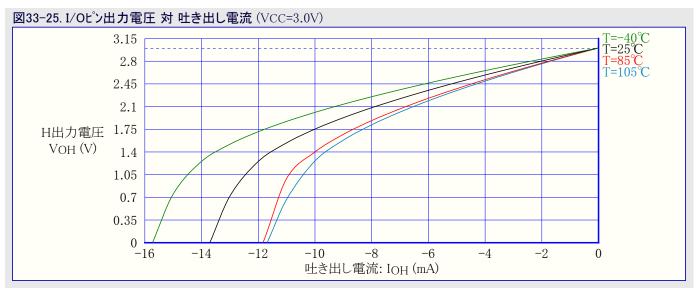


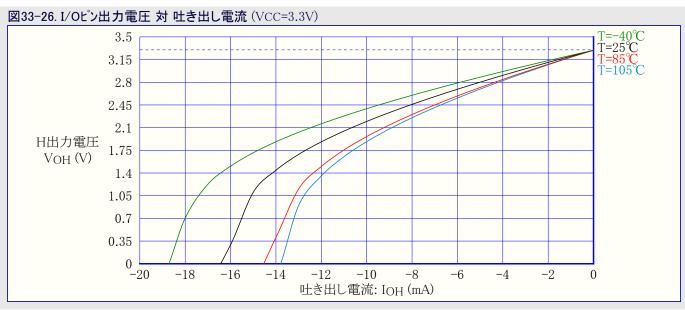


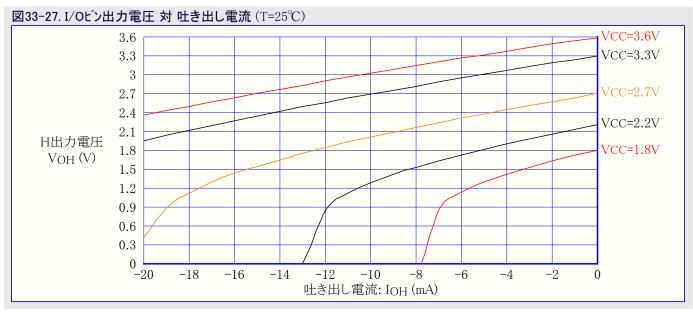
### 33.1.2.2. 出力電圧 対 吸い込み/吐き出し電流



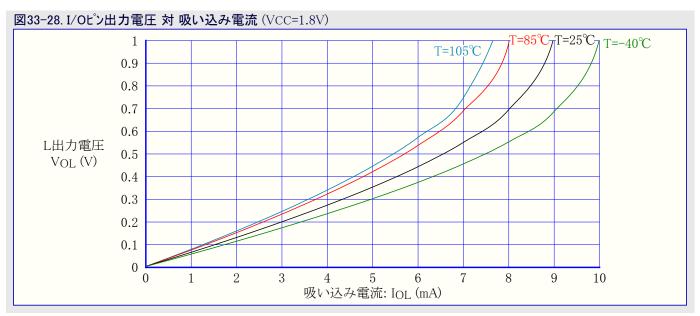


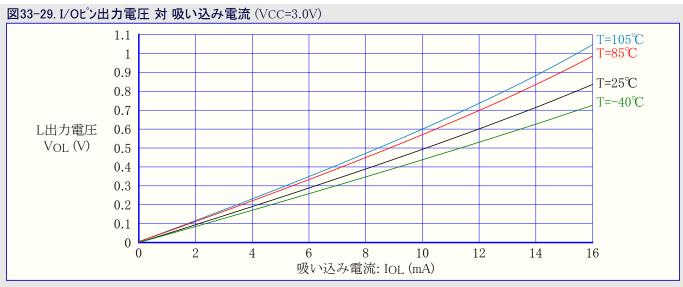


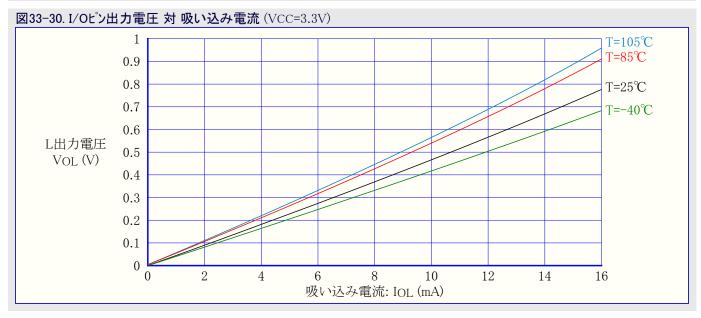




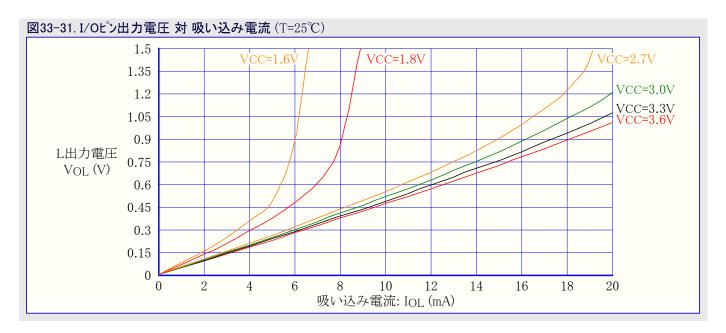




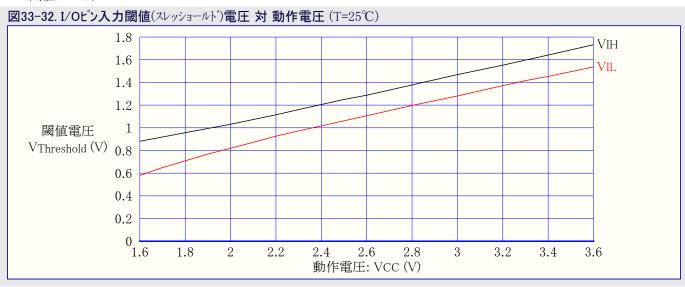


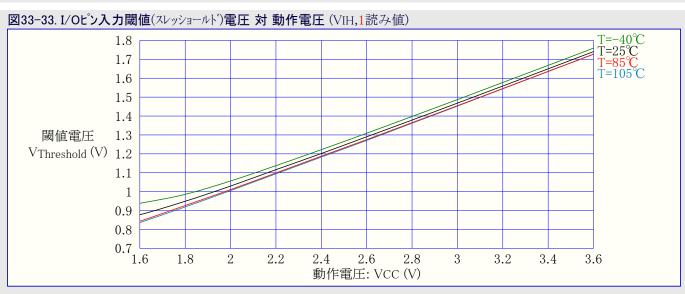


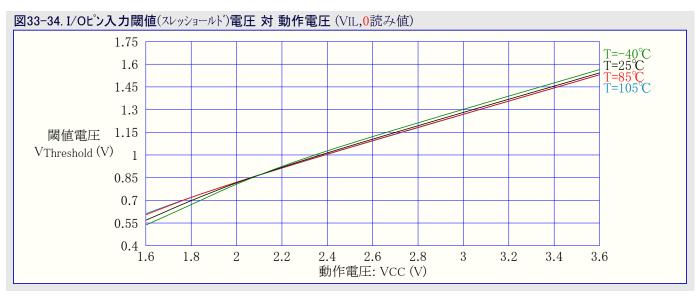


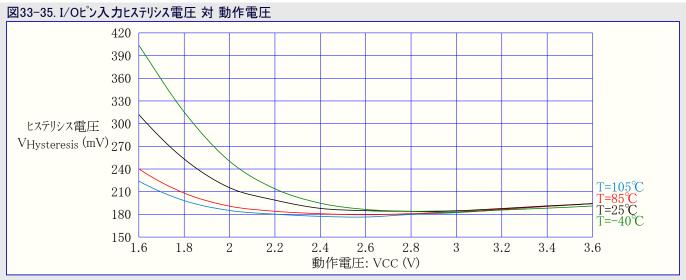


### 33.1.2.3. 閾値とヒステリシス

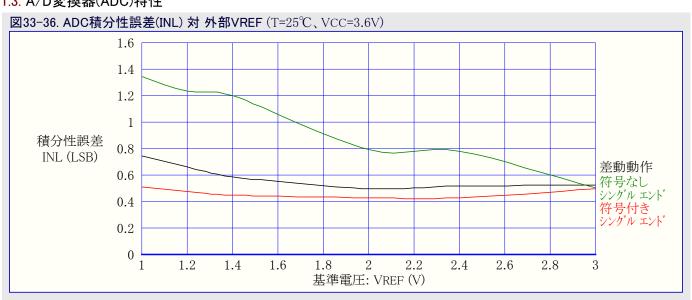




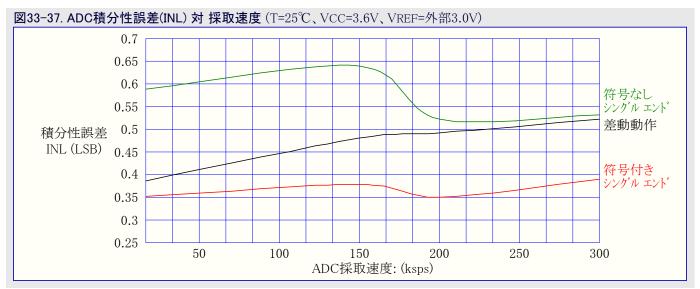


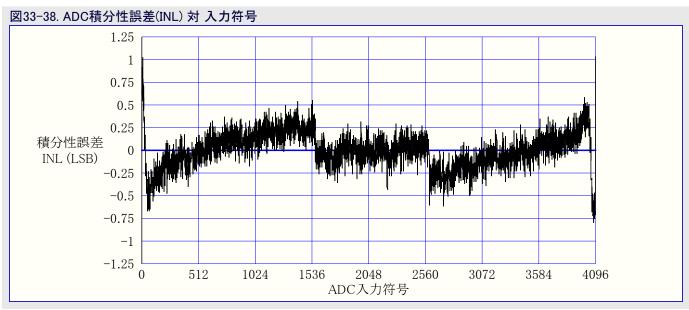


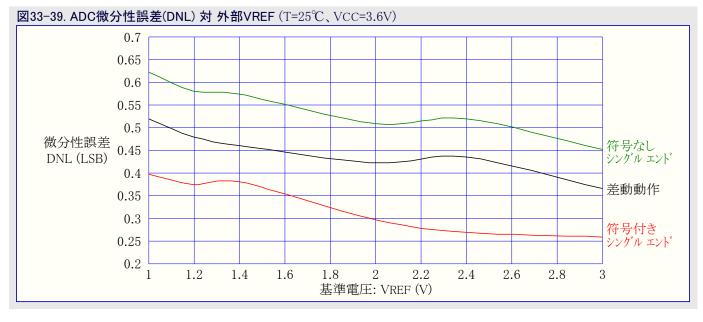
## 33.1.3. A/D変換器(ADC)特性



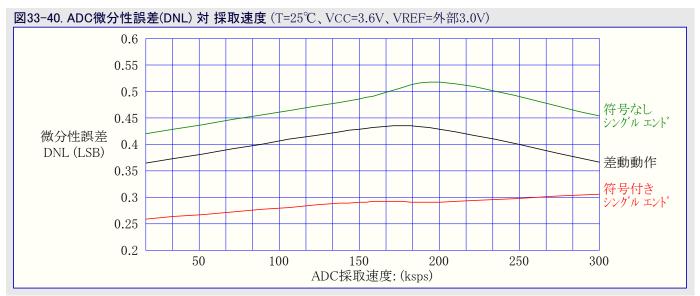


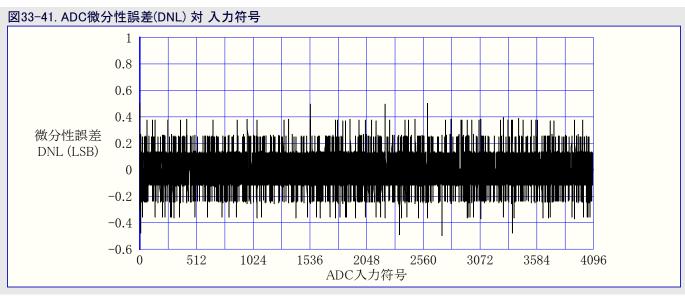


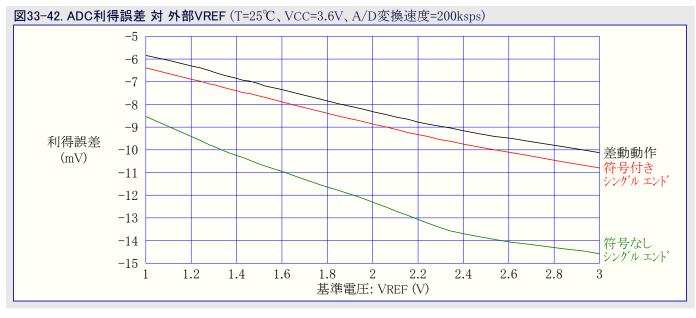




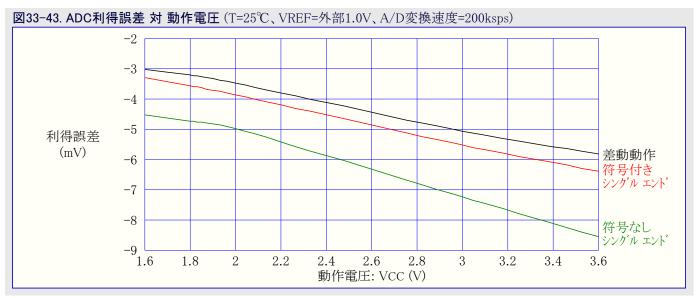


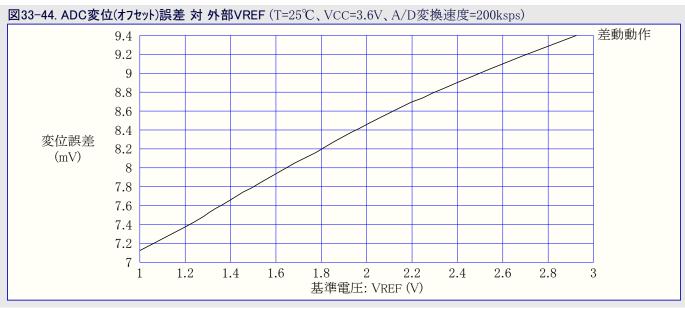


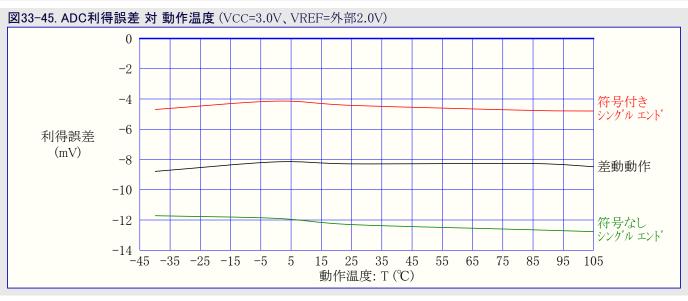




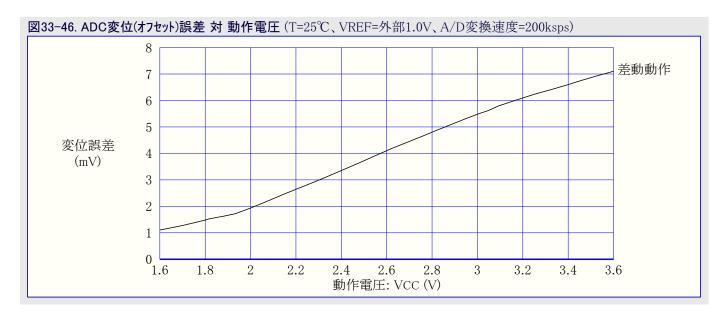




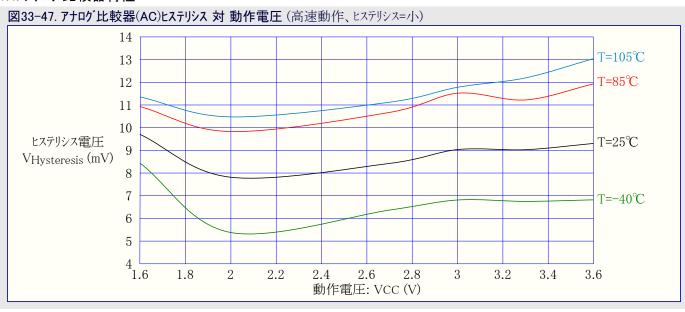


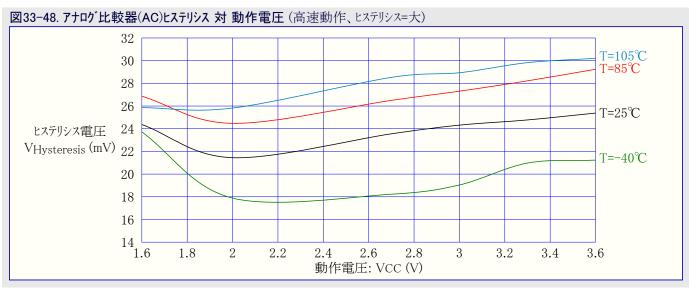




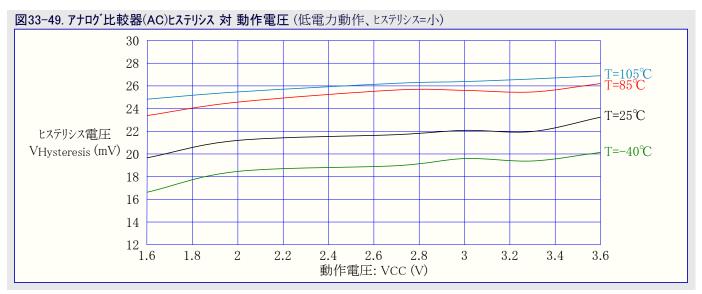


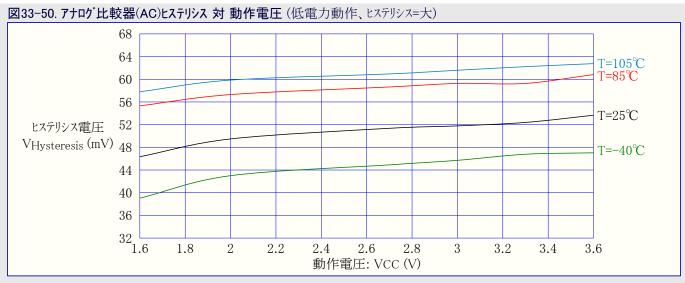
## 33.1.4. アナログ比較器特性

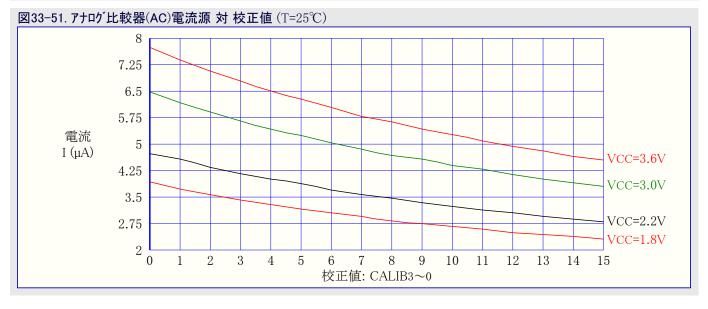




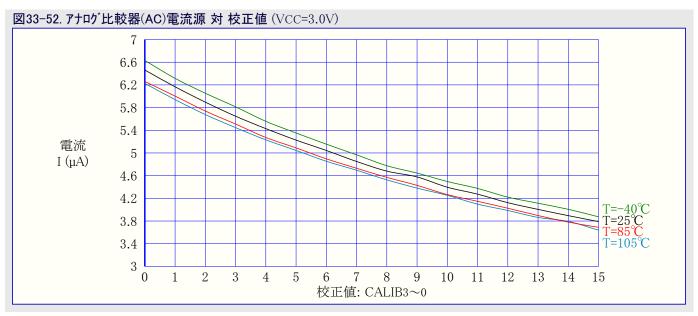


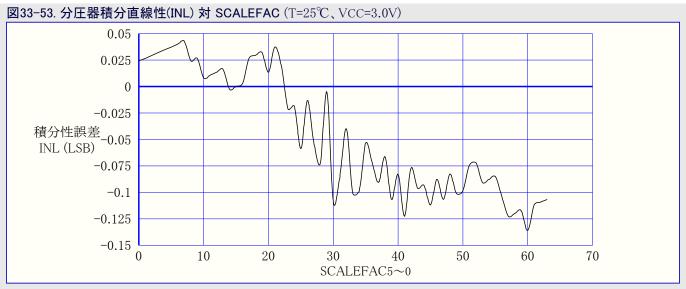




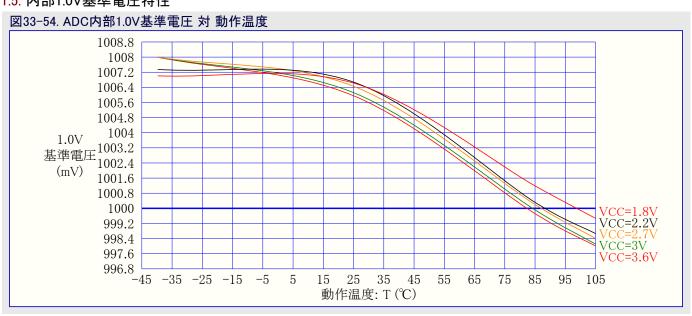






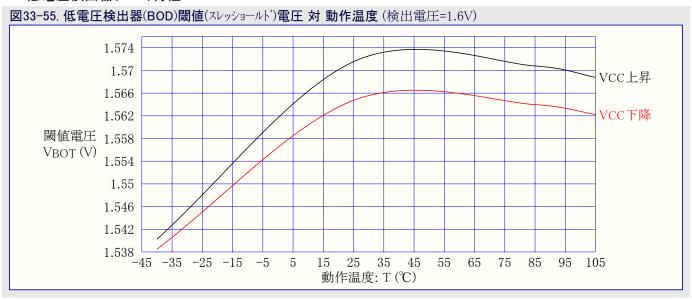


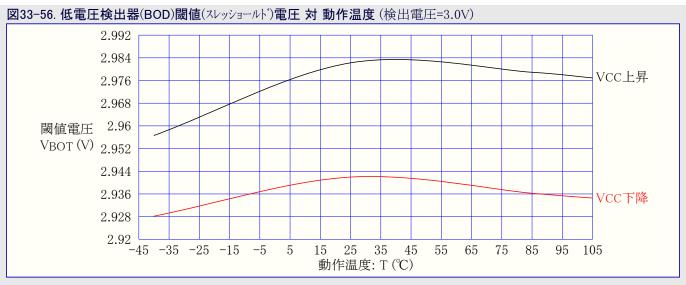
### 33.1.5. 内部1.0V基準電圧特性



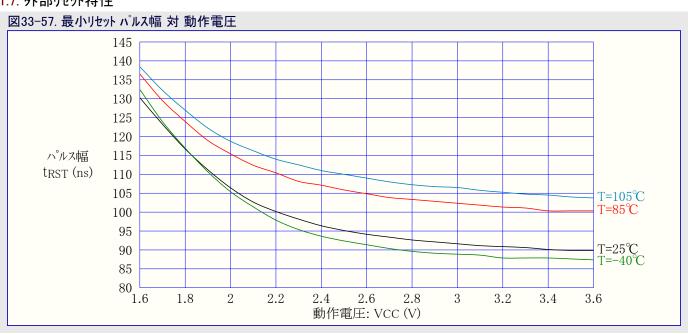


# 33.1.6. 低電圧検出器(BOD)特性

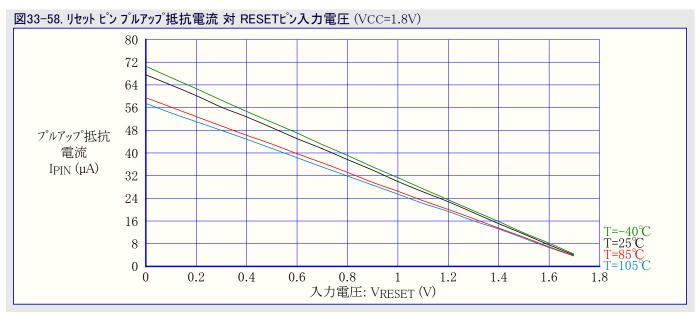


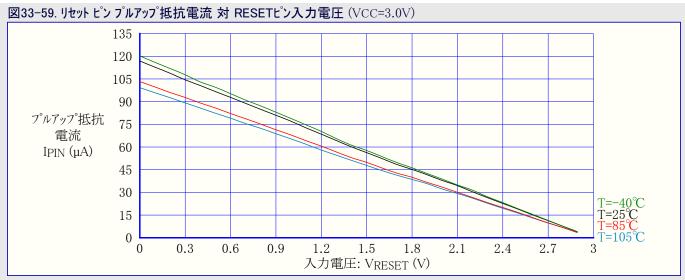


# 33.1.7. 外部リセット特性



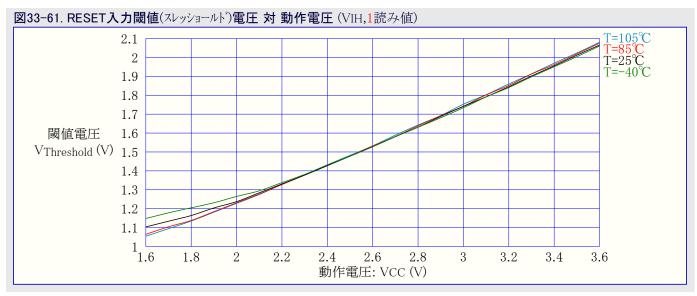


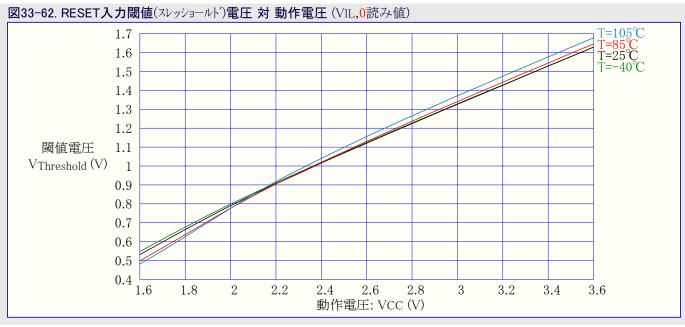








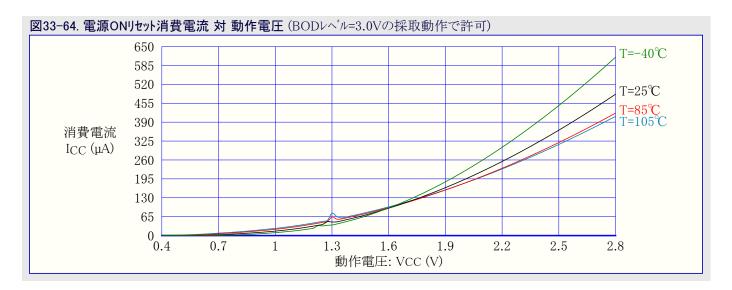




## 33.1.8. 電源ONリセット特性

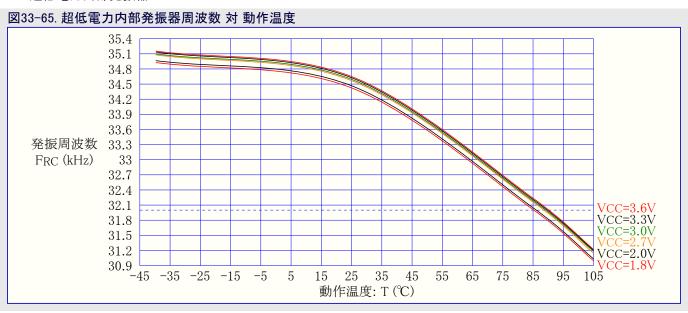




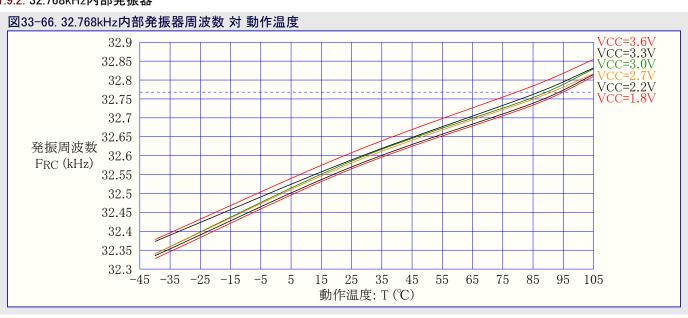


## 33.1.9. 発振器特性

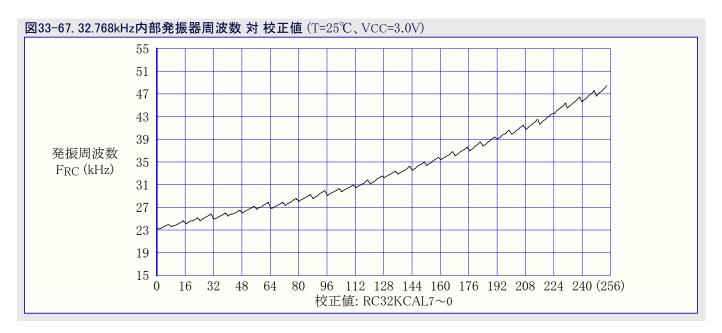
## 33.1.9.1. 超低電力内部発振器



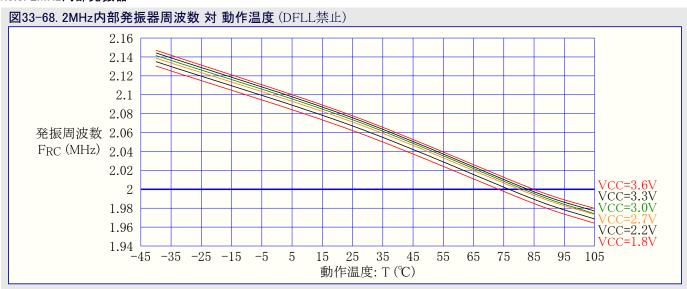
# 33.1.9.2. 32.768kHz内部発振器

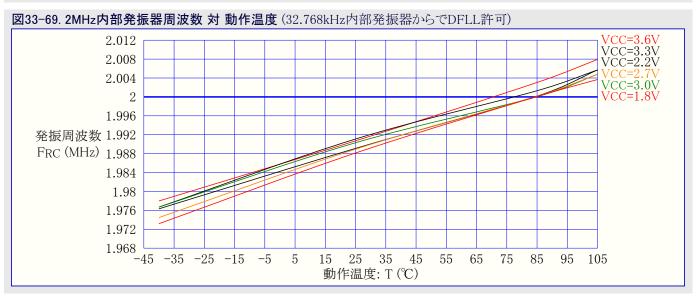




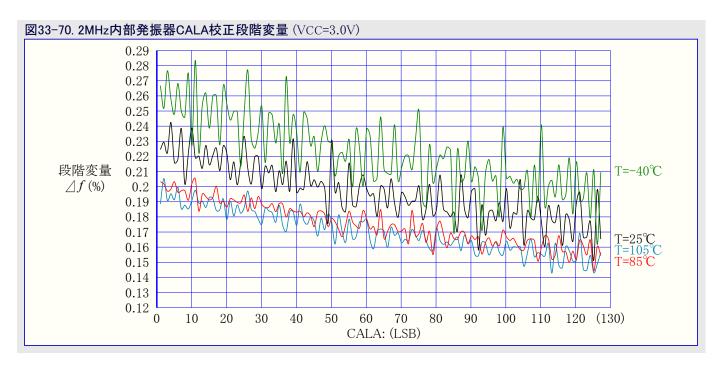


### 33.1.9.3. 2MHz内部発振器

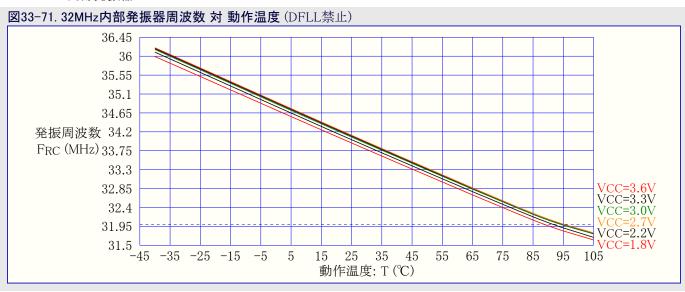


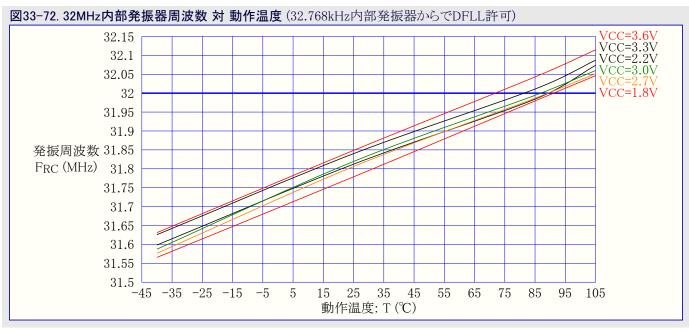




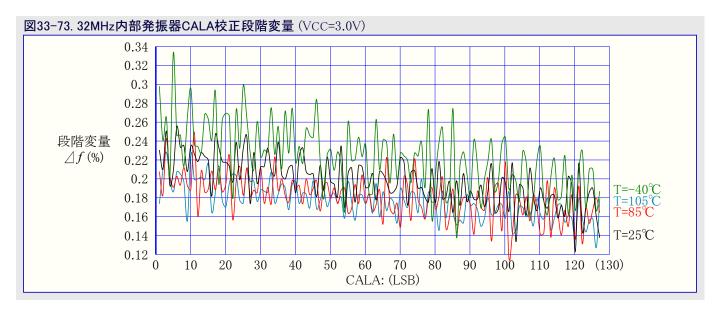


#### 33.1.9.4. 32MHz内部発振器

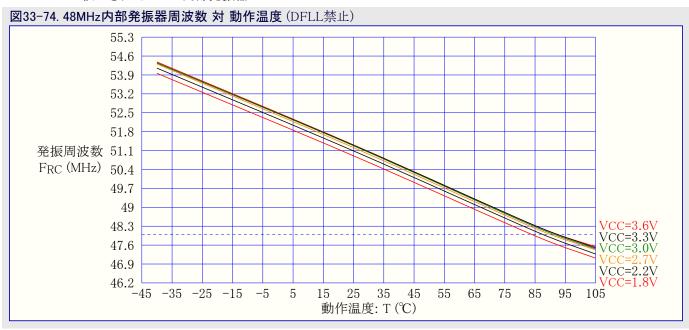


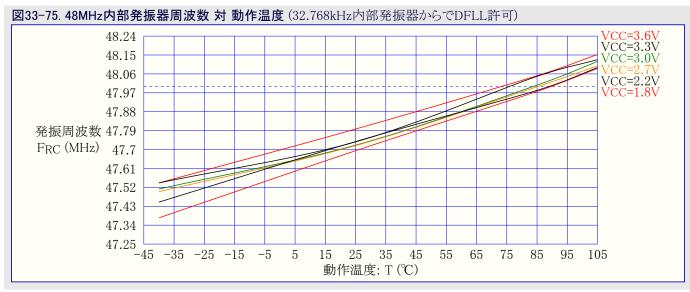






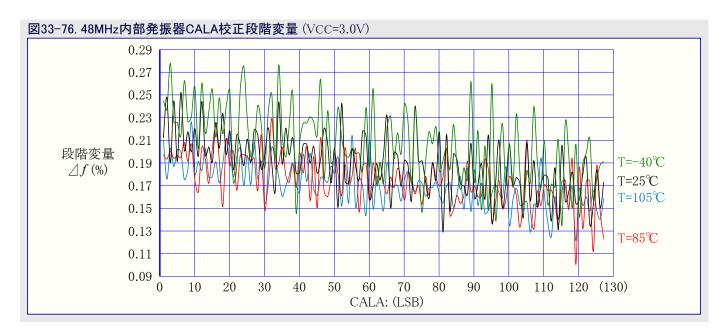
#### 33.1.9.5. 48MHzに校正された32MHz内部発振器



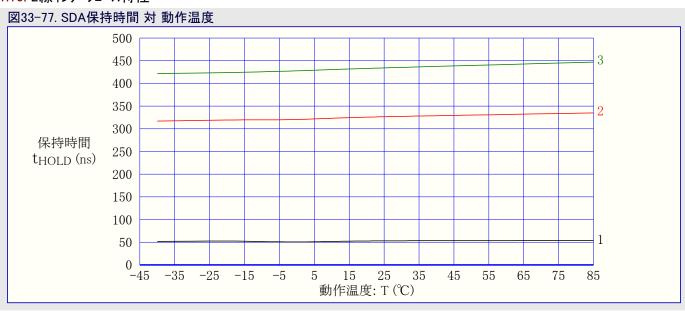


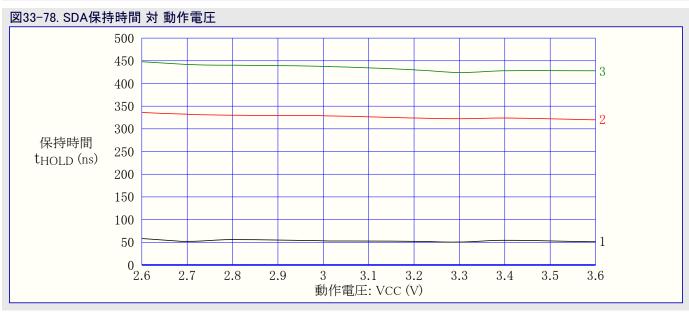
(<mark>訳注</mark>) 原書の**図33-75**.は32MHz用の図なので、本書では48MHz用に修正しています。





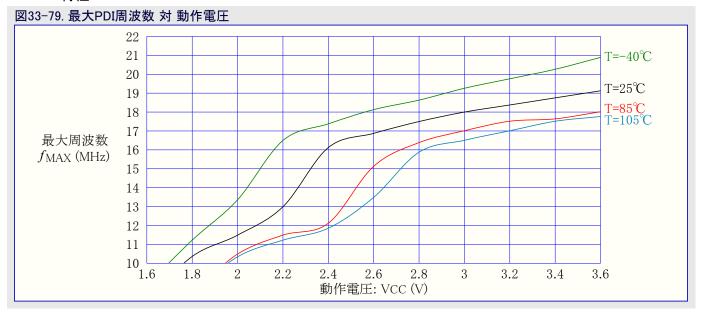
## 33.1.10. 2線インターフェース特性







# 33.1.11. PDI特性

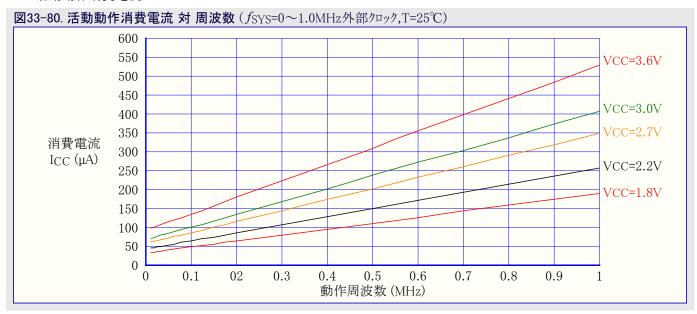


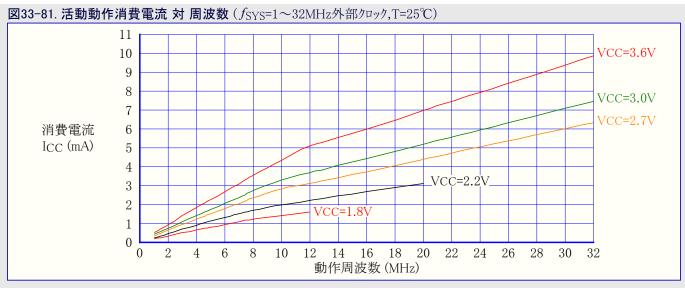


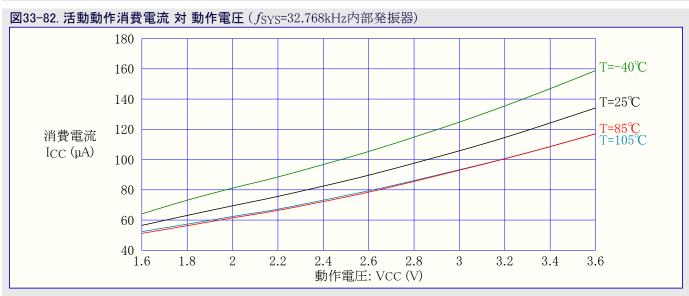
# 33.2. ATxmega32D4

## 33.2.1. 消費電流

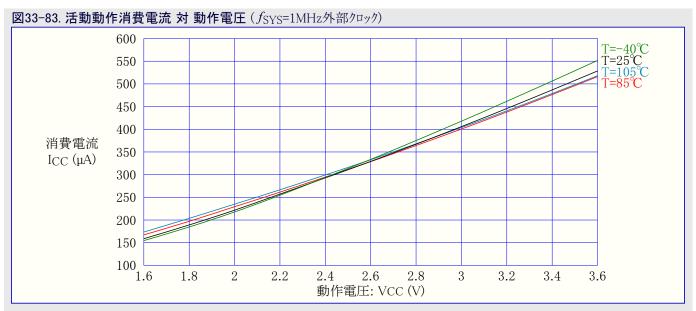
#### 33.2.1.1. 活動動作消費電流

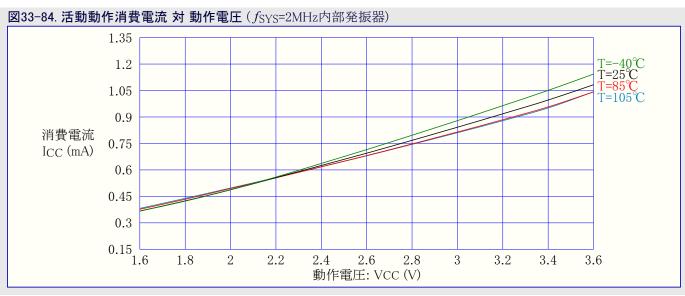


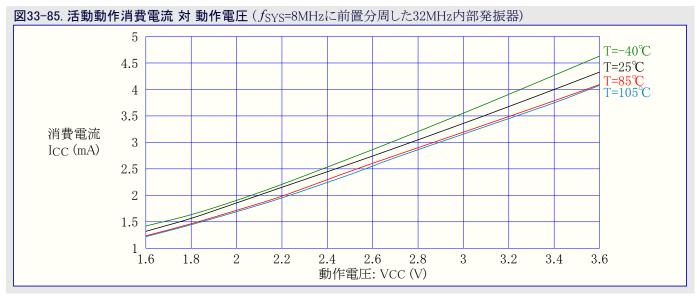




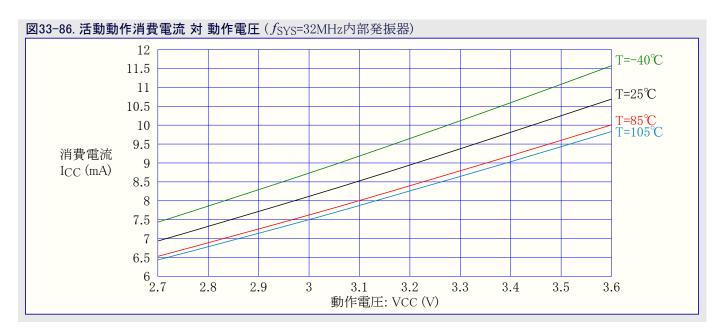




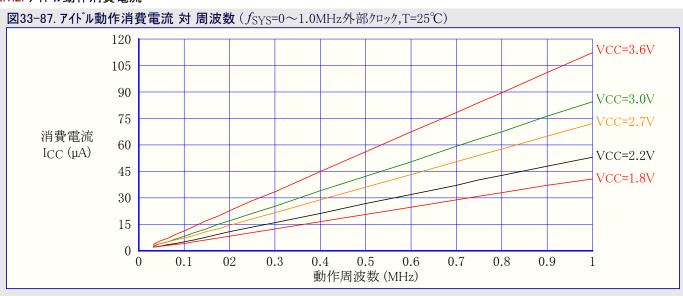


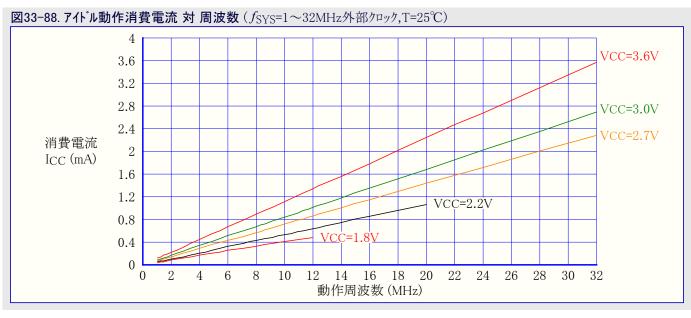


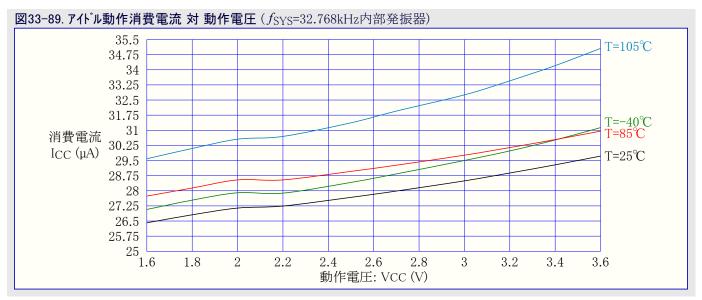


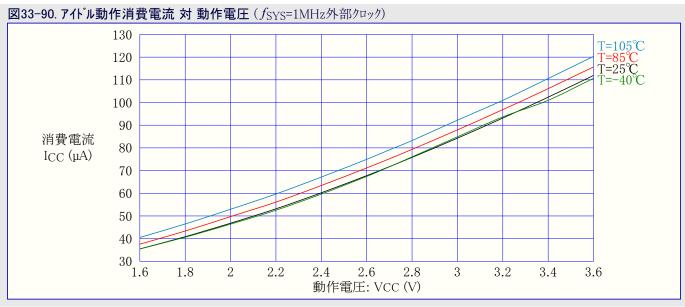


## 33.2.1.2. アイドル動作消費電流



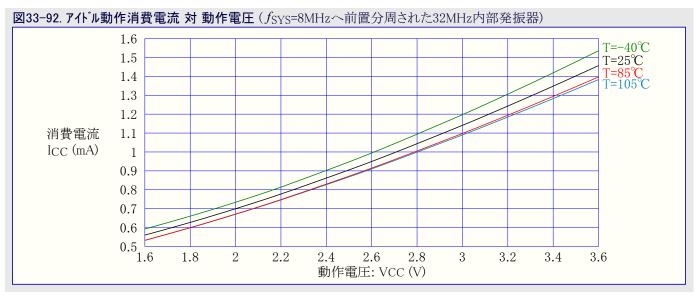


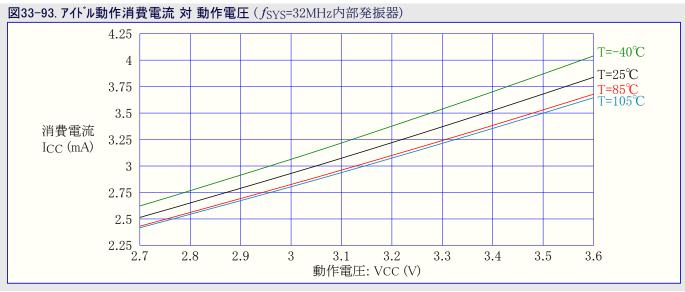




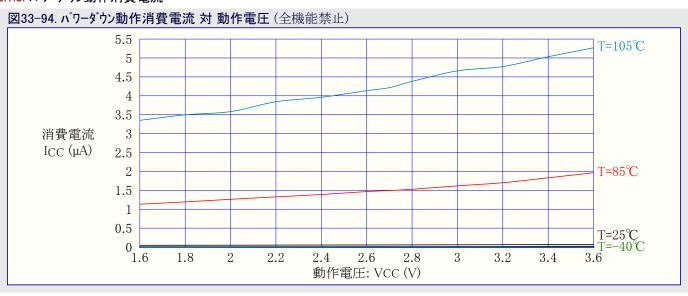




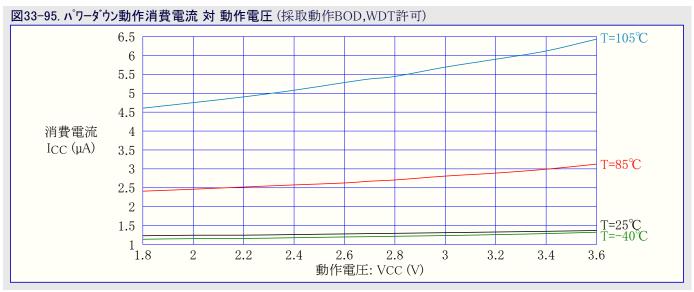


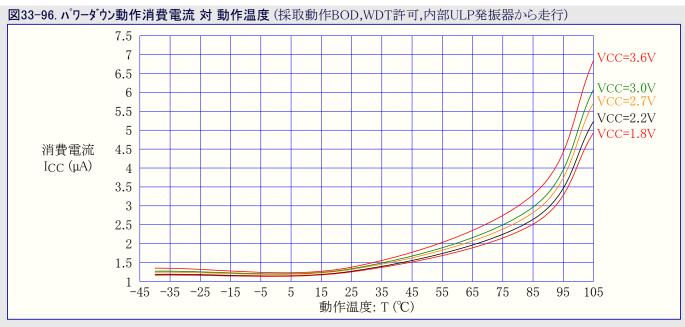


## 33.2.1.3. パワーダウン動作消費電流

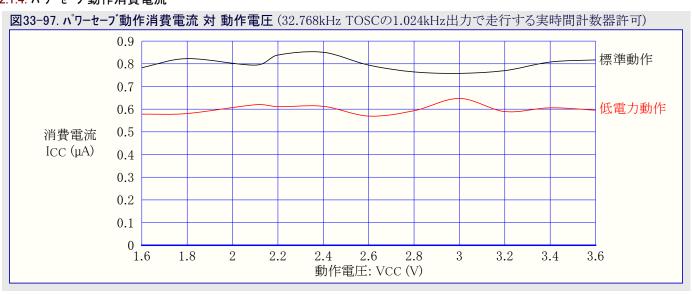




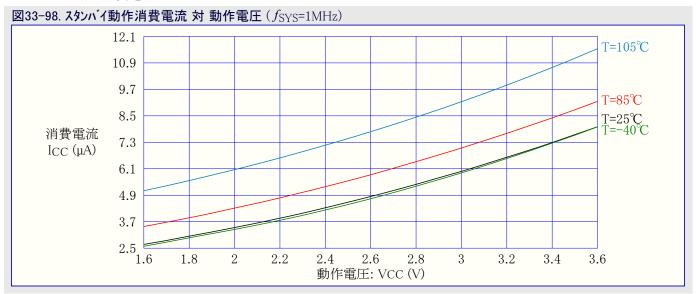


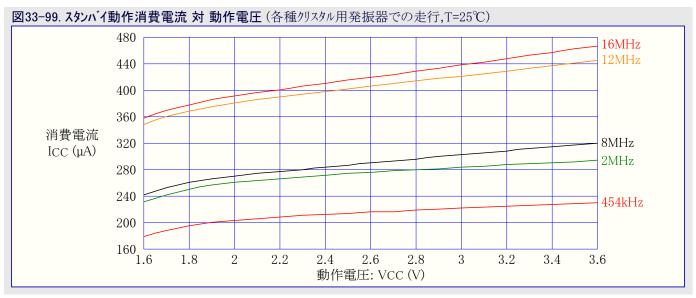


## 33.2.1.4. パワーセーブ動作消費電流



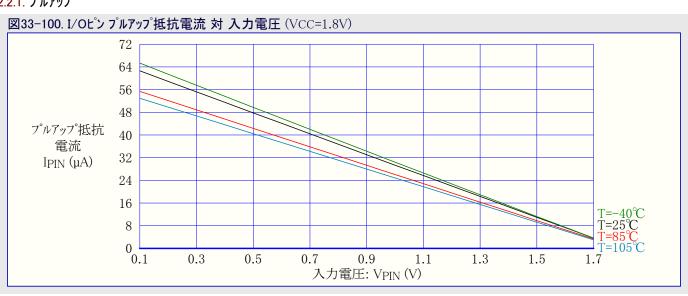
#### 33.2.1.5. スタンバイ動作消費電流



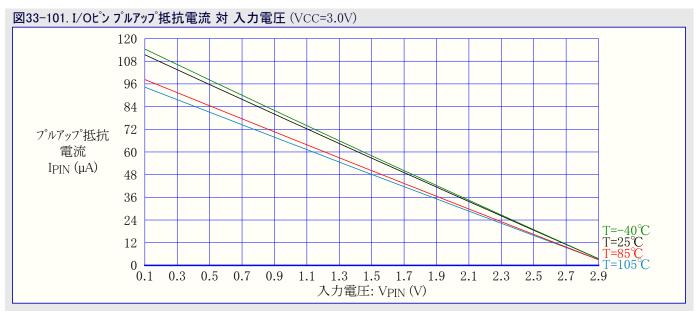


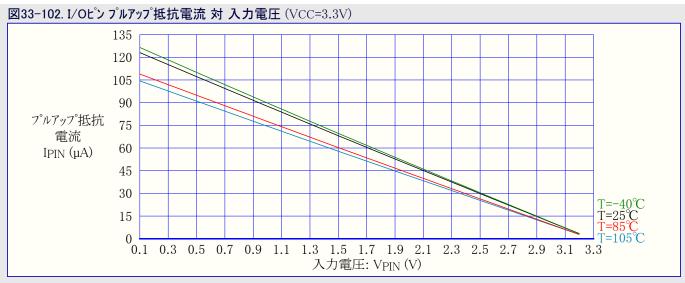
### 33.2.2. 入出力ピン特性

# 33.2.2.1. プルアップ

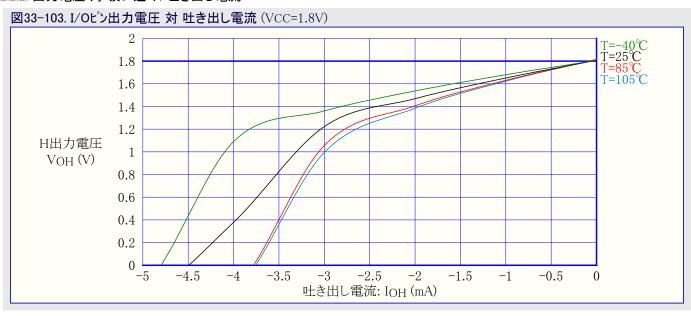




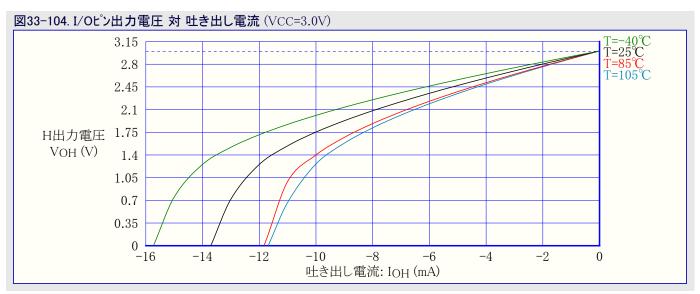


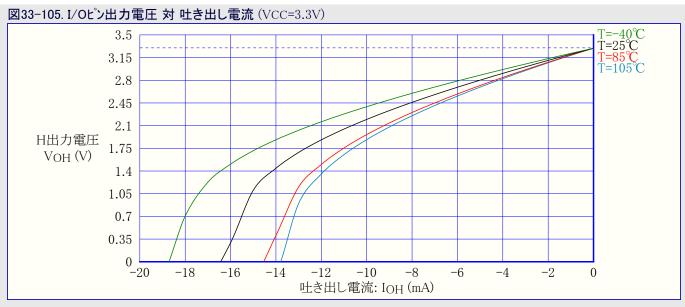


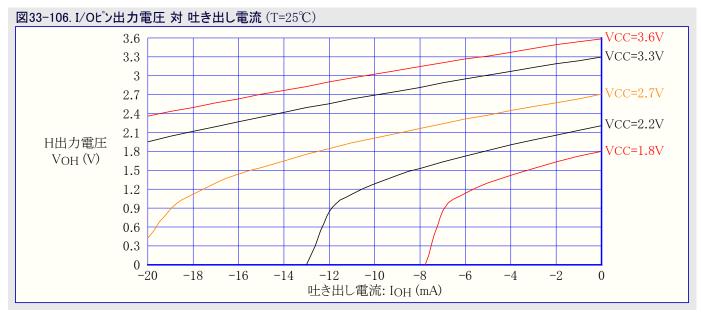
#### 33.2.2.2. 出力電圧 対 吸い込み/吐き出し電流



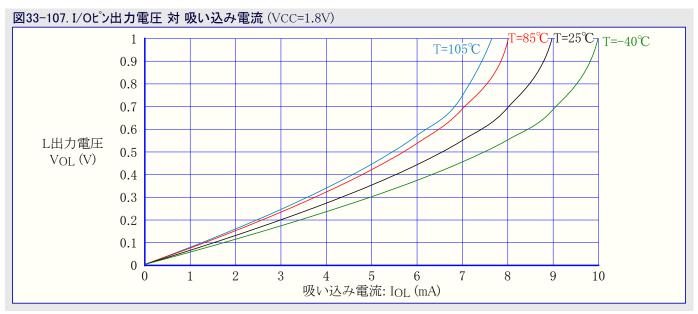


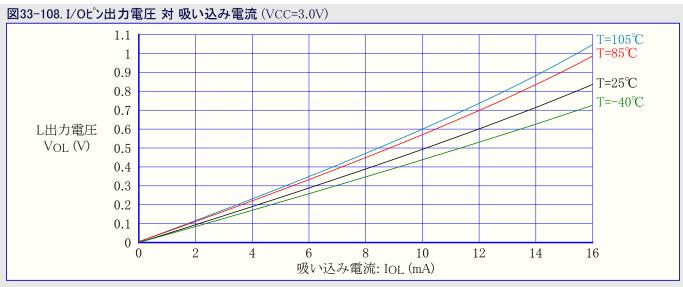


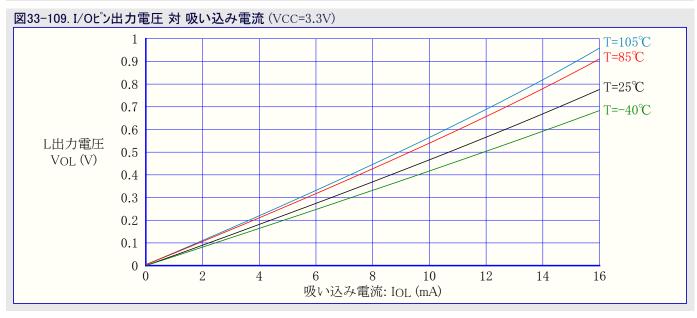




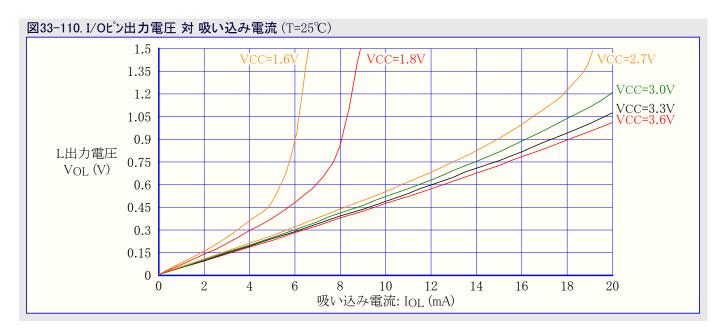




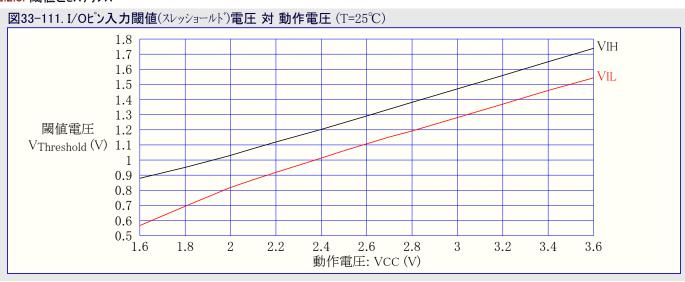






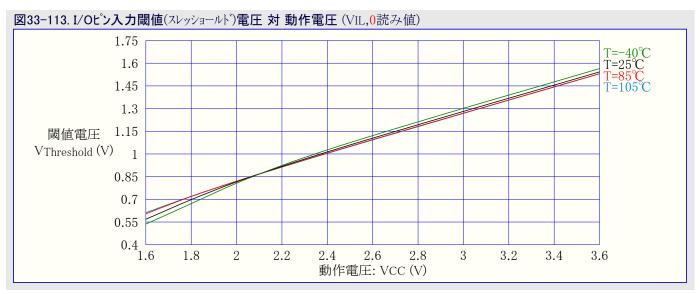


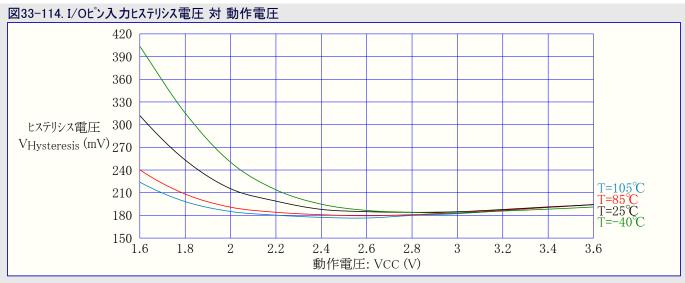
### 33.2.2.3. 閾値とヒステリシス



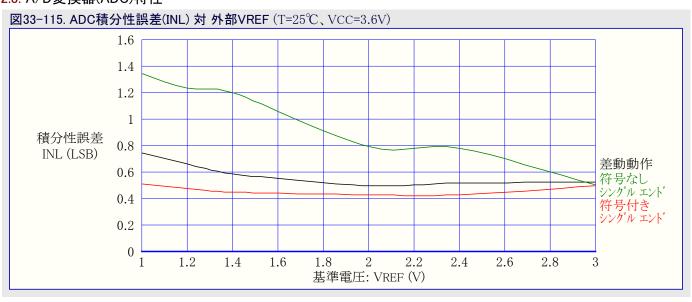




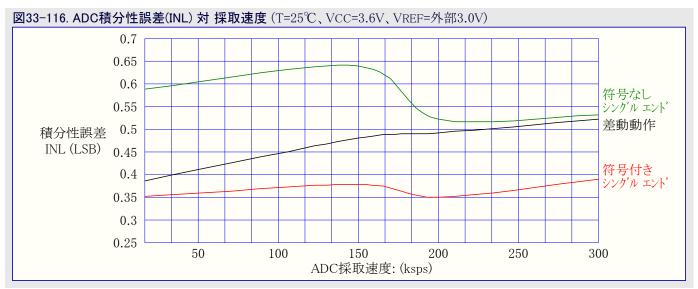


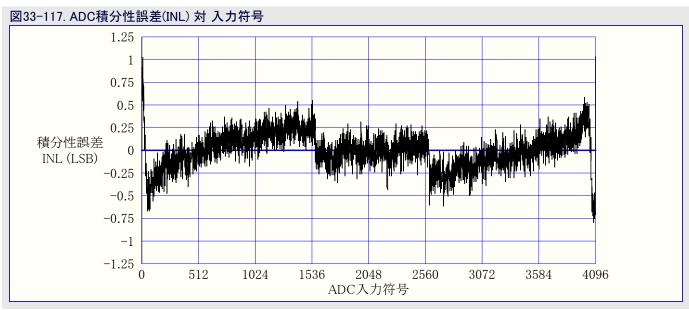


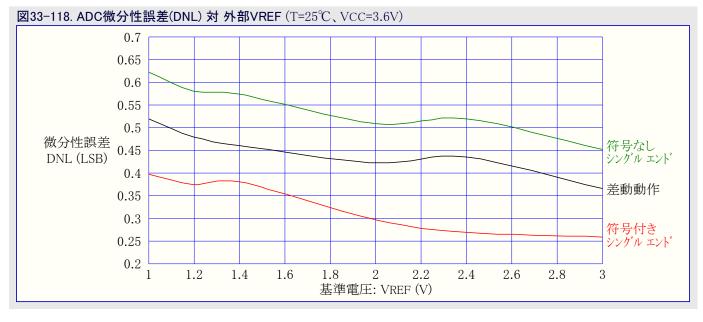
## 33.2.3. A/D変換器(ADC)特性



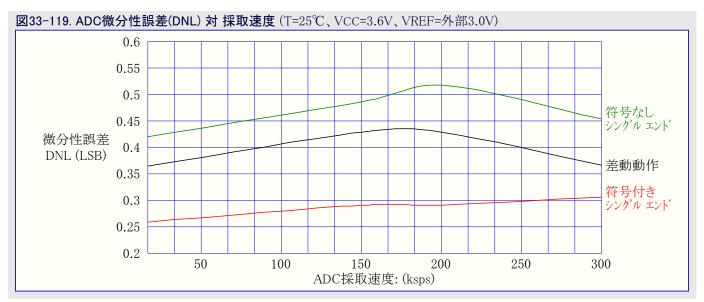


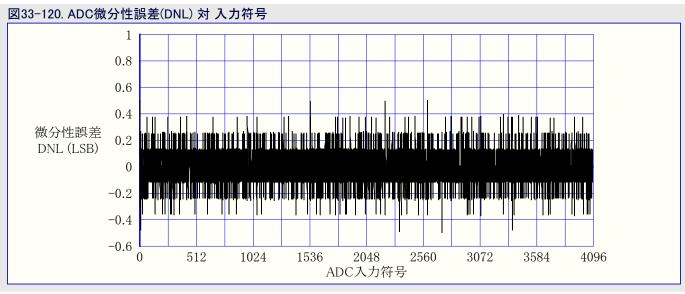


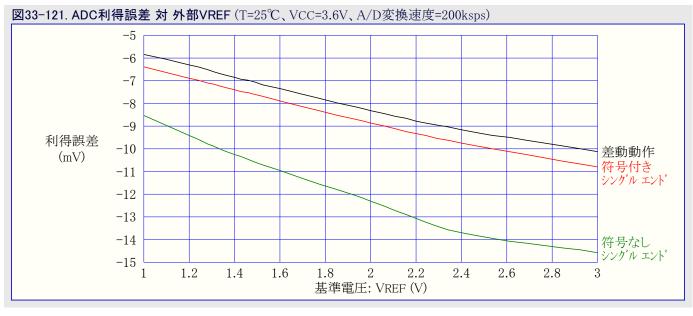




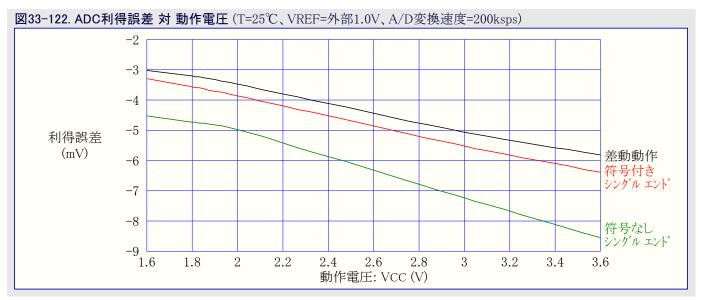


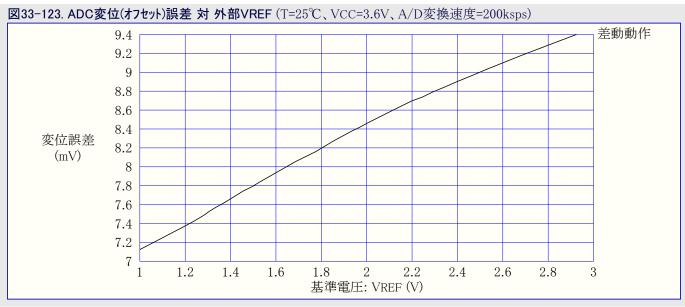


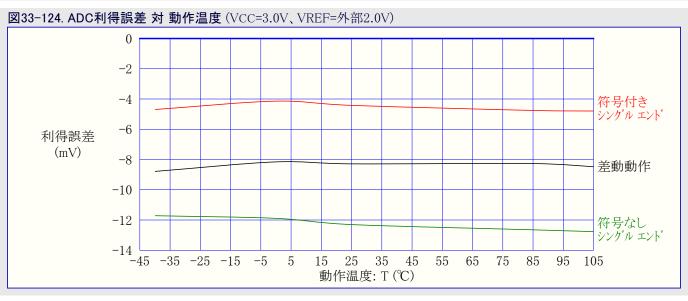




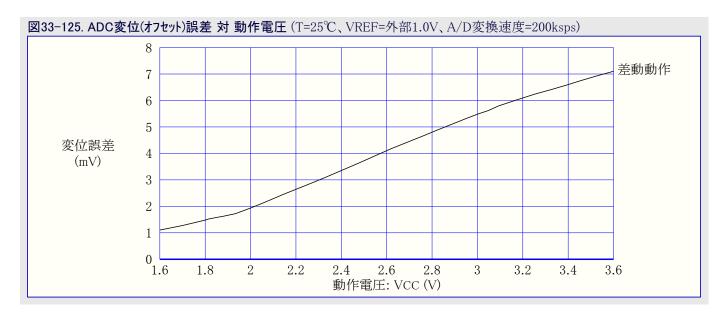




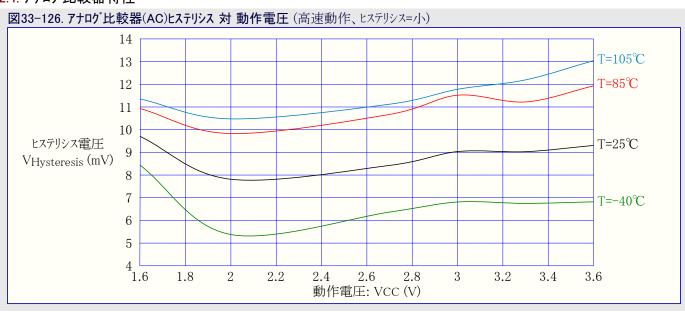


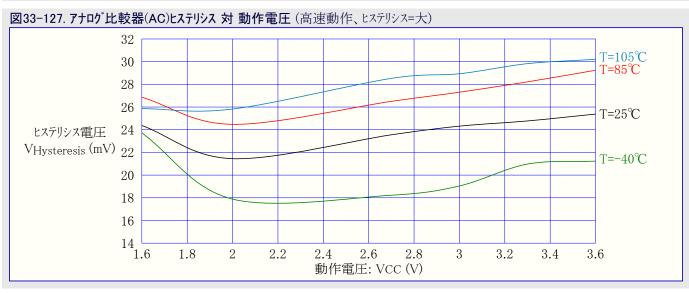




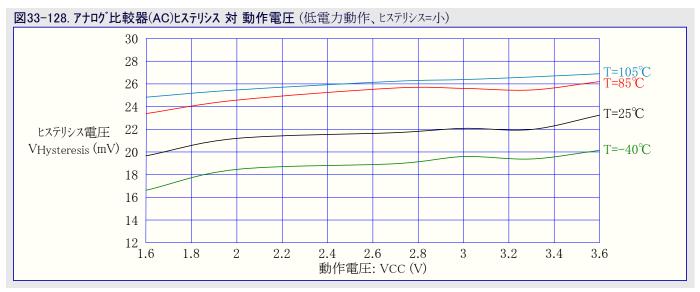


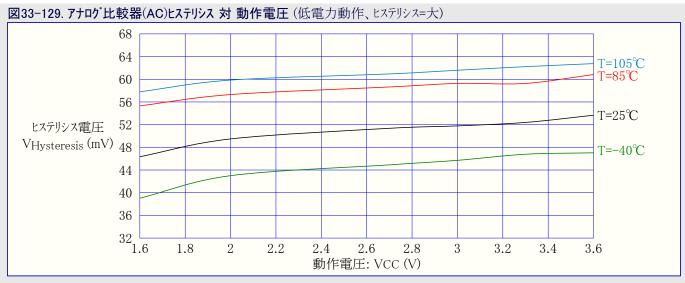
## 33.2.4. アナログ比較器特性

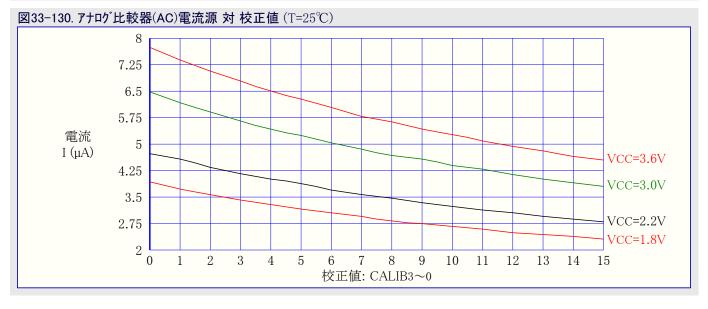




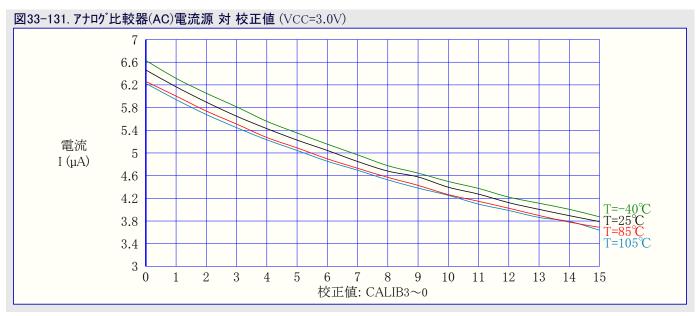


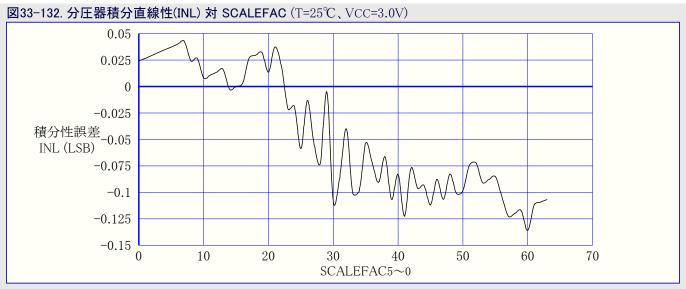




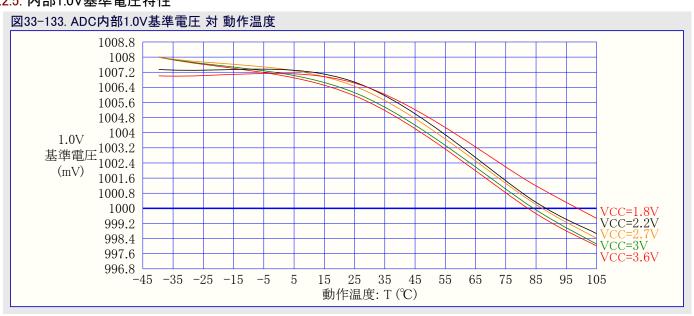






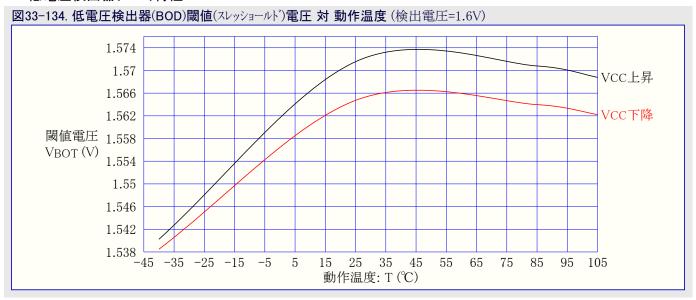


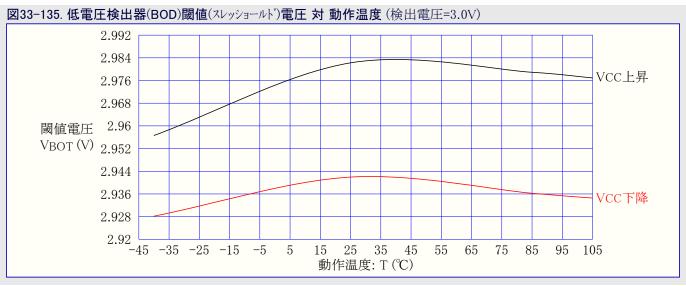
#### 33.2.5. 内部1.0V基準電圧特性



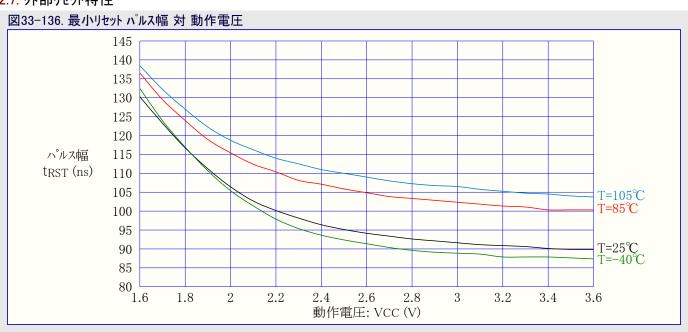


### 33.2.6. 低電圧検出器(BOD)特性

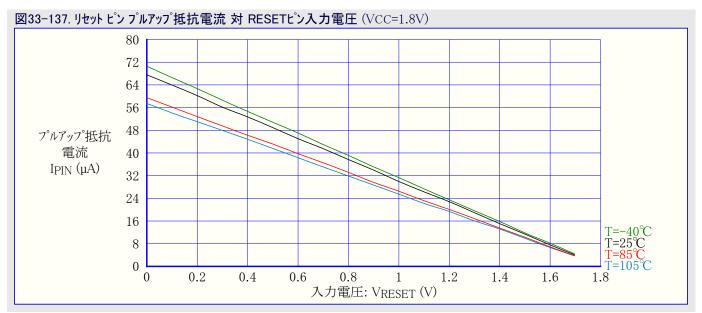


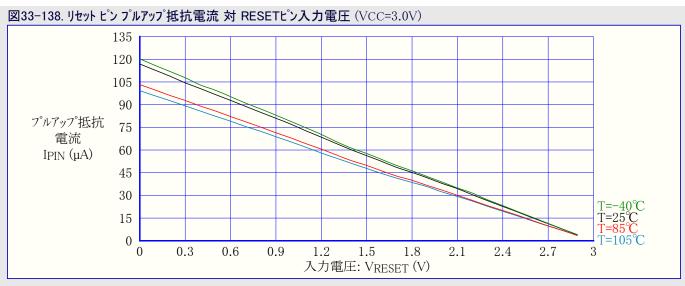


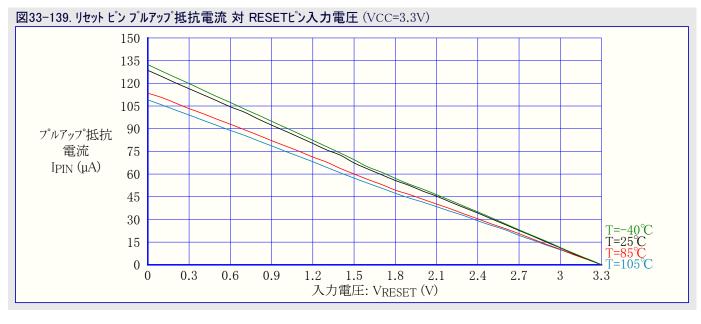
### 33.2.7. 外部リセット特性



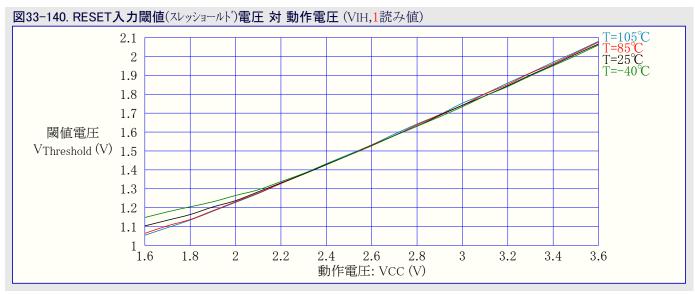


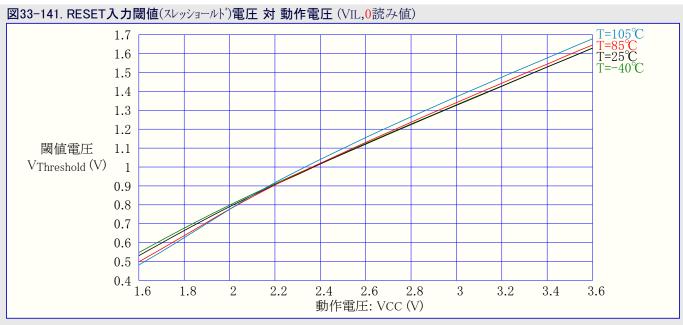




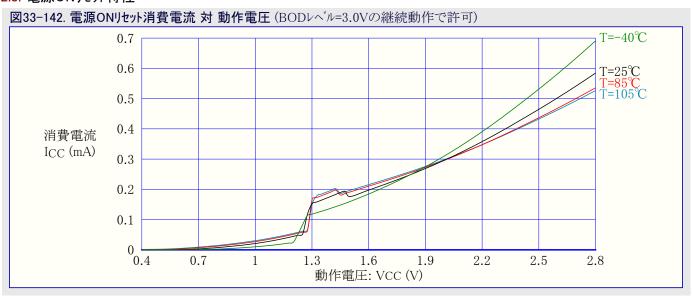


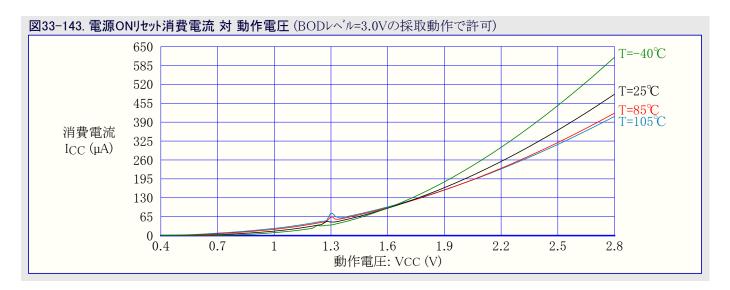






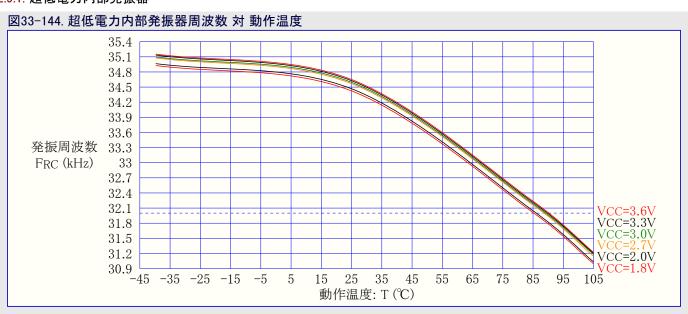
#### 33.2.8. 電源ONリセット特性



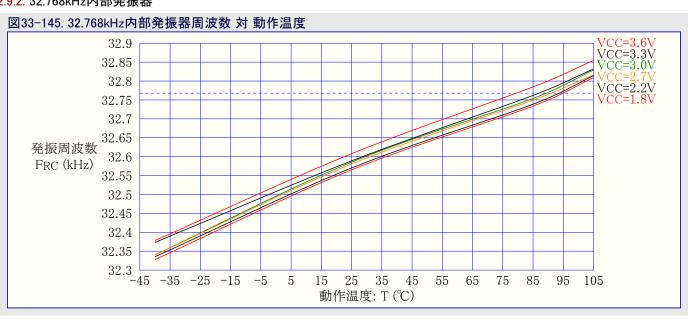


### 33.2.9. 発振器特性

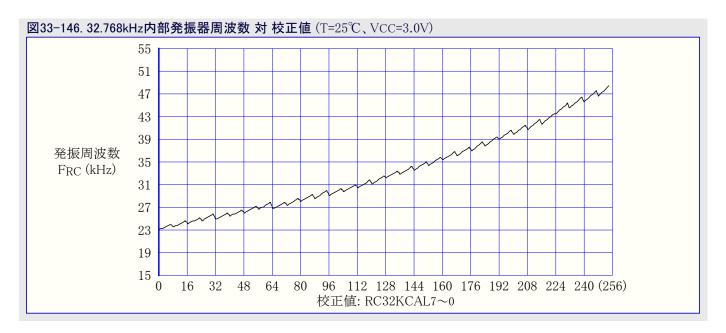
### 33.2.9.1. 超低電力内部発振器



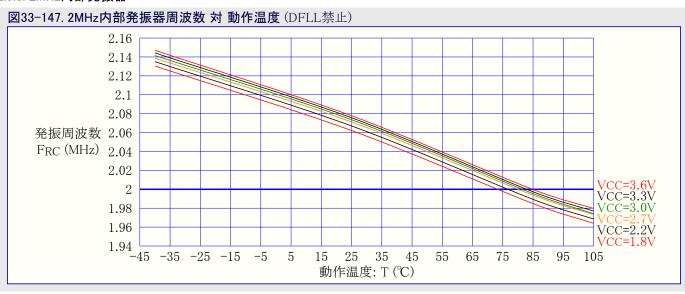
## 33.2.9.2. 32.768kHz内部発振器

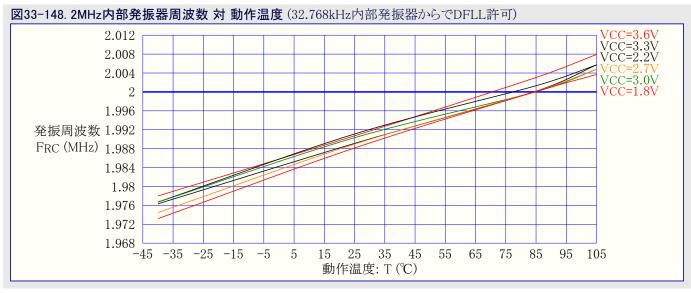




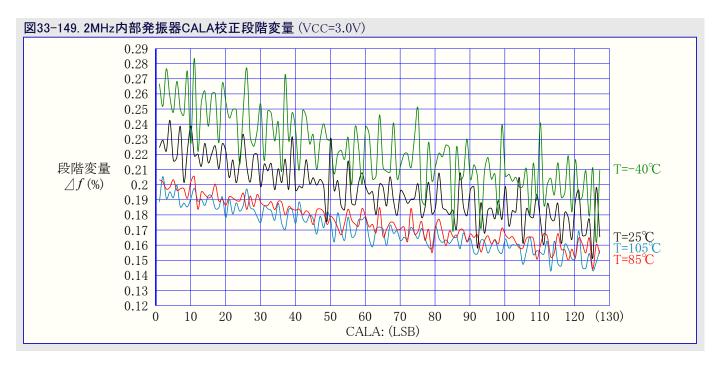


#### 33.2.9.3. 2MHz内部発振器

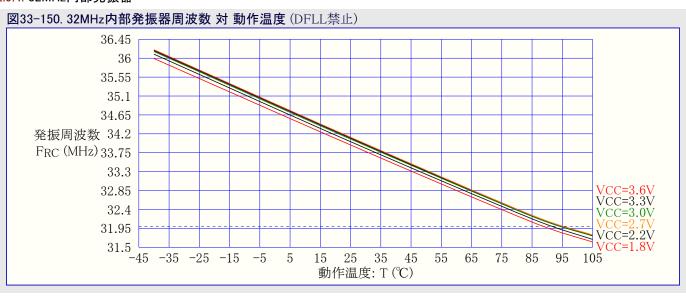


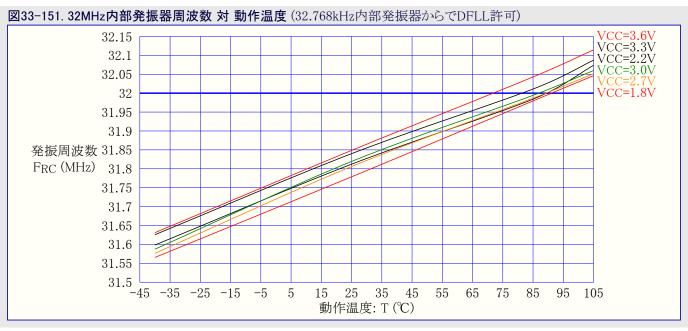


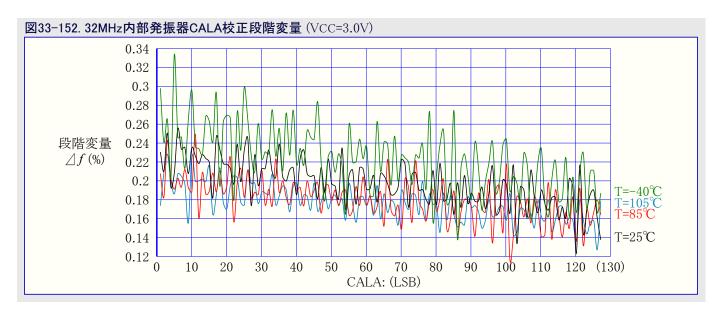




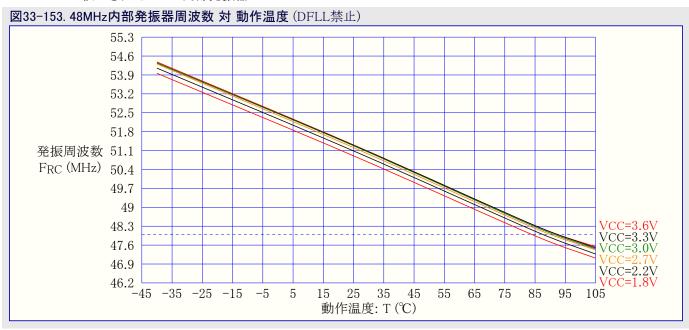
#### 33.2.9.4. 32MHz内部発振器

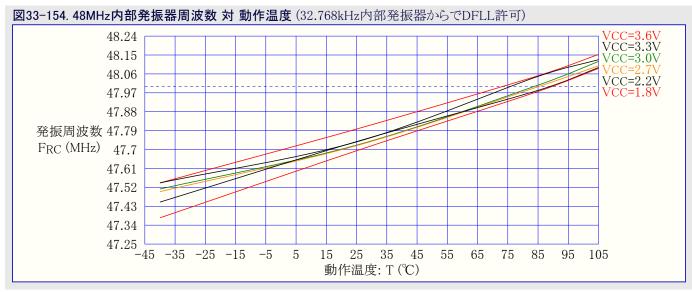






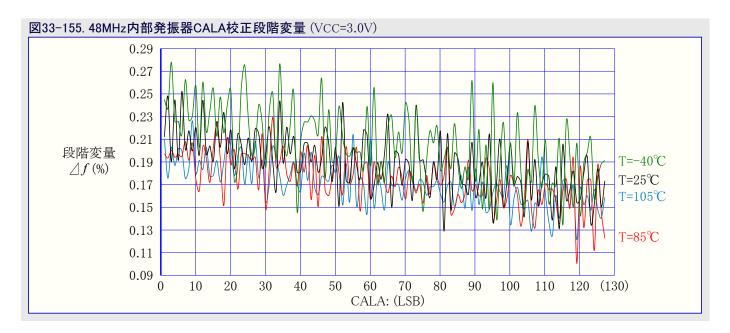
#### 33.2.9.5. 48MHzに校正された32MHz内部発振器



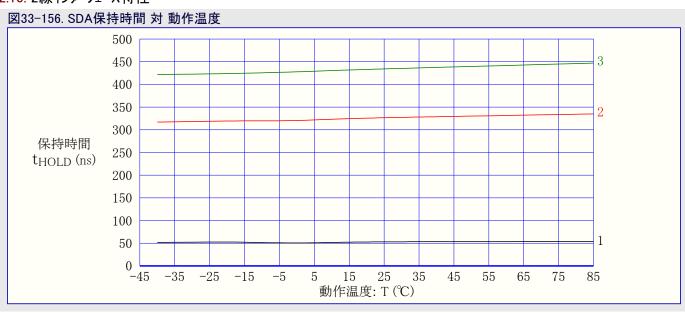


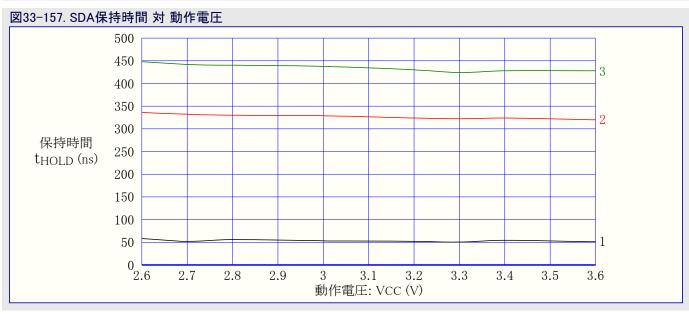
(<mark>訳注</mark>) 原書の**図33-154**.は32MHz用の図なので、本書では48MHz用に修正しています。





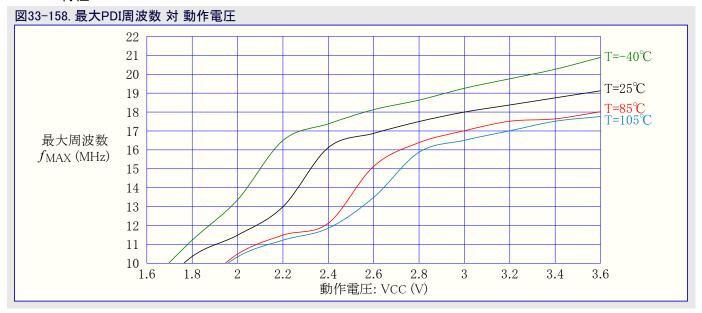
### 33.2.10. 2線インターフェース特性







# 33.2.11. PDI特性

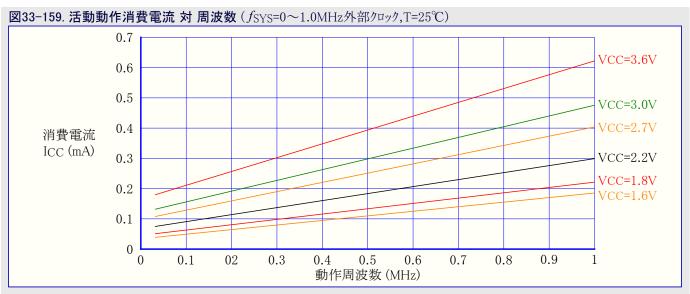


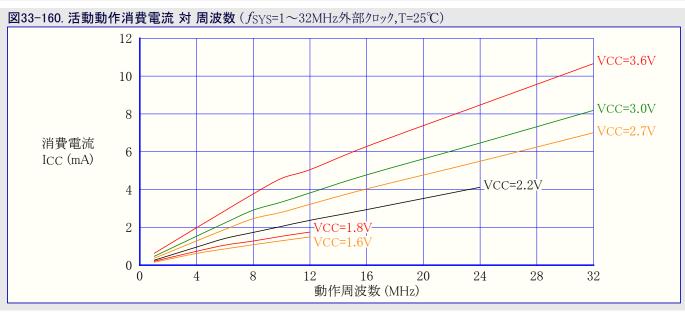


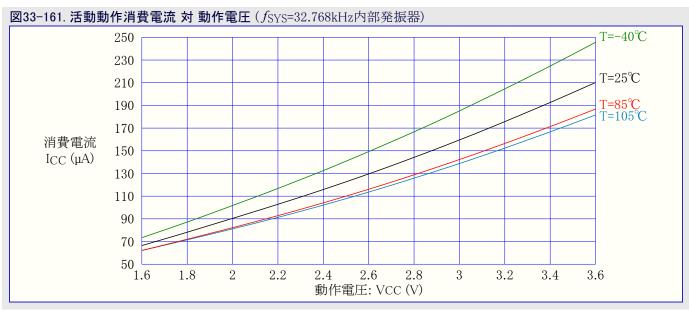
# 33.3. ATxmega64D4

### 33.3.1. 消費電流

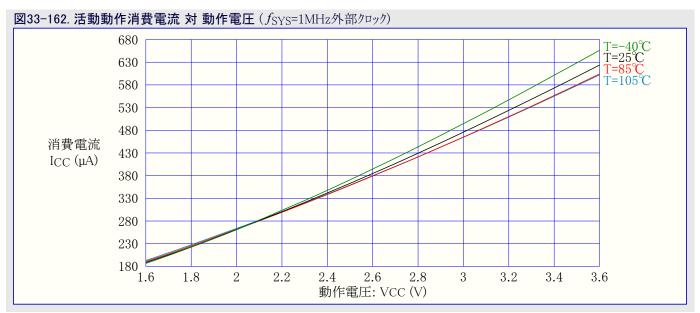
#### 33.3.1.1. 活動動作消費電流

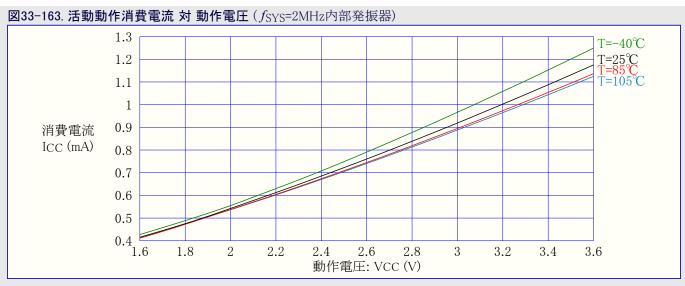


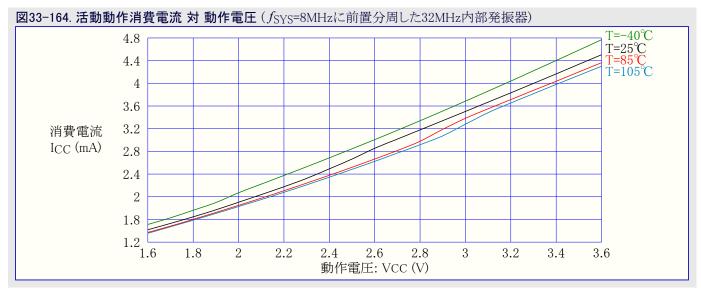




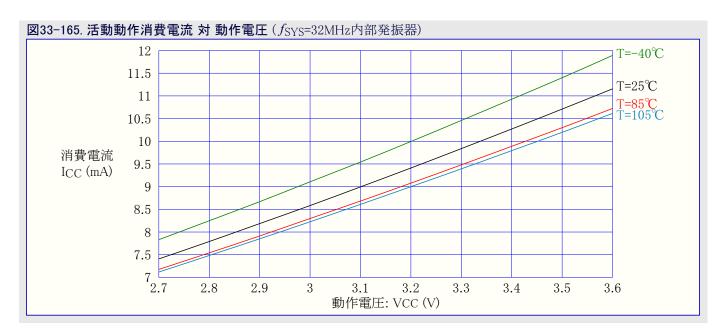




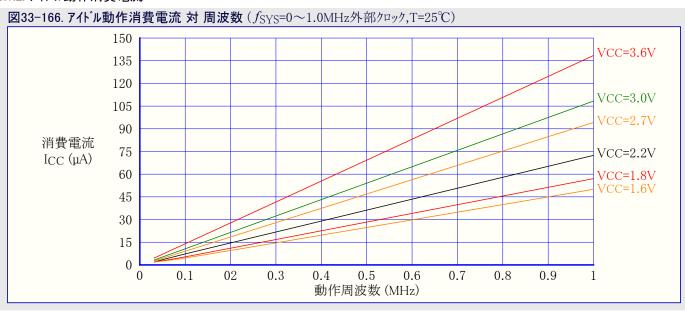


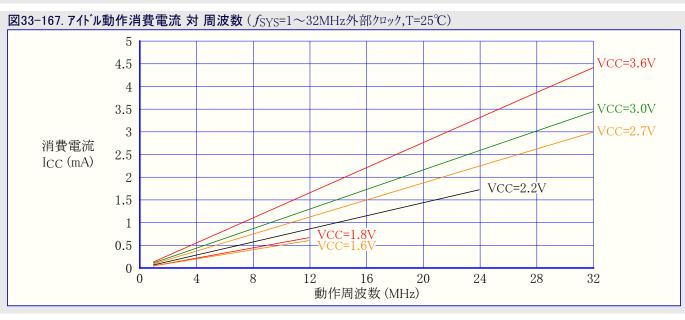


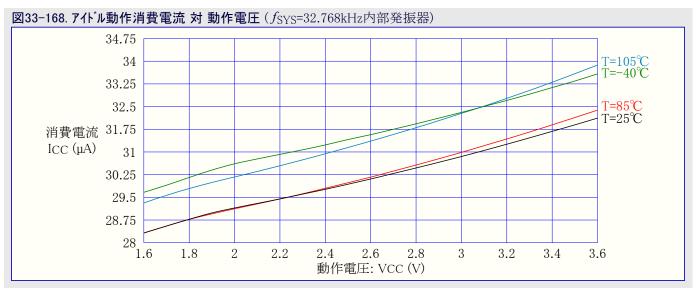


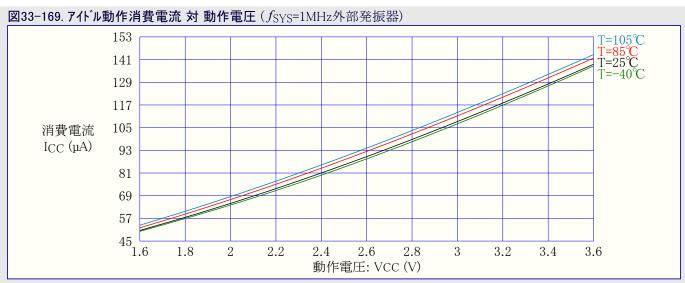


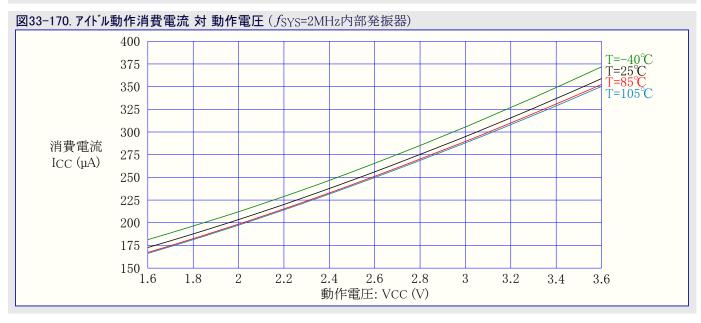
#### 33.3.1.2. アイドル動作消費電流



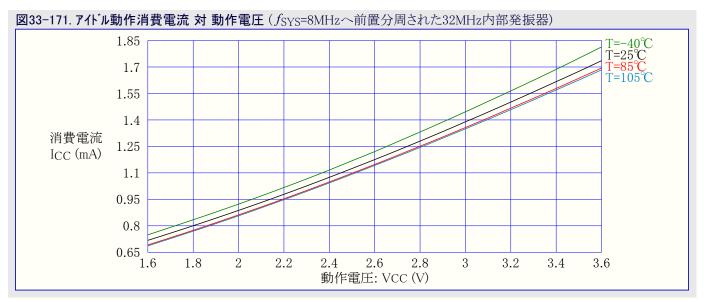


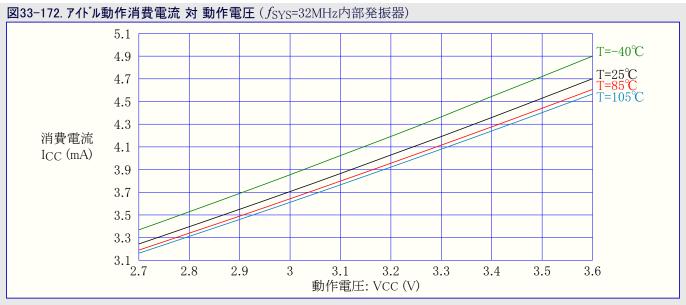




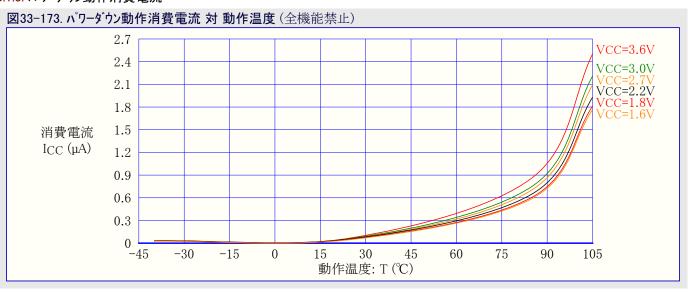




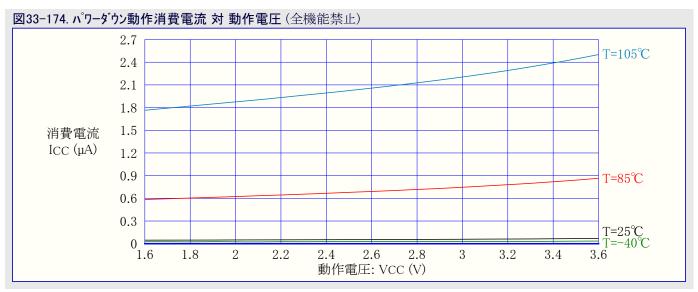


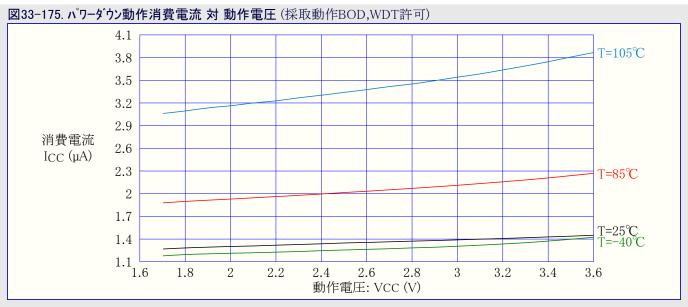


### 33.3.1.3. パワーダウン動作消費電流

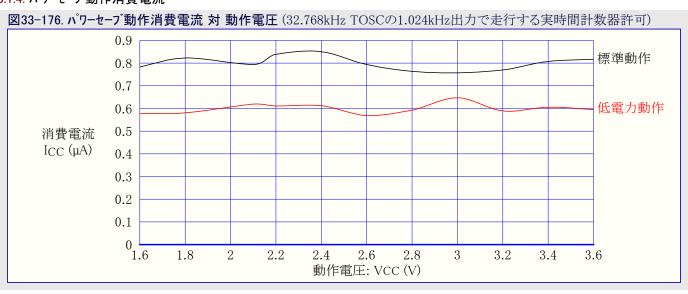






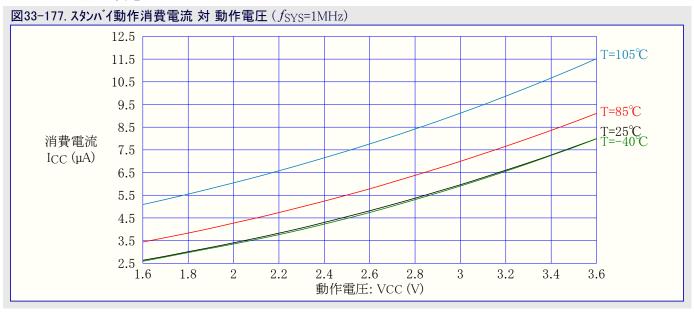


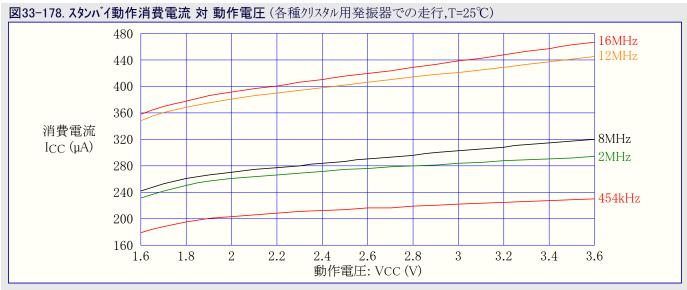
### 33.3.1.4. パワーセーブ動作消費電流





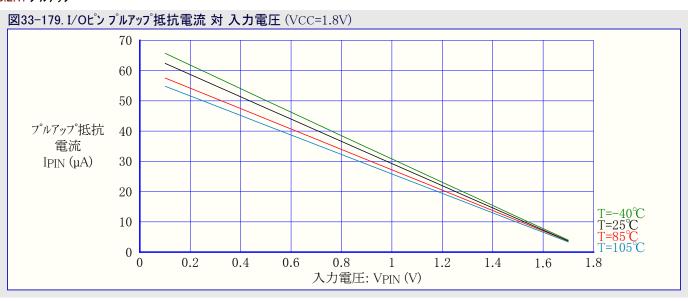
#### 33.3.1.5. スタンバイ動作消費電流

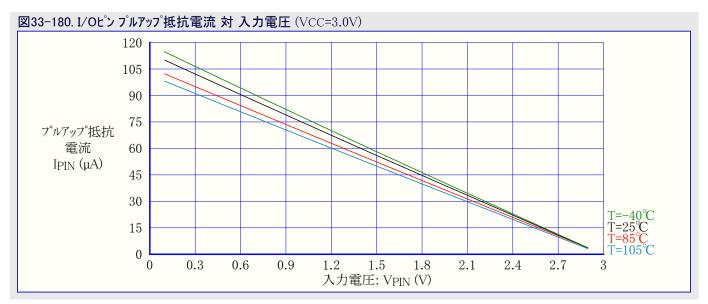


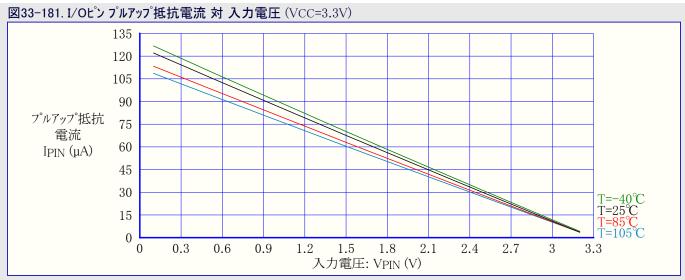


### 33.3.2. 入出力ピン特性

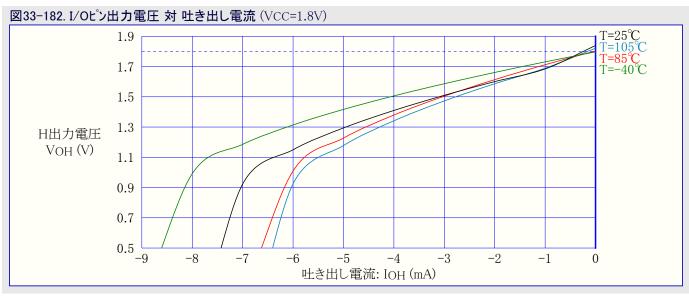
33.3.2.1. プルアップ



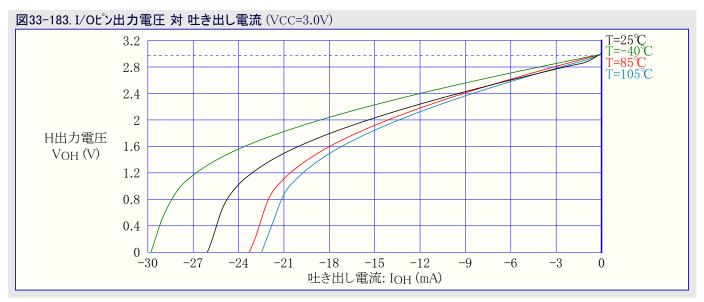


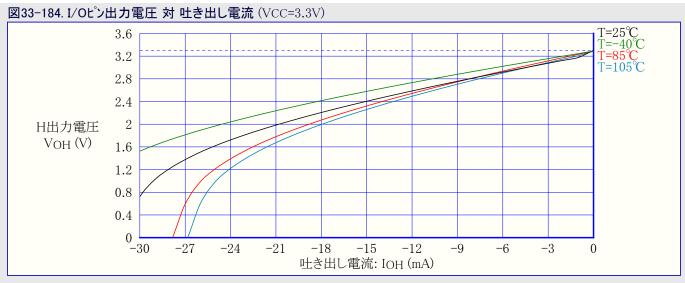


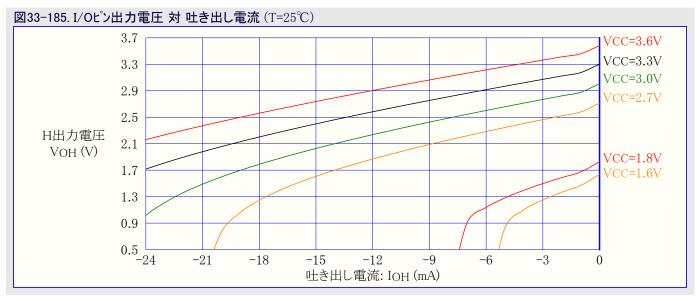
### 33.3.2.2. 出力電圧 対 吸い込み/吐き出し電流



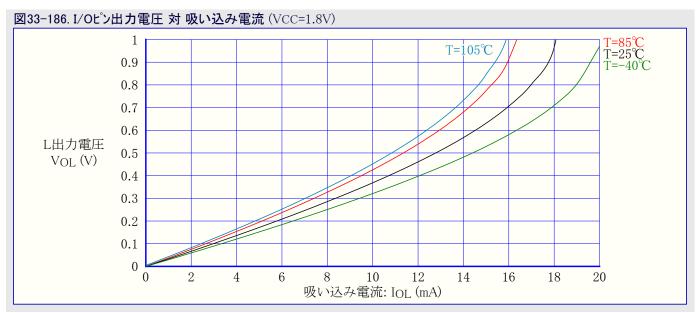


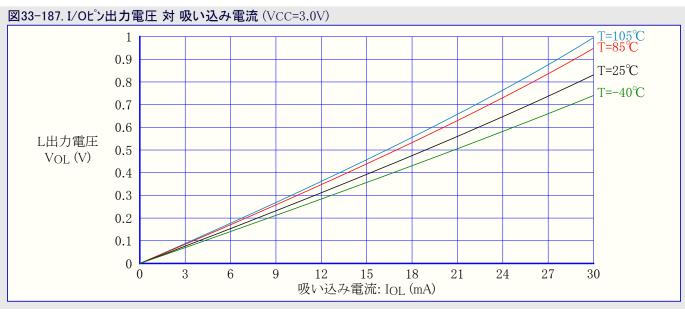


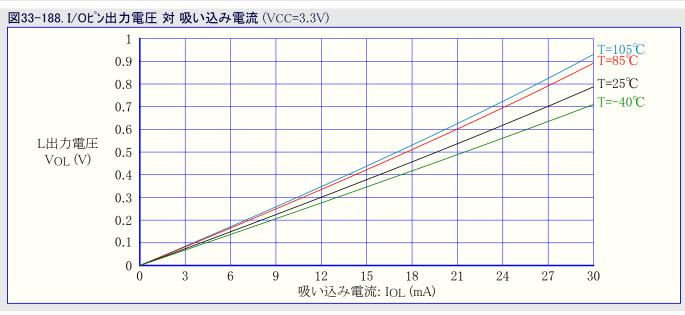




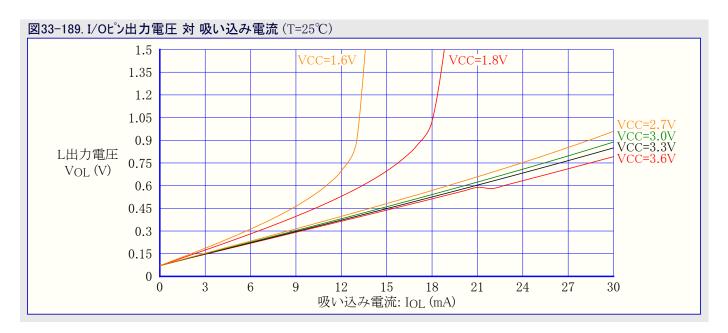




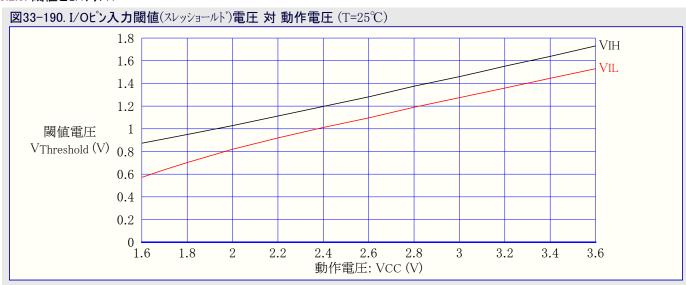


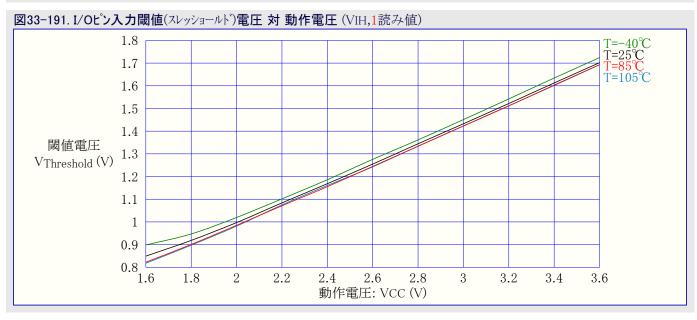




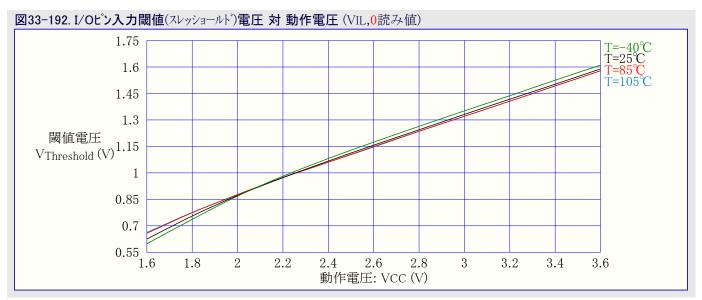


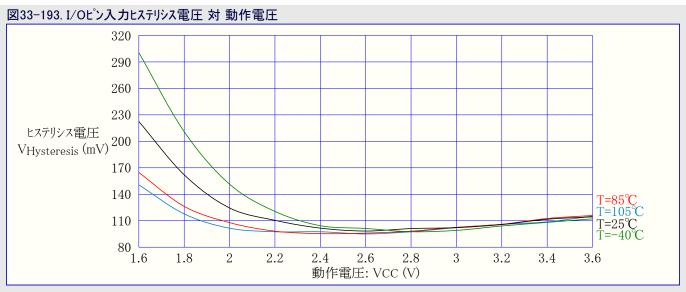
### 33.3.2.3. 閾値とヒステリシス



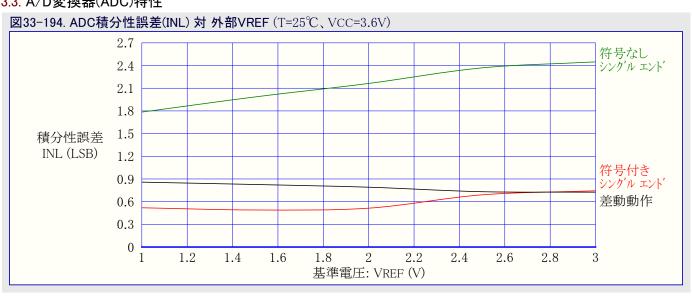




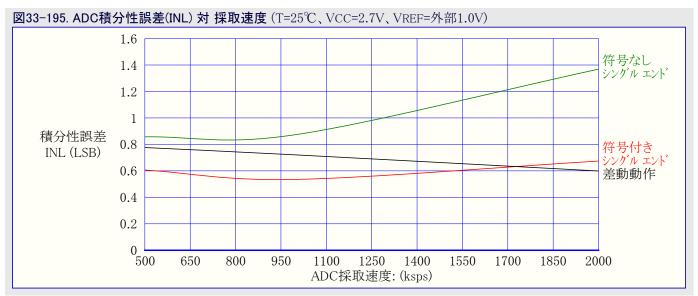


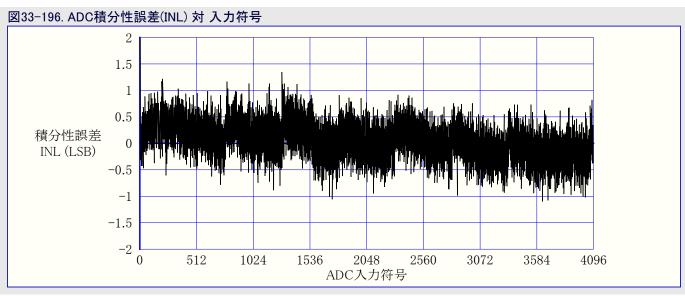


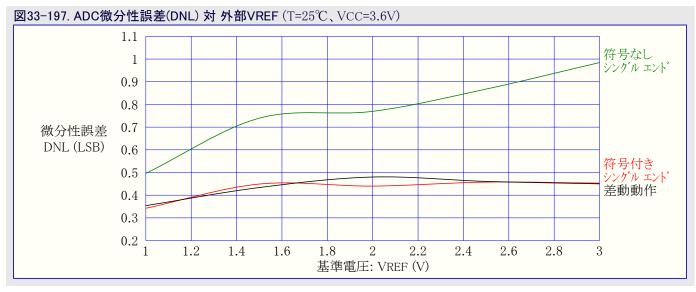
# 33.3.3. A/D変換器(ADC)特性



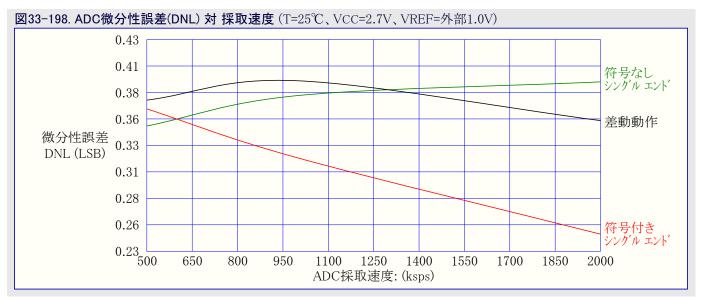


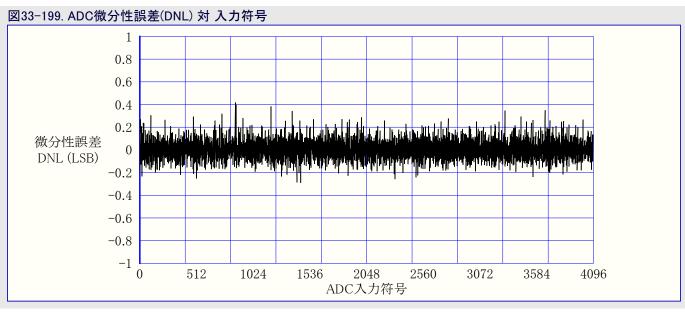


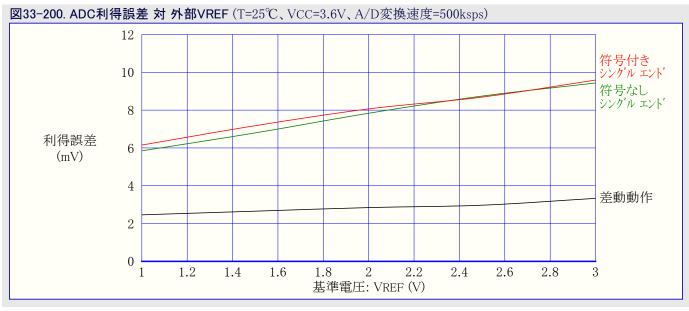




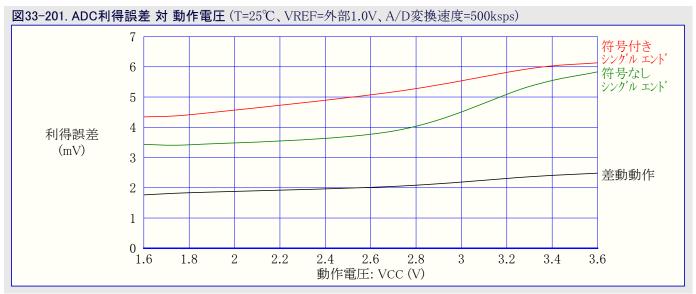


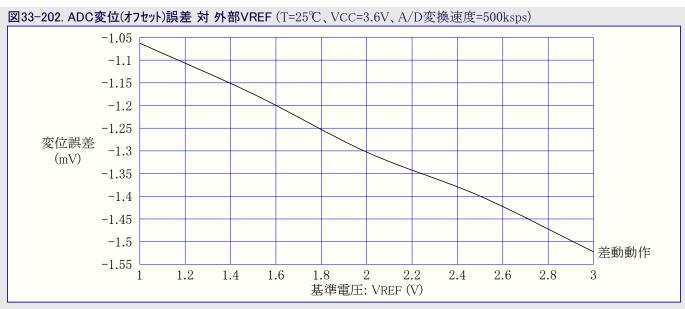


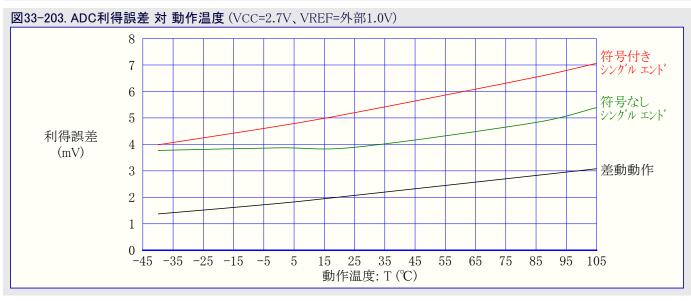




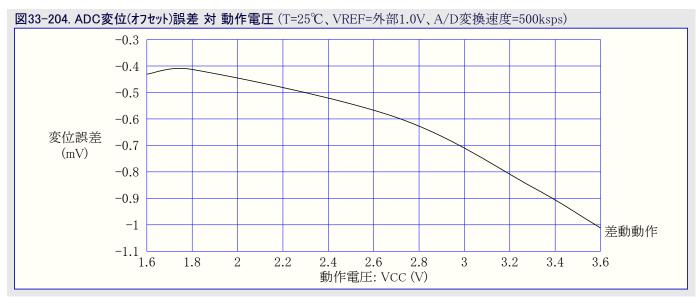


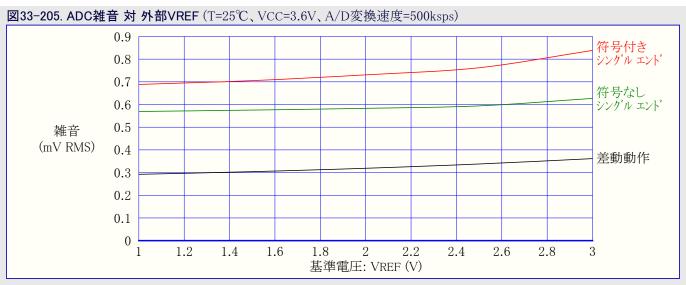


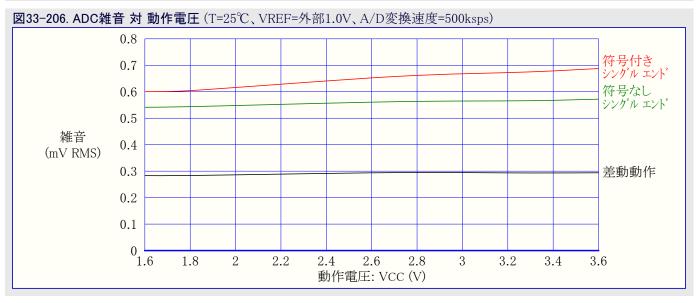








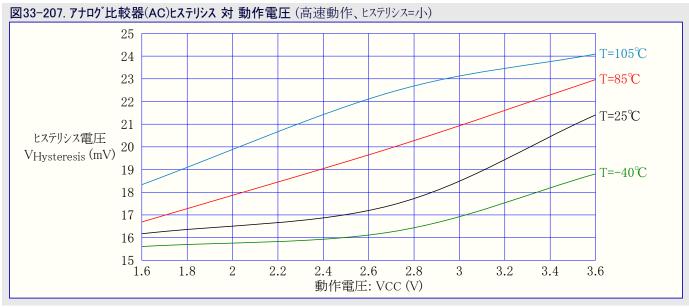


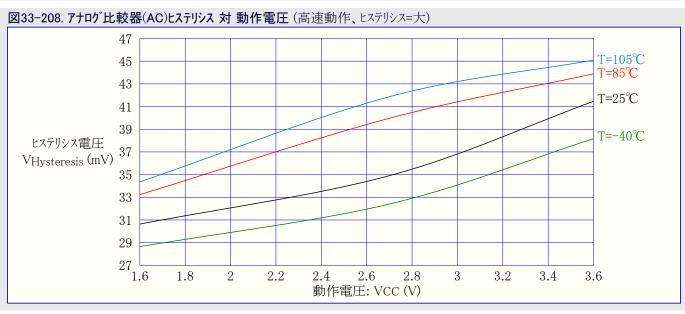


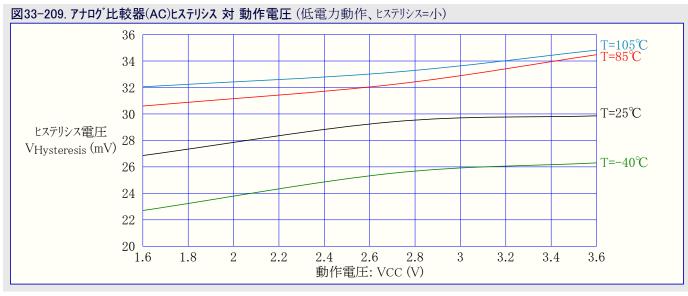
訳注: 原書本位置の「33.3.4. D/A変換器特性」は本デバイスにD/A変換器が存在しないことによる誤りのため削除しました。



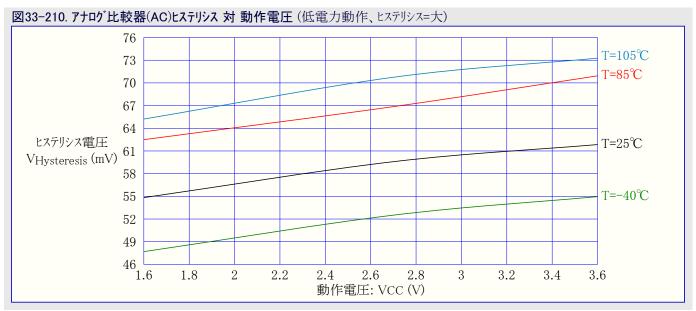
### 33.3.4. アナログ 比較器特性

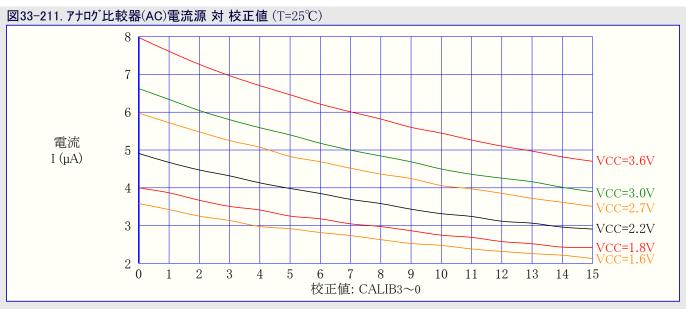


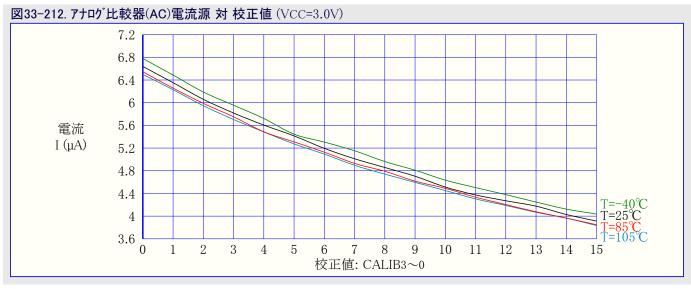








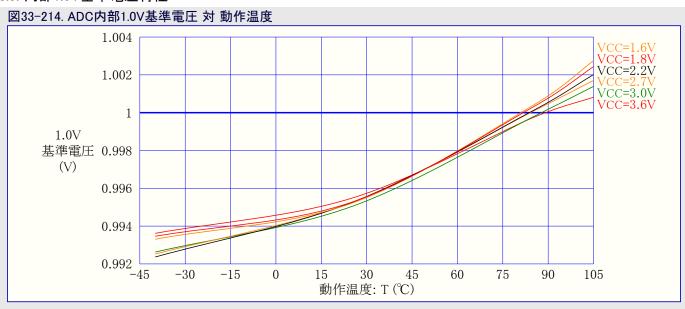




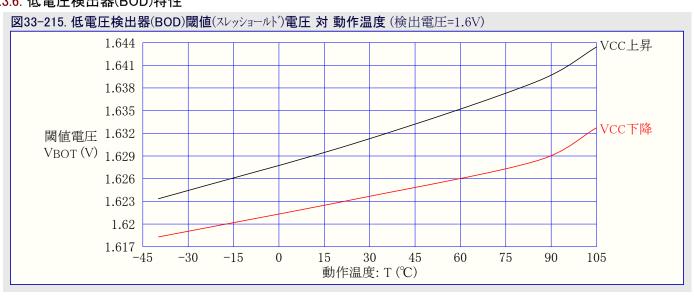


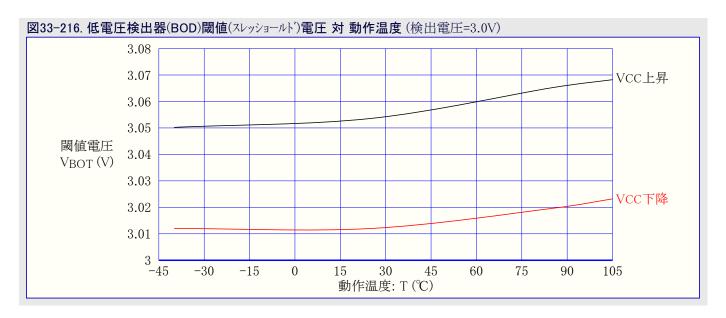


### 33.3.5. 内部1.0V基準電圧特性

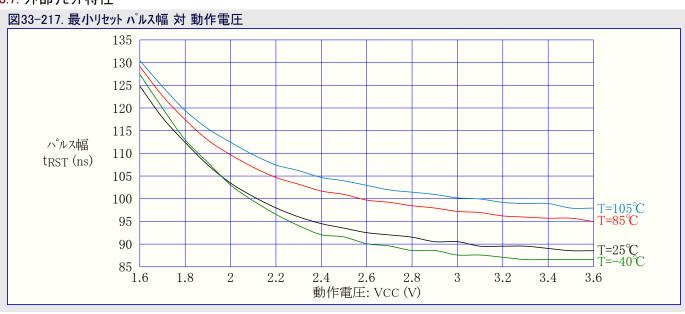


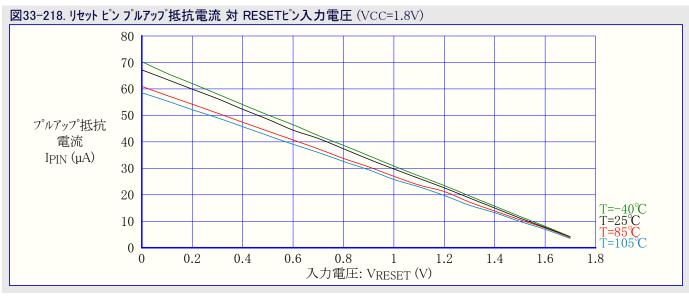
# 33.3.6. 低電圧検出器(BOD)特性



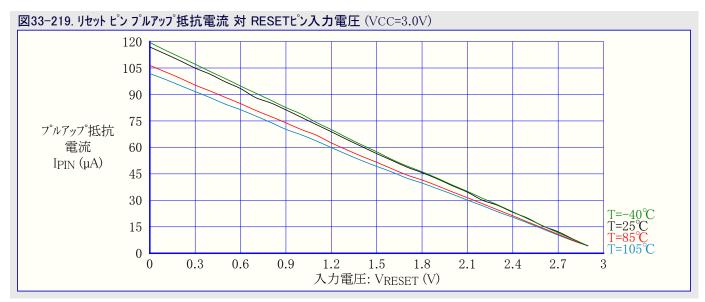


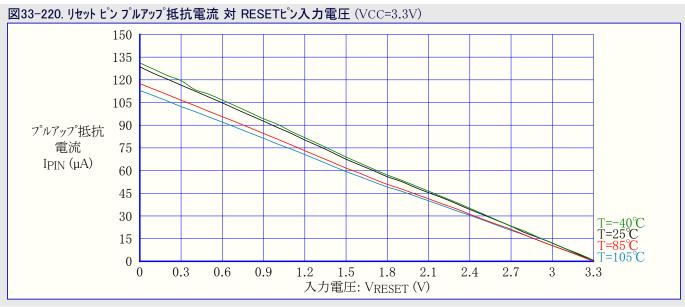
# 33.3.7. 外部リセット特性

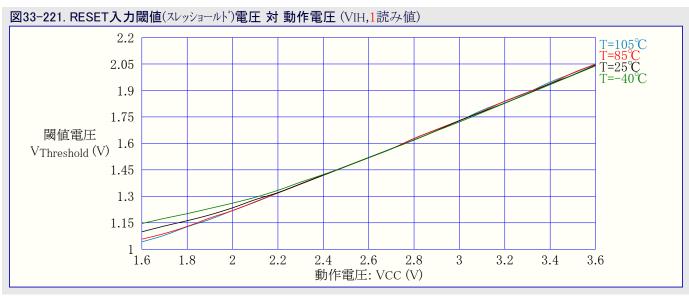




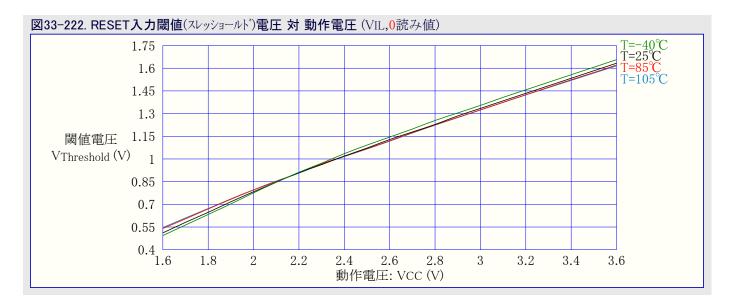




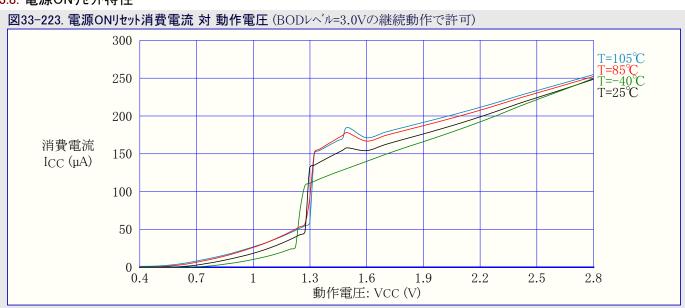


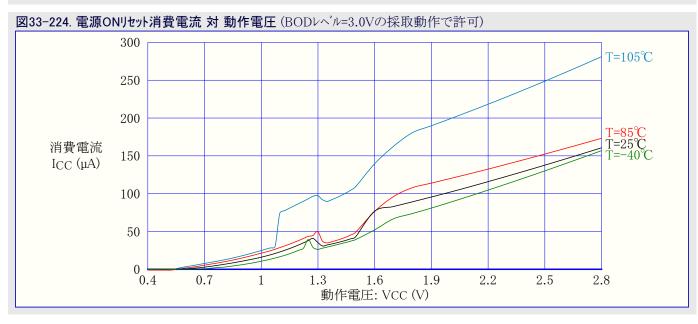






#### 33.3.8. 電源ONリセット特性

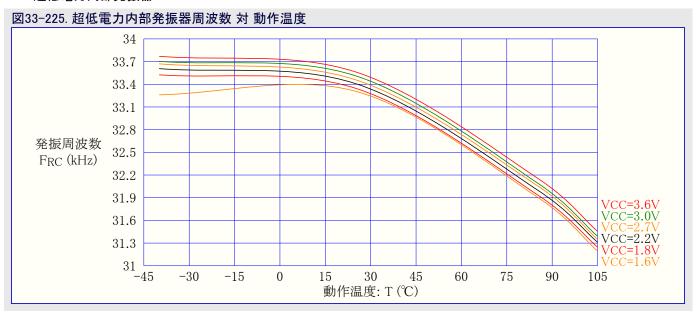




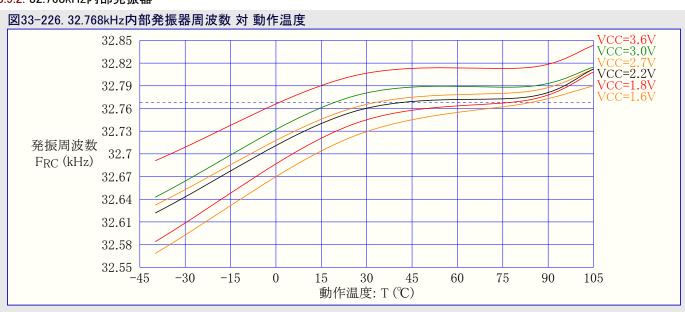


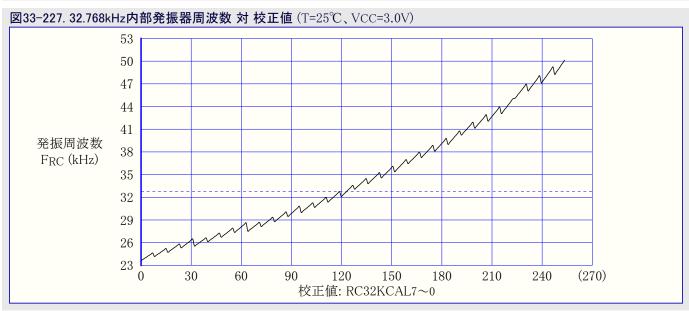
# 33.3.9. 発振器特性

### 33.3.9.1. 超低電力内部発振器

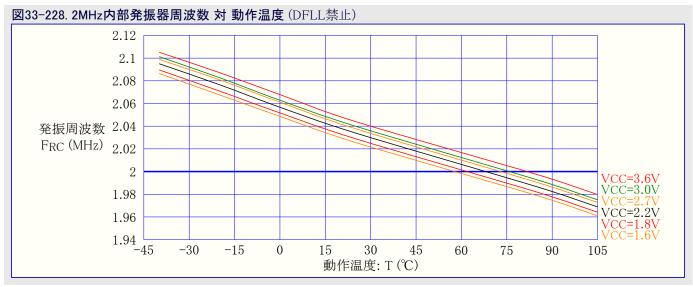


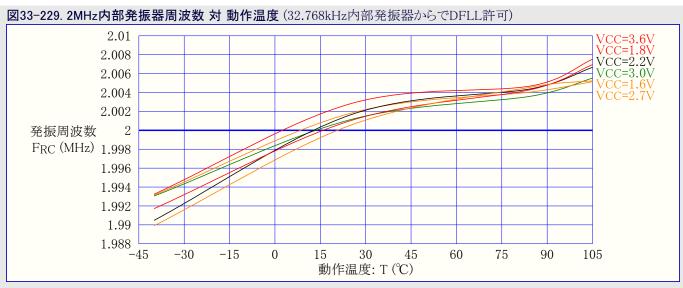
#### 33.3.9.2. 32.768kHz内部発振器

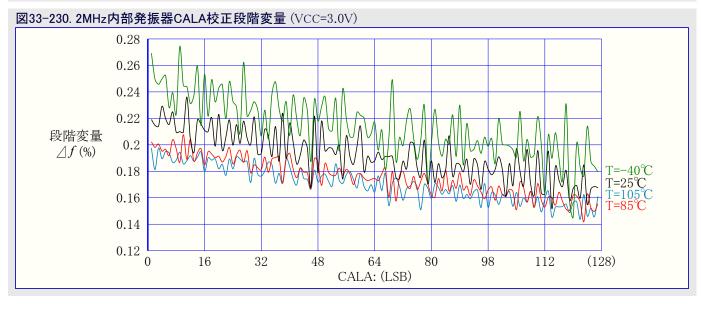




#### 33.3.9.3. 2MHz内部発振器

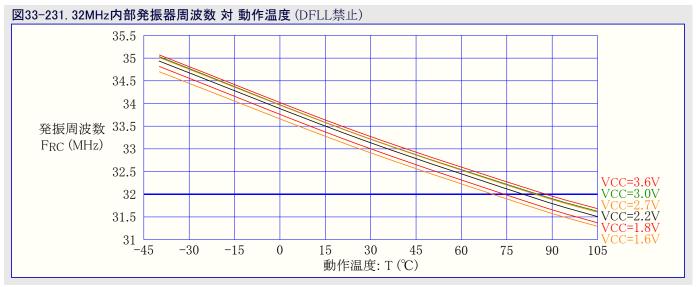


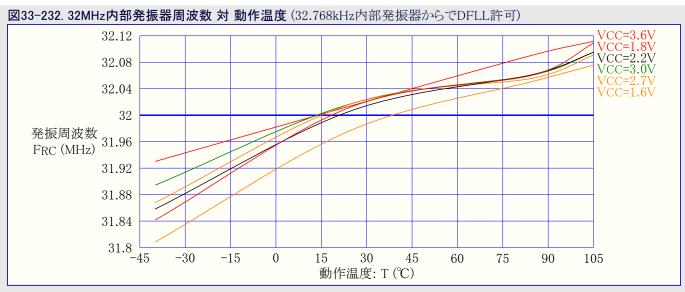


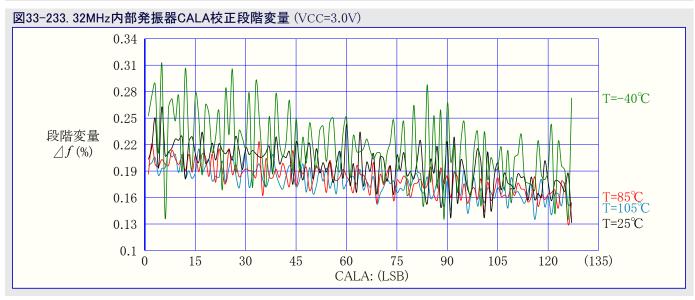




# 33.3.9.4. 32MHz内部発振器



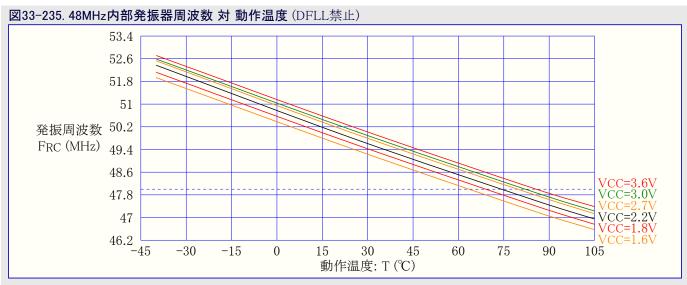


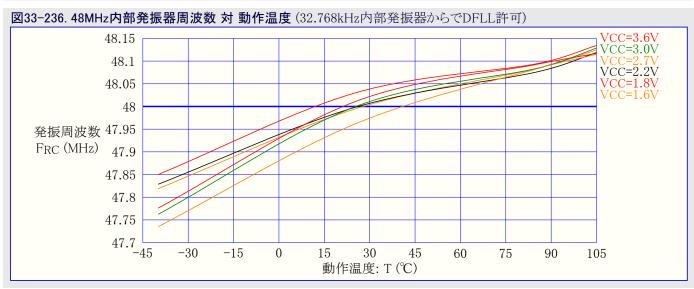




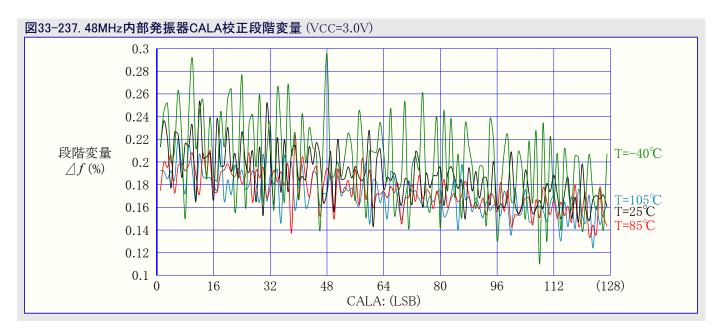


#### 33.3.9.5. 48MHzに校正された32MHz内部発振器

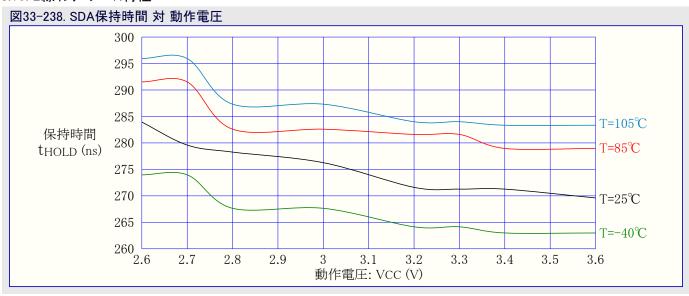




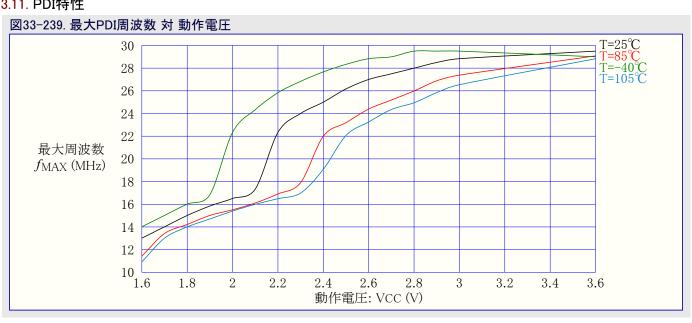




#### 33.3.10. 2線インターフェース特性



# 33.3.11. PDI特性

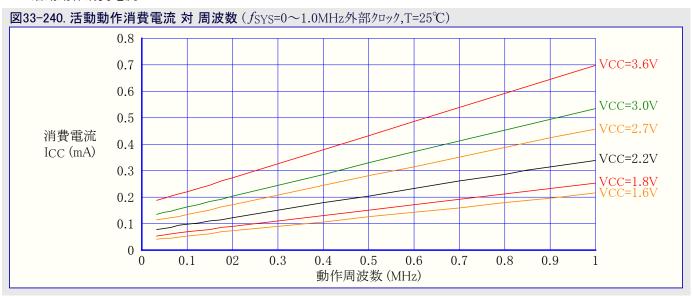


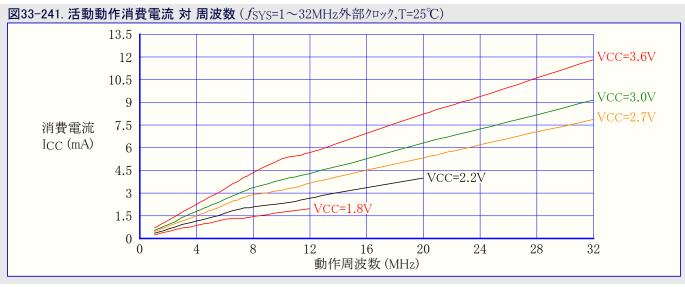


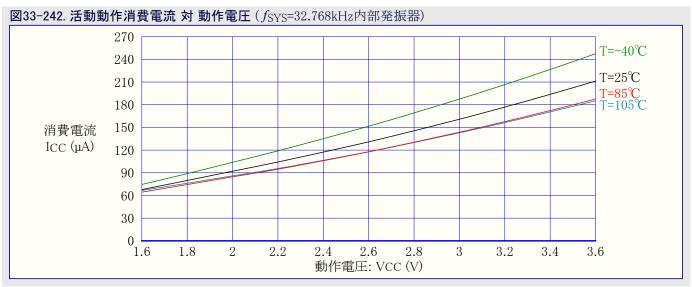
# 33.4. ATxmega128D4

# 33.4.1. 消費電流

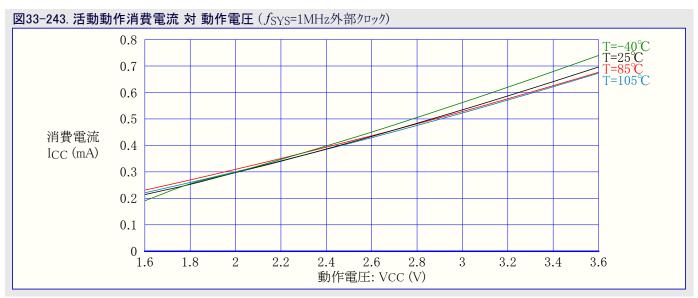
#### 33.4.1.1. 活動動作消費電流

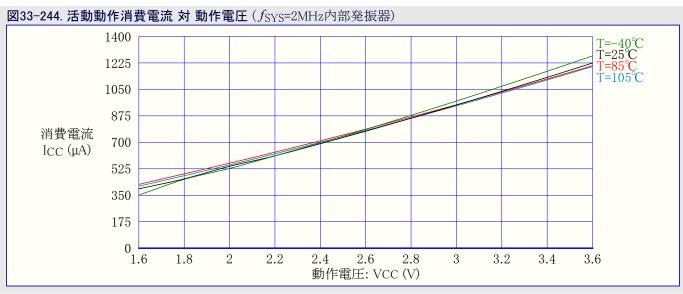


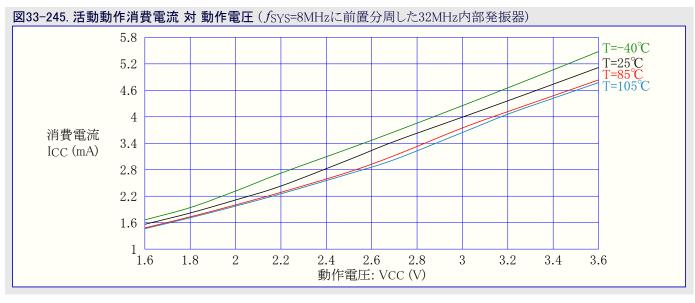




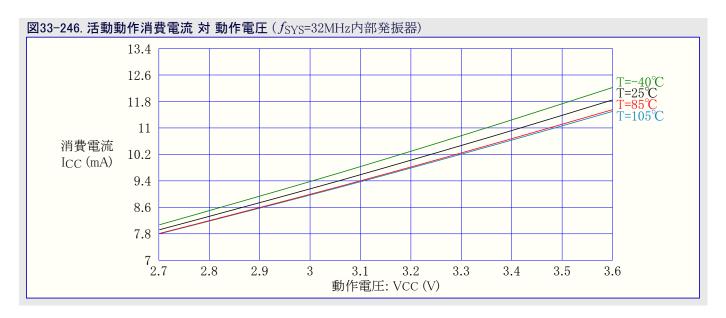




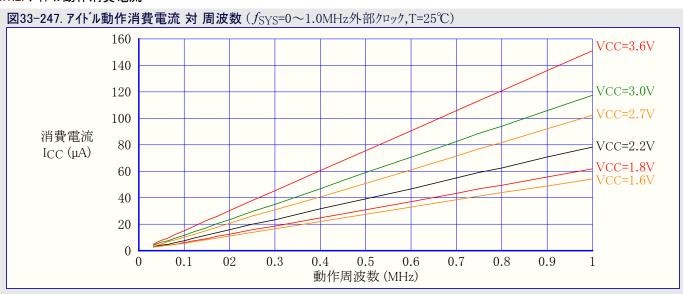


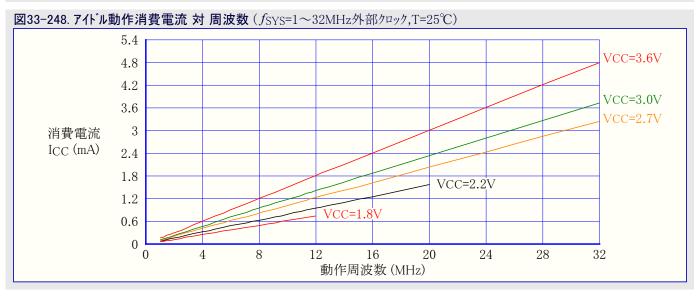




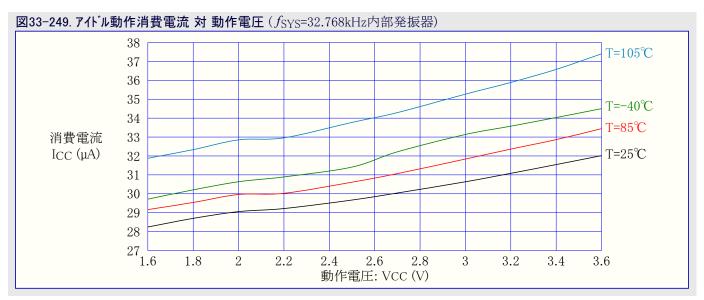


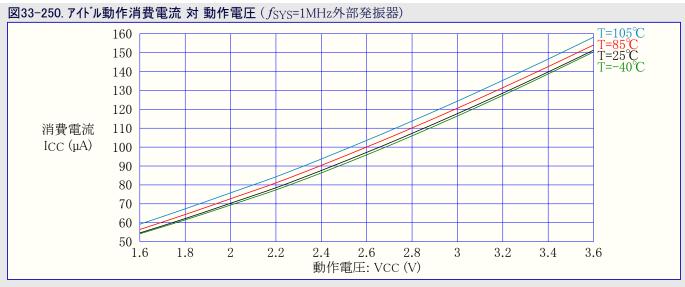
# 33.4.1.2. アイドル動作消費電流

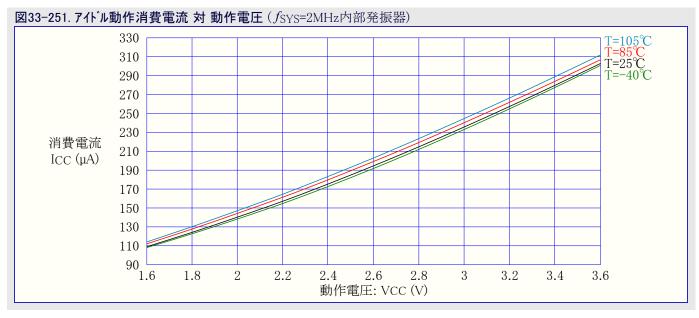




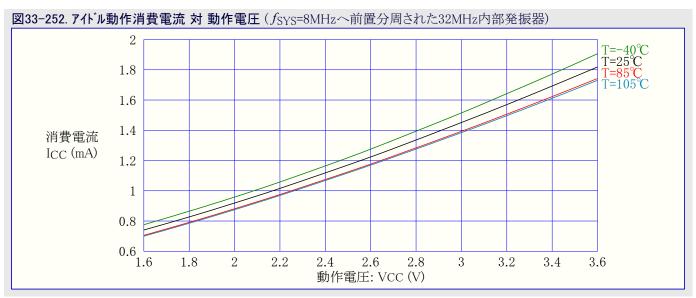


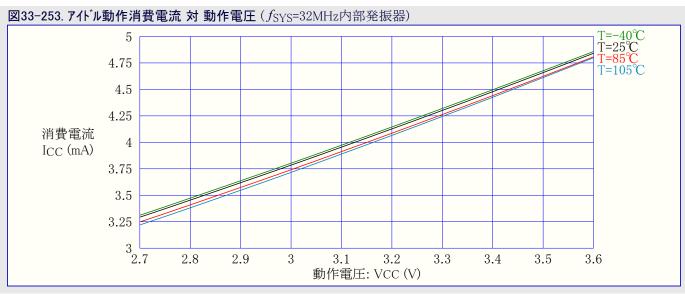




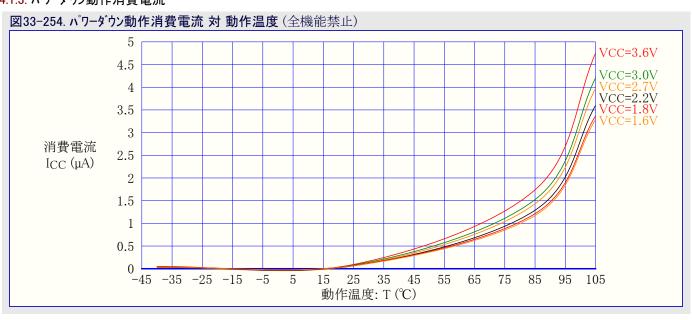




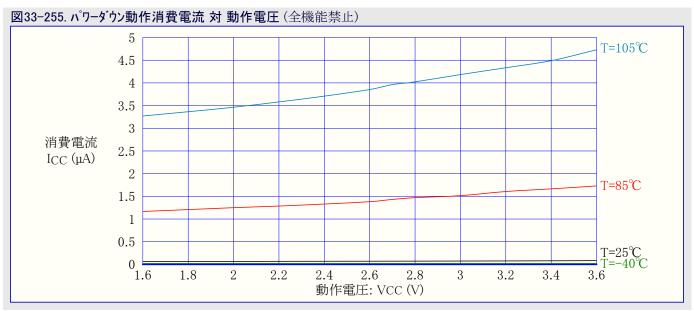


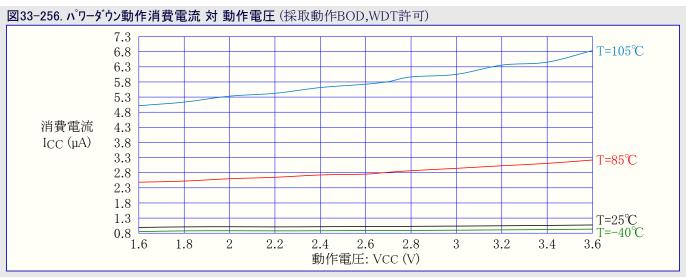


#### 33.4.1.3. パワーダウン動作消費電流

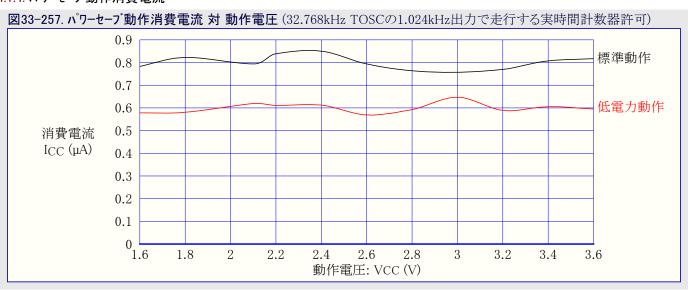






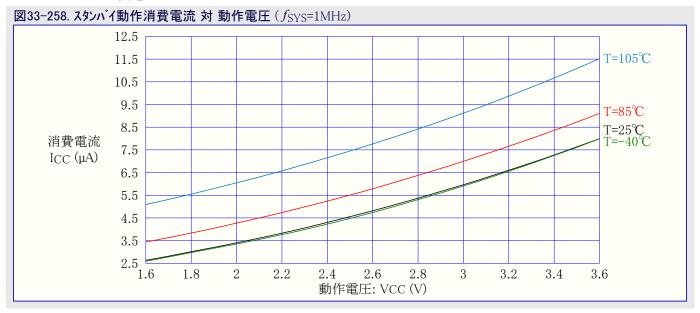


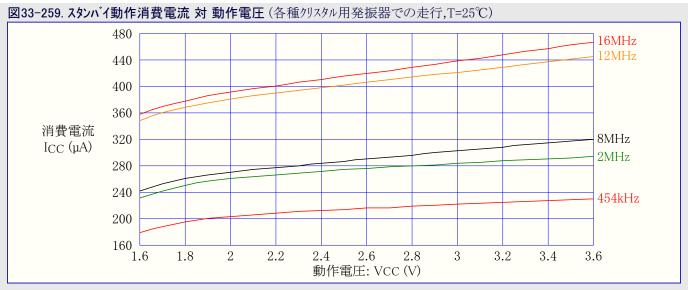
#### 33.4.1.4. パワーセーブ動作消費電流





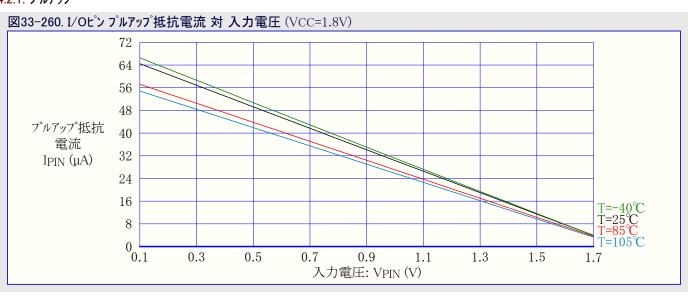
#### 33.4.1.5. スタンバイ動作消費電流



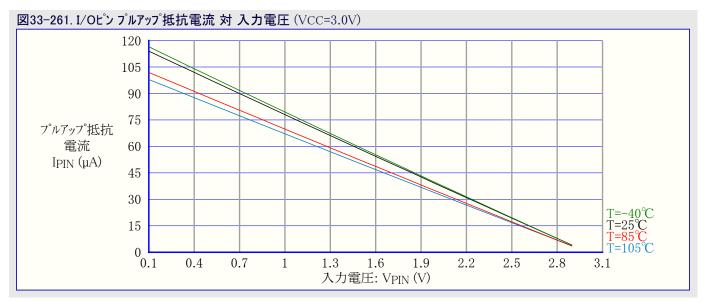


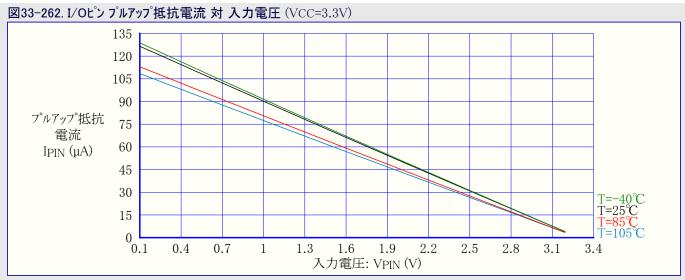
# 33.4.2. 入出力ピン特性

# 33.4.2.1. プルアップ

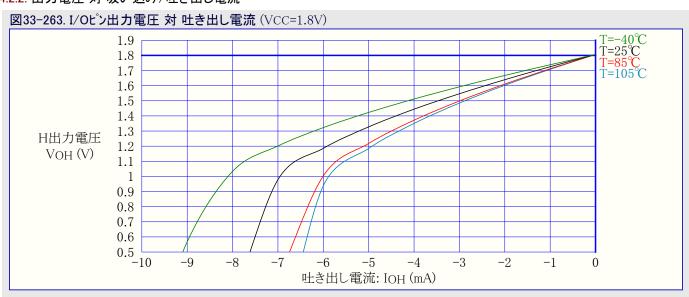




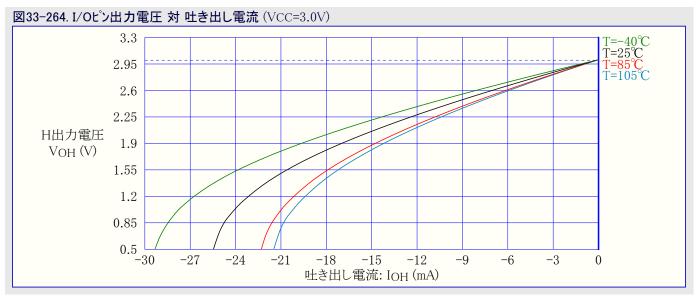


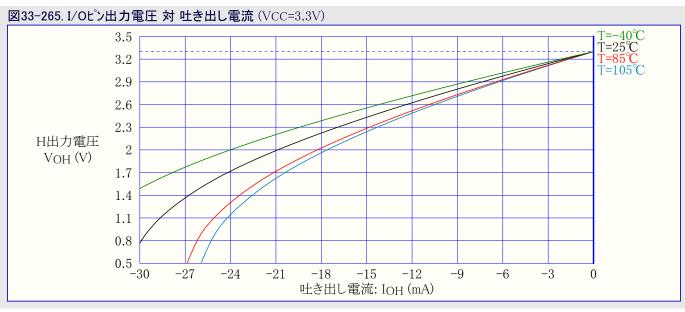


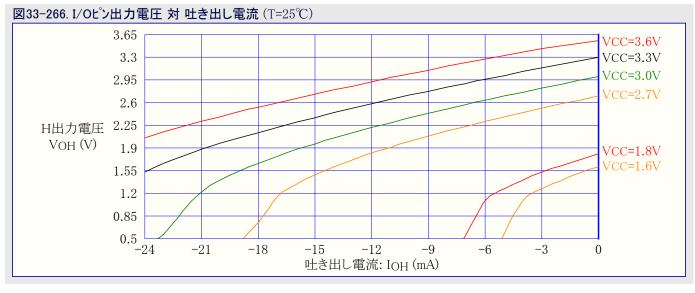
# 33.4.2.2. 出力電圧 対 吸い込み/吐き出し電流



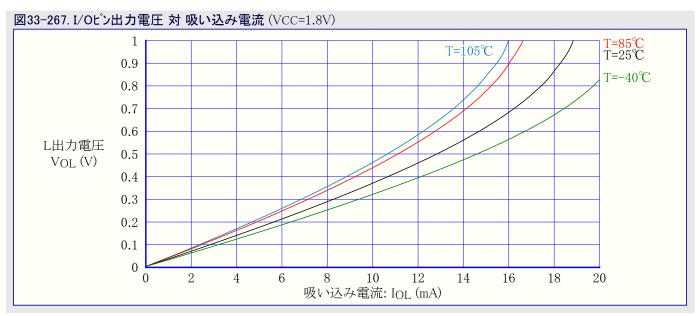


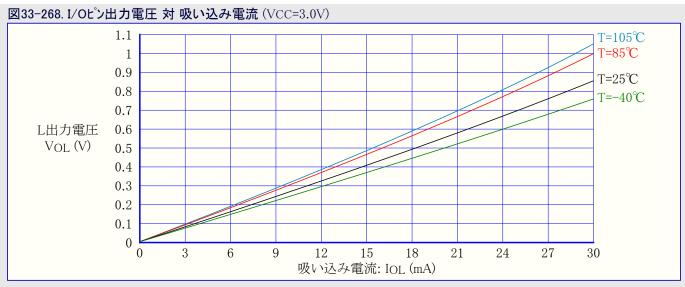


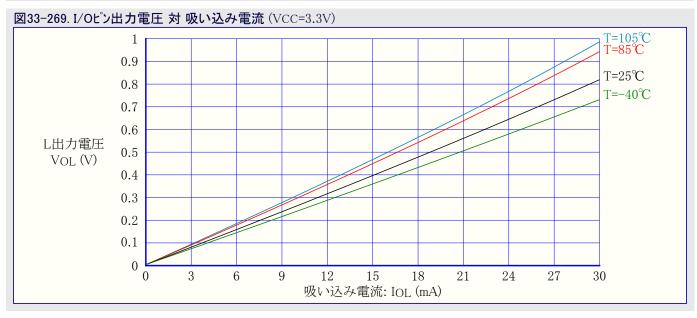




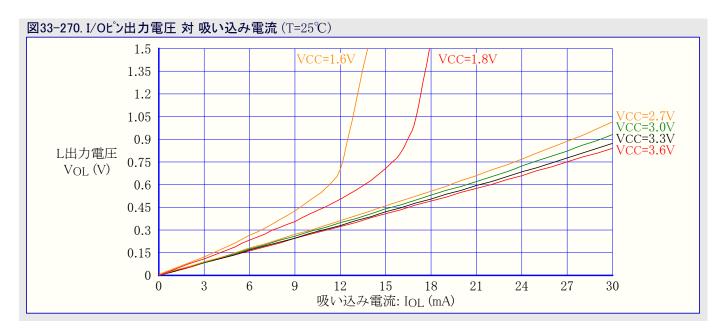




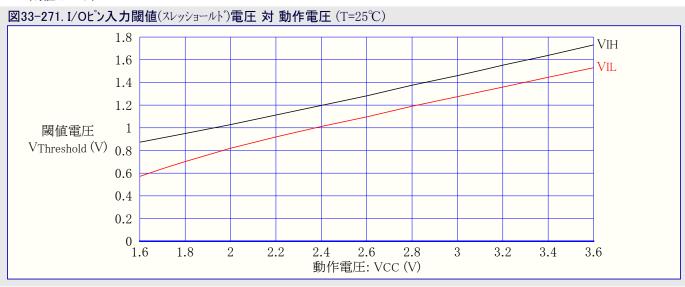


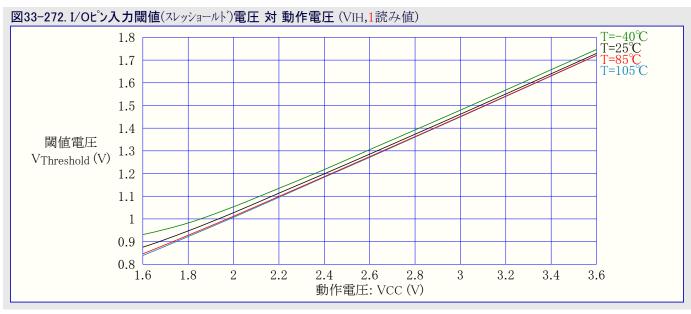




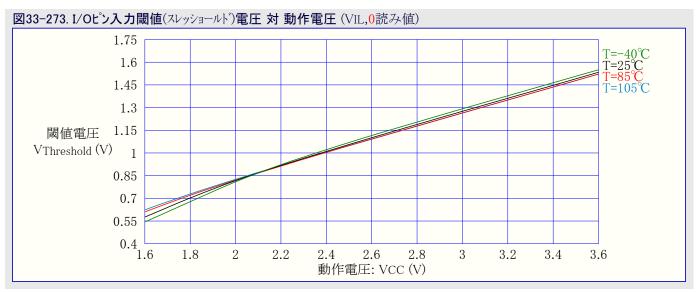


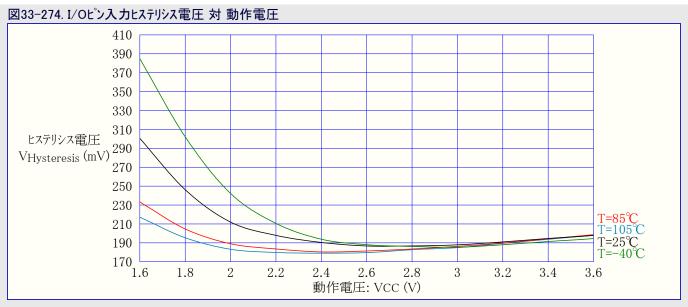
# 33.4.2.3. 閾値とヒステリシス



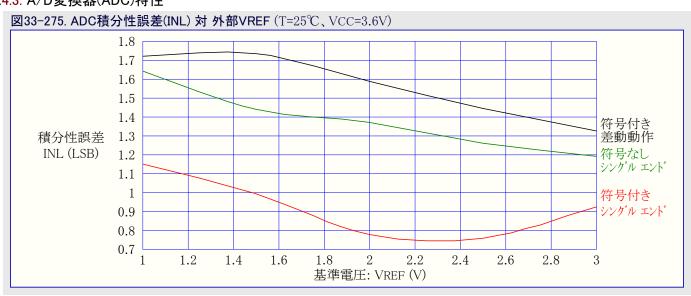




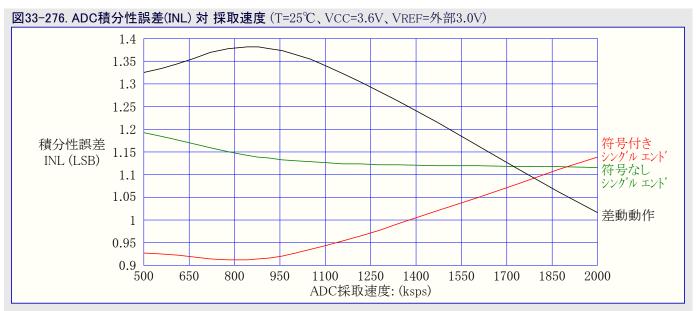


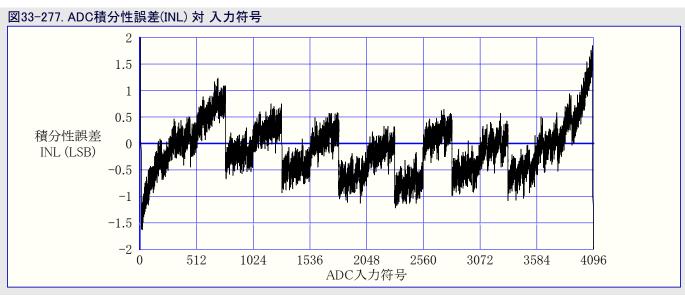


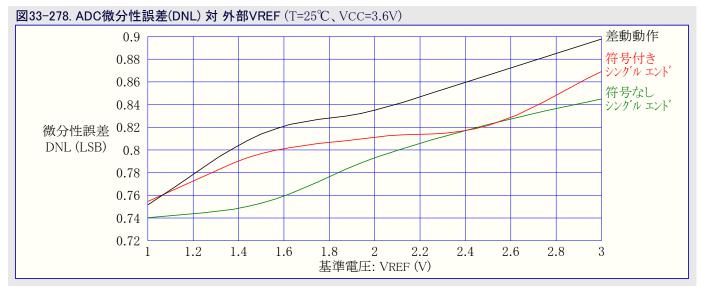
#### 33.4.3. A/D変換器(ADC)特性



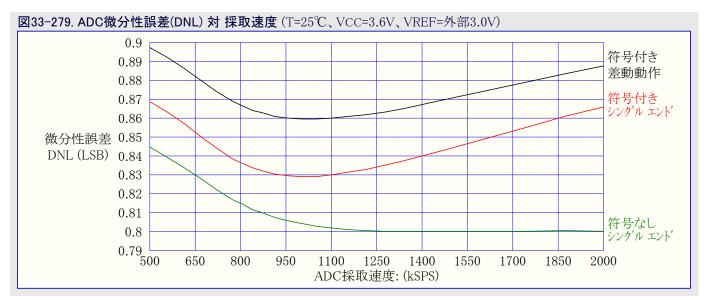


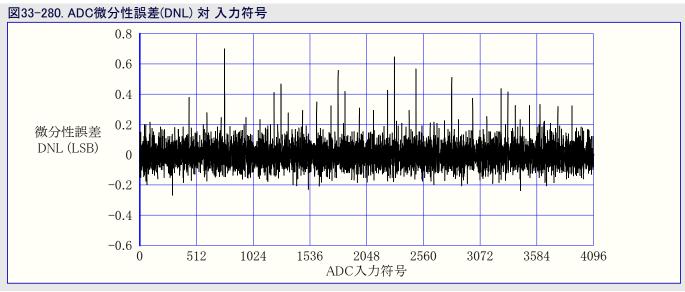


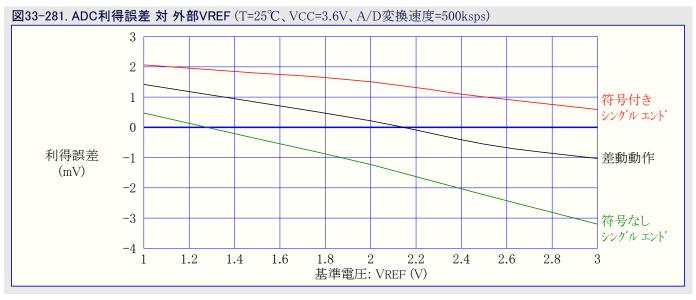




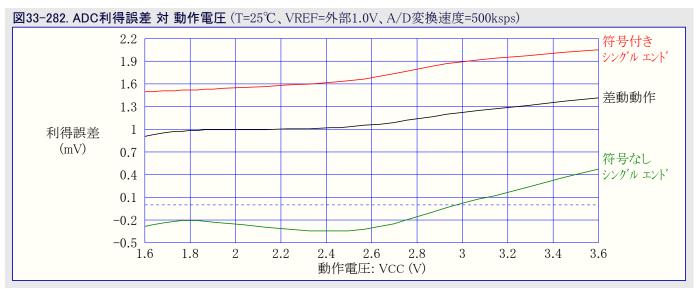


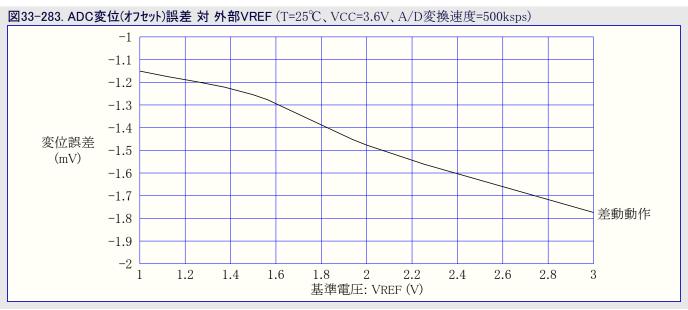


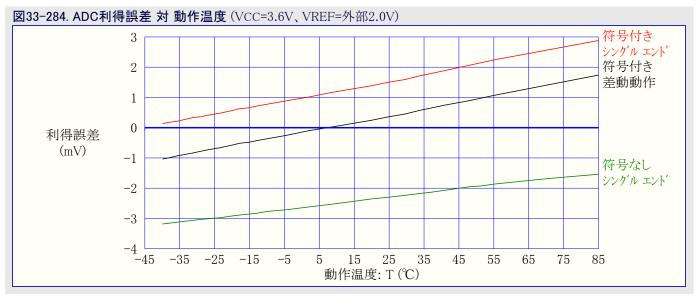




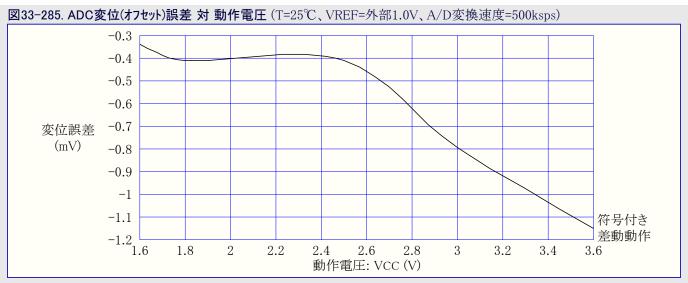


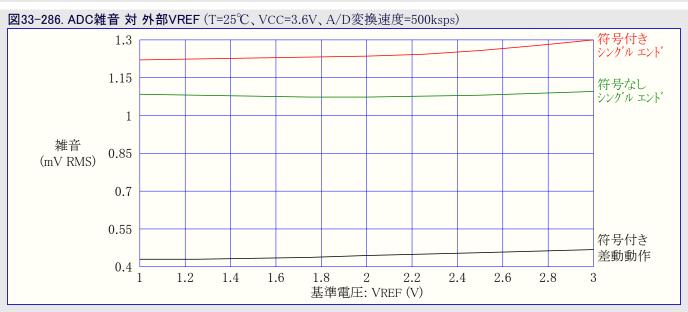


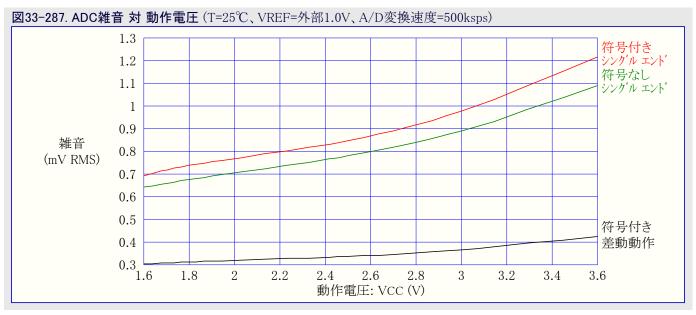








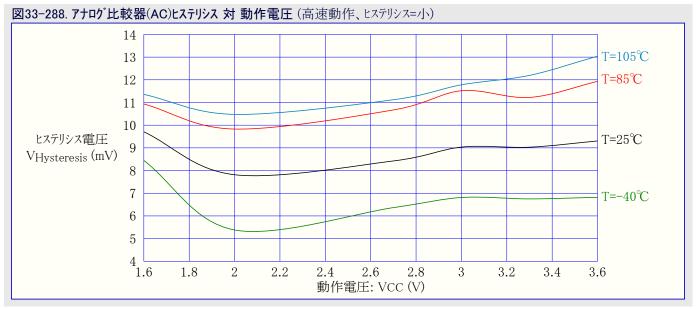


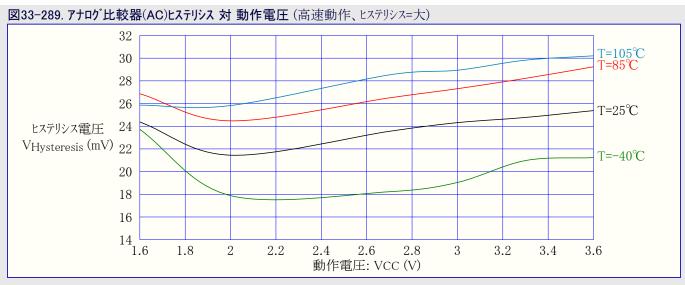


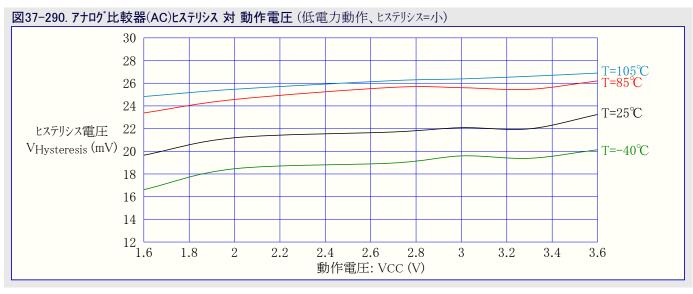
訳注: 原書本位置の「33.4.4. D/A変換器特性」は本デバイスにD/A変換器が存在しないことによる誤りのため削除しました。

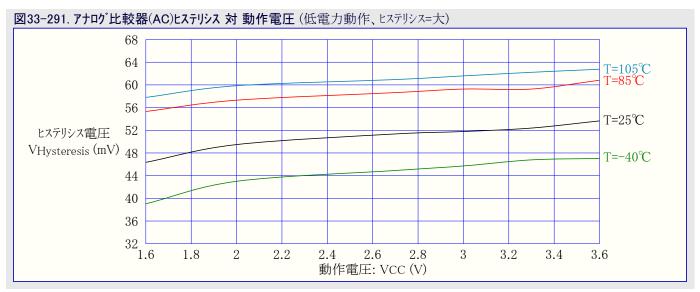


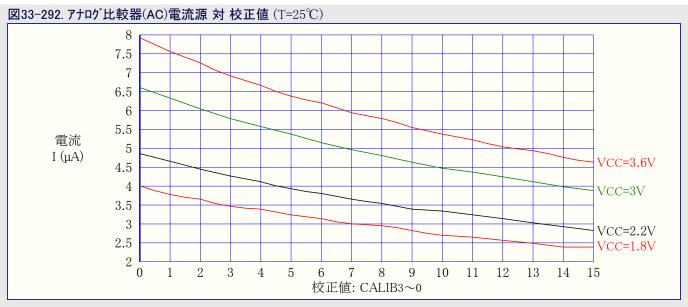
# 33.4.4. アナログ 比較器特性

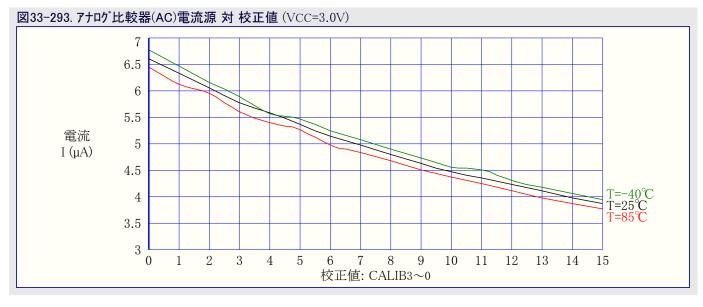




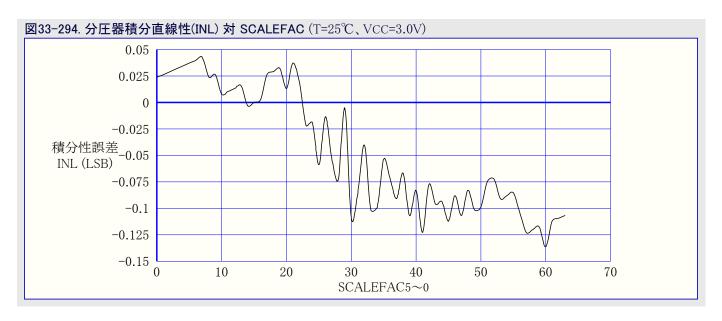




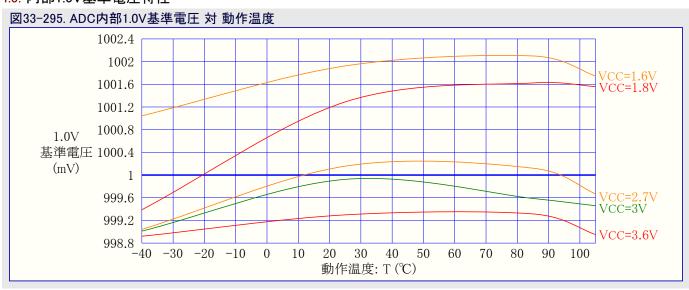




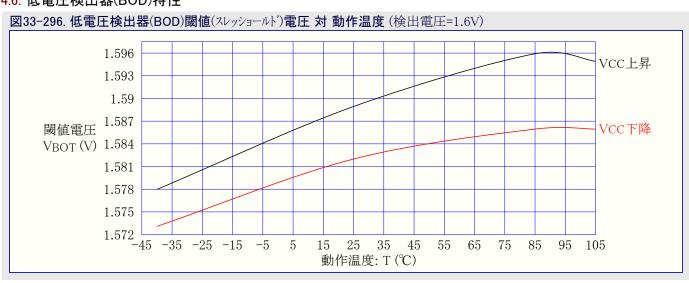




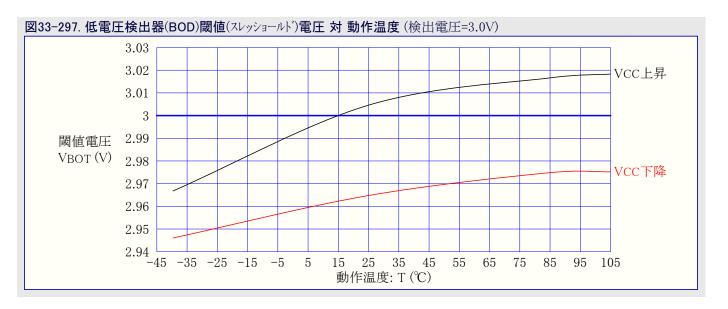
# 33.4.5. 内部1.0V基準電圧特性



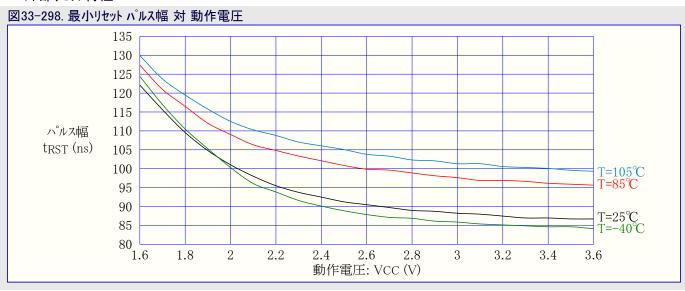
# 33.4.6. 低電圧検出器(BOD)特性

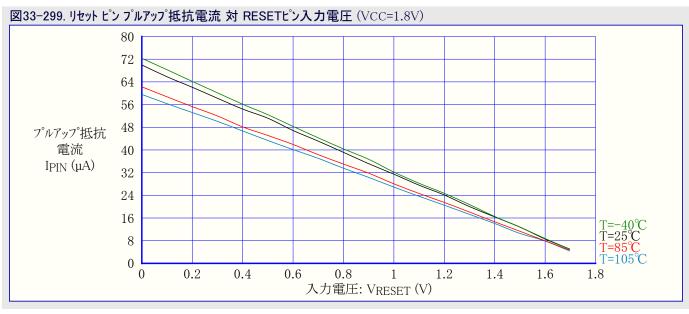




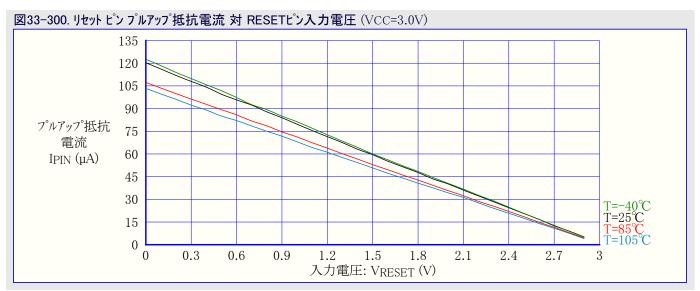


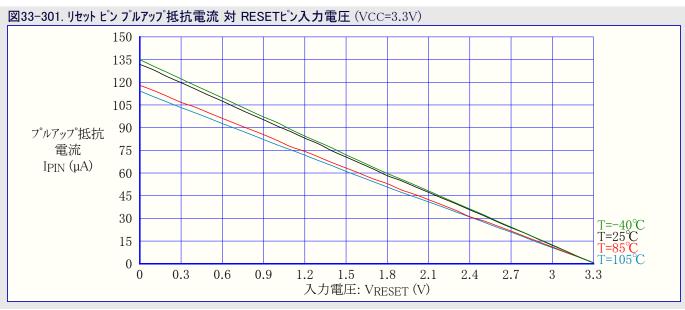
# 33.4.7. 外部リセット特性

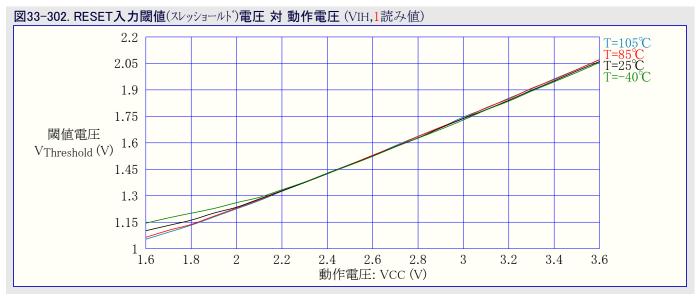




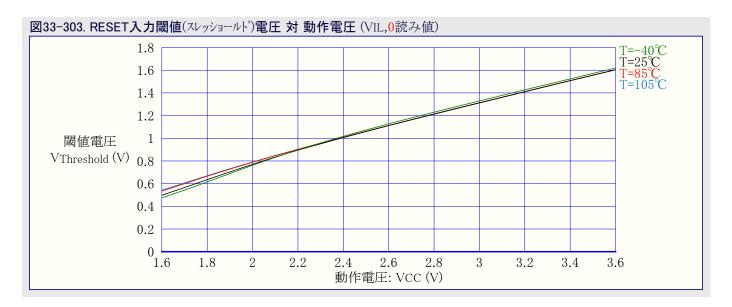




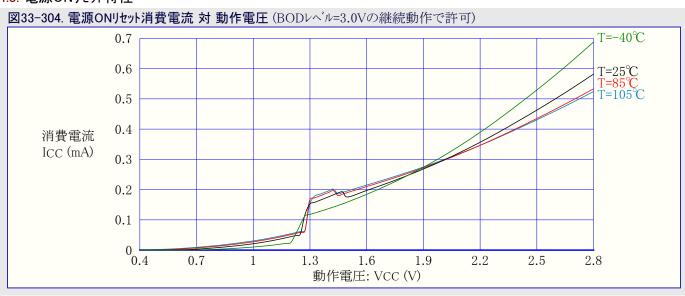


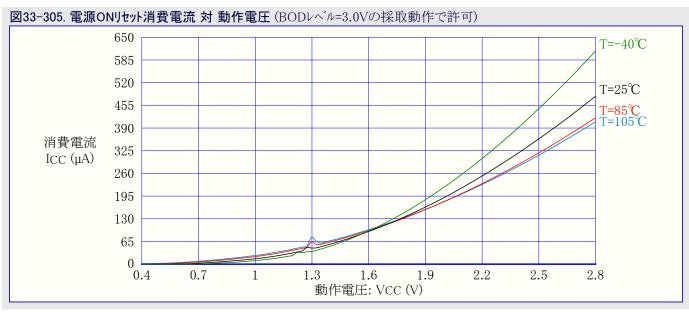






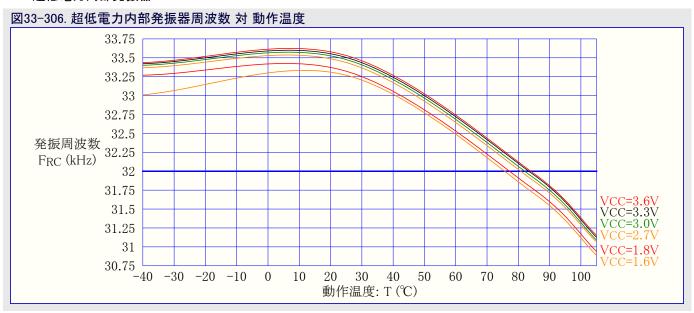
#### 33.4.8. 電源ONリセット特性



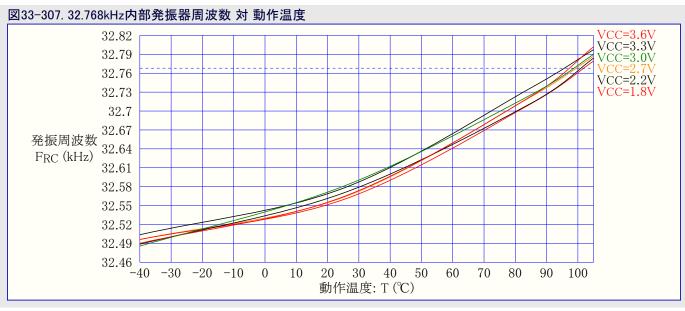


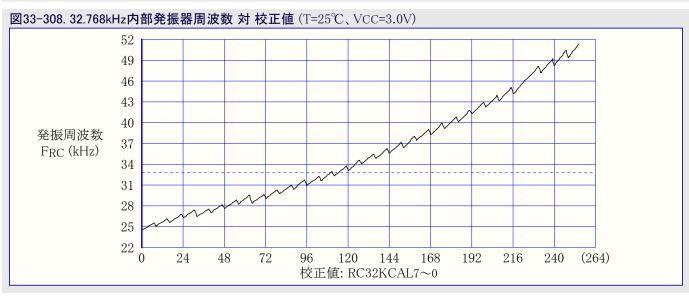
# 33.4.9. 発振器特性

# 33.4.9.1. 超低電力内部発振器



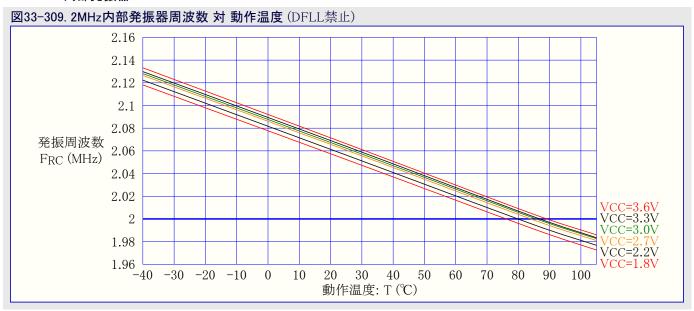
#### 37.4.9.2. 32.768kHz内部発振器

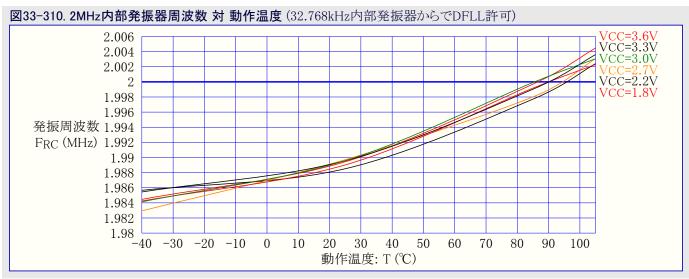


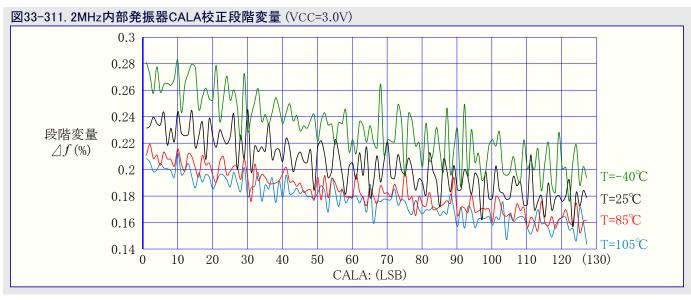




#### 33.4.9.3. 2MHz内部発振器

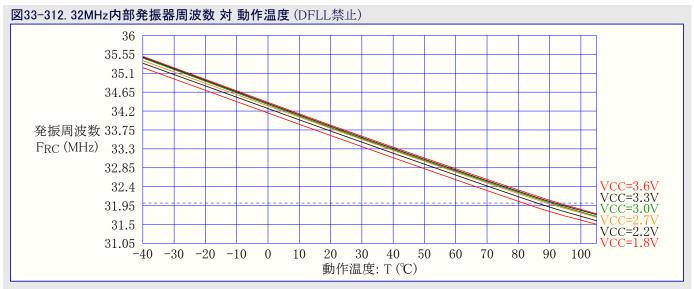


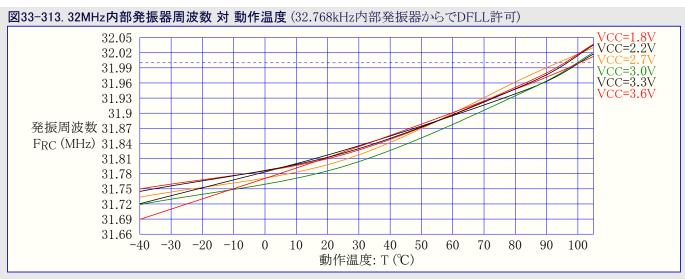


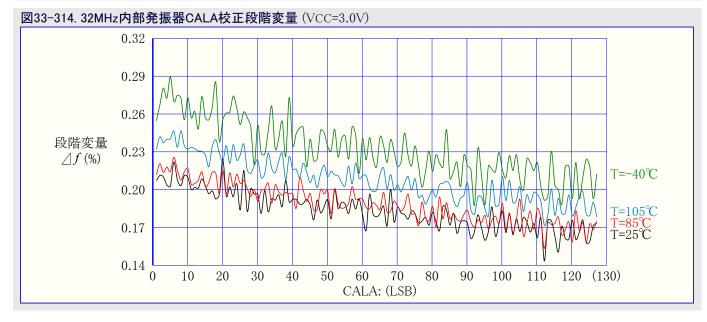




#### 33.4.9.4. 32MHz内部発振器

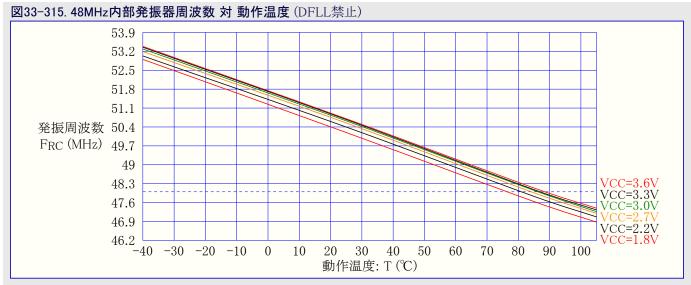


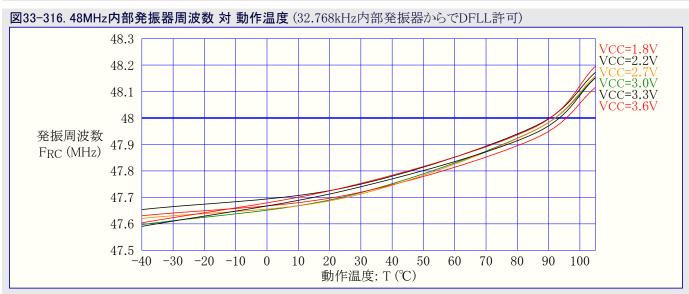


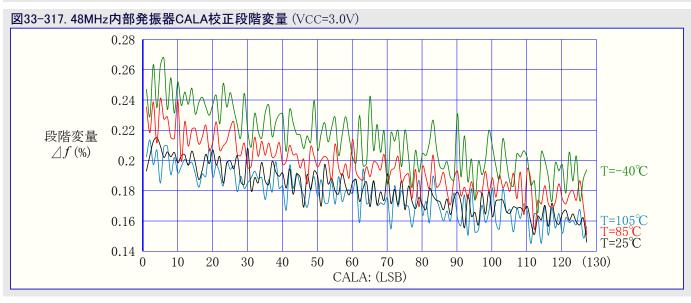




# 33.4.9.5. 48MHzに校正された32MHz内部発振器

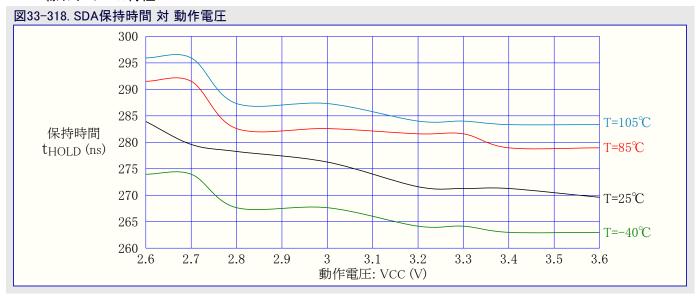




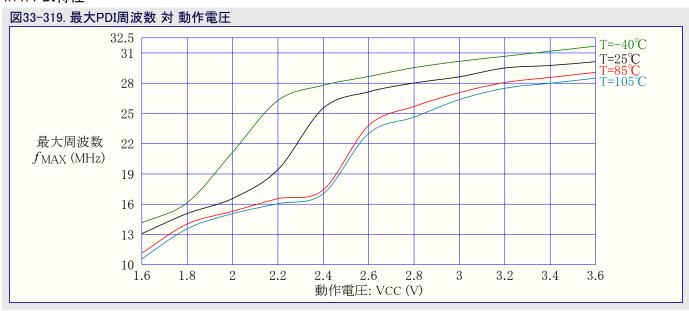




# 33.4.10. 2線インターフェース特性



# 33.4.11. PDI特性





# 34. 障害情報

# 34.1. ATxmega16D4/32D4改訂C,D,F,G,H、ATxmega64D4改訂B,C

試供されていません。

# 34.2. ATxmega16D4/32D4改訂A,B,E,I、ATxmega64D4改訂A,D、ATxmega128D4改訂A

● 温度感知器が校正されていない	16/32-A/B/E/I,64-A/D,128-A
● 両アナログ・比較器(AC)使用時にACに関するバンバ・キャップ・基準電圧が変更できない	16/32-A/B
● アナログ比較器用VCC電圧縮尺器が非直線	16/32-A/B
A/D変換器利得段が単独変換に使うことができない	16/32-A/B
A/D変換器はいくつかの動作条件に関して増加したINL誤差を持つ	16/32-A/B
• A/D変換器利得段出力範囲が2.4Vに制限される	16/32-A/B
・比較一致でのA/D変換器事象が機能しない	16/32-A/B
• 8~64倍の利得が使われる時にA/D変換器伝播遅延が正確でない	16/32-A/B
A/D変換器でのバンドギャップ電圧測定はVCCが2.7V未満の時に機能しない	16/32-A/B
• 入力を利得段に切り替え後の最初の3採取で精度を失う	16/32-A/B
PGMとCWCMの構成設定がXMEGA D手引書の記述のようでない	16/32-A/B
● 周期単位動作での障害後にPWMが正しく再開しない	16/32-A/B
低電圧検出器(BOD)がどのリセット後にも許可される	16/32-A/B
	16/32-A/B
NVM DATAOが書かれる時にEEPROMページ緩衝部が常に書かれる	16/32-A/B
• 保留中の完全な非同期ピン変化割り込みがデバイスを起こさない	16/32-A/B
● ピン構成設定がアナログ比較器出力に影響を及ぼさない	16/32-A/B
クリスタル用発振器停止に関するNMIフラグが自動的に解除(0)	16/32-A/B
• フラッシュ メモリ電力削減動作は休止形態動作移行時に許可することができない	16/32-A/B
● 例えクリスタルがRTCの供給元でも、パワーセーブ後にクリスタル始動時間が必要とされる	16/32-A/B
• 休止後にRTC計数値が正しく読めない	16/32-A/B
• 保留中の非同期RTC割り込みがデバイスを起こさない	16/32-A/B
TWI送信衝突フラグが再送開始条件で解除(0)されない	16/32-A/B
● TWI停止割り込み要求フラグの解除(0)がバスを固定化するかもしれない	16/32-A/B
がス時間超過のTWI開始条件が転送処理を落とさせる	16/32-A/B
● TWIデータ割り込み要求フラグ(DIF)が誤って設定(1)として読まれる	16/32-A/B
• 閉鎖窓内のWDR命令がリセットを発行しない	16/32-A/B
● 反転I/O許可がアナログ比較器出力に影響を及ぼさない	16/32-A/B
● TWIEが利用不能	16/32-A/B
CRC生成器単位部が利用不能	16/32-A/B
● A/D変換器の1/2倍利得とVCC/2基準電圧が利用不能	16/32-A/B
TOSC代替ピン位置が利用不能	16/32-A/B
● TWI SDA保持時間構成設定が利用不能	16/32-A/B
● タイマ/カウンタ2型が利用不能	16/32-A/B
● HiRes+任意選択が利用不能	16/32-A/B
● デジタル周辺機能用交換ピン位置が利用不能	16/32-A/B
外部クリスタル用XOSCPWR高駆動任意選択が利用不能	16/32-A/B
● 2分周PLL任意選択が利用不能	16/32-A/B
• 実時間計数器の前置分周なし32kHzクロック任意選択が利用不能	16/32-A/B
● PLL固定化検出失敗機能が利用不能	16/32-A/B
● 利用不能な機能と任意選択	16/32-A/B
● USART送信部禁止が自動的にTxDピン方向を入力に設定しない	16/32-A/B
● 利得使用時にA/D変換器伝播遅延が正しくない	16/32-E
最終アドレスがフラッシュ領域の最終語アドレスの時の範囲CRCに対してCRC失敗	16/32-E
AWeX障害保護回復が模様型生成動作で正しく行われない	16/32-E
QDECでタイマ/カウンタ使用時の誤った割り込み	16/32-E
● アナログ比較器(AC)システム フラグがACシステム許可の場合にだけ有効	16/32-E
• 低温且つ低VCCでの符号なしシングルエンドでADCが符号抜けを持つかもしれない	64-A



#### 1. 温度感知器が校正されていない(16/32-A/B/E/I,64-A/D,128-A)

温度感知器工場校正が実行されていません。

#### 対策/対処

ありません。

## 2. 両アナログ比較器(AC)使用時にACに関するハンパキャップ基準電圧が変更できない(16/32-A/B)

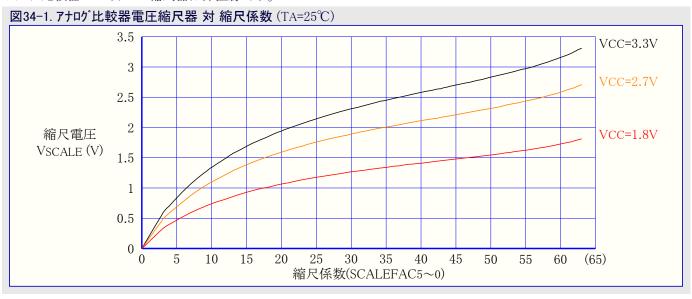
ハンパギャップ電圧が1つのアナログ比較器(AC)に対する入力として選択され、その後に別のACに対する入力として選択/選択解除されると、最初の比較器は最大1µsの間、影響を及ぼされ、潜在的に不正な比較結果を生じ得ます。

#### 対策/対処

バンドギャップ電圧が両ACに対して同時に必要とされるなら、それらのどれかを許可する前に両ACに対する入力選択を構成設定してください。

# 3. アナログ比較器用VCC電圧縮尺器が非直線 (16/32-A/B)

アナログ比較器の6ビットVCC縮尺器は非直線です。



# 対策/対処

正確な電圧レヘルが必要とされるなら、アナログ比較器に対して外部電圧入力を使ってください。

# 4. A/D変換器利得段が単独変換に使うことができない(16/32-A/B)

A/D変換器(ADC)利得段はソフトウェアまたは事象システムから起動そして開始された単独変換に対して正しい結果を出力しません。 対策/対処

利得段が使われる時に、正しい結果のためにADCは連続変換動作形態に設定されなければなりません。

# 5. A/D変換器はいくつかの動作条件に関して増加したINL誤差を持つ (16/32-A/B)

いくつかのA/D変換器(ADC)構成設定または動作条件はINL誤差増加に帰着します。

符号付き動作に於いて積分非直線性誤差(INL)は次のように増加します。

- 130k採取/秒を超える採取速度に関して6 LSB、200k採取/秒の採取速度に対して最大8 LSB
- VCCが3.0Vを超える時の1.1V未満の基準電圧に関して6 LSB
- 1.3V未満の基準電圧、且つ周辺温度0℃未満に関して20 LSB

符号なし動作では積分非直線性誤差(INL)が保証されず、この動作形態は使われるべきではありません。

#### 対策/対処

ありません。INL誤差増加を防ぐため、上記形態でのADC使用を避けてください。シングルェント測定に対してもADCを符号付き形態で使ってください。



#### 6. A/D変換器利得段出力範囲が2.4Vに制限される(16/32-A/B)

A/D変換器(ADC)利得段の増幅出力が決して2.4Vを超えず、従って差動入力が2.4V/利得以下の時にだけ正しい出力を生成します。利用可能な利得に関して、これは以下の差動入力範囲を与えます。

- 利得1倍 : 2.4V - 利得2倍 : 1.2V - 利得4倍 : 0.6V - 利得8倍 : 300mV - 利得16倍 : 150mV - 利得32倍 : 75mV - 利得64倍 : 38mV

# 対策/対処

正しい結果を得るために、ADC利得段からの増幅電圧出力を2.4V以下に保つか、またはADC基準電圧を2.4V以下に保ってください。

#### 7. 比較一致でのA/D変換器事象が機能しない(16/32-A/B)

例え割り込み形態(INTMODE)がBELOWまたはABOVEに設定されていても、変換完了毎にA/D変換器(ADC)合図事象が与えられます。

#### 対策/対処

比較機能を使う時に比較一致での割り込みを許可して使ってください。

## 8. 8~64倍の利得が使われる時にA/D変換器伝播遅延が正確でない(16/32-A/B)

伝播遅延は8倍、16倍、32倍、64倍の利得設定に対して1 A/D変換クロック周期だけ増えます。

#### 対策/対処

ありません。

#### 9. A/D変換器でのバンドギャップ電圧測定はVCCが2.7V未満の時に機能しない(16/32-A/B)

A/D変換器(ADC)はVCCが2.7V未満の時にハントギャップ測定を行うのに使うことができません。

#### 対策/対処

ありません。

#### 10. 入力を利得段に切り替え後の最初の3採取で精度を失う(16/32-A/B)

A/D変換器(ADC)利得段でのメモリ効果のため、入力チャネル切り替え後の最初の3採取は12ビット精度を達成するために無視されなければなりません。

#### 対策/対処

ADC利得段への入力チャネル切り替え後に3回のA/D変換を走らせてそれらの結果を破棄してください。

#### 11. PGMとCWCMの構成設定がXMEGA D手引書の記述のようでない(16/32-A/B)

共通波形チャネル動作形態(CWCM)の許可は模様型生成動作形態(PGM)を許可しますが、共通波形動作形態を許可しません。 模様型生成動作形態許可と共通波形チャネル動作形態不許可は模様型生成動作形態と共通波形チャネル動作形態の両方を許可します。

#### 対策/対処

表34-1. PGMとCWCMの構成設定はこの表に従います。
PGM CWCM 説明
0 0 PGM禁止、CWCM禁止
0 1 PGM許可
1 0 PGM許可
1 PGM許可

#### 12. 周期単位動作での障害後にPWMが正しく再開しない(16/32-A/B)

AWeX障害検出再開形態が周期単位に設定されている時は、障害条件がもはや存在しない後の最初の更新で波形出力が標準動作に戻りません。

#### 対策/対処

出力を再許可するようにどれかのAWeX I/Oレジスタを書いてください。

#### 13. 低電圧検出器(BOD)がどのリセット後にも許可される(16/32-A/B)

リセット元のどれかが活性(有効)になる場合にBODが許可され、VCC電圧が設定されたBODレヘル以下なら、デバイスをリセットに保ちます。例えBODが禁止されていても、電源ONリセットの間、VCCが設定されているBODレヘル以上になるまでリセットは開放されません。

#### 対策/対処

例えBODが使われていなくても、BODレベルをVCCよりも高く設定しないでください。

#### 14. 活動動作での採取動作低電圧検出器(BOD)は基準電圧としてバンデャップ使用時に雑音を発生(16/32-A/B)

デバイスが活動動作またはアイドル動作で走行している時の採取動作でのBOD使用は、A/D変換器(ADC)、D/A変換器(DAC)、アナログ比較器(AC)に対するバンドギャップ。基準電圧上に雑音を付加するでしょう。

#### 対策/対処

ADC、DACまたはACのどれかに対する基準電圧としてハンドキャップが使われる場合、BODが採取動作に設定されてはなりません。

#### 15. NVM DATAOが書かれる時にEEPROMページ緩衝部が常に書かれる(16/32-A/B)

EEPROMがメモリに割り当てられている場合、NVM DATA0への書き込みがEEPROMへーン、緩衝部内のデータを不正にします。

#### 対策/対処

NVM DATA0を書く前に、例えばソフトウェアCRCまたはフラッシュ ヘージ緩衝部書き込みを行う時にEEPROMヘージ緩衝部設定中(EEL OAD)フラグが設定(1)されているかを調べてください。 EELOADが設定(1)されている時にNVM DATA0を書かないでください。

#### 16. 保留中の完全な非同期ピン変化割り込みがデバイスを起こさない(16/32-A/B)

休止命令が実行された時に保留になる、どのポートのピン2からのどの完全な非同期ピン変化割り込みも、デバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。これはシステム クロックが停止される全ての休止形態に移行する時に適用します。

#### 対策/対処

ありません。

#### 17. ピン構成設定がアナログ比較器出力に影響を及ぼさない(16/32-A/B)

出力、プルアップ/ダウン、反転I/Oピン機能はアナログ比較器出力機能に影響を及ぼしません。

#### 対策/対処

出力、プルアップ/ダウン構成設定に関してはありません。

反転I/Oに関しては、反対の結果を与えるようにアナログ比較器(AC)構成を構成設定する(換言すると、正入力をAC負入力へとその逆で接続する)か、またはアナログ比較器出力の極性を変更するために外部の反転器とで使ってください。

#### 18. クリスタル用発振器停止に関するNMIフラグが自動的に解除(0)(16/32-A/B)

クリスタル用発振器停止用のNMIフラグ(XOSCFDIF)はNMI割り込み処理部を実行する時に自動的に解除(0)されます。

# 対策/対処

このデバイス改訂版は1つのNMI割り込み元だけを持ち、故にソフトウェアで割り込み元を調べる必要はありません。

# 19. フラッシュ メモリ電力削減動作は休止形態動作移行時に許可することができない (16/32-A/B)

深い休止形態動作時にフラッシュ電力削減動作が許可されている場合、デバイスは4回毎の起動要求でだけ起動するでしょう。 アイドル休止形態動作移行時にフラッシュ電力削減動作が許可されている場合、起動時間は最大16 CPUクロック周期まで変化するでしょう。

#### 対策/対処

休止形態動作移行前にフラッシュ電力削減動作を禁止してください。

#### 20. 例えクリスタルがRTCの供給元でも、パワーセーブ後にクリスタル始動時間が必要とされる(16/32-A/B)

例え休止中に32.768kHzクリスタルがRTCに使われていても、クリスタルからのクロックは指定された始動時間前にシステムに対して準備可になりません。XMEGA D手引書の"クリスタル用発振器選択(XOSCSEL3~0)"をご覧ください。活動形態で低電圧検出(BOD)が使われている場合、BODはこの期間(0.5s)ONになります。

#### 対策/対処

より早い始動が望まれる場合、システムクロックとして内部発振器で休止へ行ってください。



#### 21. 休止後にRTC計数値が正しく読めない(16/32-A/B)

実時間計数器(RTC)がRTC溢れでデバイスを起こすように設定され、そして休止移行時にRTC CNTのビットのがRTC PERのビットのと同じ場合、RTC計数レジスタの値は起き上がり後の最初の前置分周されたRTCクロック周期内で正しく読むことができません。読んだ値は休止移行時のレジスタ内の値と同じです。

起き上がり元としてRTC比較一致が使われる場合も同じく適用されます。

#### 対策/対処

RTC CNT値を読む前に最低1つの前置分周されたRTCクロック周期を待ってください。

#### 22. 保留中の非同期RTC割り込みがデバイスを起こさない(16/32-A/B)

休止命令が実行されている時に保留にした実時間計数器からの非同期割り込みはデバイスが別の供給元または再び供給元の起動から起こされるまで無視されます。

#### 対策/対処

ありません。

#### 23. TWI送信衝突フラグが再送開始条件で解除(0)されない(16/32-A/B)

TWI送信衝突フラグは開始条件と再送開始条件で自動的に解除(0)されるべきですが、開始条件でだけ解除(0)されます。

#### 対策/対処

アトンス一致割り込み後にソフトウェアでこのフラグを解除(0)してください。

# 24. TWI停止割り込み要求フラグの解除(0)がバスを固定化するかもしれない(16/32-A/B)

新しいアトンスを受信したためにハートウェアが停止条件(STOP)割り込み要求フラケ(APIF)を設定(1)するのと同じ周辺機能クロック周期でソフトウェアがこのフラケを解除(0)した場合、クロック保持(CLKHOLD)フラケが解除(0)されず、SCL線が開放されません。これはハンスを固定化します。

#### 対策/対処

ハ、スの状態がアイト・ル(IDLE)かを調べてください。これがその場合ならAPIFの解除(0)は安全です。ハ、スの状態がアイト・ルでなければAPIFを解除(0)する前にSCLピンがLowなるのを待ってください。

#### コート":

#### 25. バス時間超過のTWI開始条件が転送処理を落とさせる(16/32-A/B)

バス時間超過が許可され、開始条件が検出されるのと同じ周辺機能クロックで時間超過が起こる場合、転送処理を落とします。

#### 対策/対処

ありません。

#### 26. TWIデータ割り込み要求フラグ(DIF)が誤って設定(1)として読まれる(16/32-A/B)

TWI従装置応答指令(CMD=11)発行時、データ割り込み要求フラク (DIF)の解除(0)に1周辺機能クロック周期かかります。指令発行直後のDIF読み込みは未だ設定(1)を示します。

#### 対策/対処

DIF検査前に1つのNOP命令を追加してください。



#### 27. 閉鎖窓内のWDR命令がリセットを発行しない(16/32-A/B)

窓制御レジスタ更新後の1ULPクロック周期内にWDR命令が実行される時に、システム リセットを与えることなく計数器が解除され得ます。 対策/対処

WDR命令を実行する前に最低1ULPクロック周期待ってください。

#### 28. 反転I/O許可がアナログ比較器出力に影響を及ぼさない(16/32-A/B)

反転I/Oピン機能はアナログ比較器出力機能に影響を及ぼしません。

#### 対策/対処

反転された結果を与えるようにアナログ比較器構成を構成設定するか、またはアナログ比較器出力の極性を変更するために外部反転器を使ってください。

#### 29. 利用不能な機能と任意選択 (16/32-A/B)

以下の機能と任意選択は利用不能です。これらの機能と任意選択を許可または構成設定しようとするどのレジスタまたはヒュース、への書き込みも無効で、予約されたアドレス位置への書き込みとなります。

- TWIE、ポートEのTWI単位部
- TWI CTRLレジスタ内のTWI SDA保持任意選択は1ビット
- CRC生成器単位部
- A/D変換器(ADC)の1/2倍利得任意選択とADCチャネルCTRLレジスタ内のGAINビットでのこの構成設定任意選択
- A/D変換器(ADC)のVCC/2基準電圧任意選択とADC REFCTRLレジブタのREFSELビットでのこの構成設定任意選択
- 差動測定で負入力として内部GNDを使うADC任意選択とADCチャネルMUXCTRLレジスタのMUXNEGビットでのこの構成設定任意選択
- A/D変換器(ADC)チャネル走査とADC SCANレシブスタ
- A/D変換器(ADC)電流制限任意選択とADC CTRLBレジスタ内のCURRLIMITビット
- 利得段用のA/D変換器(ADC)インピーダンス形態選択とADC CTRLBレジスタ内のIMPMODEビット
- タイマ/カウンタ2型とT/C0 CTRLEレジスタ内のBYTEMビットでのSPLITMODE構成設定任意選択
- アナログ比較器(AC)電流出力任意選択とACのCURRCTRLとCURRCALIBのレジスタ
- タイマ/カウンタ比較出力チャネル、USARTO、SPI用の代替ピン位置を持つポート再配置機能とポートのREMAPレジスタ
- ポートのRTCクロック出力任意選択とポートのCLKEVOUTレジスタ内のRTCOUTビット
- クロックと事象用の代替ピン位置を持つポート再配置機能とポートのCLKEVOUTレジスタ
- TOSC代替ピン位置とFUSEBYTE2内のTOSCSELビット
- TOSC1からの外部クロック、TOSCからの32.768kHz、32.768kHz内部発振器からの32.768kHzの実時間計数器クロック元とクロックの RTCCTRLレシ、スタ内のRTCSRCビットでのこれらの構成設定任意選択
- 2分周PLLとクロックのPLLCTRLレジスタ内のPLLDIVビット
- PLL固定化検出失敗機能とクロックのXOSCFAILレシブスタ内のPLLDIFとPLLFDENのビット
- 外部クリスタル用高駆動任意選択と発振器のXOSCCTRLレジスタ内のXOSCPWRビット
- アナログ単位部の順次始動を許すための任意選択とMCU制御メモリ内のANAINITレジスタ

#### 対策/対処

ありません。

# 30. USART送信部禁止が自動的にTxDピン方向を入力に設定しない(16/32-A/B)

USART送信部が送信すべきデータなしでアイドルの場合、送信許可(TXEN)の0設定は自動的にTxDピンの方向を入力に設定しないでしょう。

#### 対策/対処

TxDピンの方向はポート方向(DIR)レジスタを使って入力に設定することができます。即座にポートDIRレジスタを入力に設定することが勧められます。進行中の送信は切り詰められます。

#### 31. 利得使用時にA/D変換器伝播遅延が正しくない(16/32-E)

伝播遅延は全ての利得設定に対して1 ADCクロック周期だけ増します。

#### 対策/対処

ありません。



#### 32. 最終アドレスがフラッシュ領域の最終語アドレスの時の範囲CRCに対してCRC失敗(16/32-E)

ブート読み込み施錠が許可された場合、範囲CRCは応用領域の最終アドレスで終わることができません。応用表読み込み施錠が許可された場合、範囲CRCは応用表の前の最後のアドレスで終わることができません。

#### 対策/対処

範囲CRCで使う最終アドレスが読み込み施錠を許可された領域の前の最終アドレスで終わらないことを確実にしてください。代わりに、完全な応用領域に対する専用CRC命令を使ってください。

#### 33. AWeX障害保護回復が模様型生成動作で正しく行われない(16/32-E)

障害が検出されると、出力無効化許可(OUTOVEN)レジスタが解除され、障害条件が解消される時に対応する許可されたDTIチャネルに従ってOUOVENが回復されます。共通波形チャネル動作(CWCM:Common Waveform Channel Mode)に関しては、障害から回復した後にOUTOVENが正しいので、これは無効です。模様型生成動作(PGM:Pattern Generation Mode)については、OUTOVE Nが代わりに沈黙時間Low側緩衝(DTLSBUF)レジスタに従って回復されてしまいます。

#### 対策/対処

CWCMに関しては対策の必要がありません。

ラッチ動作でのPGMについては障害状態から戻る前にDTIチャネルを禁止してください。そして、正しい出力を再び許可するために方向(DIR)レジ、スタが書かれる前に、正しいOUTOVEN値を設定してDTIチャネルを許可してください。

周期単位動作でのPGMについては対策がありません。

#### 34. QDECでタイマ/カウンタ使用時の誤った割り込み(16/32-E)

タイマ/カウンタがQDEC許可で2重傾斜動作形態に設定されると、計数器がBOTTOMから1へ計数する時に追加の漏れ(下溢れ)割り込み(と事象)が与えられます。

# 対策/対処

漏れ(下溢れ)割り込み受け取り時、計数器の方向と値を調べてください。方向が上昇(UP)で計数器の値が0なら、計数器の値を1 に変更してください。これは追加の事象も取り去ります。計数器の値が0を超える場合、割り込み要求フラグを解除してください。

#### 35. アナログ比較器(AC)システム フラグがACシステム許可の場合にだけ有効 (16/32-E)

例えアナログ比較器(AC)が許可されずに無効でも、AC出力用の状態フラグは更新されます。また、アナログ比較器のどちらかの許可なしにAC割り込み要求フラグを解除することは不可能です。

#### 対策/対処

ACシステム状態フラグを使う前に、ソフトウェアはACシステム許可後に一度ACシステムフラグを解除(0)すべきです。

## 36. 低温且つ低VCCでの符号なしシングル エンドでADCが符号抜けを持つかもしれない(64-A)

ADCはVCCが1.8V以下の時の0℃以下に於いて符号なしシンケルエント(SE)動作形態で符号抜けを持つかもしれません。

# 対策/対処

符号付きSE動作形態を使ってください。



# 35. データシート改訂履歴

本章内の参照頁番号はこのデータシートに対して参照されていることに注意してください。本章内の改訂参照は文書の改訂版に対する参照です。

# 35.1. 8135A - 2009年3月

1. 初版

# 35.2. 8135B - 2009年9月

- 1. 49頁に「電気的特性」を追加
- 2. 101頁に「代表特性」を追加

#### 35.3. 8135C - 2009年10月

- 1. 2つの2線インターフェースで1頁の「特徴」を更新
- 2. 4頁の「図2-1. 構成図とTQFP/QFNL°ン配置」を更新
- 3. 5頁の「概要」を更新
- 4. 6頁の「XMEGA D4構成図」を更新
- 5. 22頁の表13-1.を更新
- 6. 32頁の「概要」を更新
- 7. 43頁の表28-5.を更新
- 8. 44頁の「周辺機能単位部アドレス割り当て」を更新

#### 35.4. 8135D - 2009年12月

- 1. ATxmega128D4デバイスを追加、それによるデータシート更新
- 2. 最小値/最大値で49頁の「電気的特性」を更新
- 3. 52頁の表32-7.を更新(入力ヒステリシスはmVではなくV)(訳注:後に削除)
- 4. 55頁に「フラッシュ メモリとEEPROMの特性」を追加
- 5. 209頁に「障害情報」を追加

### 35.5. 8135E - 2010年2月

- 1. 4頁の図2-1. デバイスピン配置を更新、PDI\_CLKとPDI\_DATAをPDIのみに改名
- 2. 14頁の表7-3.を更新、ATxmega32D4のページ数は32
- 3. 25頁の「**交換ピン機能**」を更新 (**訳注**:実際には変更なし)
- 4. 37頁の「ADC 12ビット A/D変換器 |を更新
- 5. 37頁の図25-1.を更新
- 6. 41頁の「タイマ/カウンタとAWeX機能」を更新
- 7. 42頁の「**交換ピン機能**」を更新
- 8. 51頁に表32-6.を追加
- 9. 59頁に表32-26.を追加
- 10. 122頁の「内部発振器周波数」を「発振器と起動時間」に変更(訳注:後の「発振器特性」)
- 11. 209頁の「障害情報」を更新

#### 35.6. 8135F - 2010年2月

1. 127頁に「PDI速度」を追加(<mark>訳注</mark>:後の「PDI特性」)

#### 35.7. 8135G - 2010年8月

- 1. 4頁で図2-1.の脚注2を更新
- 2. CRCへの全参照削除、6頁の図3-1.を更新
- **3**. 23頁の「**要点**」を更新、ポート ピン7での事象チャネル0出力
- 4. フラッシュ メモリ/EEPROMプログラミングに関するICCの追加により、50頁の「消費電流」を更新
- **5**. 52頁で「**A/D変換器特性**」にAVCCを追加
- 6. 52頁で「A/D変換器特性」の始動時間を更新
- 7. 「障害情報」章で誤植修正と更新



#### 35.8. 8135H - 2010年9月

1. 209頁の「障害情報」を更新

#### 35.9. 81351 - 2010年10月

1. 44頁の**表29-1**.を更新

#### 35.10. 8135J - 2010年12月

- 1. 完了に変更されたデータシート状況、表紙から削除された暫定
- 2. 「電気的特性」で全ての表を更新
- 3. 55頁の表32-16.を置換
- 4. 59頁の表32-26.を置換、59頁に「TOSC入力容量」図を追加
- 5. ADC(ADCがいくつかの動作条件で増されたINL誤差を持つ)に関する障害情報を更新
- 6. TWIE(TWIEが利用不能)の追加で209頁の改訂A,Bの障害情報を更新
- 7. 新しいAtmelの品質様式指針によって最終頁を更新

#### 35.11. 8135K - 2012年6月

1. 2頁の「**注文情報**」でATxmega64D4-CUを追加

# 35.12. 8135L - 2012年6月

- 1. 編集上の更新
- 2. 49頁の「電気的特性」章内の全ての表を更新
- 3. 101頁に新しい「代表特性」を追加
- 4. 209頁の「障害情報」で新しい改訂A,B障害情報を追加、利用不能な機能と任意選択
- 5. 209頁の「**障害情報**」で新しい改訂E障害情報を追加

# 35.13. 8135M - 2013年2月

- 1. Atmelの新しいデータシート雛形でデータシートを更新
- 2. 4頁の図2-1.を更新。PE2/PE3は今や半灰色
- 3. 4頁の図2-1.を更新。19番ピンはVDDではなくVCC
- **4**. 14頁の表7-2.を更新。FWORD列更新:Z[x~1]によってZ[x~0]を置換、FPAGE列をZ[y~8]に更新
- 5. 23頁の「入出力ポート」を更新。「任意選択スリューレート制御」を削除。この機能はATxmega CとD系のデバイスには存在しません。
- 6. 38頁で**図26-1**.の「**アナログ比較器概要**」を更新
- 7. 49頁で「ATxmega16D4」と62頁で「ATxmega32D4」用の新しい「電気的特性」を追加
- 8. 58頁の表32-25.、71頁の表32-53.、84頁の表32-82.、を更新。ESRパラメータを追加
- 9. 101頁で「ATxmega16D4」と128頁で「ATxmega32D4」用の新しい「代表特性」を追加
- 10. 209頁の「障害情報」を更新。アナログ比較器(AC)システムが許可されている場合にだけACシステム状態フラグが有効

# 35.14. 8135N - 2013年4月

1. 37頁の「ADC - 12t ット A/D変換器」内の記述を更新

# 2. 「障害情報」を更新:

・ATxmega16D4/32D4: 改訂F,G,H,Iを追加 ・ATxmega64D4: 改訂A,B,Cを追加 ・ATxmega128D4: 改訂Aを追加

#### 35.15.81350 - 2013年8月

- 1.「障害情報」を更新:
  - ・209頁のATxmega16D4/32D4改訂A,B,E,Iに「温度感知器未校正」を追加
  - ・209頁のATxmega64D4改訂A,Dに「温度感知器未校正」を追加
  - ・209頁のATxmega128D3改訂Aに「温度感知器未校正」を追加

# 35.16. 8135P - 2014年1月

1. 105℃特性で「ATxmega16D4」と「ATxmega32D4」の代表特性を更新



# 35.17. 8135Q - 2014年9月

- 1. 2頁の「**注文情報**」を更新、ATxmega16D4/32D4/64D4/128D4の105℃品に対する注文情報を追加
- 2. 12頁の図7-1.で応用表領域を4K/4K/4K/4Kから8K/4K/4K/4Kに更新
- 3. 37頁の**図25-1**.と37頁の「ADC 12ビットA/D変換器」と38頁の「AC 7ナログ比較器」の文章でVCCをAVCCに変更
- **4.** 50頁の**表32-4**.、63頁の**表32-32**.、76頁の**表32-60**.、89頁の**表32-89**.を更新。。全機能禁止と採取動作BOD許可に対する T=105℃用パワーダウン消費電流ICCを追加
- 5. 55頁の表32-17.、68頁の表32-45.、81頁の表32-73.、94頁の表32-102.を更新。T=55℃を削除して、T=85℃とT=105℃用の値を含めるように全ての表を更新
- 6. 61頁の表32-28、74頁の表32-56、87頁の表32-85、100頁の表32-114.でt<sub>SU:DAT</sub>パラメータ用単位をnsに変更
- 7. 「ATxmega64D4」と「ATxmega128D4」の「代表特性」を105℃特性で更新
- 8. 210頁の「障害情報」でUSART送信部禁止での障害情報を追加

#### 35.18. 8135R - 2015年2月

- 1. 37頁の図25-1.を更新
- 2. 48頁の「外囲器情報」を更新。正しい外囲器図によって「44M1」を置換
- 3. 固定変位(オフセット)電圧の情報で52頁の表32-8.と65頁の表32-36.を更新
- 4. 項名、表項目名、図表題で大文字/小文字の使用を更新

#### 35.19. 8135S - 2016年9月

- 1. 45頁の「命令一式要約」を更新。"DES"命令を除去
- 2. 「利得段特性」を更新: 54頁の表32-11、67頁の表32-39、80頁の表32-67、93頁の表32-96。"入力基準変位誤差"を"出力 基準変位誤差"に変更



# 目次

	特徴		14.3. 出力駆動部 ・・・・・・・・ 23
4	注文情報 •••••• 2		14.4. 入力感知 · · · · · · · 25
١.	ピン配置/構成図・・・・・・・・・・・・・・・・・・4		<b>14.5</b> . 交換ポート機能 ·············· 25
2.		15.	TC0/1 - 16ビット タイマ/カウンタ0型と1型・・・・・ 26
3.	概要 5		15.1. 要点
	3.1. 構成図 ・・・・・・・・・・・・・・・・・6		15.2. 概要 ・・・・・・・・・・・・・・・26
4.	<b>資料 ······</b> 7	16	TC2 - 16ビット タイマ/カウンタ2型 ・・・・・・・・28
	4.1. 推奨読み物 ・・・・・・・・・・ 7	10.	16.1. 要点 · · · · · · 28
5.	容量性接触感知 ••••• 7		16.2. 概要 ・・・・・・・・・・・28
6.	<b>AVR CPU</b> 8	17	AWeX - 新波形拡張 · · · · · · · 29
	6.1. 要点	17.	17.1. 要点
	6.2. 概要 ・・・・・・・・・・・・・・・・・・・・・・8		17.2. 概要 ・・・・・・・・・・・29
	6.3. 構造概要 ・・・・・・・・・・・・・・ 8	10	Hi-Res - 高分解能拡張 · · · · · · · · 30
	<b>6.4.</b> 算術論理演算器 (ALU) · · · · · · · · · 9	10.	18.1. 要点 ············ 30
	6.5. プログラムの流れ・・・・・・・・・・・・・・・・9		18.2. 概要
	6.6. ステータス レジスタ ・・・・・・・・・・・9	10	RTC - 16t <sup>*</sup> 小実時間計数器 ······ 31
	<b>6.7.</b> スタックとスタック ポインタ ・・・・・・・・・・9	19.	19.1. 要点
	6.8. レジスタ ファイル ・・・・・・・・・・10		19.2. 概要
7.	メモリ ······ 11	20	TWI - 2線インターフェース · · · · · · · · · · · · 32
	7.1. 要点 ・・・・・・・・・ 11	20.	<b>20.1</b> . 要点 ···································
	7.2. 概要		<b>20.1</b> . 安点 ···································
	<b>7.3</b> . フラッシュ プログラム メモリ ・・・・・・・・・ 11	0.1	
	7.4. ヒュース と施錠ビット・・・・・・・・・・・・12	21.	SPI - 直列周辺インターフェース ・・・・・・ 33 21.1. 要点 ・・・・・・・・ 33
	7.5. データ メモリ · · · · · · · · · · · · · · · · · · ·		<b>21.1.</b> 安点 ···································
	7.6. EEPROM	00	USART 34
	7.8. データ メモリと ハ ス調停 ・・・・・・・・・・・・ 13	22.	22.1. 要点 ···································
	7.9. メモリ タイミング・・・・・・・・・・・・13		<b>22.2</b> . 概要 ···································
	7.10. デバイスIDと改訂 ・・・・・・・13	22	IRCOM - 赤外線通信単位部 · · · · · · · · 35
	7.11. I/Oメモリ保護 ······ 13	23.	<b>23.1</b> . 要点 ···································
	7.12. フラッシュ メモリとEEPROMのページ 容量 ・・・・・・・ 14		<b>23.2</b> . 概要 ············ 35
8.	事象システム・・・・・・・・・・ 15	24	CRC - 巡回冗長検査生成器 · · · · · · · · · · · · · · · · · · ·
٠.	8.1. 要点	24.	24.1. 要点
	<b>8.2</b> . 概要 ···································		<b>24.2</b> . 概要 ···································
9.	システム クロックとクロック選択 ・・・・・・・・・ 16	25	ADC - 12t yh A/D変換器 ····· 37
	9.1. 要点	20.	25.1 更占 ···································
	9.2. 概要 ・・・・・・・・・・・16		25.1. 要点     37       25.2. 概要     37
	<b>9.3.</b> クロック元 ・・・・・・・・・・・・・・・ 17	26	AC - アナログ比較器・・・・・・・・・・・38
10.	電力管理と休止形態動作 ・・・・・・・・ 18	20.	<b>26.1</b> . 要点 ···································
	10.1. 要点		<b>26.2</b> . 概要 ······· 38
	10.2. 概要	27	プログラミングとデバッグ・・・・・・・・40
	10.3. 休止形態動作	21.	<b>27.1.</b> 要点 ································40
11.	システム制御とリセット・・・・・・・・・19		27.2. 概要
	11.1. 要点 ・・・・・・・・・・・・ 19	28	E <sup>°</sup> ン配置とL <sup>°</sup> ン機能 ・・・・・・・・ 41
	11.2. 概要	20.	<b>28.1.</b> 交換ピン機能の種類 ····· 41
	11.3. リセットの流れ・・・・・・・19		<b>28.2</b> . 交換ピン機能・・・・・・・・・・・・・・・・・ 42
	11.4. リセット元 ・・・・・・・・・・19	29	周辺機能単位部アドレス割り当て・・・・・・・44
12.	WDT - ウォッチト゛ック゛タイマ ・・・・・・・・ 21		命令一式要約・・・・・・・・・・・・・・・・・・45
	<b>12.1</b> . 要点 ···································		
	12.2. 概要	31.	外囲器情報・・・・・・・・・・・・・・・・・ 48 31.1. 44A・・・・・・・・・・・・・・・・ 48
13.	割り込みと設定可能な多段割り込み制御器・・22		31.1. 44A · · · · · · 48 31.2. 44M1 · · · · · · 48
	<b>13.1</b> . 要点 ···································		31.2. 44M1 · · · · · · · 48 31.3. 49C2 · · · · · · · 48
	13.2. 概要	20	電気的特性・・・・・・・・49
	<b>13.3.</b> 割り込みベクタ · · · · · · · 22	32.	<b>追对的</b> 特性
14.	入出力ポート · · · · · · 23		<b>32.1.</b> ATxmega16D4
	14.1. 要点		<b>32.3.</b> ATxmega64D4
	<b>14.2</b> . 概要 ······· 23		32.4. ATxmega128D4 · · · · · · 88



33.	代表特	<b>寺性 ・・・・・・・・・・・・・・・・・</b> 101
	33.1.	ATxmega16D4
	33.2.	ATxmega32D4
	33.3.	<b>ATxmega64D4</b>
	33.4.	ATxmega128D4
34.	障害性	青報・・・・・・・・・・・・・・・・・・・ 209
	34.1.	ATxmega16D4/32D4改訂C,D,F,G,H、209 ATxmega64D4改訂B,C
	34.2.	ATxmega16D4/32D4改訂A,B,E,I、 ATxmega64D4改訂A,D、 ······ 209 ATxmega128D4改訂A
25	<b>ニ</b> ゙ニねこ	/─ト改訂履歴 ····································
00.	35.1.	8135A - 2009年3月 ······ 216
	35.2.	8135B - 2009年9月 · · · · · · · · · · · · · · · · · · ·
	35.3.	8135C - 2009年10月 · · · · · · · · 216
	35.4.	8135D - 2009年12月 · · · · · · · · · 216
	35.5.	<b>8135E</b> - <b>2010年2月</b> · · · · · · · · · · · · · · · · 216
	35.6.	8135F - 2010年2月 · · · · · · · · · · · · · · · · 216
	35.7.	<b>8135G - 2010年8月 · · · · · · · · · · · · · · · · · · ·</b>
	35.8.	8135H - 2010年9月 · · · · · · · · 217
	35.9.	<b>8135I - 2010年10月 · · · · · · · · · </b> 217
	35.10.	<b>8135J - 2010年12月 ······</b> 217
		<b>8135K - 2012年6月 ······</b> 217
		<b>8135L - 2012年6月 · · · · · · · · · · </b> 217
		<b>8135M - 2013年2月 · · · · · · · · · </b> 217
		<b>8135N - 2013年4月 · · · · · · · · · · </b> 217
		<b>81350 - 2013年8月 · · · · · · · · · · · · · · · · · · 217</b>
		<b>8135P - 2014年1月 · · · · · · · · · 2</b> 17
		<b>8135Q - 2014年9月 · · · · · · · · · 2</b> 18
		<b>8135R - 2015年2月 · · · · · · · · · 2</b> 18
	35.19.	8135S - 2016年9月 · · · · · · · · · · · · · · · · 218















Atmel Corporation 1600 Technology Drive, San Jose, CA 95110 USA TEL:(+1)(408) 441-0311 FAX: (+1)(408) 436-4200 www.atmel.com

© 2016 Atmel Corporation. / 改訂:Atmel-8135S-AVR-ATxmega16D4-32D4-64D4-128D4-Datasheet\_09/2016

Atmel®、Atmelロプとそれらの組み合わせ、Enabling Unlimited Possibilities®とその他は米国および他国に於けるAtmel Corporationの登録商標また は商標です。他の用語と製品名は一般的に他の商標です。

お断り: 本資料内の情報はAtmel製品と関連して提供されています。本資料またはAtmel製品の販売と関連して承諾される何れの知的所有権も禁 反言あるいはその逆によって明示的または暗示的に承諾されるものではありません。Atmelのウェブサイトに位置する販売の条件とAtmelの定義での 詳しい説明を除いて、商品性、特定目的に関する適合性、または適法性の暗黙保証に制限せず、Atmelはそれらを含むその製品に関連する暗示 的、明示的または法令による如何なる保証も否認し、何ら責任がないと認識します。たとえAtmelがそのような損害賠償の可能性を進言されたとし ても、本資料を使用できない、または使用以外で発生する(情報の損失、事業中断、または利益と損失に関する制限なしの損害賠償を含み)直 接、間接、必然、偶然、特別、または付随して起こる如何なる損害賠償に対しても決してAtmelに責任がないでしょう。Atmelは本資料の内容の正 確さまたは完全性に関して断言または保証を行わず、予告なしでいつでも製品内容と仕様の変更を行う権利を保留します。Atmelはここに含まれた 情報を更新することに対してどんな公約も行いません。特に別の方法で提供されなければ、Atmel製品は車載応用に対して適当ではなく、使用さ れるべきではありません。Atmel製品は延命または生命維持を意図した応用での部品としての使用に対して意図、認定、または保証されません。

安全重視、軍用、車載応用のお断り: Atmel製品はAtmelが提供する特別に書かれた承諾を除き、そのような製品の機能不全が著しく人に危害を 加えたり死に至らしめることがかなり予期されるどんな応用("安全重視応用")に対しても設計されず、またそれらとの接続にも使用されません。安全 重視応用は限定なしで、生命維持装置とシステム、核施設と武器システムの操作用の装置やシステムを含みます。Atmelによって軍用等級として特に明確 に示される以外、Atmel製品は軍用や航空宇宙の応用や環境のために設計も意図もされていません。Atmelによって車載等級として特に明確に示 される以外、Atmel製品は車載応用での使用のために設計も意図もされていません。

#### © HERO 2022.

本データシートはAtmelのATxmega D4系英語版データシート(改訂8135S-09/2016)の翻訳日本語版です。日本語では不自然となる重複 する形容表現は省略されている場合があります。日本語では難解となる表現は大幅に意訳されている部分もあります。必要に応じて 一部加筆されています。頁割の変更により、原本より頁数が少なくなっています。

汎用入出力ポートの出力データ レジスタとピン入力は、対応関係からの理解の容易さから出力レジスタと入力レジスタで統一表現されていま す。一部の用語がより適切と思われる名称に変更されています。必要と思われる部分には()内に英語表記や略称などを残す形で表 記しています。

青字の部分はリンクとなっています。一般的に<mark>赤字の0,1</mark>は論理0,1を表します。その他の赤字は重要な部分を表します。